

國立交通大學

電控工程研究所

碩士論文

應用於脈波振幅調變系統之高速低功率數位化類比
數位轉換器與數位類比轉換器

**High speed and Low Power Digitalized A/D
Converter and D/A Converter for Pulse Amplitude
Modulation System**

研究生：郭洲銘

指導教授：蘇朝琴 教授

中華民國九十九年五月

應用於脈波振幅調變系統之高速低功率數位化類比
數位轉換器與數位類比轉換器
High speed and Low Power Digitalized A/D Converter
and D/A Converter for Pulse Amplitude Modulation
System

研究生：郭洲銘

Student : Chou-Ming Kuo

指導教授：蘇朝琴 教授

Advisor : Chau-Chin Su

國立交通大學

電控工程研究所



Submitted to Institute of Electrical Control Engineering
College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical Control Engineering

May 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年五月

應用於脈波振幅調變系統之高速低功率數位化類比 數位轉換器與數位類比轉換器

研究生：郭洲銘

指導教授：蘇朝琴 教授

國立交通大學電控工程研究所

摘 要

在現今的有線傳輸介面中，對於高速傳輸效率的需求與日俱增。脈波振幅調變(Pulse amplitude modulation, PAM) 技術為一種將多筆數位資料調變為類比振幅的傳送方式，以 16PAM 調變方式為例，每一個電壓振幅皆代表著 4 筆數位資料，其相較於二位元數位傳輸方式來說，脈波振幅調變傳輸技術可在相同的頻寬限制下提升傳輸效率。本論文是以設計於高速脈波振幅調變傳輸系統的傳輸器 (TX) 與接收器 (RX) 為主題下，設計高速的類比數位轉換器與數位類比轉換器。當所要求的傳輸速率越高，則類比數位轉換器所消耗的功率就越高，所以在本論文中提出了補償頻寬的方法來實現出高頻寬且低功率的放大器，並使用數位化方式來實現整體類比數位轉換器的電路設計，以及置入內建測試電路來簡化測試設置與提升可測試性。設計規格為 5GHz 及 16PAM 傳輸方式下的類比數位轉換器與數位類比轉換器，採用的製程為 UMC 90nm CMOS Logic & Mixed-Mode 1P9M Low K Process。在類比數位轉換器與數位類比轉換器的模擬結果顯示出有效位元數為 3.9bit，最大差分非線性誤差與積分非線性誤差皆小於一半的最低有效位元。所消耗的功率分別為 33.7mW 與 18.9mW，而含內建測試電路之整體系統消耗功率為 61.9mW，晶片佈局面積為 0.873mm^2 ($950\mu\text{m} \times 919\mu\text{m}$)。

關鍵字：類比數位轉換器、數位類比轉換器、脈波振幅調變系統

High speed and Low Power Digitalized A/D Converter and D/A Converter for Pulse Amplitude Modulation System

Student: Chou-Ming Kuo

Advisor: Chau-Chin Su

Institute of Electrical Control Engineering

National Chiao Tung University

Abstract

In modern wire-line communication systems, the request for high speed data rate is growing. Pulse amplitude modulation(PAM) technique is a transmission technique which modulates digital data into analog amplitude. As an example of 16PAM, each voltage value represents four digital data. Under the same bandwidth limitation, PAM technique rises data rate as compared to binary transmission. In this thesis, our topic is to design high speed A/D converter and D/A converter for the transmitter(TX) and receiver(RX) for high speed pulse amplitude modulation systems. A bandwidth compensation method to implement wide bandwidth and low power amplifiers is proposed, it uses digitalized technique to design the A/D converter. Besides, we also design a built-in testing circuit to improve testability. The design is a 5GHz 4bit A/D converter and a D/A converter, using UMC 90nm CMOS Logic & Mixed-Mode 1P9M Low K Process. The simulation results show that the effective number of bit is 3.9, INL and DNL are less than 0.5LSB, the power consumption of A/D converter is 33.7mW, and 18.9mW for the D/A converter. Finally, the area is 0.873mm² (950μm × 919μm).

Keyword: A/D converter, D/A converter, Pulse amplitude modulation system

誌 謝

在這幾年的研究生活中，非常感謝我的指導教授 蘇朝琴教授的辛勤指導，無論是在教學或是生活上，使我獲益良多，老師教導我們不應以模擬結果為主，而是要探究真實的物理意義，並加以推導與假設，最後再以模擬來對照，驗證想法，培養了我們的研究與設計能力。不僅如此，在學生遭遇人生重大抉擇的重要時刻，老師都能以客觀的角度來分析情形，有如黑夜中的一盞路燈，幫助我找到合適的路途，能遇如此良師可謂是三生有幸。

此外，感謝實驗室的所有同學的幫忙與支持，感謝丸子與庭佑兩位學長將工作站維護的如此完善，使我們能擁有穩定的模擬與佈局設備，感謝盈杰學長在我挑選論文題目時給予支持與鼓勵，並在研究過程中時時給予協助，才能有如此的成果。感謝于昇與家齊，每天都給彼此加油打氣，直至今日，以及感謝鈞藝、哲瑋、泓瑋、修銘、群育、博祥等學弟的支持。

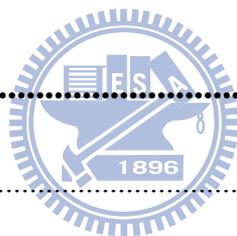


最後我想感謝我的家人與摯愛的女友 玲玲，感謝我的家人供我讀書至今，毫無怨言，使我能安心的完成學業，感謝我的女友 玲玲不斷的修正我的寫作，使我的論文能夠趨於更加通順與完整，也在這快近兩年的時間中時時有妳的支持，從不間斷，特別是在我最灰心的那段時刻，謝謝妳。

郭洲銘 2010/05/28

目錄

摘要	i
Abstract	ii
誌謝	iii
目錄	iv
圖目錄	vii
表目錄	xi
第一章	1
緒論	1
1.1 簡介	1
1.2 研究動機	2
1.3 論文結構	3
第二章	4
資料轉換器基本原理	4
2.1 簡介	4
2.2 資料轉換器規格	5
2.2.1 靜態參數	6
2.2.2 動態參數	11
第三章	16



類比數位轉換器設計	16
3.1 簡介	16
3.2 追蹤與保持電路	17
3.2 參考電壓	29
3.3 預先放大器	30
3.4 數位編碼器	60
第四章	65
數位類比轉換器與內部測試電路設計	65
4.1 數位類比轉換器設計	65
4.1.1 數位解碼器	66
4.1.2 同步電路與驅動電路	68
4.1.3 切換式電流源	69
4.1.4 偏壓電路	74
4.2 內部測試電路設計	75
4.2.1 測試模式 A	76
4.2.1 測試模式 B	78
第五章	85
模擬結果與佈局	85
5.1 簡介	85
5.2 數位化放大器模擬結果	86
5.3 類比數位轉換器模擬結果	90
5.3 數位類比轉換器模擬結果	96
5.4 含內建測試電路之整體電路模擬結果	100

5.5 量測考量	104
第六章	106
結論	106
參考文獻	109



圖目錄

圖 1-1 脈波振幅調變傳輸方式之系統架構.....	3
圖 2-1 理想 3 位元類比數位轉換器輸出曲線.....	5
圖 2-2 理想 3 位元數位類比轉換器輸出曲線.....	6
圖 2-3 實際 3 位元類比數位轉換器之 DNL 示意圖.....	7
圖 2-4 實際 3 位元數位類比轉換器之 DNL 示意圖.....	7
圖 2-5 缺碼現象示意圖.....	8
圖 2-6 實際 3 位元類比數位轉換器之 INL 示意圖.....	9
圖 2-7 實際 3 位元數位類比轉換器之 INL 示意圖.....	9
圖 2-8 類比數位轉換器偏移誤差示意圖.....	10
圖 2-9 數位類比轉換器偏移誤差示意圖.....	10
圖 2-10 增益誤差示意圖.....	11
圖 2-11 量化誤差.....	11
圖 2-12 量化誤差機率分布.....	12
圖 2-13 資料轉換器頻域輸出結果.....	13
圖 2-14 資料轉換器頻域有效解析度頻寬結果.....	15
圖 3-1 快閃式類比數位轉換器架構圖.....	17
圖 3-2 追蹤與保持電路架構圖.....	17
圖 3-3 比較器陣列與 Track-and-Hold 電路關係.....	18
圖 3-4 (a)氣泡錯誤 (b)無氣泡錯誤.....	18
圖 3-5 差模輸出之 Track-and-Hold 電路.....	19
圖 3-6 追蹤與保持電路取樣模式等效電路圖.....	20
圖 3-7 時脈抖動之影響.....	20
圖 3-8 時脈抖動量對應解析度之要求.....	21
圖 3-9 (a)電荷注入效應 (b)電晶體通道.....	22
圖 3-10 使用仿製電晶體消除電荷注入效應.....	22
圖 3-11 使用互補式傳輸閘為取樣開關.....	23
圖 3-12 電晶體開關輸出.....	23
圖 3-13 時脈饋入現象.....	24
圖 3-14 使用仿製電晶體消除時脈饋入現象.....	25
圖 3-15 取樣模式等效電路.....	25
圖 3-16 (a) NMOS 源極追隨器 (b) PMOS 源極追隨器.....	26
圖 3-17 PMOS 剖面圖.....	27
圖 3-18 源極追隨器增益.....	27
圖 3-19 輸入信號饋入現象.....	29
圖 3-20 參考電路等效網路模型.....	30
圖 3-21 比較器轉換曲線.....	31

圖 3-22 偏移電壓之影響.....	32
圖 3-23 多級放大器.....	33
圖 3-24 吉伯特元件.....	34
圖 3-25 差動放大器.....	34
圖 3-26 差動放大器負載.....	35
圖 3-27 (a)差動放大器共模等效電路 (b)差動放大器差模等效電路.....	35
圖 3-28 差動放大器頻率響應.....	36
圖 3-29 仿電感式電晶體阻抗頻率響應.....	36
圖 3-30 仿電感式電晶體等效電路.....	37
圖 3-31 (a)反相器電路 (b)小信號等效模型.....	37
圖 3-32 反相器輸出曲線.....	38
圖 3-33 (a)含雜散電容反相器電路 (b)含雜散電容小信號等效模型.....	38
圖 3-34 (a)自我偏壓電路 (b)自我偏壓電路小信號等效模型.....	39
圖 3-35 自我偏壓電路輸出阻抗頻率響應.....	40
圖 3-36 數位化放大器.....	40
圖 3-37 數位化差動放大器.....	41
圖 3-38 數位化差動放大器共模雜訊響應.....	42
圖 3-39 數位化吉伯特元件.....	42
圖 3-40 反相器小信號等效電路.....	43
圖 3-41 (a)輸入正端對輸出負端影響 (b)輸入正端對輸出負端影響等效電路.....	44
圖 3-42 (a)輸入正端對輸出正端影響 (b)輸入正端對輸出正端影響等效電路.....	45
圖 3-43 數位化吉伯特元件輸出阻抗分布.....	47
圖 3-44 輸入正端對輸出負端影響等效電路.....	47
圖 3-45 輸入正端對輸出正端影響等效電路.....	48
圖 3-46 不匹配差模等效電路.....	50
圖 3-47 不匹配共模等效電路.....	51
圖 3-48 (a)互補式傳輸閘雜散效應 (b)互補式傳輸閘等效電路.....	52
圖 3-49 數位化吉伯特元件頻率響應輸出阻抗分布.....	53
圖 3-50 數位化吉伯特元件頻率響應輸出等效阻抗.....	54
圖 3-51 (a)無頻率響應突起 (b)頻率響應突起.....	56
圖 3-52 數位化差動放大器頻率響應輸出阻抗分布.....	58
圖 3-53 數位化差動放大器頻率響應輸出阻抗等效電路.....	58
圖 3-54 數位化差動追蹤與保持電路.....	60
圖 3-55 格雷碼編碼器.....	62
圖 3-56 格雷碼轉二進制碼編碼器.....	63
圖 3-57 低延遲時間格雷碼轉二進制碼編碼器.....	63
圖 3-58 TSPC 式 D 型正反器.....	64
圖 3-59 pseudo NMOS 互斥或閘.....	64

圖 4-1 Current-Steering DAC 架構.....	66
圖 4-2 解碼器電路.....	67
圖 4-3 同步電路.....	68
圖 4-4 控制信號輸出校正.....	69
圖 4-5 (a) NMOS 電流源式 (b) PMOS 電流源式.....	70
圖 4-6 電流差異.....	70
圖 4-7 供應電壓差異.....	71
圖 4-8 Current Cell 雜散效應.....	72
圖 4-9 Current Cell 輸出阻抗頻率響應.....	73
圖 4-10 回授偏壓電路.....	75
圖 4-11 測試系統方塊圖.....	76
圖 4-12 測試模式 A.....	77
圖 4-13 多工器.....	77
圖 4-14 測試多工器.....	78
圖 4-15 測試模式 B.....	79
圖 4-16 數位三角波產生器.....	79
圖 4-17 (a)全為 1 檢查電路 (b)全為 0 檢查電路.....	80
圖 4-18 數位三角波產生器控制時序圖.....	81
圖 4-19 上數/下數同步計數器.....	81
圖 4-20 第二級正反器之觸發電路.....	82
圖 4-21 第三級正反器之觸發電路.....	82
圖 4-22 第四級正反器之觸發電路.....	83
圖 4-23 CMOS JK 正反器.....	84
圖 4-24 汲極開路輸出驅動電路.....	84
圖 5-1 差模增益之手算與模擬結果.....	86
圖 5-2 共模增益之手算與模擬結果.....	86
圖 5-3 共模拒斥比之手算與模擬結果.....	87
圖 5-4 蒙地卡羅分析模擬結果.....	87
圖 5-5 傳輸閘通道長度相對頻寬結果.....	88
圖 5-6 傳輸閘通道長度相對阻值結果.....	88
圖 5-7 傳輸閘通道長度相對輸入雜散容值結果.....	89
圖 5-8 傳輸閘通道長度相對輸出雜散容值結果.....	89
圖 5-9 無使用與使用傳輸閘之頻寬差別.....	90
圖 5-10 追蹤與保持電路時域模擬結果.....	91
圖 5-11 追蹤與保持電路頻域模擬結果.....	91
圖 5-12 追蹤與保持電路輸入頻率改變之模擬結果.....	92
圖 5-13 類比數位轉換器差模輸入 $12.5\text{V}/\mu\text{s}$ 之斜波信號模擬結果.....	92
圖 5-14 類比數位轉換器 INL 模擬結果.....	93

圖 5-15 類比數位轉換器 DNL 模擬結果.....	93
圖 5-16 頻域模擬結果.....	94
圖 5-17 類比數位轉換器輸入頻率改變之模擬結果.....	94
圖 5-18 類比數位轉換器佈局圖.....	96
圖 5-19 數位類比轉換器時域模擬結果.....	97
圖 5-20 數位類比轉換器 INL 模擬結果.....	97
圖 5-21 數位類比轉換器 DNL 模擬結果.....	98
圖 5-22 數位類比轉換器頻域模擬結果.....	98
圖 5-23 數位類比轉換器輸入頻率改變之模擬結果.....	99
圖 5-24 數位類比轉換器佈局圖.....	100
圖 5-25 切換測試模式之模擬結果.....	101
圖 5-26 測試模式 A 之頻域模擬結果.....	101
圖 5-27 測試模式 B 之 INL 模擬結果.....	102
圖 5-28 測試模式 B 之 DNL 模擬結果.....	102
圖 5-29 內建測試電路之類比數位轉換器與數位類比轉換器之佈局圖.....	103
圖 5-30 測試晶片佈局圖.....	103
圖 5-31 量測晶片儀器設置.....	105
圖 5-32 PCB 量測電路.....	105



表目錄

表 5.1 類比數位轉換器受製程變異模擬結果	95
表 5.2 類比數位轉換器模擬結果比較表	95
表 5.3 數位類比轉換器受製程變異模擬結果	99
表 5.4 類比數位轉換器與數位類比轉換器規格表	104



第一章

緒論



1.1 簡介

隨著科技的進步，各種電子產品與通訊裝置的傳輸資料率也隨之不斷提升，在傳輸與接收電路（I/O Circuit）方面，為減少在提昇傳輸速率時所耗費的硬體成本，則將資料傳輸方式由先前的平行式轉為序列式傳輸，其應用的層面非常廣大，例如網路通訊、儲存裝置資料傳輸介面以及顯示器影像傳輸介面。在目前商用之高速序列傳輸電路中，以使用在電腦中之第二代的周邊設備高速連結系統(Peripheral Component Interconnect Express Generation II, PCI Express Gen II)傳輸介面來說，其提供 5Gbps 的頻寬來解決傳輸速率的需求，提升高速影像處理器（Graphic Process Unit, GPU）的傳輸效能，使得電腦在做 3D 運算或是影像處理時的流暢度大大提升。此外，應用於行動式儲存裝置的第三代通用序列匯流排 (Universal Serial Bus 3.0, USB 3.0)，其亦預計將傳速效率提升

至 4.8Gbps，在硬碟傳輸介面，第三代先進串列式附加技術 (Serial Advanced Technology Attachment 3.0, SATA 3.0) 亦準備將傳輸速度規格制訂為至 6Gbps，由此可知，未來對於高速傳輸效率的需求會與日俱增。

1.2 研究動機

在現今的有線傳輸介面中，由於傳送的資料為二位元形式，因此，對於高速傳輸速率的要求來說，其通道的導電材質必須相當良好，才能達到數十 Gbps 的傳輸速率，所以對於有線傳輸系統而言，其通道的頻寬限制了傳輸速率，所以即使擁有高速傳輸介面則仍需有良好的傳輸通道才能彰顯出效果。由此可知，若要達到高速傳輸的效果，則線材成本勢必會增加，因此必須盡量避免這種結果產生。脈波振幅調變 (Pulse Amplitude Modulation, PAM) [1] 為一種將多筆數位資料調變為類比振幅的傳送方式，以 16PAM 和二位元傳輸方式為例，假設通道頻寬僅有 1GHz，對二位元傳輸方式而言，其傳輸速率僅有 1Gbps，相對於 16PAM 來說，可將輸出信號的振幅分為 16 段，其每一段電壓振幅皆代表著 4 筆數位資料，所以傳輸速率可提升為 4Gbps。因此，相較於二位元傳輸方式，脈波振幅調變傳輸可在相同的頻寬限制下提升傳輸效率。

圖 1-1 為脈波振幅調變傳輸方式的系統架構，其必須藉由數位類比轉換器 (D/A Converter) 先將數位信號處理器的輸出轉換為對應之脈波振幅，然後再傳送出去。在接收端方面，則是將收到的脈波振幅透過類比數位轉換器 (A / D Converter) 轉回數位信號，而本論文是設計應用於高速脈波振幅調變傳輸方式之高速類比數位轉換器與數位類比轉換器，然而在高速傳輸的條件下，電路所消耗的功率必定非常驚人，因此，在研究過程中著重於降低整體的功率消耗，以達到高速低功率的目的。因此，最後設計出一個高速數位類比轉換器將數位信號轉換成相對應的脈波高度，再設計一個高速類比數位轉換器將所收到的脈波高度轉成數位信號，而設計規格為 5GHz 以及 16PAM 傳輸方式，預計傳輸速率為 20 Gbps，所採用的製程為 UMC 90nm CMOS Logic & Mixed-Mode

1P9M Low K Process，且相較於傳統的設計，當所要求的傳輸速率越高，則類比數位轉換器所要消耗的功率就越高，所以提出了一個在架構上不同於傳統的設計方式，其可透過補償的方式來實現出高頻寬但低功率的放大器，最後並使用全數位化的方式來實現類比數位轉換器的電路設計，而在 TX 方面亦完成一個 5GHz 的數位類比轉換器。

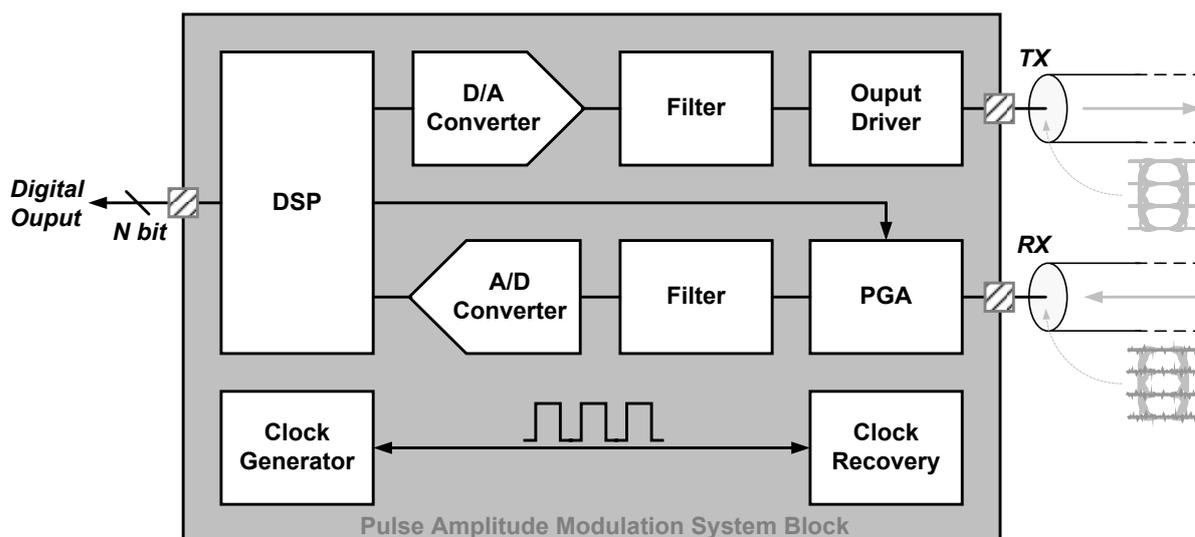


圖 1-1 脈波振幅調變傳輸方式之系統架構

1.3 論文結構

本論文內容分成六個章節。第一章為緒論，簡介發展現況、研究動機以及論文結構。第二章為資料轉換器的基本原理，說明資料轉換器的用途以及效能指標。第三章介紹快閃式類比數位轉換器的設計考量以及所提出之高速低功率類比數位轉換器的設計方式。第四章則是介紹數位類比轉換器的設計考量以及電路架構，此外，亦介紹內建測試電路架構以及其測試模式的用途。第五章為類比數位轉換器、數位類比轉換器以及包含內建測試電路之整體系統的模擬結果以及晶片佈局，其中亦包含規格表、比較表，以及量測考量。第六章為結論，討論電路設計結果。

第二章

資料轉換器基本原理



2.1 簡介

資料轉換器一般常用轉換外界所輸入的類比信號，或是將數位信號處理系統(Digital Signal Processor, DSP)的輸出結果轉變為類比信號[2]，因此，在轉換過程中常會伴隨著失真的現象以及雜訊干擾，或是受到電路或元件本身所造成的非理想效應的影響。在本章節將介紹資料轉換器輸入與輸出的轉換關係，然後繪製出理想的轉換曲線，並與實際會發生的輸出結果互相比較，從中探討理想結果與實際輸出兩者的差異，最後整理量化轉換的結果，使之轉換為電路的效能參數，即為靜態參數(Static Parameter)，則可藉由效能參數的結果來判斷電路是否有正常運作，以及量化效果是否良好。此外，亦可藉由改變輸入信號的頻率，觀察輸出之頻域模擬結果，並轉化為動態參數(Dynamic Parameter)，則可觀察失真與雜訊對資料轉換器的影響。

2.2 資料轉換器規格[2-7]

對於理想的類比數位轉換器而言，當輸入的類比信號位於某一個區間內，其輸出會將輸入信號轉換為對應的數位碼，以一個 3 位元的類比數位轉換器為例，其總共有 8 種輸出信號，因此，可將輸入信號劃分為 8 段，並將每段的類比信號對應到所屬的數位碼，如圖 2-1 所示，其中每一段的寬度稱為最低有效位元（least significant bit, LSB），其所代表的意義為可使輸出信號改變之最小輸入變化量，所以只要信號小於一個 LSB，其輸出並不會有所變化，由此可得知 LSB 的定義為：

$$1 \text{ LSB} = \frac{V_{in,max}}{2^N} \quad (2.1)$$

其中 N 為解析度，而 $V_{in,max}$ 為輸入信號的最大擺幅範圍，即是參考電壓的大小。由此可知，在相同的輸入擺幅範圍下，當所需的解析度越高時，其一個 LSB 的值就越小，因此，會更難解析出所對應的數位信號，則可能會發生誤判的情形。

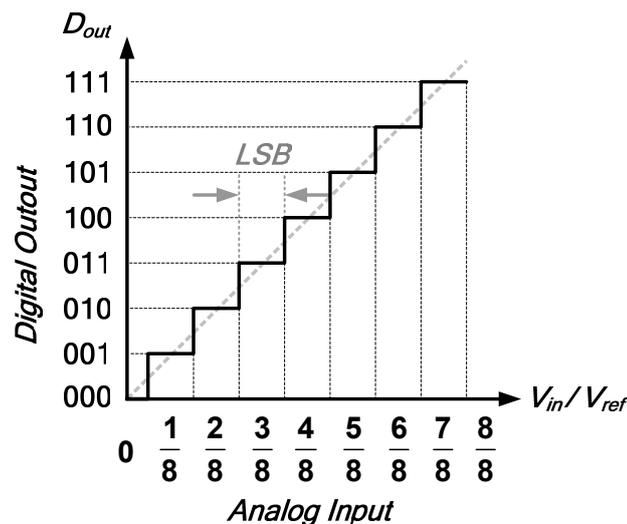


圖 2-1 理想 3 位元類比數位轉換器輸出曲線

而對於理想的數位類比轉換器來說，輸出特性恰好與類比數位轉換器相反，其為將所輸入之數位信號轉換為類比信號再輸出，因此，每一個數位信號都有對應的類比電壓值，以一個理想的 3 位元數位類比轉換器為例，其輸入的數位信號僅有 8 種，所以輸出的類比信號也只有 8 種變化，如圖 2-2 所示，所以在相同的輸出擺幅條件下，當解析度越高時，其輸出的變化量也越小，因此，很難保證每一個輸出信號的改變量皆相同。

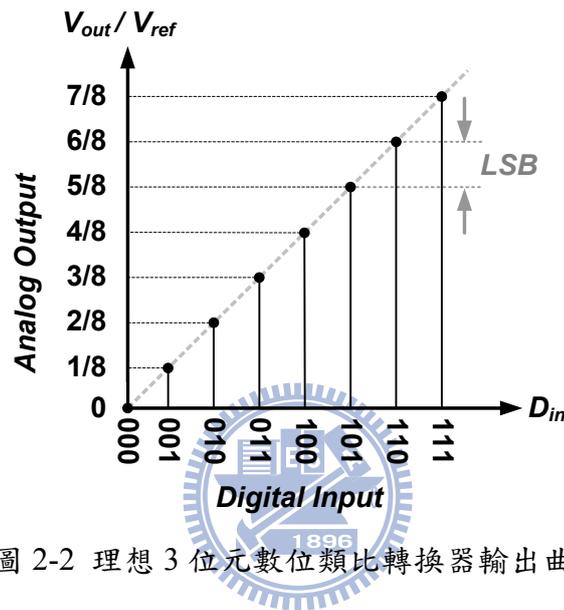


圖 2-2 理想 3 位元數位類比轉換器輸出曲線

2.2.1 靜態參數

1. 差分非線性誤差 (Differential Nonlinearity, DNL)：對於類比數位轉換器而言，差分非線性誤差定義為檢查實際輸出曲線的每一個步階寬度是否大於或小於一個 LSB，如圖 2-3 所示。由此可知，只要取得會使輸出產生步階轉換的輸入值，再將其兩兩相減則可以得到每一個步階的寬度，最後再與 LSB 相減則可知兩者差距為正或為負，以及差距大小，最後換算成比例則可得該點的 DNL 大小，如式 2.2。由此可檢查每一個轉換區間的權值是否相同以及差距為何。

$$DNL[k] = \frac{V_A[k+1] - V_A[k] - LSB}{LSB} \quad (2.2)$$

其中 V_A 為實際上步階轉換的電壓值。

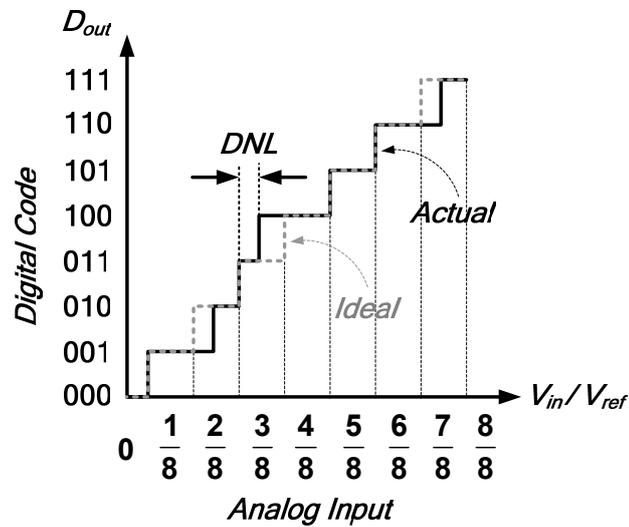


圖 2-3 實際 3 位元類比數位轉換器之 DNL 示意圖

數位類比轉換器的定義與類比數位轉換器不同，理想上當數位信號逐一改變時，輸出電壓的改變量為一個 LSB，但實際上並非如此，所以在數位類比轉換器中，其為檢查每個數位碼所對應輸出電壓值彼此之間的差距，檢查每一個信號的改變權值是否相同以及差距為何，如圖 2-4 所示。

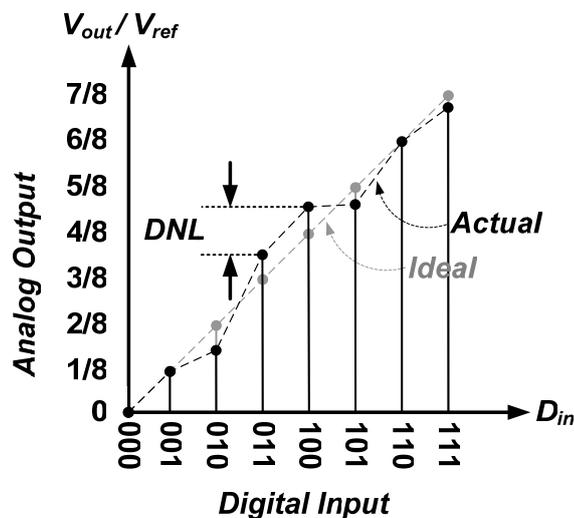


圖 2-4 實際 3 位元數位類比轉換器之 DNL 示意圖

2. 缺碼現象 (Missing Code): 缺碼現象為當輸入信號改變時, 類比數位轉換器的輸出並沒有隨之改變, 以一個 3 位元的類比數位轉換器為例, 如圖 2-5 所示, 輸出結果亦沒有從 101 轉變為 110, 而是直接變為輸出 111, 所以可知由 101 轉變為 110 時的電壓差為 0, 再套用式 2.2 則可得到該點的 DNL, 其計算結果為-1。由此可知, 當取得類比數位轉換器的 DNL 時, 則可根據輸出的結果來判斷是否有缺碼現象產生。此外, 在 011 轉換為 100 時, 其電壓差雖為 2LSB, 但沒有任何數位信號消失, 所以並非是缺碼現象, 代入式 2.2 則可得 DNL 結果為+1, 由此可知 DNL 可以超過+1 但不可低於-1, 否則會有產生缺碼。但是當 DNL 大於+1 時, 其會壓縮到其他數位碼的空間, 因此, 會使出現缺碼的機率提升, 所以要盡量讓 DNL 介於在+1 和-1 之間。

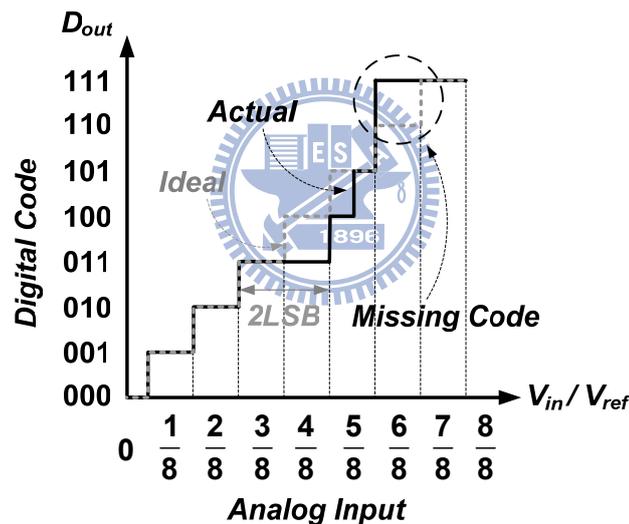


圖 2-5 缺碼現象示意圖

3. 積分非線性誤差 (Integral Nonlinearity, INL): 在類比數位轉換器中, 積分非線性誤差的定義為檢查實際輸出與理想結果的差別, 其可藉此判斷轉換的線性度為何, 如圖 2-6。因此, 可以得到會使輸出步階轉換時的輸入值, 再與理想的曲線中步階轉換時的輸入值相減, 則可知理想結果與實際輸出兩者差距為正或為負, 以及差距大小, 最後換算成比例則可得該點的 INL 大小, 如式 2.3。

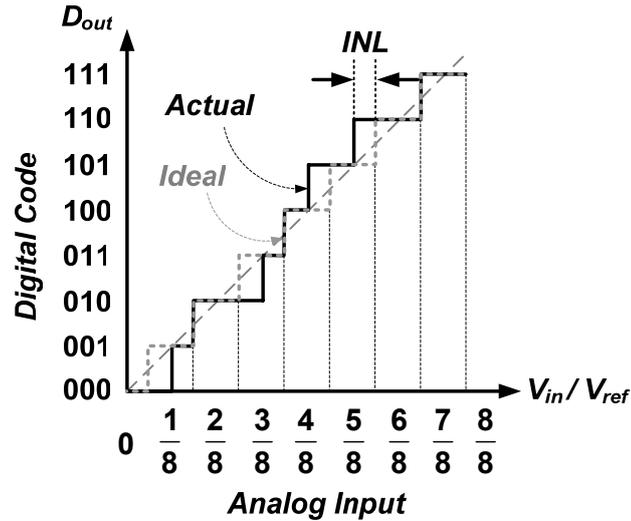


圖 2-6 實際 3 位元類比數位轉換器之 INL 示意圖

$$INL[k] = \frac{V_A[k] - V_{ideal}[k]}{LSB} \quad (2.3)$$

而對於數位類比轉換器來說，積分非線性誤差則是檢查實際輸出與理想值的差距，確認是否每個數位碼的改變量是否有如預定的規格一樣，如圖 2-7 所示，假若兩者完全一樣，則 INL 的計算結果會為 0，其代表輸出信號的線性度與理想一樣高。

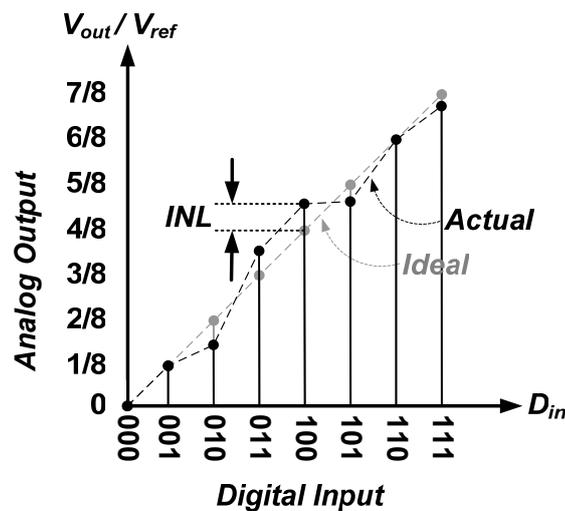


圖 2-7 實際 3 位元數位類比轉換器之 INL 示意圖

4. 偏移誤差 (Offset Error): 偏移誤差的定義為實際輸出曲線與理想結果始終有一定固定量的差距, 此差距稱為偏移量 (offset), 通常有此種情形發生時, 其 INL 的結果會完全都是正值或是負值, 以圖 2-8 與 2-9 為例, 其偏移量為正值, 因此, 其 INL 結果全部會大於 0, 反之則小於 0, 由此可知, 由 INL 的結果可以判斷出資料轉換器是否有存在著偏移誤差。

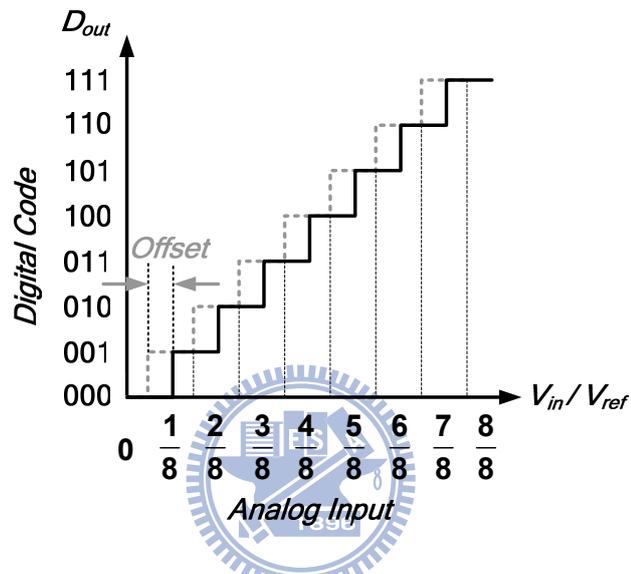


圖 2-8 類比數位轉換器偏移誤差示意圖

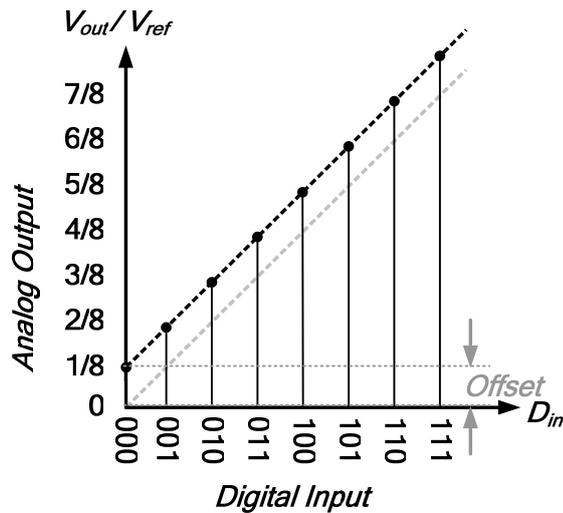


圖 2-9 數位類比轉換器偏移誤差示意圖

5. 增益誤差 (Gain Error)：當在執行量化轉換時，其除了考量輸出的線性度以外，在轉換增益方面亦必須考量，理想上轉換增益必須為 1 倍，但實際上並非如此，如圖 2-10 所示，當有增益誤差產生時，其 INL 會逐漸往正值的方向前進，因此，INL 的結果並不會收斂，而會完全偏向一邊，所以可由所量測到之 INL 的結果來判斷是否有增益誤差。

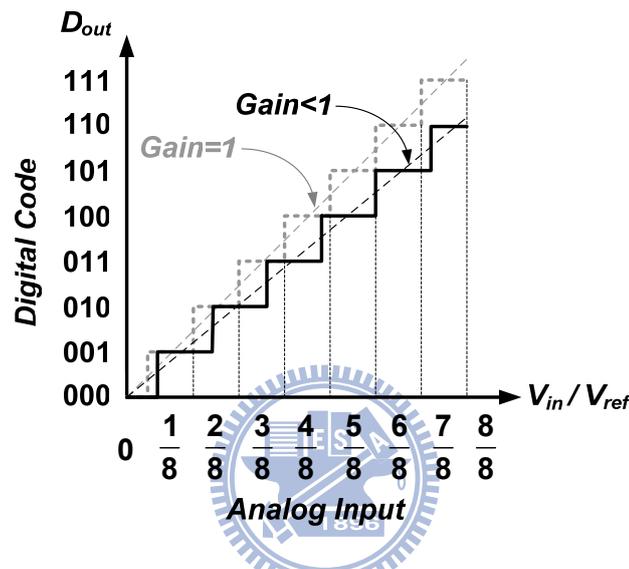


圖 2-10 增益誤差示意圖

2.2.2 動態參數

1. 量化雜訊 (Quantization Noise)：由於資料轉換器的輸出為離散信號值，其與原先的連續變化的類比信號不同，所以兩者必有誤差存在，其稱為量化誤差 (Quantization Error)，此外，其表現就像是雜訊一般，所以亦稱為量化雜訊。由圖 2-1 可以得到量化結果與輸入之類比信號的差距，如圖 2-11 所示。



圖 2-11 量化誤差

由此可看出，當量化誤差介於 $\pm 0.5\text{LSB}$ 內時，其失真度與雜訊量最低。此外，可計算出其大小，如式 2.4 所示。

$$P_n(t) = x_{\text{rms}}^2(t) = \int_{-\infty}^{\infty} e^2 \cdot p(e,t) de \quad (2.4)$$

其中 $x(t)$ 所代表的是雜訊， $p(e,t)$ 是量化誤差的機率密度函數 (probability density function)，而 e 是積分變數。在此假設 $p(e,t)$ 是屬於均勻機率密度函數 (uniform probability density function)，其機率分布如圖 2-12 所示，則可得到機率函數式為：

$$p(e,t) = \begin{cases} \frac{1}{\text{LSB}}, & -\frac{\text{LSB}}{2} < e < \frac{\text{LSB}}{2} \\ 0, & \text{all other } e \end{cases} \quad (2.5)$$

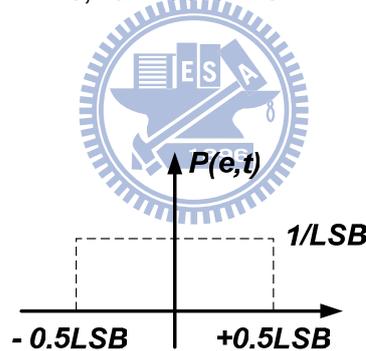


圖 2-12 量化誤差機率分布

因此，可以得知變化範圍為 $\pm 0.5\text{LSB}$ ，大小皆是 $1/\text{LSB}$ ，所以可以得到量化雜訊的大小為：

$$P_n(t) = \int_{-0.5\text{LSB}}^{0.5\text{LSB}} e^2 \cdot \frac{1}{\text{LSB}} de = \frac{\text{LSB}^2}{12} \quad (2.6)$$

所以在將輸入之正弦波的大小與量化雜訊相除，則可得到理想類比數位轉換器的訊

號對雜訊比例，如下所示：

$$\text{SNR} = 10 \log \left(\frac{P_{\text{sin}}}{P_n} \right) = 6.02 \cdot N + 1.76 \text{dB} \quad (2.7)$$

2. 訊號對雜訊比例 (Signal-to-Noise Ratio, SNR)：訊號對雜訊比例的定義為量化結果與雜訊之比例，其為用於觀察在量化過程中受到雜訊影響的量為多少，並不包括失真度的影響量，其頻譜如圖 2-13 所示。通常會使用正弦波來做為輸入信號，以檢測出資料轉換器的效能，由此可得表示式為：

$$\text{SNR} = 10 \log \left(\frac{\text{Signal Power}}{\text{Total Noisefloor Power}} \right) \quad (2.8)$$

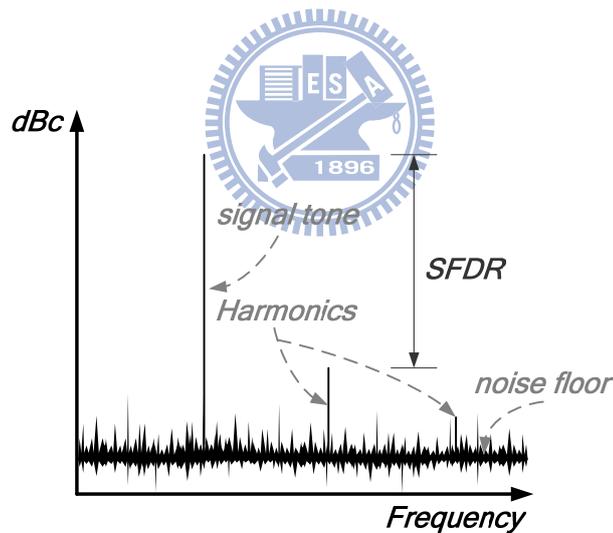


圖 2-13 資料轉換器頻域輸出結果

3. 無假性信號動態範圍 (Spurious Free Dynamic Range, SFDR)：對於無假性信號動態範圍而言，其定義為輸入信號大小相對於最大的突刺信號 (Spur) 的比例，Spur 有可能是最大諧波失真項或是雜訊干擾，可知其所要提供的訊息為信號受到最大失真的影響量為何，其定義可由式 2.9 來表示。

$$\text{SFDR} = 10\log\left(\frac{\text{Signal Power}}{\text{Largest Spurious Power}}\right) \quad (2.9)$$

4. 訊號對雜訊與失真比例 (Signal-to-Noise Ratio and Distortion Ratio, SNDR)：訊號對雜訊與失真比例為考量到資料轉換器在量化的過程中，其受到雜訊影響以及轉換時所產生的失真量，最後取得輸出信號的大小相對於此二者的比例，即是訊號對雜訊與失真比例，由此可知，其考量的項目最多，所以標準也最嚴苛，所以也是最重要的效能指標，其定義如下所示：

$$\text{SNDR} = 10\log\left(\frac{\text{Signal Power}}{\text{Noise and Distortion Power}}\right) \quad (2.10)$$

5. 有效位元數 (Effective Number of Bit, ENOB)：有效位元數為用於判別輸入信號被量化後之結果是否良好的一種效能指標，其為用於檢查資料轉換器的有效解析度。由於實際上對於一個 N 位元的資料轉換器而言，當受到雜訊或是失真的影響之後，其實際解析度必定不會等於 N，因此，可使用式 2.11 來計算資料轉換器在實際運作時，其真正有效的解析度為何。

$$\text{ENOB} = \frac{\text{SNDR} - 1.76\text{dB}}{6.02} \quad (2.11)$$

其中 SNDR 可以替換成 SNR 或是 SFDR，在此使用最為嚴苛的 SNDR 來做為量測標準。

6. 有效解析度頻寬 (Effective Resolution Bandwidth, ERBW)：有效解析頻寬為改變資料轉換器的輸入信號頻率，觀察其輸出結果的 ENOB，檢查在 Nyquist Frequency 內其有效位元數是否仍然足夠，如圖 2-14 所示，其定義非常類似於放大器的頻率響

應，差別只是放大器必須在需求的頻段內要有足夠放大增益。

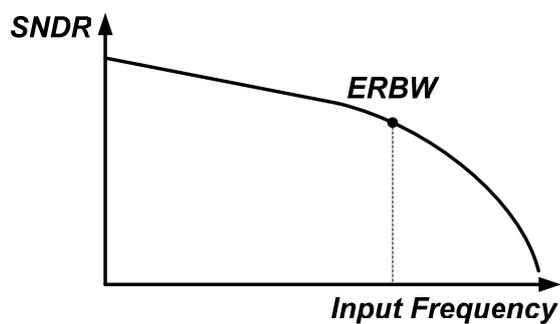


圖 2-14 資料轉換器頻域有效解析度頻寬結果



第三章

類比數位轉換器設計



3.1 簡介

快閃式類比數位轉換器(Flash A/D Converter)架構是由追蹤與保持(Track-and-Hold)電路、參考電壓電路、預先放大器(Pre-Amplifier)、比較器(Comparator)、閃鎖器(Latch)與數位編碼電路所組成，如圖 3-1。當輸入類比信號時，由追蹤與保持電路將取樣到的電壓值穩住，接著由比較器找出對應的量化準位，由數位編碼電路將量化準位轉換成常用的二進制數位碼。Flash A/D Converter 在實際運作中，常會遭受到外來雜訊影響，例如熱雜訊(Thermal Noise)、耦合雜訊(Coupling Noise)與電源抖動(Ground Bounce)，在此採用差動式架構來抑制雜訊的干擾。由上述可得知快閃式類比數位轉換器的電路實際運作情形，但實際上在每個不同的區塊皆有設計上的難度與問題，在此章節將詳細闡述。

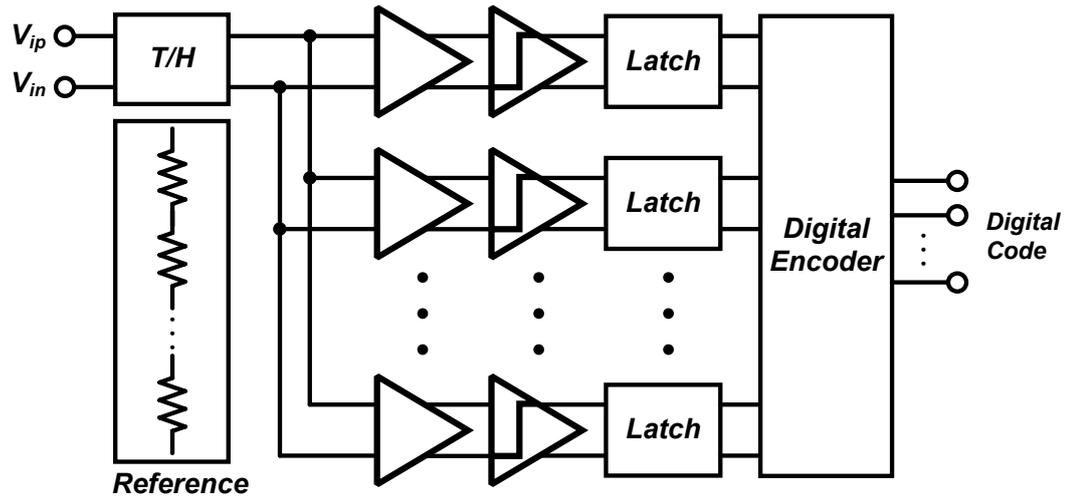


圖 3-1 快閃式類比數位轉換器架構圖

3.2 追蹤與保持電路

圖 3-2 為追蹤與保持電路架構，其基本的操作方式為當取樣信號為邏輯 1 時，則開關關閉形成導通狀態，將輸入信號與輸出相連，並將取樣到的電壓值同時存入取樣電容內，待取樣信號轉為邏輯 0 時，將開關打開形成斷路狀態，使輸出與輸入形成斷路，並把最後所取樣到的電壓信號穩住並輸出，即是直接輸出最後儲存在取樣電容內的電壓值。

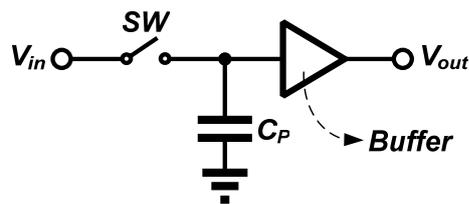


圖 3-2 追蹤與保持電路架構圖

在一般的情況下，由於追蹤與保持電路必須將取樣到的信號傳送至多組的比較器，如圖 3-3，始能將取樣信號做量化轉換，因此若僅有取樣開關與電容二者，當要輸出取樣信號時，會有驅動能力不足的情況發生，所以必須加入輸出緩衝級（output buffer）來增加電路驅動能力，使之能推動多組的比較器。

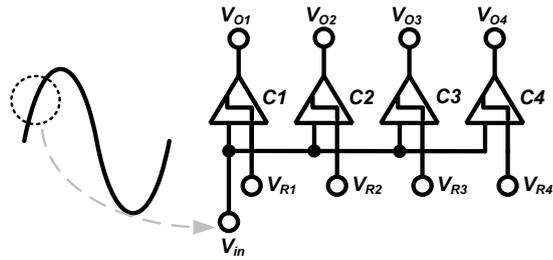


圖 3-3 比較器陣列與 Track-and-Hold 電路關係

此外，使用追蹤與保持電路有另一個優點，由於導線的雜散效應會使取樣時脈產生傳遞延遲的現象，因此會造成每一個比較器收到時脈信號的時間點有些許的差別，假若輸入信號變化很劇烈時，會造成每一個比較器所比較信號值不同，因此會造成氣泡錯誤的現象產生[8-12]，如圖 3-4(a)，在高速信號轉換中，此種情形會更容易出現。此時，再將產生氣泡錯誤的溫度計碼做二進制的轉換的話，則會造成取樣錯誤，進而造成轉變為取樣失真。假若使用追蹤與保持電路，則執行量化比較時，會將信號保持不變，因此即使有時脈延遲傳遞的現象產生，整體電路的氣泡錯誤的現象也會降到最低，如圖 3-4(b)。

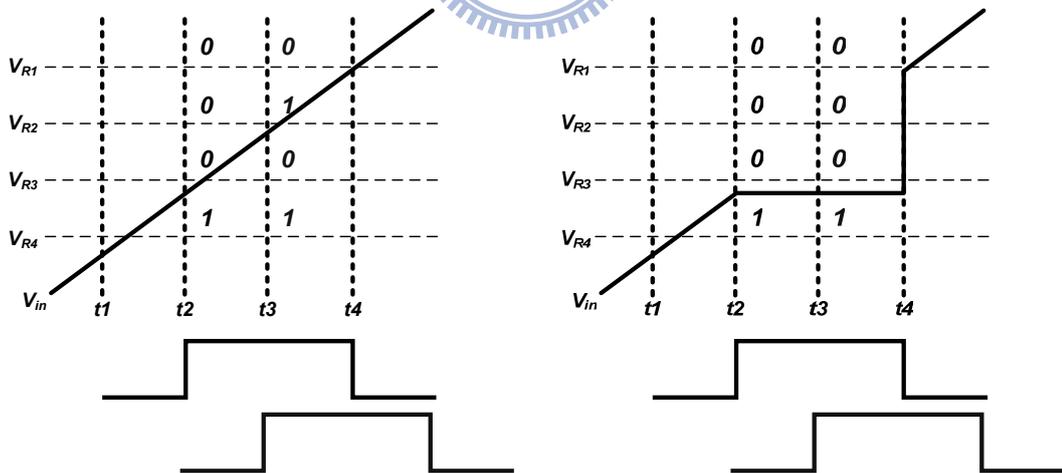


圖 3-4 (a)氣泡錯誤 (b)無氣泡錯誤

在一般的操作環境下，當電路在運作時，必會受到雜訊影響，而雜訊來源有外來雜訊以及內部電路自我產生之雜訊，因而造成電路的效能降低，所幸這些雜訊為共模雜訊，因此可以使用一般常見的差模輸出[13-26]的方式來消除共模雜訊，並提升電路的效

能，其示意圖如圖 3-5 所示。

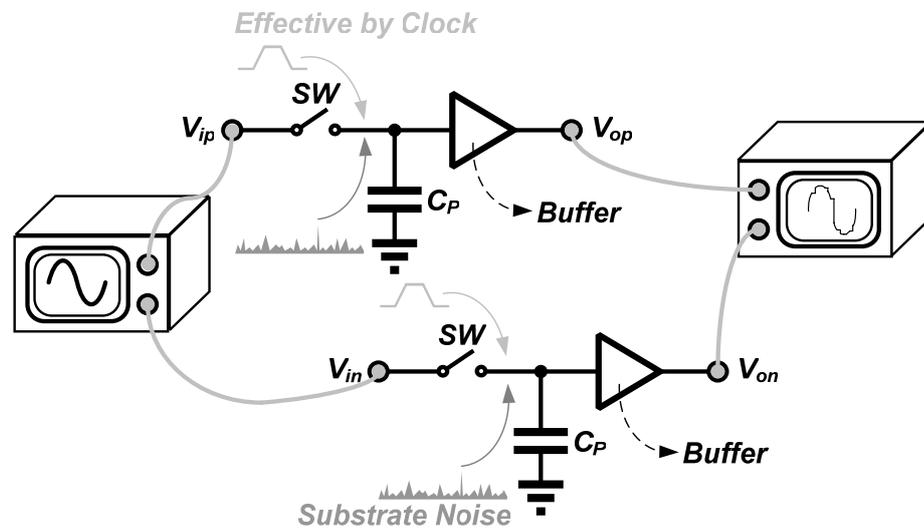


圖 3-5 差模輸出之 Track-and-Hold 電路

由上述亦可得知，在實際的操作環境中，電路會因元件本身的物理特性、外來雜訊或一些非理想效應，而降低電路本身的效能。在此將分為整體追蹤與保持、取樣開關 (sampling switch) 與輸出緩衝級三個部分，分別闡述在設計追蹤與保持電路時會遇到的情況。

3.2.1 整體追蹤與保持電路：

1. 當追蹤與保持電路在取樣模式下，會發生頻寬不足的情況，即是最高輸入信號的頻率不到 Nyquist Frequency。從圖 3-6 可看出，當操作於取樣模式時，取樣開關可視為一個電阻，因此可與取樣電容與輸出緩衝級的雜散電容合併為一個低通的充電電路，故可得到極點頻率表示式，如式 3.1。而對於輸出緩衝級而言，頻率響應亦屬低通形式，式 3.2 為源極追隨器 (source follower) 的極點頻率表示式。因此要達成所需的頻寬，則必須將兩者納入考量。此外，當輸入信號頻率接近取樣頻率的一半時，會出現連續兩個取樣週期分別取樣到最低和最高的輸入信號值，因此必須確定輸出

緩衝級的 5 倍充電時間常數至少要不小於一個取樣週期，所以對於高速用途而言，在設計上的難度也隨之提升。

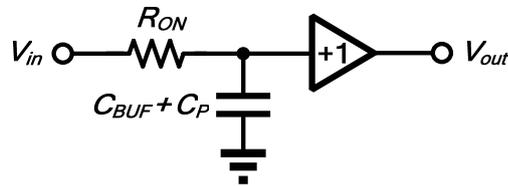


圖 3-6 追蹤與保持電路取樣模式等效電路圖

$$\omega_{sw} = \frac{1}{R_{on}(C_P + C_{BUF})} \quad (3.1)$$

$$\omega_{BUF} = \frac{g_m}{C_{L,tot}} \quad (3.2)$$

2. 一般來說，時脈產生器所提供的取樣時脈信號必有時脈抖動（Jitter）的現象產生，由圖 3-7 可看出，當有 Jitter 產生時，會造成信號取樣誤差，對於在輸入信號變化很大的部份，誤差量更大，所以會使量化誤差提升，轉而造成量化雜訊變大，使 ENOB 降低。由圖 3-8 可看出，當所要求的 ENOB 越高時，則所要求的時脈抖動量就要越低，因此時脈抖動對於追蹤與保持電路的影響亦必須考量入內。

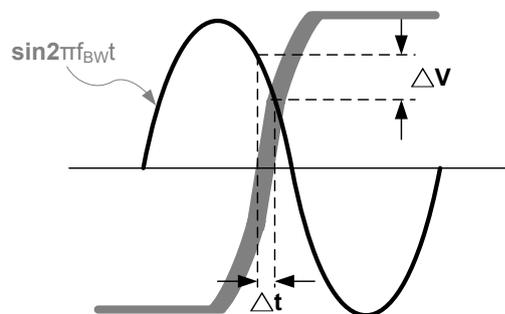


圖 3-7 時脈抖動之影響

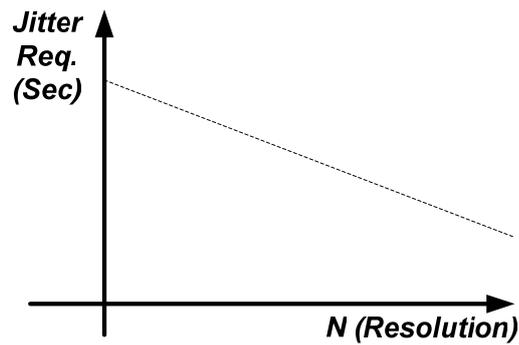


圖 3-8 時脈抖動量對應解析度之要求

由式 3.3 可看出當所需的規格訂出之後，可藉此找出最低要求的取樣時脈抖動量。在式 3.3 中， f_{BW} 為信號輸入頻率， M 為取樣倍率，即是輸入信號頻率與取樣頻率之倍數， N 則為所需的位元數。當計算出所需的最差時脈抖動量[3,7,27]時，則必須與式 3.4 做互相確認是否有超過量化雜訊的大小，若大於量化雜訊則失真度會大大提升。

$$\Delta t_{rms} = \frac{1}{2\pi f_{BW}} \frac{1}{2^N} \sqrt{\frac{2}{3} M} \quad (3.3)$$

$$\frac{2\pi f_{BW} \Delta t_{rms}}{\sqrt{M}} < \frac{1}{\sqrt{\frac{3}{2} \cdot 2^N}} \quad (3.4)$$

3.2.1 取樣開關：

1. 電荷注入 (charge injection) [29] 的情形時常發生在使用電晶體作為開關時，當取樣信號為邏輯 1，則電晶體操作在三極體區，因此電晶體內的電荷會形成通道，如圖 3-9(b)，使汲極與源極相通，而當取樣信號由邏輯 1 轉為邏輯 0 時，此時通道內的電荷會往汲極與源極兩邊散去，則會有將近一半的電荷量注入至取樣電容內，使其與原來的信號產生電壓差，進而造成取樣失真，如圖 3-9(a) 所示。由圖 3-9(a) 來看，可由注入取樣電容的電荷量來計算出所造成的電壓差，如式 3.5 所示。

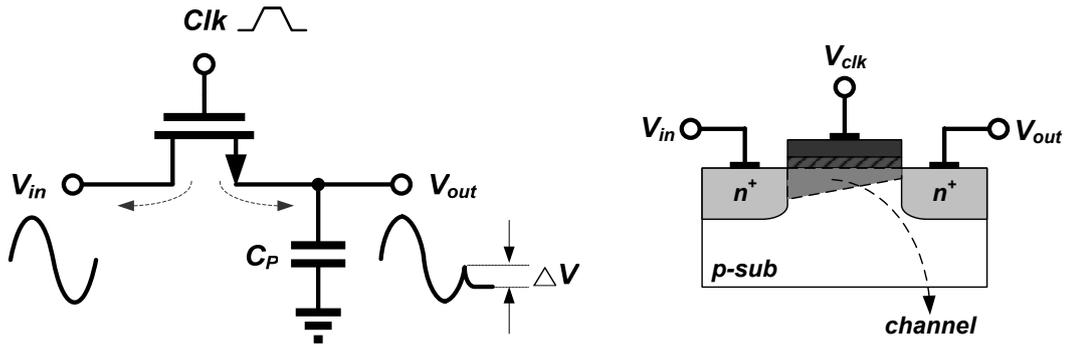


圖 3-9 (a)電荷注入效應 (b)電晶體通道

$$\Delta V = \frac{WLC_{ox}}{2C_p} (V_{DD} - V_{in} - V_{th}) \quad (3.5)$$

為消除電荷注入效應的影響，可在電路中加入一個仿製電晶體 (dummy cell)，使其為電晶體電容組態 (transistor capacitor)，而閘極端則接到反相的取樣信號，如此，當取樣信號由邏輯 1 轉為邏輯 0 時，則仿製電晶體會導通而形成一個小型電容，吸收流向源極的多餘電荷，使取樣電容不受到影響，如圖 3-10 所示。若仿製電晶體太大時，非但無法消除電荷注入效應，反而會過度吸收原本存在取樣電容內的電荷，因而產生反效果。由上述的電壓差公式可看出，若要使用仿製電晶體來吸收開關注入的電荷，其尺寸大約為電晶體開關的一半即可。

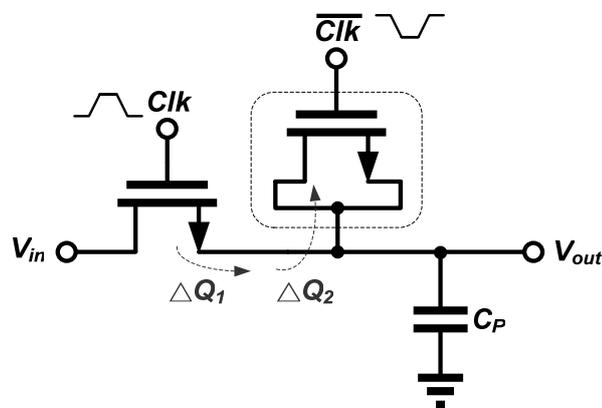


圖 3-10 使用仿製電晶體消除電荷注入效應

除了加入仿製電晶體的方式之外，亦可使用互補式傳輸閘（CMOS Transmission Gate）來作為取樣開關，由圖 3-11 可看出，取樣信號由邏輯 1 轉為邏輯 0 時，NMOS 所流出的為電子，而 PMOS 則為電洞，假若兩者的量為相等，亦可達到電荷相消的效果 [29]。

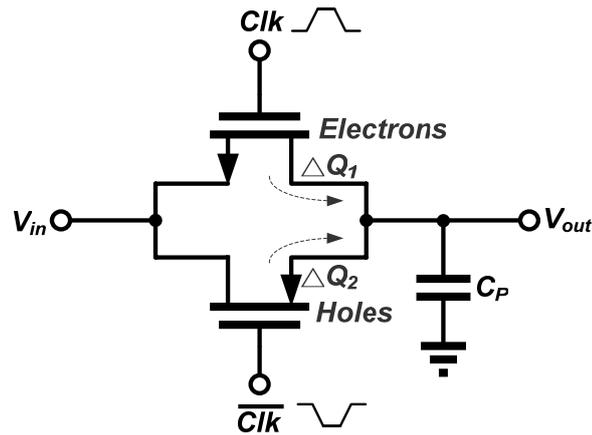


圖 3-11 使用互補式傳輸閘為取樣開關

- 當使用電晶體做為取樣開關時，其通道的電荷量可由式 3.6 表示，因而可以得到輸出表示式（式 3.7），將輸出的結果與原本輸入信號相比，如圖 3-12，可看出電晶體開關會產生固定的增益誤差以及偏移量誤差。

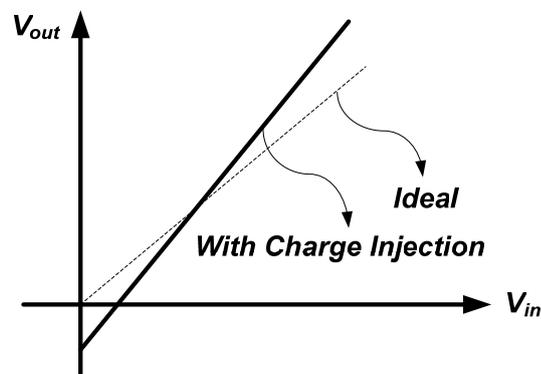


圖 3-12 電晶體開關輸出

$$Q_{ch} = WLC_{ox}(V_{DD} - V_{in} - V_{th}) \quad (3.6)$$

$$V_{out} = V_{in} \left(1 + \frac{WLC_{ox}}{C_p} \right) - \frac{WLC_{ox}}{C_p} (V_{DD} - V_{th}) \quad (3.7)$$

3. 對於電晶體而言，閘極對於汲極與源極兩者之間，皆有雜散電容存在，如圖 3-13，因此當取樣信號在切換時，會透過雜散電容的傳遞來干擾取樣到的信號值，所造成的結果和電荷注入效應一樣，會讓輸出的取樣值與原來信號產生電壓差，一般稱為時脈饋入現象（clock feed-through）[28,29]，可由圖 3-13 導出電壓差表示式，其為取樣信號分壓於儲存電容的影響量，如式 3.8 所示。

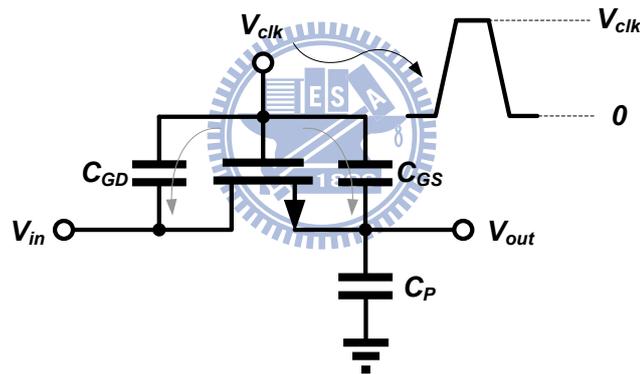


圖 3-13 時脈饋入現象

$$\Delta V = V_{clk} \frac{WLC_{ov}}{WLC_{ov} + C_p} \quad (3.8)$$

為解決此種情形，可採用先前消除電荷注入效應的方式，由圖 3-14 可看出，當取樣信號切換時，仿製電晶體亦會產生和取樣電晶體相同的效果，但兩者對於取樣電容的影響為信號相反，但大小一樣的干擾，因而正負相消，則可消除取樣信號在切換時對取樣電容的影響。

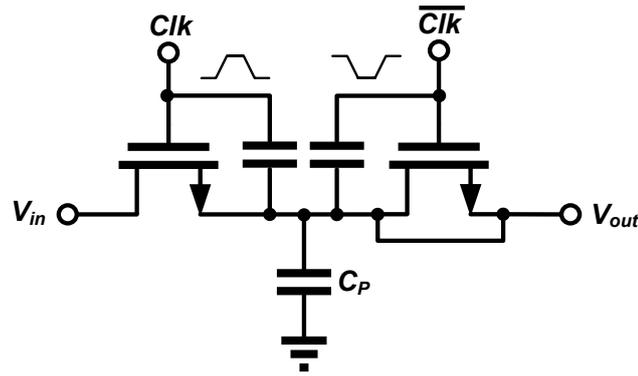


圖 3-14 使用仿製電晶體消除時脈饋入現象

而先前所提到的使用互補式傳輸閘方式，由圖 3-11 可看出當取樣信號切換時，NMOS 和 PMOS 所接受的控制信號互為相反，因此亦會產生信號相反但大小一樣的干擾，消除對於取樣電容的影響。

4. 在取樣模式下，電晶體開關可視為一個電阻，如圖 3-15，因此可以計算出元件本身雜訊對於輸出的影響，其頻率響應表示式如式 3.9。將式 3.9 在與熱雜訊表示式相乘，即可得到雜訊頻率對於輸出的影響，如式 3.10。再將式 3.10 對於所有的頻段積分，即可得到輸出時受到雜訊影響量的大小[2-4,7,27,28]，如式 3.11，由此可知當取樣電容越大，則輸出時受到雜訊的影響量越低，但是電路頻寬也隨之降低。

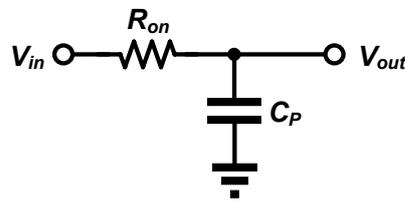


圖 3-15 取樣模式等效電路

$$\frac{V_{out}}{V_{in}}(s) = \frac{1}{1 + sR_{on}C_p} \quad (3.9)$$

$$S_{out}(f) = 4kTR \frac{1}{4\pi^2 R_{on}^2 C_P^2 f^2 + 1} \quad (3.10)$$

$$P_{n,out} = \int_0^\infty 4kTR \frac{1}{4\pi^2 R_{on}^2 C_P^2 f^2 + 1} df = \frac{kT}{C_P} \quad (3.11)$$

3.2.3 輸出緩衝級：

1. 一般對於輸出緩衝級而言，大多使用源極追隨器作為輸出級，其可分為使用 NMOS 與 PMOS 兩種類型，如圖 3-16。對於源極追隨器來說，至少要让輸出與輸入兩端相差一個門檻電壓值，電晶體才能正常運作，因此輸入與輸出存在著偏移量誤差，且偏移量接近於一個門檻電壓值。一般而言，只要改變參考電壓的範圍即可解決此類問題。但是無論是採用 NMOS 或 PMOS 其中一種，其輸出信號的操作範圍會偏低或偏高，所以可用的解析範圍會因此而變小。此外，源極追隨器的電壓轉換速率相較於推挽式輸出級來說較差。因此亦可採用[21]的方式，使其輸出共模電位與輸入一樣，且電路增益趨近於 1 倍。

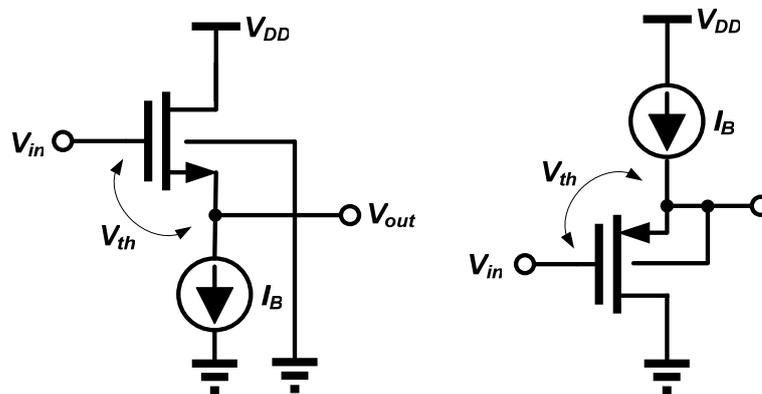


圖 3-16 (a) NMOS 源極追隨器 (b) PMOS 源極追隨器

2. 由於電晶體本身存在著基體效應，由於在成本上的考量，因此所選用的製程中，其 NMOS 無法將基極與源極相接，因此基體效應較大，由使用 NMOS 之源極追隨器的增益表示式可看出，如式 3.12，其增益很難達到 1 倍，假若採用 PMOS 形式，其有

獨立的基底，因此可以將基極與源極相接，因此增益可以達到趨近 1 倍的效果，但從電晶體的剖面來看，如圖 3-17，輸出端會額外增加一個雜散電容，為 N-Well 所形成的電容，所以整體電路的頻寬會因此而較小，對於高速設計而言，此種形式較難達到要求。

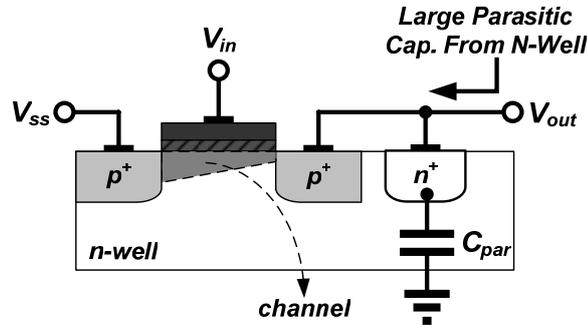


圖 3-17 PMOS 剖面圖

$$A_V = \frac{g_m}{g_m + g_{mb}} = \frac{1}{1 + \eta} \quad (3.12)$$

- 對於源極追隨器而言，由於信號僅靠一個電晶體來做轉換，以 NMOS 為例，當輸入信號電壓值很低時，則電晶體的 g_m 會降低，反之則變高，因此假若輸入信號的電壓範圍很大時，則電路增益會產生非線性的情況[2,19]，如圖 3-18 所示，輸入信號在不同的電壓範圍，電路會有不同的增益表現，會使信號產生失真，由[19]的研究可看出，當輸出緩衝級有非線性輸出的現象產生時，會造成輸出信號的 ENOB 大大的降低。

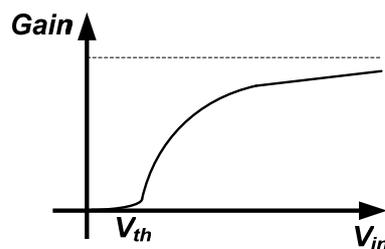


圖 3-18 源極追隨器增益

3.2.4 追蹤與保持電路設計：

由上述可發現到追蹤與保持電路中的雜訊來源分別為時脈抖動、量化雜訊與熱雜訊，其表示式分別如下[2,3,7,27,28]：

$$V_{n,j}^2 = \left(\frac{A}{2} \cdot 2\pi \cdot f_{in} \cdot \sigma_j \right)^2 \quad (3.13)$$

$$V_{n,q}^2 = \frac{V_{LSB}^2}{12} \quad (3.14)$$

$$V_{n,t}^2 = \frac{kT}{C_P} \quad (3.15)$$

其中 σ_j 為時脈抖動量，A 為輸入信號擺幅，由上述的運算式即可得知取樣信號受到雜訊影響的量為何。由[30]亦可得知在追蹤與保持電路中，其第三次諧波失真項表示式為：



$$|HD_3| \simeq \frac{1}{4} \frac{A^2}{(V_{gs} - V_{th})^2} \cdot 2\pi f_{in} R_{on} C_P \quad (3.16)$$

由於 5 倍充電時間常數需小於取樣週期，因此可得出電晶體導通電阻的大小為：

$$R_{on} < \frac{0.1}{f_{clk} \cdot C_P} \quad (3.17)$$

亦可求得正弦波之大小為：

$$P_{sin} = \frac{1}{T} \int_0^T \frac{A^2}{4} \sin^2(2\pi ft) dt = \frac{A^2}{8} \quad (3.18)$$

因此將失真與雜訊部份相加，再與正弦波之大小相除即可得到訊號對失真與雜訊的比例，所以可由預先訂下的目標來求出所需之取樣電容大小。

3.2 參考電壓

在快閃式類比數位轉換器中，參考電壓是由電阻分壓的方式來產生，因此，一旦電路啟動之後，其會一直消耗功率，直到電路關閉為止。由此可得知，阻值越大則所消耗的功率就越低，但是實際上在每個分壓的節點上都會有雜散電容的存在，其來源為連接的導線與放大器或比較器的輸入電容。由圖 3-19 可看出輸入信號在變化時，其會透過差動對的寄生電容去干擾參考電壓，使之產生變動，因此參考電壓不再是固定不變，而會隨著輸入信號的頻率而改變，頻率越高則越容易穿過電容，干擾量就越大，且阻值越大則干擾量亦會隨之提升，此種現象稱為輸入信號饋入 (input feed-through)，因此必須慎選阻值，盡量降低干擾量與功率消耗[27,31]。

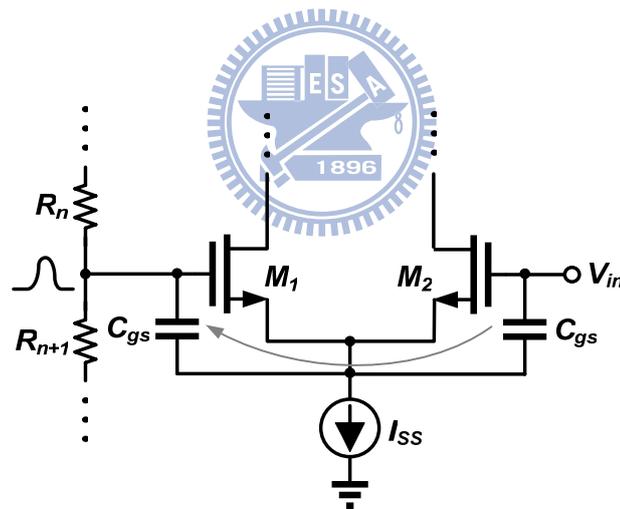


圖 3-19 輸入信號饋入現象

實際上在分壓電阻的所有節點中，位於中間的節點所受的干擾量最大，所以如果能找出適當的阻值使該節點的干擾量符合小於一個 LSB，則其他節點所受的干擾量必能符合要求。由圖 3-19 可看出單一個差動對的輸入電容為 $0.5C_{gs}$ ，所以從整體比較器陣列的輸入端看入，則可得到整體的輸入電容為 $n0.5C_{gs}$ ， n 為差動對的數量，接著將差動對的雜散電容與參考電阻畫出等效的網路模型，如圖 3-20， R_t 是總參考電阻的四分之一， C_t

是四分之一的總輸入電容，參考[31]的計算方式則可以得到最大的阻值為：

$$R_{\text{LSB}} = \frac{4\phi}{\pi 2^b f_{\text{in}} C_{\text{in}}} \quad (3.19)$$

其中， C_{in} 輸入電容， f_{in} 為輸入信號的頻率， b 是解析度， ϕ 則是設計者所要求的干擾量大小，由此可以計算出最大的阻值約為 10Ω 。

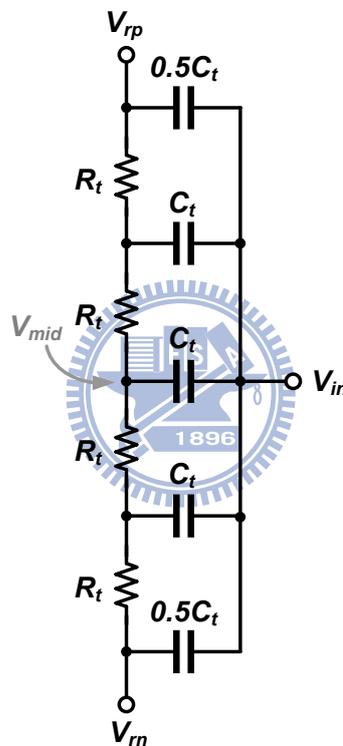


圖 3-20 參考電路等效網路模型

3.3 預先放大器

預先放大器為應用於放大取樣到的輸入信號與參考電位，因此比較器所要比較的為一組差動且差值已被放大的信號，所以相較於直接讓取樣信號與參考電壓相比的方式，此種方法較能使比較器輕易的比出結果。此外，對於一個理想的比較器而言，必須在輸入信號大於參考電壓時輸出邏輯 1，反之則輸出邏輯 0，但實際上比較器的增益無法達

到無限大，因此其必存在一個線性區段，如圖 3-21，輸出曲線可分為三個區段，輸出表示式如式 3.20 所示。所以當輸入信號的大小接近於參考電位時，輸出信號的大小不再會是邏輯準位，而是介於邏輯 0 和邏輯 1 兩者之間的類比電壓值，假若將此結果送至後端的數位編碼器中，會使數位電路不正常運作，導致系統錯誤，因而輸出錯誤結果，一般稱此現象為亞穩態錯誤輸出 (Metastability Error) [5,8,13,31]。由式 3.21 可計算出亞穩態區域值大小[5]，其中 A 為比較器增益，由此可發現當比較器增益越大，則亞穩態區域會越小。但在實際設計中，比較器增益無法做到非常大，因此若在比較器前端接上預先放大器，可使整體的增益提升，減少亞穩態區域的大小，降低亞穩態錯誤的機率。從信號的角度來看，即是放大輸入信號與參考電位的差距，使比較器所收到的信號不會過於接近，因此不會操作在亞穩態區域。

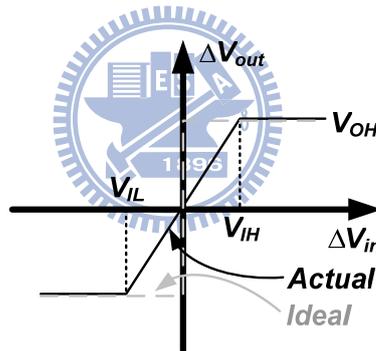


圖 3-21 比較器轉換曲線

$$f(\Delta V_{in}) = \begin{cases} V_{OH} & \text{for } \Delta V_{in} > V_{IH} \\ A(\Delta V_{in}) & \text{for } V_{IL} < \Delta V_{in} < V_{IH} \\ V_{OL} & \text{for } \Delta V_{in} < V_{IL} \end{cases} \quad (3.20)$$

$$\Delta V_{in,min} = \frac{V_{OH} - V_{OL}}{A} \quad (3.21)$$

式 3.22 為由[32]所得知比較器出現亞穩態錯誤的機率，其中 $V_{out,L}$ 為有效的邏輯準位輸出擺幅，n 為解析度， $\Delta V_{in,max}$ 為輸入信號擺幅， τ 為閘鎖器的回復時間常數， t_r 為閘

鎖週期的長度，即是一半的取樣時脈之週期，由此亦可以證實當增益越大，發生亞穩態錯誤的機率越小。因此，可得知在考慮亞穩態的條件下，預先放大器所需求之最小增益，必須至少將一個最低有效位元放大至超過亞穩態區域的大小，如式 3.23。

$$P_E = \frac{2(2^n - 1)V_{out,L}}{\Delta V_{in,max} A} e^{(-t_r/\tau)} \quad (3.22)$$

$$A_{pre} \geq \frac{\Delta V_{in,min}}{V_{LSB}} \quad (3.23)$$

當進一步考慮元件誤差時，則可以發現到比較器亦有輸入偏移量誤差 (input offset) [16,18,33-51]的問題存在，因此當比較器收到的信號時，兩端輸入必有一端要減去偏移電壓 (offset voltage) 的大小，所以當輸入信號很相近時，會因此產生錯誤的比較結果，如圖 3-22。偏移電壓的來源分別為輸入差動對以及比較器電路中其他電晶體的門檻電壓、尺寸大小不同。

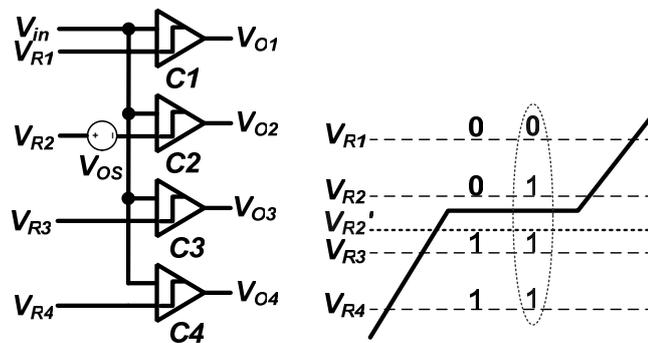


圖 3-22 偏移電壓之影響

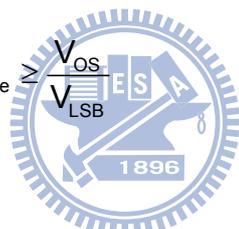
門檻電壓、尺寸大小的受製程誤差影響的表示式分別為[34,50]：

$$\Delta V_t = \frac{A_{VT}}{\sqrt{WL}} \quad (3.24)$$

$$\frac{\Delta(W/L)}{(W/L)} = \frac{A_{\beta}}{\sqrt{WL}} \quad (3.25)$$

A_{VT} 與 A_{β} 為製程誤差參數。因此只要得知製程誤差參數，即可代入比較器電路估算出偏移電壓之大小，以檢查偏移電壓是有小於 $0.5LSB$ ，確保沒有缺碼現象(Missing Code)或是量化非單調性現象 (Non-monotonicity) 的出現，此式亦可用於預先放大器中，計算出該電路的偏移量。

由此可知，預先放大器亦可用於將輸入信號與參考電位放大至超過比較器之偏移電壓，使之判讀正確。因此在考慮偏移電壓的條件下，可以求得預先放大器的最低增益需求為：

$$A_{pre} \geq \frac{V_{OS}}{V_{LSB}} \quad (3.26)$$


在考慮亞穩態現象與偏移電壓兩者下，可使用兩者之增益條件，求出個別的增益要求，而採用最高的增益者，即可符合考慮兩種條件下的要求。由於預先放大器必須先將輸入信號的差距放大，因此其頻寬與增益都有一定的要求，但是對於放大器而言，頻寬與增益互成反比，而在頻寬的要求最少要大於 Nyquist Frequency，因此在高速設計裡，在相同的解析度要求下，相較於低速用途而言，較難達成增益與頻寬的需求。而對於低增益放大器來說，其頻寬較容易達到需求，因此可使用多個低增益且高頻寬的放大器，使之串接成多級放大器，以達成高增益及高頻寬的需求，如圖 3-23 所示。

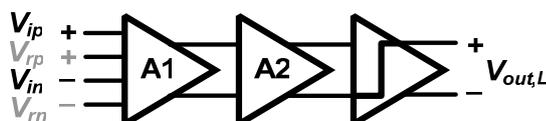


圖 3-23 多級放大器

3.3.1 類比預先放大器

由於所採用的是全差模輸入架構 (Fully Differential)，因此第一級的預先放大器必須能將差模輸入信號與差模參考電壓放大，所以一般常採用的架構為吉伯特元件 (Gilbert Cell)，如圖 3-24。在第二級之後的放大器，大多採用一般常見的差動放大器，如圖 3-25，其常見的負載有電阻、電感、電流源電晶體 (Current Source Load)、三極體區電晶體負載 (Triode Transistor Load)、二極體式負載 (Diode Connected Load) 以及仿電感式電晶體負載 (Inductive Peaking)，如圖 3-26。

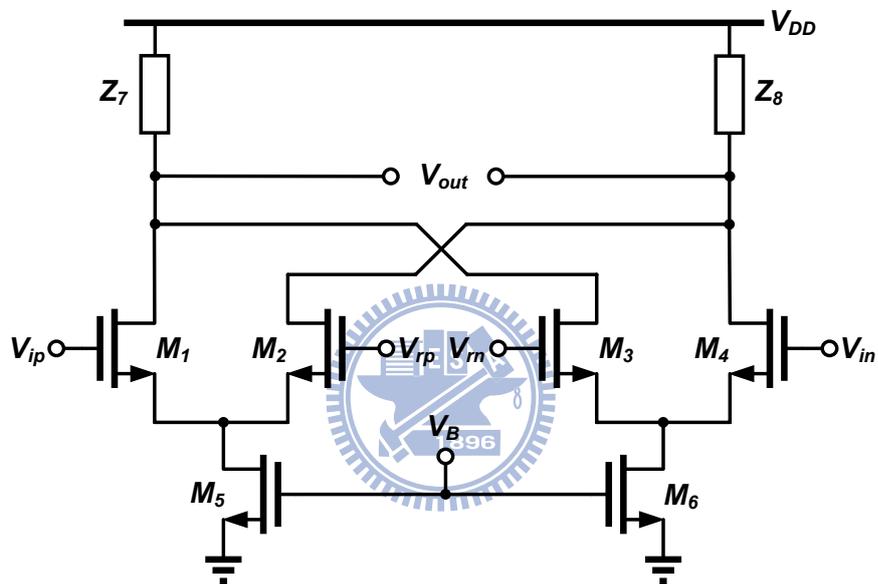


圖 3-24 吉伯特元件

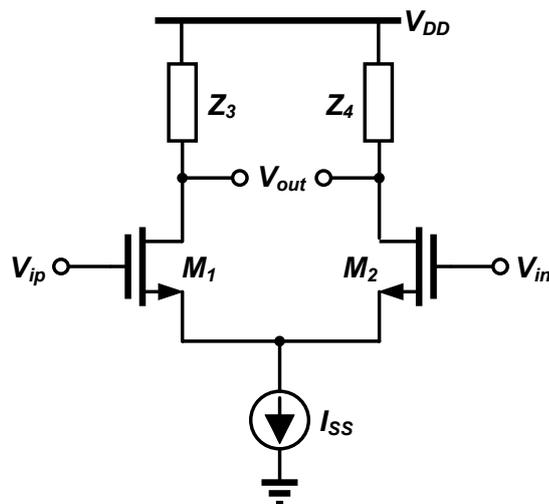


圖 3-25 差動放大器

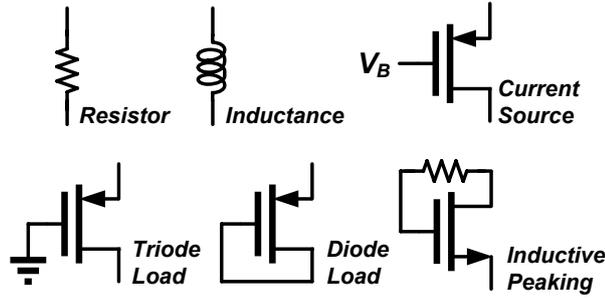


圖 3-26 差動放大器負載

以電阻作為負載來看，其差模等效電路及共模等效電路如圖 3-27，其差模增益與共模增益的頻率響應分別如式 3.27 與式 3.28 所示，由差模增益的頻率響應可看出，為一個具有兩個極點與一個零點的系統，因此可將其頻率響應繪成圖 3-28，所以可看出要使 3dB 頻寬能達到要求，使之能操作在高速的難度也隨之提升。

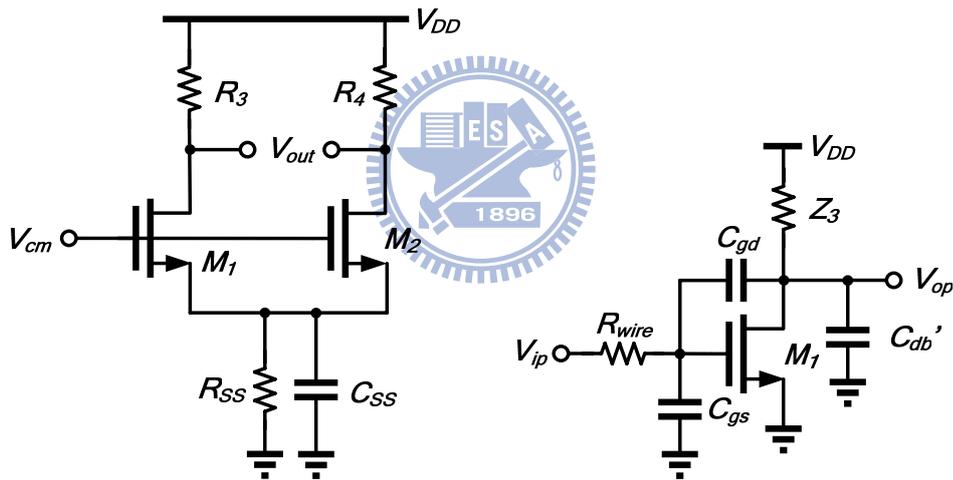


圖 3-27 (a)差動放大器共模等效電路 (b)差動放大器差模等效電路

$$A_{DM}(s) = \frac{(sC_{gd} - g_{m1})R_3}{s^2 R_{wire} R_3 \alpha + s [R_{wire} (1 + g_{m1} R_3) C_{gd} + R_{wire} C_{gs} + R_3 (C_{gd} + C_{db}')] + 1} \quad (3.27)$$

$$\alpha = C_{gs} C_{db}' + C_{gs} C_{gd} + C_{gd} C_{db}'$$

$$C_{db}' = C_{db} + C_L$$

$$A_{CM}(s) = \frac{\Delta g_m \left[R_3 \parallel \frac{1}{sC_L} \right]}{(g_{m1} + g_{m2}) \left[R_{SS} \parallel \frac{1}{sC_{SS}} \right] + 1} \quad (3.28)$$

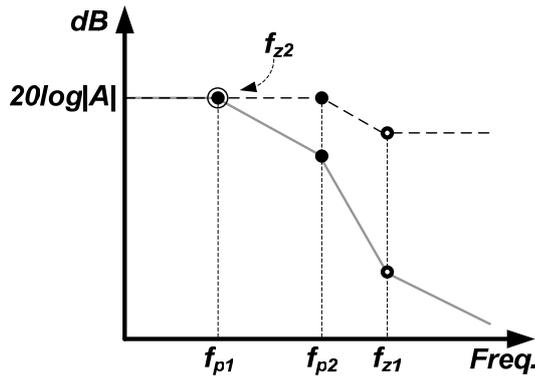


圖 3-28 差動放大器頻率響應

通常若是要達到高速的要求，其整體操作電流的需求要非常大，因此對於使用二極體式負載以及電流源式負載而言，要能夠承受如此大的電流，則電晶體的尺寸必定非常大，由此可以得知在面積上消耗亦會非常大，且大尺寸元件其雜散容值必定非常高，因此整體放大器的頻寬會因此而受限而無法提升，且使用二極體式負載時，輸出擺幅也較低。若使用電感式負載來產生額外的零點，雖可消除主極點，延伸放大器之頻寬，但是在實際的晶圓製作上，電感所佔據的面積很大，因此較不適合用於快閃式類比數位轉換器中。但除電感之外，亦可使用仿電感式電晶體來提升放大器頻寬，其等效阻抗頻率響應如式 3.29，圖 3-29 為阻抗頻率響應圖。在低頻時，電晶體所有的電容皆視為開路，此時的輸出阻抗僅有 $1/g_m$ ，當高頻時電容則視為短路，因此 V_{gs} 為 0，此時所看到的輸出阻抗為 R_s ，由此可看出當要產生電感式負載，則 $1/g_m$ 必須要大於 R_s ，因此可求得等效電路，如圖 3-30，進而可求得對應的電阻值與電感值，如式 3.30，如此可設計出所需得零點，以達成頻寬延伸的效果。

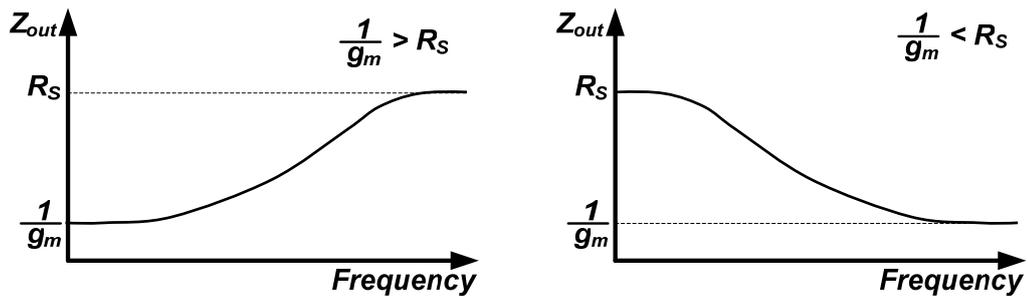


圖 3-29 仿電感式電晶體阻抗頻率響應

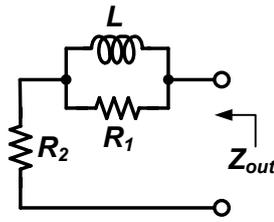


圖 3-30 仿電感式電晶體等效電路

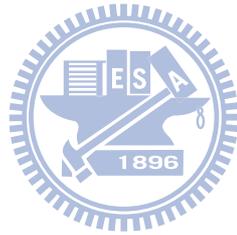
$$Z_{out} = \frac{1 + sR_s C_{GS}}{g_m + sC_{GS}} \quad (3.29)$$

$$\frac{1}{Z_{out} - \frac{1}{g_m}} = \frac{1}{R_s - \frac{1}{g_m}} + \frac{1}{s \frac{C_{gs}}{g_m} \left(R_s - \frac{1}{g_m} \right)}$$

$$L = \frac{C_{gs}}{g_m} \left(R_s - \frac{1}{g_m} \right) \quad (3.30)$$

$$R_1 = R_s - \frac{1}{g_m}$$

$$R_2 = \frac{1}{g_m}$$



3.3.2 數位化放大器

反相器，如圖 3.31(a)，在理論上屬於一種數位元件，但其實際的輸出特性曲線存在著一段線性放大區，如圖 3-32，所以當輸入信號擺幅在 $0.5V_{DD}$ 附近時，則反相器可視為高增益的放大器，其小信號等效電路如圖 3.31(b)，因此可以計算出輸出等效阻抗與增益大小，如式 3.31 及式 3.32 所示，由此可看出其增益雖然很高，但可用線性放大區段太小。

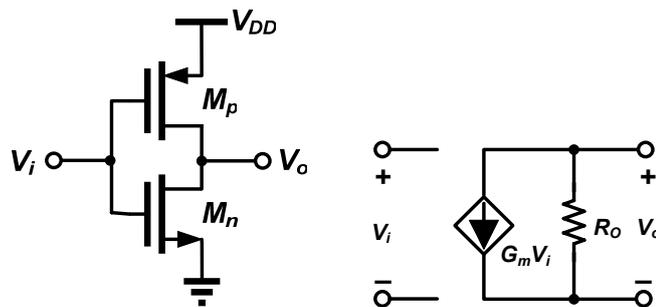


圖 3-31 (a)反相器電路 (b)小信號等效模型

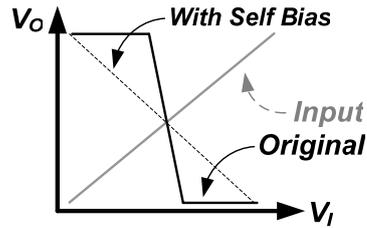


圖 3-32 反相器輸出曲線

在頻率響應方面，反相器含雜散電容之電路及小信號等效電路如圖 3-33(a)(b)所示，因此可以導出增益之頻率響應，由式 3.33 可看出由於反相器輸出阻抗較大，因此極點頻率較低，若要達到高頻寬的目標，所需消耗的功率非常大，所以不適用於低功率設計。

$$R_o = r_{OP} \parallel r_{ON} \quad (3.31)$$

$$A_{INV} = (g_{m,p} + g_{m,n}) R_o \quad (3.32)$$

$$A_{INV}(s) = \frac{(g_{m,p} + g_{m,n}) \cdot R_o}{1 + sR_o C_{out}} \quad (3.33)$$

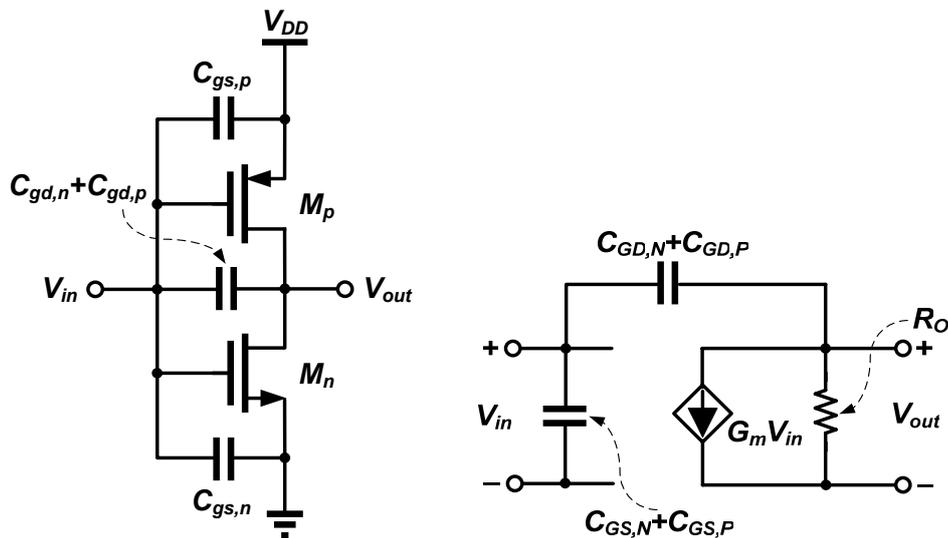


圖 3-33(a)含雜散電容反相器電路 (b)含雜散電容小信號等效模型

自我偏壓電路[52]是一個將反相器的輸出端與輸入端之間接上一個電阻的電路，如圖 3-34(a)，其輸出阻抗相較於反相器來說降低許多，輸出端直流等效阻抗如式 3.34 所

示。由輸出阻抗的頻率響應來看，由圖 3-34(b)可計算出輸出阻抗的頻量響應，如式 3.35，在其頻率響應中，在頻譜上會先遇到一個零點，因此產生 20dB/dec 的上升量，然後會遇到一個極點將阻抗增益打平，最後再遇到第二個極點產生 20dB/dec 的下降，由此可得其阻抗頻率響應圖，如圖 3-35。由此可看出，相較於直接將反相器輸出與輸入短路的方式，其從僅有一個極點的系統變為具有二個極點與一個零點的系統，因此可用此零點來實現延展頻寬的效果。

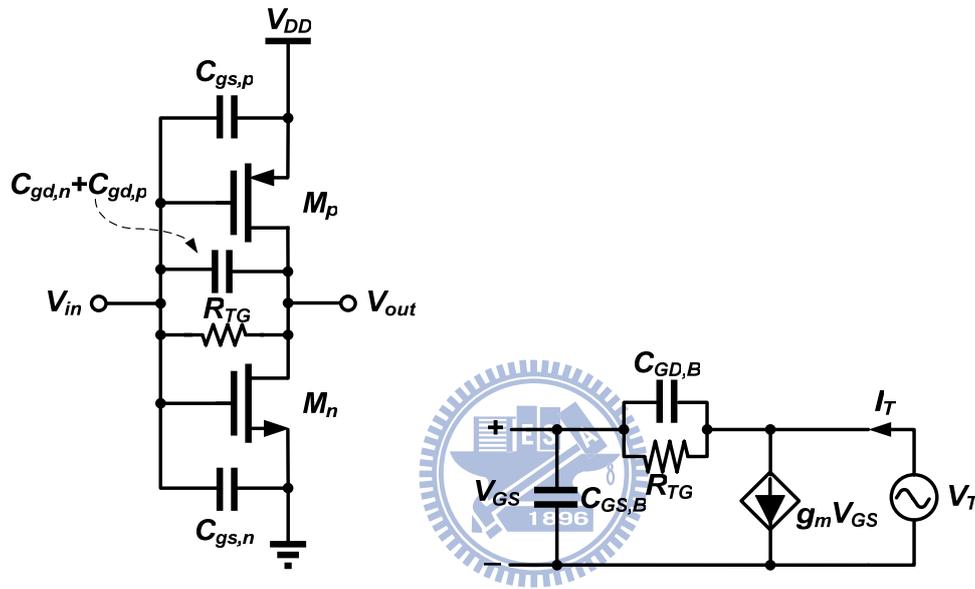


圖 3-34(a)自我偏壓電路 (b)自我偏壓電路小信號等效模型

$$R_O = \frac{1}{g_{mp} + g_{mn}} \parallel r_{OP} \parallel r_{ON} \quad (3.34)$$

$$Z_B(s) = \frac{1 + sR_{TG}(C_{GS,B} + C_{GD,B})}{(g_m + sC_{GS,B})(1 + sR_{TG}C_{GD,B})}$$

$$P_1 = \frac{1}{R_{TG}C_{GD,B}} \quad (3.35)$$

$$P_2 = \frac{g_m}{C_{GS,B}}$$

$$Z_1 = \frac{1}{R_{TG}(C_{GS,B} + C_{GD,B})}$$

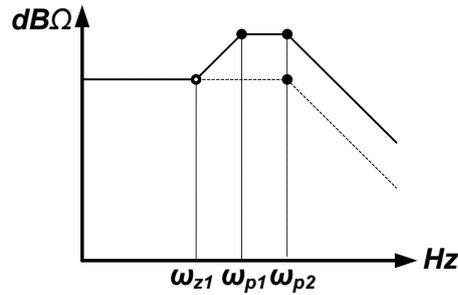


圖 3-35 自我偏壓電路輸出阻抗頻率響應

從圖 3-35 可看出，自我偏壓電路亦具有仿電感式負載的效果，因此可用自我偏壓電路配合反相器，則即可設計出一個數位化的放大器，如圖 3-36，且其輸出阻抗較低，可延長反相器的線性放大操作區，如先前的圖 3-32 所示，較能符合所需得操作範圍。此外，在此使用互補式傳輸閘來取代電阻，達到數位化整體放大器的目的。

假若使用圖 3-36 中的數位化放大器，雖可以使用補償方式達到高頻寬，但由其增益式可發現，如式 3.36，若要達到所需要的增益，則輸入反相器的轉導值必須提昇，或是降低自我偏壓電路中反相器的轉導值。假若降低自我偏壓電路中反相器的轉導值，則由式 3.35 可得知，放大器的頻率響應會變差，且無法達到頻寬延展的效果，所以此方法較不適用，若是採用提升輸入反相器的轉導值的方式，則消耗的功率會隨之提升，且整體放大器的輸入電容亦會變大，因此對於快閃式類比數位轉換器而言，若預先放大器的輸入電容過大時，對於前端的追蹤與保持電路來說，設計難度會隨之提升，且必須具有很高的驅動能力才能推動後方所有的放大器，因此追蹤與保持電路所消耗的功率也會變大。由此可想像到當調大輸入反相器的轉導值時，無法達成低功耗的要求。

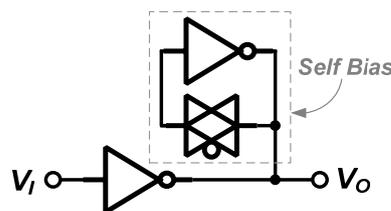


圖 3-36 數位化放大器

$$A_0 = (g_{mp,i} + g_{mn,i}) \left(\frac{1}{g_{mp,b} + g_{mn,b}} \parallel r_{OP,b} \parallel r_{ON,b} \parallel r_{OP,i} \parallel r_{ON,i} \right) \quad (3.36)$$

為解決此種情形，可利用差動放大的特性，在差動輸出的兩條路徑之中分別置入反相器於其中，使之除了單端的反相放大路徑之外，還具有從另一端反相輸出所形成的正相放大路徑，整體電路的放大增益為兩條放大路徑相加，放大增益因此提升，如此可以不必調整輸入反相器的轉導值來提升增益，輸入電容也不會太大，且此種正回授方式亦可將輸入信號的差值快速拉開，在此將其稱為數位化差動放大器，其組成可分為輸入驅動對 (Input Driver)、回授網路 (Feedback Circuit) 與自我偏壓電路 (Self Biasing Circuit) 三部份，如圖 3-37。此外，在共模響應部份，如圖 3-38 所示，假若有一共模雜訊影響放大器時，則會透過回授網路產生反相的共模雜訊使之正負相消，因此數位化差動放大器對於抑制共模雜訊方面，亦有相當好的效果，且在數位化差動放大器當中，所有電晶體的源極與基極為相連在一起，因此可得知其受到基體效應的影響也隨之大大降低，線性度也因此而提升。

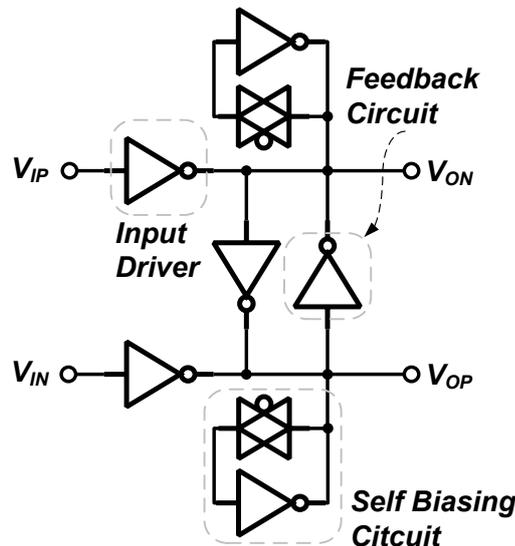


圖 3-37 數位化差動放大器

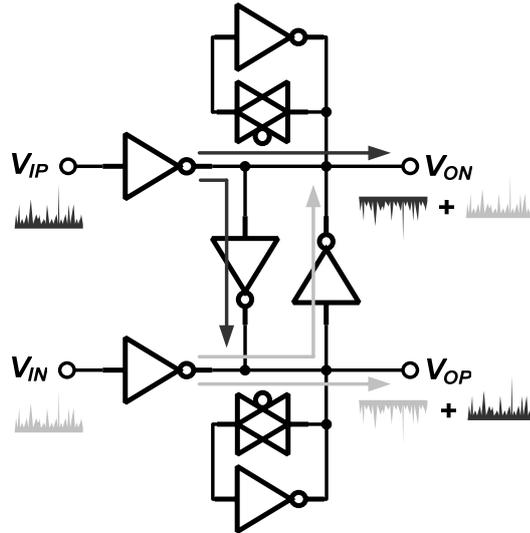


圖 3-38 數位化差動放大器共模雜訊響應

在此與先前提及的類比式差動放大器相比，可將自我偏壓電路視為類比放大器之負載，回授網路視為電流源，而輸入驅動對則視為電晶體差動輸入對。因此，可由此法則來設計出仿吉伯特元件的數位化放大器，如圖 3-39 所示。

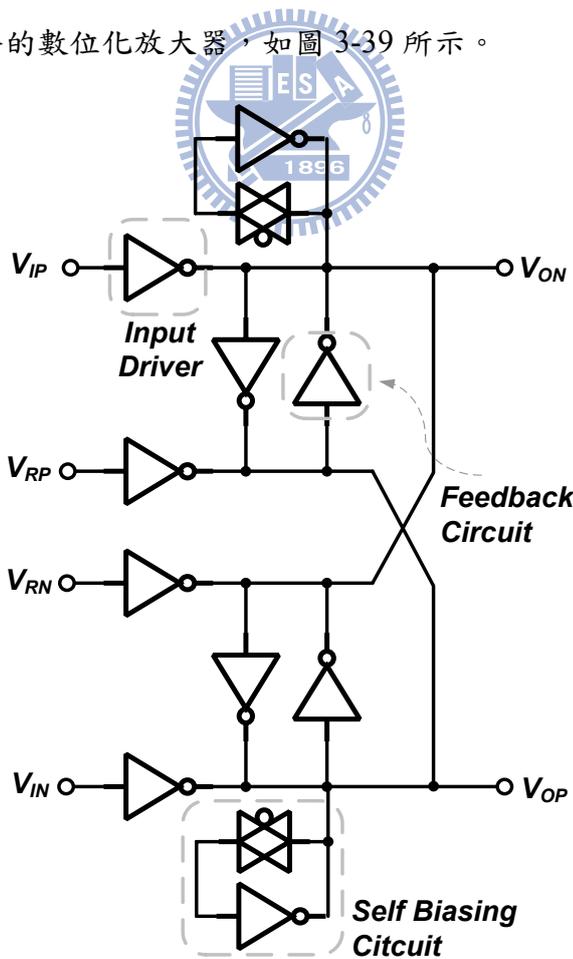


圖 3-39 數位化吉伯特元件

由類比式吉伯特元件的接法來看，其可透過使用兩組的輸入驅對，讓放大輸入正端與正端參考電位的兩個輸出端共用回授網路，輸入負端與負端參考電位的輸出亦然，並讓正端輸入的放大輸出與負端參考電位的放大輸出共用同一個自我偏壓電路，反之亦是如此，因此可組合出所需的仿吉伯特元件數位化放大器，在此稱為數位化吉伯特元件。

3.3.3 數位化放大器直流分析

為能夠設計出所需得增益，在此將推導數位化差動放大器的直流增益，而在計算之前，先把一些所需要用的參數予以簡化，並賦予有意義的名稱。因此先把一個反相器的輸出總轉導值定為 G_m ，輸出阻抗為 R_o ，如圖 3-40，因此可將輸入驅動對轉導值命名為 $G_{m,I}$ ，輸出阻抗為 $R_{o,I}$ ，回授網路之轉導值為 $G_{m,F}$ ，輸出阻抗為 $R_{o,F}$ ，而自我偏壓電路之轉導值為 $G_{m,B}$ ，輸出阻抗為 $R_{o,B}$ 。其個別的轉導值與輸出阻抗如下所示：

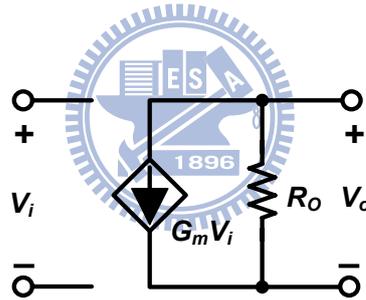


圖 3-40 反相器小信號等效電路

$$G_{m,I} = g_{mp,I} + g_{mn,I} \quad (3.37)$$

$$R_{o,I} = r_{op,I} \parallel r_{on,I} \quad (3.38)$$

$$G_{m,F} = g_{mp,F} + g_{mn,F} \quad (3.39)$$

$$R_{o,F} = r_{op,F} \parallel r_{on,F} \quad (3.40)$$

$$G_{m,B} = g_{mp,B} + g_{mn,B} \quad (3.41)$$

$$R_{o,B} = \frac{1}{g_{mp,B} + g_{mn,B}} \parallel r_{op,B} \parallel r_{on,B} \quad (3.42)$$

由單一輸出端看入，將輸入反相器、回授反相器以及自我偏壓電路的輸出阻抗並聯，則可得到數位放大器的等效輸出阻抗 R_T ：

$$R_T = R_{O,B} \parallel R_{O,F} \parallel R_{O,I} \quad (3.43)$$

由於數位化放大器的架構與類比式放大器並不相同，因此無法確定是否可用差模半電路的方式來等效做運算，所以在此計算輸出節點的電流式，從中推導出單一輸入端對於輸出的關係，最後以重疊定理來求得差模增益，圖 3-41(a)(b)分別為輸入正端對輸出負端所造成的電流流向與其等效電路。對於輸出負端而言，由該節點的電流表示式可得輸入正端對輸出負端的影響，算式如下：

$$-\frac{V_{ON}}{R_T} + (-G_{m,I} V_{IP}) + [(-G_{m,F} V_{ON} R_T)(-G_{m,F})] = 0$$

$$V_{ON} = V_{IP} \frac{-G_{m,I} R_T}{1 - G_{m,F}^2 R_T^2} \quad (3.44)$$

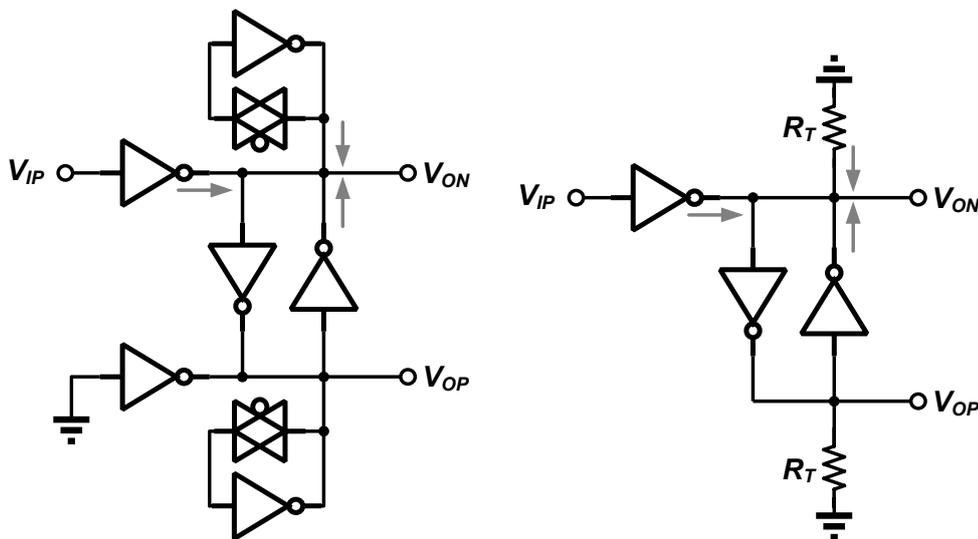


圖 3-41(a)輸入正端對輸出負端影響 (b)輸入正端對輸出負端影響等效電路

對於輸出正端而言，由該節點的電流總和可求出輸入正端對輸出正端的影響，如圖 3-42(a)(b)，算式如下：

$$-\frac{V_{OP}}{R_T} + [(-G_{m,F}V_{OP} - G_{m,I}V_{IP})R_T(-G_{m,F})] = 0$$

$$V_{OP} = V_{IP} \frac{G_{m,I}G_{m,F}R_T^2}{1 - G_{m,F}^2R_T^2} \quad (3.45)$$

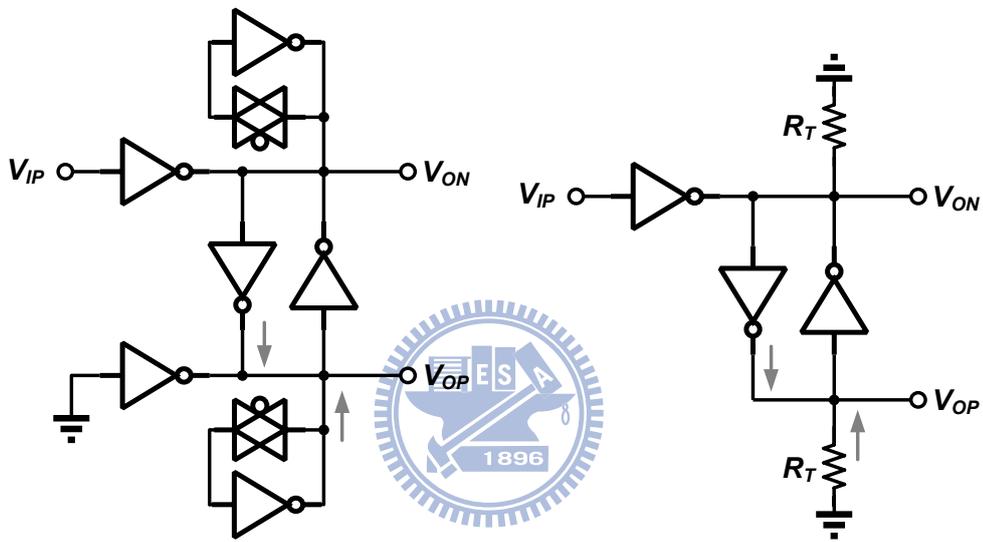


圖 3-42(a)輸入正端對輸出正端影響 (b)輸入正端對輸出正端影響等效電路

將式 3.44 和式 3.45 相減即可求得輸入正端對差動輸出的表示式：

$$V_{OP} - V_{ON} |_{\text{Due to } V_{IP}} = V_{IP} \left(\frac{G_{m,I}G_{m,F}R_T^2}{1 - G_{m,F}^2R_T^2} + \frac{G_{m,I}R_T}{1 - G_{m,F}^2R_T^2} \right) = V_{IP} \frac{G_{m,I}R_T}{1 - G_{m,F}R_T} \quad (3.46)$$

亦可用相同方式求得輸入負端對差動輸出的表示式：

$$V_{OP} - V_{ON} |_{\text{Due to } V_{IN}} = -V_{IN} \frac{G_{m,I}R_T}{1 - G_{m,F}R_T} \quad (3.47)$$

所以可以得電路的差模增益為：

$$A = \frac{(V_{OP} - V_{ON})_{total}}{(V_{IP} - V_{IN})} = \frac{G_{m,I}R_T}{1 - G_{m,F}R_T} \quad (3.48)$$

由式 3.48 的分母中可看出， $G_{m,F}$ 與輸出阻抗的乘積為一個負項，因此可藉由改變 $G_{m,F}R_T$ 的乘積而使分母變小，進而使電路增益變大，因此，符合先前所想的使用回授網路提升增益的想法，且當電晶體的 r_o 很大時，其輸出等效阻抗約等於自我偏壓電路的輸出阻抗，此時放大增益為輸入驅動對、回授網路與自我偏壓電路三者的比例所組成，因此在設計上可以先建立一個單位大小的反相器，然後再用不同的放大比例來得到所需的增益。所以數位化放大器的設計複雜度與時間較低，且元件大小相似度高，因而可以降低電晶體的製作誤差。



在分析數位化吉伯特元件中，亦採用相同的運算方式求得電路的放大增益，如圖 3-43 所示，先將各個部分的輸出阻抗列出，並將其予以合併，最後可以求得放大器的輸出等效阻抗 R_G ：

$$R_G = R_{O,B} \parallel \frac{1}{2}R_{O,F} \parallel \frac{1}{2}R_{O,I} \quad (3.49)$$

所以可用等效電路中輸出節點的電流流向來求得單端對差模的增益，由圖 3-44 可由該節點的運算中求得輸入正端對輸出負端的表示式：

$$-\frac{V_{ON}}{R_G} + (-G_{m,I}V_{IP}) + [(-2G_{m,F}V_{ON}R_G)(-2G_{m,F})] = 0 \quad (3.50)$$

$$V_{ON} = V_{IP} \frac{-G_{m,I}R_G}{1 - 4G_{m,F}^2R_G^2}$$

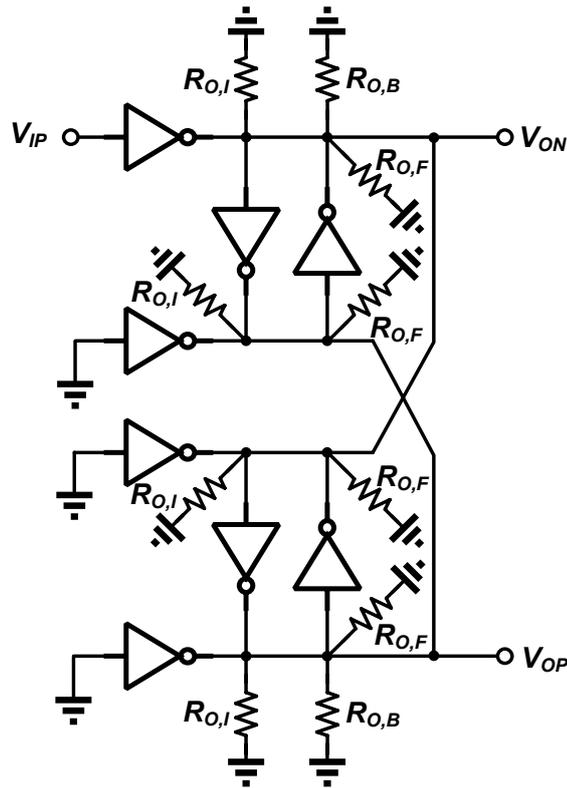


圖 3-43 數位化吉伯特元件輸出阻抗分布

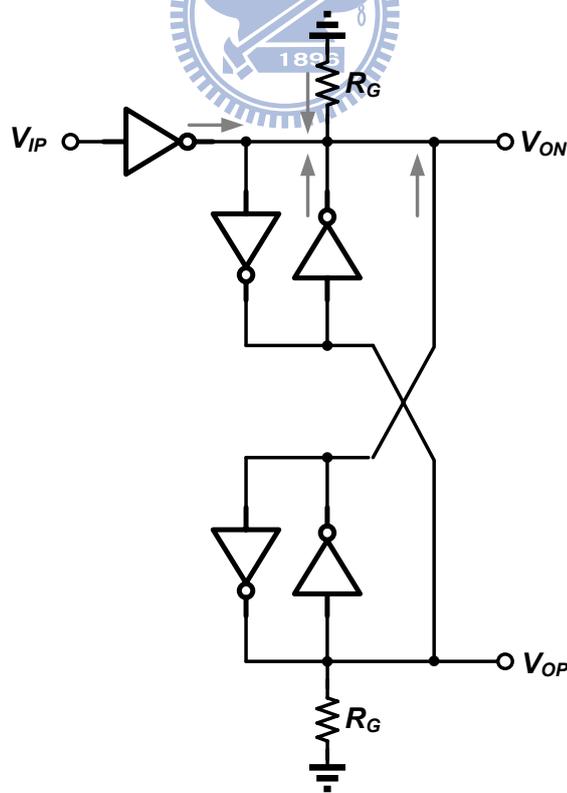


圖 3-44 輸入正端對輸出負端影響等效電路

如此，亦對圖 3-45 使用相同方式來求得輸入正端對輸出正端的表示式：

$$-\frac{V_{OP}}{R_G} + [(-G_{m,F}V_{OP} - 2G_{m,I}V_{IP})R_G(-2G_{m,F})] = 0$$

$$V_{OP} = V_{IP} \frac{2G_{m,I}G_{m,F}R_G^2}{1 - 4G_{m,F}^2R_G^2} \quad (3.51)$$

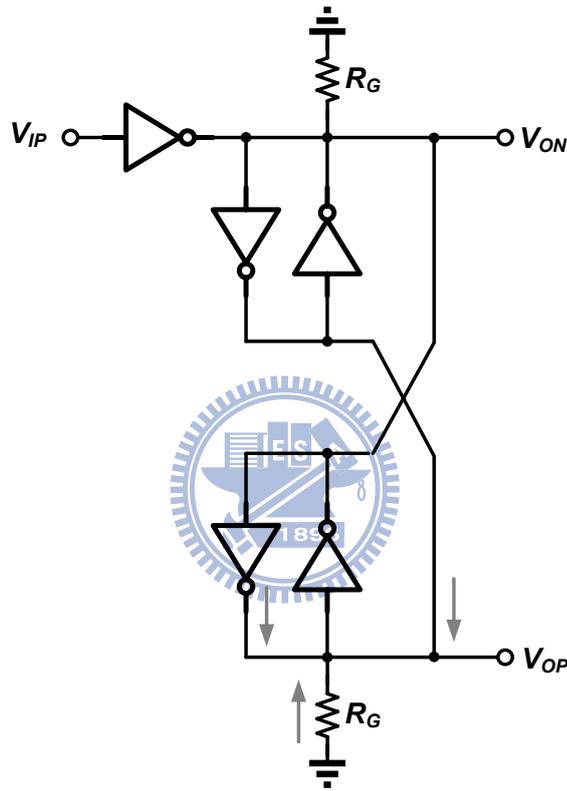


圖 3-45 輸入正端對輸出正端影響等效電路

因此，將式 3.50 與式 3.51 兩者相減，則可求得輸入正端對差模輸出的增益表示式：

$$V_{OP} - V_{ON} |_{\text{Due to } V_{IP}} = V_{IP} \left(\frac{2G_{m,I}G_{m,F}R_G^2}{1 - 4G_{m,F}^2R_G^2} + \frac{G_{m,I}R_G}{1 - 4G_{m,F}^2R_G^2} \right)$$

$$= V_{IP} \frac{G_{m,I}R_G}{1 - 2G_{m,F}R_G} \quad (3.52)$$

亦可用相同方式求得輸入負端對差動輸出的表示式：

$$V_{OP} - V_{ON} \Big|_{\text{Due to } V_{IN}} = -V_{IN} \frac{G_{m,I} R_G}{1 - 2G_{m,F} R_G} \quad (3.53)$$

所以可求得數位化吉伯特元件的差模增益為：

$$A = \frac{(V_{OP} - V_{ON})_{\text{total}}}{(V_{IP} - V_{IN})} = \frac{G_{m,I} R_G}{1 - 2G_{m,F} R_G} \quad (3.54)$$

對於差動放大器而言，其輸入差動對的不匹配現象會影響電路的共模拒斥比 (CMRR)，在此將分析數位化放大器受到不匹配現象影響時，CMRR 的變化為何。假設輸入對有不匹配現象，分別以 $G_{m,I1}$ 與 $G_{m,I2}$ 來表示，電路如圖 3-46 所示，則可利用和先前的方式一樣求得個別輸入的差模增益：

$$V_{OP} - V_{ON} \Big|_{\text{Due to } V_{IP}} = V_{IP} \frac{G_{m,I1} R_G}{1 - 2G_{m,F} R_G} \quad (3.55)$$

$$V_{OP} - V_{ON} \Big|_{\text{Due to } V_{IN}} = -V_{IN} \frac{G_{m,I2} R_G}{1 - 2G_{m,F} R_G} \quad (3.56)$$

如此，受到不匹配現象影響的差模增益為：

$$A_{DM} = \frac{(G_{m,I1} + G_{m,I2}) R_G}{2(1 - 2G_{m,F} R_G)} \quad (3.57)$$

由此式可看出，在無誤差的情況下， $G_{m,I1}$ 相等於 $G_{m,I2}$ ，其等效增益與先前所求的式 3.54 一樣。

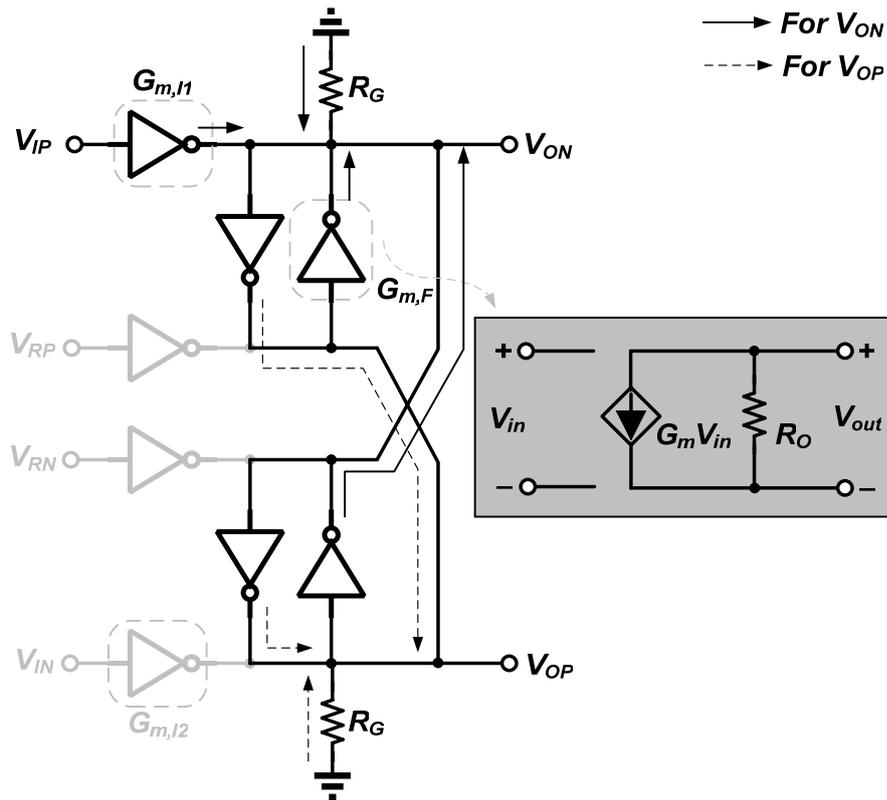


圖 3-46 不匹配差模等效電路

在共模增益方面，等效電路如圖 3-47 所示，則可分別求得兩個輸出節點的節點電流式，如下所示：

$$-G_{m,I1} V_{CM} - 2G_{m,F} V_{OP} - \frac{V_{ON}}{R_G} = 0 \quad (3.58)$$

$$-G_{m,I2} V_{CM} - 2G_{m,F} V_{ON} - \frac{V_{OP}}{R_G} = 0 \quad (3.59)$$

如此由上述的兩式相減，則可求得共模增益為：

$$A_{CM} = \frac{(G_{m,I1} - G_{m,I2}) R_G}{1 - 2G_{m,F} R_G} \quad (3.60)$$

由式 3.60 可知，當輸入對無誤差時，共模增益會為 0。

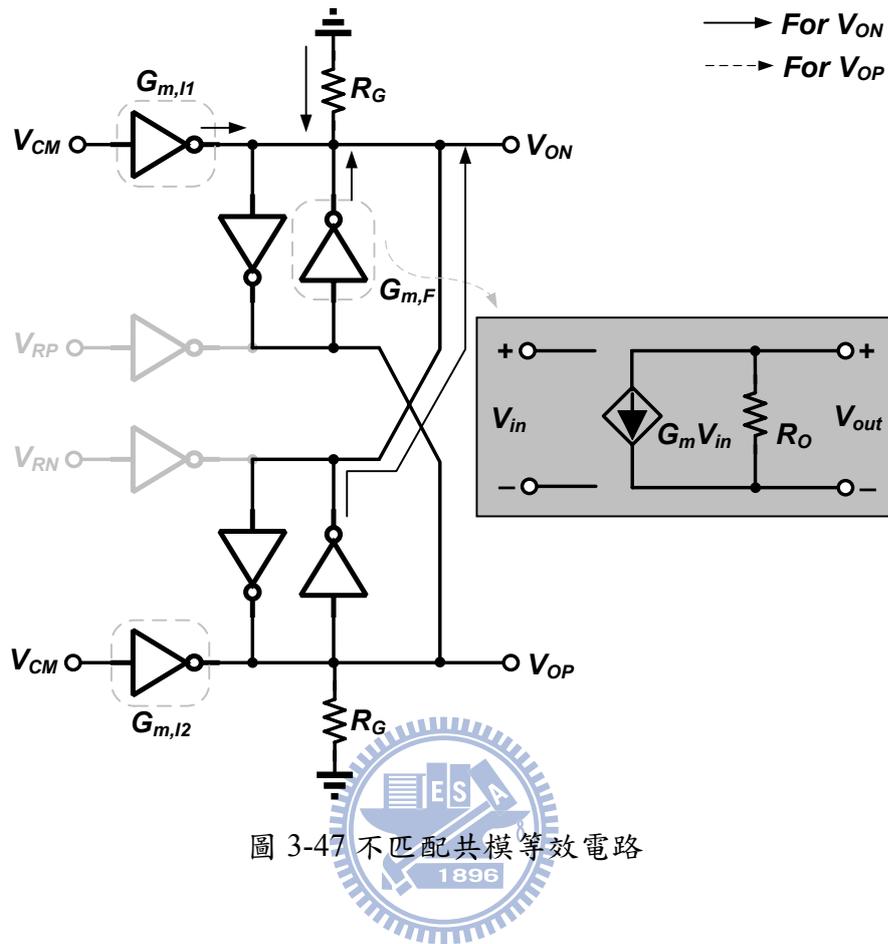


圖 3-47 不匹配共模等效電路

因此將差模增益與共模增益相除，則可以得到共模拒斥比為：

$$CMRR = \frac{A_{DM}}{A_{CM}} = \frac{G_{m,I1} + G_{m,I2}}{2(G_{m,I1} - G_{m,I2})} \approx \frac{G_{m,I}}{\Delta G_{m,I}} \quad (3.61)$$

由式 3.61 可發現數位化放大器受到元件不匹配的影響下，其共模拒斥比相較於類比式放大器小，但此缺點可由事先估算或是佈局方式來降低其元件的製作誤差與不匹配現象來解決，且在輸入驅動對、回授網路以及自我偏壓電路中，僅有電晶體的並聯個數不同，但所有的單位電晶體尺寸大小皆相同，因此，每個部份受到製程影響所產生的變化皆會很相近，且內部所有電晶體的源極與基極接相連一起，其受基底效應的影響很低，由此可知，整體電路的 CMRR 所受到的影響不大。

3.3.4 數位化放大器交流分析

由於先前在自我偏壓電路的分析中，其為使用電阻來連接反相器的輸出端與輸入端的頻率響應，但是為了達到將放大器數位化的目的，所以在此把電阻替換成互補式傳輸閘。但實際上，傳輸閘除了有雜散阻值之外，亦有存在著雜散電容，如圖 3.48，因此必須一併納入考量，其等效阻值如式 3.62，而等效輸入與輸出電容如式 3.63 與 3.64 所示。

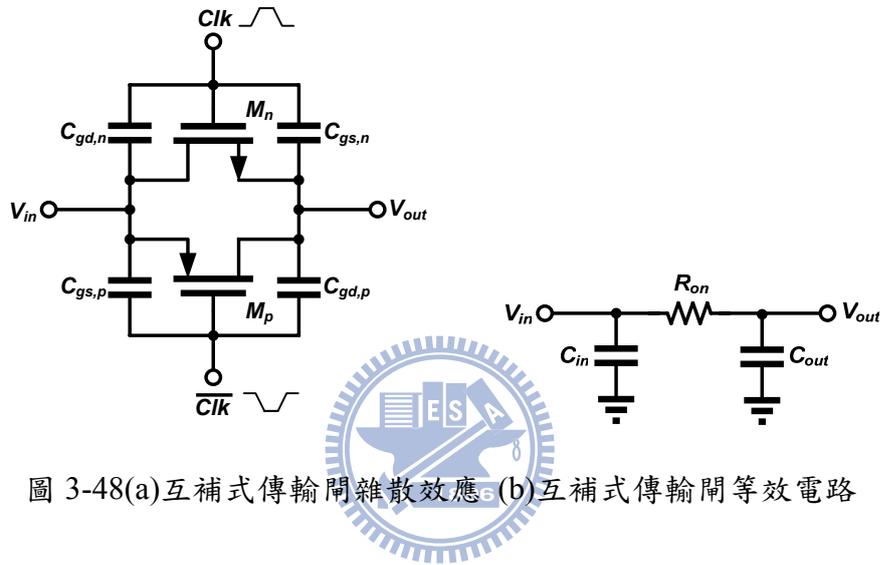


圖 3-48(a)互補式傳輸閘雜散效應 (b)互補式傳輸閘等效電路

$$R_{on} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N (V_{DD} - V_{th,n}) - \left[\mu_n C_{ox} \left(\frac{W}{L}\right)_N - \mu_p C_{ox} \left(\frac{W}{L}\right)_P \right] V_{in} - \mu_p C_{ox} \left(\frac{W}{L}\right)_P |V_{th,p}|} \quad (3.62)$$

$$C_{in} = C_{gd,n} + C_{gs,p} \quad (3.63)$$

$$C_{out} = C_{gs,n} + C_{gd,p} \quad (3.64)$$

因此，可將圖 3-48(b)的等效電路取代先前在自我偏壓電路中的電阻。當取代電阻之後可以發現傳輸閘的輸出電容可以先被合併到放大器的負載電容中，而輸入電容則可以被合併於自我偏壓電路中的 $C_{GS,B}$ 中，因此可以較易計算出等效輸出阻抗。此外，為求計算上的方便，可先求單一反相器的輸入阻抗與輸出阻抗，圖 3-49 為數位化吉伯特元件內部所有部份的輸出阻抗之頻率響應，在此先將各個部份的雜散效應列出，然後再一

同合併成等效的輸出阻抗與輸出電容，其中 C_{in} 為單一反相器之輸入等效電容，而 C_{out} 則為輸出等效電容，由於在數位化吉伯特元件的小信號等效電路中，每個反相器的所看到的輸出阻抗為 R_G ，因此可得單一反相器的輸入與輸出等效阻抗分別為：

$$Z_{in}(s) = \frac{1}{s[C_{GS,P} + C_{GS,N} + (1 + G_m R_G)(C_{GD,P} + C_{GD,N})]} = \frac{1}{sC_{in}} \quad (3.65)$$

$$Z_{out}(s) = r_{OP} \parallel r_{ON} \parallel \frac{1}{s(C_{GD,P} + C_{GD,N})} = R_O \parallel \frac{1}{sC_{out}} \quad (3.66)$$

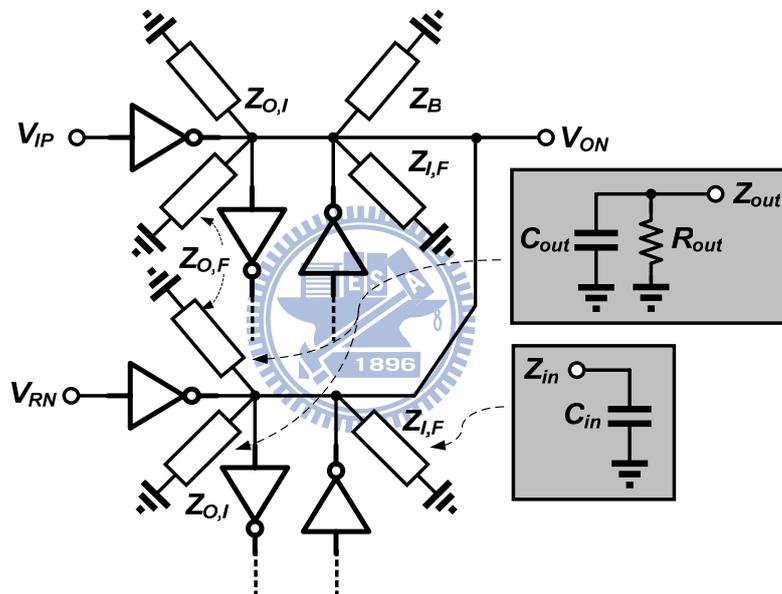


圖 3-49 數位化吉伯特元件頻率響應輸出阻抗分布

由於自我偏壓電路的輸出阻抗頻率響應式較為複雜，因此先將其他電路之輸入電容、輸出電容與輸出阻抗予以合併，以簡化運算，在此將不含自我偏壓電路的所有的輸出阻抗合併為 R_T ，而所有的雜散電容合併為 C_T ，如圖 3-50，其分別如下所示：

$$C_T = 2C_{GD,I} + 2C_{GD,F} + 2(1 + G_{m,F} R_G) C_{GD,F} + 2C_{GS,F} + C_L + C_{out,TG} \quad (3.67)$$

$$R_T = \frac{1}{2}R_{OI} \parallel \frac{1}{2}R_{OF} \quad (3.68)$$

因此，將兩者合併則可得到阻抗頻率響應：

$$Z_T(s) = \frac{R_T}{1 + sC_T R_T} \quad (3.69)$$

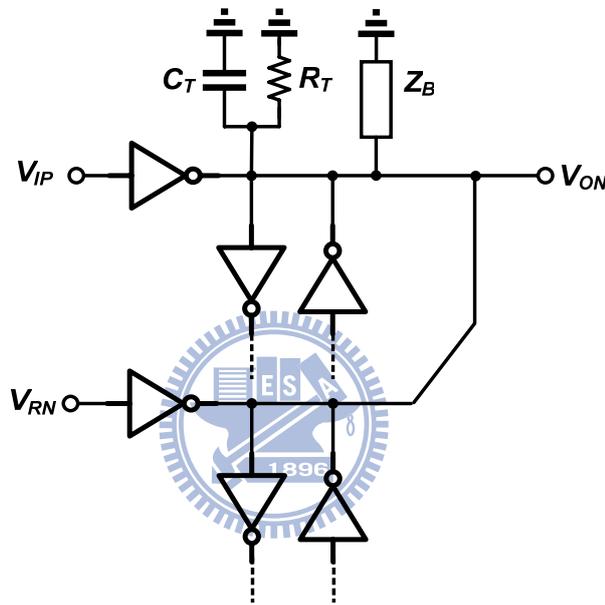


圖 3-50 數位化吉伯特元件頻率響應輸出等效阻抗

將上述的等效阻抗再與自我偏壓電路的等效阻抗並聯，則可以得到整體放大器的輸出阻抗頻率響應：

$$Z_G(s) = \frac{[1 + sR_{TG}(C_{GS,B} + C_{GD,B})]R_T}{[1 + sR_{TG}(C_{GS,B} + C_{GD,B})](1 + sC_T R_T) + (g_m + sC_{GS,B})(1 + sR_{TG}C_{GD,B})R_T} \quad (3.70)$$

當計算出輸出等效阻抗的頻率響應時，將其代入差模增益式中，則可得到差模增益的頻率響應：

$$A_{DM}(s) = \left(\frac{G_m R_T}{1 + g_m R_T - 2G_{mF} R_T} \right) \left(\frac{1 + sR_{TG}(C_{GS,B} + C_{GD,B})}{\alpha s^2 + \beta s + 1} \right)$$

$$\alpha = \frac{R_{TG} C_{GD,B} C_{GS,B} R_T + C_T R_T R_{TG} (C_{GS,B} + C_{GD,B})}{1 + g_m R_T - 2G_{mF} R_T} \quad (3.71)$$

$$\beta = \frac{R_{TG} C_{GD,B} g_m R_T + C_{GS,B} R_T + C_T R_T + R_{TG} (C_{GS,B} + C_{GD,B}) - 2G_{mF} R_{TG} (C_{GS,B} + C_{GD,B}) R_T}{1 + g_m R_T - 2G_{mF} R_T}$$

所以可將式 3.71 整理成如式 3.72 的形式，則可用此式求出兩個極點與一個零點的頻率式。

$$A_{DM}(s) = A_0 \frac{1 + \frac{s}{\omega_z}}{1 + s \left(\frac{1}{\omega_{p1}} + \frac{1}{\omega_{p2}} \right) + \frac{s^2}{\omega_{p1} \omega_{p2}}} \quad (3.72)$$

由式 3.72 可得到極點與零點分別為：

$$\omega_{p1} = \frac{1 + (g_m - 2G_{mF}) R_T}{R_T \left\{ R_{TG} C_{GD,B} g_m + C_{GS,B} + C_T + \frac{R_{TG}}{R_T} (C_{GS,B} + C_{GD,B}) - 2G_{mF} R_{TG} (C_{GS,B} + C_{GD,B}) \right\}} \quad (3.73)$$

$$\omega_{p2} = \frac{R_{TG} R_T C_{GD,B} g_m + R_T C_{GS,B} + R_T C_T + R_{TG} (C_{GS,B} + C_{GD,B}) - 2G_{mF} R_{TG} R_T (C_{GS,B} + C_{GD,B})}{R_{TG} R_T C_{GD,B} C_{GS,B} + R_{TG} R_T C_T (C_{GS,B} + C_{GD,B})} \quad (3.74)$$

$$\omega_z = \frac{1}{R_{TG} (C_{GS,B} + C_{GD,B})} \quad (3.75)$$

由此可知，由於使用自我偏壓電路的關係，其在第一個極點式的分母中產生了一個負項，因此，當頻寬不足時，則可以藉由調整傳輸閘的阻值大小來延展頻寬，且不會額外消耗功率，所以相當適合高速且低功率的需求。但是當改變互補式傳輸閘的阻值時，

其雜散電容必會隨之改變。假設要提升阻值來延展頻寬的話，則必須固定電晶體的寬度，而調長電晶體的通道長度，則閘極的面積隨之變大，因此雜散電容會相對的提升，所以式 3.73、式 3.74 及式 3.75 中的 $C_{GS,B}$ 與 C_T 亦會隨之變化。所以當阻值越大時，第一個極點會往高頻的方向移動，但是隨著阻值上升， $C_{GS,B}$ 與 C_T 亦會變大，因此，當大到某一個地步時，則在式 3.73 分母中的負項能減去的量會變少，反而正項的值則是大量提升，因此第一個極點會往低頻的方向移動。而對於第二個極點而言，當改變阻值時，極點雖然會往低頻移動，但負項是在分子中，因此相較於第一個極點來說，其改變量不大，而零點亦是一直在往低頻方向移動。因此，當改變傳輸閘的阻值時，一開始會有頻寬延展的效果，且其第二個極點頻率與零點頻率較高於第一個極點，所以，頻率響應和一般放大器相同，如圖 3-51(a)，當阻值過高時，零點相較於第二個極點來說，由其算式可看出變化量較大，因此零點頻率會低於第二個極點，此時第一個極點亦會開始往低頻移動，所以最後會使整體放大器的頻率響應會產生在某一頻段內形成突出的現象，使高頻增益會和低頻增益不同，如圖 3-51(b)，這並不是所想要的結果，且亦可以看出當頻率響應會出現突出的現象時，則頻寬已經開始變小，因此運用改變傳輸閘阻值來調整頻寬大小，其實是有上限，並無法無限提升。

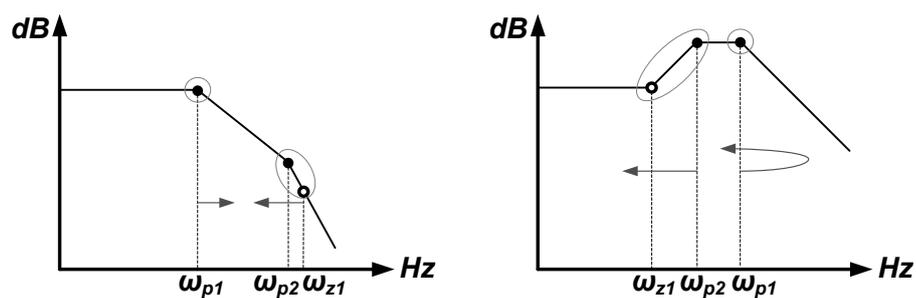


圖 3-51(a)無頻率響應突起 (b)頻率響應突起

由此亦可得知，當自我偏壓電路中的 $C_{GS,B}$ 增加時，放大器的所有極點與零點頻率都會變小，因此，在設計上必須盡量降低該點的雜散容值，以確保放大器的頻寬不受影響而變小。

此外，亦分析不使用電阻，而是直接短路的自我偏壓電路[53]，將其與使用傳輸閘的方式一起比較，可得輸出阻抗頻率響應為：

$$Z_B(s) = \frac{1}{g_m + sC_{GS}} \quad (3.76)$$

可得差模增益頻率響應：

$$A_{DM}(s) = \left(\frac{G_{mI}R_T}{1 + g_mR_T - 2G_{mF}R_T} \right) \left[\frac{1}{s \left(\frac{C_T R_T + C_{GS,B} R_T}{1 + g_mR_T - 2G_{mF}R_T} \right) + 1} \right] \quad (3.77)$$

由此可知，不使用電阻的方式其整體系統僅有一個極點，如式 3.78，因此頻寬為固定不變，且頻寬相較於使用傳輸閘的方式來說，其整體頻寬較小。

$$\omega_p = \frac{1 + g_mR_T - 2G_{mF}R_T}{C_T R_T + C_{GS,B} R_T} \quad (3.78)$$

對於數位化差動放大器而言，亦使用和數位化吉伯特元件相同的計算方式來分析其頻率響應，圖 3-52 為各元件輸出阻抗與電容在數位化差動放大器內的分布，其相較於數位化吉伯特元件少了一組輸入驅動對與回授網路，因此輸出阻抗會是數位化吉伯特元件的兩倍，在此和先前一樣做整併，以簡化電路，使之方便運算出整體的差模增益，如圖 3-53 所示。

在此將所有的輸出阻抗合併為 R_T ，而所有的雜散電容整併為 C_T ，與其等效阻抗之頻率響應，其分別如下所示：

$$C_T = C_{GD,I} + C_{GD,F} + (1 + G_{m,F}R_{OF})C_{GD,F} + C_{GS,F} + C_L + C_{out,TG} \quad (3.79)$$

$$R_T = R_{OI} \parallel R_{OF} \quad (3.80)$$

$$Z_T(s) = \frac{R_T}{1 + sC_T R_T} \quad (3.81)$$

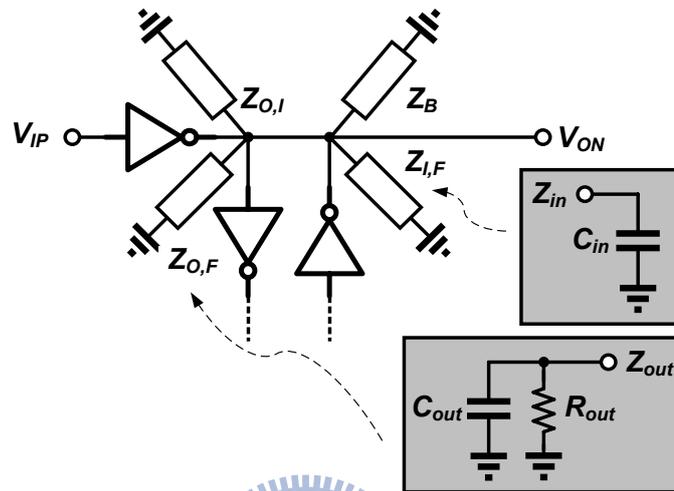


圖 3-52 數位化差動放大器頻率響應輸出阻抗分布

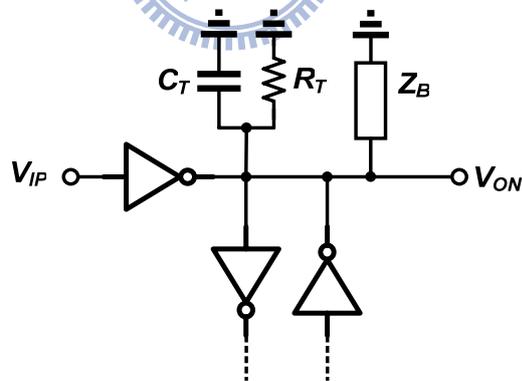


圖 3-53 數位化差動放大器頻率響應輸出阻抗等效電路

所以可得放大器之等效輸出阻抗的頻率響應：

$$Z_G(s) = \frac{[1 + sR_{TG}(C_{GS,B} + C_{GD,B})]R_T}{[1 + sR_{TG}(C_{GS,B} + C_{GD,B})](1 + sC_T R_T) + (g_m + sC_{GS,B})(1 + sR_{TG}C_{GD,B})R_T} \quad (3.82)$$

當求得輸出等效阻抗的頻率響應時，將其代入差模增益式中，則可得到差模增益的頻率響應：

$$A_{DM}(s) = \left(\frac{G_m R_T}{1 + g_m R_T - G_{mF} R_T} \right) \left(\frac{1 + s R_{TG} (C_{GS,B} + C_{GD,B})}{\alpha s^2 + \beta s + 1} \right)$$

$$\alpha = \frac{R_{TG} C_{GD,B} C_{GS,B} R_T + C_T R_T R_{TG} (C_{GS,B} + C_{GD,B})}{1 + g_m R_T - G_{mF} R_T} \quad (3.83)$$

$$\beta = \frac{R_{TG} C_{GD,B} g_m R_T + C_{GS,B} R_T + C_T R_T + R_{TG} (C_{GS,B} + C_{GD,B}) - G_{mF} R_{TG} (C_{GS,B} + C_{GD,B}) R_T}{1 + g_m R_T - G_{mF} R_T}$$

所以可得數位化差動放大器之所有極點與零點，如下所示：

$$\omega_{P1} = \frac{1 + (g_m - G_{mF}) R_T}{R_T \left\{ R_{TG} C_{GD,B} g_m + C_{GS,B} + C_T + \frac{R_{TG} (C_{GS,B} + C_{GD,B})}{R_T} - G_{mF} R_{TG} (C_{GS,B} + C_{GD,B}) \right\}} \quad (3.84)$$

$$\omega_{P2} = \frac{R_{TG} R_T C_{GD,B} g_m + R_T C_{GS,B} + R_T C_T + R_{TG} (C_{GS,B} + C_{GD,B}) - G_{mF} R_{TG} R_T (C_{GS,B} + C_{GD,B})}{R_{TG} R_T C_{GD,B} C_{GS,B} + R_{TG} R_T C_T (C_{GS,B} + C_{GD,B})} \quad (3.85)$$

$$\omega_Z = \frac{1}{R_{TG} (C_{GS,B} + C_{GD,B})} \quad (3.86)$$

由此可知，數位化差動放大器和數位化吉伯特元件的特性相同，其當傳輸閾阻值過大時，亦會有頻率響應突起的現象。

3.3.5 數位化追蹤與保持電路

先前已提及在設計高速的追蹤與保持電路時，輸出緩衝級的頻寬需求非常高，其必須大於 Nyquist Frequency，且電壓轉換速率 (slew rate) 要非常快，使輸入信號接近 Nyquist Frequency 時，輸出不會失真。此外，在增益上的要求也必須達到 1 倍，且在輸入信號的擺幅範圍內增益不可有所變化。所以為了達到所需的要求，在此使用先前所提出的數

位化差動放大器來作為輸出緩衝級，所以可以設計出一個數位化追蹤與保持電路，如圖 3.54。因此，在頻寬方面，可藉由調整傳輸閘的阻抗來提升頻寬，且不會額外消耗功率，在架構上亦和推挽式相同，所以電壓轉換速率也很高。在增益方面，可由先前導出的算式來設計出滿足 1 倍的目標，且線性度很高，因此在所需的輸入範圍內增益非常固定，且受到基體效應的影響也很低，而輸出端則沒有如同 PMOS 源極追隨器一樣的基底雜散電容，所以可以得知，無論是在速度、增益以及頻寬等方面，數位化差動放大器亦非常適合用於追蹤與保持電路。在取樣開關方面，由於供應電源為 1V，所需之單端輸入信號範圍為 0.3V 到 0.7V，信號範圍較廣，在此使用互補式傳輸閘來做為取樣開關，使輸入信號較不會失真。

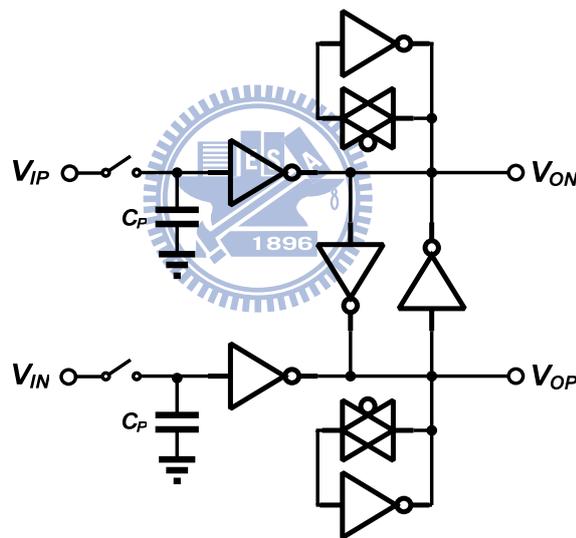


圖 3-54 數位化差動追蹤與保持電路

3.4 數位編碼器

當取樣信號送至比較器陣列時，即可轉換出取樣信號的量化值，量化的結果為由一連串連續的邏輯 0 與邏輯 1 所組成的數位信號，一般稱為溫度計碼 (Thermometer Code)，與常用的二進制碼不同，因此需要數位編碼器將量化結果轉換成常用的二進制碼。在實際的情況中，量化出的溫度計碼時常會有氣泡錯誤的產生[8-12,27]，錯誤來源

分別為比較器的偏移誤差超過 0.5LSB 、比較器的取樣時脈抖動以及比較器的輸出傳遞延遲三種。由於蒙地卡羅分析的模擬結果有小於 0.5LSB ，因此受偏移誤差影響較低，且有使用追蹤與保持電路，所以受時脈抖動的影響亦非常低。而在傳遞延遲方面，在信號傳送至編碼器之前，先用數位閃鎖器來同步量化輸出結果，以降低傳遞延遲的影響。除了氣泡錯誤會影響數位編碼器之外，當比較器輸出亞穩態結果時，亦會使數位變碼器輸出錯誤的結果。

一般常見的數位編碼器有唯讀記憶體式編碼器 (ROM Based Encoder) [9,12,53,54]、華倫式樹狀編碼器 (Wallace Tree Encoder) [54-56]、腓特樹狀編碼器 (Fat Tree Encoder) [55,57]、二進制轉換編碼器 (Binary Code Encoder) [58]以及格雷碼編碼器 (Gray Code Encoder) [55]。對於唯讀記憶體式編碼器而言，必須先由反及閘阻來轉換溫度計碼，因此相較於原本的溫度計碼，其轉換的結果僅剩一個邏輯 1 存在，因此，唯讀記憶體式編碼器收到信號時，僅有出現邏輯 1 之橫列中的電晶體會導通，所以有電晶體導通的直行會出現邏輯 0 的信號，反之則為邏輯 1，會由類似於查表的方式來轉換出對應的二進制碼。唯讀記憶體式編碼器雖較容易設計，但雜散電容太大，因此較不適合用於高速用途上。而對於華倫式樹狀編碼器來說，其為使用統計的方式來計算出溫度計碼中出現邏輯 1 的個數，雖具有克服一階的氣泡錯誤，但要採用計數的方式則必須使用多個加法器來實現，而對於位元數多的加法器而言，電路的主要路徑 (critical path) 較長，因此編碼的延遲時間也隨之提升，所以華倫式樹狀編碼器亦不適合用於高速設計。而腓特樹狀編碼器、二進制轉換編碼器，兩者雖可使用少數的數位邏輯閘組成，但是當有亞穩態現象出現時，由於每個輸出端皆有共同的輸入信號，因此假使特定的輸入端收到亞穩態信號，則所有的輸出會受到影響，造成輸出結果不正常。

格雷碼編碼器為先將溫度計碼轉換成格雷碼，再將格雷碼轉換成二進制碼，雖然需要兩次轉換步驟，但由其編碼轉換式可看出，其每個輸出之間並無關係，即是不共用輸入端，因此，如果有任一輸入端收到亞穩態信號，則其他輸出端並不會受到影響，圖 3-55

為格雷碼編碼器的等效數位電路。

$$G_3 = T_8 \tag{3.87}$$

$$G_2 = T_4 \overline{T_{12}} \tag{3.88}$$

$$G_1 = T_2 \overline{T_6} + T_{10} \overline{T_{14}} \tag{3.89}$$

$$G_0 = T_1 \overline{T_3} + T_5 \overline{T_7} + T_9 \overline{T_{11}} + T_{13} \overline{T_{15}} \tag{3.90}$$

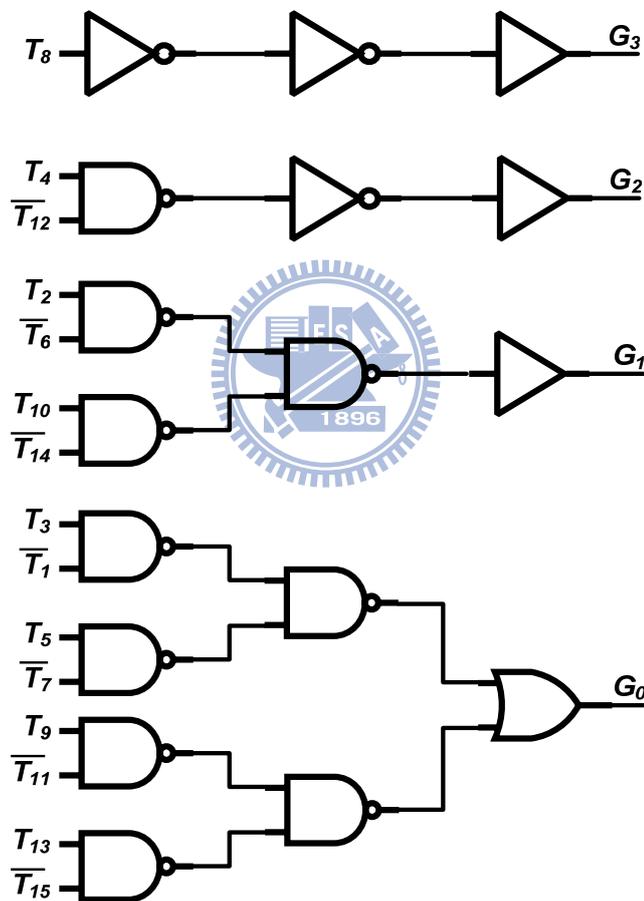


圖 3-55 格雷碼編碼器

由於常見的數位系統大多是採用二進制碼的資料格式來運算，因此必須再將格雷碼轉換成二進制碼。由格雷碼轉換二進制碼的邏輯運算式可看出，其輸出為輸入端彼此做互斥或運算所得之結果，圖 3-56 為其數位電路，由此可知，對於 B_0 而言，其必須得到

B_1 的輸出信號才能開始運算，因此整體電路的最長傳輸延遲路徑為 3 個邏輯閘的延遲時間 (Gate Delay)。

$$B_3 = G_3 \quad (3.91)$$

$$B_2 = G_3 \oplus G_2 \quad (3.92)$$

$$B_1 = G_3 \oplus G_2 \oplus G_1 \quad (3.93)$$

$$B_0 = G_3 \oplus G_2 \oplus G_1 \oplus G_0 \quad (3.94)$$

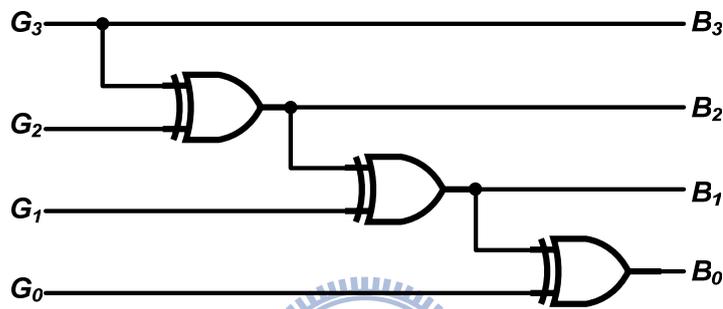


圖 3-56 格雷碼轉二進制碼編碼器

假若將 B_0 之互斥或運算式稍加改變，使 G_0 先和 G_1 作互斥或運算，此時 G_2 和 G_3 亦是如此，因此只要將兩者的結果再做一次互斥或運算即可得到 B_0 ，其運算式改成如下所示，則可以發現僅需要兩個邏輯閘的延遲時間就可得到輸出結果，但是相較於原來的架構，則會需要多一個互斥或閘，電路如圖 3-57 所示。

$$B_0 = B_2 \oplus G_1 \oplus G_0 \quad (3.95)$$

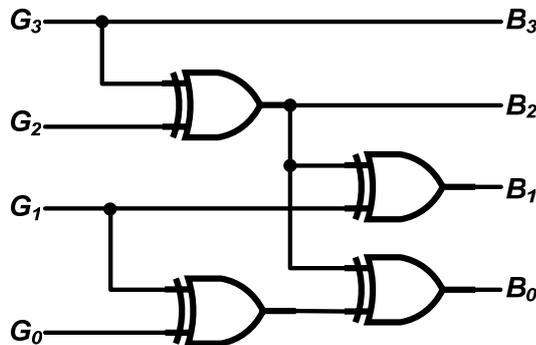


圖 3-57 低延遲時間格雷碼轉二進制碼編碼器

由於所設計的取樣頻率為 5GHz，但格雷碼編碼器的編碼速度並無法達到要求的目標，因此可以在電路中加入 D 型正反器[59,60]來完成一個管線化 (pipelined) 之格雷碼編碼器，使數位編碼器的傳遞延遲時間降低，因此可使整體的速度可以提升至所要求的高速頻率。在此所使用的為 TSPC 式 D 型正反器，如圖 3-58 所示。

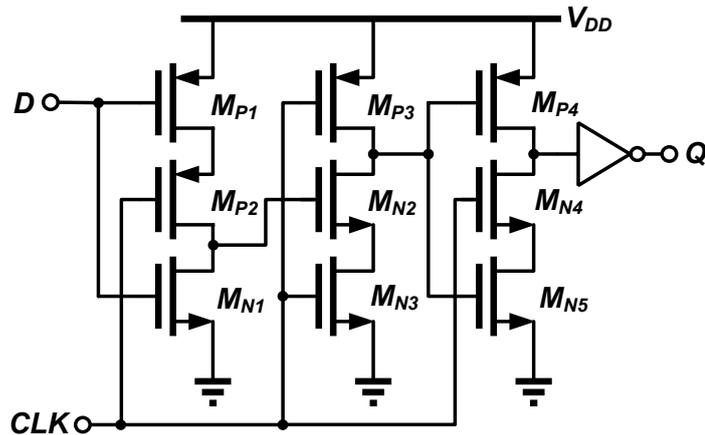


圖 3-58 TSPC 式 D 型正反器

此外，互斥或閘的延遲時間亦會限制住編碼轉換的速率，因此在此使用 pseudo NMOS 形式設計出互斥或閘，如圖 3-59，其傳輸速率相較於靜態邏輯閘快，僅有一個邏輯閘的延遲時間。

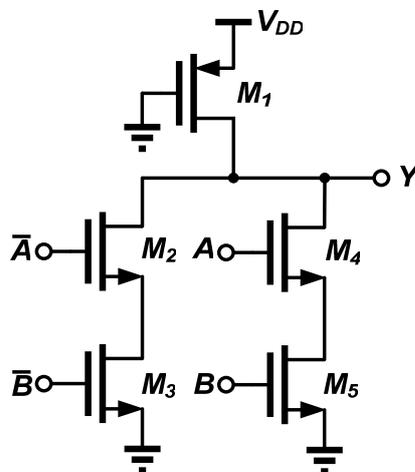


圖 3-59 pseudo NMOS 互斥或閘

第四章

數位類比轉換器與內部測試電路設計



4.1 數位類比轉換器設計

在數位類比轉換器方面，Current-Steering DAC 為數位類比轉換器中速度最快的架構，在此選用 Current-Steering DAC 來解析前端類比數位轉換器的輸出結果。Current-Steering DAC 是以輸入的數位信號來決定電流的流出總和，再將電流信號轉換成電壓信號，因而轉換出對應的類比信號。實際上，其運作方式為先將輸入的二進制碼解碼或是直接輸出，接著使用數位閃鎖器來同步控制電流源開關的信號，以降低時序誤差，然後利用同步後的控制信號來驅動電路，打開或是關閉電流源開關，最後可由開關打開的個數來決定流出的電流總和，並在輸出端接上電阻，使之以流出的電流大小所形成的壓降來轉換成電壓信號。在此亦用差模輸出的形式來降低雜訊對電路的影響。由此可知，Current-Steering DAC 由數位解碼器、同步電路、驅動電路以及切換式電流電路所組成，其架構如圖 4-1 所示。在本章節將逐一介紹每個區塊的內部電路與設計時所遇

到的非理想效應。

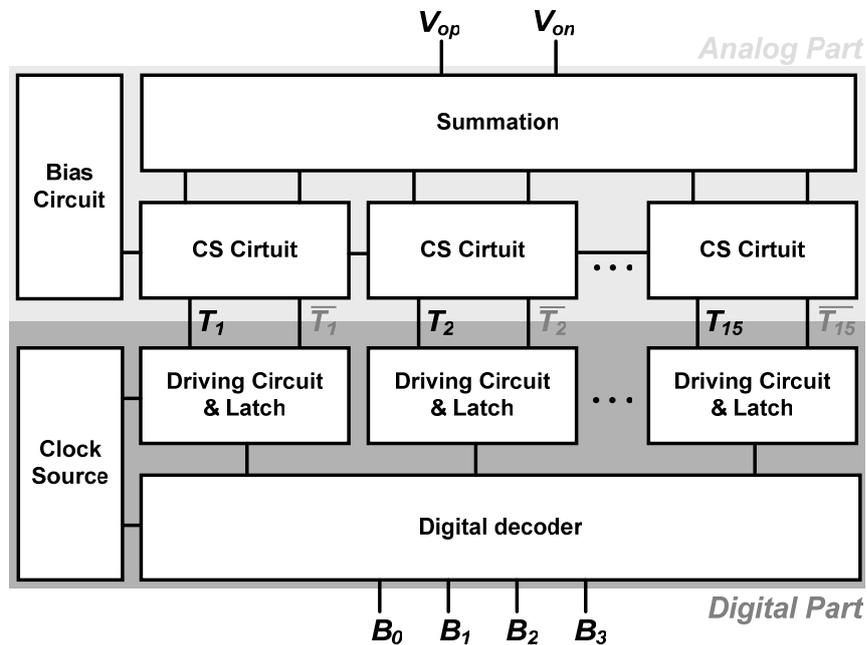


圖 4-1 Current-Steering DAC 架構

4.1.1 數位解碼器

數位解碼器為將輸入的數位信號轉換成控制電流源開關的信號，其輸出的控制信號可分為二進制權值式控制（Binary Weighted Control）[61-63]、溫度計碼式控制（Thermometer Code Control）[62,63]與分段式控制（Segment Control）[62-66]三種。二進制權值式控制為直接用輸入的信號去控制切換式電流源（Switched Current Source），由於不需要轉換的緣故，因此相較於其他兩種控制方式，二進制權值式控制具有最簡化的控制電路，因此在設計上最為容易且快速，也因為控制電路較小，所消耗的功率也較低。對於使用此種控制方式來說，後方的切換式電流源必須依照輸出位元的權值來決定可控制的電流大小，以一個三位元的 Current-Steering DAC 為例，最低到最高位元可控制的電流大小的權值分別為單位電流源的 1 倍、2 倍與 4 倍，但由此可看出，輸入信號改變時，每次切換所改變的電流變化都非常大，因此會對輸出產生很大的 Glitch，所以輸出信號的 ENOB 會因此而降低。

溫度計碼式控制是將輸入的二進制碼轉換成溫度計碼，相較於二進制權值式控制，其每個控制輸出的權值皆相同，即是每個輸出信號僅能控制一個單位電流源，因此，每次切換所改變的電流變化相較於二進制權值式控制而言非常低，所以受輸入信號影響而產生的 Glitch 很低。但由於必須將輸入信號轉換成溫度計碼，因此當所要求的解析度越高時，其輸出的控制端數目會以大約二的冪次方之成長形式提升，以三位元的 Current-Steering DAC 為例，必須輸出 7 個控制信號，因此無論是在電路的複雜度或是晶片的面積上，皆大於二進制權值式控制與分段式控制，且信號路徑較長，因此速度較低，也因為所需的邏輯閘較多，所以消耗的功率非常大。由上述亦可得知，在電路設計上，當數位電路過於龐大時，基底雜訊亦會變大，因此會干擾到其他電路的運作，導致整體系統的輸出不正常。

先前提到二進制權值式控制具有低複雜電路的優點，但是 Glitch 很大，而溫度計碼式控制則是低 Glitch，電路複雜度卻很高且面積大，分段式控制為結合兩者的優點所產生的控制方式。由先前的敘述可以得知，在二進制權值式控制中，高位元的控制信號所能產生的電流變化很大，但低位元很少，因此可將高位元的輸入信號轉換為溫度計碼控制，使之每次僅能改變的電流量僅有一個單位電流源的大小，而低位元的輸入能改變的電流變化不大，其數位解碼器如圖 4-2 所示。

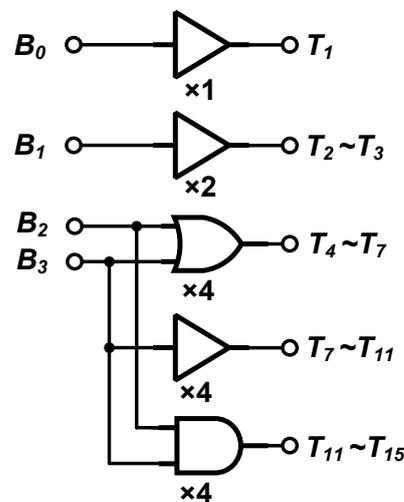


圖 4-2 解碼器電路

因此，在此使用分段式控制，如此可以得到一個在效能與面積都有非常好表現的控制電路。由於所要設計的解析度為 4 位元，所以在此將兩個高位元的輸入信號轉換為溫度計碼輸出，剩下的兩個低位元則不轉換，因此可以設計出解碼電路，其輸出可以分別控制對應的單位電流源。

4.1.2 同步電路與驅動電路

由於在傳遞控制信號常會有傳遞延遲的現象產生，假若直接將解碼出的信號直接控制切換式電流源，會很容易產生 Glitch，因此若能同步控制信號，即能避免此種現象產生。圖 4-3 為同步電路，其內部有背對背的反相器所組成的數位閃鎖器，並在輸入端加上開關，使之受到取樣時脈控制，達成同步的效果。最後，在閃鎖器的輸出端加上驅動能力較佳的反相器，則可以得到一個具有驅動能力的同步電路。此外，使用閃鎖器亦可以降低控制信號的傳遞時間，使整體電路的操作速度更快。

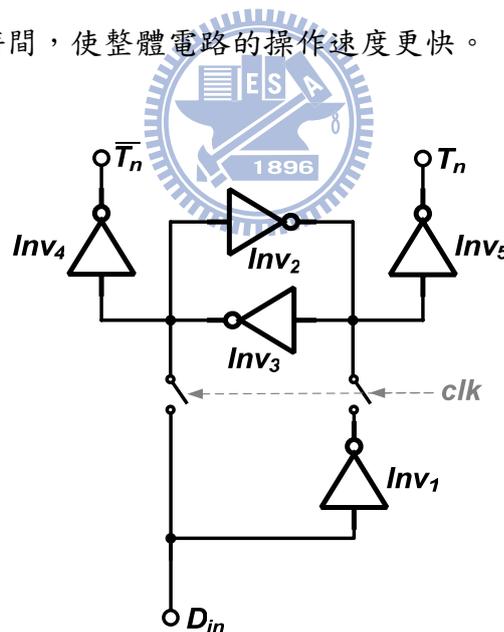


圖 4-3 同步電路

在一般情況下，差動數位信號的交越點多是位於共模電壓，如圖 4-4，假使將解碼出的數位信號用於控制切換電流源時，則在控制信號的切換當中，當信號充電或是放電至共模電壓時，此時會發生兩個電流源開關皆是不導通的情形出現，因此輸出電流會瞬間消失，使輸出形成很大的電壓改變，直到信號低於或超過共模電壓時，另一個開關才

會導通，在此種情況下會對整體輸出造成很大的 Glitch 能量，電路的 INL 也因此變大。為解決此種情況，必須改變交越點的位置，對於 PMOS 開關則調低，如圖 4-4 所示，NMOS 開關則是調高，因此，當控制信號在切換時，一個開關不會切斷，直到另一個開關導通之後才關閉，所以輸出電流不會中斷，以消除 Glitch 的情形發生。由此可知，藉由改變同步電路內電晶體的比例，能校正控制信號，驅動切換式電流源。

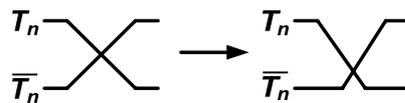


圖 4-4 控制信號輸出校正

4.1.3 切換式電流源

切換式電流源為 Current-Steering DAC 最重要的部份，其輸出電流的精準度必須要非常高，否則輸出信號的 INL 與 DNL 會受到影響，提升信號的失真程度。此外，電流源本身的輸出阻抗必須大於負載，讓電流能全數流向負載，而不會有所損失，降低失真量。在設計 Current-Steering DAC 時，可依使用的電流源形式分為 NMOS 電流源式與 PMOS 電流源式兩種，如圖 4-5，兩者皆是以不同的電晶體來設計出電流源，其輸出信號則分別是和供應電源或是接地的電壓差。而在一般製程當中，PMOS 自己具有獨立的基底，不易受到基底雜訊的影響，因此可以產生穩定的電流源，且較符合作為測試電路與發送端的要求，所以在此選用 PMOS 電流源式作為 Current Cell，使用的輸出阻抗為 50Ω 。

當得知所要求的輸出信號擺幅與負載大小時，即可計算出 Current Cell 的電流大小為何，但實際上來說，每一個 Current Cell 的電流或多或少都會受到製程誤差的影響，輸出電流的大小會因此而有所差異，如圖 4-6 所示，因而造成輸出信號線性度下降。因此在設計時必須先估算電流的變異差距，避免讓 INL 大於 0.5LSB ，由圖 4-6 可計算出電流的差異，並參考[28,63]將其正規化，以 LSB 來表示，如式 4.1。

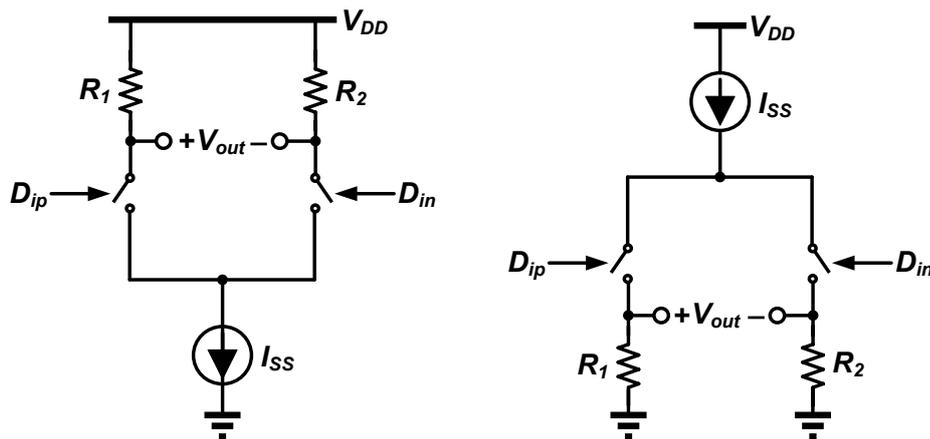


圖 4-5 (a) NMOS 電流源式 (b) PMOS 電流源式

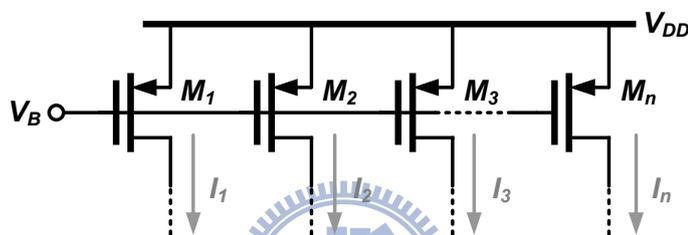


圖 4-6 電流差異

$$\frac{\sigma_{I_{LSB}}^2}{I_{LSB}^2} = \frac{4(\Delta V_t)^2}{(V_{SG} - |V_t|)^2} + \left[\frac{\Delta(W/L)}{(W/L)} \right]^2 \quad (4.1)$$

因此可以得知，當電晶體的面積越大，受到製作誤差的影響越低，且 V_{SG} 越大時，對於門檻電壓值的差異容忍度也非常高。因此可先決定驅動電壓的大小與所要求的誤差大小，然後將電晶體的長度取超過三倍的最小值，則可得到所需電晶體的寬度。當求得產生的電流誤差時，則可估算出整體數位類比轉換器的輸出誤差大小，由先前的敘述可以得知，所採用方式為分段式控制，其包含二進制權值式控制與溫度計碼控制，以一個採用二進制權值式控制的 N 位元的 Current-Steering DAC 而言，由[62]可得知，其最大的誤差發生於輸入信號由 100...000 轉變為 011...111 時，會產生瞬間有大電流切換的情形出現，因此可由先前的 Current Cell 誤差來表示輸出電流最大的差異量為[62]：

$$\begin{aligned}\sigma^2(\Delta I) &= 2^{N-1} \frac{\sigma_{I_{LSB}}^2}{I_{LSB}^2} - (2^{N-1} - 1) \frac{\sigma_{I_{LSB}}^2}{I_{LSB}^2} \\ &= (2^N - 1) \frac{\sigma_{I_{LSB}}^2}{I_{LSB}^2}\end{aligned}\quad (4.2)$$

由於溫度計碼控制每次僅改變一個單位電流的大小，因此可以得到最大誤差為：

$$\sigma^2(\Delta I) = \frac{\sigma_{I_{LSB}}^2}{I_{LSB}^2}\quad (4.3)$$

所以可以得知，二進制權值式控制所產生的誤差較大，因此，對於分段式控制而言，最大的誤差會發生在採用二進制權值式控制的部份，所以只要此部份所產生的誤差很小，則採用溫度計碼控制的部份所產生的誤差則會更小。在此將使用二進制權值式控制的位元數代入式 4.3 則可以求得整體系統的輸出誤差。

除了元件的誤差之外，實際上導線亦會包含雜散電阻，因此，會使每個電流源所得到的供應電壓皆不相同，所以亦會造成電流誤差，如圖 4-7，此種情形可將電源線的佈局改成樹狀的形式，讓電壓到電流源之間的導線等長，降低彼此的電源誤差，亦可將電源線的寬度變大，使等效電阻變小，降低損耗在導線的壓降[66]。

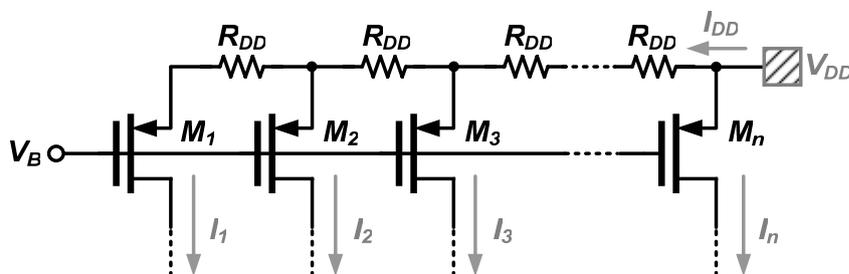


圖 4-7 供應電壓差異

對於理想的電流源而言，其輸出阻抗必須無限大，使電流能完全流向負載，但實際上，當輸出信號的頻率改變時，其輸出阻抗會隨之產生變化，原因為電晶體的 r_o 並非是無限大，且位於電晶體電流源的輸出端存在著一個雜散電容，其由電晶體的雜散電容與連結導線所對地的雜散電容所組成，當電晶體越大則雜散電容也隨之提升，如圖 4-8。當輸出頻率越高，則電流源的輸出阻抗會受到並聯效果的影響而變小，因此必須確保在最高輸出頻率下，其輸出阻抗仍足夠將信號送出[62,66,67]。由圖 4-8 可得到輸出阻抗的頻率響應為：

$$Z_{out}(s) = (1 + g_{m2}r_{o2}) \left(r_{o1} \parallel \frac{1}{sC_{P1}} \right) \approx g_{m2}r_{o1}r_{o2} \frac{1 + s \frac{C_{P1}}{g_{m2}}}{1 + sC_{P1}r_{o1}} \quad (4.4)$$

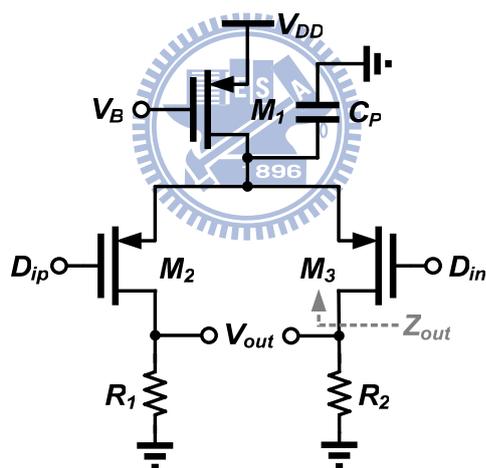


圖 4-8 Current Cell 雜散效應

由式 4.4 可得到輸出阻抗頻率響應圖，如圖 4-9。但為求得適當的輸出阻抗，使電路的輸出結果能如預期一般，由[62,63,65,67]可得知，可由輸出信號的 INL 來著手。由 INL 的定義可以得知，其為輸入信號轉換時，輸出值與理想值的差距大小，因此必須先將不同的輸入碼所對應輸出分別求出，由此可計算出受到切換式電流源內部有限輸出阻抗影響之輸出為：

$$V_{out} = nI_{LSB} \left(R_1 \parallel \frac{Z_{out}}{n} \right) \quad (4.5)$$

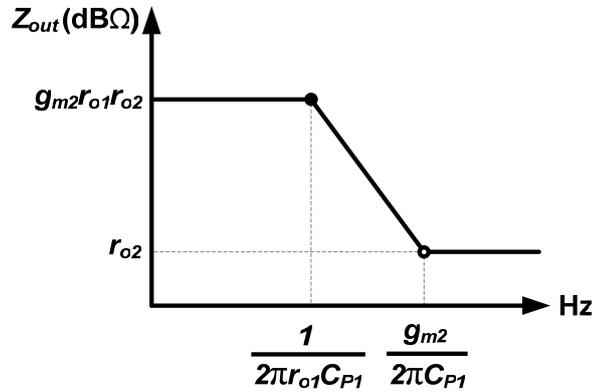


圖 4-9 Current Cell 輸出阻抗頻率響應

式 4.5 中的 n 為 Current Cell 開啟個數。繼續由式 4.5 可得出理想的輸出直線，如式 4.6，其中 N 為 Current Cell 的總個數[2]。

$$V_{out} = n \frac{V_{out,N} - 0}{N - 0} = nI_{LSB} \left(R_1 \parallel \frac{Z_{out}}{N} \right) \quad (4.6)$$

所以將式 4.5 與式 4.6 相減，並假設 $Z_{out} \gg NR_1$ ，則可得到每一點的 INL 與輸入數位值的關係式：

$$INL_n \simeq \frac{I_{LSB} R_1^2}{Z_{out}} n(N-n) \quad (4.7)$$

由於式 4.7 為一個二次項方程式，因此，將其微分並找出使之為 0 的 n 值，再將所得到的 n 值代入式 4.7，則可得到最大的 INL，在此所求得的 n 值為 $0.5N$ ，所以可以得到最大的 INL 為：

$$\text{INL} = \frac{I_{\text{LSB}} R_1^2 N^2}{4Z_{\text{out}}} \quad (4.8)$$

因此，可以由給定的規格來計算出所需要的輸出阻抗大小。此外，INL 的結果亦會反應至 SFDR 上，由[62-64,66,67]中亦可得到輸出阻抗對於 SFDR 的影響，可以得到輸出項中的第三階諧波失真（3rd Harmonic Distortion）[66]為：

$$\text{HD}_3 = \left(\frac{NR_1}{4Z_{\text{out}}} \right)^2 \quad (4.9)$$

因此，可以求得 SFDR 的大小[65,67]為：

$$\text{SFDR} = 20 \log \frac{4Z_{\text{out}}}{NR_1} \quad (4.10)$$

因此，當規格訂出之後，可由式 4.10 導出所需最小輸出阻抗，並代入式 4.8 檢查 INL 是否有小於 0.5LSB，假若 SFDR 定為 25dB，解析度為 4 位元，差動輸出擺幅為 0.8V，則可以得所需最小的輸出阻抗為 1778Ω，如此可得到對應的 INL 為 0.02LSB。

4.1.4 偏壓電路

在偏壓電路方面，假若使用常見的電流鏡來偏壓，當製程變異時，則會容易發生電流輸出不準確，主要是因為在不同製程邊界（process corner）電晶體的遷移率（mobility）與門檻電壓值（threshold voltage）不同，若製出的晶片在 SS 條件下輸出電流會較小，而 FF 的條件下則會變大，但偏壓電路在此非常重要，其必須輸出精準的電流，因此要設計出一個能隨製程變易而改變的偏壓電路，使製程漂移時仍可輸出所設計的電流值。

實際上，電阻的阻值幾乎固定不變，因此可用圖 4-10 的回授形式[28]來找出對應的

偏壓大小。其運作方式為先設定參考電壓，假若預計輸出的電流為 1mA ，所使用的阻值為 500Ω ，則參考電壓則必須設定為 0.5V ，所以當系統啟動之後，當電流超過或是低於目標值時，其在電阻所形成的壓降會與參考電壓不同，因此運算放大器會將差值放大，進而控制 M_7 所流出的電流大小，直到最後符合 0.5V 為止，此時，所得到的偏壓可讓所有的 Current Cell 正確的輸出 1mA 。在此為了讓偏壓電路的情形符合 Current Cell 的操作環境，再加上 M_8 ，使之一直導通，以模擬切換式電流源內的開關導通情形。由此可知，當製程有變化時，則 Current Cell 的偏壓會受到補償。

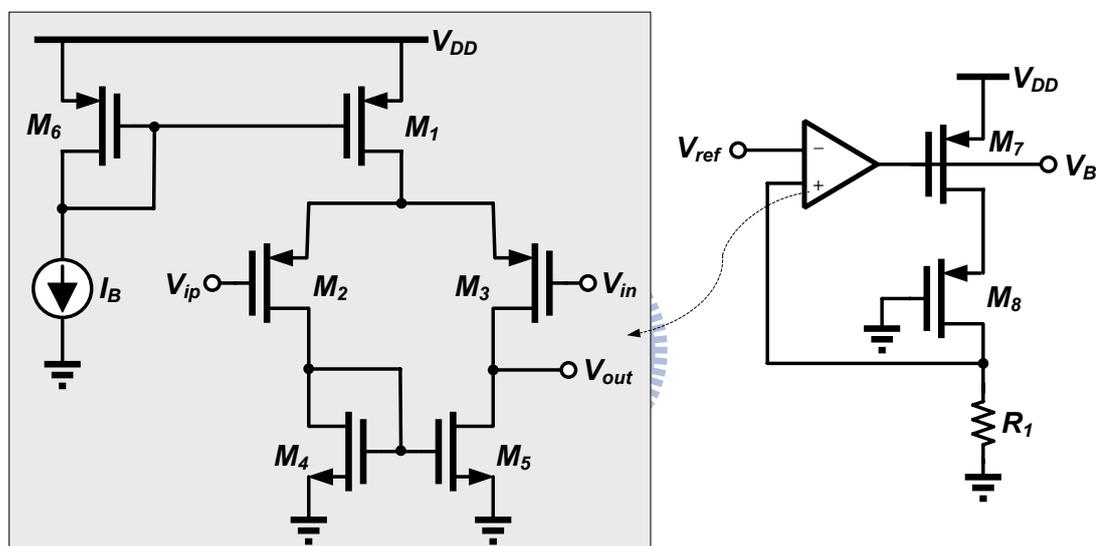


圖 4-10 回授偏壓電路

4.2 內部測試電路設計

當設計出高速的類比數位轉換器與數位類比轉換器後，則必須考量到如何測試這樣高速的電路，因此，在內部加上測試電路[3,68]，除了能夠幫助高速測試之外，亦能夠降低測試時的設置複雜度，增加測試的便利性。圖 4-11 為測試電路的系統方塊，其分為模式 A 與模式 B 兩種測試模式，分別用於測試動態參數與靜態參數。由此可知，內部測試電路分別由多工器 (MUX)、數位三角波產生器 (Digital Triangular Wave Generation, DTWG) 與輸出驅動電路 (Output Buffer) 三者組成，其可藉由切換信號路

徑的方式來選擇測試模式。

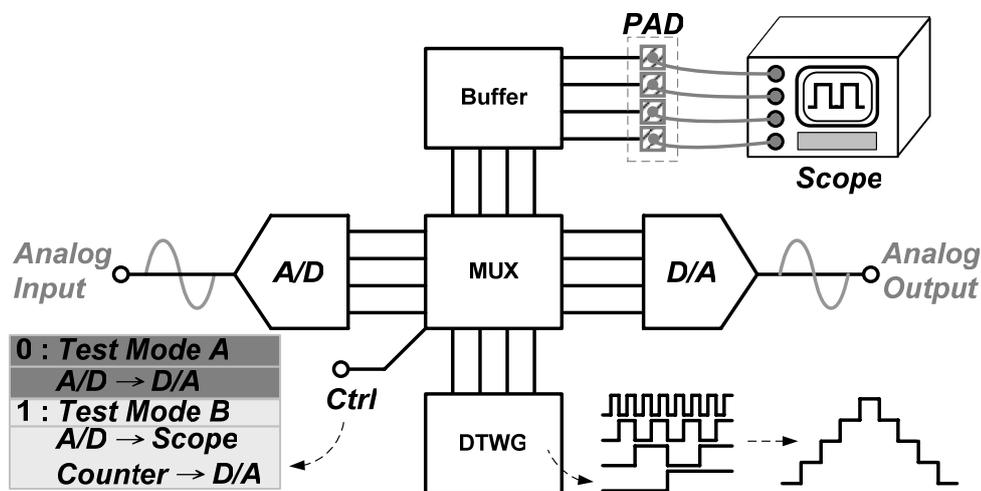


圖 4-11 測試系統方塊圖

4.2.1 測試模式 A

一般在測試類比數位轉換器時，會先輸入類比的信號，信號源有正弦波與三角波兩種，再由邏輯分析儀擷取其輸出端的數位信號並記錄下來，最後將擷取的資料送入電腦中運算，取得電路的靜態參數 INL 與 DNL，或是動態參數 ENOB。在數位類比轉換器方面，為使用數位測試信號產生器（Pattern Generator）來輸出所需的測試信號，其輸入的信號為將正弦波或是三角波經由理想類比數位轉換器所轉換出的數位信號，然後再對輸出的類比信號做頻譜分析，以得 ENOB 的量測結果，或用示波器將信號紀錄下來，再送由電腦處理量測結果，則亦可得 ENOB 的結果，此外，也可得到 INL 與 DNL 的量測結果。

在測試所設計出的高速類比數位轉換器時，實際上並無取樣頻率為 5GHz 的高速邏輯分析儀，而對於數位類比轉換器來說，亦沒有 5GHz 的數位測試信號產生器，因此在測試上有難度存在。測試模式 A 的設計想法為利用高速的類比信號產生器來產生輸入信號，讓前端類比數位轉換器轉換出數位信號，再由本身已有的高速數位類比轉換器來將

數位信號轉換為類比信號，所以不需要透過邏輯分析儀量測輸出的數位信號，可直接對數位類比轉換器輸出的類比信號做頻譜分析，則可量測到類比數位轉換器的動態效能參數，其信號切換路徑如圖 4-12 所示。

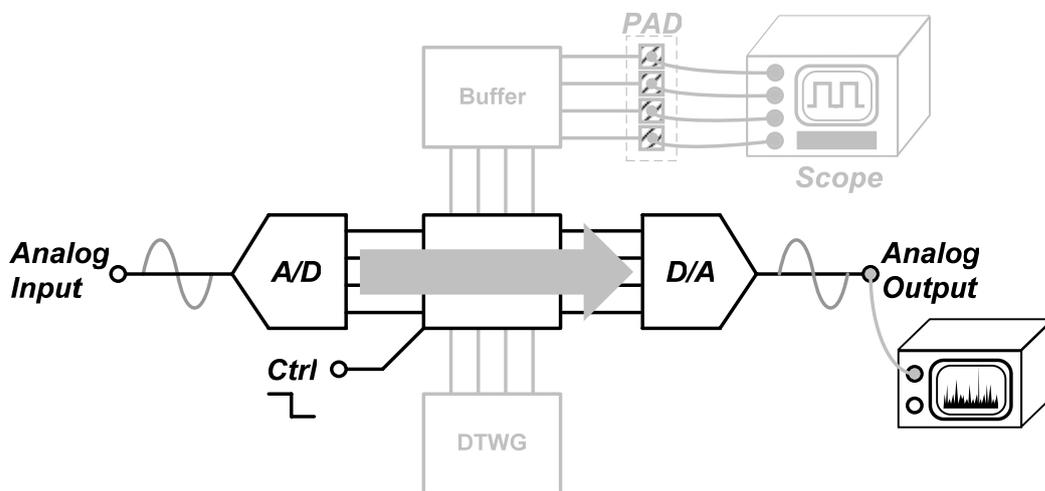


圖 4-12 測試模式 A

由此可知，當選擇此測試模式時，所使用的多工器的操作速度必須能夠跟上類比數位轉換器的轉換速度，在此使用兩個三態反相器 (tri-state inverter) 組成高速多工器，如圖 4-13，其中讓兩者的輸出相連，並使兩個反相器的導通信號互為反相，所以當選好測試模式時，僅有一端的輸入信號可以傳出。

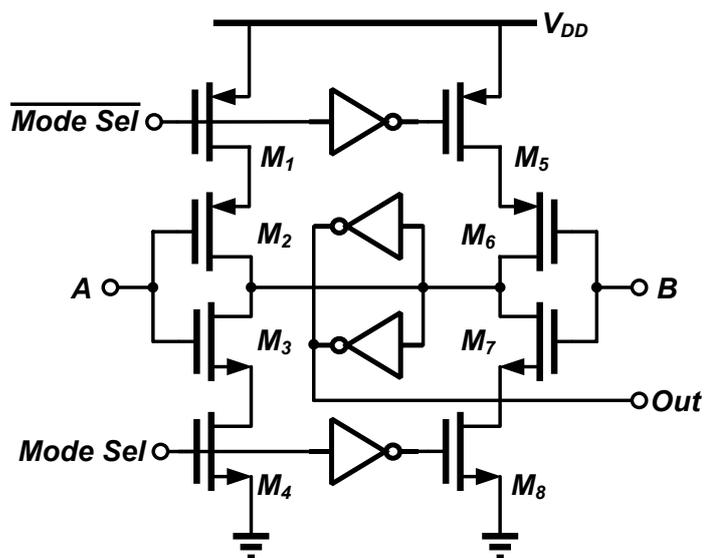


圖 4-13 多工器

此外，為了能夠達到高速傳輸的目的，在設計上必須將受測試選擇信號控制的電晶體尺寸調大，使之流過的電流變大，因此，能夠傳遞高速的數位信號，而信號不會有所損耗。最後再輸出端在接上反相器，使整體多工器能輸出一個全擺幅（full swing）的數位信號。

因此，可使用四組的 2 對 1 多工器來組成所需要的測試多工器，如圖 4-14 所示。當選則測試模式 A 時，則讓類比數位轉換器的輸出信號通過，而送至數位類比轉換器，並切換邏輯 0 信號來關閉輸出驅動電路。切換至測試模式 B 時，則是把類比數位轉換器的輸出信號送至輸出驅動電路，讓數位三角波信號產生器的輸出接至數位類比轉換器。

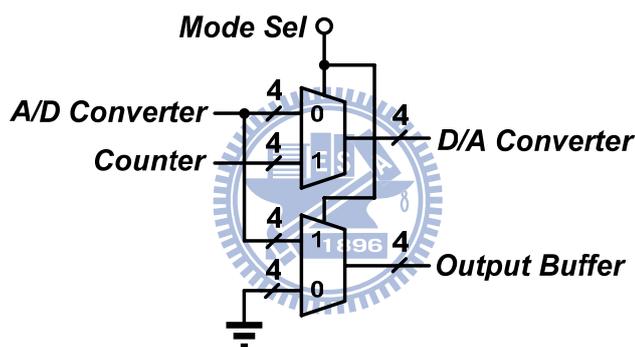


圖 4-14 測試多工器

4.2.1 測試模式 B

測試模式 B 為設計來用於測試靜態參數，其信號流向如圖 4-15 所示。在此模式下，內建的同步計數器會啟動，會和其控制電路配合來產生出數位的三角波信號，因此可藉由輸入快速的計數時脈來產生出高速的三角波信號，則可測試出數位類比轉換器的 ENOB，亦可產生低速三角波信號來測試出 INL 與 DNL 等靜態參數。在類比數位轉換器方面，則是透過輸出驅動電路來將信號傳至晶片外部，因此可輸入慢速的鋸齒波信號來測試出 INL 與 DNL。因此，要能完成此種測試方式，則必須要有多工器來切換信號走向，以及數位三角波信號產生器，即是計數器，以及驅動力佳的輸出緩衝電路，使信

號能傳送至晶片外。

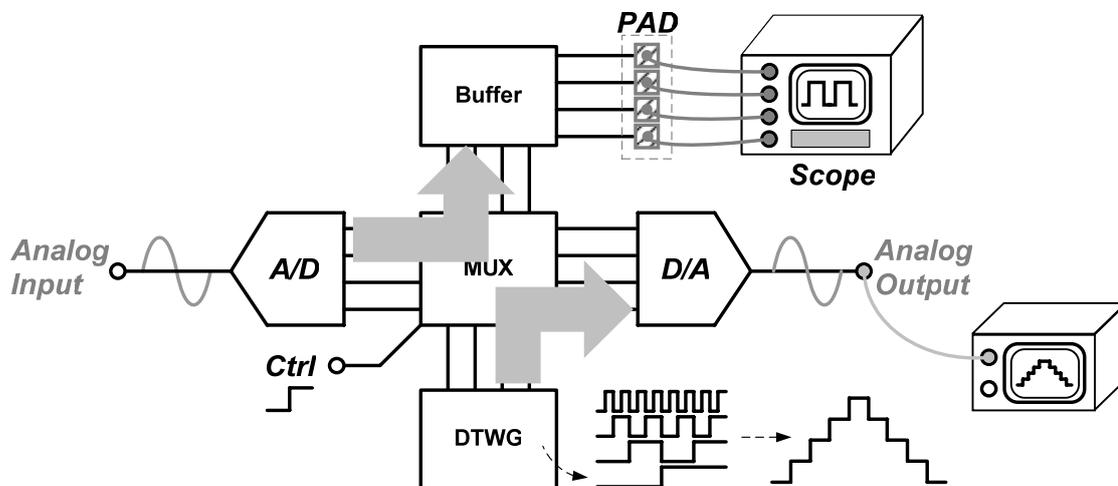


圖 4-15 測試模式 B

數位三角波產生器為由可上數或下數的計數器與其控制電路組成，其電路架構如圖 4-16 所示，圖 4-17 為控制電路，分別為全為 1 檢查電路與全為 0 檢查電路，在此為了降低控制信號的傳遞時間，因此將所需的控制邏輯運算式轉換成 pseudo NMOS 形式的邏輯閘。

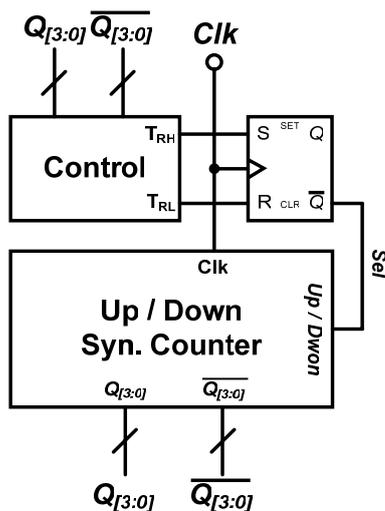


圖 4-16 數位三角波產生器

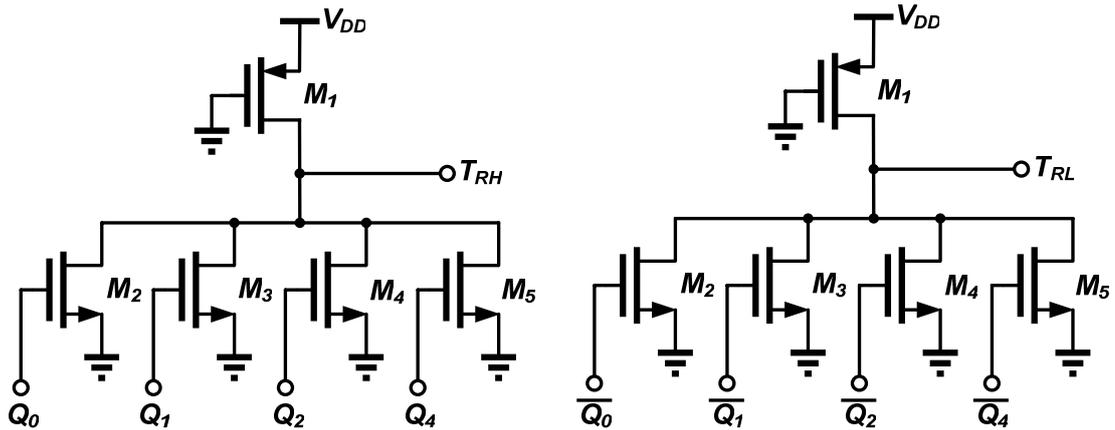


圖 4-17(a)全為 1 檢查電路 (b)全為 0 檢查電路

數位三角波產生器的運作方式為當計數器開始計算時，則控制電路會分別檢查其輸出是否為全部為 0 或是全為 1 的狀態出現，當輸出全部為邏輯 1 時，則此時控制信號中的 T_{RH} 會輸出邏輯 0，而 T_{RL} 則會輸出邏輯 1，此時，SR 閘鎖器 (SR Latch) 會寫入邏輯 0 的信號，因此會讓 Sel 信號由邏輯 0 轉為邏輯 1，所以計數器會由原本的上數模式轉換為下數模式，在計數過程中，若非出現全為 0 或全為 1 的信號之前，其控制電路的輸出皆會是邏輯 0，因此會使 SR 閘鎖器鎖住前一個狀態，所以輸出會固定不變。當計數器下數至全為邏輯 0 時，則控制信號中的 T_{RH} 會輸出邏輯 1，而 T_{RL} 會輸出邏輯 0，所以會使 SR 閘鎖器寫入邏輯 1 的信號，如此，Sel 信號會由邏輯 1 再轉為邏輯 0，使計數器執行上數的模式，如此週而復始的切換上數與下數，則可得到所需要的數位三角波，圖 4-18 為一個 3 位元的數位三角波產生器運作時的控制時序圖。

由於同步計數器操作速度較快，所以在此使用一個可上數與下數的同步計數器來產生所需之數位三角波，電路如圖 4-19 所示。其可由改變 JK 正反器 (JK Flip-Flop) 的觸發信號路徑來決定是要上數還是下數。但由圖 4-19 可看出，最後一個正反器的觸發信號的傳遞延遲時間很長，其必須花費三個及開的延遲時間才能驅動到最後一級的正反器，因此較難產生高速的數位三角波，在此將驅動每個正反器的數位電路轉換成 pseudo NMOS 形式的邏輯開來實現，使之傳遞時僅需花費一個邏輯開的延遲時間，則提升電路

的运算速度。

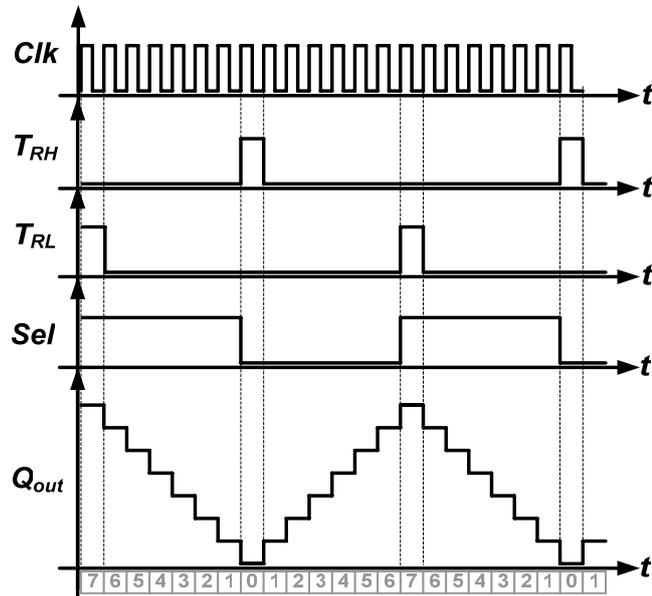


圖 4-18 數位三角波產生器控制時序圖

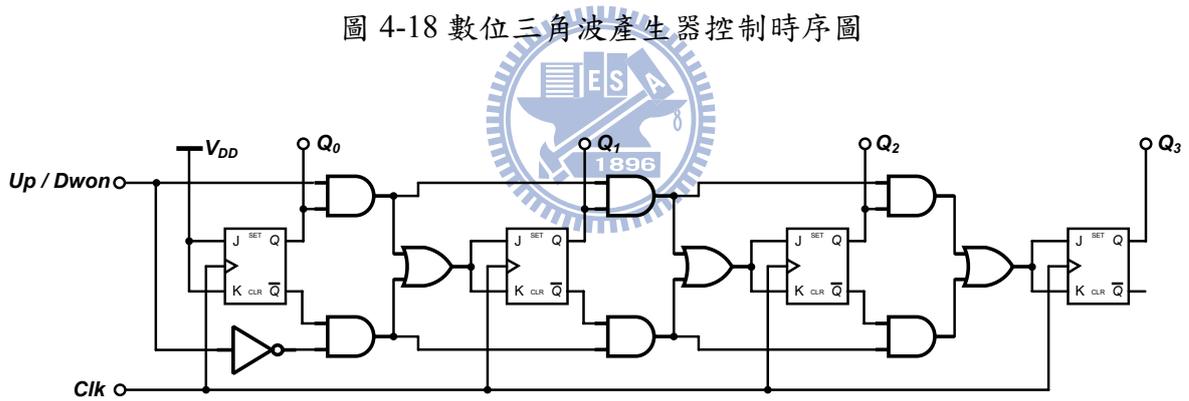


圖 4-19 上數/下數同步計數器

對於第二級正反器而言，其觸發信號的邏輯式為：

$$T_1 = Sel \cdot Q_0 + \overline{Sel} \cdot \overline{Q_0} \quad (4.11)$$

由此可知，當 Sel 與 Q_0 相同時則輸出為邏輯 1，不同時則輸出為邏輯 0，因此可以設計出對應的 pseudo NMOS 邏輯電路，如圖 4-20 所示。

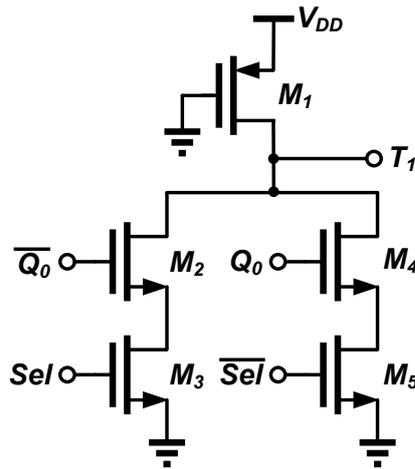


圖 4-20 第二級正反器之觸發電路

在第三級的正反器的觸發電路方面，其觸發信號的邏輯式為：

$$T_2 = \text{Sel} \cdot Q_0 \cdot Q_1 + \overline{\text{Sel}} \cdot \overline{Q_0} \cdot \overline{Q_1} \quad (4.12)$$

由式 4.12 可看出，必須當 Sel、 Q_0 與 Q_1 全部為邏輯 1 或是邏輯 0，其輸出才會為邏輯 1，因此，可將會輸出邏輯 0 的條件列出，再予以化簡，則可設計出所需之第三級正反器的觸發電路，如圖 4-21 所示。

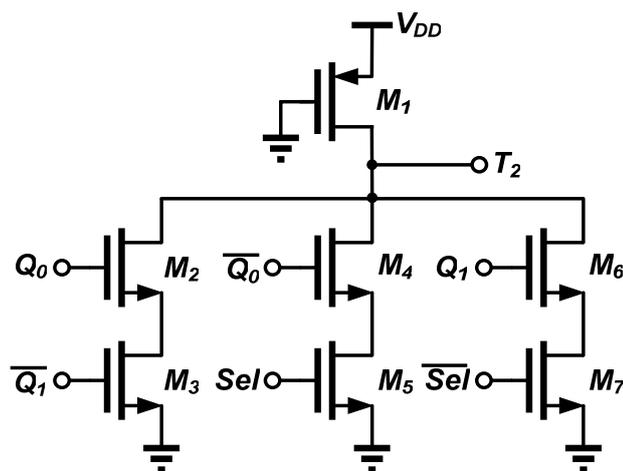


圖 4-21 第三級正反器之觸發電路

最後，第四級正反器之觸發電路的觸發信號的邏輯式為：

$$T_3 = \text{Sel} \cdot Q_0 \cdot Q_1 \cdot Q_2 + \overline{\text{Sel}} \cdot \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \quad (4.13)$$

從式 4.13 的控制邏輯式可得知，必須輸入信號全部為邏輯 0 或邏輯 1，才會輸出邏輯 1 的信號，因此，在此亦將會輸出邏輯 0 的條件列出，最後再化簡，圖 4-22 為第四級正反器的觸發電路。

此外，在 JK 正反器[69]方面，亦使用電晶體來實現整體電路，而不採用組合邏輯電路，因此，其延遲時間較短，所以操作速度非常快，使之能運作在高速環境下，如圖 4-23。最後，將圖 4-20、圖 4-21 與圖 4-22 的控制電路取代圖 4-19 中所有的邏輯閘，使之傳遞時都只有一個邏輯閘的延遲時間，所以再配合高速的 JK 正反器，則可以達成高速操作的目的。

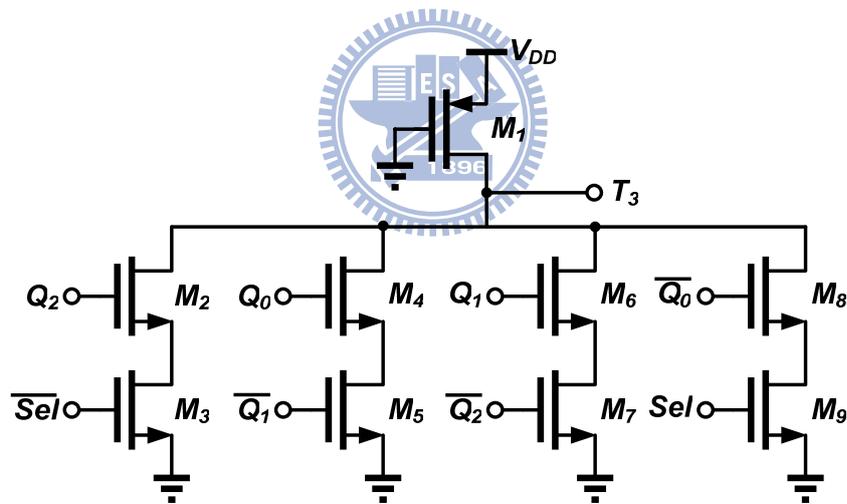


圖 4-22 第四級正反器之觸發電路

當切換至測試模式 B 時，會將類比數位轉換器的輸出送至輸出驅動電路，使外部的儀器能測其靜態參數結果，在此所使用的輸出緩衝電路為汲極開路輸出驅動電路（Open Drain Output Driver, OPD Output Driver）[28]，其僅對輸出信號作部份擺幅，因此傳輸速度非常快，此外，亦考慮 PAD、鏢線（Bonding Wire）與用於量測之印刷電路板（Printed Circuit Board, PCB）三者所產生的雜散電容與電感，並將此雜散效應建立成電路模型，置入電路中一同模擬，圖 4-24 為輸出端雜散電路模型與汲極開路輸出驅

動電路。

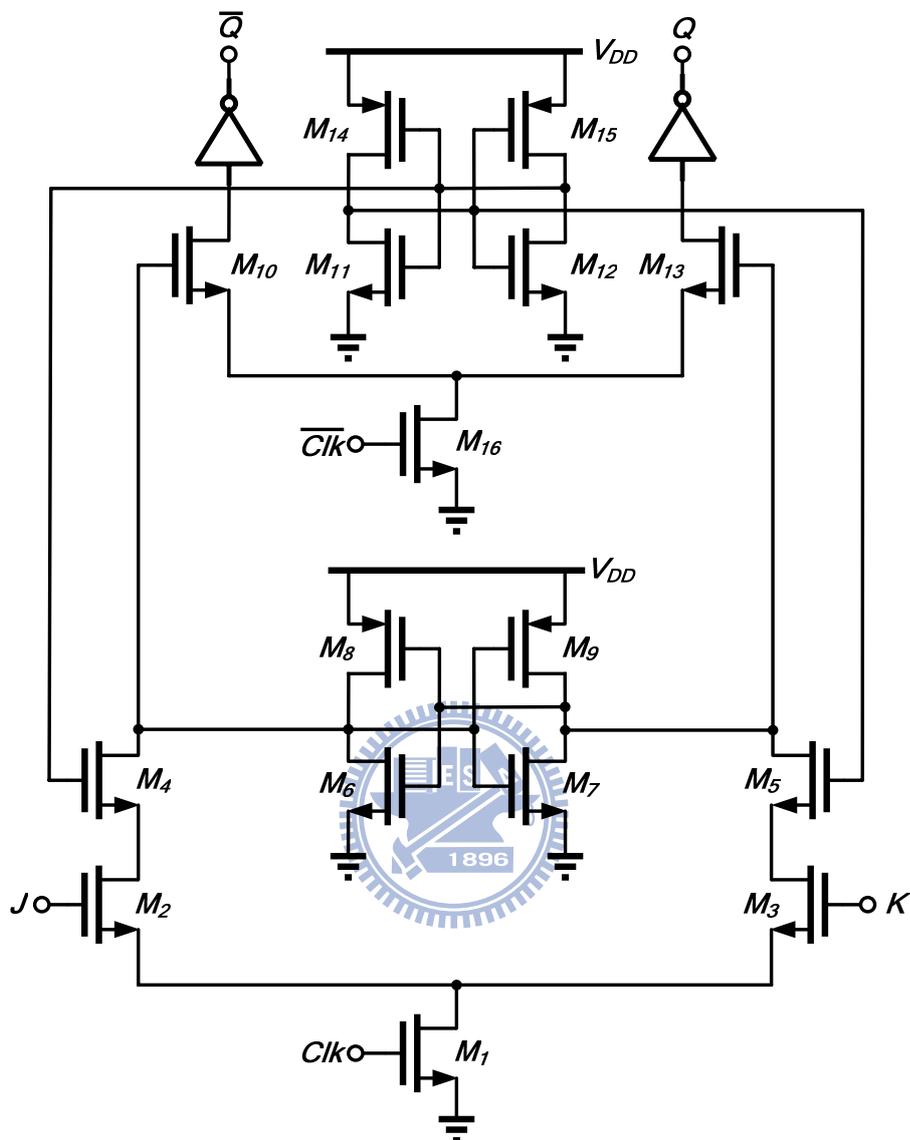


圖 4-23 CMOS JK 正反器

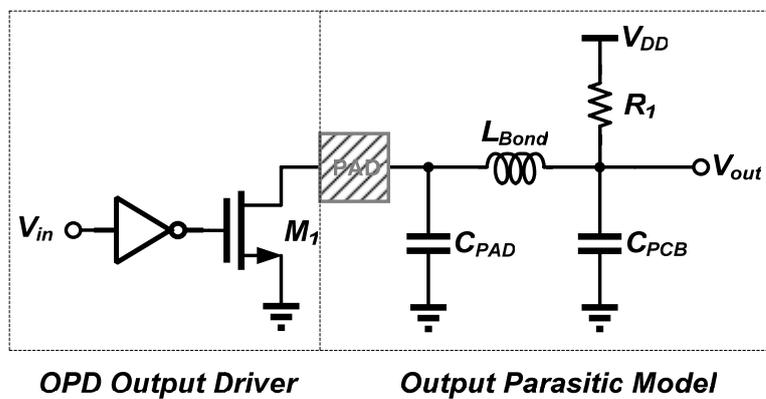


圖 4-24 汲極開路輸出驅動電路

第五章

模擬結果與佈局



5.1 簡介

本章節將會展示所提出之數位化放大器的模擬結果，並逐一的將模擬結果與手算分析互相比較，以驗證推導的結果是否正確，使之達成理論與模擬相符的目標。此外，亦模擬使用數位化放大器的類比數位轉換器與 Current Steering 數位類比轉換器，並將各種模擬結果展示出來，例如：時域波形、靜態參數模擬結果與動態參數模擬結果，其中模擬時並將 PAD、鏢線 (Bonding Wire) 與用於量測之印刷電路板 (Printed Circuit Board, PCB) 三者所產生的雜散電容與電感納入考量，將其建立成一個雜散電路模型，掛載於整體電路中，使之與晶片一同模擬，使模擬結果能更接近於實際製作出來的晶片。最後，則模擬包含內建測試性電路之整體晶片，除了驗證選擇測試模式的功能是否正確，並檢驗在測試模式 A 與模式 B 時，類比數位轉換器與 Current Steering 數位類比轉換器功能是否正常。

5.2 數位化放大器模擬結果

為了證實所求出差模增益、共模增益與共模拒斥比的算式是否正確，分別將誤差的量代入所導出的算式內，求出其結果，並將相同的誤差比例設置於電路當中，量測電路的差模增益、共模增益與共模拒斥比等模擬結果，使之與先前的手算結果互相比較，其差模增益如圖 5-1，共模增益如圖 5-2，而共模拒斥比如圖 5-3 所示，由這三張圖可看出手算結果與模擬結果的趨勢相同，且值的大小都非常接近，因此，可得知所求出之算式為正確。

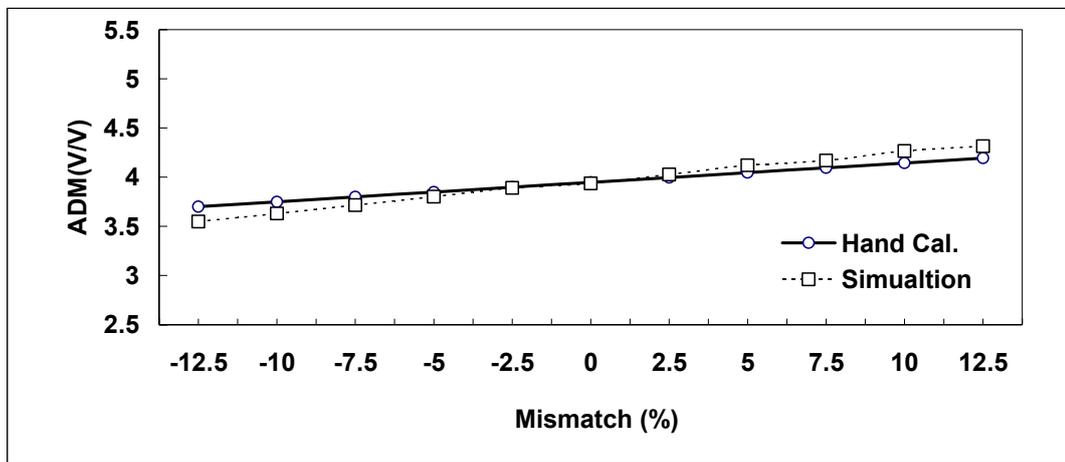


圖 5-1 差模增益之手算與模擬結果

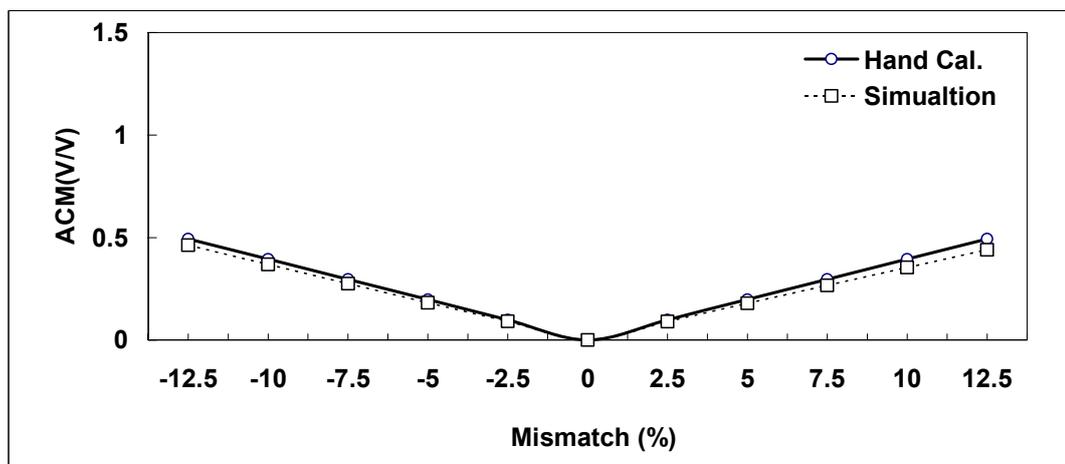


圖 5-2 共模增益之手算與模擬結果

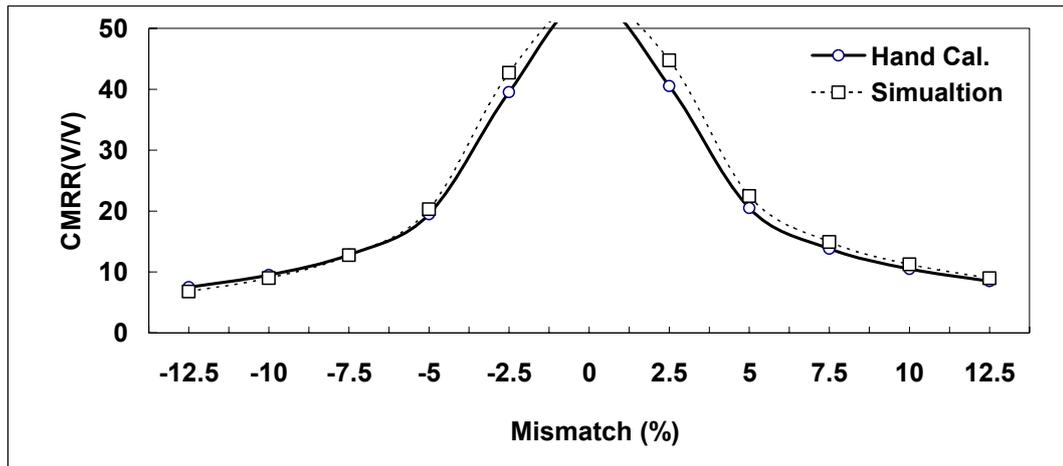


圖 5-3 共模拒斥比之手算與模擬結果

此外，亦將所設計的放大器與後端的閃鎖器一同使用蒙地卡羅分析，模擬結果如圖 5-4。由模擬結果可得知標準差為 3.22mV，而所設計之類比數位轉換器的一個 LSB 為 25mV，三倍的標準差有達到小於 0.5LSB 的目標。

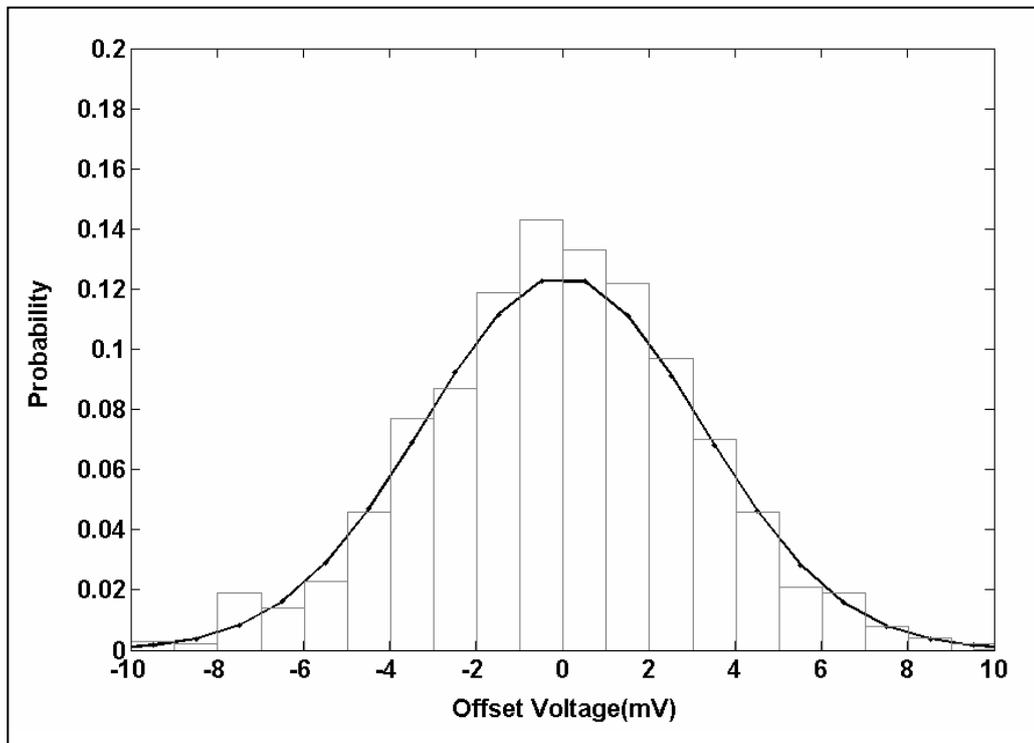


圖 5-4 蒙地卡羅分析模擬結果

在第三章亦有提到當改變傳輸閘的阻值時，放大器的頻寬會隨之改變，在此將改變傳輸閘的通道長度，觀察頻率響應的結果，進而找出延展頻寬的上限。圖 5-5 為數位化吉伯特元件的模擬結果，由此可看出，當電晶體的長度為 4 倍時，頻寬調整會達最大上限，且可調整的頻寬有 680MHz，對照圖 5-6、圖 5-7 與圖 5-8 可得到對應的阻值為 $7k\Omega$ 、輸入雜散電容與輸出雜散電容分別為 2.31fF 與 2.35fF。

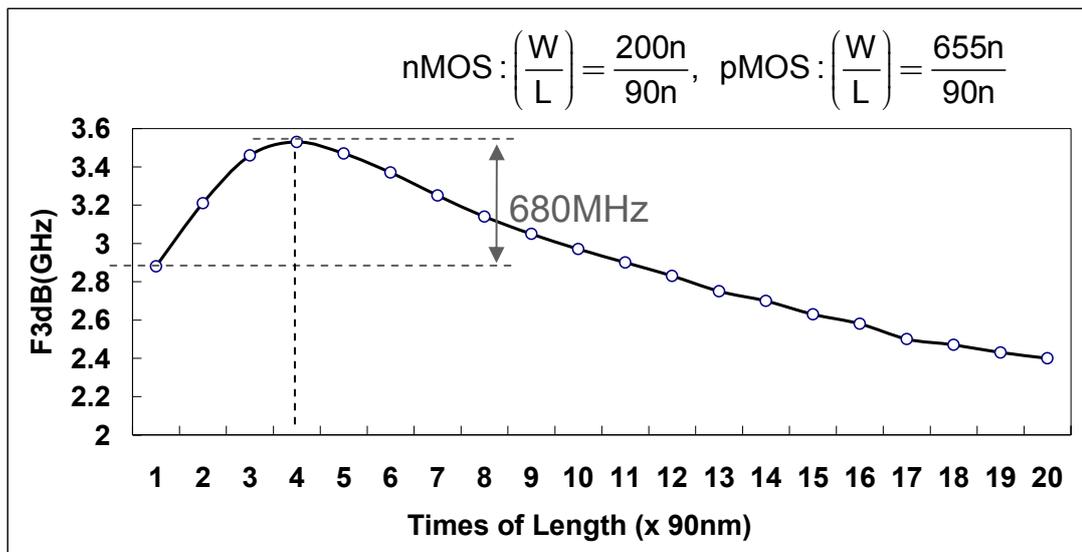


圖 5-5 傳輸閘通道長度相對頻寬結果

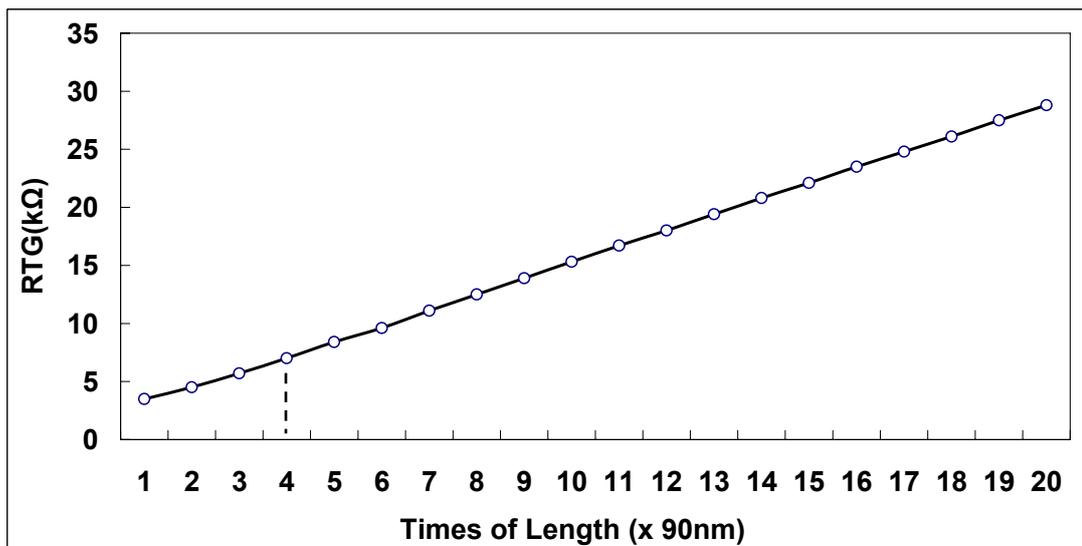


圖 5-6 傳輸閘通道長度相對阻值結果

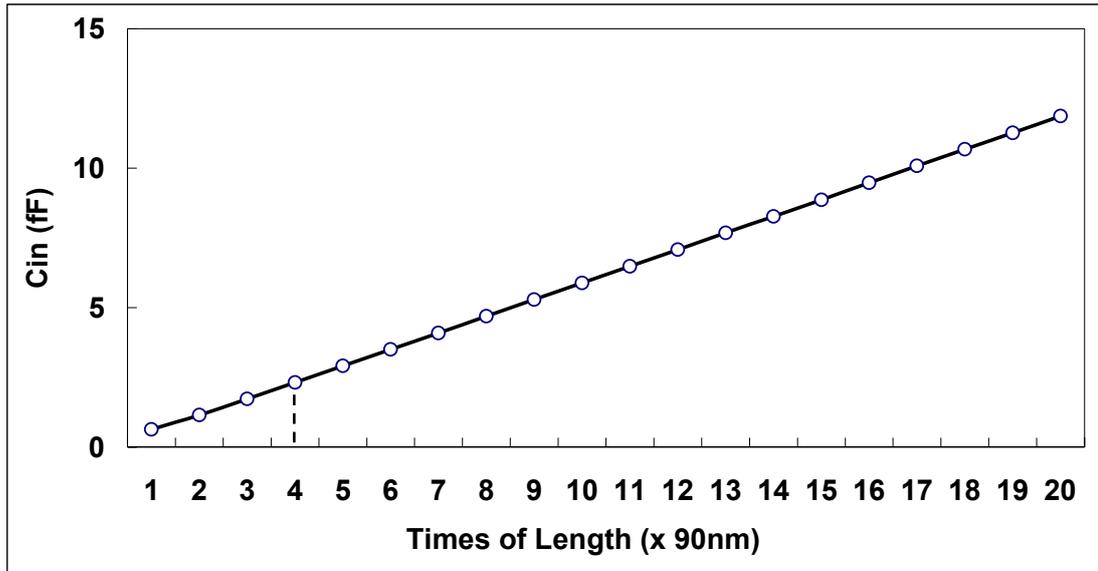


圖 5-7 傳輸閘通道長度相對輸入雜散容值結果

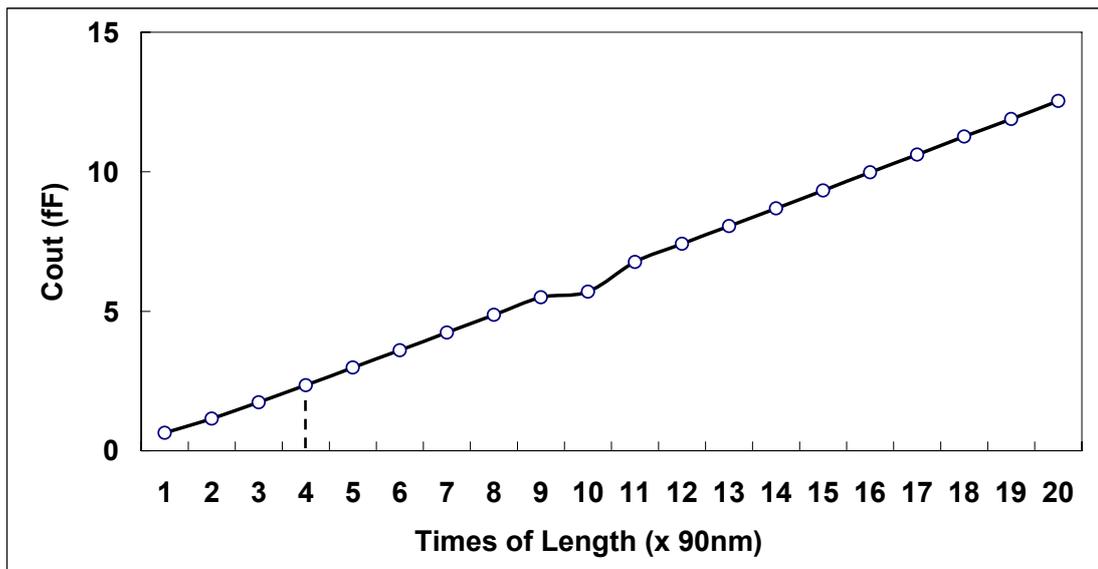


圖 5-8 傳輸閘通道長度相對輸出雜散容值結果

從圖 5-5 可得知，當電晶體的長度超過 4 倍時，放大器的頻率響應就會出現突起現象，因此，為了避免出現此種現象發生，所以電晶體的長度必須小於 360nm。

接著亦模擬先前提及有加與無加傳輸閘的數位化吉伯特元件頻率響應之差別，由圖

5-9 模擬結果可看出，當有加傳輸閘時，放大器頻寬為 2.88GHz，相較於沒加傳輸閘時的頻寬 2.36GHz，其增加了 0.52GHz，但所消耗的功率卻不變，因此，若再配合圖 5-5 的調整結果，則最高可以增加 1.2GHz 的頻寬。

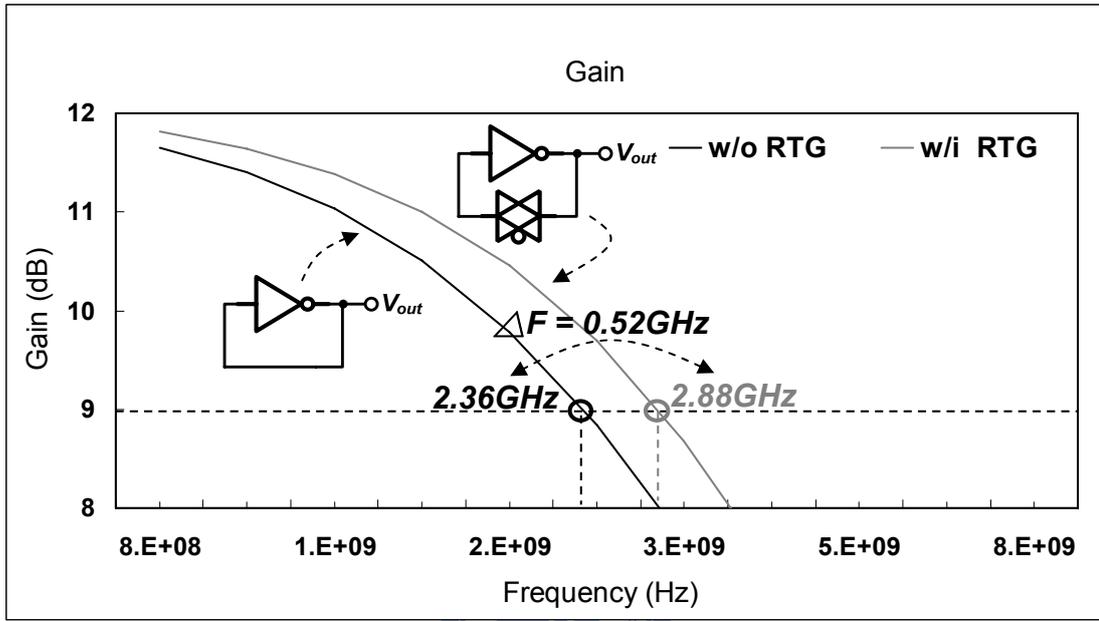


圖 5-9 無使用與使用傳輸閘之頻寬差別

5.3 類比數位轉換器模擬結果

追蹤與保持電路為類比數位轉換器的前端取樣電路，因此，追蹤與保持電路的 ENOB 並必須大於類比數位轉換器的解析度，使之不會輸入過度失真的輸入信號，而讓輸出信號的 ENOB 受其影響。在此輸入一個正弦波信號，並觀察其輸出是否有取樣的效果出現，圖 5-10 為輸出信號的時域模擬結果，由此波形可看出，當隨著時間改變時，輸出信號會週期性的出現取樣與保持兩種結果，所以可得知電路有正常運作。圖 5-11 為追蹤與保持電路的頻域分析結果，所輸入的信號為一個頻率 503MHz 以及差模輸入擺幅 0.8V 的正弦波，其頻譜分析的模擬結果顯示出 ENOB 超過整體類比數位轉換器的解析度，因此，類比數位轉換器的 ENOB 不會受其影響而降低。

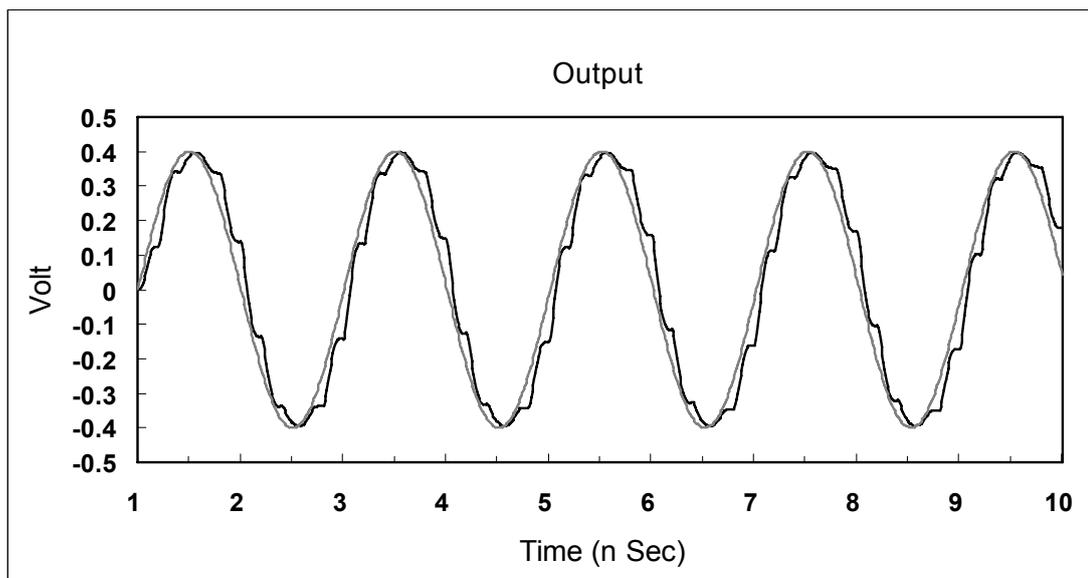


圖 5-10 追蹤與保持電路時域模擬結果

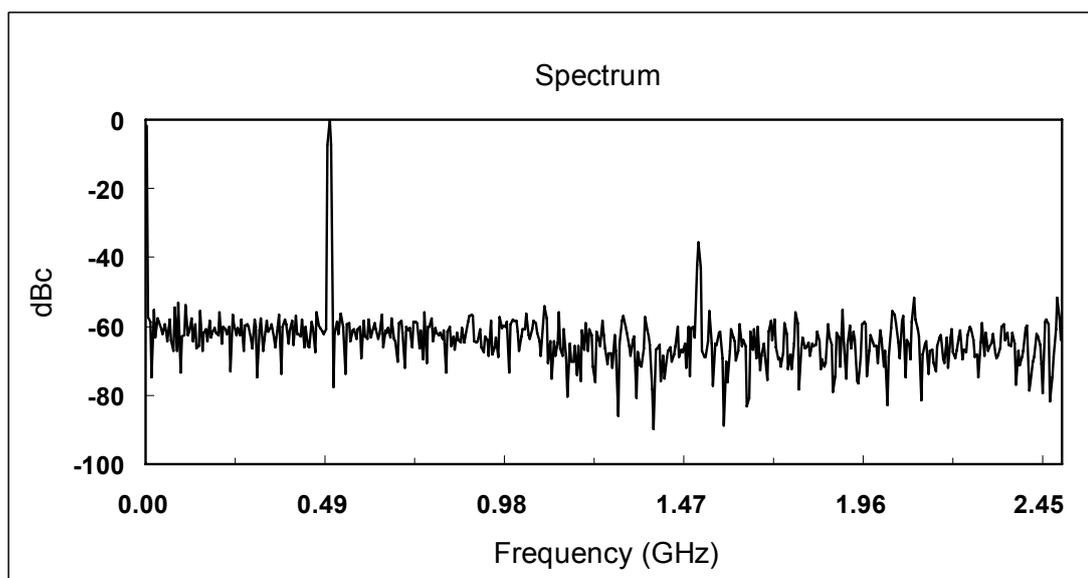


圖 5-11 追蹤與保持電路頻域模擬結果

然後測試輸入信號頻率改變時，觀察輸出信號的 ENOB，確定信號頻率在 Nyquist Frequency 內所有的 ENOB 仍大於類比數位轉換器的解析度，圖 5-12 為改變輸入信號頻率的頻域模擬結果，由此可看出在 Nyquist Frequency 內所有的 ENOB 都有大於 4 位元，其輸出結果有達成預期的目標。

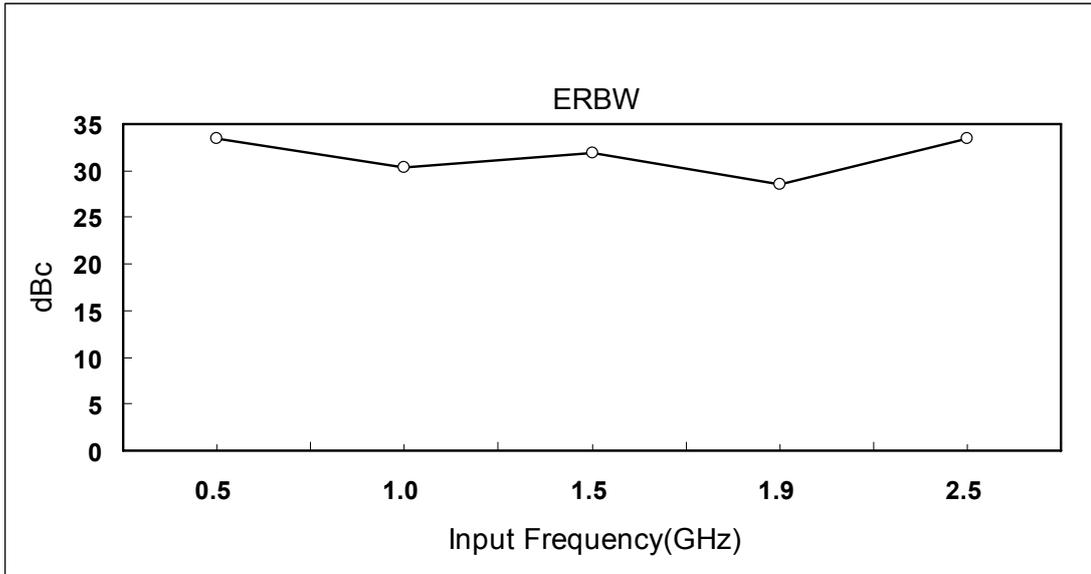


圖 5-12 追蹤與保持電路輸入頻率改變之模擬結果

接著模擬所提出之高速低功率類比數位轉換器的靜態參數，圖 5-13 為輸入差模擺幅 0.8V 以及速率為 $12.5\text{V}/\mu\text{s}$ 之斜波信號模擬結果。

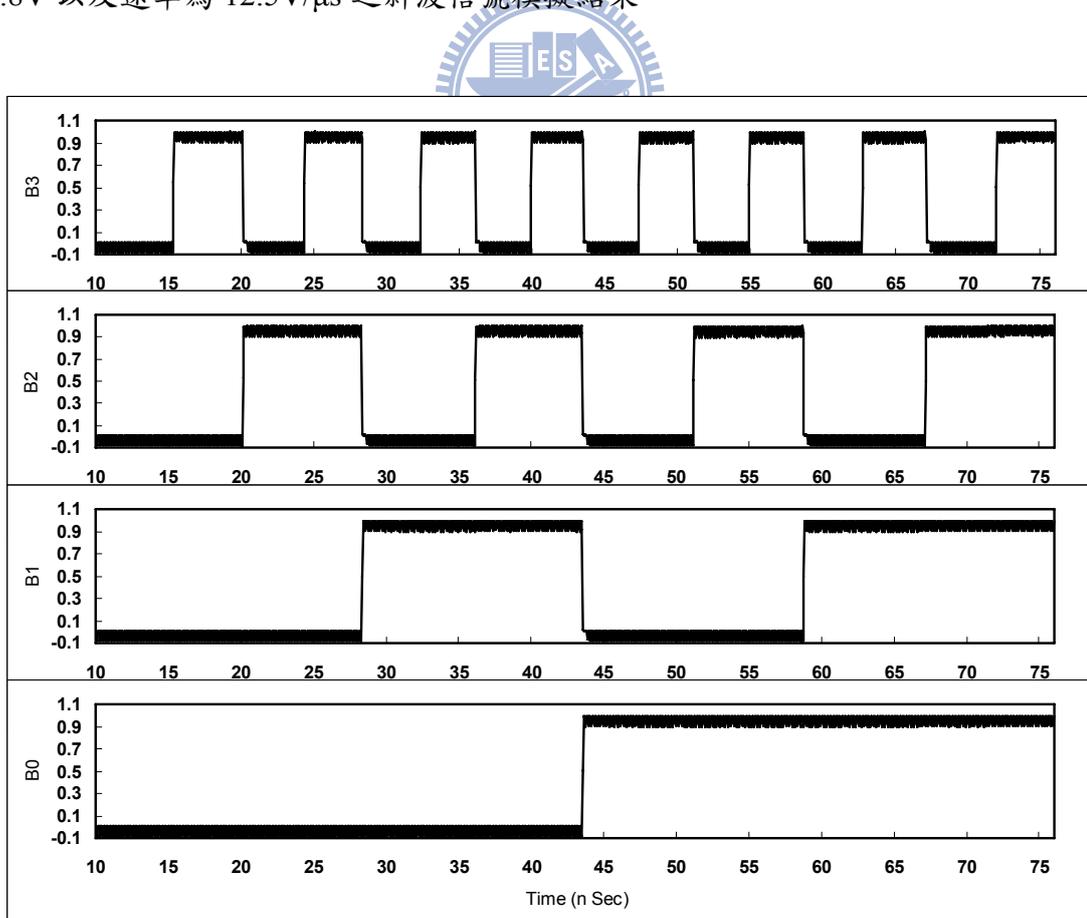


圖 5-13 類比數位轉換器差模輸入 $12.5\text{V}/\mu\text{s}$ 之斜波信號模擬結果

在得到斜波信號模擬結果之後，則用此輸出信號來計算出類比數位轉換器的 INL 與 DNL，圖 5-14 與圖 5-15 分別為 INL 與 DNL 的模擬結果，在 INL 變化範圍由 0.31LSB 到 -0.24LSB，而 DNL 則是由 0.16LSB 到 -0.1LSB，其結果都小於 0.5LSB，由此可知所設計出的類比數位轉換器沒有缺碼(missing code)的情形出現，且誤差量很低，在線性度方面亦有良好的表現。

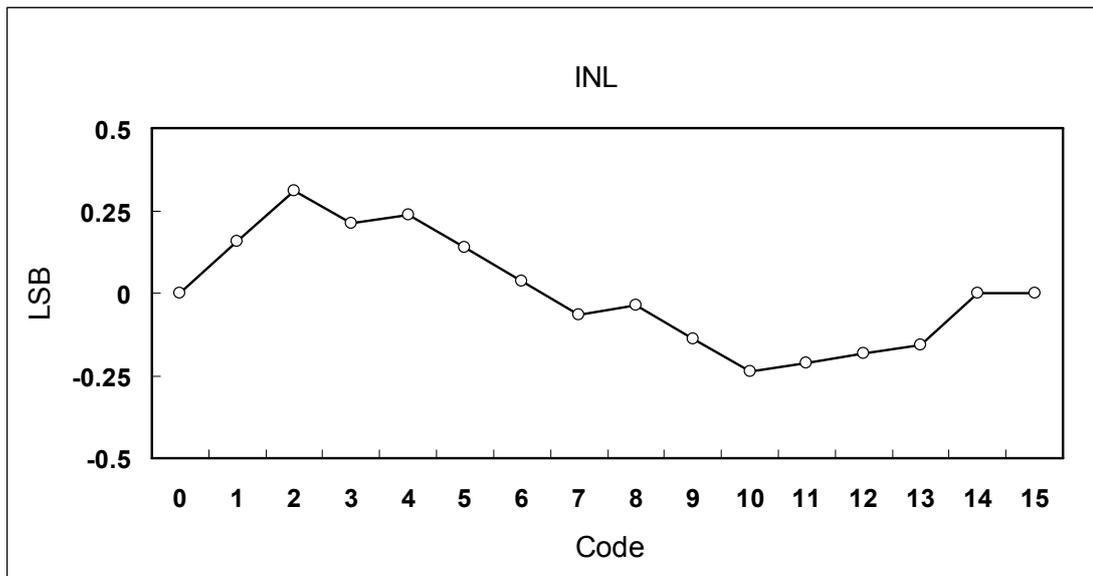


圖 5-14 類比數位轉換器 INL 模擬結果

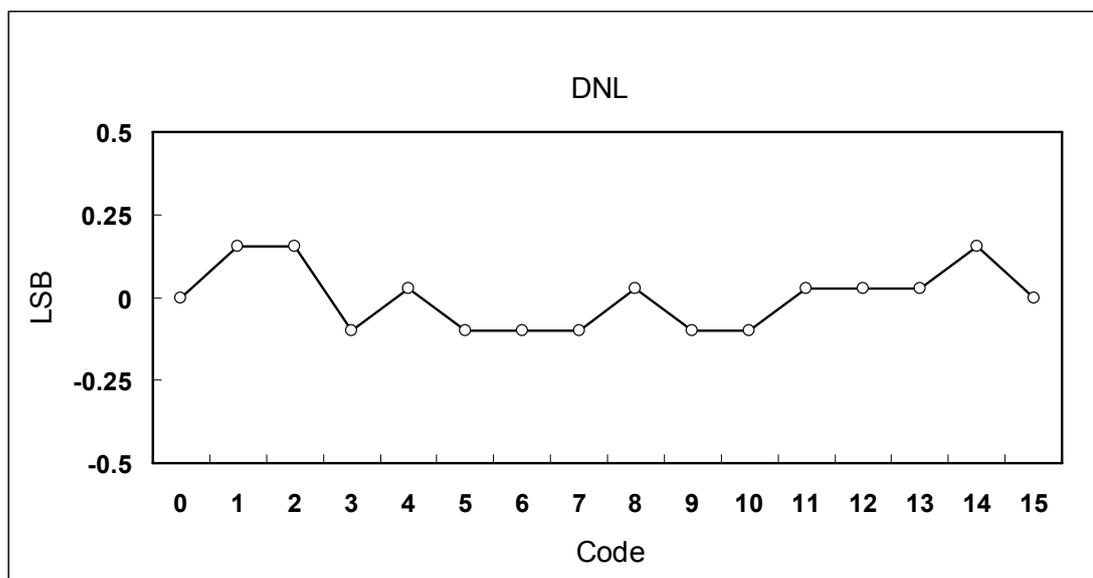


圖 5-15 類比數位轉換器 DNL 模擬結果

圖 5-16 為整體類比數位轉換器的頻域分析結果，所輸入的信號為一個頻率 503MHz 以及差模輸入擺幅 0.8V 的正弦波，其頻譜分析的模擬結果顯示出 ENOB 為 3.9 位元，接著改變輸入信號頻率，以得知其有效輸入頻寬(Effective Resolution Bandwidth, ERBW)，圖 5-17 為改變輸入信號頻率的頻域模擬結果，其在 Nyquist Frequency 內所有的 ENOB 都有大於 3 位元。

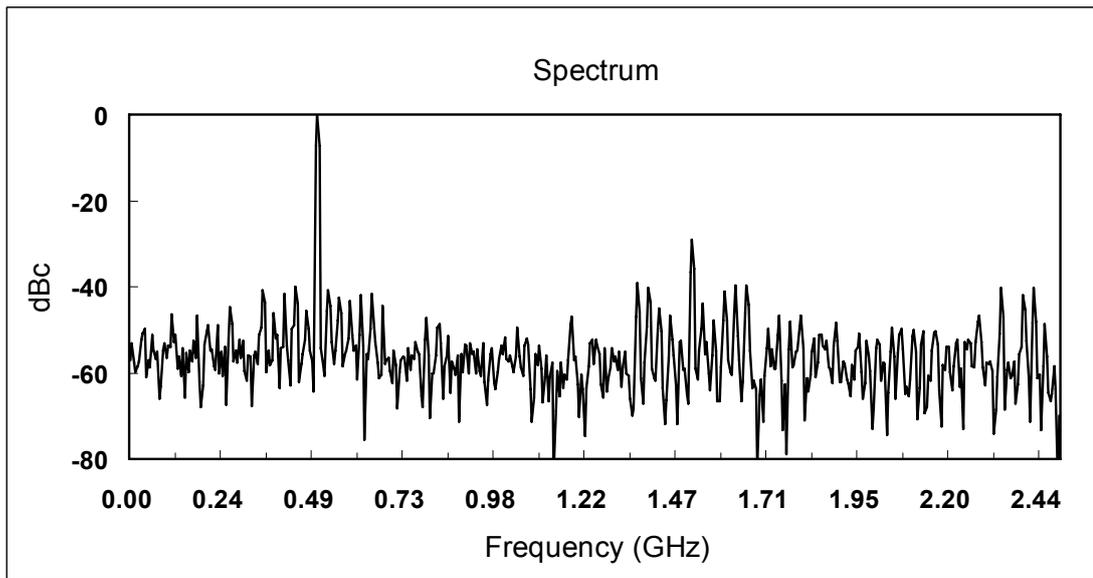


圖 5-16 頻域模擬結果

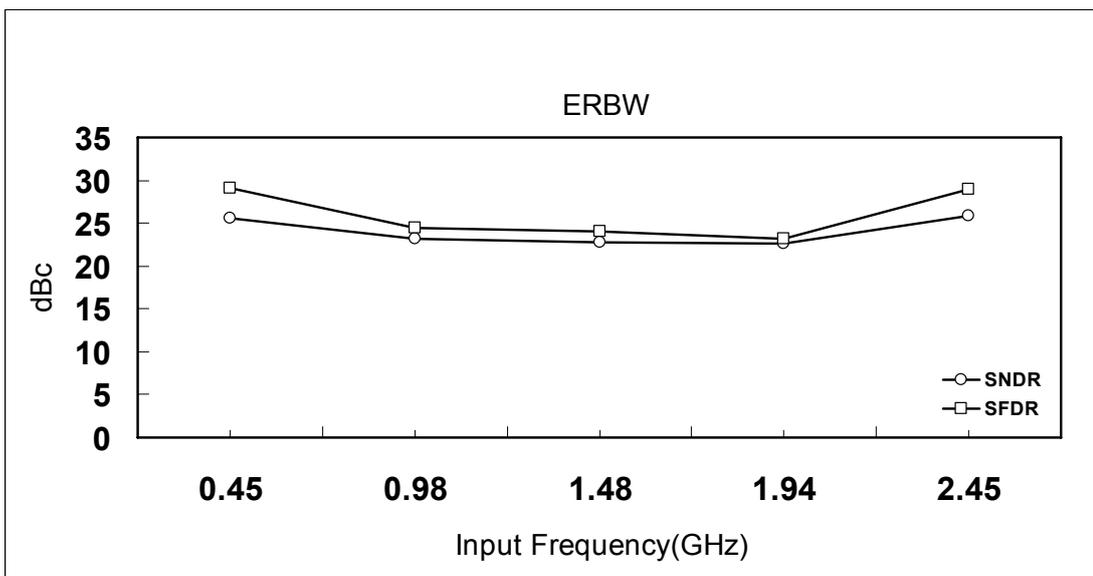


圖 5-17 類比數位轉換器輸入頻率改變之模擬結果

此外，亦模擬在不同的製程邊界（process corner）下的靜態參數與動態參數，並參考[20]的品質因數（Figure of Merit, FoM）計算方式，如式 5.1，則可計算出受到製程變異的情況下，整體類比數位轉換器的效能是否有良好的表現。由表 5.1 可看出在 INL 與 DNL 皆有小於 0.5LSB，且 ENOB 的模擬結果皆有大於 3 位元，因此可將模擬結果代入式 5.1 求得對應的 FoM 大小，由此可知，在所有的製程邊界下，FoM 皆小於 1pJ。

$$\text{FoM} = \frac{\text{Power}}{f_s \cdot 2^{\text{ENOB}}} \quad (5.1)$$

表 5.1 類比數位轉換器受製程變異模擬結果

Corner Result	TT	FF	SS	FNTP	SNTP
DNL (LSB)	0.16 ~ -0.1	0.32 ~ -0.16	0.2 ~ -0.2	0.35 ~ -0.4	0.23 ~ -0.14
INL (LSB)	0.31 ~ -0.24	0.35 ~ -0.39	0.2 ~ -0.27	0.21 ~ -0.46	0.33 ~ -0.33
ENOB (bit)	3.9	3.7	3.5	3.7	3.7
Power (mW)	33.7	46.2	23.9	33.8	33.4
FOM (pJ/conv)	0.45	0.76	0.45	0.56	0.51

在此將 FoM 結果與近幾年之期刊論文的結果比較，由表 5.2 可看出所設計的 Flash 類比數位轉換器皆小於其他論文的 FoM 結果，由此可知，使用頻寬補償的方式既可提升速度又可降低功耗，所以使得在 FoM 的結果中有良好的表現。

表 5.2 類比數位轉換器模擬結果比較表

	JSSC07[45]	JSSC08[48]	JSSC08[20]	TCASH08[21]	This Work
Sample Rate	4GHz	1.6GHz	3.5GHz	1.25GHz	5GHz
Process	180nm	130nm	90nm	90nm	90nm
Resolution (bit)	4	6	6	8	4
ENOB (bit)	3.48	5.44	4.89	6.91	3.9
Power (mW)	608	180	98	207	33.7
FOM (pJ/conv)	13.6	2.59	0.94	1.38	0.45

最後將整體電路繪製成實體晶片的佈局 (Layout)，如圖 5-18 所示，其佈局面積約為 0.03mm^2 ($117\mu\text{m} \times 256\mu\text{m}$)。在佈局設計中，考量到信號走向，因此，個別系統方塊皆是依照信號處理的先後時間來擺放，即是以追蹤與保持電路、比較器陣列以及數位編碼器的順序來排列，並將數位部分與類比部分分開，使類比部分受到雜訊的干擾能降到最低。

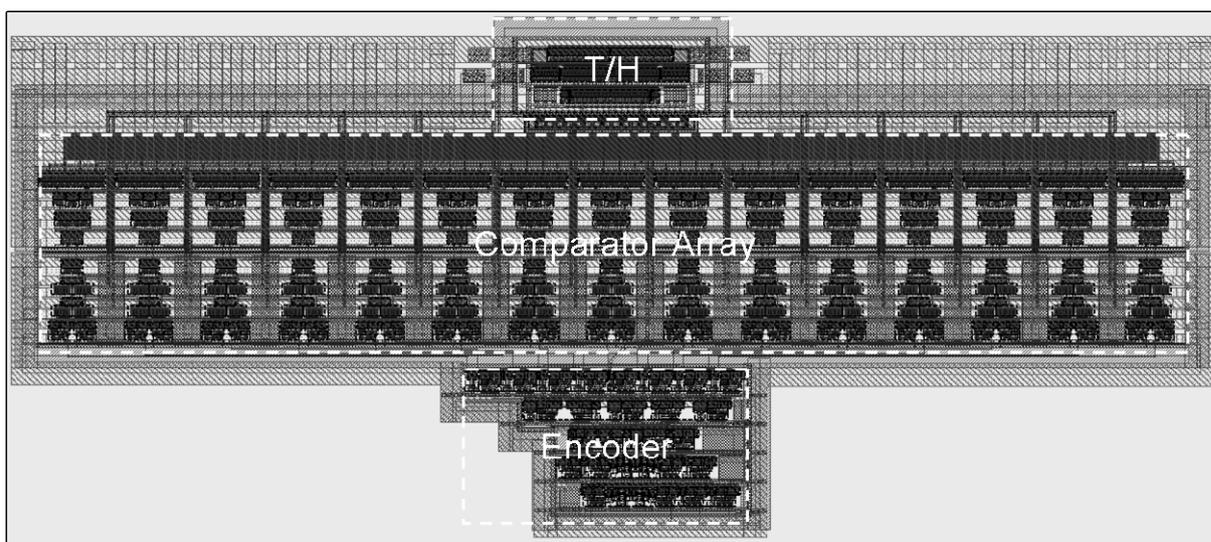


圖 5-18 類比數位轉換器佈局圖

5.3 數位類比轉換器模擬結果

在測試數位類比轉換器時，為測試出其 INL 與 DNL 等靜態參數結果，在此為將一個 $25\text{V}/\mu\text{s}$ 、差模擺幅為 0.8V 的斜波信號以理想的 4 位元類比數位轉換器量化成數位信號，再輸入至設計的數位類比轉換器，圖 5-19 為輸出端的時域波形，因此，由此輸出波形做運算則可得所需的 INL 與 DNL 的結果。圖 5-20 為 INL 模擬結果，變化範圍由 0.07LSB 到 -0.06LSB ，圖 5-21 則為 DNL 的結果，而 DNL 則是由 0.07LSB 到 -0.03LSB ，其結果皆小於 0.5LSB ，所以可得知所設計出的數位類比轉換器沒有缺碼(missing code)的情形出現，且誤差量亦很低，在線性度方面亦有良好的表現，且由圖 5-19 可看出輸出信號的差模擺幅有到 0.8V ，其有達到預期的目標。

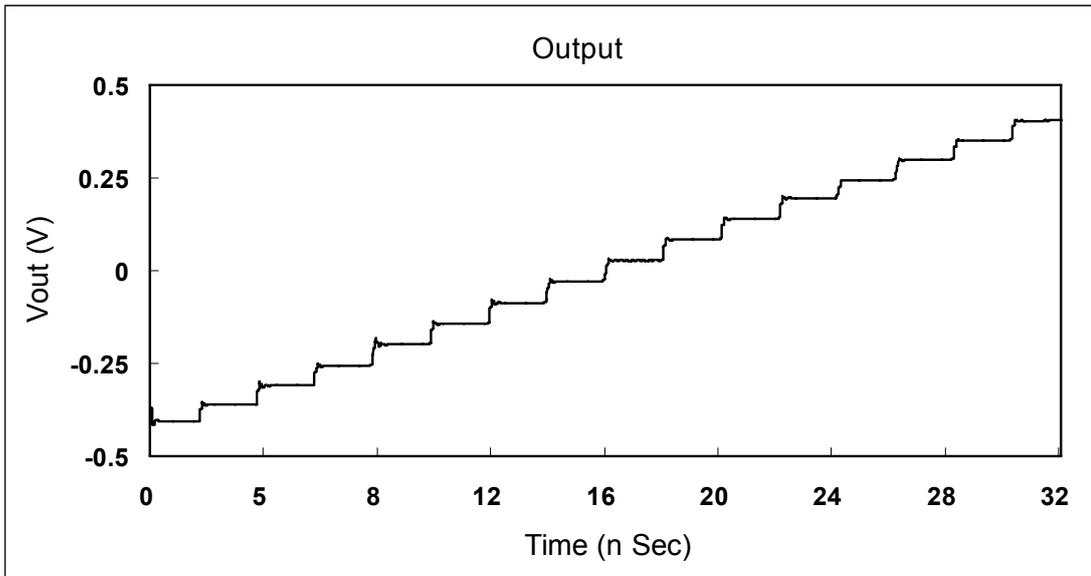


圖 5-19 數位類比轉換器時域模擬結果

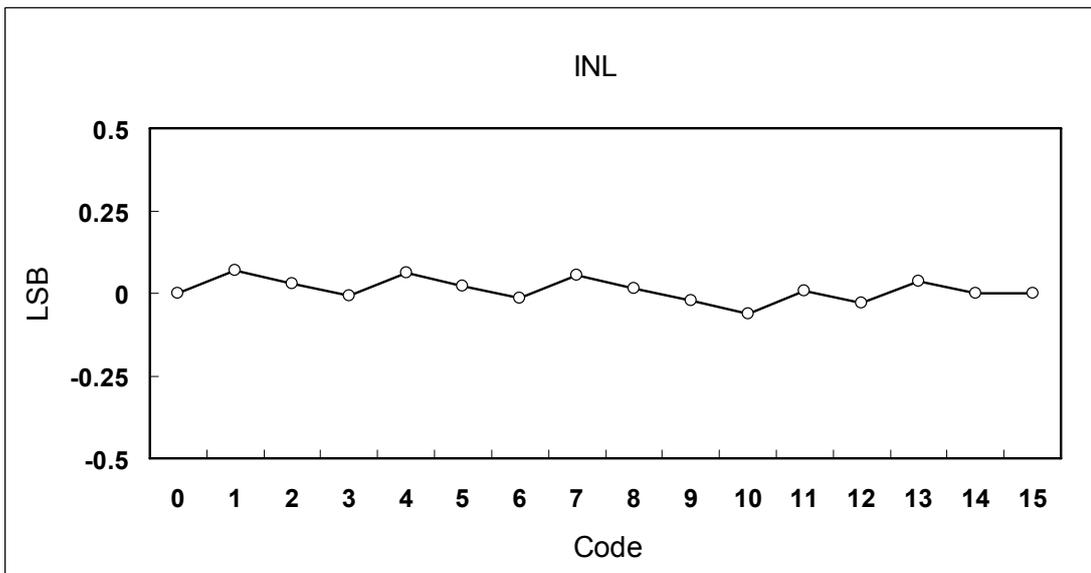


圖 5-20 數位類比轉換器 INL 模擬結果

在動態參數模擬方面，是將一個頻率為 503MHz 以及差模擺幅為 0.8V 的正弦波作理想量化，使之轉為 4 位元的數位信號，再輸入至所設計的數位類比轉換器，以量測整體電路的 ENOB，圖 5-22 為數位類比轉換器的頻域分析結果，由此可得出其 ENOB 為 3.9 位元。此外，亦改變輸入信號頻率，以得知整體電路的有效輸入頻寬，圖 5-23 為改

變輸入信號頻率的模擬結果，其在 Nyquist Frequency 內所有的 ENOB 都非常接近 4 位元。由此可知，所設計的數位類比轉換器失真度低且速度快，其非常適合用於測試與發送信號。

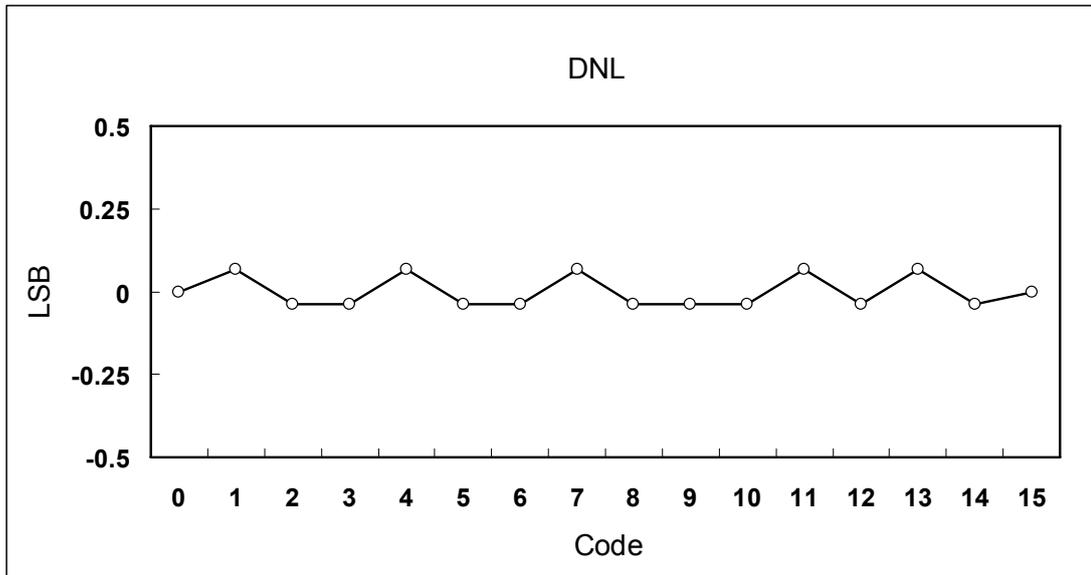


圖 5-21 數位類比轉換器 DNL 模擬結果

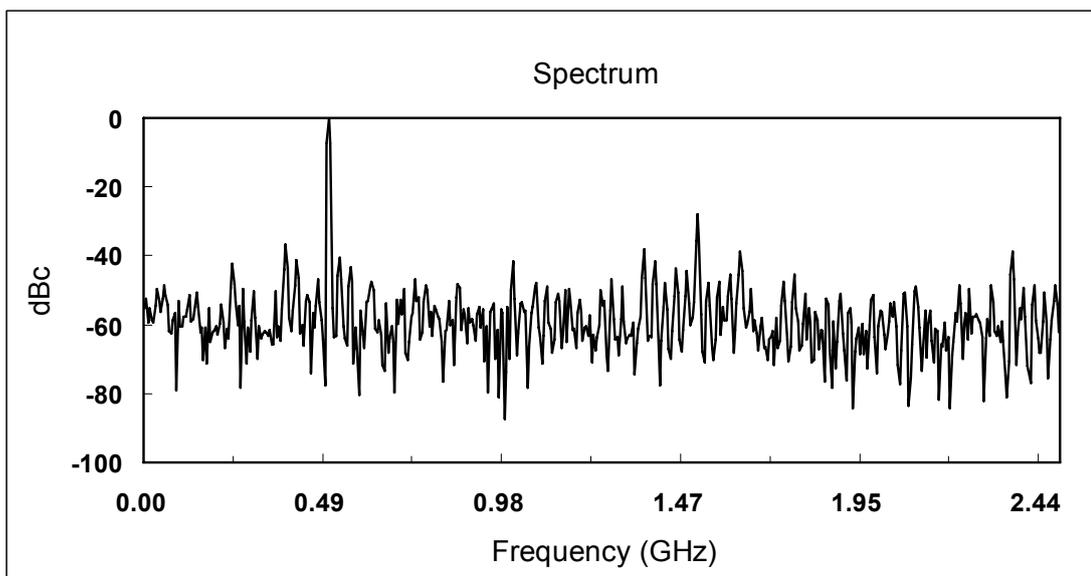


圖 5-22 數位類比轉換器頻域模擬結果

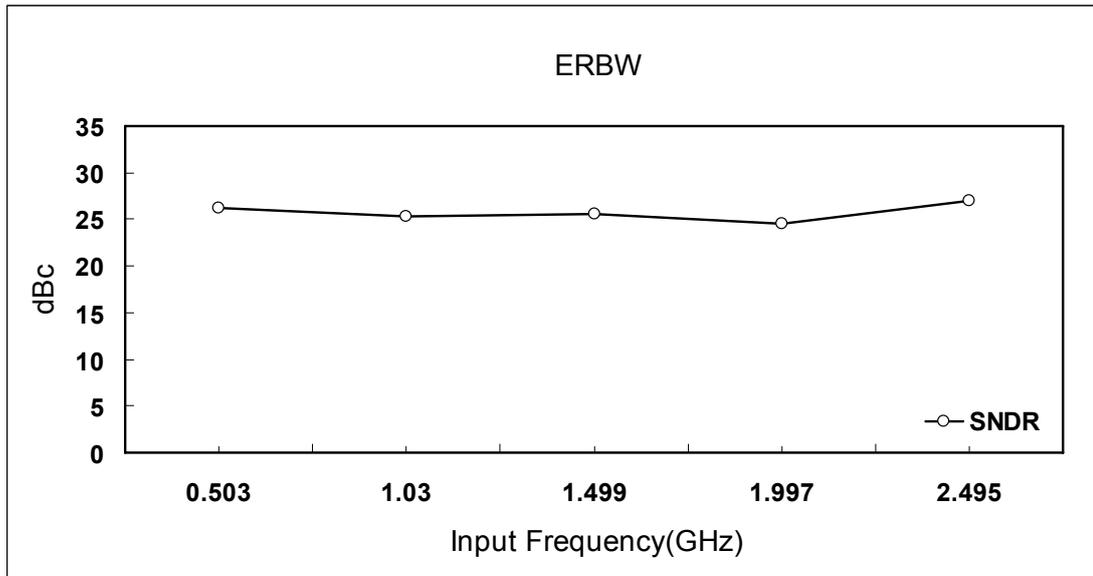


圖 5-23 數位類比轉換器輸入頻率改變之模擬結果

最後，亦將操作在不同的製程邊界條件下，以量測靜態參數與動態參數的變化程度，檢查整體數位類比轉換器受到製程變異時，其效能是否有良好的表現。由表 5.3 可得知，當製程有所變化時，其 INL 與 DNL 仍小於 0.5LSB，且 ENOB 的模擬結果皆有大於 3 位元。

表 5.3 數位類比轉換器受製程變異模擬結果

Corner \ Result	TT	FF	SS	FNSP	SNFP
DNL (LSB)	0.07 ~ -0.03	0.07 ~ -0.03	0.07 ~ -0.04	0.07 ~ -0.04	0.07 ~ -0.04
INL (LSB)	0.07 ~ -0.06	0.07 ~ -0.07	0.07 ~ -0.03	0.07 ~ -0.07	0.07 ~ -0.03
ENOB (bit)	3.9	3.9	3.9	3.9	3.9
Power (mW)	18.9	21.3	18.5	19.4	18.5

在實體晶片的佈局 (Layout) 方面，所有的系統方塊亦是依照信號走向的先後順序來擺放，即是以數位解碼器、同步電路以及切換式電流源等順序來排列，此外，在佈局中亦加寬電源線的寬度，以降低電流源間的供應電源誤差，使等效電阻變小，降低損耗在導線的壓降。由於輸出阻抗為 50Ω，阻值並非很大，假若兩端輸出阻抗有誤差產生時，

其輸出信號會產生很明顯的失真，在此讓切換式電流源之間至輸出端的連接導線長度等長，以降低輸出阻抗的誤差量。在佈局上亦將數位部分與類比部分分開，降低類比部分的雜訊干擾量。圖 5-24 為數位類比轉換器的佈局，佈局面積約為 0.0047mm^2 ($42\mu\text{m} \times 112\mu\text{m}$)。

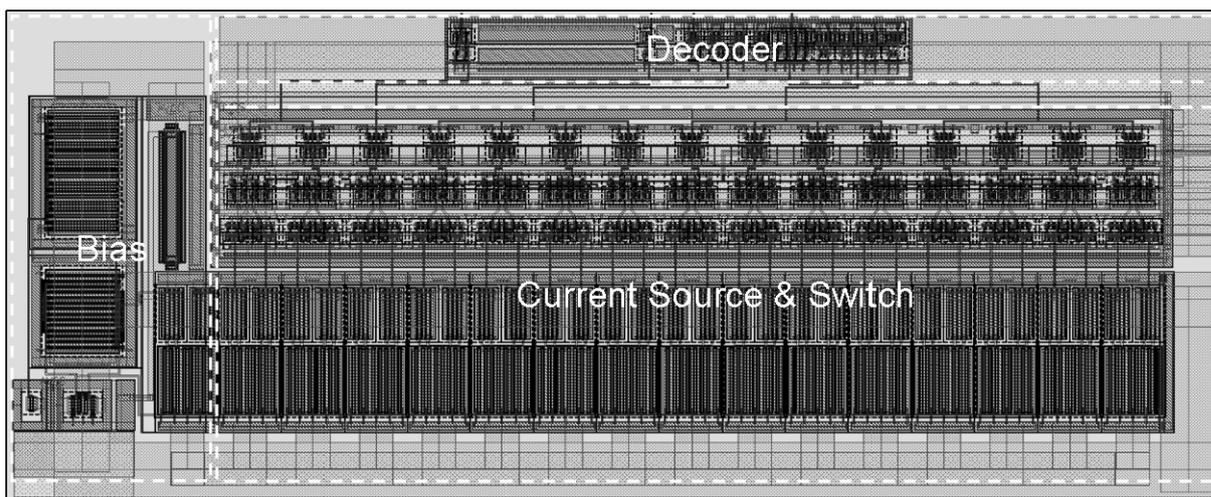


圖 5-24 數位類比轉換器佈局圖

5.4 含內建測試電路之整體電路模擬結果

最後將類比數位轉換器、數位類比轉換器以及內建測試電路組合成如圖 4-10 的系統方塊，模擬測試功能是否正常。在輸入信號方面，其為輸入一個 503MHz 以及差模輸入擺幅 0.8V 的正弦波，並從外部送入測試時脈來啟動內建的數位三角波產生器，在此觀察數位類比轉換器的輸出端，檢查當切換測試模式時，輸出是否會有所改變，圖 5-25 為由測試模式 A 切換為測試模式 B 的輸出結果，其輸出信號從高速的正弦波轉變為三角波信號，由此可知測試功能有正常運作。圖 5-26 為操作在測試模式 A 時的頻域分析結果，其 ENOB 的輸出結果為 3.9 位元，顯示在做高速動態參數量測時，類比數位轉換器的輸出信號並無受到測試多工器的影響，且由於數位類比轉換器的失真度很低，因此，在運作測試模式 A 時，其輸出並無受到太大的影響，所以在輸出結果的表現仍和先前單獨測試一樣。

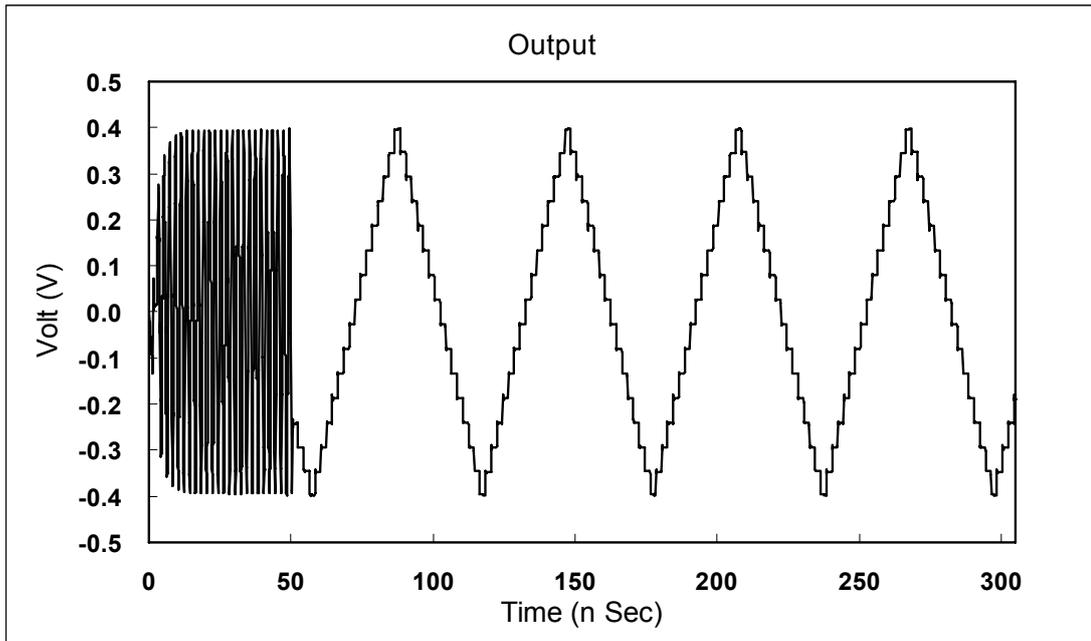


圖 5-25 切換測試模式之模擬結果

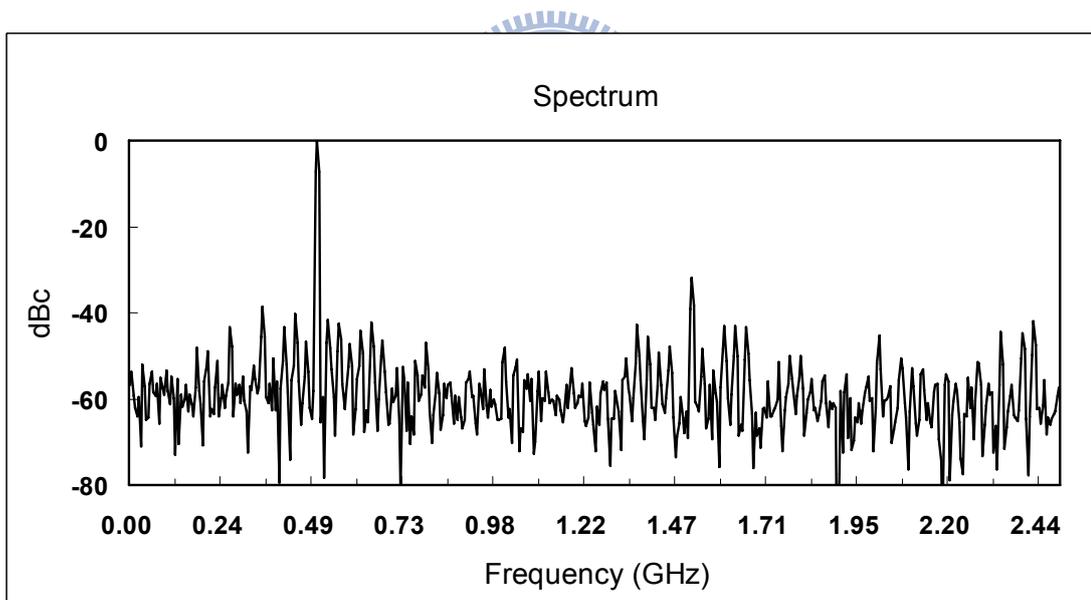


圖 5-26 測試模式 A 之頻域模擬結果

此外，亦模擬操作在測試模式 B 下的靜態參數，圖 5-27 與圖 5-28 分別為數位類比轉換器所得到之 INL 與 DNL 的模擬結果，其 INL 變化範圍由 0.09LSB 到 -0.09LSB，而 DNL 則是由 0.11LSB 到 -0.09LSB，所得結果相較於先前單獨測試數位類比轉換器有些許的差距，原因為所輸入的數位三角波信號與先前單獨測試所輸入之信號不同，其並不是

理想輸入信號，因此，造成有些許的差距，但是輸出結果仍小於 0.5LSB 許多，其線性度還是非常高。

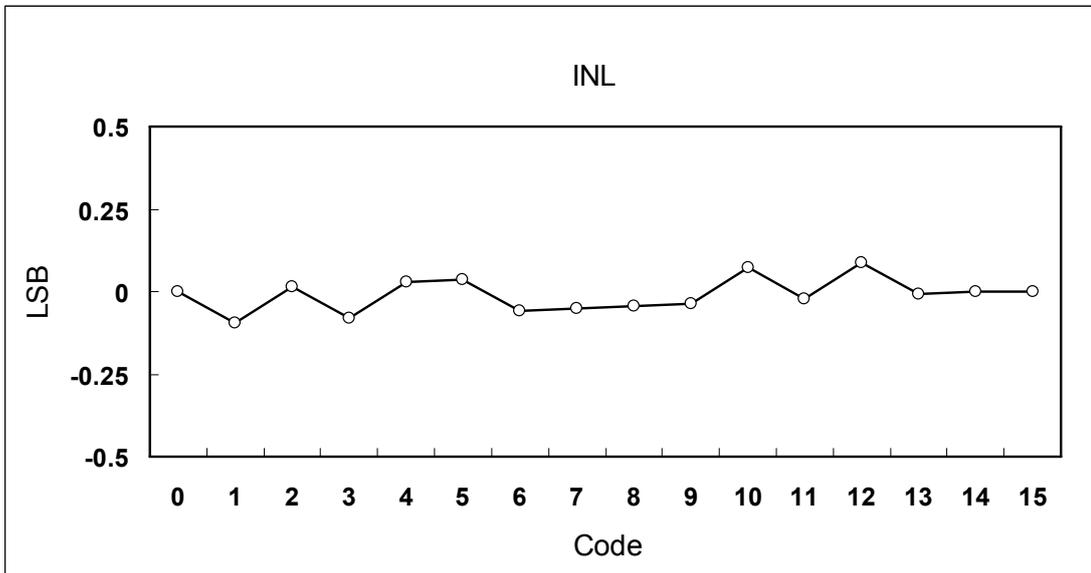


圖 5-27 測試模式 B 之 INL 模擬結果

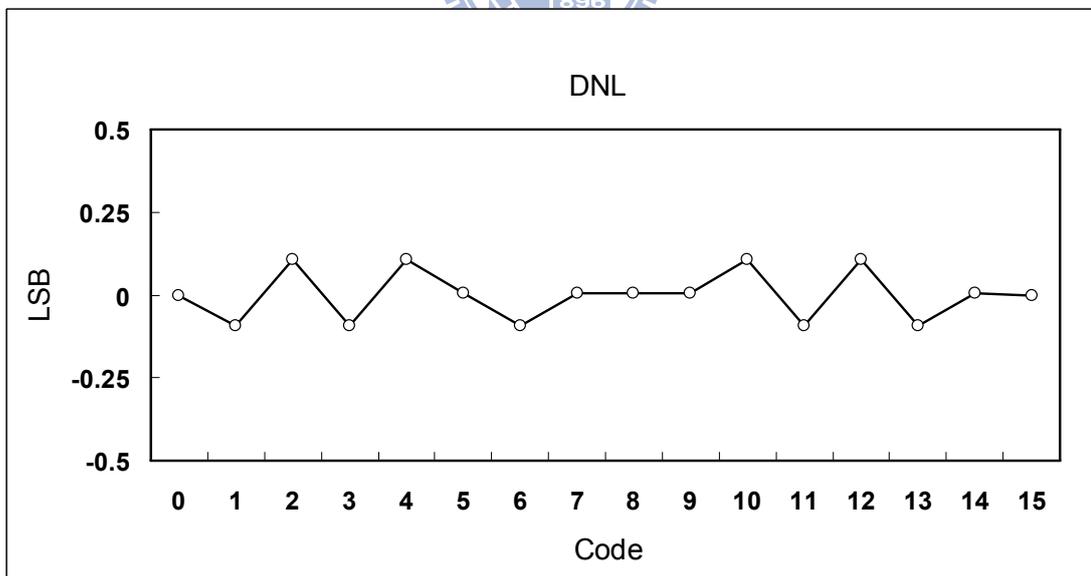


圖 5-28 測試模式 B 之 DNL 模擬結果

最後亦將所設計的整體系統使用 UMC 90nm 製程實現所設計的晶片之佈局，如圖 5-29 所示，其佈局面積約為 0.0468mm^2 ($182\mu\text{m} \times 256\mu\text{m}$)。圖 5-30 為實際製作的測試

晶片佈局圖，其整體面積為 0.873mm^2 ($950\mu\text{m} \times 919\mu\text{m}$)。

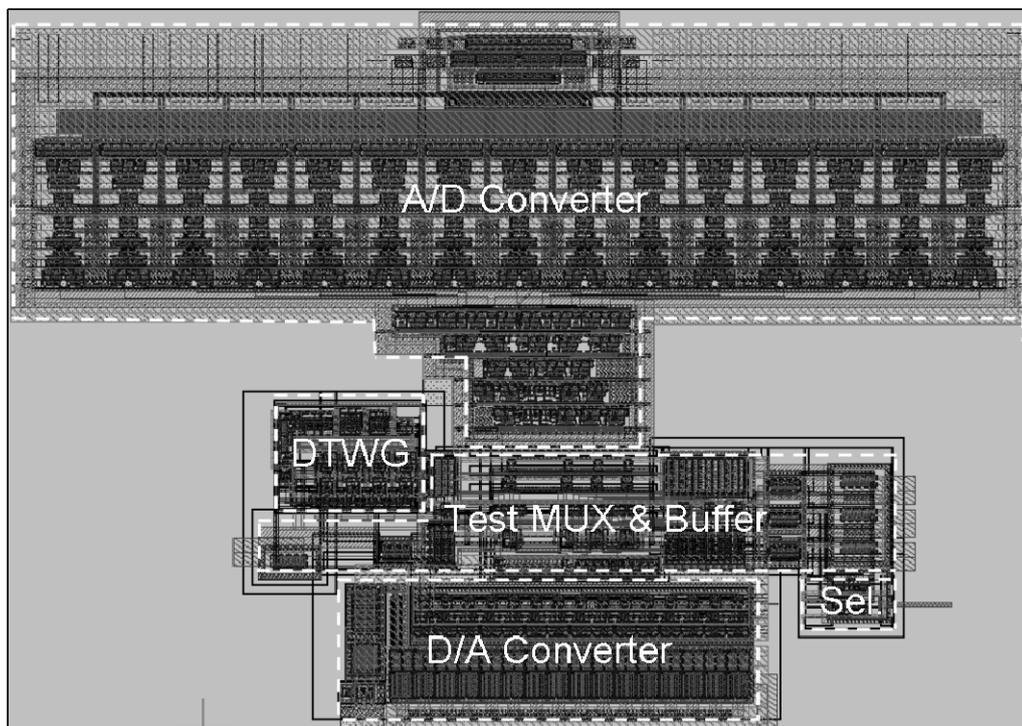


圖 5-29 內建測試電路之類比數位轉換器與數位類比轉換器之佈局圖

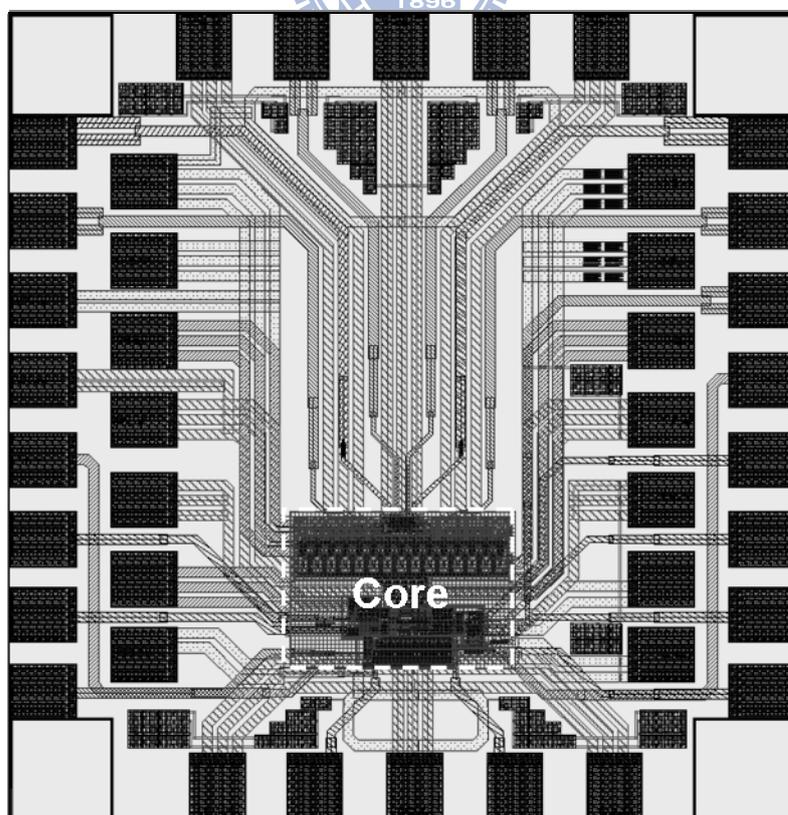


圖 5-30 測試晶片佈局圖

在此測試晶片中總共有 40 個 PAD，其中將各個部份的電源與接地皆分開來，並無共用情形，以避免電路間彼此互相干擾，並在晶片內部置入去耦電容（Decoupled Capacitor）來降低供應電源的雜訊，其整體系統的消耗功率為 61.9mW。表 5-4 為將類比數位轉換器與數位類比轉換器之所有模擬結果所整理出來的規格表。

表 5.4 類比數位轉換器與數位類比轉換器規格表

Spec. \ Item	A/D Converter	D/A Converter
Technology	UMC 90nm CMOS Logic & Mixed-Mode 1P9M Low K Process	
Supply Voltage	1V	
Input Range / Output Range	+0.4V ~ -0.4V	+0.4V ~ -0.4V
Sampling Frequency	5GHz	
Resolution (bit)	4	4
ENOB (bit)	3.9	3.9
DNL (LSB)	0.16 ~ -0.1	0.07 ~ -0.03
INL (LSB)	0.31 ~ -0.24	0.07 ~ -0.06
Power Consumption	33.7mW	18.9mW
Total Power Consumption (With Built-in Testing Circuit)	61.9mW	

5.5 量測考量

圖5-31為量測晶片時的測試設置方式，首先會將晶片放置於PCB電路板上並且鏑線，使用Agilent E8257D來產生類比輸入信號，以E3610A供應晶片所需之電源，而取樣時脈則是由Agilent N4910B提供。在輸出量測方面，則是由外部所選擇的測試模式來決定所需之量測儀器。在測試模式A下，使用頻譜分析儀Agilent E4440A，以量測晶片之動態參數。當選擇測試模式B時，則是使用高速示波器Agilent 86100B來紀錄輸出波形，再使用電腦來計算，以求得電路靜態參數得量測結果。如此，可以藉由此種設置方式來量測出所需要的效能參數，則可代入式5.1來計算出FoM的大小，以得知晶片的效能表現

為何。圖5-32為PCB上的量測電路設計，輸入信號經由交流耦合的方式送入晶片內，在輸出端則是使用50Ω與儀器做阻抗匹配。

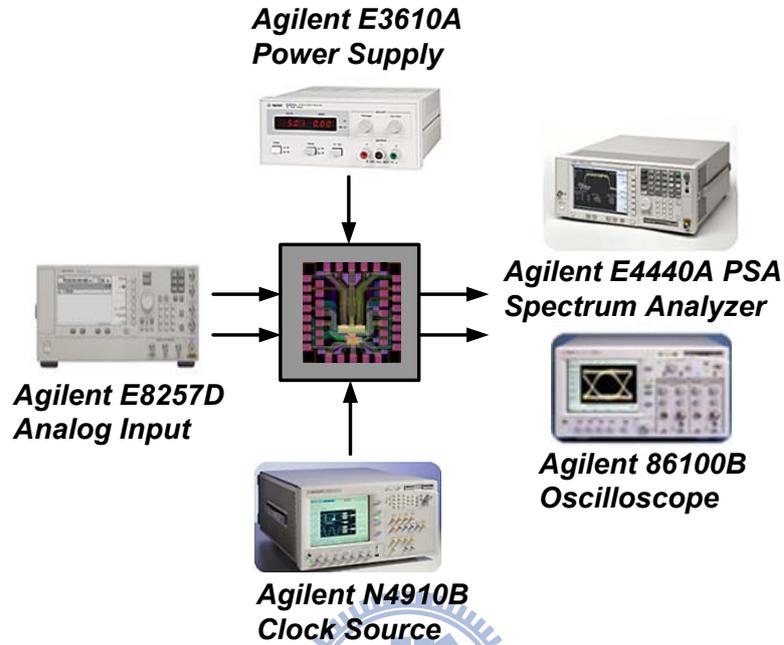


圖 5-31 量測晶片儀器設置

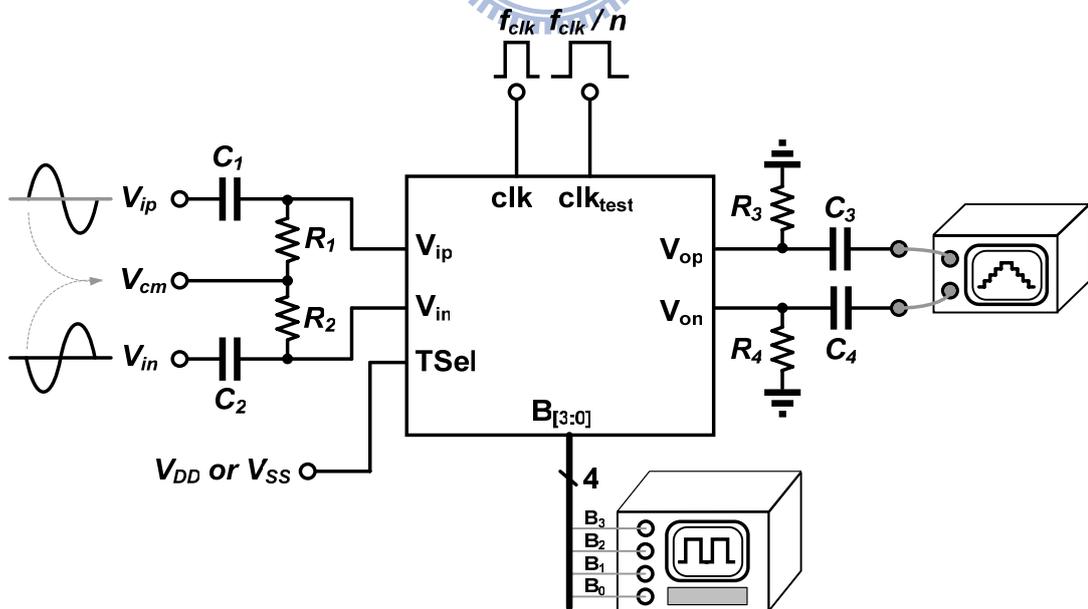


圖 5-32 PCB 量測電路

第六章

結論



本論文提出一個可以藉由改變不同的傳輸閾阻值來做頻寬補償的方法，其可延展頻寬但不會額外消耗功率，所以可達成高速且低功率的目的。此外，在設計上亦提出數位化的吉伯特元件與差動放大器，除了能以全數位化的方式來實現整體類比數位轉換器之外，其在設計上只要先設計出單位大小的反相器，則可藉由改變輸入驅動對、回授網路與自我偏壓電路三者的比例來得到所需的增益，且其電路架構對於抗拒雜訊的能力亦非常良好。此外，在類比數位轉換器中，追蹤與保持電路所消耗的功率也不容小覷，所以在此亦使用數位化差動放大器來實現高速且低功率的追蹤與保持電路，達成全數位化與低功率的目的。在數位編碼器方面則是使用格雷碼編碼器來實現，其受亞穩態的影響最低，並且將其管線化使之能操作在 5GHz 的高速要求。在數位類比轉換器方面，其在偏壓電路的設計中使用回授的方式來產生所需的偏壓，使之能在製程變異時，能隨運作環境來產生正確的偏壓，使輸出電流有達到預期的大小，此外，亦考量到電流鏡與供應電

源的誤差，將這些非理想效應考量入內，以設計出一個高精準度的數位類比轉換器，使之能作為傳送器與測試電路。在解碼器方面，則是使用分段式控制的解碼方式，可以得到一個在效能與面積都有非常好表現的控制電路。在內建測試電路方面，其可藉由切換信號路徑的方式來選擇測試模式，分別有模式 A 與模式 B 兩種測試模式，測試模式 A 是將本身已有之數位類比轉換器來把類比數位轉換器的輸出轉為類比信號，所以可直接對數位類比轉換器輸出的類比信號做頻譜分析，則可量測到類比數位轉換器的動態效能參數，在測試模式 B 下，內建的數位三角波產生器會啟動，其可產生低速三角波信號來測試出 INL 與 DNL 等靜態參數。在類比數位轉換器方面，則是透過輸出驅動電路來將信號傳至晶片外部，因此可輸入慢速的鋸齒波信號來測試出 INL 與 DNL。

在類比數位轉換器的結果方面，其 INL 變化範圍為 0.31LSB 到-0.24LSB，而 DNL 則是由 0.16LSB 到-0.1LSB，其結果都小於 0.5LSB，且頻譜分析的模擬結果顯示出 ENOB 為 3.9 位元，此外，在 Nyquist Frequency 內所有的 ENOB 都有大於 3 位元，所消耗的功率為 33.7mW。最後將整體電路模擬結果與近年來的期刊論文比較，其品質因數方面有非常良好的表現。而數位類比轉換器 INL 變化範圍為 0.07LSB 到-0.06LSB，DNL 則是由 0.07LSB 到-0.03LSB，其結果亦小於 0.5LSB，ENOB 高達 3.9 位元，且在 Nyquist Frequency 內所有的 ENOB 都非常接近 4 位元，而所消耗的功率為 18.9mW，由此可知其非常適合用於測試與發送信號。最後將類比數位轉換器、數位類比轉換器以及內建測試電路組合成整體系統，當選則測試模式 A 時，其 ENOB 的輸出結果為 3.9 位元，顯示整體電路有正常運作，所以輸出結果的表現上仍含單獨測試一樣。此外，亦模擬操作在測試模式 B 下的靜態參數，其所得之 INL 變化範圍由 0.09LSB 到-0.09LSB，而 DNL 則是由 0.11LSB 到-0.09LSB，其線性度非常高，其整體系統的消耗功率為 61.9mW。

在本論文中已設計出一個高速且低功率的快閃式類比數位轉換器，其在品質因數方面表現非常良好，且亦設計出一個高速且失真度低的數位類比轉換器，使之能用於發送

信號與測試類比數位轉換器，最後在內部加入測試電路，使之能降低測試設置的複雜度且提升可測試性。



參考文獻

- [1] K. Farzan and D. A. Johns, "A CMOS 10-gb/s power-efficient 4-PAM transmitter," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 529-532, 2004.
- [2] B. Razavi, "Principles of Data Conversion System Design," IEEE Press, 1995.
- [3] F. Maloberti, "Data converters," Springer Press, 2007.
- [4] D. A. Johns and K. Martin, "Analog Integrated Circuit Design," John Wiley and Sons Inc., 1997
- [5] P. E. Allen, "CMOS Analog IC Design, 2nd Edition," Oxford University Press, 2002
- [6] R. J. Baker, "CMOS Circuit Design Layout and Simulation, 2nd Edition," IEEE Press, 2005
- [7] M. Gustavsson, J. J. Wikner and N. N. Tan, "CMOS Data Converters for Communications," Kluwer Academic Publishers, 2000
- [8] C. W. Mangelsdorf, "A 400-MHz input flash converter with error correction," *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 184-191, 1990.
- [9] K. Ono, T. Matsuura, E. Imaizumi, H. Okazawa, and R. Shimokawa, "Error suppressing encode logic of FCDL in a 6-b flash A/D converter," *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 1460-1464, 1997.
- [10] S. Tsukamoto, W. G. Schofield, and T. Endo, "A CMOS 6-b, 400-MSample/s ADC with error correction," *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 1939-1947, 1998.
- [12] K. Uyttenhove and M. S. J. Steyaert, "A 1.8-V 6-bit 1.3-GHz flash ADC in 0.25 μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 1115-1122, 2003.
- [13] D. Dalton, G. Spalding, H. Reyhani, T. Murphy, K. Deevy, M. Walsh, and P. Griffin, "A 200-MSPS 6-bit flash ADC in 0.6- μ m CMOS," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 45, pp. 1433-1444, 1998.
- [14] J. G. Kenney, G. Rangan, K. Ramamurthy, and G. Temes, "An enhanced slew rate source follower," *IEEE Journal of Solid-State Circuits*, vol. 30, pp. 144-146, 1995.
- [15] H. V. D. Ploeg and R. Remmers, "A 3.3-V, 10-b, 25-MSample/s two-step ADC in 0.35- μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 1803-1811, 1999.
- [16] I. Mehr and D. Dalton, "A 500-MSample/s, 6-bit Nyquist-rate ADC for disk-drive read-channel applications," *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 912-920, 1999.
- [17] K. Nagaraj, D. A. Martin, M. Wolfe, R. Chattopadhyay, S. Pavan, J. Cancio, and T. R. Viswanathan, "A dual-mode 700-Msamples/s 6-bit 200-Msamples/s 7-bit A/D converter in a 0.25- μ m digital CMOS process," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 1760-1768, 2000.
- [18] M. Choi and A. A. Abidi, "A 6-b 1.3-Gsample/s A/D converter in 0.35- μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 1847-1858, 2001.

- [19] V. Srinivas, S. Pavan, A. Lachhwani, and N. Sasidhar, "A Distortion Compensating Flash Analog-to-Digital Conversion Technique," *IEEE Journal of Solid-State Circuits*, vol. 41, pp. 1959-1969, 2006.
- [20] K. Deguchi, N. Suwa, M. Ito, T. Kumamoto, and T. Miki, "A 6-bit 3.5-GS/s 0.9-V 98-mW Flash ADC in 90-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 2303-2310, 2008.
- [21] Y. Hairong and M. C. F. Chang, "A 1-V 1.25-GS/S 8-Bit Self-Calibrated Flash ADC in 90-nm Digital CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, pp. 668-672, 2008.
- [22] M. A. M. Zin, H. Kobayashi, K. Kobayashi, J. I. Ichimura, S. Hao, Y. Onaya, Y. Kimura, Y. Yuminaka, Y. Sasaki, K. Tanaka, and F. Abe, "A high-speed CMOS track/hold circuit," *IEEE International Conference on Electronics, Circuits and Systems*, pp. 1709-1712, vol.3 , 1999.
- [23] H. Kobayashi, M. A. Mohamed Zin, K. Kobayashi, H. San, H. Sato, J. I. Ichimura, Y. Onaya, Y. Takahashi, N. Kurosawa, and Y. Kimura, "High-speed CMOS Track/Hold circuit design," *Analog Integrated Circuits and Signal Processing*, vol. 27, pp. 165-176, 2001.
- [24] J. Xicheng, W. Zhengyu, and M. F. Chang, "A 2 GS/s 6 b ADC in 0.18 μ m CMOS," *IEEE International Solid-State Circuits Conference*, pp. 322-497, vol.1, 2003.
- [25] B. Verbruggen, J. Craninckx, M. Kuijk, P. Wambacq, and G. V. D. Plas, "A 2.2 mW 1.75 GS/s 5 Bit Folding Flash ADC in 90 nm Digital CMOS," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 874-882, 2009.
- [26] H. Dinc and P. E. Allen, "A 1.2 GS/s Double-Switching CMOS THA With -62 dB THD," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 848-861, 2009.
- [27] R. V. D. Plassche, "CMOS Analog-to-Digital and Digital-to- Analog Converters 2nd Edition," Springer Press, 2003
- [28] B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill, 2000
- [29] J. Krupar, R. Srowik, J. Schreiter, A. Graupner, R. Schuffny, and U. Jorge, "Minimizing charge injection errors in high-precision, high-speed SC-circuits " *IEEE International Symposium on Circuits and Systems*, pp. 727-730 vol. 1, 2001.
- [30] Y. Wei, S. Subhajit, B. H. Leung, "Distortion Analysis of MOS Track-and-Hold Sampling Mixers Using Time-Varying Volterra Series," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 46, pp. 101-113, 1999.
- [31] A. G. W. Venes and R. J. V. D. Plassche, "An 80-MHz, 80-mW, 8-b CMOS folding A/D converter with distributed track-and-hold preprocessing," *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 1846-1853, 1996.
- [32] C. L. Portmann and T. H. Y. Meng, "Power-efficient metastability error reduction in CMOS flash A/D converters," *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 1132-1140, 1996.

- [33] J. H. Atherton and H. T. Simmonds, "An offset reduction technique for use with CMOS integrated comparators and amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 27, pp. 1168-1175, 1992.
- [34] B. Razavi and B. A. Wooley, "Design techniques for high-speed, high-resolution comparators," *IEEE Journal of Solid-State Circuits*, vol. 27, pp. 1916-1926, 1992.
- [35] K. L. J. Wong and C. K. K. Yang, "Offset compensation in comparators with minimum input-referred supply noise," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 837-840, 2004.
- [36] Y. Kwangho, P. Sungkyung, and K. Wonchan, "A 6 b 500 MSample/s CMOS flash ADC with a background interpolated auto-zeroing technique," *IEEE International Solid-State Circuits Conference*, pp. 326-327, 1999.
- [37] C. K. K. Yang, V. Stojanovic, S. Modjtahedi, M. A. Horowitz, and W. F. Ellersick, "A serial-link transceiver based on 8-GSamples/s A/D and D/A converters in 0.25- μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 1684-1692, 2001.
- [38] C. Donovan and M. P. Flynn, "A "digital" 6-bit ADC in 0.25- μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 37, pp. 432-437, 2002.
- [39] M. P. Flynn, C. Donovan, and L. Sattler, "Digital calibration incorporating redundancy of flash ADCs," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 50, pp. 205-213, 2003.
- [40] P. C. S. Scholtens and M. Vertregt, "A 6-b 1.6-Gsample/s flash ADC in 0.18- μ m CMOS using averaging termination," *IEEE Journal of Solid-State Circuits*, vol. 37, pp. 1599-1609, 2002.
- [41] P. M. Figueiredo and J. C. Vital, "Averaging technique in flash analog-to-digital converters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, pp. 233-253, 2004.
- [42] J. Gu, Y. Lian, and B. Shi, "Design and analysis of a high-speed comparator," *IEEE International Workshop on Radio-Frequency Integration Technology: Integrated Circuits for Wideband Communication and Wireless Sensor Networks*, pp. 215-218, 2005.
- [43] G. M. Yin, F. O. Eynde, and W. Sansen, "A high-speed CMOS comparator with 8-b resolution," *IEEE Journal of Solid-State Circuits*, vol. 27, pp. 208-211, 1992.
- [44] A. Ismail and M. Elmasry, "Analysis of the Flash ADC Bandwidth-Accuracy Tradeoff in Deep-Submicron CMOS Technologies," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, pp. 1001-1005, 2008.
- [45] P. Sunghyun, Y. Palaskas, and M. P. Flynn, "A 4-GS/s 4-bit Flash ADC in 0.18- μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 1865-1872, 2007.
- [46] C. C. Ying, M. Le, and K. K. Young, "A low power 6-bit flash ADC with reference voltage and common-mode calibration," *IEEE Symposium on VLSI Circuits*, pp. 12-13, 2008.

- [46] C. C. Ying, M. Le, and K. K. Young, "A low power 6-bit flash ADC with reference voltage and common-mode calibration," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 1041-1046, 2009.
- [47] B. Verbruggen, J. Craninckx, M. Kuijk, P. Wambacq, and G. V. D. Plas, "A 2.2 mW 1.75 GS/s 5 Bit Folding Flash ADC in 90 nm Digital CMOS," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 874-882, 2009.
- [48] A. Ismail and M. Elmasry, "A 6-Bit 1.6-GS/s Low-Power Wideband Flash ADC Converter in 0.13- μ m CMOS Technology," *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 1982-1990, 2008.
- [49] H. Pan and A. A. Abidi, "Spatial filtering in flash A/D converters," *IEEE Transactions on Circuits and Systems-II-Analog Digital Signal Processing*, vol. 50, pp. 424-436, 2003.
- [50] K. Uyttenhove and M. S. J. Steyaert, "Speed-power-accuracy tradeoff in high-speed CMOS ADCs," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 49, pp. 280-287, 2002.
- [51] C. Sandner, M. Clara, A. Santner, T. Hartig, and F. Kuttner, "A 6-bit 1.2-GS/s low-power flash-ADC in 0.13- μ m digital CMOS," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 1499-1505, 2005.
- [52] H. W. Lu, C. C. Su, and C. N. Liu, "A Scalable Digitalized Buffer for Gigabit I/O," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, pp. 1026-1030, 2008.
- [53] B. Nauta, "A CMOS transconductance-C filter technique for very high frequencies," *IEEE Journal of Solid-State Circuits*, vol. 27, pp. 142-153, 1992.
- [54] E. Sall, M. Vesterbacka, and K. O. Andersson, "A study of digital decoders in flash analog-to-digital converters," *International Symposium on Circuits and Systems*, Vol.1, pp. I-129-I-132, 2004.
- [55] A. S. Masood, R. Rabin, and S. Mohamad, "Digital Encoders for High Speed Flash-ADCs: Modeling and Comparison," *IEEE North-East Workshop on Circuits and Systems*, pp. 69-72, 2006.
- [56] P. Pereira, J. R. Fernandes, and M. M. Silva, "Wallace tree encoding in folding and interpolation ADCs," *International Symposium on Circuits and Systems*, vol.1, pp. I-509-I-512, 2002.
- [57] L. Daegy, Y. Jincheol, C. Kyusun, and J. Ghaznavi, "Fat tree encoder design for ultra-high speed flash A/D converters," *Midwest Symposium on Circuits and Systems*, vol.2, pp. II-87-II-90, 2002.
- [58] Y. J. Chuang, H. H. Ou, and B. D. Liu, "A novel bubble tolerant thermometer-to-binary encoder for flash A/D converter," *International Symposium on VLSI Design, Automation and Test*, pp. 315-318, 2005.

- [59] J. Yuan and C. Svensson, "High-speed CMOS circuit technique," *IEEE Journal of Solid-State Circuits*, vol. 24, pp. 62-70, 1989.
- [60] S. H. Yang, Y. You, and K. R. Cho, "A New Dynamic D-Flip-Flop Aiming at Glitch and Charge Sharing Free," *IEICE transactions on electronics*, vol. 86, pp. 496-505, 2003.
- [61] J. Deveugele and M. S. J. Steyaert, "A 10-bit 250-MS/s binary-weighted current-steering DAC," *IEEE Journal of Solid-State Circuits*, vol. 41, pp. 320-329, 2006.
- [62] A. Bosch, M. A. F. Borremans, M. S. J. Steyaert, and W. Sansen, "A 10-bit 1-GSample/s Nyquist current-steering CMOS D/A converter," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 315-324, 2001.
- [63] K. O'Sullivan, C. Gorman, M. Hennessy, and V. Callaghan, "A 12-bit 320-MSample/s current-steering CMOS D/A converter in 0.44 mm²," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 1064-1072, 2004.
- [64] S. Dongwon and G. H. McAllister, "A Low-Spurious Low-Power 12-bit 160-MS/s DAC in 90-nm CMOS for Baseband Wireless Transmitter," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 486-495, 2007.
- [65] X. Wu, P. Palmers, and M. Steyaert, "A 130 nm CMOS 6-bit Full Nyquist 3 GS/s DAC," *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 2396-2403, 2008.
- [66] C. H. Lin, F. M. I. Goes, J. R. Westra, J. Mulder, Y. Lin, E. Arslan, E. Ayranci, L. Xiaodong, and K. Bult, "A 12 bit 2.9 GS/s DAC With IM3 < 60 dBc Beyond 1 GHz in 65 nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 3285-3293, 2009.
- [67] A. Bosch, M. Steyaert, and W. Sansen, "SFDR-bandwidth limitations for high speed high resolution current steering CMOS D/A converters," *IEEE International Conference on Electronics, Circuits and Systems*, 1999, pp. 1193-1196 vol.3.
- [68] S. C. Liang, D. J. Huang, C. K. Ho, and H. C. Hong, "10 GSamples/s, 4-bit, 1.2V, design-for-testability ADC and DAC in 0.13μm CMOS technology," *IEEE Asian Solid-State Circuits*, pp. 416-419, 2007.
- [69] K. Martin, "Digital Integrated Circuit Design," Oxford University Press, 1997.