

# 國立交通大學

電控工程研究所

碩士論文

The logo of National Tsing Hua University is a circular emblem with a gear-like border. Inside the circle, there is a stylized building and the year '1896' at the bottom. The text '一個每秒一百億次取樣之六位元高速資料轉換器對' is overlaid on the logo.

一個每秒一百億次取樣之  
六位元高速資料轉換器對

A 10GS/s 6-bit High Speed  
Data Converter Pair

研究生：方韋傑

指導教授：洪浩喬 教授

中華民國九十八年十月

一個每秒一百億次取樣之  
六位元高速資料轉換器對

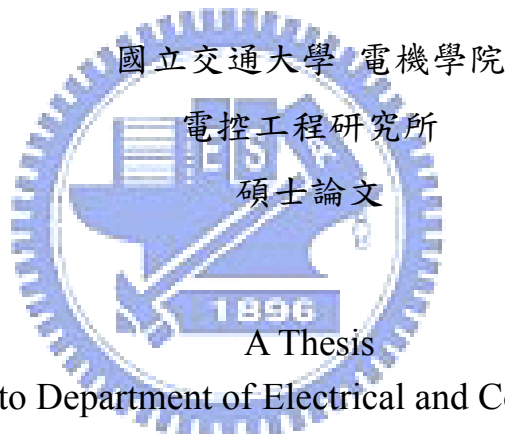
A 10GS/s 6-bit High Speed  
Data Converter Pair

研 究 生：方韋傑

Student：Wei-Jei Fang

指 導 教 授：洪浩喬

Advisor：Hao-Chiao Hong



Submitted to Department of Electrical and Control Engineering  
College of Electrical Engineering  
National Chiao-Tung University  
In Partial Fulfillment of the Requirements  
for the Degree of  
Master  
In  
Electrical and Control Engineering

October 2009  
Hsinchu, Taiwan, R.O.C

中 華 民 國 九 十 八 年 十 月

# 一個每秒一百億次取樣之 六位元高速資料轉換器對

研究生：方韋傑

指導教授：洪浩喬 博士

國立交通大學電控工程研究所碩士班

## 摘要

本論文提出一組不使用 time-interleaved 架構且具備六位元解析度的高速資料轉換器對之電路設計，該數位類比與類比數位轉換器並使用台積電 130nm CMOS Mixed-Mode RF 及聯電 90nm CMOS Mixed-Mode 製程實現，其設計規格分別為每秒五十億次取樣率及每秒一百億次取樣率。我們使用快閃式的架構來實現超高速類比數位轉換器。透過具備主動式負回授技術的前置放大器使比較器陣列具有超寬頻、低功率的特點，並加入負電容進一步減少系統的延遲時間。同時，我們也使用平均及內插的技巧來降低放大器的偏移誤差量以及減少放大器的數量。數位類比轉換器則使用電流導向的架構，且使用操作速度較快之電流式邏輯電路設計核心的數位電路。此種電流式邏輯除了可以大幅降低高速轉換中電源的抖動量外，也適用於低電壓的操作環境，並具備非常高速的邏輯切換能力。另一方面，為了解決該高速資料轉換器測試上的困難，我們加入可測試性機制，使實驗晶片可以進行全速運作下的動態參數量測。晶片量測結果顯示以 130nm 實現之該資料轉換器對在全速運作的測試模式下，輸入 0.5GHz 的弦波訊號並以 3GS/s 取樣，可測得 46.1 dB 的訊號雜訊比以及 36.4 dB 的訊號雜訊失真比，對應到 5.7 bits 的有效位元數。在 1.2V 供應電源下，整個測試晶片共消耗約 790 mW 之功率；而以

90nm 實現之資料轉換器對的晶片量測結果顯示，輸入 1.1GHz 的弦波訊號並以 10GS/s 取樣，可測得 29.0 dB 的訊號雜訊比以及 24.2 dB 的訊號雜訊失真比，對應到 3.7 bits 的有效位元數。在 1.0V 供應電源下，整個測試晶片共消耗約 448 mW。



# A 10GS/s 6-bit High Speed Data Converter Pair

Student : Wei-Jei Fang

Advisor : Dr. Hao-Chiao Hong

Institute of Electrical and Control Engineering  
National Chiao-Tung University

## Abstract

---

---

This thesis presents a non-interleaved, high speed, 6-bit data converter pair design. Two test chips have been realized in TSMC 130nm CMOS Mixed-Mode RF and UMC 90nm CMOS Mixed-Mode technology, respectively. Simulation results show the 130nm one can achieve a 5GS/s sampling rate and the 90nm one can achieve a 10GS/s sampling rate. The proposed Analog-to-Digital converter (ADC) is a flash type ADC. The wide bandwidth and low power comparators were realized by active feedback pre-amplifiers (PreAmps). Furthermore, we added the differential negative capacitors to reduce the total delay of the cascade PreAmps. Averaging and interpolating skills were applied to the outputs of the PreAmps so as to reduce the offsets and the number of the amplifiers. The Digital-to-Analog converter (DAC) is a current-steering one. The digital circuits of the data converter pair are implemented with the current mode logic (CML) gates which alleviate the issue of severe power-ground bouncing compared with conventional CMOS logic implementation. In addition, the CML gates not only have less gate delays, but also are suitable for low voltage operation. To address

the difficulty of conducting at-speed tests, we added the design-for-testability (DfT) circuitry. The measurement results of the 130nm test chip show that in the at-speed test mode, the data converter pair achieves an SNR of 46.1 dB and an SNDR of 36.4 dB with the 0.5GHz sinusoidal inputs at 3GS/s. It corresponds to an ENOB of 5.7 bits. The 130nm test chip including the DfT circuitry totally consumes 790 mW from a 1.2V supply. Besides, the measurement results of the 90nm test chip show that the data converter pair achieves an SNR of 29.0 dB and an SNDR of 24.2 dB with the 1.1GHz sinusoidal inputs at 10GS/s. It corresponds to an ENOB of 3.7 bits. The 90nm test chip totally consumes 448 mW from a 1.0V supply.



## 誌謝

---

---

本論文得以完成，要感謝的人很多。其中最感謝的莫過於洪浩喬教授的指導，老師不僅給予研究上的建議更以身作則表現出做人做事應該有的態度，同時對於學生的人生規劃也提供了寶貴的意見，讓我在兩年多的碩士生涯中獲益匪淺。

感謝黃弘一教授、李順裕教授以及邱一教授抽空前來指導學生，並給予寶貴的意見，讓學生可以由其他的角度來思考問題，使論文的內容更加完整。

感謝AMSDF Lab中的各位，梁聖泉學長及李家昕學長將業界的經驗教授給我們，同時也感謝已畢業的學長：皇承、鼎鈞、孟軒、國銘、宏慶、振綱、榮洲、芳毅、永順、宗殷以及勇成等等，將實驗室的研究成果傳承下來。其中尤其感謝與我們相處較久的永順、宗殷以及勇成三位學長，感謝永順學長的提攜，讓我在研究上得以快速進入狀況；感謝同鄉的宗殷學長平時給予的各種照顧；感謝勇成學長給實驗室帶來歡笑。

還要感謝同窗的明達與紹峰，你們兩位都算是我的前輩，但是對待我卻沒有任何的架子，感謝你們兩位在我遇到困難時給予的幫助，無論是研究上還是生活上。祝紹峰的博士班生活順利，也祝明達能找到理想的公司。

與我們共同奮鬥的學弟：崑池、逸瑋、毓賢及志健，感謝你們對實驗室的付出，感謝崑池讓實驗室有了新的網站；感謝逸瑋、毓賢及志健，你們在自己的研究之虞，還幫忙完成我晶片的製作與量測。新進的學弟：議煌、健文、柏奇以及琮致，你們剛進來就要幫忙我的量測，辛苦了。如果沒有各位學弟的幫忙，絕對無法如期完成這篇論文，真的很謝謝你們。

再來要感謝電控 96 級的各位舊識，這兩年間，你們的鼓勵是讓我度過

低潮的最大動力，雖然大家都有了各自的生活，但是不要忘記大家互吐苦水、互相照應的那些日子。

最後要感謝我的家人，感謝父母包容這麼任性的我，陪伴在你們身邊的時間這麼少，確時時給予我最大的依靠；感謝姊姊，雖然你總是用嚴厲的態度對待我，但我知道你都是在第一時間關心我。這篇論文也許你們都不懂，但是沒有你們，就無法完成。

謹以此論文獻給大家。

方韋傑 謹識

中華民國九十八年十月

新竹交大





# 目錄

摘要.....	I
Abstract.....	III
誌謝.....	V
目錄.....	VII
圖目錄.....	X
表目錄.....	XIII
<b>第一章 緒論.....</b>	<b>1</b>
1.1. 研究背景.....	1
1.2. 研究動機與目的.....	2
1.3. 論文章節組織.....	4
<b>第二章 資料轉換器的基本介紹.....</b>	<b>5</b>
2.1. 資料轉換器的效能參數介.....	5
2.1.1. 靜態參數 (Static Parameters) .....	6
2.1.2. 準確性 (Accuracy) .....	6
2.1.3. 解析度 (Resolution) .....	7
2.1.4. 偏移誤差 (Offset Error) .....	7
2.1.5. 增益誤差 (Gain Error) .....	8
2.1.6. 差分非線性誤差 (Differential Non-Linearity, DNL) .....	8
2.1.7. 累積非線性誤差 (Integral Non-Linearity, INL) .....	10
2.1.8. 缺碼及單調性 (Missing Code & Monotonicity) .....	11
2.1.9. 動態參數 (Dynamic Parameters) .....	12
2.1.10. 訊號對雜訊比 (Signal-to-Noise Ratio, SNR) .....	13
2.1.11. 訊號對雜訊失真比 (Signal-to-Noise and Distortion Ratio, SNDR)	14
2.1.12. 有效位元數 (Effective Number Of Bits, ENOB) .....	14
2.1.13. 總諧波失真 (Total Harmonic Distortion, THD) .....	15
2.1.14. 無假訊號動態範圍 (Spurious-Free Dynamic Range, SFDR) ..	16
2.1.15. 有效解析度頻寬 (Effective Resolution Bandwidth, ERBW) ..	16
2.1.16. 動態範圍 (Dynamic Range, DR) .....	17
<b>第三章 高速資料轉換器對之設計.....</b>	<b>18</b>
3.1. 10GS/s 6-bit類比數位轉換器 (ADC) 之設計.....	18
3.1.1 分壓電阻串 (Resistor Ladder) .....	20
3.1.2 取樣保持電路(Track and Hold Circuit, T/H).....	22

3.1.3	差動差值放大器.....	26
	(Differential Difference Amplifier, DDA).....	26
3.1.4	主動式負回授之前置放大器.....	28
	(Active negative feedback Pre-Amplifier) .....	28
3.1.5	Averaging & Interpolating Network[27].....	37
3.1.6	電流式邏輯電路 (Current Mode Logic, CML) .....	47
3.1.7	泡沫錯誤消除電路 (Bubble Errors Cancelation) .....	49
3.1.8	編碼電路 (Encoder) .....	52
3.2	10GS/s 6-bit數位類比轉換器 (DAC) 之設計.....	58
3.2.1	Glitches .....	59
3.2.2	解碼器電路 (Decoder) .....	61
3.2.3	切換式電流源(Switching Current Source) .....	65
<b>第四章</b>	<b>設計之電路模擬結果.....</b>	<b>67</b>
4.1.	10GS/s 6-bit ADC之模擬結果.....	67
4.1.1.	ADC靜態參數 (Static Parameters) 之模擬.....	67
4.1.2.	ADC動態參數 (Dynamic Parameters) 之模擬.....	68
4.1.3.	ADC功率消耗之模擬.....	70
4.2.	10GS/s 6-bit DAC之模擬結果.....	71
4.2.1.	DAC靜態參數 (Static Parameters) 之模擬.....	71
4.2.2.	DAC動態參數 (Dynamic Parameters) 之模擬.....	72
4.2.3.	DAC功率消耗之模擬.....	75
<b>第五章</b>	<b>晶片可測試性設計、模擬與佈局.....</b>	<b>76</b>
5.1	可測試性設計 (Design-for-Testability, DfT) .....	76
5.2	Cascade模式下之模擬結果及討論.....	78
5.2.1	電路模擬結果.....	78
5.2.2	DAC之Zero-Order Hold (ZOH) 效應[43][44].....	81
5.2.3	測試晶片功率消耗之模擬.....	87
5.3	測試晶片之佈局 (Layout) .....	88
<b>第六章</b>	<b>130nm之實驗晶片量測結果.....</b>	<b>91</b>
6.1.	實體晶片顯微照 (Chip Micrograph) .....	91
6.2.	晶片實驗測試板及測量環境設定.....	92
6.3.	靜態參數 (Static Parameters) 量測結果.....	96
6.4.	動態參數 (Dynamic Parameters) 量測結果.....	98
6.4.1.	取樣時脈對各種動態參數.....	98
	(Clock Frequency vs. Dynamic Parameters) .....	98
6.4.2.	輸入訊號頻率對各種動態參數.....	99
	(Input Frequency vs. Dynamic Parameters) .....	99
6.5.	130nm之功率消耗.....	105

<b>第七章</b>	<b>90nm之實驗晶片量測結果.....</b>	<b>107</b>
7.1.	實體晶片顯微照 (Chip Micrograph) .....	107
7.2.	晶片實驗測試板.....	108
7.3.	靜態參數 (Static Parameters) 量測結果.....	109
7.4.	動態參數 (Dynamic Parameters) 量測結果 .....	112
7.4.1.	取樣時脈對各種動態參數.....	112
	(Clock Frequency vs. Dynamic Parameters) .....	112
7.4.2.	輸入訊號頻率對各種動態參數.....	113
	(Input Frequency vs. Dynamic Parameters) .....	113
7.5.	90nm之功率消耗.....	117
7.6.	文獻比較表(Benchmark).....	118
<b>第八章</b>	<b>結論與未來展望.....</b>	<b>120</b>
<b>參考文獻</b> .....		<b>122</b>



# 圖目錄

圖 1-1	基本的電腦傳輸介面架構圖.....	錯誤! 尚未定義書籤。
圖 2-1	ADC與DAC之偏移誤差 (Offset Error) 示意圖 .....	7
圖 2-2	增益誤差 (Gain Error) 示意圖 .....	8
圖 2-3	ADC與DAC之差分非線性誤差 (DNL) 示意圖.....	9
圖 2-4	ADC與DAC之累積非線性誤差 (INL) 示意圖 .....	10
圖 2-5	ADC/DAC缺碼 (Missing code) 與單調性 (Monotonicity) 示意圖 .....	12
圖 2-6	非理想之 6 位元ADC輸出訊號頻譜 .....	13
圖 2-7	動態範圍 (DR) 示意圖 .....	17
圖 3-1	10GS/s 6-bit類比數位轉換器 (ADC) 之方塊圖 .....	18
圖 3-2	輸入訊號經差動對之寄生電容耦合 (coupling) 至分壓電阻串 .....	20
圖 3-3	一個基本的取樣保持電路簡圖和影響其電路之效應 .....	22
圖 3-4	取樣保持電路[17][18] .....	23
圖 3-5	以 0.5GHz正旋波為輸入訊號之取樣保持電路的輸出波形 .....	24
圖 3-6	以 0.5GHz正旋波為輸入訊號之取樣保持電路的輸出頻譜 .....	25
圖 3-7	以 5GHz正旋波為輸入訊號之取樣保持電路的輸出頻譜 .....	25
圖 3-8	差動差值放大器[19][20] .....	26
圖 3-9	差動差值放大器電路的輸出頻率響應圖 .....	27
圖 3-10	主動式負回授 (Active negative feedback) 之前置放大器[23] .....	28
圖 3-11	主動式負回授放大器之等效架構[24] .....	29
圖 3-12	米勒等效電路簡介圖 .....	31
圖 3-13	加入補償電容之主動式負回授前置放大器 .....	32
圖 3-14	完整前置放大器之小訊號分析 .....	33
圖 3-15	加入電容前後之波德圖(Bode Plot)分析 .....	34
圖 3-16	加入負電容之主動式負回授前置放大器之頻率響應比較 .....	35
圖 3-17	加入負電容之主動式負回授前置放大器之step response .....	36
圖 3-18	Averaging的效果示意圖 .....	37
圖 3-19	一個無窮的averaging電路的等效電路簡圖 .....	38
圖 3-20	DNL Reduction Ratio as a function of $R_1/R_0$ .....	40
圖 3-21	輸出電壓準位因為averaging迴路不是無窮而漂移之示意圖 .....	41
圖 3-22	一個沒有offset影響的無窮的averaging電路的等效電路簡圖 .....	41
圖 3-23	一個沒有offset影響的非無窮的averaging電路的等效電路簡圖 .....	42

圖 3- 24	幾種averaging termination的方式.....	44
圖 3- 25	產生內插訊號之示意圖.....	45
圖 3- 26	完整的averaging &interpolating電路.....	45
圖 3- 27	詳細的averaging &interpolating電路示意圖.....	46
圖 3- 28	基本電流式邏輯 (Current Mode Logic, CML) 電路之結構.....	48
圖 3- 29	各種常見之CML電路.....	48
圖 3- 30	電源擾動 (power/ground bounce) 經由寄生電感對電路產生之影響..	49
圖 3- 31	泡沫錯誤示意圖以及ROM編碼形式消除泡沫錯誤的邏輯電路.....	50
圖 3- 32	使用CML OR Array消除可能發生的一階泡沫錯誤.....	52
圖 3- 33	Metastability的問題發生於三位元溫度計碼轉二進碼編碼器之例子....	54
圖 3- 34	Metastability的問題發生於三位元溫度計碼轉格雷碼編碼器之例子....	55
圖 3- 35	四位元溫度計碼轉格雷碼 (Thermometer-to-Gray) 之編碼電路.....	57
圖 3- 36	10GS/s 6-bit 數位類比轉換器 (DAC) 之方塊圖.....	58
圖 3- 37	Glitch發生時的電流變化示意圖.....	60
圖 3- 38	4-bit Gray code to 3-bits LSB Thermometer Decoder.....	63
圖 3- 39	Hybrid 6-bit Gray code to 3-bits LSB Thermometer Decoder.....	64
圖 3- 40	切換式電流源電路圖(Switching Current Source).....	65
圖 3- 41	切換式電流源陣列(Switching Current Source Array).....	66
圖 4- 1	ADC輸入低速ramp訊號.....	67
圖 4- 2	ADC模擬之DNL與INL@10GS/s.....	68
圖 4- 3	輸入 1GHz之sinusoidal訊號@10GS/s之ADC輸出訊號的頻譜.....	69
圖 4- 4	取樣率為 10GS/s時ADC模擬之輸入頻率與動態參數的關係.....	69
圖 4- 5	DAC輸入Gray code形式之漸增ramp訊號.....	71
圖 4- 6	DAC模擬之DNL與INL (取樣率為 10GS/s).....	72
圖 4- 7	輸入數位 1GHz之sinusoidal訊號@10GS/s時之DAC輸出波形.....	72
圖 4- 8	輸入 1GHz之sinusoidal訊號@10GS/s之DAC輸出訊號的頻譜.....	73
圖 4- 9	取樣率為 10GS/s時DAC模擬之輸入頻率與動態參數的關係.....	73
圖 4- 10	DAC模擬之輸入頻率與輸出訊號功率之關係(@10GS/s) (in dBFS) .	74
圖 5- 1	可測試性設計 (Design-for-Testability, DfT) 之電路.....	77
圖 5- 2	測試模式中模擬之ADC-DAC輸入輸出轉換特性曲線.....	79
圖 5- 3	輸入 1GHz之sinusoidal訊號且取樣率 10GS/s時之輸出波形.....	79
圖 5- 4	輸入 1GHz之sinusoidal訊號@10GS/s模擬之輸出訊號頻譜.....	80
圖 5- 5	Cascade模式模擬之各種輸入訊號頻率與動態參數的關係.....	80
圖 5- 6	Zero-Order Hold (ZOH) 之訊號波形.....	82
圖 5- 7	取樣率為 10GS/s之ZOH頻率響應 (振幅響應) 圖.....	83
圖 5- 8	10GS/s DAC頻率響應之振幅響應圖(Zoomed in 10GHz).....	83

圖 5- 9	10GS/s之Anti-SINC頻率響應之振幅響應圖 .....	84
圖 5- 10	10GS/s之Anti-SINC頻率響應之振幅響應圖(Zoomed in 10GHz) .....	85
圖 5- 11	SNDR對輸入訊號頻率之ZOH效應補償前後之比較.....	86
圖 5- 12	SNR對輸入訊號頻率之ZOH效應補償前後之比較 .....	86
圖 5- 13	測試晶片 (test chip) 之佈局圖 (Layout) .....	88
圖 5- 14	ADC與DAC核心之佈局 .....	89
圖 5- 15	三明治 (sandwich) 電容之結構.....	90
圖 6- 1	130nm之實驗晶片顯微照片 (Chip Micrograph) .....	92
圖 6- 2	130nm之晶片實驗測試板 .....	93
圖 6- 3	晶片測試環境設定 (Measurement Setup) .....	94
圖 6- 4	130nm之測試晶片之各種測試模式 .....	95
圖 6- 5	測試模式 2 中量測之DAC輸入輸出轉換特性曲線.....	96
圖 6- 6	測試模式 1 中量測之ADC輸入輸出轉換特性曲線.....	97
圖 6- 7	130nm測量之DAC與ADC之DNL&INL .....	97
圖 6- 8	130nm測量之不同取樣訊號頻率與各動態參數的關係.....	99
圖 6- 9	130nm測量之不同輸入訊號頻率與各種動態參數之關係 (@ 3GS/s)	100
.....		
圖 6- 10	130nm之輸入 0.5GHz之sinusodial訊號@3GS/s時測得之頻譜.....	101
圖 6- 11	130nm之輸入 1.36GHz之sinusodial訊號@3GS/s時測得之頻譜.....	101
圖 6- 12	130nm之主tone功率隨輸入訊號頻率變化之情形 (@3GS/s).....	102
圖 6- 13	130nm之主tone功率隨輸入訊號頻率變化之情形 (@3.5GS/s).....	103
圖 6- 14	130nm之測試環境下輸入 0.5GHz之sinusodial訊號之頻譜.....	104
圖 6- 15	130nm之測試環境下輸入 1.36GHz之sinusodial訊號之頻譜.....	104
圖 7- 1	90nm之實驗晶片顯微照片 (Chip Micrograph) .....	108
圖 7- 2	90nm之晶片實驗測試板 .....	109
圖 7- 3	90nm量測之DAC輸入輸出轉換特性曲線.....	110
圖 7- 4	90nm量測之ADC輸入輸出轉換特性曲線.....	111
圖 7- 5	90nm測量之DAC與ADC之DNL&INL .....	111
圖 7- 6	90nm測量之不同取樣訊號頻率與各動態參數的關係.....	113
圖 7- 7	90nm測量之不同輸入訊號頻率與各動態參數的關係(@10GS/s).....	114
圖 7- 8	90nm之輸入 1.1GHz之sinusodial訊號@10GS/s時測得之頻譜.....	115
圖 7- 9	90nm之輸入 2.7GHz之sinusodial訊號@10GS/s時測得之頻譜.....	115
圖 7- 10	90nm之主tone功率隨輸入訊號頻率變化之情形 (@10GS/s).....	116

# 表目錄

---

---

表 1-1	ADC與DAC之規格 .....	3
表 3-1	四位元十進位碼、十六進位碼、二進位碼、格雷碼之轉換關係 .....	53
表 3-2	四位元溫度計碼轉格雷碼之轉換關係 .....	56
表 3-3	三位元十進位碼、二進位碼、溫度計碼之轉換關係 .....	61
表 3-4	3-bits LSB溫度計碼與格雷碼、二進位碼之轉換關係 .....	63
表 4-1	ADC類比及數位部份電路模擬之各別功率消耗比較表 .....	70
表 4-2	DAC數位及類比部份電路模擬之各別功率消耗比較表 .....	75
表 5-1	模擬之各部份電路功率消耗表 .....	87
表 6-1	130nm之測試晶片之功率消耗比較表 .....	105
表 6-2	130nm之測試晶片之規格比較表 .....	106
表 7-1	90nm之測試晶片之功率消耗比較表 .....	117
表 7-2	Benchmark of the DAC .....	118
表 7-3	Benchmark of the ADC .....	119

# 第一章 緒論

---

---

## 1.1. 研究背景

隨著科技的演進，電腦的運算速度越來越快，甚至已經達到每秒數十億(GHz)的境界，因此資料傳輸量也大幅增加，為了面對此種需求，傳統平行界面技術已不可行，如何提升資料傳輸率 (data rate) 才是當務之急。在各種通訊傳輸系統中，高速介面電路已經被廣泛的使用，並列式匯流排 (Parallel Bus) 已逐漸被串列式匯流排 (Serial Bus) 所取代，成為高速通訊傳輸技術的主流[1]。串列式傳輸可降低硬體設計的複雜度，並且增進系統的功率消耗效率，也就是使一瓦特 (Watt) 的功率消耗能提供更高的資料傳輸量。以常見的電腦傳輸介面為例，如圖 1-1，通用序列匯流排 (USB；Univeral Serial BUS) 連接埠已經即將邁入 USB3.0，預計可以達到 4.8Gbps (600MB/s) 的傳輸速率；另一個常見的例子是 PC 中的傳輸介面也已經被低壓差動訊號 (LVDS；Low Voltage Differential Singaling) 的匯流排介面所取代，像是 Serial-ATA 和 PCI-Express。

然而，可以預見的是未來大家都希望把所有的東西都做進晶片裡面，這樣做的好處是可以避免訊號有多餘的雜訊干擾；就算有雜訊，所有的電路也都是在相同的環境下做處理，對於整個系統是比較好的，也就是所謂的系統整合晶片 (SoC；System on Chip)，因此如何提昇晶片與晶片間的連結傳輸是一大挑戰，也就是高速 I/O 介面所要去克服的。



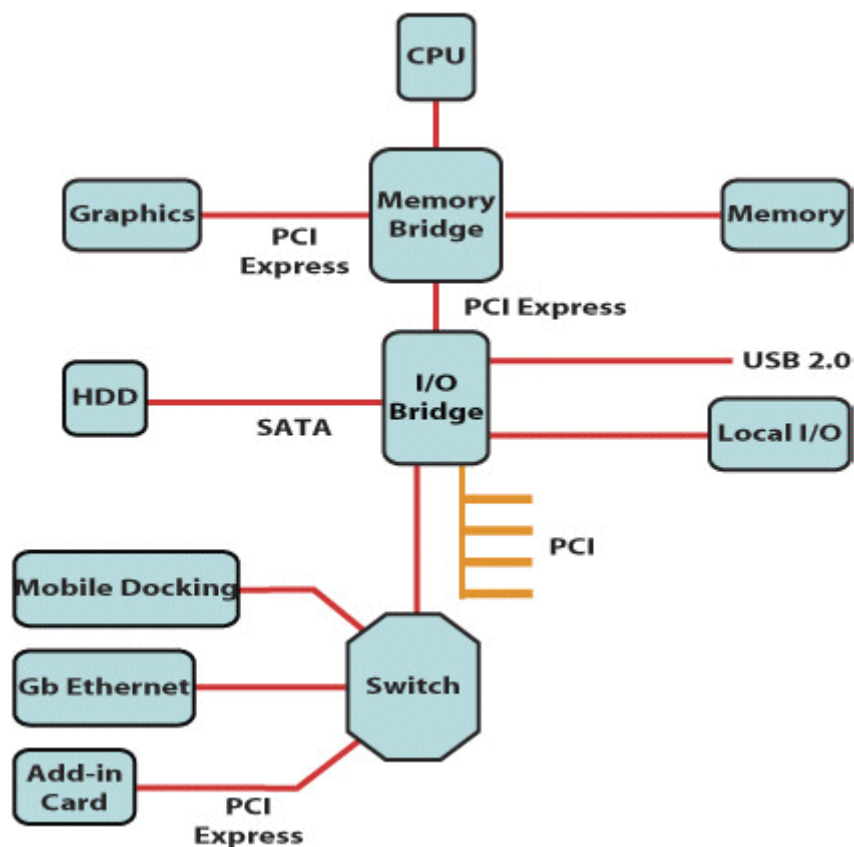


圖 1-1 基本的電腦傳輸介面架構圖

## 1.2. 研究動機與目的

一般而言，在數位傳輸系統中若沒有加入其他的機制通常就是以數據流(Bit Stream)的方式傳輸，也就是以邏輯準位(Logic Level) ”0” 和 ”1” 來傳輸，但是這樣子一次只能傳輸一個位元，當傳輸資料量暴增後，會受到傳輸系統頻寬的限制，現在已不敷使用，因此，一些新的調變機制便被提出來，如 non-binary Pulse Amplitude Modulation (PAM) [2]或 Quadrature Amplitude Modulation (QAM) 等已被大量應用，成為通訊系統中相當常見的技術。

所謂的 PAM 調變機制的概念就是一次不要只傳輸一個位元的訊號，若能夠一次傳輸多個位元訊號，則就能在相同的速率下提升資料傳輸量。所

以一次將多個平行並列的 Bit Stream 數位訊號轉換成相對應的類比訊號再做傳輸，這就是 PAM 的處理方式。有別於數位訊號不是”0”就是”1”，類比電壓訊號可以代表更多的準位，若以一次傳送 3 位元的訊號為例，調變後便可得到 8 個可能的電壓位準狀態的類比輸出訊號，且由低到高，每個電壓位準所對應代表的數位訊號分別為 000、001、010、011、100、101、110 及 111，這種將多個位元 (multiple bits) 一起表示的方式稱做一個符號 (symbol)，因此若有 N 個位元，則表示出來的符號就有  $2^N$  個可能的狀態 (State, S)。因此在相同的時間下，使用 PAM 調變機制的傳輸系統最大可以提高原本傳輸量 N 倍的傳輸資料量。

無論使用什麼傳輸系統，目的都是希望在越短的時間內完成傳輸，也就是傳輸數率越快越好，而由上一段介紹可以知道使用類比訊號傳輸可以得到比較大的傳輸量，但是限在所有的系統都是使用數位方式在作操作，因此類比訊號與數位訊號之間的轉換就成為了一個相當重要的部份，如果這兩者之間的轉換速率越快，整體傳輸的速率也就越快，在此目標的前提下，我們就會需要一組可以操作在非常高速的資料轉換器對(Data Converter Pair)，包括類比數位轉換器(Analog-to-Digital Converter, ADC)和數位類比轉換器(Digital-to-Analog Converter, DAC)，但是因為是用於傳輸系統，所以只需中等的解析度(Resolution)，依照需求所訂立出的資料轉換器對—ADC 與 DAC 之主要規格與其所使用的製程如下表 1-1 所示。

表 1-1 ADC 與 DAC 之規格

	Two Designs	
Technology	TSMC 130nm CMOS RF	UMC 90nm CMOS
Supply Voltage	1.2 V	1.0V
Sampling Rate	5 G-Samples/s	10 G-Samples/s
Resolution	6 bits	
I/O Full Swing	Differential ±400 mV	
I/O Termination	On-chip 50Ω Terminaton	

而在現有已知文獻中，取樣頻率在 GS/s 以上之資料轉換器大都為使用 SiGe 或 GaAs 這類的製程[3][4]，這類製程相當適合用於高速電路，但其相對應消耗的功率也相當驚人。而現今 CMOS 製程技術相當成熟與低廉，固大部分的類比電路都是使用 CMOS 製程來設計，而且 CMOS 製程擁有整合性強的優勢，對實現整合的系統晶片(System on Chip, SOC)是一大利多，因此我們所要設計的高速資料轉換器預計也是使用 CMOS 製程，將以國家晶片中心(CIC)所提供的台積電(TSMC) 0.13 $\mu$ m CMOS Mixed-Mode RF 製程以及聯電(UMC)90 奈米(90nm) CMOS Mixed-Signal Low-K 製程來實現。

### 1.3. 論文章節組織

本論文一共分為八章，第二章會對常見的用來評斷資料轉換器(ADC 和 DAC)效能優劣的參數做介紹，這樣對後面章節的閱讀才不會有所誤解。而為了節省篇幅，之後的設計說明及模擬結果都以 90nm 的版本為主。第三章便會分析並討論如何實現我們所要設計的這組 10GS/s 6-bit 高速資料轉換器對，包括架構的選擇、電路的設計考量與實現。第四章則是第三章所設計完的資料轉換器對的詳細模擬結果。接下來第五章會針對我們如何來測量這組高速資料轉換器對作說明，也就是可測試性設計 (Design-for-Testability, DfT)，使的測試晶片可以有效的做量測，除此之外還有我們在佈局(layout)上所做的考量。第六章是使用 TSMC 0.13 $\mu$ m 製程所實現之測試晶片完整的量測結果，包括測試環境的設定以及各種參數的量測與比較。第七章則是使用 UMC 90nm 製程所實現之測試晶片完整的量測結果，並且會跟第六章的量測結果做分析與比較。最後第八章會對本論文提出結論。

## 第二章 資料轉換器的基本介紹

---

---

本章節將介紹說明資料轉換器對—ADC 與 DAC 用來評估描述其效能好壞的特性參數，由於這些參數在之後的內容中會時常被提及，因此必須了解這些參數才能看懂模擬分析與量測結果。

### 2.1. 資料轉換器的效能參數介紹

評估資料轉換器效能好壞如果只從解析度的高低來判斷並無法完全的說明其實際上的轉換特性，真實的資料轉換器會因許多方面因素的影響而偏離原本理想的特性轉換曲線。一般可將ADC與DAC的特性參數分為區分為靜態參數(Static Parameters)以及動態參數(Dynamic Parameters)，這些參數包括：準確性(Accuracy)、解析度(Resolution)、偏移誤差(Offset Error)、增益誤差(Gain Error)、差分非線性誤差(Differential Non-Linearity, DNL)、累積非線性誤差(Integral Non-Linearity, INL)、訊號對雜訊比(Signal-to-Noise Ratio, SNR)、訊號對雜訊失真比(Signal-to-Noise and Distortion Ratio, SNDR)、有效位元數(Effective Number Of Bits, ENOB)、總諧波失真(Total Harmonic Distortion, THD)、無假訊號動態範圍(Spurious-Free Dynamic Range, SFDR)、有效解析度頻寬(Effective Resolution Bandwidth, ERBW)與動態範圍(Dynamic Range, DR)等。[5][6][7][8][9]

以下我們將分別介紹說明這些參數。

### 2.1.1. 靜態參數 (Static Parameters)

靜態參數包含了準確性 (Accuracy)、解析度 (Resolution)、偏移誤差 (Offset Error)、增益誤差 (Gain Error)、差分非線性誤差 (Differential Non-Linearity, DNL)、累積非線性誤差 (Integral Non-Linearity, INL)。而 ADC 或 DAC 的靜態參數 (Static Parameters) 的量測方式是對資料轉換器輸入低速的激發訊號，且該訊號的變化速度要夠緩慢，將得到的輸出波形與理想資料轉換器所輸出的波形做比較。

首先我們先介紹兩個名詞： $V_{LSB}$  跟 LSB，對一個解析度為 n-bits 的理想資料轉換器而言，將輸入範圍允許的滿刻度範圍電壓  $V_{FS}$  均分成  $2^n$  個準位，定義出每個準位之間的的類比電壓差值為一個  $V_{LSB}$  的大小。

$$V_{LSB} \equiv \frac{V_{FS}}{2^n} \quad (2.1)$$

一般而言都把一個  $V_{LSB}$  的電壓值稱為一個 LSB (Least Significant Bit)，這是一個無單位 (Unitless) 的名詞，是將電壓值歸一化 (Normalized) 的比值結果。例如習慣上可能會稱說有 1.5LSB 的誤差，實際的意思就是表示此誤差量的電壓值為  $V_{LSB}$  的 1.5 倍。

### 2.1.2. 準確性 (Accuracy)

準確性的定義為當輸入一已知的訊號，而其可預期到無誤差情況下資料轉換器的輸出結果與實際輸出結果的各種靜態誤差量 (包括量化誤差、偏移誤差、增益誤差和所有非線性成份) 的總和，主要指 ADC 或 DAC 對理想特性轉換曲線的總偏移程度。

### 2.1.3. 解析度 (Resolution)

解析度對 ADC 而言是指輸出數位訊號的位元數，而對 DAC 則是輸入數位訊號的位元數，以  $n$  來表示的話，一理想的  $n$ -bits 資料轉換器而言，是將可處理範圍內的訊號 ( $V_{FS}$ ) 等分成  $2^n$  個準位，也就是前述式子 (2.1) 所定義的，每個準位的大小即為一個  $V_{LSB}$  之值，也稱做一個 LSB。而解析度的高低會直接影響了一個 LSB 的大小。

### 2.1.4. 偏移誤差 (Offset Error)

偏移誤差 (Offset Error, Eoffset) 是指資料轉換器的輸入輸出特性轉換曲線中，原點位置偏移的誤差。對 ADC 而言指的是在輸入訊號為 0 時，存在的一個固定平移差異，如圖 2-1(a) 所示，圖中理想轉換曲線與實際轉換曲線偏移的誤差量就是 ADC 的偏移誤差。對於 DAC 來說，是只輸入數位訊號為 0 時，輸出之類比訊號不為 0 的量，就是 DAC 的偏移誤差，如圖 2-1(b) 所示。其數學式可表示為式 2.2，其中  $V_{min,actual}$  和  $V_{min,ideal}$  分別為實際特性曲線和理想特性曲線的第一個最低轉態電壓值。

$$E_{offset} = \frac{V_{min,actual} - V_{min,ideal}}{V_{LSB}} \quad (\text{LSB}) \quad (2.2)$$

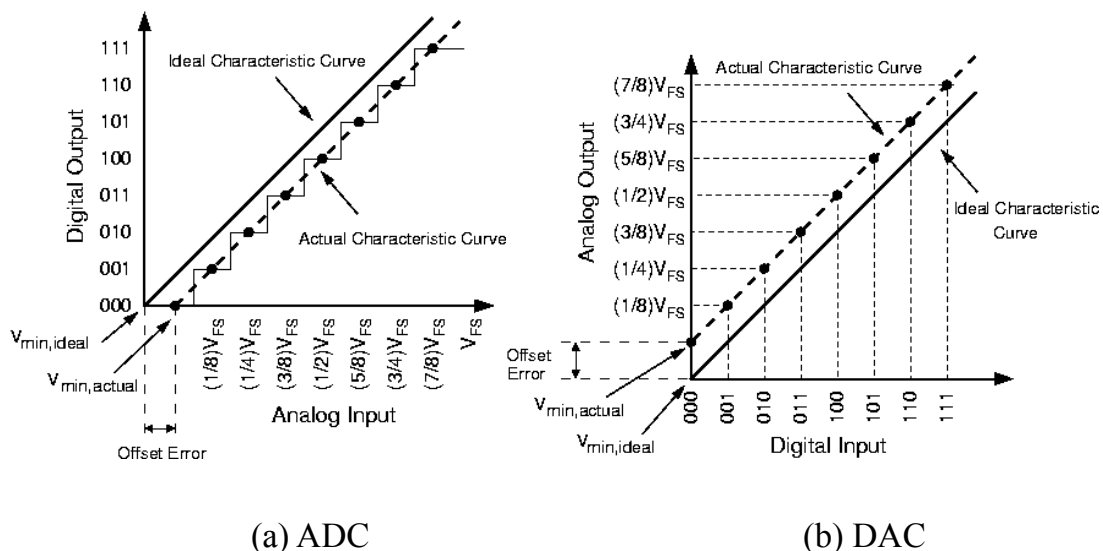


圖 2-1 ADC 與 DAC 之偏移誤差 (Offset Error) 示意圖

### 2.1.5. 增益誤差 (Gain Error)

增益誤差 (Gain Error,  $E_{gain}$ ) 是指在沒有偏移誤差的情況下，資料轉換器輸入輸出轉換特性曲線中，實際曲線與理想曲線之間斜率的差異，理想的特性轉換曲線其斜率大小應為 1，而實際特性轉換曲線斜率會大於 1 或小於 1，這誤差就是增益誤差。以數學式來表達，如式 2.3 所示，就是實際特性曲線中的最高轉態點 ( $V_{max,actual}$ ) 與理想特性曲線中的最高轉態點 ( $V_{max,ideal}$ ) 之間的差值，然後再做正規化 (Normalize) 表示成多少個 LSB 的大小，如圖 2-2 所示。

$$E_{gain} = \frac{V_{max,actual} - V_{max,ideal}}{V_{max,ideal}} = \frac{V_{max,actual}}{V_{max,ideal}} - 1 \quad (\text{LSB}) \quad (2.3)$$

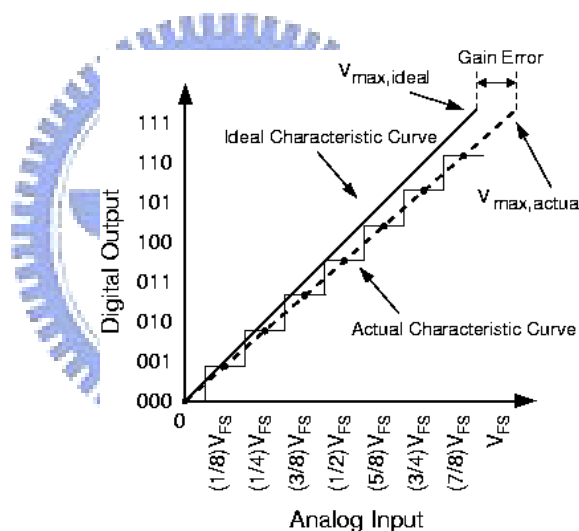


圖 2-2 增益誤差 (Gain Error) 示意圖

### 2.1.6. 差分非線性誤差 (Differential Non-Linearity, DNL)

先將資料轉換器的特性轉換曲線中偏移誤差及增益誤差去除後，其每兩個鄰近類比準位間的電壓差值和理想的電壓差值 (即  $V_{LSB}$ ) 之間的誤差量稱為差分非線性誤差 (Differential Non-Linearity, DNL)。以 ADC 來說，理想的轉換曲線每個步階寬度都應該相同為 1 個 LSB 的大小，DNL 就是用來描述每個步階大小不為 1 個 LSB 的分佈情況，所以將每兩個相鄰輸出

數位碼轉態的類比訊號準位間的差值再減去理想曲線中相同使數位碼轉態的類比訊號的差值就是兩個連續的輸出數位碼之間的 DNL 值，習慣上以多少個 LSB 來表示。數學式表示為式 2.4 的形式，其中  $V_{actual}(n)$  為實際轉換曲線中使第  $n$  個碼所對應到的輸入類比電壓準位值。其詳細圖形如圖 2-3(a) 所示。對 DAC 而言，當輸入的數位碼每加 1 之後，理想的類比輸出訊號也就直接增加一個  $V_{LSB}$  的大小，但實際的類比輸出訊號增量並不為一個  $V_{LSB}$  的大小，其增量與理想的 1 個 LSB 相減的結果即為 DNL 的值，在數學式的表示上與式 2.4 相同，詳細圖型如圖 2-3(b) 所示。

$$DNL(n) = \frac{(V_{actual}(n+1) - V_{actual}(n)) - V_{LSB}}{V_{LSB}} = \frac{V_{actual}(n+1) - V_{actual}(n)}{V_{LSB}} - 1 \quad (\text{LSB}) \quad (2.4)$$

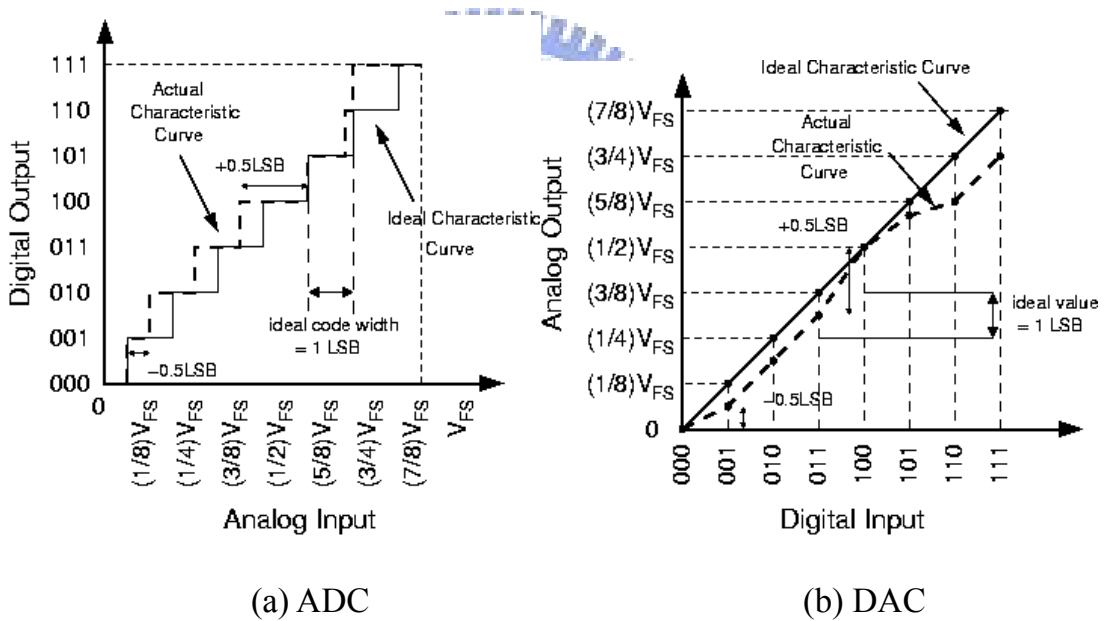


圖 2-3 ADC 與 DAC 之差分非線性誤差 (DNL) 示意圖

ADC 與 DAC 之 DNL 圖形上說明則分別顯示在圖 2-3(a) 與 2-3(b)。從圖中可以想見到的是，愈理想的 ADC 其每個步階的寬度 (即相鄰兩個使輸出數位碼轉態的輸入類比電壓差值) 就愈接近 1 個 LSB；越理想的 DAC 則是每相鄰的兩個輸出類比電壓之差值就愈接近 1 個 LSB，也就是說 DNL 的值越小，表示此資料轉換器的效能越好。



### 2.1.7. 累積非線性誤差 (Integral Non-Linearity, INL)

累積非線性誤差 (Integral Non-Linearity, INL) 是指實際資料轉換器的輸入輸出特性轉換曲線與理想的特性轉換曲線之間的誤差量，同樣是將特性轉換曲線裡可能發生的偏移誤差以及增益誤差去除後而做的分析。對 ADC 而言，將實際非理想的轉換曲線由每個輸出數位碼的中間點連接而成，這些點與理想 ADC 轉換曲線中相對應的每個輸出數位碼中間點之間的差距就分別代表各個輸出數位碼的 INL 值；DAC 的輸入輸出轉換曲線可藉由連接每個輸入數位碼對應到的類比電壓輸出之值而得到，這些類比輸出電壓值的點與理想 DAC 轉換曲線中相對應的每個類比電壓輸出值的點之差值就是各個輸出的 INL 值。數學式可寫成式 2.5 的形式，圖 2-4 顯示了 ADC 與 DAC 各別的 INL 的示意圖。

$$INL(n) = \frac{V_{actual}(n) - V_{actual,min}}{V_{LSB}} - n \text{ (LSB)} \quad (2.5)$$

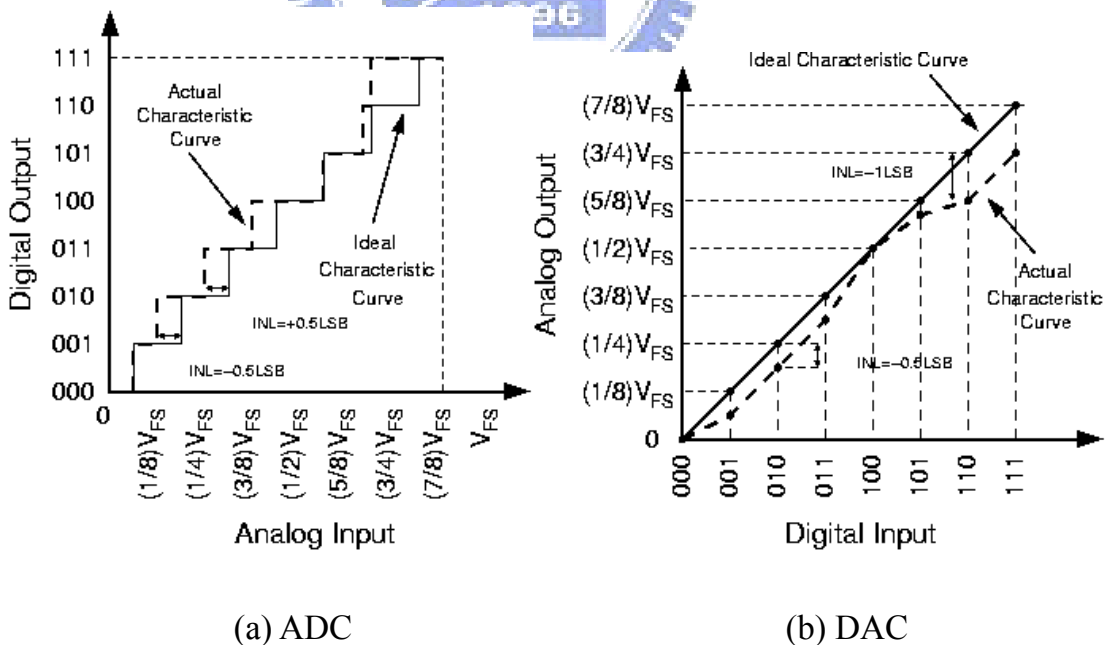


圖 2-4 ADC 與 DAC 之累積非線性誤差 (INL) 示意圖

從前述的討論以及圖 2-4 可知，要計算第  $n$  個碼的 INL 值，可以將第 1 個到第  $n$  個碼的 DNL 值作累加得到相同結果，寫成如式 2.6 式所示。

$$INL(n) = \sum_{i=1}^n DNL(i) \text{ (LSB)} \quad (2.6)$$

在實際量測計算 INL 時，比較參考對象通常不會用理想的轉換曲線，而是根據實際電路轉換曲線上的各個點來找出一條直線，該直線使原本發生最大 INL 值的數碼得以變得較小，此直線稱為最佳符合線 (Best-Fit Line)。用這樣的計算方式主要是因為在資料轉換器的設計上，設計者只在乎電路最大或最小的 INL 和 DNL 表現。

### 2.1.8. 缺碼及單調性 (Missing Code & Monotonicity)

缺碼 (Missing Code) 是針對 ADC 的轉換特性曲線的討論，在設計的類比電壓輸入範圍內，若有某固定數位輸出碼一直無法被轉換出，該數碼對於該 ADC 而言就是 Missing Code，主要原因是實際電路的轉換曲線在某個轉態步階有過大的 DNL 誤差，如圖 2-5(a) 所示。類似情形用來描述 DAC 的稱為單調性 (Monotonicity)，DAC 的類比輸出隨數位輸入訊號的增加而增加，滿足此情形的響應我們都說 DAC 呈現單調性，反之若 DAC 的轉換曲線中發生數位輸入訊號增加，但類比輸出訊號卻反之降低 (即轉換曲線中斜率為負的區域) 的情況就是非單調性 (Non-monotonicity)，產生 Non-monotonicity 的原因一樣是因為 DAC 有超過 1 個 LSB 的 DNL 或是超過 0.5 個 LSB 的 INL 的誤差時。圖 2-5(b) 描繪了 DAC 轉換曲線單調及非單調性的特徵。

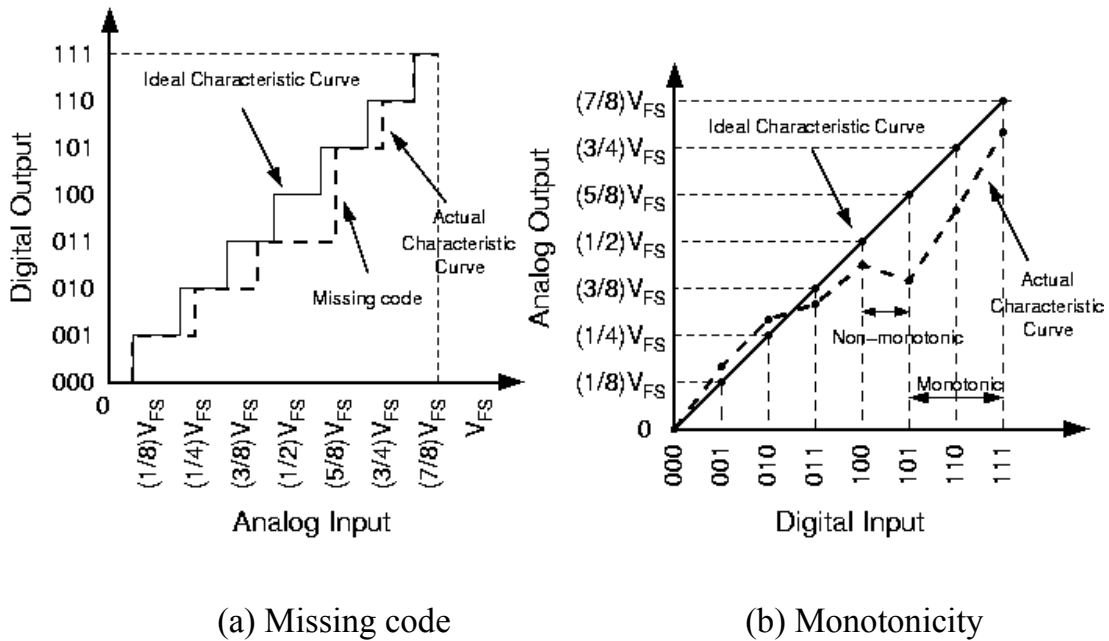


圖 2-5 ADC/DAC 缺碼 (Missing code) 與單調性 (Monotonicity) 示意圖

### 2.1.9. 動態參數 (Dynamic Parameters)

上面所提到的各種參數都是和輸入訊號無關的參數，並不與資料轉換器輸入訊號的頻率有關，所以稱之為靜態參數。相對的，與輸入訊號相關 (signal-dependent) 的就是動態參數 (Dynamic Parameters)。資料轉換器在實際的操作環境下，對於各種不同頻率的輸入訊號所能反映出的效能皆不同，而真實在使用的資料轉換器通常都會操作在較不同的頻帶範圍，因此動態參數才可以評估資料轉換器真實的轉換效能。常見的動態參數包含訊號對雜訊比 (Signal-to-Noise Ratio, SNR)、訊號對雜訊失真比 (Signal-to-Noise and Distortion Ratio, SNDR)、有效位元數 (Effective Number Of Bits, ENOB)、總諧波失真 (Total Harmonic Distortion, THD)、無假訊號動態範圍 (Spurious-Free Dynamic Range, SFDR)、有效解析度頻寬 (Effective Resolution Bandwidth, ERBW) 與動態範圍 (Dynamic Range, DR) 等。

## 2.1.10. 訊號對雜訊比 (Signal-to-Noise Ratio, SNR)

訊號對雜訊比 (Signal-to-Noise Ratio, SNR) 是指訊號與雜訊的比值。對一個實際的 ADC 來說，轉換過程中除了量化雜訊之外還會有電路本身所產生的雜訊以及因溫度造成的熱雜訊 (Thermal Noise)，因此當計算到這些所有雜訊功率總和之後求得的 SNR 值，才會是真正 ADC 所能呈現的 SNR，以 Nyquist-rate ADC 來說，我們所關心的頻率範圍就是 DC 到 Nyquist 頻寬內所有雜訊的總和。對 DAC 而言，雖然沒有量化雜訊的影響，但依然有電路雜訊與熱雜訊，因此利用類似的方式可以計算得到 DAC 的 SNR。其數學表示式如式 2.7 所示， $P_{\text{signal}}$  代表輸入訊號的功率、 $P_{\text{noise}}$  代表 Nyquist 頻寬內所有雜訊(但不包含諧波雜訊)的總和。圖 2-6 則顯示了一個非理想 ADC 的輸出頻譜圖，輸入訊號以及雜訊水平 (Noise floor) 都清楚的被標示出。

$$SNR = 10 \cdot \log_{10} \left( \frac{P_{\text{signal}}}{P_{\text{noise}}} \right) = 10 \cdot \log_{10} \left( \frac{\text{Signal Power}}{\text{Total Noise floor Power}} \right) \text{ (dB)} \quad (2.7)$$

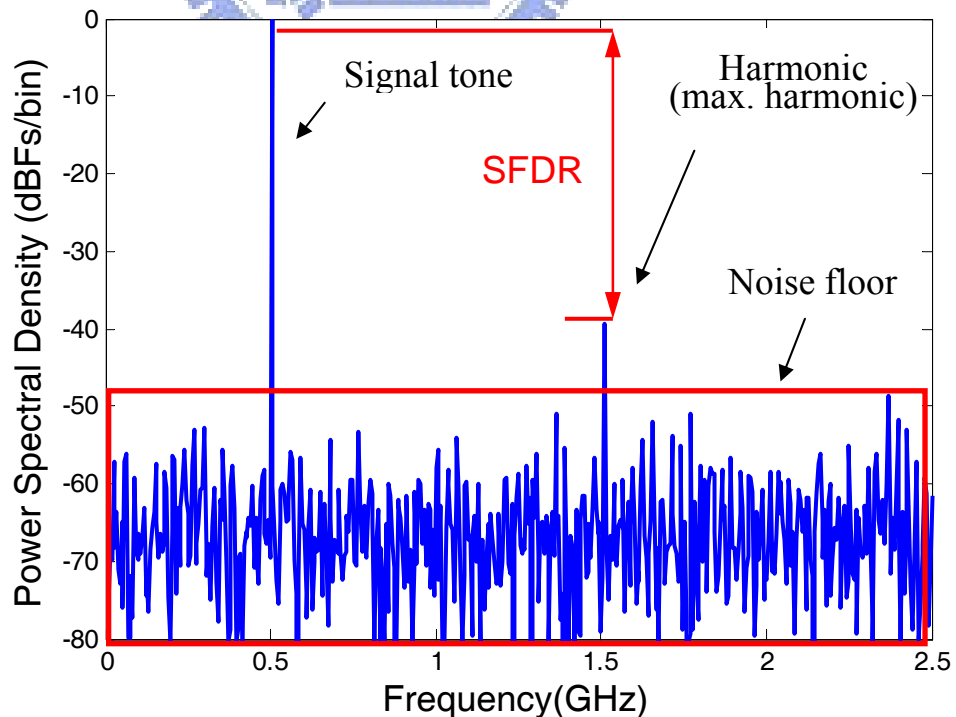


圖 2-6 非理想之 6 位元 ADC 輸出訊號頻譜

### 2.1.11. 訊號對雜訊失真比

#### (Signal-to-Noise and Distortion Ratio, SNDR)

訊號對雜訊失真比 (Signal-to-Noise and Distortion Ratio, SNDR) 的定義與 SNR 類似，差別在於 SNDR 除了將所有的雜訊功率加總之外，還多加入了頻譜上可能出現的多次諧波失真 (Harmonic Distortion)，將這些個別的諧波訊號加總的總諧波失真功率  $P_{\text{harmonics}}$  再加上總雜訊功率  $P_{\text{noise}}$  所得到的總雜訊量才是 SNDR 參數所討論的雜訊，其數學式顯示在式 2.8。

$$\begin{aligned} SNDR &= 10 \cdot \log_{10} \left( \frac{P_{\text{signal}}}{P_{\text{noise}} + P_{\text{harmonics}}} \right) \\ &= 10 \cdot \log_{10} \left( \frac{\text{Signal Power}}{\text{Total Noise and Distortion Power}} \right) \text{ (dB)} \quad (2.8) \end{aligned}$$

由式 2.8 可以知道 SNDR 比起 SNR 還多計算了諧波的功率，因此 SNDR 參數除了可以看到雜訊的影響之外，還可以得知非線性諧波失真的影響程度，此參數是資料轉換器中相當常見的參數，也是最嚴苛最重要的指標參數之一。

### 2.1.12. 有效位元數 (Effective Number Of Bits, ENOB)

對一個理想只考慮量化雜訊的  $n$ -bit 資料轉換器而言，當輸入為一弦波訊號時，其輸出訊號可達到的最大 SNR 理論值為：

$$SNR_{\text{max}} = 6.02N + 1.76 \text{ (dB)} \quad (2.9)$$

有效位元數 (Effective Number Of Bits, ENOB) 的計算是根據式 2.9 的結果，不同解析度的資料轉換器將得到不同的  $SNR_{\text{max}}$  值，然而對於真實的輸出訊號的頻譜可能因電路非線性的失真或是其他互調失真等的諧波訊號，因此用 SNDR 來評估電路的真實效能會比較客觀，因此式 2.9 被修正成：

$$SNDR = 6.02N + 1.76 \text{ (dB)} \quad (2.9)$$

所以有效位元數 (Effective Number Of Bits, ENOB) 的計算是假設輸入為弦波訊號的前提下得到的結果。將實際量測到的頻譜所計算得到的 SNDR 再代入式 2.9，便可反推算出資料轉換器究竟具備多少「有效的」解析度能力，因此可以定義出一個資料轉換器的有效位元數為式 2.10：

$$ENOB = \frac{SNDR - 1.76}{6.02} \text{ (bits)} \quad (2.10)$$

SNDR 與 ENOB 是最直接能表示資料轉換器實際效能的參數，因為它可以直接看出時系量測的資料轉換器是否有達到原始設計規格所定義的解析度程度，同時也顯示此轉換器電路的線性度設計好壞。另外由於此參數會受到輸入頻率所影響，所以也用來評估頻寬表現。

### 2.1.13. 總諧波失真 (Total Harmonic Distortion, THD)

總諧波失真 (Total Harmonic Distortion, THD) 指的是在輸入訊號可能出現的頻帶範圍內 (對 Nyquist-rate 的資料轉換器而言就是 DC 到 Nyquist 之間的頻寬)，所有諧波訊號功率的總和對主輸入訊號 (Signal tone) 功率的比值，單位為 dB，數學式可以寫成式 2.11：


$$\begin{aligned} THD &= 10 \cdot \log_{10} \left( \frac{P_{\text{harmonics}}}{P_{\text{signal}}} \right) \\ &= 10 \cdot \log_{10} \left( \frac{\text{Total Harmonic Distortion Power}}{\text{Signal Power}} \right) \text{ (dB)} \quad (2.11) \end{aligned}$$

諧波訊號的產生可能是因為電路的非線性失真或其他互調失真等所導致的，透過 THD 參數的描述可以知道資料轉換器在各種不同頻率下，所受到非線性影響的程度有多少。

## 2.1.14. 無假訊號動態範圍

### (Spurious-Free Dynamic Range, SFDR)

無假訊號動態範圍 (Spurious-Free Dynamic Range, SFDR) 定義的是在輸入訊號可能出現的頻帶範圍，也就是輸入訊號 (Signal tone) 功率對最大的假訊號 (Spurious) 或最大的諧波訊號 (Harmonic) 功率的比值，如式 2.12 所示，單位為 dBc (in dB with respect to carrier)，在圖 2-6 中也有說明。Spurious (或簡稱 Spur) 係指頻譜中的突刺，在頻譜上除了 signal tone 訊號以外的所有突刺訊號都可稱之為 Spur，Spur 可能是先前提及的各種諧波訊號或者是時序取樣點誤差所造成的諧波訊號，也可能是 clock feedthrough 造成的訊號，又或者是訊號間 inter-modulation 所產生之訊號。而由於這些訊號的功率比 noise 還來的高，容易被其他頻帶所接收，因此也被稱為假訊號。


$$\begin{aligned} SFDR &= 10 \cdot \log_{10} \left( \frac{P_{signal}}{P_{spurious(max)/harmonic(max)}} \right) \\ &= 10 \cdot \log_{10} \left( \frac{\text{Signal Power}}{\text{Largest Spurious or Harmonic Power}} \right) \text{ (dBc)} \quad (2.12) \end{aligned}$$

## 2.1.15. 有效解析度頻寬

### (Effective Resolution Bandwidth, ERBW)

有效解析度頻寬 (Effective Resolution Bandwidth, ERBW) 指的是當資料轉換器的輸入訊號頻率不斷增加到某個值時，使 SNDR 參數相較於低頻時的值下降 3dB 點的位置 (以 ENOB 來看就是減少 0.5bit 之時)，就是該資料轉換器的 ERBW。此參數主要是用來描述該資料轉換器所能處理的最大輸入訊號頻寬，對 Nyquist-rate 的 ADC 而言，其最大可能的輸入訊號頻率為 Nyquist-frequency，其值為取樣頻率的一半，表示此資料轉換器能處理的

輸入訊號頻寬為理論值上限的 Nyquist-frequency。

### 2.1.16. 動態範圍 (Dynamic Range, DR)

動態範圍 (Dynamic Range, DR) 定義為在固定某個輸入訊號的頻率下 (通常是在低頻操作)，作出 SNDR 對輸入訊號振幅 (通常以 dBFS 來表示) 的圖 (SNDR vs. Input amplitude level plot)，找出有最大 SNDR 參數時的輸入振幅到最小可被偵測到訊號時的 SNDR 值 (通常為 SNDR=0 之時)，這個的範圍就是動態範圍。對實際量測的資料轉換器，通常可以得到最大 SNDR 的輸入振幅之位置都會略小於滿刻度電壓位準 ( $V_{FS}$ , 0-dBFS)，以數學式表示則如式 2.13，簡單的示意圖如圖 2-7 所示。

$$DR = 10 \cdot \log_{10} \left( \frac{P_{signal(max)}}{P_{signal(min)}} \right) = 10 \cdot \log_{10} \left( \frac{\text{Maximum signal power}}{\text{Smallest signal power}} \right) \quad (2.13)$$

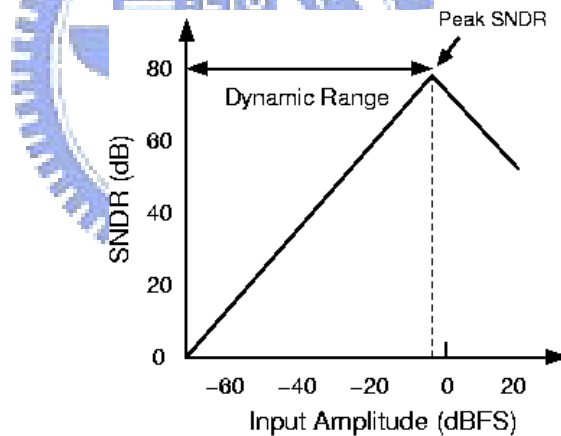


圖 2-7 動態範圍 (DR) 示意圖



### 第三章 高速資料轉換器對之設計

本章節將分析並討論此高速資料轉換器對 (High Speed Data Converter Pair) 的設計，分為 ADC 與 DAC 兩部份來探討，兩者的設計規格都是每秒一百億次的取樣率且為六位元的解析度 (10GS/s 6-bits ADC & DAC)。在高速電路在設計上容易遇到的問題，以及我們所使用的解決方法都會提出來並討論，詳細的設計考量也會一一說明。

#### 3.1. 10GS/s 6-bit 類比數位轉換器 (ADC) 之設計

要設計如此高速的電路，電路架構的選擇顯得非常重要，就如同前一章所提到的，高速中解析度的 ADC 基本上就是以 Flash 架構為最適合，圖 3-1 就是我們所設計的 Flash 類比數位轉換器 (ADC) 之方塊圖。

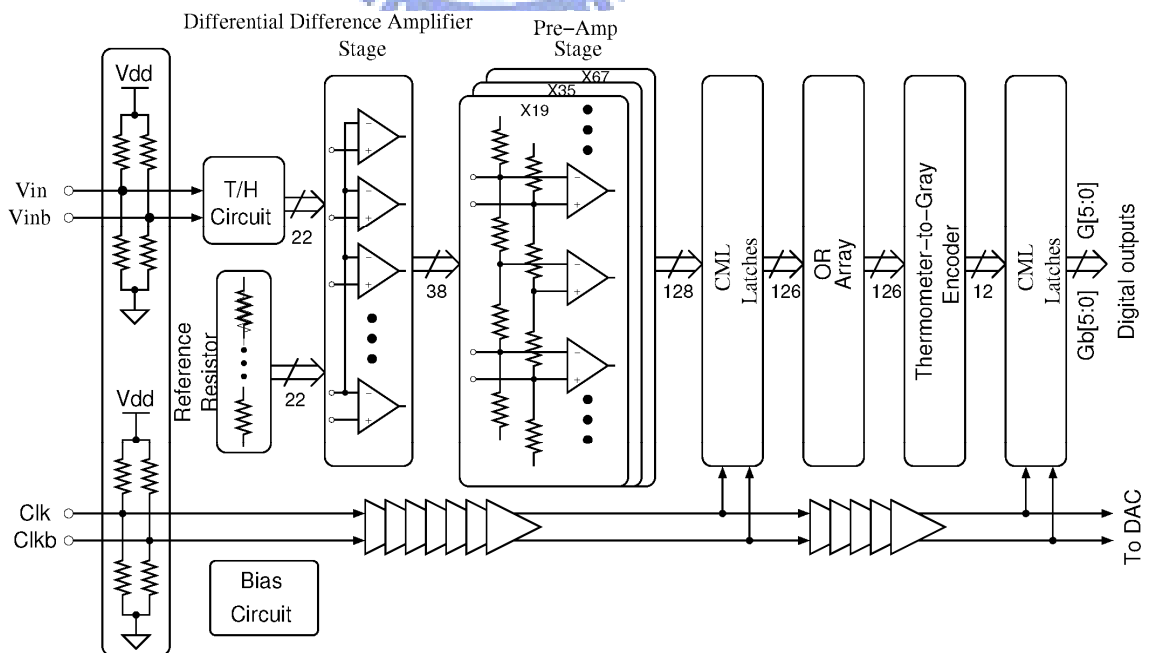


圖 3-1 10GS/s 6-bit 類比數位轉換器 (ADC) 之方塊圖

ADC 的類比輸入訊號與時脈(Clock)皆以差動(Differential)方式輸入，首先會進入一組分壓電阻串所構成的網路，此網路提供  $50\Omega$  的匹配(Matching)以確保高速類比訊號可以順利的由傳輸線進入電路中，同時也提供整個電路的共模電壓準位(Common-mode voltage level)。

經過此網路後，訊號會進入取樣保持電路(Track and Hold Circuit, T/H)，之後就進入比較器電路第一級的差動差值放大器(Differential Difference Amplifier, DDA)與分壓電阻串(Reference Resistors Ladder)所產生的參考電壓(Reference Voltage)做比較並放大，放大電路是使用多級串接(multi-stage)的方式，也就是圖中的前置放大器級(Pre-Amp Stage)，而為了使放大器有較大的頻寬，在 Pre-Amp Stage 中使用了具備主動式負回授之前置放大器(Active negative feedback Pre-Amplifier)，同時為了提昇整體比較器電路的線性度，使用平均跟內插(Averaging & Interpolating)的技巧，這樣做除了可以抑制前置放大器電路因 offset 所造成的影響還可以減少前置放大器的數量，使取樣保持電路所看到附載電容變小並減小功率的消耗。

比較完成並放大成數位訊號之後，會先由電流式邏輯(Current-Mode Logic, CML)[10][11][12]的拴鎖器(Latch)作時序的校正，確保取樣到正確的值。轉換完成的溫度計碼(Thermometer code)再經過後面邏輯閘陣列(OR Array)跟編碼器(Encoder)的處理後得到格雷碼(Gray code)，最後再由拴鎖器作在一次的時序校正後輸出，透過格雷碼的編碼方式可降低錯誤碼發生的影響。且為了要滿足超高速數位訊號的切換，所有的數位邏輯閘電路與 DAC 相同也都是使用 CML 電路來設計，達到最快的切換速度並降低 power/ground bounce 的干擾。

此外，由於我們半週期的時間只有 50ps(pico-seconds)，但是整個轉換過程中從取樣保持電路到溫度計碼輸出所需時間很容易超過半週期 50ps，為了解決這些多出來的延遲時間，我們對 Clock 的路徑加入一連串的

intentional timing skew buffers 補償多餘的 delay，如此一來可以使 Clock 與完成轉換的訊號時序相同，可以在正確的時間取值，也就是 Wave-pipelining 的技巧[13]。

接下來便會對 ADC 中的主要 Block 加以說明

### 3.1.1 分壓電阻串 (Resistor Ladder)

在 Flash 架構 ADC 中，每一個比較器會和一個直流參考電壓做比較，以 n-bits 的 Flash ADC 為例，總共需要  $2^n-1$  個比較器與直流參考電壓，直流參考電壓會由滿刻度電壓(Full Swing Voltage,  $V_{FS}$ )利用分壓電阻串分壓所得到，下面是詳細探討：

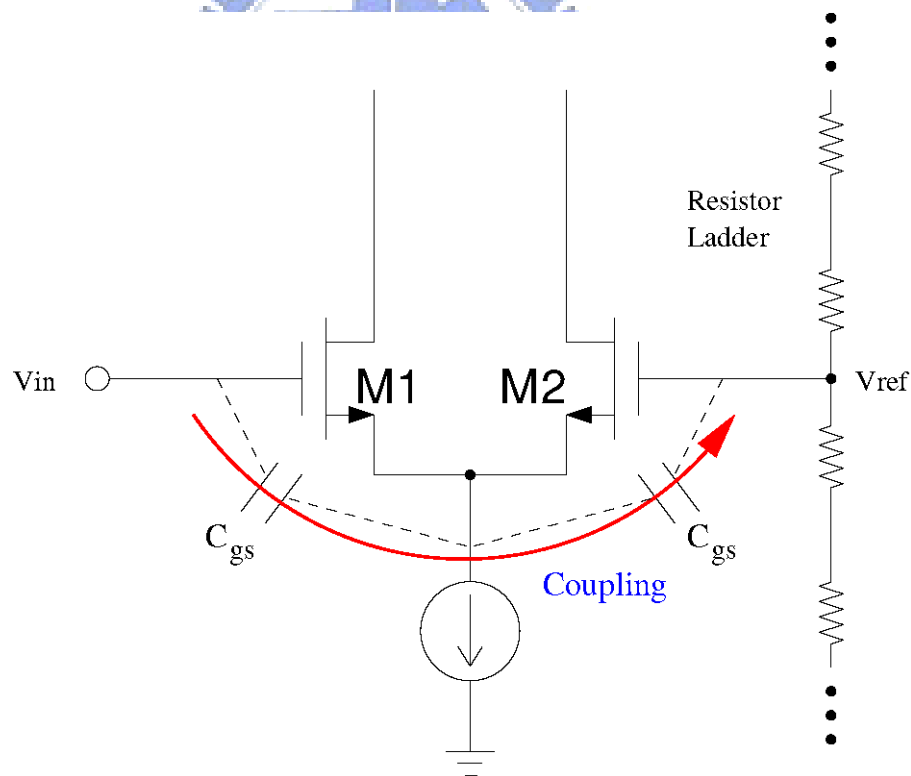


圖 3-2 輸入訊號經差動對之寄生電容耦合 (coupling) 至分壓電阻串

圖 3-2 是一個以輸入訊號  $V_{in}$  與直流參考電壓  $V_{ref}$  作為一組差動對 (Differential Pair, M1、M2)輸入的簡圖，理想上分壓電阻串所產生的  $V_{ref}$  應

該為 DC 值，但由圖中可以看出實際上  $V_{ref}$  會受到輸入訊號  $V_{in}$  變動的影響， $V_{in}$  會透過差動對的寄生電容  $C_{gs}$  耦合(Coupling)到  $V_{ref}$ ，此現象為訊號的饋入(Feedthrough)。

在[14]有討論到越接近分壓電阻串中間的點受到影響的程度會越大，將此電路藉由等效電路簡化可以得到式 3.1，其中  $f_{in}$  為輸入訊號的頻率， $R$  為分壓電阻串所有電阻串聯的總值， $C_{tot}$  表示由輸入端所看到的總電容值，包括 coupling 到分壓電阻串上  $V_{ref}$  端點的總寄生電容值，一個差動對的輸入  $V_{in}$  到參考電壓  $V_{ref}$  所看到的 coupling 電容值為  $(1/2)C_{gs}$ ，若有  $n$  個差動對接到同一個參考電壓，其總 coupling 電容值就為  $n \times (1/2)C_{gs}$ 。 $V_{mid}$  就是代表在電阻串最中間的點所受到  $V_{in}$  的 feedthrough 影響而產生偏移的差值。

$$\frac{V_{mid}}{V_{in}} = \frac{\pi}{4} f_{in} R C_{tot} \quad (3.1)$$

由上式可以知道，參考電壓的偏移量  $V_{mid}$  與分壓電阻串的阻值  $R$  成正比，想要偏移量變小，電阻值就要選擇小一點，但是這樣的話又會造成靜態功率消耗(static power)的提升。因此把式 3.1 改寫成分壓電阻串最大電阻值與偏移量  $V_{mid}$ 、解析度  $N$ 、輸入訊號頻率  $f_{in}$  以及總輸入端 coupling 電容值  $C_{tot}$  之間關係，得到式 3.2，單位是 LSB。通常會將  $\phi$  設定為 1 個 LSB 的大小，以求得整個分壓電阻串所能使用的最大  $R$  值。

$$R_{ladder,max} = \frac{4 \frac{V_{mid}}{V_{in}}}{\pi f_{in} C_{tot}} = \frac{4\phi}{\pi 2^N f_{in} C_{tot}} \quad (3.2)$$

在我們的電路中，類比輸入訊號並不會直接接到比較器的輸入端，而是會先經過取樣保持電路，希望比較器是在比較兩個 DC 電壓值，已就是輸入訊號的變化量對參考電壓的影響並沒有那大，因此在  $R$  值的選擇上限制就比較寬鬆。

### 3.1.2 取樣保持電路(Track and Hold Circuit, T/H)

在高速 Flash 架構 ADC 中，取樣保持電路常被用來放在比較器電路的前端，因為輸入訊號的頻率動輒達到每秒十億次(GHz)以上，若希望比較器可以在短時間內比較出正確的值是很困難的，但若是能夠創造出短暫的 DC 狀態進入比較器與參考電壓值做比較則可以有效提升 ADC 的效能以及減少後級電路對頻寬的需求，而取樣保持電路正好可以提供此作用，因此取樣保持電路在高速電路中相當重要。

一個基本的 T/H 會由一組開關(Switch)及一個取樣電容  $C_s$  所組成，如圖 3-3 所示，由[15]的討論中我們可以知道主要有幾樣因素會影響 T/H 的好壞：第一個是輸入訊號 IN 和 Clock 訊號會藉由寄生電容 feedthrough 到 OUT 端進而影響保持在取樣電容  $C_s$  的值；第二個是電荷注入效應(Charge Injection)，由於我們是使用 PMOS 來當作開關，當開關由取樣模式(Track)轉換成保持模式(Hold)時，原本保存在 MOS 開關上的電荷會往兩端移動，若干電荷會進入取樣電容  $C_s$  而影響原本取樣的值；第三種會影響 T/H 的因素是固定偏差率(Droop Rate)，當 T/H 操作在保持模式時會由於下一級電路的輸入電流不為零或者取樣電容  $C_s$  本身會漏電而導致保持的電壓值會因為電流流失而下降。以上問題都是在選擇設計 T/H 時要特別考量到的，由於我們的取樣頻率高達 10GHz，所以太複雜的電路就不適用在我們的設計中。

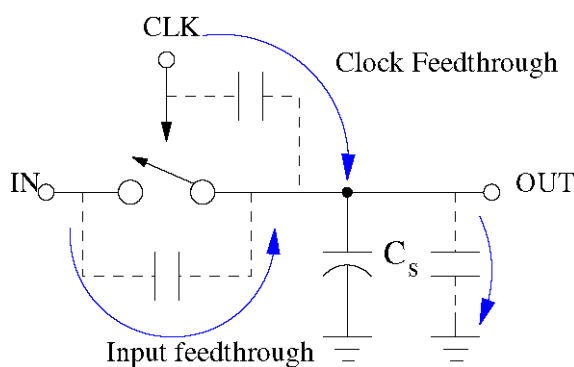


圖 3-3 一個基本的取樣保持電路簡圖和影響其電路之效應



圖 3-5 是我們對取樣保持電路輸入一 0.5GHz 的正旋波訊號並觀察其輸出波形，由圖中我們可以看出正旋波確實有取樣跟保持的效果，而 Droop Rate 的影響確實也不明顯。將圖 3-5 做快速傅利葉轉換( Fast Fourier Transform, FFT)得到其輸出頻譜，也就是圖 3-6，在計算其動態參數 SNDR 達到 41.9dB，有效位元數為 6.7 bits，足夠我們 6-bit ADC 所使用，圖 3-7 則是輸入 5GHz 的正旋波訊號再轉換得到其輸出頻譜圖，經計算可得知其有效位元數為 6.0 bits，亦足夠我們 ADC 使用，這顯示我們的取樣保持電路在有效頻寬 0~5GHz 內都可以使用。

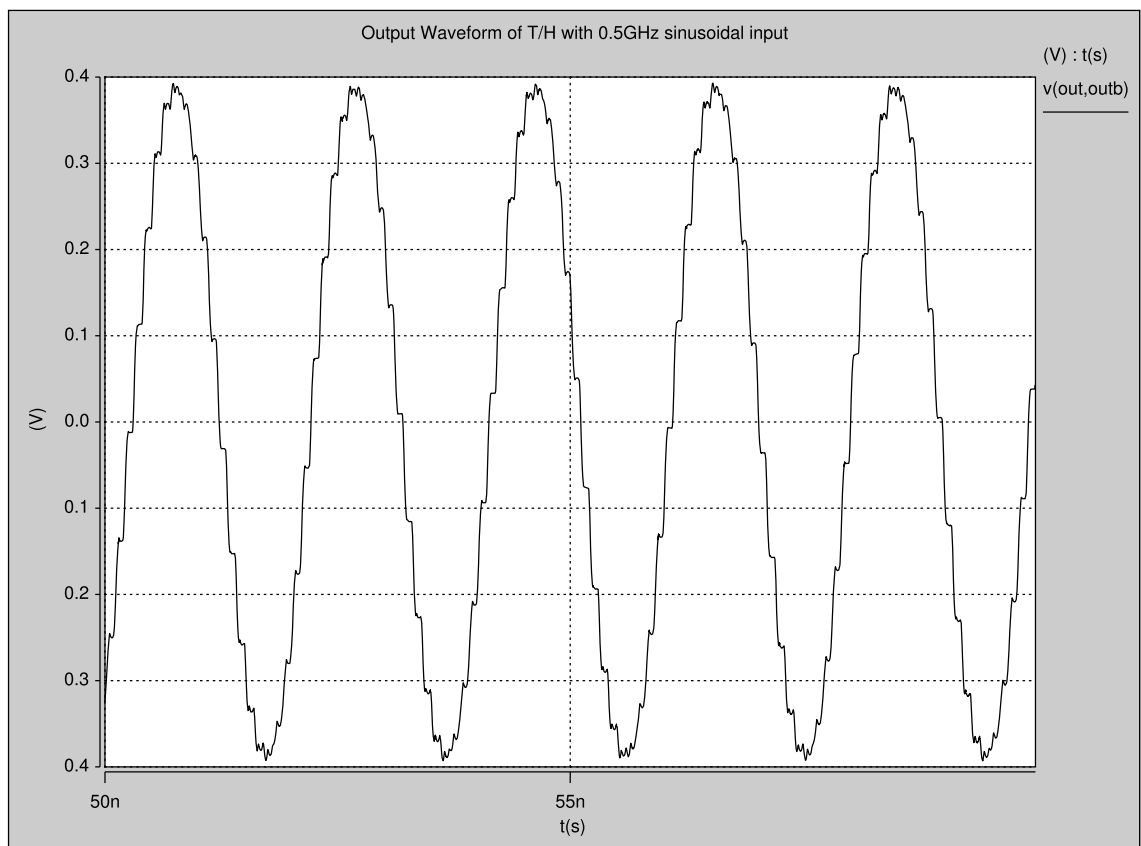


圖 3-5 以 0.5GHz 正旋波為輸入訊號之取樣保持電路的輸出波形

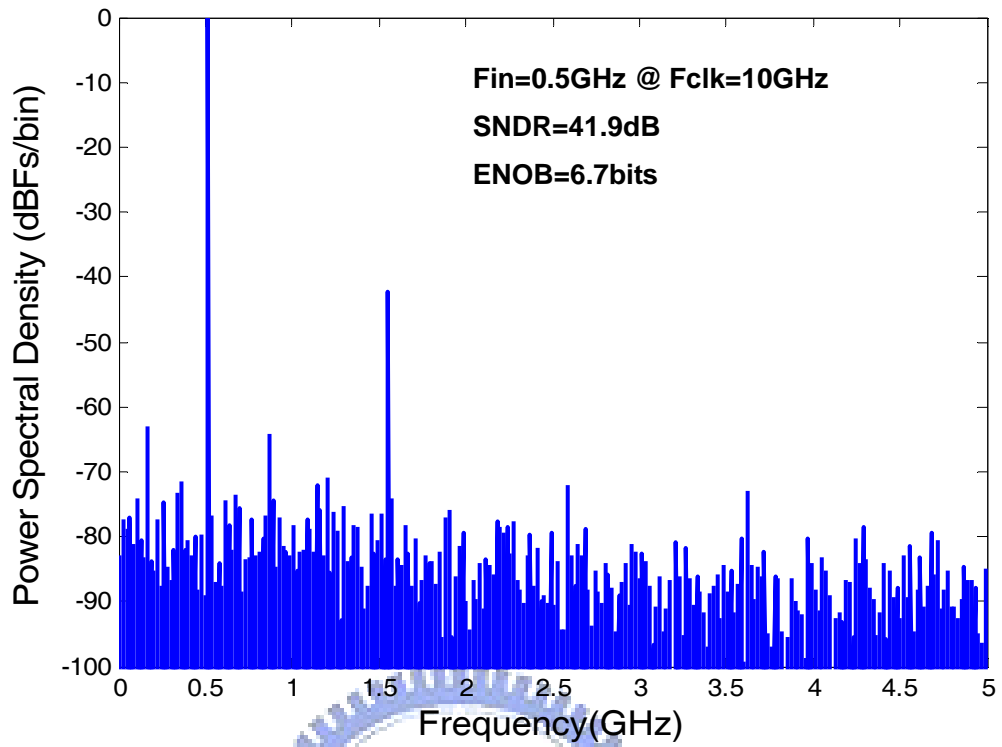


圖 3-6 以 0.5GHz 正旋波為輸入訊號之取樣保持電路的輸出頻譜

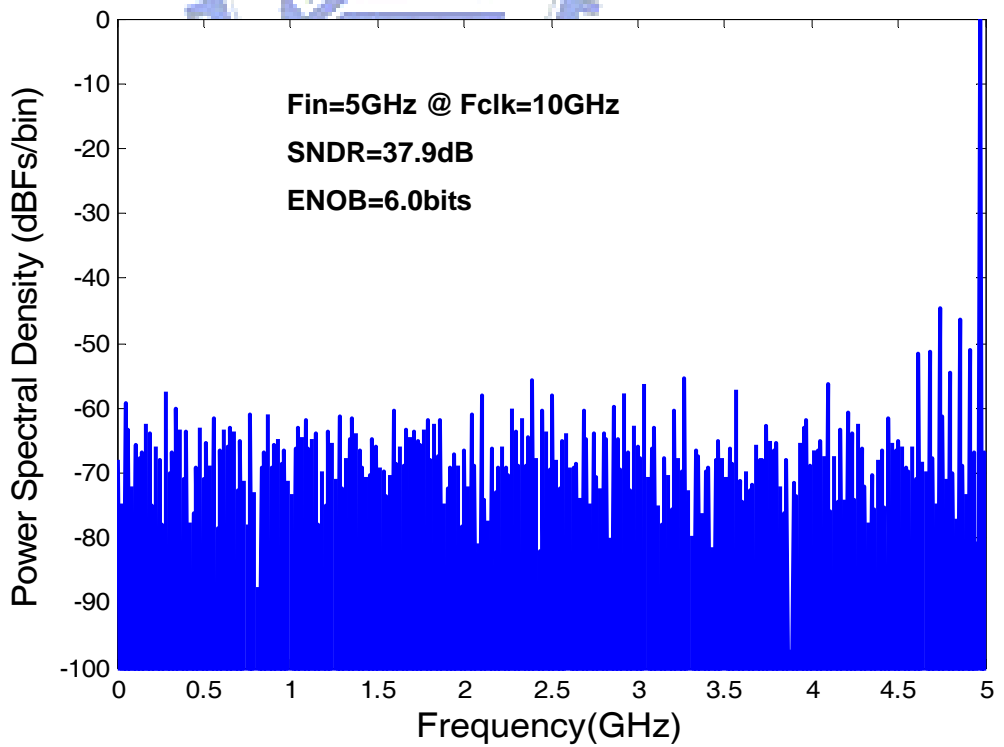


圖 3-7 以 5GHz 正旋波為輸入訊號之取樣保持電路的輸出頻譜



### 3.1.3 差動差值放大器

#### (Differential Difference Amplifier, DDA)

在 Flash 架構的 ADC 中，比較器電路第一級是前端類比電路中最為關鍵的部份。尤其我們要處理的是超高速的訊號，因此太複雜的電路架構就不適合我們使用，圖 3-8 是我們所使用的電路圖[19][20]，也就是一個差動差值放大器，它由兩組相同的差動對所組成，以達到全差動形式的訊號比較。兩組差動對皆為開迴路的形式(open-loop)，適合用於高速電路中。在設計上，M2、M3 及 M7、M8 的寬長比 (W/L ratio) 會設計成一樣，且 M1 和 M6 也會設計成一樣。在這樣的設計下，理論上 M2、M3 及 M7、M8 的轉導值( $g_m$ )會一樣，此電路的輸出對輸入的關係可寫成下式 3.3

$$V_o = g_{m2,3} R_{on4,5} ((V_{in+} - V_{ref+}) - (V_{in-} - V_{ref-})) \quad (3.3)$$

其中  $R_{on}$  表示負載 M4 及 M5 的等效阻抗，由式子中我們可以看出此電路是把輸入訊號與參考訊號的差值放大 ( $g_m R_{on}$ ) 倍。

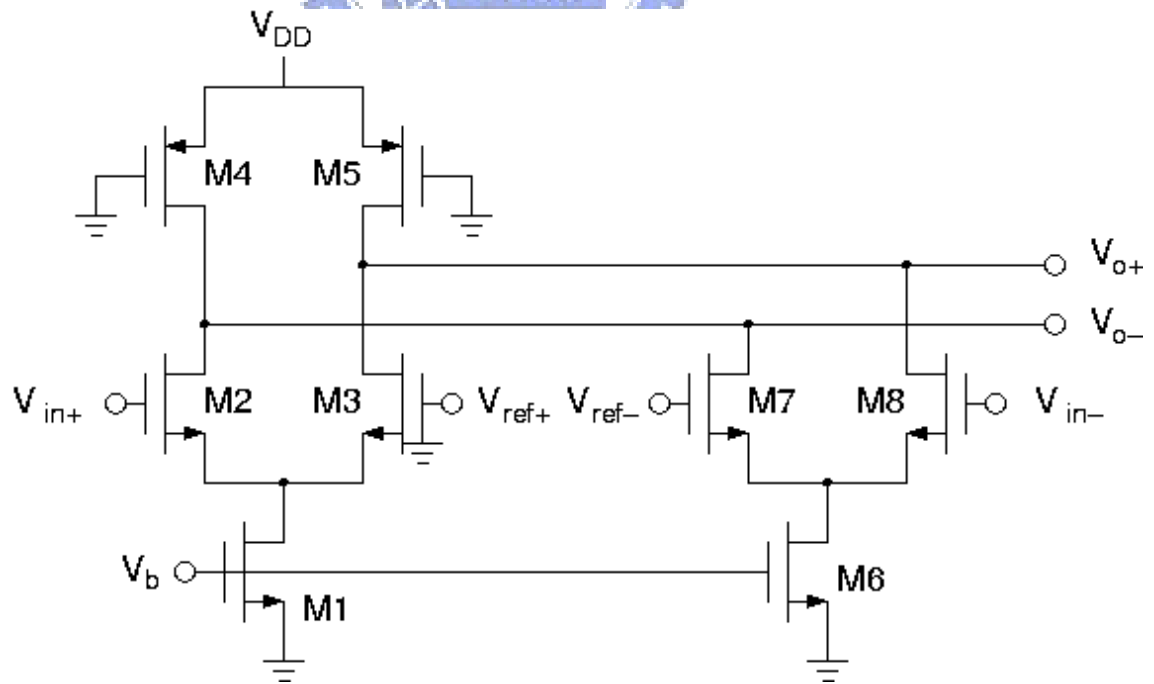


圖 3-8 差動差值放大器[19][20]

考慮到我們的設計規格是在 $\pm 400\text{mV}$  的範圍內解析出 6-bits，也就是 1LSB 只有  $12.5\text{mV}$  的大小，若想正確的比較出如此小且高速的訊號，那在 DDA 的設計上就要以頻寬(bandwidth)跟線性度(linearity)為主要考量，至於增益的大小澤就沒有那麼重要，所以我們將 DDA 設計為低增益且高寬頻 (low-gain and wide-bandwidth) 的特性，圖 3-9 為 DDA 的輸出頻率響應圖，由圖中我們可以看出此 DDA 的增益大約在  $2\sim 3\text{dB}$ ，頻寬則是大於  $5\text{GHz}$ 。

另外值得一提的是圖 3-8 中差動輸入訊號 ( $V_{\text{in}+}$ 與  $V_{\text{in}-}$ ) 與差動型式參考電壓 ( $V_{\text{ref}+}$ 與  $V_{\text{ref}-}$ ) 的安排是比較好的結果[21]，如果將  $V_{\text{ref}+}$ 與  $V_{\text{in}-}$ 對調，雖然也會得到一樣的輸出對輸入關係式，但是 M1 卻可能因為  $V_{\text{in}+}$ 與  $V_{\text{in}-}$  的差值過大而進入截止區(cut-off region)。

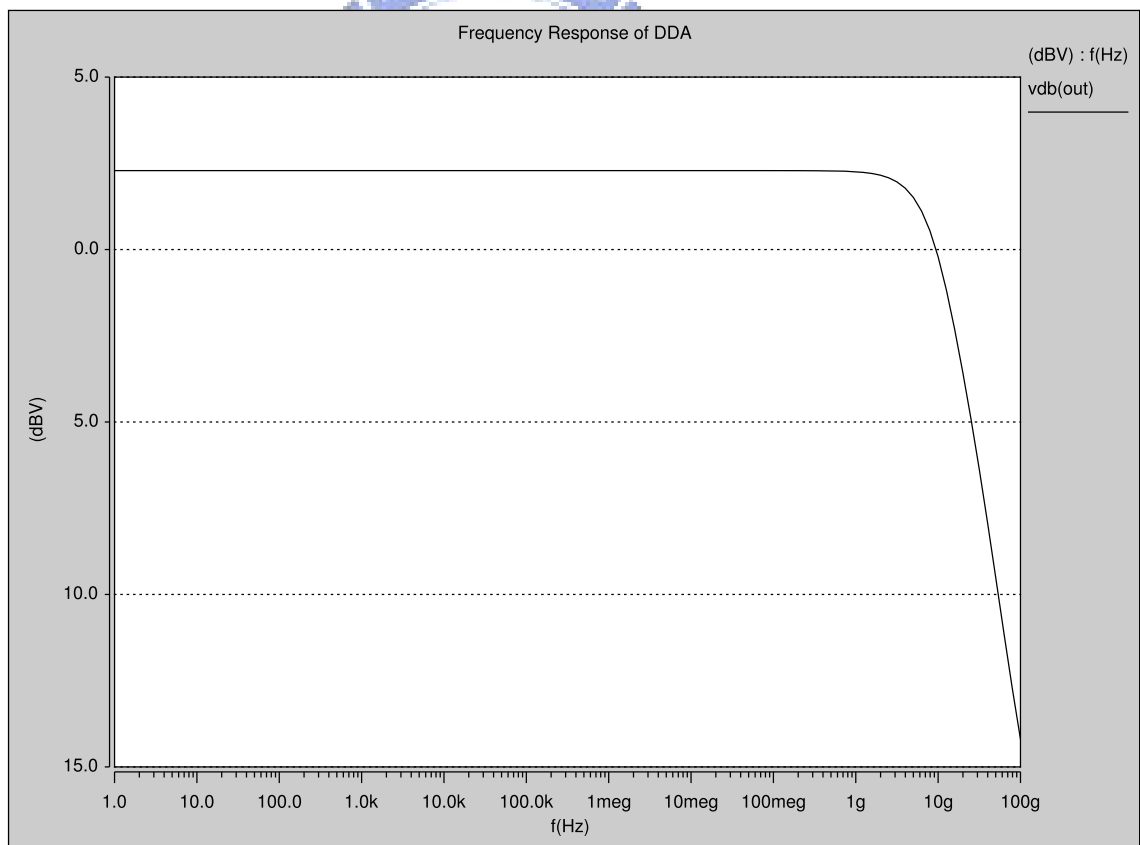


圖 3-9 差動差值放大器電路的輸出頻率響應圖

### 3.1.4 主動式負回授之前置放大器 (Active negative feedback Pre-Amplifier)

超高速的放大器常見於光纖通訊系統中 Limiting Amplifier 的設計上 [22]，在光纖通訊的領域中，傳輸率動輒都在數 Gbps，而 Limiting Amplifier 就是將微小且變化相當快速的訊號放大成具有數位邏輯準位的訊號，因此 Limiting Amplifier 的特色就是能夠提供高增益且寬頻 (high-gain & wide-bandwidth) 的能力，而在超高速 ADC 的設計當中，所要使用到的前置放大器 (Pre-Amplifier) 也正是需要這樣的特性，在我們的設計中，需要寬頻的放大器將比較後的微小差值作快速的放大，將類比的差值變成數位訊號的準位，因此使用 Limiting Amplifier 應是相當合適的選擇。且為了在有限的功率消耗下設計出 GBW 較大的放大器，因此我們參考使用了 B. Razavi 所提出的主動式負回授 (Active negative feedback) 放大器 [23] 架構，如圖 3-10 所示。

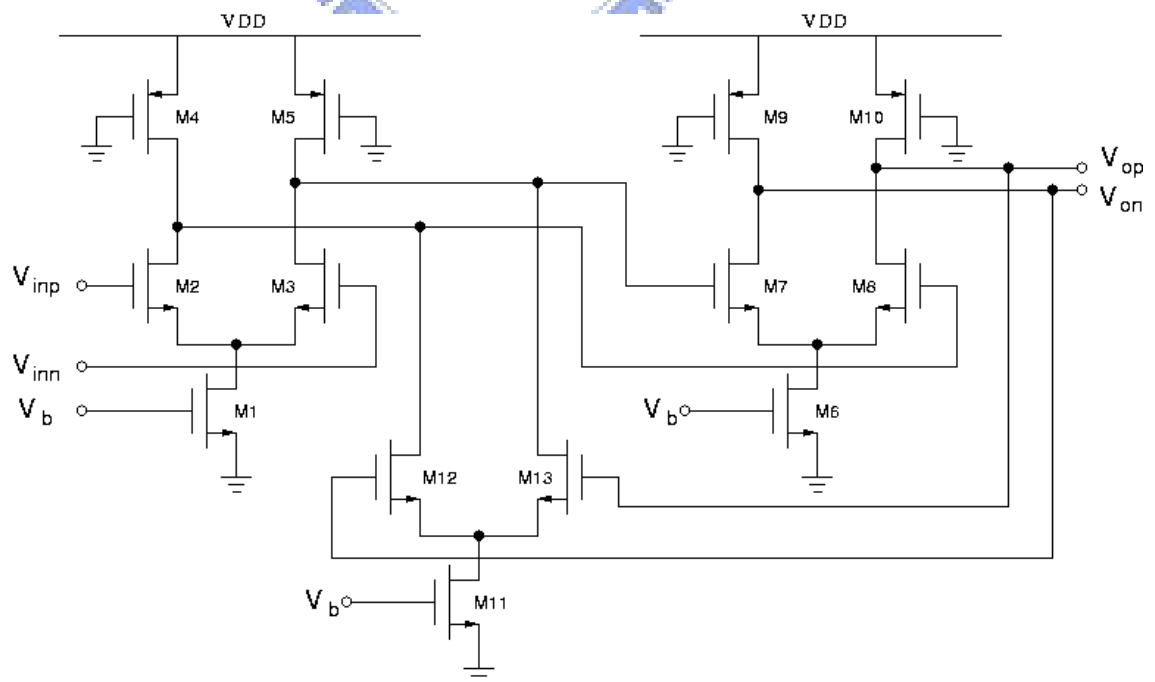


圖 3-10 主動式負回授 (Active negative feedback) 之前置放大器 [23]

此放大器電路中是由 Cherry-Hooper Amplifier [24]改良而來的，將原本 Cherry-Hooper Amplifier 中 shunt-shunt feedback 當作負回授所使用的被動元件電阻改成主動式電晶體的負回授方式，以提升電路的增益頻寬之乘積 (Gain Bandwidth Product, GBW)。將圖 3-10 的電路作分析等效成圖 3-11 的架構， $G_{m1}$ 、 $G_{m2}$  代表兩級串接放大器之轉導 (transconductance)， $R_{L1}$ 、 $R_{L2}$  則代表其負載，而  $-G_{mf}$  為主動式負回授等效的轉導值，對應到圖 3-10， $G_{m1}$  由 M1~M3 所構成， $G_{m2}$  由 M6~M8 所組成， $-G_{mf}$  則由 M11~M13 連接而成， $C_1$  與  $C_2$  分別為第一級與第二級輸出節點的等效寄生電容總值。

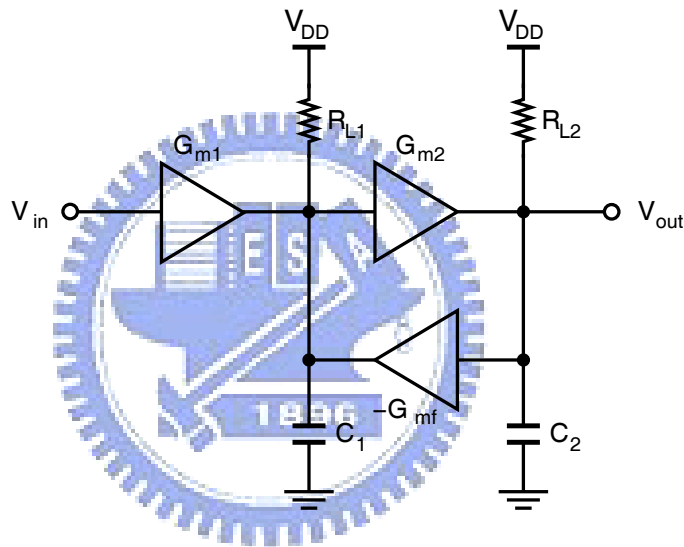


圖 3-11 主動式負回授放大器之等效架構[24]

推導圖 3-11 電路的轉移函數可得到式 3.4 的結果，再和標準的二階轉移函數式 3.5 做比較，可得到式 3.6 的結果。

$$H(s) = \frac{V_{out}}{V_{in}}(s) = \frac{\frac{G_{m1}G_{m2}}{C_1C_2}}{s^2 + \frac{R_{L1}C_1 + R_{L2}C_2}{R_{L1}C_1R_{L2}C_2}s + \frac{1 + G_{mf}G_{m2}R_{L1}R_{L2}}{R_{L1}C_1R_{L2}C_2}} \quad (3.4)$$

$$H(s) = \frac{A_0\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.5)$$

$$A_0 \omega_n^2 = \frac{G_{m1} G_{m2}}{C_1 C_2} \quad \omega_n^2 = \frac{1 + G_{mf} G_{m2} R_{L1} R_{L2}}{R_{L1} C_1 R_{L2} C_2} \quad (3.6)$$

假設系統具有最大平坦響應(maximally-flat response)，即是  $\zeta = 1/\sqrt{2}$  的時候，該二階系統的  $\omega_n$  會等同於該系統的 -3 dB 點頻寬，也就是  $\omega_n = \omega_{-3dB}$ ，而對一個簡單的差動放大器而言，其增益頻寬乘積 (GBW) 會近似於單增益頻率 (unity-gain frequency,  $\omega_T$ ) 可寫成  $G_m/C_L$ ，因此式 3.6 可表示成如式 3.7，其中假設  $(G_{m1}/C_1) \cong (G_{m2}/C_2) = (G_m/C_L) = \omega_T$ 。

$$A_0 \omega_n^2 = \frac{G_{m1} G_{m2}}{C_1 C_2} = \left( \frac{G_m}{C_L} \right)^2 = (\omega_T)^2 \quad (3.7)$$

而整個系統的 GBW 可以寫成如式 3.8，而由前面所提到的  $\omega_n = \omega_{-3dB}$ ，則可以再改寫成式 3.9 跟 3.10

$$A_0 \omega_n = \omega_T \frac{\omega_T}{\omega_n} \quad (3.8)$$

$$A_0 \omega_{-3dB} = \omega_T \frac{\omega_T}{\omega_{-3dB}} \quad (3.9)$$

$$A_0 f_{-3dB} = f_T \frac{f_T}{f_{-3dB}} \quad (3.10)$$

其中  $A_0$  為整個主動式負回授放大器系統的增益， $f_{-3dB}$  為主動式負回授放大器增益降 3 dB 時的頻率，而  $f_T$  為放大器的單增益頻率(unity-gain frequency)。對放大器來說，單增益頻率可近似為放大器的增益頻寬之乘積 ( $GBW = A_0 f_{-3dB} \cong f_T$ )。而從式 3.10 的結果可知，使用主動式負回授的放大器的增益頻寬乘積 (GBW) 會等於放大器的單增益頻率 ( $f_T$ ) 再乘上 ( $f_T/f_{-3dB}$ ) 倍，而且一般而言，單一個放大器的  $f_T$  會比  $f_{-3dB}$  還來得大許多，故可知使用主動式負回授的放大器其 GBW 會比單一個放大器的 GBW 還大

了  $(f_T/f_{-3dB})$  倍。也就是主動式負回授的放大器對能將其 GBW 提升  $(f_T/f_{-3dB})$  倍，說明了使用主動式負回授的技巧確實可以有效的增加電路的 GBW。

上一段證明了使用主動式負回授的技巧確實可以有效的增加電路頻寬，在這個架構之下，我們真正實現的放大器電路中，還在第二級的輸入端到輸出端之間有加上電容  $C_{M1}$ 、 $C_{M2}$ ，如圖 3-13 所示。這兩個電容的目的直覺上是為了要讓這個端點產生負電容的效果[25]。一般而言會使用 Miller's Theorem 來分析，如圖 3-12 所示，若將橫跨在 A、B 兩端點間的電導  $Y$  等效成兩部份，由 Miller's Theorem 可以求得  $Y_1=Y(1-A_V)$  和  $Y_2=Y(1-1/A_V)$ ，其中  $A_V$  代表 A 端點到 B 端點的增益。套用到我們的電路中，電容值就代表電導  $Y$ ， $A_V$  即是指第二級電路 M7 的 gate 端到 M8 的 drain 端的電壓增益，其值為正，代入上述公式中可以知道若增益大於一會產生出一個負電容值在 M7 和 M8 的 gate 端，以消除在第二級輸入端的寄生電容。但是 Miller's Theorem 有一個很重要的前提，就是訊號必須是單向的，而在我們的電路中相對應的 A、B 兩點間是指回授系統的輸入、輸出點，也就是說這兩點的訊號流向並不是單向的，因此若用 Miller's Theorem 來等校簡化電路並不適當。

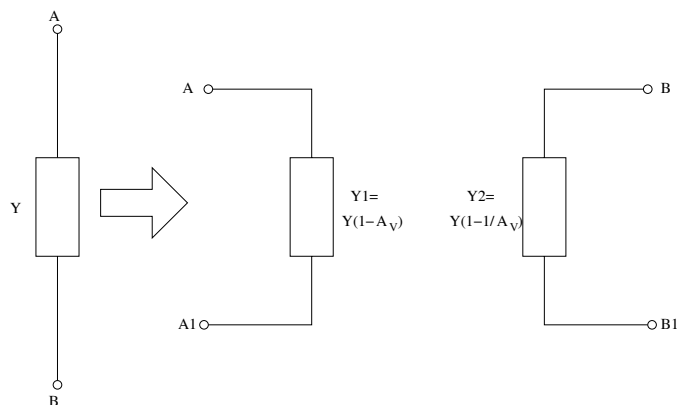


圖 3-12 米勒等效電路簡介圖

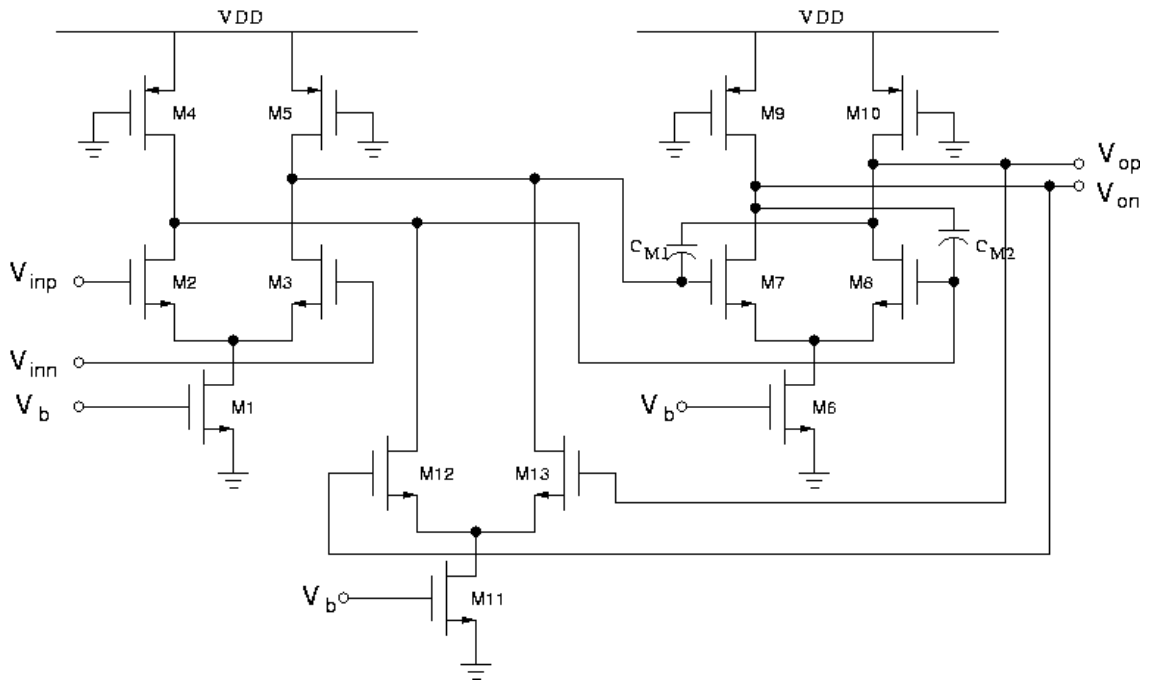


圖 3- 13 加入補償電容之主動式負回授前置放大器

既然使用 Miller's Theorem 來等校不夠精確，我們便直接對整個放大器做小訊號分析，使用 T model 來做分析，如圖 3-14 所示， $g_{m1}$ 、 $g_{m2}$  代表第一級跟第二級放大器之轉導 (transconductance)， $R_1$ 、 $R_2$  代表其輸出端點等校之電阻值， $C_1$ 、 $C_2$  則代表其輸出端點等校之電容值，而  $g_{mf}$  為回授級放大器等效的轉導值， $C_M$  則我們加入之補償電容。與圖 3-13 相對應， $g_{m1}$  由 M1~M3 所構成， $g_{m2}$  由 M6~M8 所組成， $g_{mf}$  則由 M11~M13 連接而成。

在  $V_1$  端點利用 KCL，我們可以得到：

$$\frac{g_{m1}V_i}{2} + SC_M(V_o - V_1) = \frac{V_1}{R_1} + SC_1V_1 + g_{mf}V_o \quad (3.11)$$

同樣的在  $V_o$  端點利用 KCL，我們可以得到：

$$\frac{V_o}{R_2} + SC_2V_o + SC_M(V_o - V_1) = \frac{g_{m2}}{2}(V_{1+} - V_{1-}) \quad (3.12)$$

由式 3.12 可以得到  $V_o$  對  $V_1$  的關係式，再將其代入式 3.11 便可以得到完整前置放大器的輸出對輸入的轉移函數(Transfer function)  $\frac{V_o}{V_i}$  為：

$$S^2 + S \frac{R_2(C_2 + C_M) + R_1(C_1 + C_M) - g_{m2}C_M R_1 R_2 + g_{mf}C_M R_1 R_2}{R_1 R_2(C_1 C_2 + C_1 C_M + C_2 C_M)} + \frac{\frac{g_{m1}g_{m2}}{(C_1 C_2 + C_1 C_M + C_2 C_M)} \left(1 + S \frac{C_M}{g_{m2}}\right)}{R_1 R_2(C_1 C_2 + C_1 C_M + C_2 C_M)} + \frac{1 + g_{m2}g_{mf}R_1 R_2}{R_1 R_2(C_1 C_2 + C_1 C_M + C_2 C_M)} \quad (3.13)$$

與式 3.5 做比較可以得到:

$$A_0 \omega_n^2 = \frac{g_{m1}g_{m2}}{(C_1 C_2 + C_1 C_M + C_2 C_M)} \quad \omega_n^2 = \frac{1 + g_{m2}g_{mf}R_1 R_2}{R_1 R_2(C_1 C_2 + C_1 C_M + C_2 C_M)} \quad (3.14)$$

$$2\zeta\omega_n = \frac{R_2(C_2 + C_M) + R_1(C_1 + C_M) - g_{m2}C_M R_1 R_2 + g_{mf}C_M R_1 R_2}{R_1 R_2(C_1 C_2 + C_1 C_M + C_2 C_M)} \quad (3.15)$$

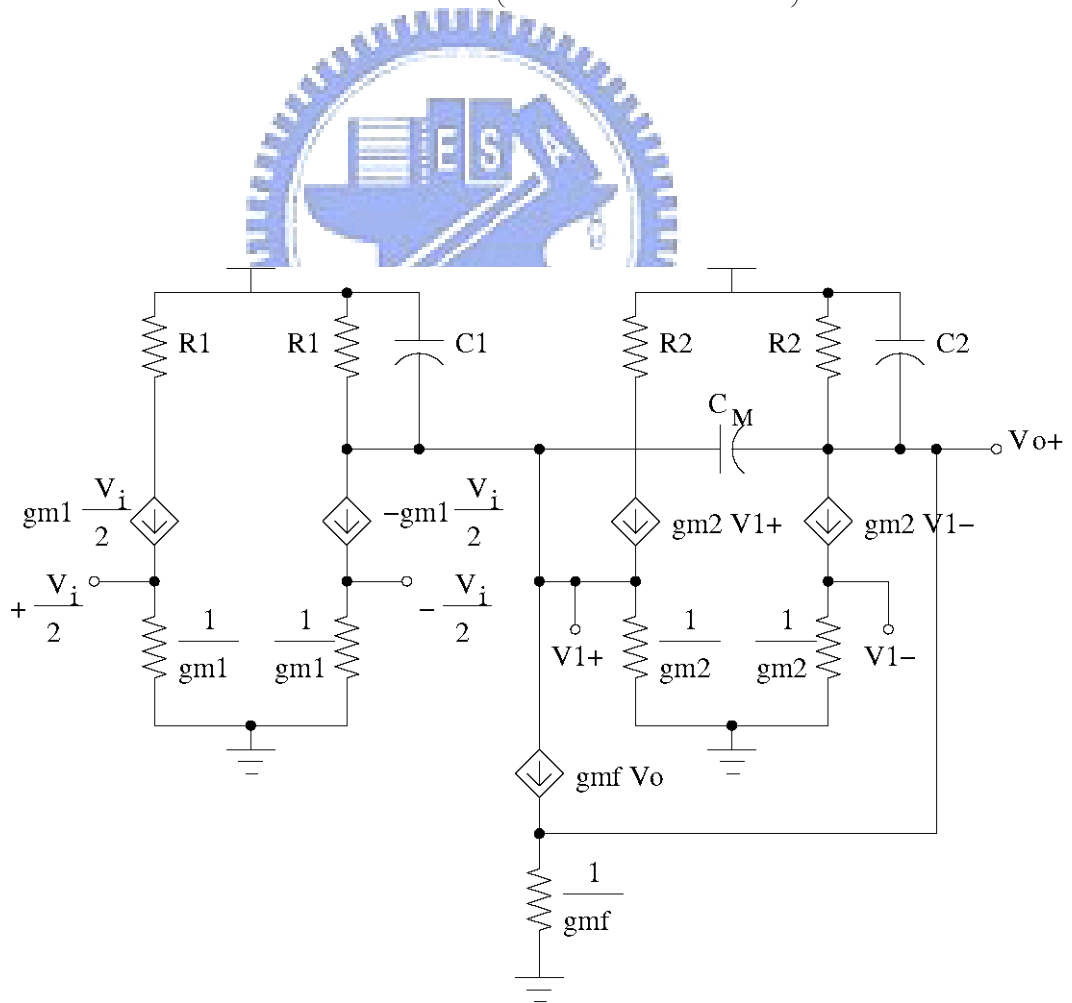


圖 3-14 完整前置放大器之小訊號分析



將式 3.13 與式 3.4 做比較可以發現加入電容  $C_M$  後轉移函數多了一個零點。如果我們使用與式 3.4 一樣的設計參數時，由式 3.14 可以發現  $W_n$  會因為加入了  $C_M$  而變小，而  $A_0\omega_n^2$  也會跟著變小，所以理論上增益頻寬乘積 (GBW) 是會變小。但是我們可以藉由調整零點的位子來改善這個問題，圖 3-15(a) 是兩個極點(pole)的系統的波德圖，與式 3.4 相同，由圖中我們可以知道此系統的  $f_{3dB}$  點由  $p_1$ (pole1)所決定，而圖 3-15(b)則為一個零點(zero)兩個極點(pole)的系統，與式 3.13 相同，而由圖中我們可以知道若將零點的位子置於  $p_1$  之前則可以創造出 overshooting 的效果而使得  $f_{3dB}$  進一步的加大，相對應到我們的電路中，在式 3.4 跟 3.11 都使用相同的設計參數下時，式 3.11 的 gain 雖然會略為下降，但是我們可以藉由調整  $C_M$  的值來決定 zero 的位子，而由上述的分析可知，只要將 zero 點置於  $p_1$  之前便可以藉由 overshooting 的效果而使頻寬變大，但要注意的是由式 3.15 可知調整  $C_M$  的值同時也會改變  $\zeta$  的值，雖然我們是要藉著 overshooting 的效果來提升頻寬，但如果 overshooting 太嚴重反而會造成不穩定的系統。

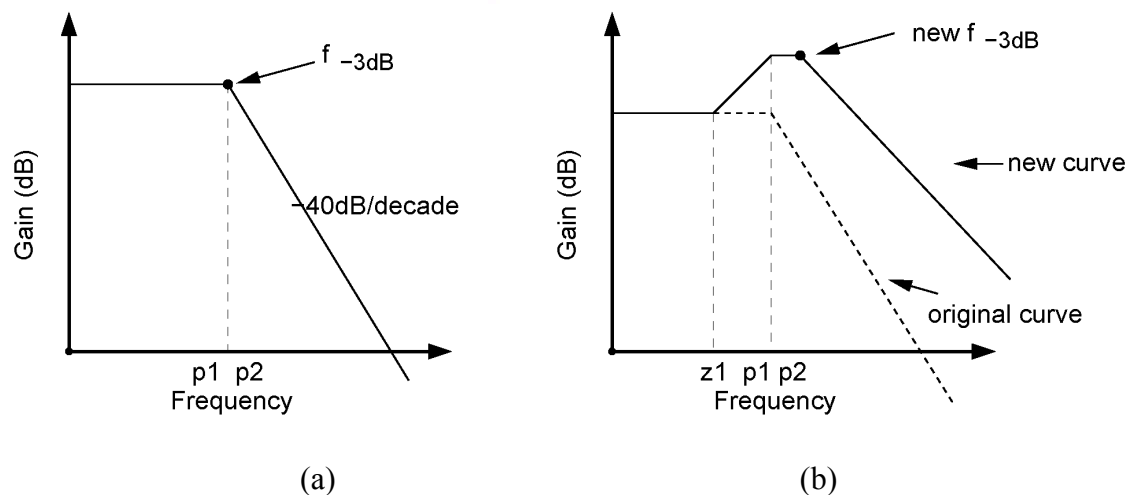


圖 3-15 加入電容前後之波德圖(Bode Plot)分析

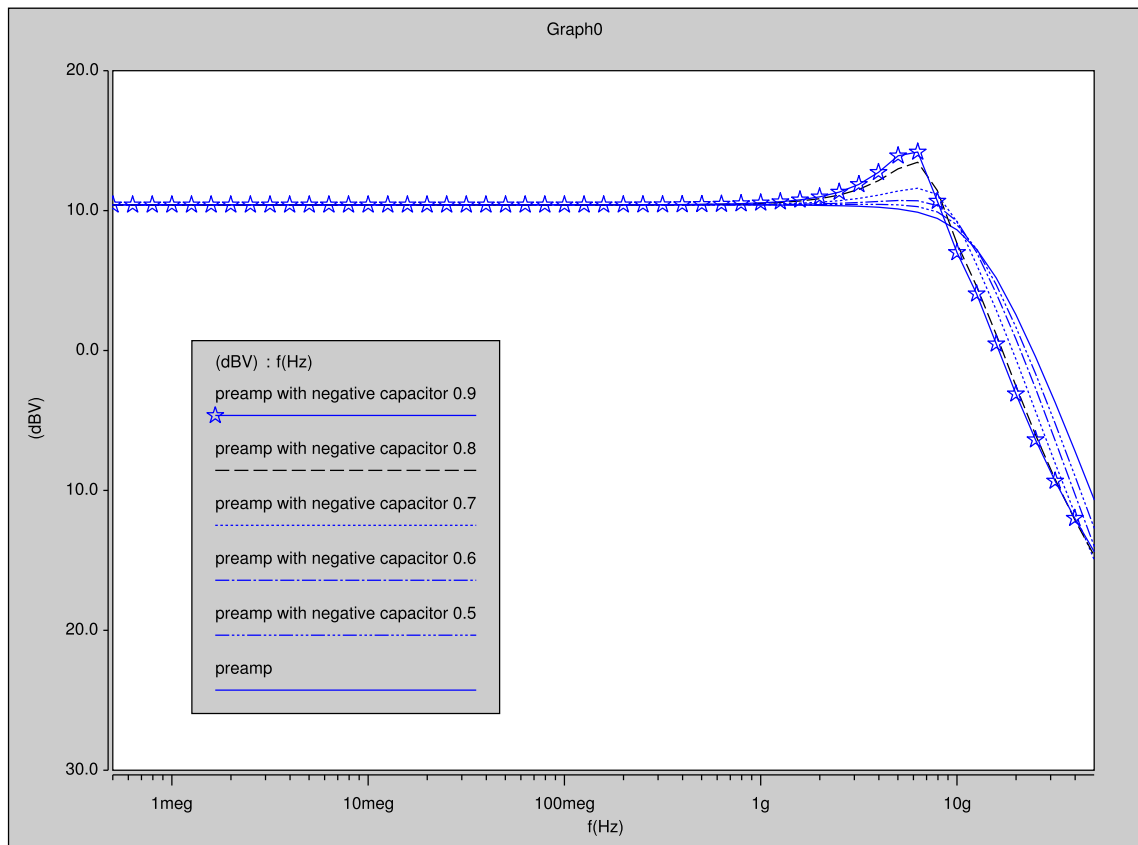


圖 3-16 加入負電容之主動式負回授前置放大器之頻率響應比較

圖 3-16 是將有加入負電容  $C_M$  的與沒有加電容的前置放大器的頻率響應比較(兩者的設計參數皆相同的情況下)，圖中共有 6 條線，分別為原本放大器的頻率響應曲線及有加入電容之放大器頻率響應曲線，由式 3.14 跟 3.15 可以知道藉由  $C_M$  的值可以決定  $\xi$ ，圖中標示之 0.5~0.9 即為  $\xi$  的值，由圖中可以看出加入補償電容後之曲線比沒有加電容的曲線在高頻時的 gain 響應較好，而值得注意的是圖形並沒有如我們所預測的像圖 3-15 那樣變化，在零點把 gain 拉升後就急速下降，表示遇到了共軛極點，直接變成 -40dB/decade，這樣會使的 -3dB 點並不會如我們預期的變大，不過在高頻時 gain 的衰減是變慢的，表示再處理高速訊號時，我們所使用的放大器會比較容易把比較器比較完的訊號放大拉開成數位準位，也就是在高頻時的動態參數的表現會比較好。而頻寬雖然看起來是變小，但是實際上差的量很小，可以藉由 over design 頻寬來避免這個影響。

接下來我們對 preamp 的轉移函數(transfer function)做步階響應(step response)，如圖 3-17 所示，和圖 3-15 一樣，我們一樣藉由改變電容  $C_M$  的值來決定  $\xi$ ，由圖中可以看出在加入負電容之後，preamp 的 step response 比原本的響應來的快，也就是 rise time 跟 settle time 都變小了，這樣在整個比較器電路中，可以使每一條訊號路徑的 delay 變短，讓 latch 抓到已經完成 0 跟 1 準位的情形增加，也就是會降低出錯的機率，這現象在高頻訊號時會更加明顯，其實也就是上一段所提到的，step response 變好可以使放大器會比較容易把比較器比較完的訊號放大拉開成數位準位。要注意的是在  $C_M$  的值的選擇上我們是把  $\xi$  調整在 0.7 左右，這樣 overshooting 的效果不明顯，由圖 3-16 模擬結果中可以知道這樣的選擇頻寬與原本的 preamp 頻寬差異很小，但是由圖 3-17 中可知 step response 卻可以變好，進一步使高頻動態參數響應變好。

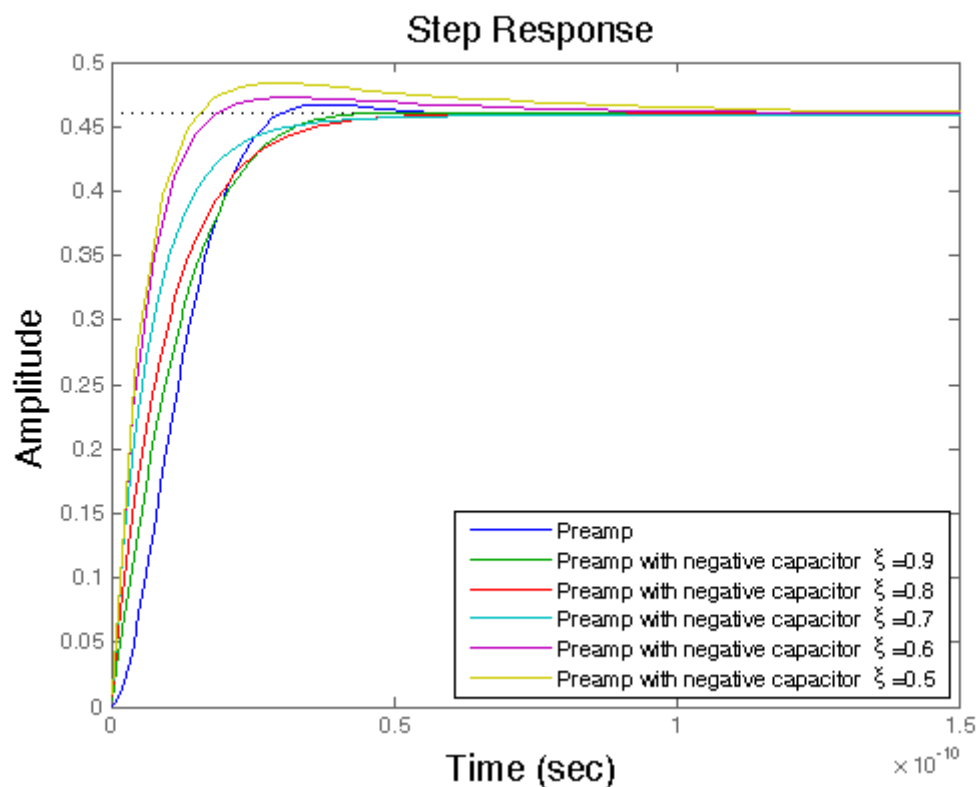


圖 3-17 加入負電容之主動式負回授前置放大器之 step response

### 3.1.5 Averaging & Interpolating Network[27]

在 flash 架構的 ADC 中， $n$ -bits 的 ADC 會將訊號分成  $2^n-1$  個位階，也就是有  $2^n-1$  條訊號路徑，若這  $2^n-1$  條訊號路徑都是單獨互不相關的，如果此時某一條路徑上因製程因素而此比較器(或放大器)出現了 offset，則會造成一個很大的 DNL、INL 誤差，影響電路的線性度，這是我們所不希望的，Averaging 是最常被用來補償比較器(或放大器)的 offset 的技巧，他最早是由 Kattmann 和 Barrow 所發表[26]，此技巧是將相鄰兩條訊號路徑的比較器(或放大器)的輸出用電阻連接起來，將原本不相關的訊號可以經由電阻而互相影響，這樣做的好處是將比較器(或放大器)的 offset 電壓平均分散開來，使所有比較器(或放大器)的 offset 趨近一致，也就是 averaging 的效果。如圖 3-18 所示，假設有數十個並列連接的比較器(或放大器)，其中只有一個有 offset，其他的 offset 皆為 0，透過 averaging 的连接方式可以將原本很大的 offset 平均至其他比較器(或放大器)，雖然其他比較器(或放大器)的 offset 增加了，但彼此間的差異量卻減少了，因此整體的 offset Errors 曲線趨為平緩，DNL、INL 也可以因此獲得改善。

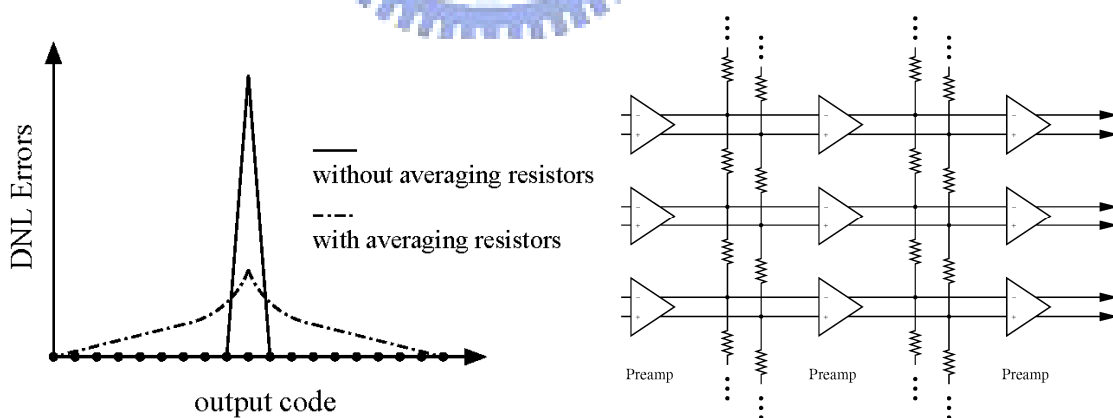


圖 3- 18 Averaging 的效果示意圖

決定 averaging 效果最重要的因素就是比較器(或放大器)的輸出電阻與 averaging 電阻之間的關係，這在之前文獻中已有許多討論，在[28]中提出一個簡單的式子來說明當比較器(或放大器)的輸出電阻趨近無窮大時，

DNL、INL 可以得到改善，[29]則是分析了在各種輸出電阻下 averaging 的效果，[30][31]則是用空間性的濾波器(spatial filtering)理論來分析。我們使用 averaging 的目的主要是提升 DNL、INL，因此接下來我們要探討輸出電阻與 averaging 電阻與 DNL、INL 之間的關係，圖 3-19 是一個無窮的 averaging 迴路的一部份， $R_0$  代表比較器(或放大器)的輸出電阻， $R_1$  代表 averaging 電阻， $R_{eq}$  代表迴路上任一點往某一邊所看到的無窮迴路的電阻，由[29][32]可推導出式 3.16。

$$R_{eq} = R_l + R_0 // R_{eq} = \left( R_l + \sqrt{R_l^2 + 4R_0R_l} \right) / 2 \quad (3.16)$$

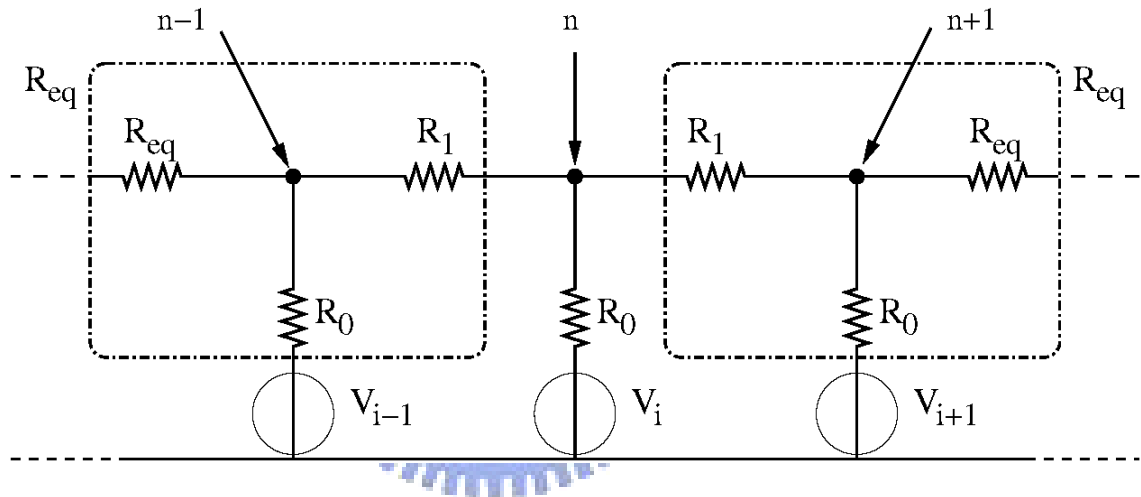


圖 3-19 一個無窮的 averaging 電路的等效電路簡圖

$V_i$  表示 node n 的比較器(或放大器)的輸出，而電壓源對任一點的電壓關係可以利用分壓關係求得，首先是  $V_i$  到 node n 的電壓轉換關係，我們設為 A，第二個是相鄰兩端點的轉換關係，我們稱為 B，我們由圖中的電路可以求得此關係式，如式 3.17 所示：

$$A = \frac{R_{eq} // R_{eq}}{R_0 + R_{eq} // R_{eq}} = \frac{R_{eq}}{2R_0 + R_{eq}} \quad B = \frac{R_0 // R_{eq}}{R_l + R_0 // R_{eq}} \quad (3.17)$$

有了上述式子，我們可以知道任一點的電壓  $V_n$  不只由那條訊號路徑的比較器(或放大器)輸出決定，同時也會受到兩邊路徑的比較器(或放大器)輸

出影響，其式子可以表示成下式：

$$V_n = A \left( V_i + \sum_{j=1}^{\infty} B^j V_{i+j} + \sum_{j=1}^{\infty} B^j V_{i-j} \right) \quad (3.18)$$

現在我們假設每一個比較器(或放大器)輸出都有一個相同的偏差量  $\Delta V$ ，則由式 3.18 可以知道任一點 node n 受到偏差量的影響為

$$\Delta V_n = A \left( 1 + 2 \sum_{j=1}^{\infty} B^j \right) \Delta V \quad (3.19)$$

有了式 3.18 跟式 3.19，我們便可以推導出偏差量  $\Delta V$  與 DNL 的關係，首先便是要求出 node n 和 node n+1 的關係式，如下式所示：

$$V_n = A \left( V_i + B V_{i+1} + B \sum_{j=1}^{\infty} B^j V_{i+1+j} + \sum_{j=1}^{\infty} B^j V_{i-j} \right) \quad (3.20)$$

$$V_{n+1} = A \left( B V_i + V_{i+1} + \sum_{j=1}^{\infty} B^j V_{i+1+j} + B \sum_{j=1}^{\infty} B^j V_{i-j} \right) \quad (3.21)$$

有了式 3.20 跟式 3.21 便可以求得兩相鄰點的電壓差關係式

$$V_{n+1} - V_n = A(1-B) \left( V_{i+1} - V_i + \sum_{j=1}^{\infty} B^j V_{i+1+j} - \sum_{j=1}^{\infty} B^j V_{i-j} \right) \quad (3.22)$$

利用式 3.22，我們可以得到任兩相鄰點電壓對偏差量的影響之關係式，同時再利用無窮等比級數的公式簡化並代入  $R_0$ 、 $R_1$  和  $R_{eq}$ ，如式 3.23 所示

$$\frac{\Delta(V_{n+1} - V_n)}{\Delta V} = A(1-B) \left( 2 + \frac{2B}{1-B} \right) = 2A = \frac{2R_{eq}}{2R_0 + R_{eq}} \quad (3.23)$$

最後我們將  $R_{eq}$  改寫成與  $R_1/R_0$  的關係在代入式 3.18 便可以得到 DNL 與  $R_1/R_0$  的關係式，如式 3.24 所示：

$$\frac{\Delta(V_{n+1}-V_n)}{\Delta V} = \frac{2R_{eq}}{2R_0+R_{eq}} = \frac{2R_{eq}/R_0}{2+R_{eq}/R_0} \quad \frac{R_{eq}}{R_0} = \frac{1}{2} \left( \frac{R_1}{R_0} + \sqrt{\left(\frac{R_1}{R_0}\right)^2 + 4\left(\frac{R_1}{R_0}\right)} \right) \quad (3.24)$$

我們對式 3.24 做圖，得到 DNL Reduction Ratio 對  $R_1/R_0$  的關係圖，由圖 3-20 中我們可以知道若想要降低比較器(或放大器)輸出的 offset 對 DNL 的影響則必須降低  $R_1/R_0$  的值，也就是如同[28]所分析的，若  $R_0 \rightarrow \infty$  則 offset 對 DNL 的影響會最小，但我們的比較器(或放大器)的頻寬必須要設計的很高，所以輸出電阻值並不大，因此在  $R_1/R_0$  的選擇上並不容易做的很小，而 INL 其實就是 DNL 累加的結果，所以這裡不再加以探討。

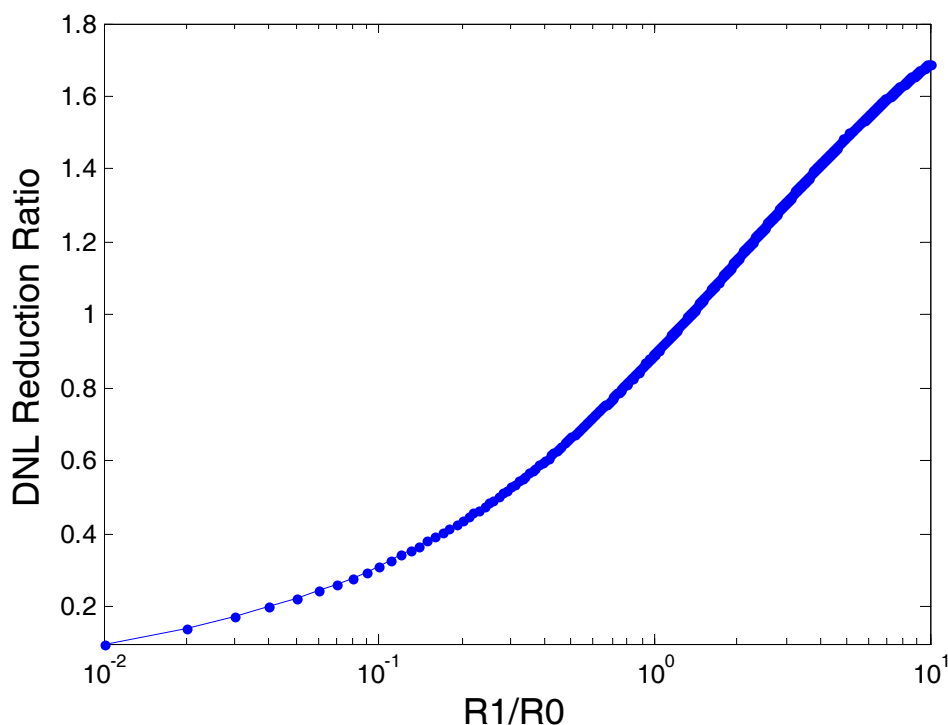


圖 3- 20 DNL Reduction Ratio as a function of  $R_1/R_0$

以上的討論都是假設在 averaging 迴路是無窮的情況下，但實際上電路不可能是無窮的，也就是在離 averaging 迴路正中間越遠所看到的  $R_{eq}$  值會跟原本的值差異很大，會造成比較器(或放大器)的輸出 zero crossing 點電壓準位漂移，如圖 3-21 所示，越靠近邊緣的地方，準位漂移越嚴重，也就是 DNL 會越差。一般而言解決這個問題的方式是在邊緣加上數個 dummy 比

較器(或放大器)[28][33][34]，讓因為 averaging edge 所造成的電壓偏移都發生在這些多餘的比較器(或放大器)中，而不會影響到其他我們真正要拿來使用的訊號。然而這種方式所額外增加的功率消耗與面積並不小，因此我們會使用另外一種方來解決，在下一段討論。

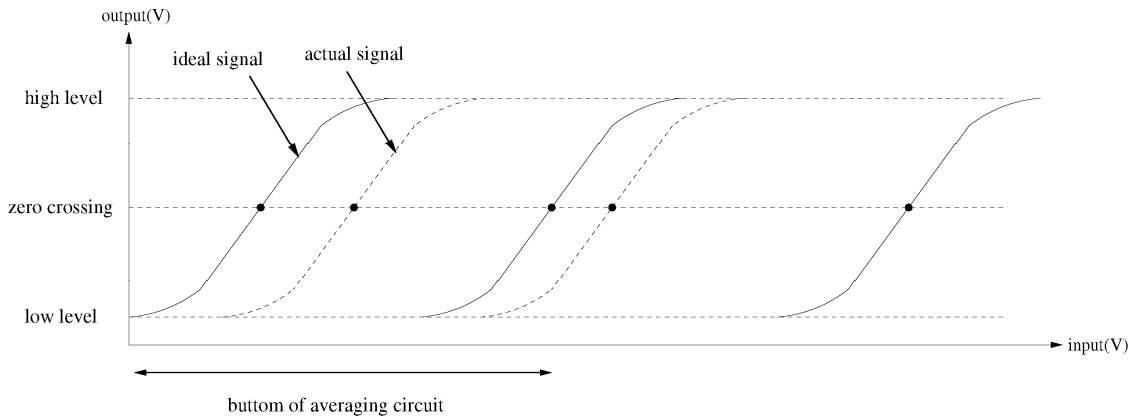


圖 3-21 輸出電壓準位因為 averaging 迴路不是無窮而漂移之示意圖

在上一段的討論中，我們可以知道影響 averaging 迴路最重要的因素就是比較器(或放大器)的輸出電阻  $R_0$ 、averaging 電阻  $R_1$  以及 offset，現在因為要探討的是無窮回路跟實際有限迴路的影響，所以我們將 offset 的影響去除，重新再得到一個一個無窮的 averaging 迴路的一部份以及一個不是無窮的 averaging 迴路的一部份，如圖 3-22 跟 3-23 所示。

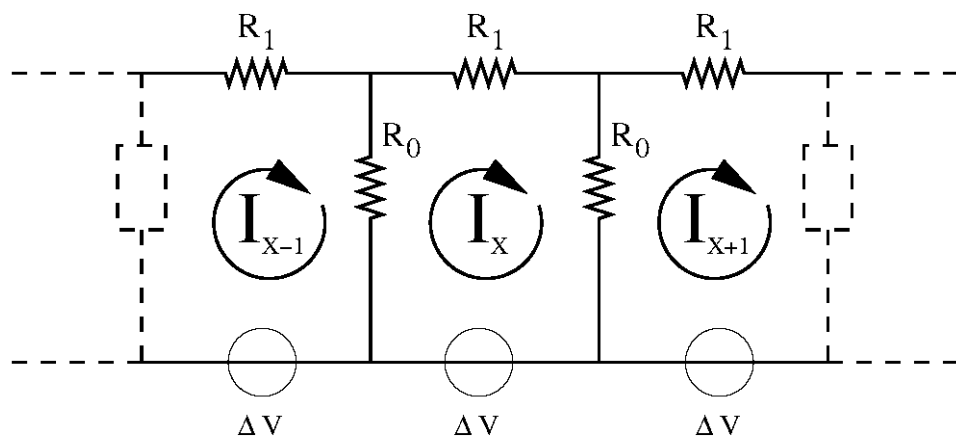


圖 3-22 一個沒有 offset 影響的無窮的 averaging 電路的等效電路簡圖



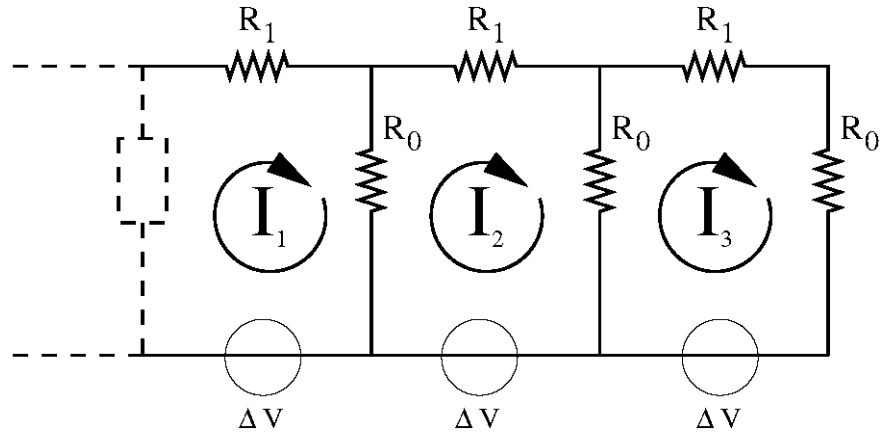


圖 3-23 一個沒有 offset 影響的非無窮的 averaging 電路的等效電路簡圖

$R_0$  代表比較器(或放大器)的輸出電阻， $R_1$  代表 averaging 電阻， $I_x$  是任兩相鄰比較器(或放大器)的迴路電流，由圖 3-22 可以推導出相鄰兩比較器(或放大器)的電壓差為：

$$\Delta V = R_1(I_x - I_{x-1}) + R_2 I_x + R_1(I_x - I_{x+1}) \quad (3.25)$$

若是在無窮迴路下，此迴路便是完全對稱，每個迴路中的  $I_x$  都會相等的，即是  $I_x = I_{x-1} = I_{x+1}$ 。將此假設代入式 3.25 即可得到  $\Delta V = R_2 I_x$ ，亦即在理想無窮迴路情況下任兩點間的電壓差是固定的，也就是說電流並不會流進  $R_0$  產生壓降，只會流經  $R_1$  的路徑。但是當實際電路不為無窮迴路時，如圖 3-23 所示，在邊緣的迴路中  $I_3$  旁邊並沒有迴路再產生電流，因此  $I_1 \neq I_2 \neq I_3$ 。這會使任兩點間的電壓差不同，也就是會造成 DNL 變差。

想要解決這個問題很直覺的方式就是在邊緣的迴路創造出類似無窮迴路的感覺，有幾種方式可以達成：第一種方式是使迴路邊緣的比較器(或放大器)的輸出電阻  $\rightarrow 0$ ，讓邊緣的迴路只看到  $R_1$  的電阻，如圖 3-24(a)，創造出類似圖 3-22 無窮迴路的形式，但是任何電路都有阻抗，是不可能輸出阻抗為 0 的電路，因此這個方法並不可行。

第二種方式目的跟第一種一樣，只是需要多一組比較器(或放大器)，將邊緣迴路的 averaging 電阻改成  $R_1 - R_0$ ，這樣讓邊緣的迴路一樣只看到  $R_1$  的

等校電阻，如圖 3-24(b)，若是  $R_0$  取的值比  $R_1$  大 3 倍以上則可以有另一種 termination 的方式，如圖 3-24(c)，一樣是使邊緣的迴路只看到  $R_1$  的等校電阻，但是必須多使用一組比較器(或放大器)，(b)跟(c)的差異是在  $R_1$  與  $R_0$  的比值，若  $R_1 > R_0$  則適合用(b)，若  $R_1 < R_0$  則就是(c)比較適合。最後一種方式就是多使用幾個比較器(或放大器)，讓誤差產生在這些多使用的 dummy 比較器(或放大器)迴路上而不會影響到我們真正要處理的訊號，如圖 3-24(d)。

總和上兩段討論，想要降低 offset 對 DNL 的影響，則  $R_1/R_0$  的值是越小越好，但是還要考慮到 termination 的影響，我們預計是使用改變邊緣的 averaging 電阻的方式，但是由於我們比較器(或放大器)的輸出電阻值因為頻寬需求的因素所以值並不大，大概只有數百  $\Omega$ ，因此不適合再把 averaging 電阻設計的太小，若是值太小，則容易受到製程偏差而有非常大的誤差，可能就會失去我們原本設計的  $R_1/R_0$  值。所以我們最後是把 averaging 的電阻值取略大於比較器(或放大器)的輸出電阻，這樣 termination 便是使用圖 3-24(b)的方式，由於 averaging 電阻值必須比比較器(或放大器)輸出電阻大，也就是  $R_1/R_0$  值會大於 1，於前面所推導出來的式子可以知道，DNL Reduction Ratio 在這個情形下還是小於 1，在我們可以接受的範圍內，而且這個方式的 termination 只多用了一組比較器(或放大器)，在多餘的功率消耗和面積消耗也還可以接受。

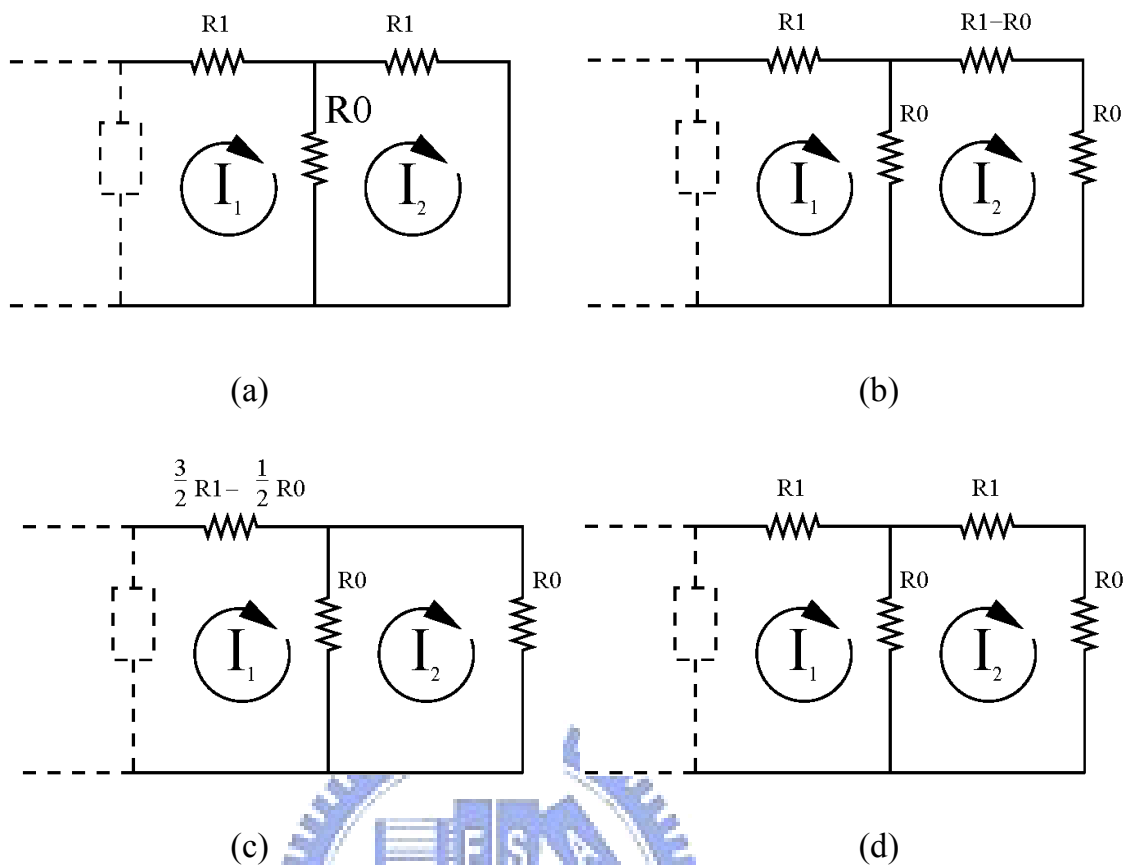


圖 3-24 幾種 averaging termination 的方式

我們的 averaging 電阻還有做另一種用途。一個 6-bit 的 flash ADC 至少需要 63 的比較器，但若是把 T/H 直接接到 63 個比較器，這樣 T/H 所看到的等效輸入電容會太大以至於降低 T/H 的效能，因此我們在兩個相鄰放大器的中間利用電阻再內插(interpolation)出一組訊號[45]，如圖 3-25 所示，在兩組訊號間正確的內插出正中央的曲線，這樣每使用一級 interpolating 就可以使比較器(或放大器)數目減少一半，大大降低寄生電容的值。要注意的是把 averaging 電阻同時拿做內插電阻時，若由前面的討論算出  $R_1$  的值，則內插電阻值應是  $R_1/2$ ，也就是兩組內插電阻才是一組 averaging 電阻，這在設計上要注意，否則最會失去原本設計的值。

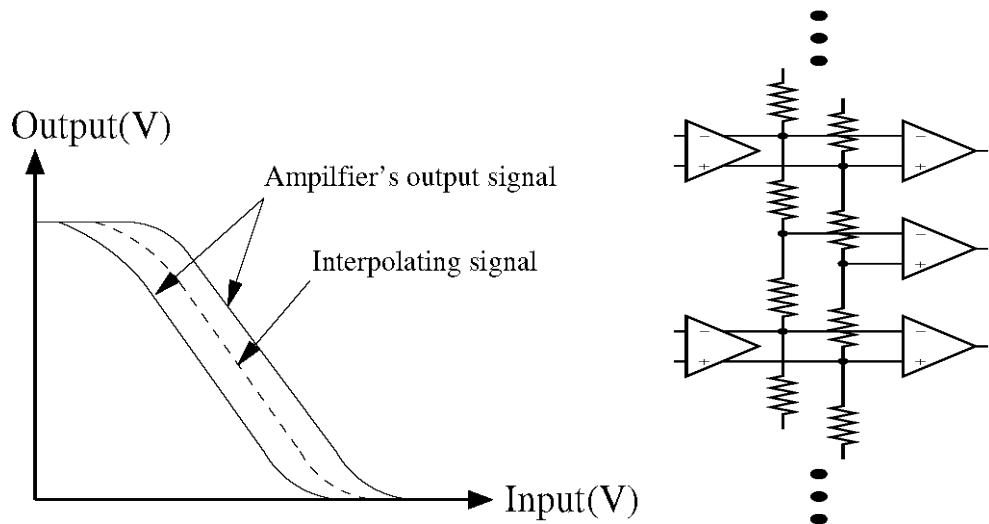


圖 3-25 產生內插訊號之示意圖

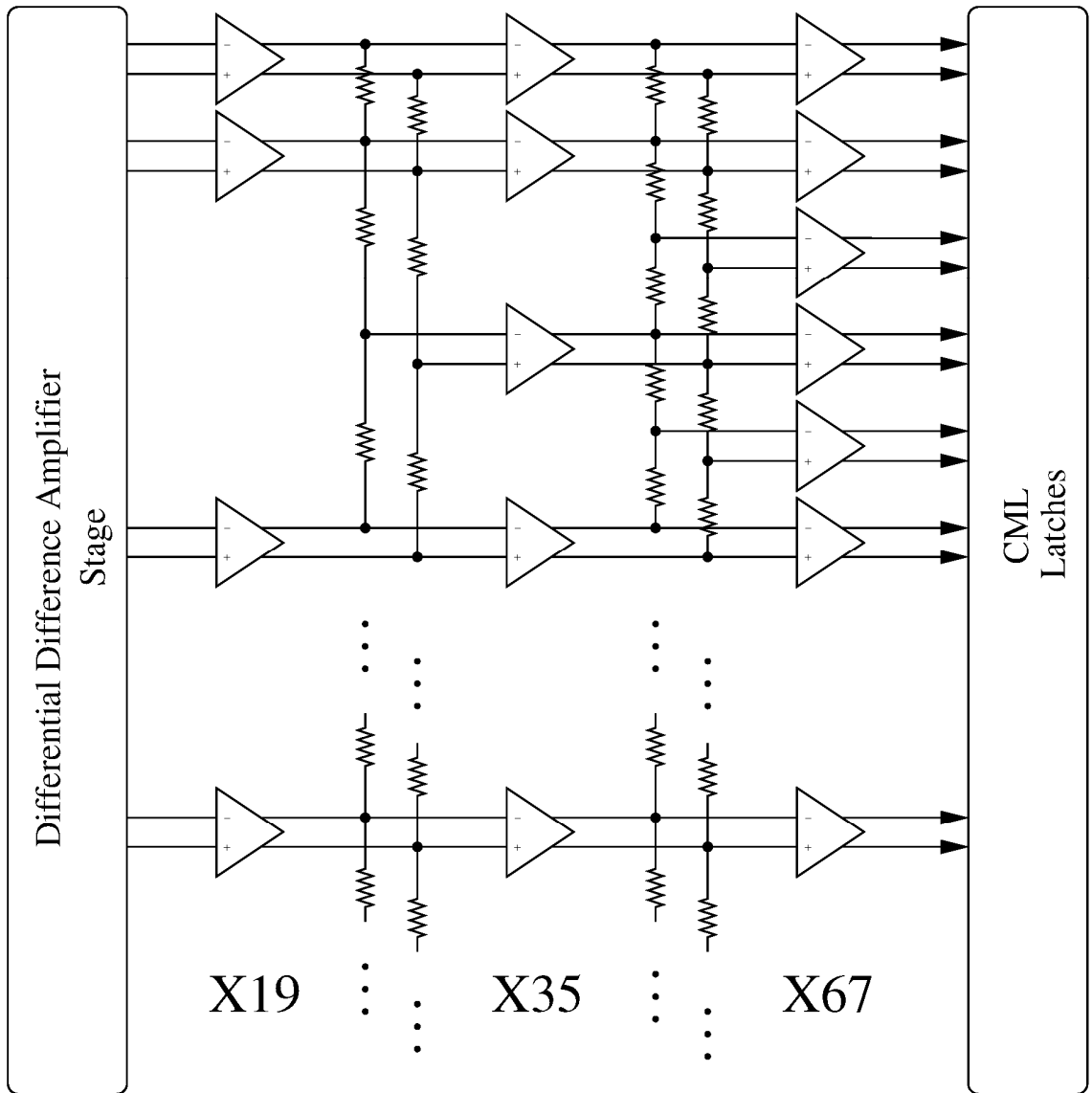


圖 3-26 完整的 averaging & interpolating 電路

圖 3-26 是我們真正實現 averaging & interpolating 的電路，preamp stage 總共有三級，依次分成 19、35、67 組比較器的訊號，而比較器第一級 DDA 則是使用了 11 組，這樣就是頭尾的 preamp 當作 dummy，而其中的訊號利用 averaging 電阻提升線性度，同時也當作 interpolating 電阻內插出多一組訊號，其詳細電路示意圖如圖 3-27 所示，在頭尾的部份使用 termination 電阻來降低 averaging 邊緣電流不匹配的影響。

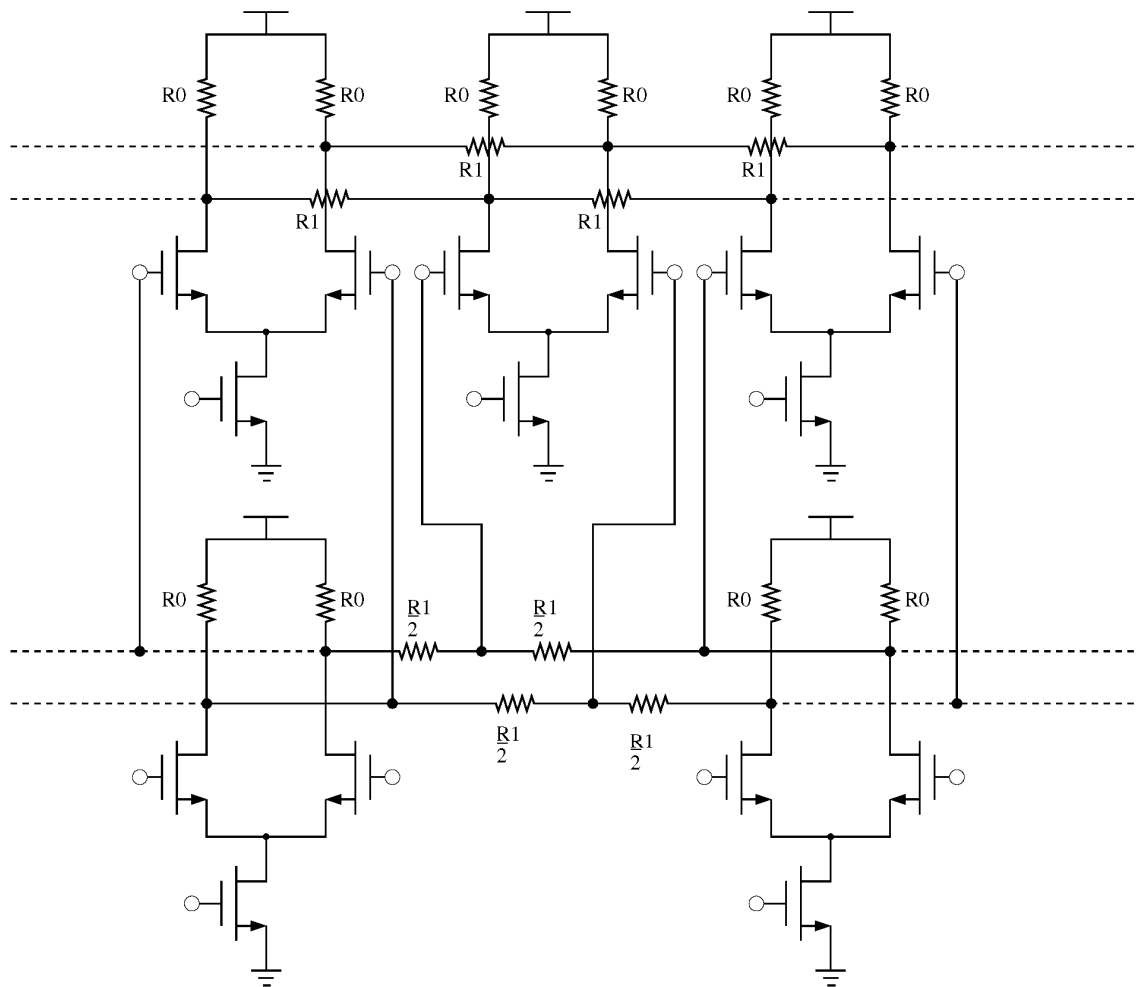


圖 3-27 詳細的 averaging & interpolating 電路示意圖

### 3.1.6 電流式邏輯電路 (Current Mode Logic, CML)

後級數位電路的部份，有別於一般傳統設計所使用的 CMOS standard cell，我們使用高速電路設計中常見的電流式邏輯電路(Current Mode Logic, CML) [10][11][12]做為數位電路設計的基本邏輯閘。

一個簡單的 CML 電路結構的示意圖如圖 3-28 所示，由一固定電流源 (Tail Current)、訊號開關和負載>Loading)所組成，同時為全差動式 (fully differential) 的架構。利用前級比較器電路轉換得到得數位訊號輸入控制開關來選擇將電流源  $I$  切換到輸出 OUT 端還是 OUTb 端，決定輸出準位是高準位 (High) 還是低準位 (Low)，整個電路的擺幅 (swing) 會是  $\Delta V = I \times Loading$ ，因此適當的設計電流源  $I$  與負載值的大小可得到所需的擺幅，這樣的好處是 CML 電路所產生的擺幅大小不會達到軌對軌 (rail-to-rail)，也就是不需要像傳統 CMOS 邏輯是  $V_{DD}$  到  $V_{SS}$  如此大的擺幅，適合用於高速操作的電路；且由於整個電路都是全差動的方式，因此差動輸入訊號的差值只需達到  $\sqrt{2}$  倍的過驅動電壓 (overdrive voltage,  $V_{ov}$ ) 大小時，就可以將電流源完全的引導至某一端的輸出。故 CML 電路的輸入和輸出都是可以在比較小的擺幅情況下操作，使得訊號轉態切換所需的復原 (recovery) 時間可以較短，使操作速度可以比較快。跟其他種類的邏輯電路比較起來，CML 具備我們電路所需要的特色，因此整個電路中數位電路的部分都是使用 CML。

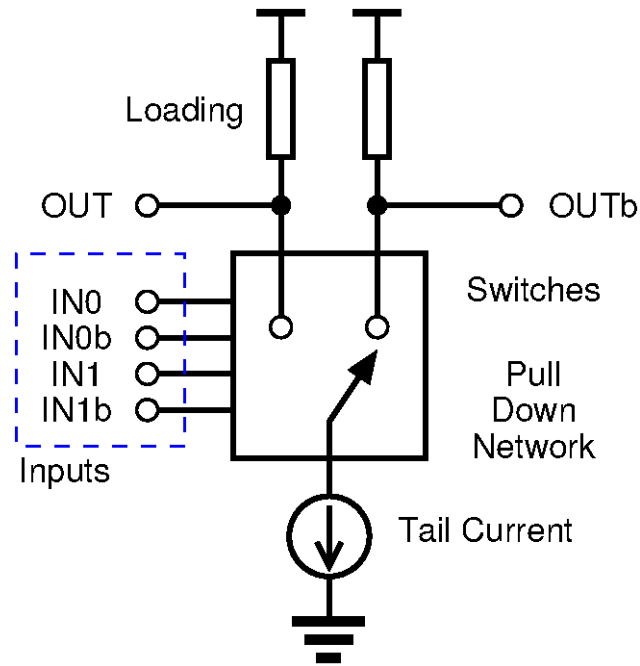


圖 3-28 基本電流式邏輯 (Current Mode Logic, CML) 電路之結構

圖 3-29 顯示了我們使用到的 CML 電路，包含 Inverter/Buffer、AND/OR/NAND/NOR 以及 Latch。在實際的設計上我們多加入了一個恆為導通狀態的 dummy switch M6，目的是使兩端輸出端到電流源都是經過相同級數的電晶體，可使輸出訊號較為匹配，在 Layout 上也會比較對稱[35]。

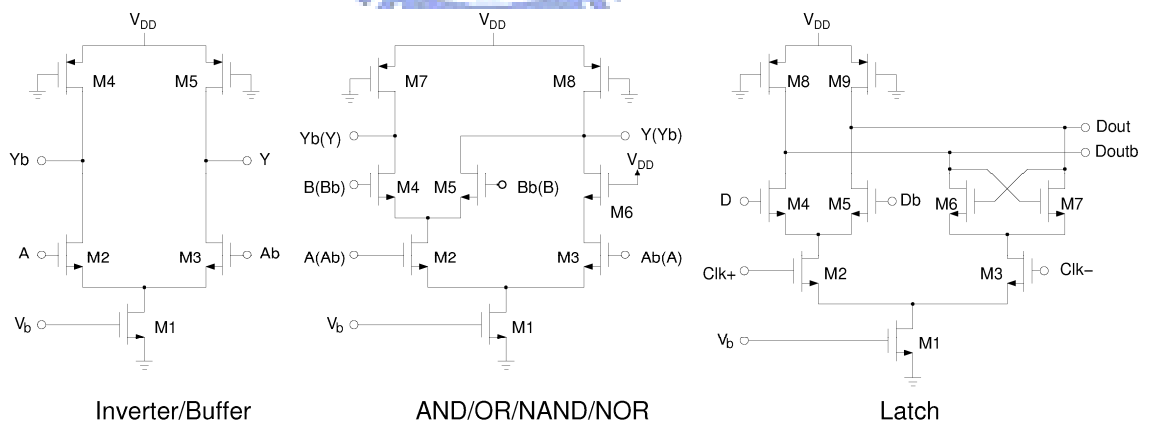


圖 3-29 各種常見之 CML 電路

CML 電路還有一項好處：因為具備固定的電流源，因此在任意時刻從  $V_{DD}$  到  $V_{SS}$  之間總是有一固定的電流在流動，因此當發生邏輯轉態時產生的瞬間電流變化量並不明顯，這將使得電路中常見的電源跳動 (power/ground

bounce) 問題可以大幅降低，不會像傳統 CMOS 邏輯在轉態發生時會產生瞬間電流從  $V_{DD}$  或  $V_{SS}$  對負載作快速的充放電而造成電源端產生明顯的跳動。而且在實際的 IC 包裝中會有實體晶片打線(wire bonding)的寄生電感，也就是在每個輸入阜與包裝的輸出之間都會存在一寄生電感，如圖 3-30 所示。如圖所示，因為電感的影響使得實際電路所接受到  $V_{DD}'$  與  $V_{SS}'$  的電壓值與原本供應的值  $V_{DD}$  與  $V_{SS}$  不同，因此 CML 與傳統 CMOS 邏輯電路在輸入訊號頻率很高時，CML 電路產生的擾動會比 CMOS 邏輯電路還小許多，再次顯示出 CML 適用於高速電路。不過也由於 CML 的固定電流源，使得 CML 電路所消耗的功率與操作頻率無關，不像傳統 CMOS 邏輯會隨著輸入訊號頻率不同而改變功率消耗，但是對我們的電路而言，增加這些功率消耗但是可以高速操作是可以接受的。

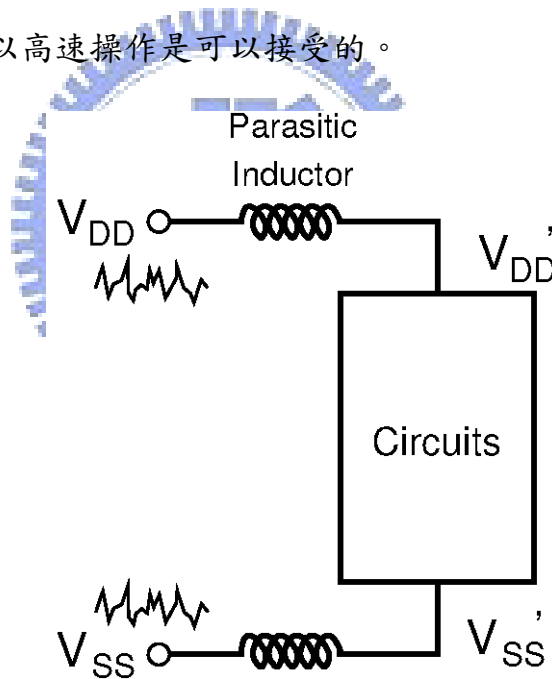


圖 3- 30 電源擾動 (power/ground bounce) 經由寄生電感對電路產生之影響

### 3.1.7 泡沫錯誤消除電路 (Bubble Errors Cancelation)

在 Flash 架構的 ADC 中，輸入訊號經由比較器電路之後的輸出，由上而下應該是一連串的 0 再接上一連串的 1 的數位溫度計碼 (Thermometer code)。然而實際的比較結果卻可能發生一連串的 1 之中突然出現一個 0，



且此 0 通常會出現在靠近一連串 1 頂端的位置，造成之後的編碼電路輸出錯誤的結果，如圖 3-31 所示。此種現象稱為泡沫錯誤 (Bubble error，也稱為 Sparkle)。此現象的成因可能是由於製程變異使得每個比較器電路產生不同程度的偏移 (offset) 量，參考電壓也因此可能會有所偏移，此種情形導致在溫度計碼中一連串的 1 的頂端接進轉態點的幾個比較器會因為比較的差值太小而發生泡沫錯誤。在高速的輸入訊號下，時脈抖動量、noise 或訊號 coupling 會造成輸入訊號到每個比較器的時間不同，此時間上的誤差會導致比較器無法正確的比較出來而使變得泡沫錯誤更加容易發生[36]。

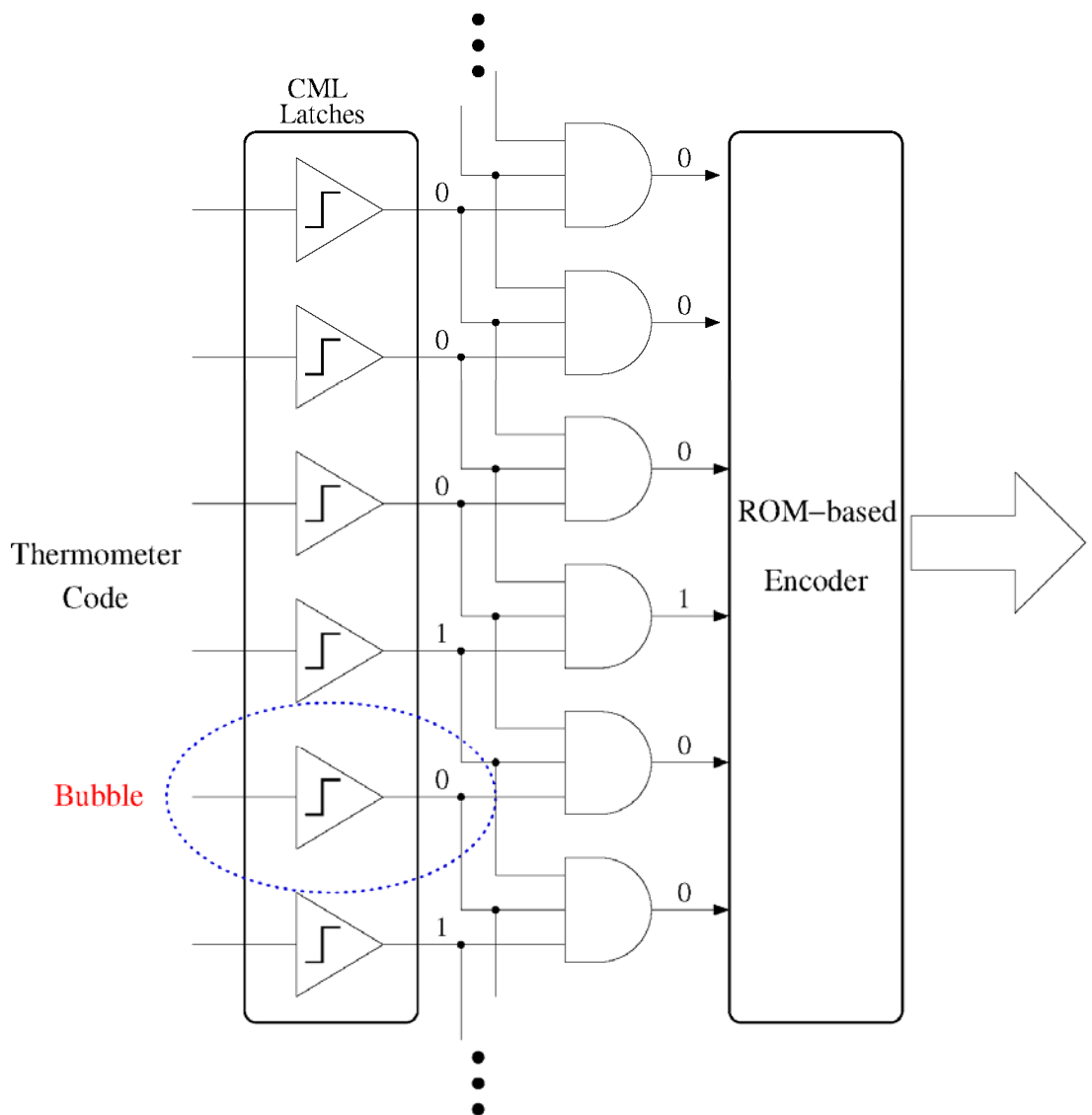


圖 3-31 泡沫錯誤示意圖以及 ROM 編碼形式消除泡沫錯誤的邏輯電路

另外圖 3-31 也顯示了傳統 Flash 架構 ADC 中一種常用來解決泡沫錯誤的方式。數位編碼電路使用常見的 ROM 編碼方式來設計，ROM 的編碼機制是必須先將溫度計碼轉成一連串 0 中只有一個 1 的“1-of-N code”，一般使用兩輸入的 AND 邏輯閘便可達成，但為了要消除較為可能發生的一階泡沫錯誤（the 1<sup>st</sup>-order Bubble error）時，就必須再多加入一個輸入來作邏輯，也就是使用三輸入的 AND 邏輯閘，故可知以 ROM 編碼形式設計的編碼器，若想要同時消除 n 個可能的泡沫錯誤，則需要 (n+2) 個輸入的 AND 邏輯閘。雖然 ROM 的編碼方式是較為簡單且直觀的，但是操作速度相當有限，而我們使用 CML 電路可操作在非常高速的，所以此方式並不適合我們的設計。圖 3-32 是我們所使用的方式，使用一連串兩個輸入的 CML OR gate（CML OR Array）消除一階可能的泡沫錯誤，使用此方式，若想要同時消除 n 個可能的泡沫錯誤，則是需要(n+1)個輸入的 OR gate，同時也就不需要將溫度計碼轉成 1-of-N code 的機制。對於我們設計的 6-bit ADC 來說，在電路佈局時做到對稱匹配的情況下，發生兩個以上泡沫錯誤的機率比一階的泡沫錯誤發生機率還低得許多，因此我們就是使用兩個輸入的 CML OR gate 所構成的 OR Array 來當作泡沫錯誤消除電路。

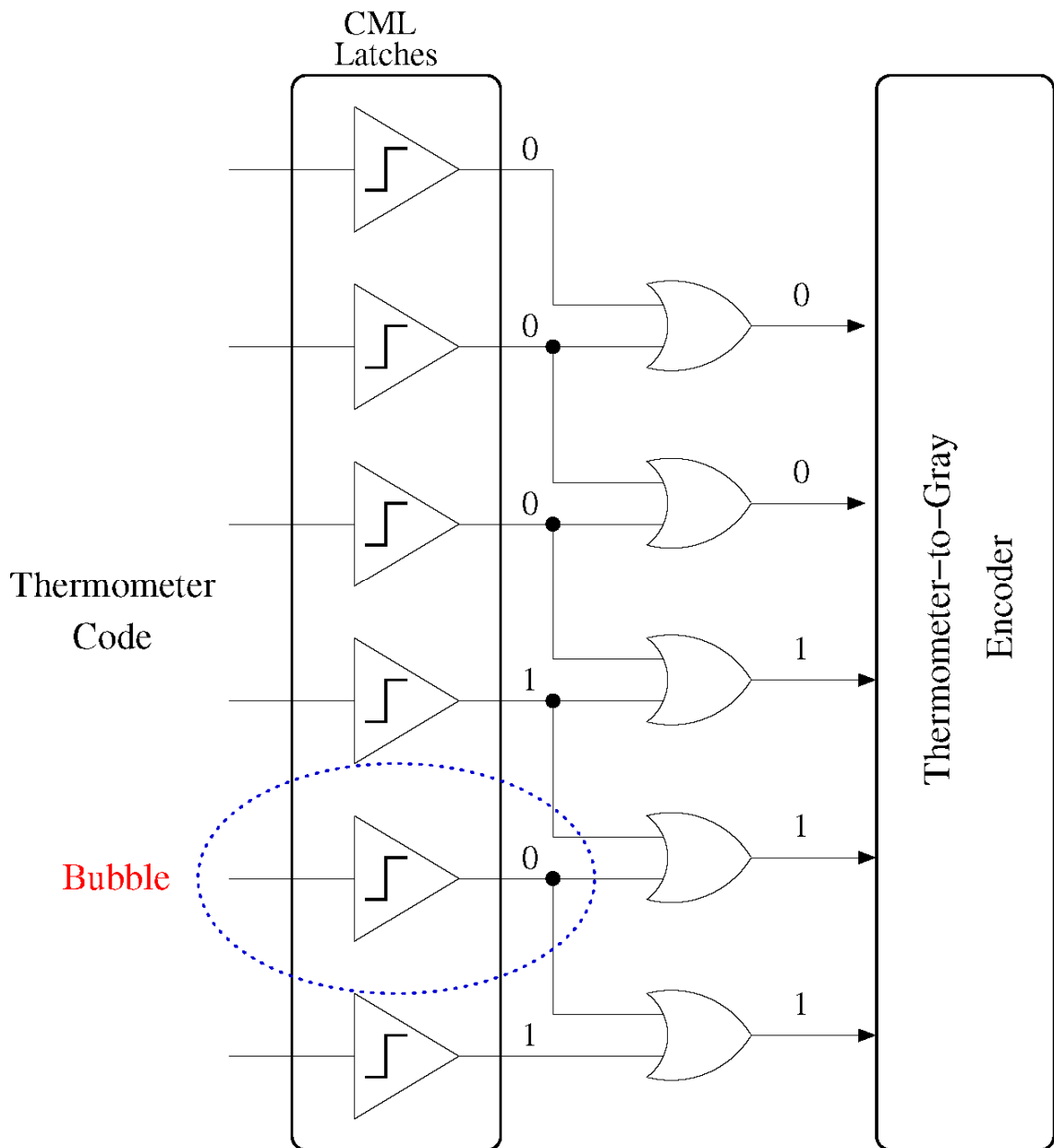


圖 3-32 使用 CML OR Array 消除可能發生的一階泡沫錯誤

### 3.1.8 編碼電路 (Encoder)

在討論分析編碼器電路的設計之前，必須要先決定要使用什麼編碼方式，表 3-1 列出了四位元十進位碼、十六進位碼、二進位碼、格雷碼之轉換關係，由表中我們可以看出格雷碼 (Gray code) 的一個重要特性就是其任意相鄰的兩個數碼之間只有一個位元不同，所以 Gray code 輸出的電路每個位元轉態的次數比起常的二進位碼(Binary code)會少上許多，從電路的觀

點來看就是充放電 (charge/discharge) 的次數會降低，因此 Gray code 的編解碼方式相當有利於高速訊號的操作而常被應用於高速的系統當中。再來就是要知道比較器電路中常見的 metastability 現象，當比較器的輸入訊號與參考電壓差值太小時，使比較器輸出無法在很短的時間平衡至有效的邏輯準位，使得該比較器無法判知正確的輸出邏輯準位，也就會是邏輯閘出現未知 (unknown) 的邏輯狀態，進而使編碼電路產生錯誤的數位碼輸出。

表 3-1 四位元十進位碼、十六進位碼、二進位碼、格雷碼之轉換關係

DEC	HEX	Binary	Gray
0	0	0000	0000
1	1	0001	0001
2	2	0010	0011
3	3	0011	0010
4	4	0100	0110
5	5	0101	0111
6	6	0110	0101
7	7	0111	0100
8	8	1000	1100
9	9	1001	1101
10	A	1010	1111
11	B	1011	1110
12	C	1100	1010
13	D	1101	1011
14	E	1110	1001
15	F	1111	1000

接下來討論若是使用邏輯閘為基礎 (logic gate based) 的溫度計碼轉二進碼編碼器 (Thermometer-to-Binary Encoder) 之情形，如圖 3-33 所示當 metastability 的問題發生於三位元溫度計碼轉二進碼編碼器，若比較器輸出 T4 發生 metastability 的現象，輸出呈現 unknown (X) 的狀態，而由式 3.26

之三位元溫度計碼轉二進碼的布林函數 (boolean function) 可知 T4 的 unknown 狀態將導致整個三位元二進碼輸出 B2、B1、B0 的結果都為 unknown 的狀態。因此可知使用 binary-encoding 方式的編碼器相當容易因為 metastability 造成輸出產生多位元的錯誤輸出碼。

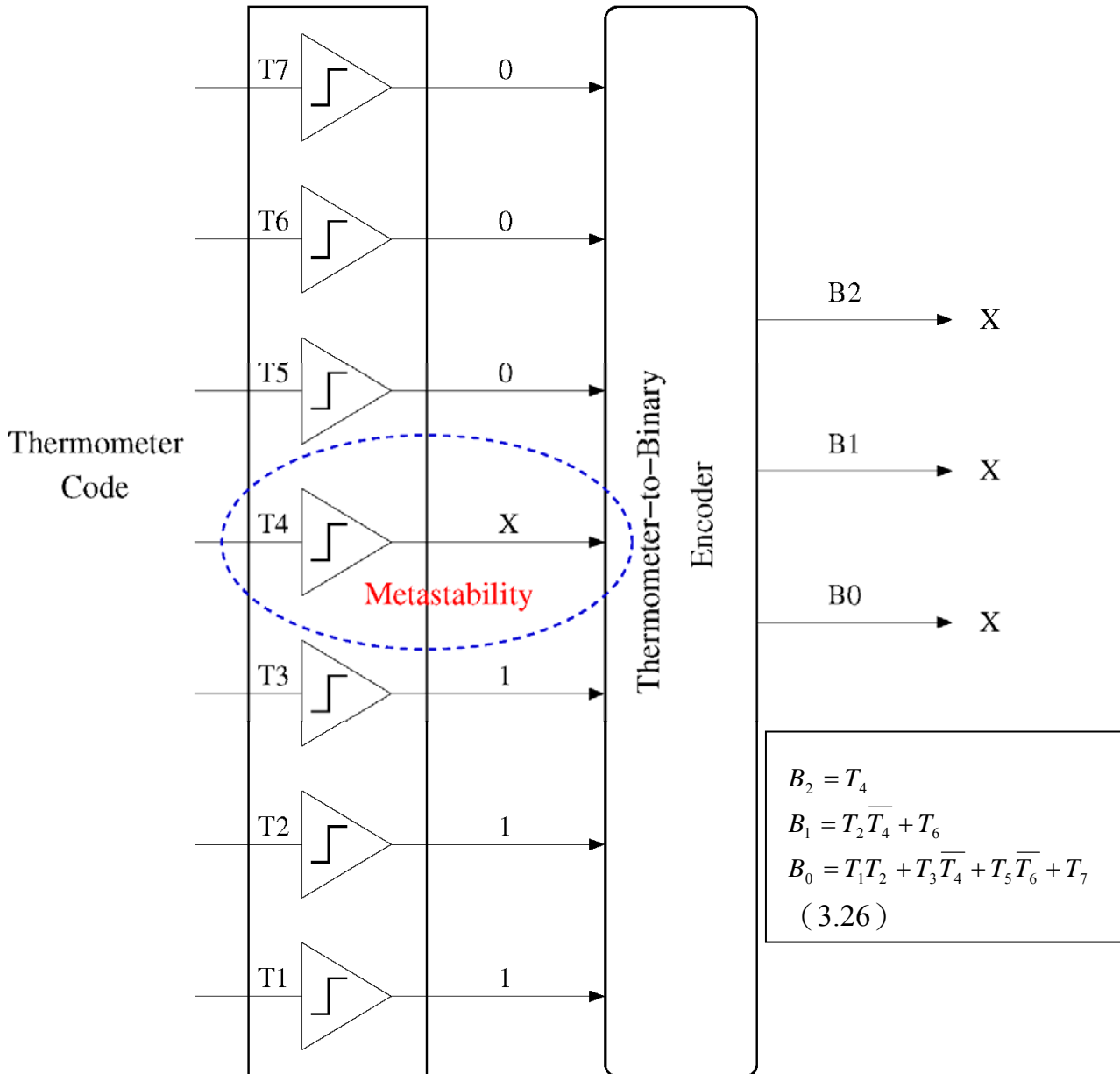


圖 3-33 Metastability 的問題發生於三位元溫度計碼轉二進碼編碼器之例子

既然 metastability 對使用 binary-encoding 方式影響很大，我們就來討論 Flash 架構 ADC 中另一種以邏輯閘為基礎且常用的編碼為溫度計碼轉格雷

碼 (Thermometer-to-Gray Encoding) 的方式。如前面所提到的，格雷碼相鄰的碼只會有一個位元不同，在同樣三位元溫度計碼轉格雷碼的編碼機制中，如圖 3-34 所示的例子，同樣假設比較器輸出 T4 發生了 metastability，再由式 3.27 的 3 位元溫度計碼轉格雷碼的布林函數可知，輸出結果將只會有一個位元是 unknown 的，且無論 metastability 發生在哪個比較器上，輸出的數位碼最多都只會有一個位元受到影響。因此可知使用 Gray encoding 方式的編碼器發生兩個以上錯誤輸出的機率相對會小得許多[37]。

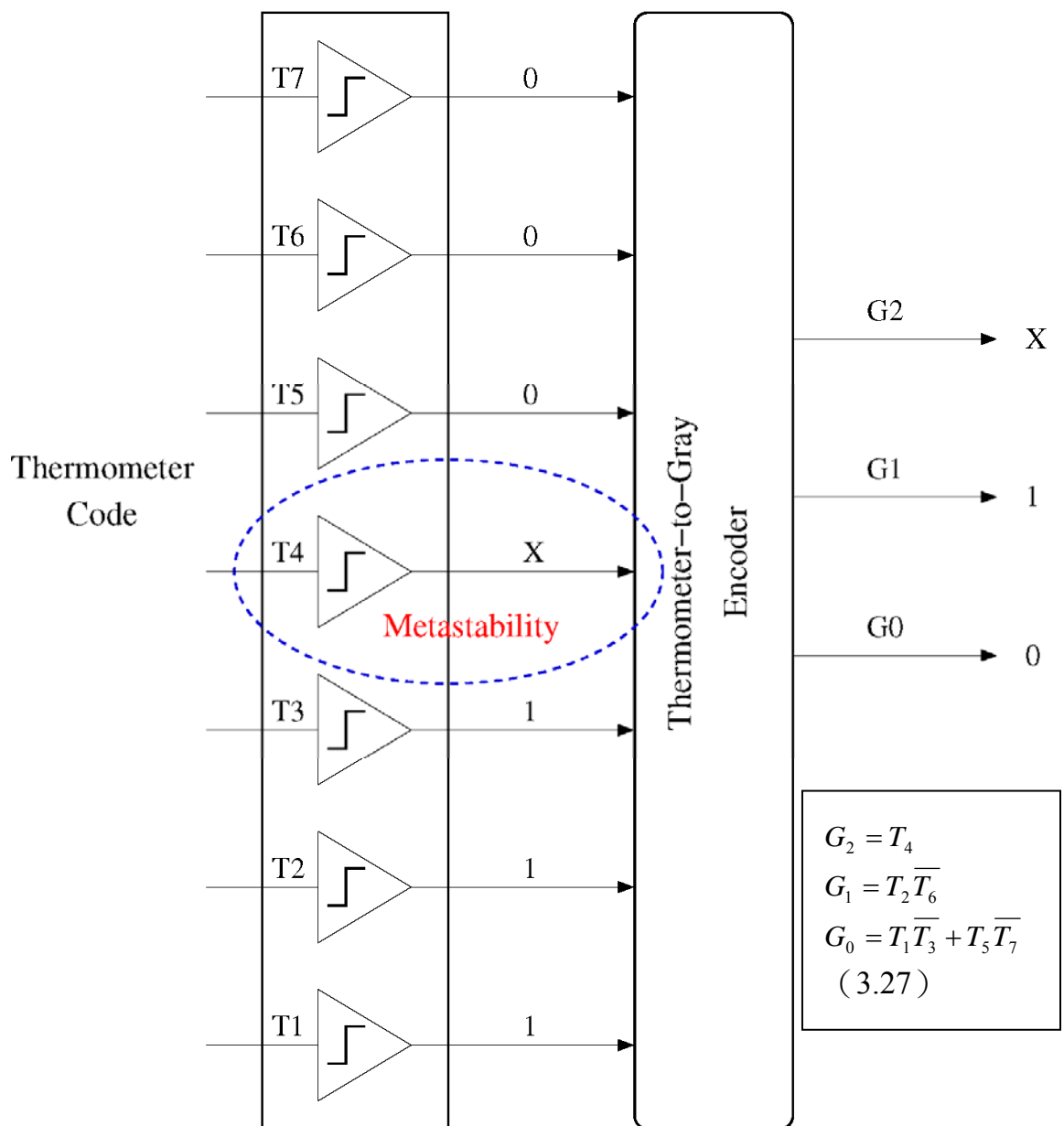


圖 3- 34 Metastability 的問題發生於三位元溫度計碼轉格雷碼編碼器之例子

綜何以上討論我們最後使用 Gray encoding 方式的編碼器。然後由溫度計碼對格雷碼的增值表(Truth Table)來求得其轉換之布林函數，最後再利用邏輯閘實現。為了方便說明，以下我們以四位元格雷碼轉溫度計碼為範例說明，不過實際上我們的電路是六位元的。表 3-2 為一四位元溫度計碼轉格雷碼之轉換關係，詳細電路架構圖如圖 3-35 所示，圖中是四位元溫度計碼轉格雷碼的編碼邏輯電路，全部都是使用 AND 和 OR 的邏輯組合而成，且都是使用全差動式的 CML 邏輯電路，對於每個反相的訊號則不需要再經由額外的反相器來得到，此外為了使每條訊號路徑都能夠有相近的邏輯閘延遲時間 (gate delay)，所以額外加入了一些 CML 的 buffer 來使每條訊號路徑都經過相同級數的邏輯閘而具有差不多的延遲時間。

表 3-2 四位元溫度計碼轉格雷碼之轉換關係

Thermometer code														Gray code				
T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	G3	G2	G1	G0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	
0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	

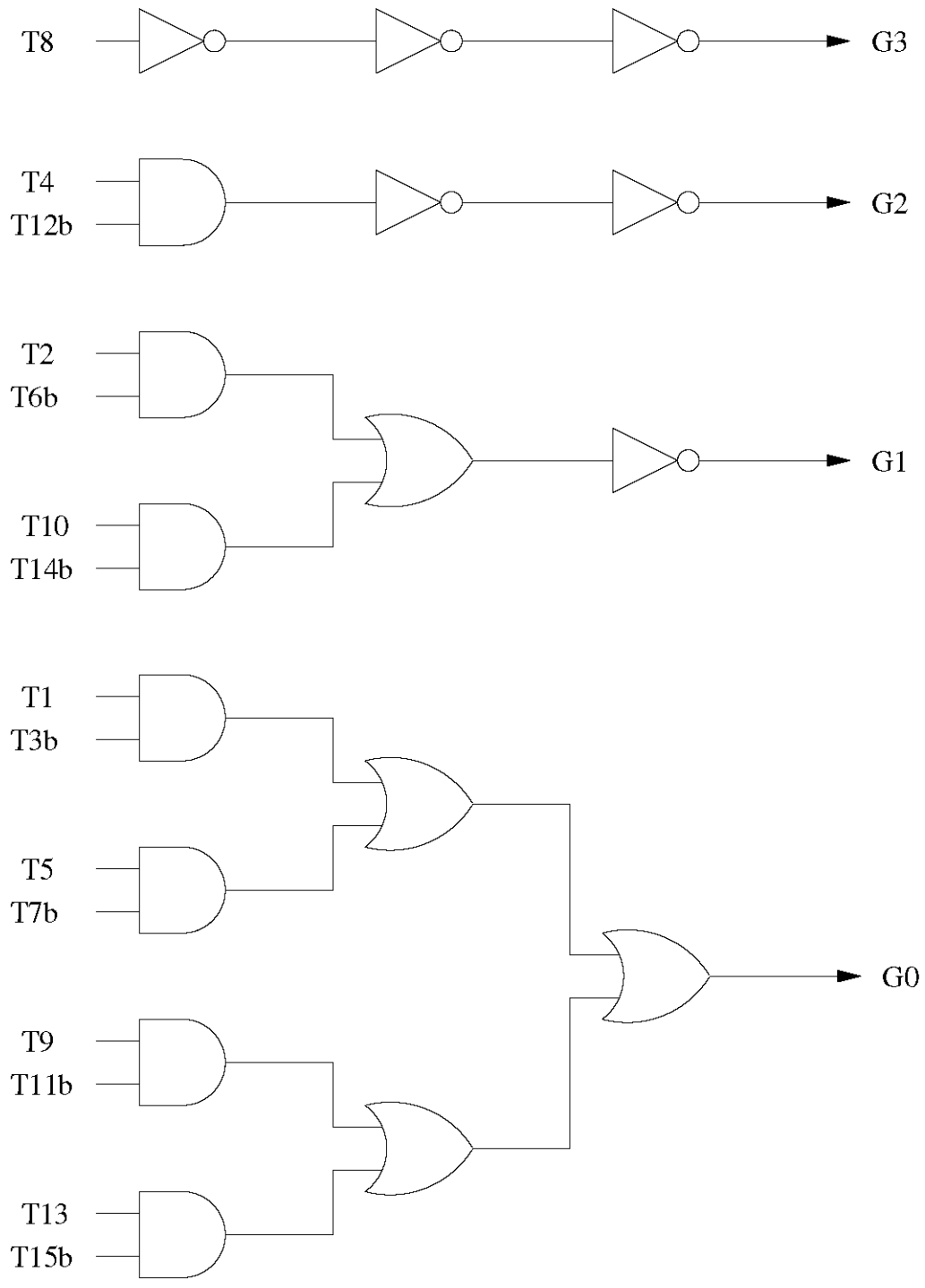


圖 3- 35 四位元溫度計碼轉格雷碼 (Thermometer-to-Gray) 之編碼電路



### 3.2 10GS/s 6-bit 數位類比轉換器 (DAC) 之設計

接下來便是討論如何設計 10GS/s 6-bit DAC，在各種 DAC 的架構中，Current-Steering 是操作速度最快的一種[38]，因此我們便是選用此種架構來設計。如圖 3-36 所示，為我們所設計的 10GS/s 6-bit 數位類比轉換器(DAC)之方塊圖。

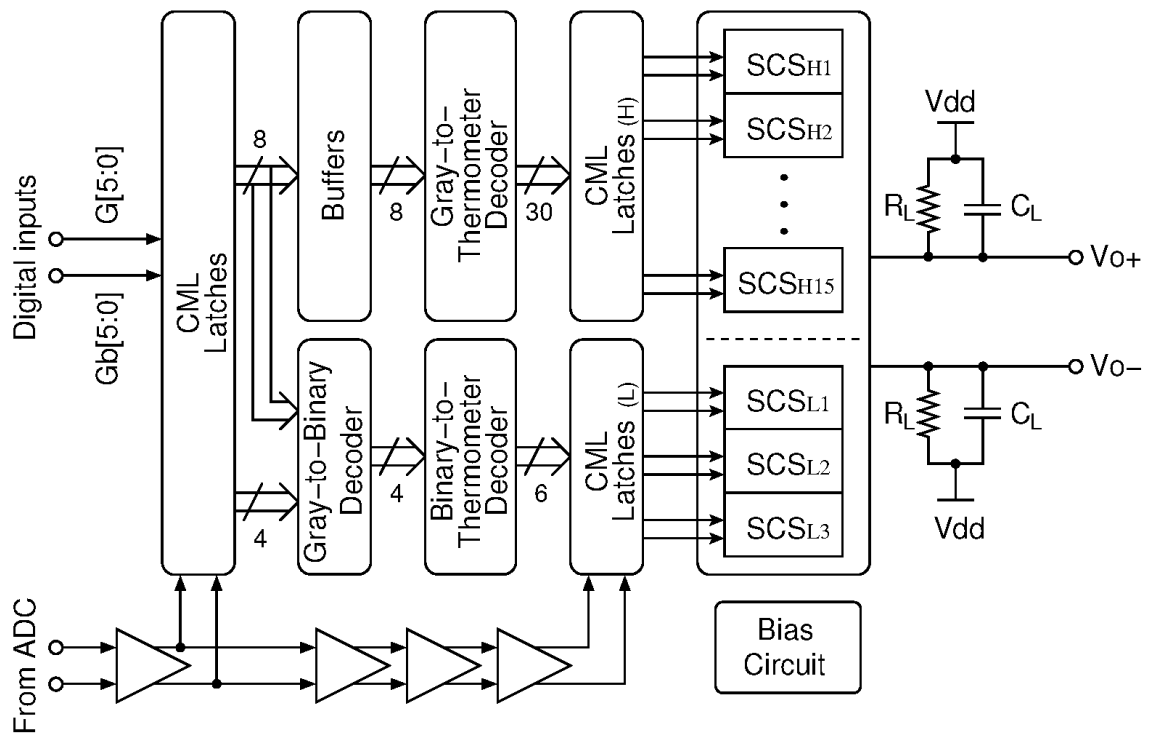


圖 3-36 10GS/s 6-bit 數位類比轉換器 (DAC) 之方塊圖

DAC 的數位輸入訊號首先會進入 CML Latch 作時序上的校正，以確保輸入訊號的同步，之後便進入解碼器電路(Decoder)將格雷碼轉(Gray code)換成溫度計碼(Thermometer code)，我們解碼器電路分成兩部份，一部分是 MSB，直接將格雷碼轉溫度計碼解碼器(Gray-to-Thermometer Decoder)；另一部分是 LSB，先將格雷碼轉換成二進位碼再轉換成溫度計碼。MSB 的部份是將前四位元的格雷碼先經過 Buffers 後輸入到 Gray-to-Thermometer Decoder 得到 15-bits MSB 的溫度計碼；LSB 的部份則是將六位元的格雷碼

先經由格雷碼轉二進位碼解碼器(Gray-to-Binary Decoder)轉換成二進位碼，再取其後兩碼進入二進位碼轉溫度計碼解碼器(Binary-to-Binary Decoder)得到 3-bits LSB 的溫度計碼，由於 LSB 多了一級 Gray-to-Binary Decoder，所以我們在 MSB 中加入一及 Buffers，這樣可以使 MSB 和 LSB 的路徑延遲差不多，以上方式稱作混合式溫度計碼編碼方式(Hybrid Thermometer-encoding)，透過此種編碼方式可以大幅縮減邏輯閘的數量。轉換後總共會得到 18-bit 的溫度計碼，再經過一次 CML Latch 的時序校正後，用來當作控制訊號操作切換式電流源(Switching Current Source, SCS)，SCS 會依照輸入數位訊號的不同將其轉換成其對應的電流量再透過輸出端的電阻轉成類比電壓值。此輸出端的電阻也是設計成  $50\Omega$ ，目的一樣是為了高速輸出類比訊號的阻抗匹配，確保輸出訊號可以正確的而傳輸線到達測試儀器。此外，在 Clock 路徑上同樣加上 intentional timing skew buffers 來做 Wave-pipelining，補償訊號因為通過解碼器電路而多出來的延遲時間，使得 Latch 可以在正確的時序抓到資料，同時整個電路都是全差動的形式，除了具有較佳的抗共模雜訊干擾 (common-mode interference) 能力之外，也有利於高速操作。

大致說明整個 DAC 架構的主要特點之後，下面就分別將對各個比較主要 Block 的設計加以詳細說明。

### 3.2.1 Glitches

Current-Steering 架構的 DAC 其後級輸出切換式電流的開關是由解碼後得到的數位訊號所控制，由於每條訊號的 delay 不同，會導致每個位元到達穩定狀態的時間不同，也就會造成開關切換的時間不同而發生 glitch。假設有一個二進位碼由 011 轉換成 100，因為開關切換時間有誤差，導致低位元的兩個 1 提早變成 0，此時會出現 000 暫態的輸出碼，直到高位元的 0 變成

1 才會得到正確的輸出碼，整個轉態的過程如圖 3-37 所示。I1 代表高位元的電流變化，I2 代表低位元的電流變化，I1+I2 即是輸出電流的變化，由圖中可清楚的看出由於開關切換時間的誤差所產生的 glitch 現象。

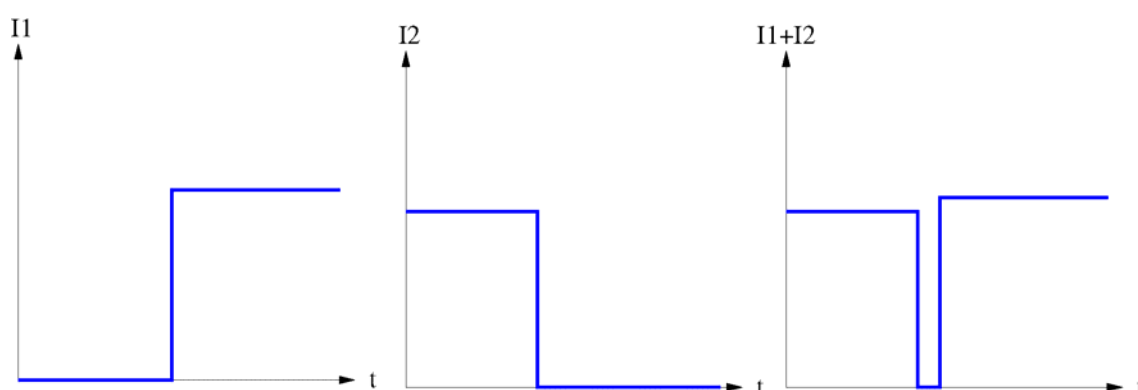


圖 3-37 Glitch 發生時的電流變化示意圖

可以解決此問題的方式是加大輸出電容，但此方式會降低輸出頻寬，要不然就是在輸出級加上取樣電路保持電路，但是這樣又會增加額外的功率消耗。所以比較直覺的作法就是不要讓開關有同時切換的情形發生，或者是減少切換發生的次數，常見的作法就是使用 Thermometer code 的編碼方式來控制切換式電流源。如表 3-3 所示，n 位元的二進位碼轉換成  $2^n-1$  位元的溫度計碼。若使用二進位碼做為開關訊號，二進位碼每次增加或減少值時需要變動數個位元，會造成同一時間有多個開關再做切換的動作，容易產生 glitch。如果用溫度計碼取代二進位碼作為開關訊號，兩個連續的值之間，溫度計碼每次都只會增加或減少一個 1，也就是每次都只會有一個開關動作，大幅減少 glitches 的影響同時也可以確保 DAC 的單調性 (monotonic)。而我們的輸入訊號正是一個連續的正旋波訊號，因此使用 Thermometer code 來控制切換式電流源正好可以發揮這個特點。

表 3-3 三位元十進位碼、二進位碼、溫度計碼之轉換關係

DEC	Binary	Thermometer
0	000	0000000
1	001	0000001
2	010	0000011
3	011	0000111
4	100	0001111
5	101	0011111
6	110	0111111
7	111	1111111

### 3.2.2 解碼器電路 (Decoder)

在整個 DAC 電路中，最關鍵的部份就是中間解碼器電路的部份，因為它決定了後級切換式電流源的控制訊號。跟 ADC 中的編碼電路一樣，DAC 中所有邏輯電路都是使用 CML 來完成，不一樣的地方是在 DAC 中我們不直接把六位元的格雷直接轉換溫度計碼，因為這樣總共需要  $2^6-1=63$ -bits 的溫度計碼，會使整的解碼器電路太過於龐大，所以我們不使用的這種方式。我們將解碼器電路分成兩個部份：MSB 和 LSB。在數位編碼系統中，越左邊的位元通常代表越大的值，如果這個位元出錯的話所造成的誤差會比較大，稱作最高有效位 (the Most Significant Bit, MSB)，相反的越右邊的位元代表的值越小，稱作最低有效位 (the least significant bit, LSB)，也就是說這個位元出錯時所造成的誤差是比較小的。MSB 由於如果出錯會造成較大的誤差所以我們會希望經過較簡單的電路處理以降低出錯的機率，而 LSB 的電路則是配合 MSB 而有所不同(通常是較為複雜)，所以理論上 MSB 是取愈多位元越好，但是位元取的越多就會造成解碼電路越複雜而增加錯誤發生的機率。還有一個問題是 MSB 位元數位越多代表要進位的次數越多，會增加 glitch 發生的機率。

因此我們將六位元格雷碼取前四位元作為 MSB[39]，這四個位元直接

經由 Gray-to-Thermometer Decoder 得到 15-bits MSB 的溫度計碼，這樣子的取法是把 63-bit 的溫度計碼拆成每 4 bits 進位一次，也就是 LSB 重複從 0 數到 3，每次從 3 變回 0 時就 MSB 就加 1 以達成溫度計碼的 0~63，所以這樣總共會得到 15+3=18-bits 的溫度計碼輸出。當然除了這種取法以外，也可以取三位元的 MSB 或者是五位元的 MSB，取三位元 MSB 的話，也就是每 8 bits 進位一次，所以會有 MSB 7 bits 加上 LSB 7 bits 總共 14 bits，雖然所需的溫度計碼數量較少，但是這樣 MSB 與 LSB 的數量相同就失去我們要分成兩部分處理的意義。取五位元的話則是需要 MSB 31 bits 加上 LSB 1bit 總共 32 bits，這樣會需要一個 5 bits 的 Gray-to-Thermometer Decoder，此電路亦是相當龐大，也就有違我們想要縮小電路的初衷。

4 bits 的 Gray-to-Thermometer Decoder 的設計方法就和 ADC 中的編碼電路一樣，畫出 4 bits Gray-to-Thermometer 的增值表(truth table)再以卡諾圖(Karnaugh map)化簡得到 AND 和 OR 邏輯組合的布林函數即可。比較值得討論的是 LSB 的 3-bit Thermometer code 與 Gray code 的轉換關係，如同上段所提到的，我們將 63-bit 的溫度計碼拆成每 4 bits 進位一次，所以 LSB 會一直在 0~3 之間循環，如表 3-4 所示。如果我們直接從 Gray code 轉換成 LSB 3-bit Thermometer code，藉由表 3-4 我們可求得 4-bit Gray code to 3-bit Thermometer code 的布林函數，如式 3.28 所示：

$$\begin{aligned}
 T_{L3} &= G_3 G_2 G_1 G_0 + G_3 \overline{G_2} G_1 \overline{G_0} + \overline{G_3} G_2 \overline{G_1} G_0 + \overline{G_3} \overline{G_2} G_1 \overline{G_0} \\
 T_{L2} &= G_3 G_2 G_1 + G_3 \overline{G_2} \overline{G_1} + \overline{G_3} G_2 \overline{G_1} + \overline{G_3} \overline{G_2} G_1 \\
 T_{L1} &= G_3 G_2 G_1 + G_3 \overline{G_2} \overline{G_1} + \overline{G_3} G_2 \overline{G_1} + \overline{G_3} \overline{G_2} G_1 + G_0
 \end{aligned} \tag{3.28}$$

將式 3.28 以邏輯閘實現，如圖 3-38 所示。由圖中可看出此電路共需四級 Gate delay 而且所用到的邏輯閘數目也相當多，如果用來實現我們的 6-bit Gray code to 3-bit Thermometer code 其電路會更加龐大，因此這個方式並不適合用來實現 LSB 3-bit Thermometer code。

表 3-4 3-bit LSB 溫度計碼與格雷碼、二進位碼之轉換關係

DEC	Input Gray code						Binary	LSB 3-bits		
	G <sub>5</sub>	G <sub>4</sub>	G <sub>3</sub>	G <sub>2</sub>	G <sub>1</sub>	G <sub>0</sub>		T <sub>L3</sub>	T <sub>L2</sub>	T <sub>L1</sub>
0	0	0	0	0	0	0	000000	0	0	0
1	0	0	0	0	0	1	000001	0	1	1
2	0	0	0	0	1	1	000010	0	1	1
3	0	0	0	0	1	0	000011	1	1	1
4	0	0	0	1	1	0	000100	0	0	0
·			·				·		·	
·			·				·		·	
·			·				·		·	
30	0	1	0	0	0	1	011110	0	1	1
31	0	1	0	0	0	0	011111	1	1	1
32	1	1	0	0	0	0	100000	0	0	0
·			·				·		·	
·			·				·		·	
·			·				·		·	
60	1	0	0	0	1	0	111100	0	0	0
61	1	0	0	0	1	1	111101	0	1	1
62	1	0	0	0	0	1	111110	0	1	1
63	1	0	0	0	0	0	111111	1	1	1

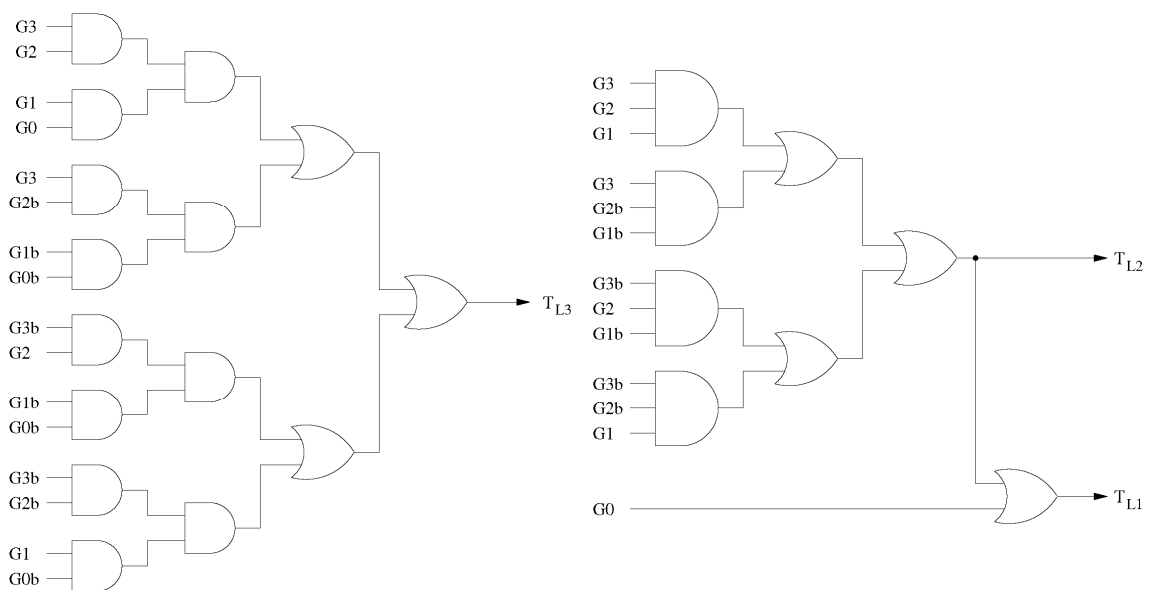


圖 3-38 4-bit Gray code to 3-bits LSB Thermometer Decoder

我們使用另一種方式來實現，先將 6-bit Gray code 轉換成 Binary code 後，再取 Binary code 的後兩位元轉成 3-bit Thermometer code。我們所需要的二進位碼的後兩碼與格雷碼的轉換關係如式 3.29 所示，由式子中可知對於我們 6-bit 的情形總共需要 9 個 XOR 邏輯閘並且會經過三級 gate delay。然後這兩位二進位碼在經過 Binary to Thermometer decoder 得到我們所要的 3-bit LSB Thermometer code，其轉換關係如式 3.30 所示，從二進位碼轉換成溫度計碼只需再經過一級 gate delay 即可。整個 LSB 詳細路徑電路如圖 3-39 所示，前半部份為 Gray to Binary decoder，在實際實現上再利用共用邏輯閘的概念變成只需要 6 個 XOR 邏輯閘，後半部份為 Binary to Thermometer decoder。整個電路總共只需四級 gate delay，所用到的邏輯閘甚至比 4-bit Gray code to 3-bits LSB Thermometer Decoder 還要少，符合我們想要縮小電路的想法。

$$\begin{aligned} B_1 &= [(G_5 \oplus G_4) \oplus (G_3 \oplus G_2)] \oplus G_1 \\ B_0 &= [(G_5 \oplus G_4) \oplus (G_3 \oplus G_2)] \oplus (G_1 \oplus G_0) \end{aligned} \quad (3.29)$$

$$\begin{aligned} T_{L3} &= B_0 B_1 \\ T_{L2} &= B_1 \\ T_{L1} &= B_0 + B_1 \end{aligned} \quad (3.30)$$

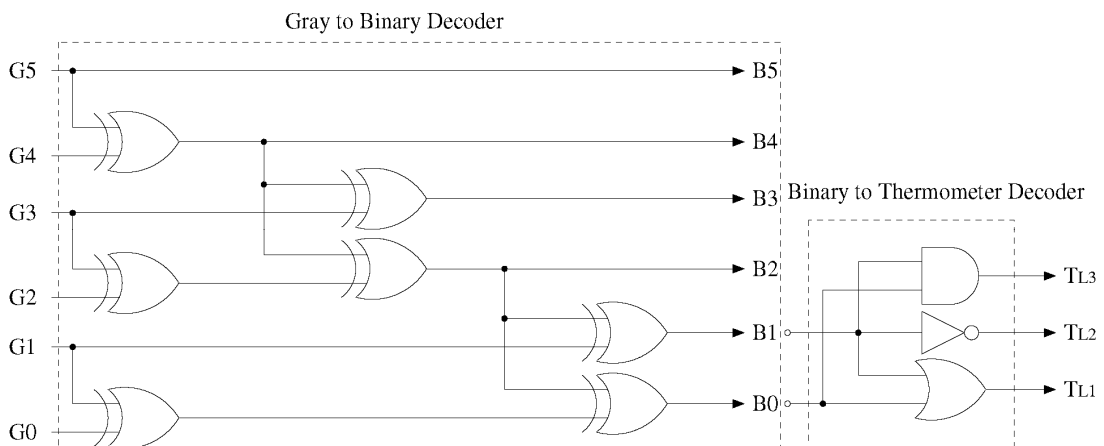


圖 3- 39 Hybrid 6-bit Gray code to 3-bits LSB Thermometer Decoder

### 3.2.3 切換式電流源(Switching Current Source)

我們所使用的 Current-Steering 架構的 DAC 中，大部分都是由數位電路所構成，其類比電路的部份只有後級切換式電流源陣列。由上段討論所提到的，我們使用 Thermometer coding 的方式來當作切換式電流源的輸入控制訊號，這樣可以減少 glitches 的發生而使 DAC 有較好的靜態參數表現 (DNL 及 INL)，但是如果電流源設計的不好，也就是電流間大小彼此間不匹配，則會嚴重影響 DAC 的效能，且如果電流源的輸出阻抗不夠大會導致 DAC 在高頻時的動態參數的衰減。也就是說電流源的設計會直接影響到整個 DAC 的效能表現。

圖 3-40 是我們所使用的切換式電流源電路[40][41][42]，在電流源電晶體  $M_{CS}$  上再疊接一電晶體  $M_{CAS}$  以防止高速輸入訊號由開關  $M_{SW}$  的路徑 coupling 直接影響到電流源的大小，且在開關  $M_{SW}$  的上面也疊接一恆為導通的電晶體  $M_{CSCA}$  以增加輸出阻抗，也可以抑制輸入訊號 feedthrough 直接影響到 DAC 輸出。

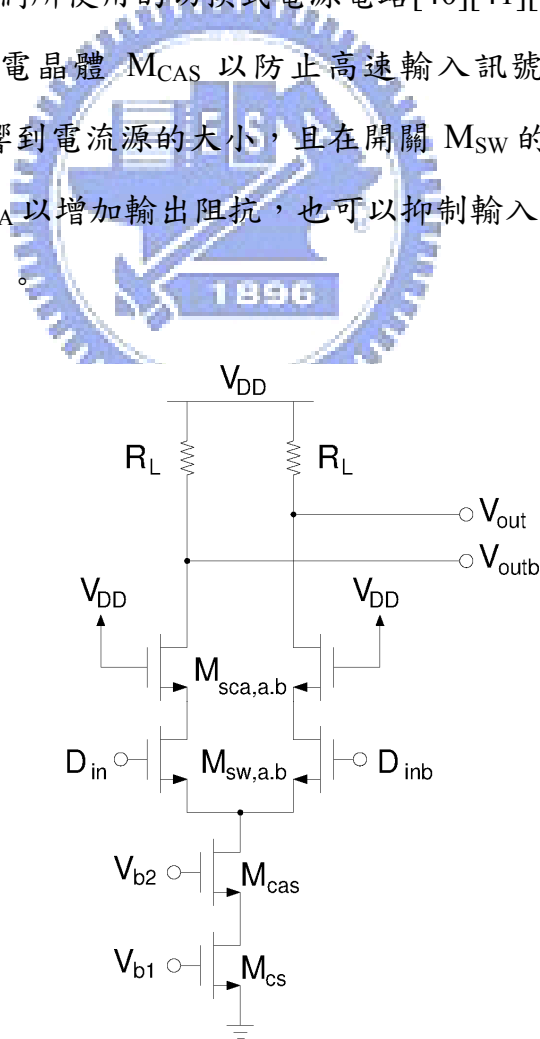


圖 3-40 切換式電流源電路圖(Switching Current Source)



由於我們將 63-bit 的溫度計碼拆成 MSB 和 LSB，所以我們會有兩組電流源： $SCS_H$  和  $SCS_L$ ， $SCS_H$  所控制的電流量為  $SCS_L$  的四倍。輸入訊號則是使用全差動式的輸入方式，不過這種差動式的切換開關會遇到一個問題，若是輸入訊號與反向輸入訊號的 timing 不一致，則會使輸出出現同時為 high 或同時為 low 的情況，導致 DAC 的輸出產生瞬間突波的現象，會嚴重影響到 DAC 的動態參數效能。但由於我們所有的數位電路都是使用 CML 架構，前級也就是 CML Latch，其本身就都是全差動式的形式，只要在晶片佈局上注意到走線路竟使其盡量對稱匹配，即可減低此影響。整個切換式電流源陣列如圖 3-41 所示。

電流源陣列的輸出電阻也是設計成 on-chip  $50\Omega$ ，目的一樣是為了高頻訊號在傳輸時的阻抗匹配，但要注意的是實際量測時，量測儀器的輸入阻抗也是  $50\Omega$ ，應此在設計電流源大小時應該以  $50//50=25\Omega$  的電阻值來計算，這樣實際量測時，SCS 的電流值才會正確的輸出電壓值，以達到我們所欲設計的振幅。

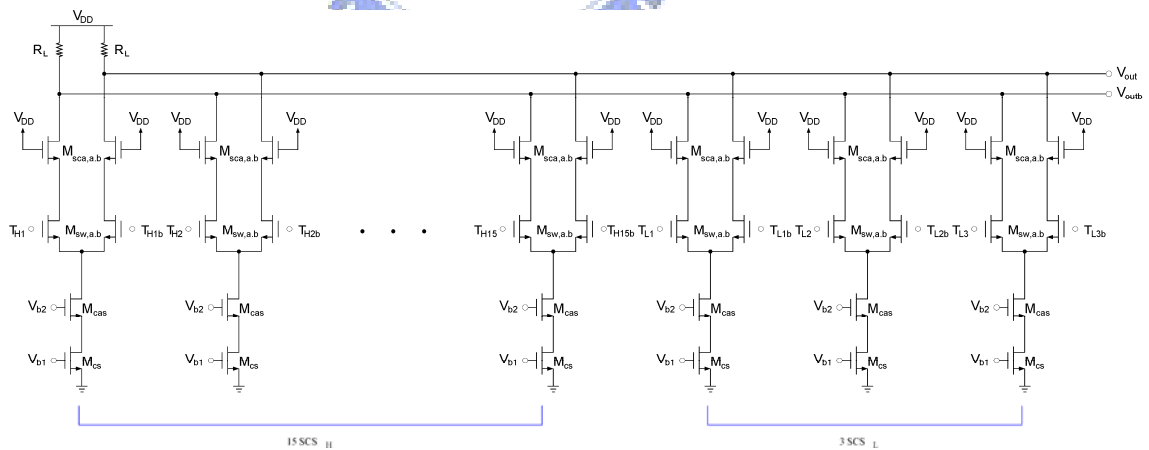


圖 3-41 切換式電流源陣列(Switching Current Source Array)

## 第四章 設計之電路模擬結果

前一章節對整個資料轉換器對 (Data Converter Pair) 的設計都作了詳盡的分析與解說，本章節將顯示出此組 10GS/s 6-bit DAC&ADC 的 HSPICE 模擬結果，DAC 和 ADC 各別完整的模擬結果都將一一呈現在本章節中。

### 4.1. 10GS/s 6-bit ADC 之模擬結果

#### 4.1.1. ADC 靜態參數 (Static Parameters) 之模擬

對 ADC 輸入一個低速的漸增斜坡 (ramp) 訊號，且取樣頻率為 10GS/s 的弦波訊號，得到的 6-bit Gray code 差動輸出訊號如圖 4-1 所示。

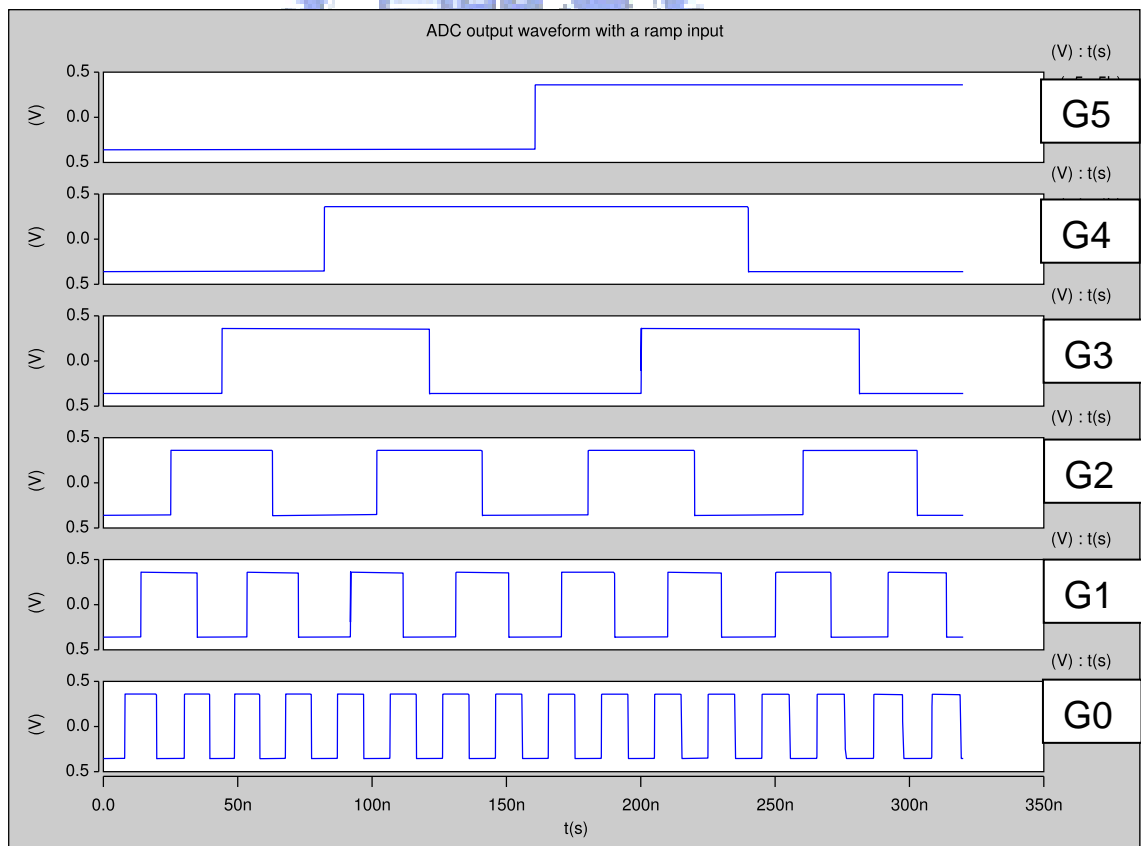


圖 4-1 ADC 輸入低速 ramp 訊號  
@10GS/s 之 6 位元 Gray code 輸出

從圖 4-1 的模擬結果中可以清楚的看出 ADC 的轉換都沒有出現任何的缺碼 (missing code)，且由此模擬結果可以計算出 ADC 的 DNL 和 INL，如圖 4-2 所示，DNL 的變化為-0.2 到 0.2LSB，INL 則為-0.4 到 0.2LSB 之間，可以看出 DNL 與 INL 都相當的小，遠小於 1 個 LSB，顯示我們所設計之 ADC 本身具備良好的線性特性。

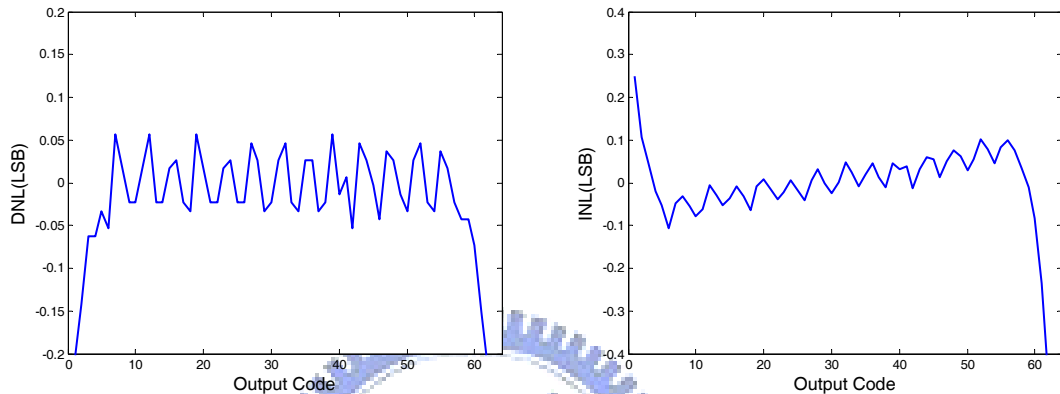


圖 4-2 ADC 模擬之 DNL 與 INL@10GS/s

#### 4.1.2. ADC 動態參數 (Dynamic Parameters) 之模擬

接下來是動態參數的模擬，我們對 ADC 輸入一個約 1GHz 的 sinusoidal 訊號，而取樣頻率為 10GS/s，將 ADC 輸出的數位訊號作 FFT (Fast Fourier Transform)，得到頻譜上的結果，如圖 4-3 所示，其中取樣點數為 512 點 (512-point FFT)。從此頻譜可計算出在此輸入訊號頻率下的動態參數結果：SNR 為 37.0 dB、SNDR 為 36.8 dB，計算得 ENOB 可達 5.8 bits 且 SFDR 則為 49.3 dBc。

進一步改變輸入訊號的頻率，模擬在 10GS/s 的高速取樣情況下，輸入訊號頻率對各種動態參數變化的關係圖，如圖 4-4 所示，觀察 SNDR 的曲線，在 5GHz 以內都有在 30dB 以上，也就是 ADC 在有效頻寬 5GHz 之內都有 5-bits 以上的效能，而 SNR 的曲線表現得較為平坦，而 SFDR 的曲線主要是受到三階諧波失真的影響，且當輸入頻率越高，影響越明顯。

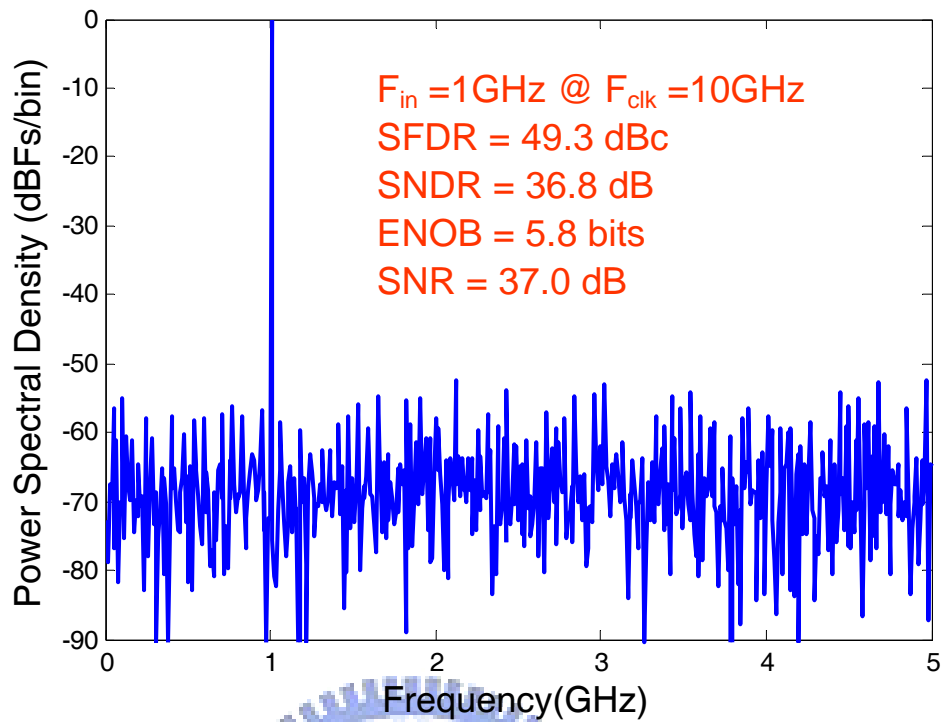


圖 4-3 輸入 1GHz 之 sinusoidal 訊號@10GS/s 之 ADC 輸出訊號的頻譜

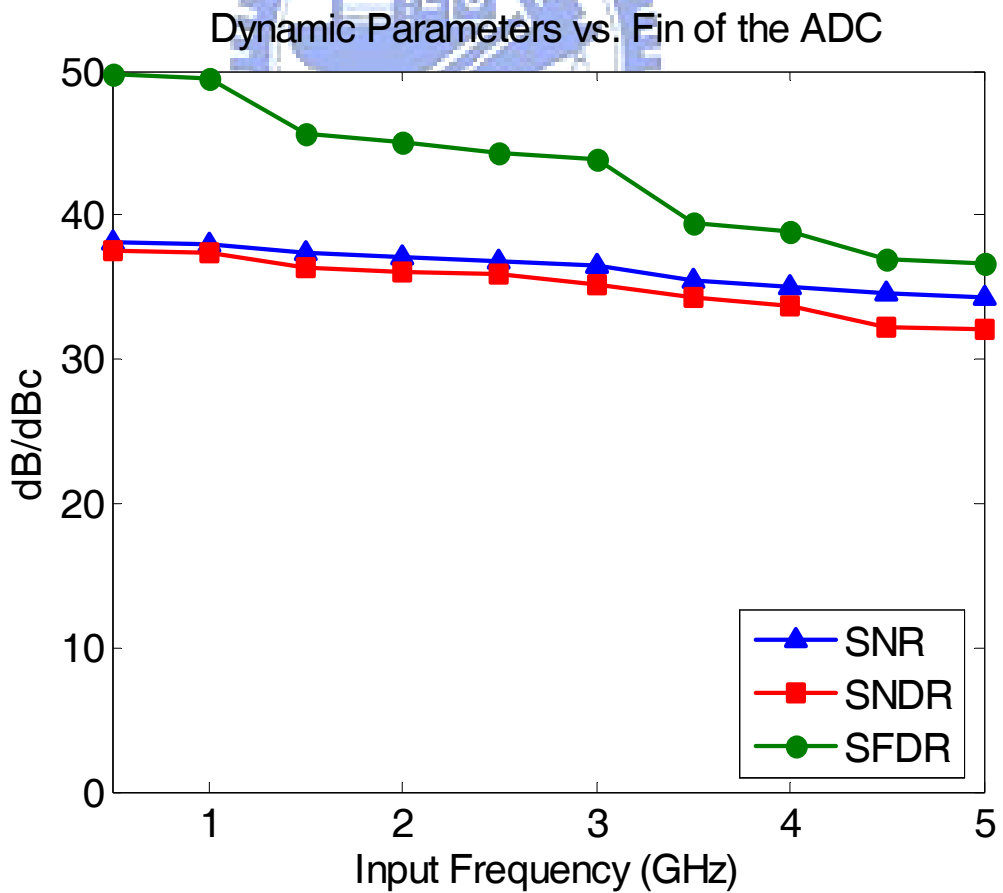


圖 4-4 取樣率為 10GS/s 時 ADC 模擬之輸入頻率與動態參數的關係

### 4.1.3. ADC 功率消耗之模擬

表 4-1 列出了 ADC 類比與數位電路部份在供應電壓源為 1V 且取樣時脈訊號在 10GS/s 時所模擬的平均功率消耗，類比電路的部分主要包含 2 組 Resistor Ladders; 取樣保持電路 T/H; 11 組的 Differential Difference Amplifiers 與 3 級放大電路總共 121 個的 Active negative feedback Pre-Amplifier，共消耗約 322mW；而放大器電路的後一級的 CML Latch 因為其所處理的輸入訊號已接近數位訊號程度的擺幅，且為了避免類比電路受到 CML Latch 高速取樣訊號的干擾，因此使用數位部份的電源作為其供應電壓源。剩餘主要的數位電路包含由 CML 邏輯電路構成的 Encoder 和最後用來使輸出訊號同步的 CML Latch 電路，以及數個用作 Wave-pipelining 的 clock buffer 也都是使用數位部份的電源，這些數位電路佔用掉約 337mW 的功率；整個 ADC 的功率消耗約為 659mW

表 4-1 ADC 類比及數位部份電路模擬之各別功率消耗比較表

<i>Power Domain</i>	<i>Power Consumption (mW) @ 1V supply voltage &amp; 10GS/s</i>
<i>Analog Part</i>	322
<i>Digital Part</i>	337
<i>Total Power Consumption (mW) @ 1V supply voltage &amp; 10GS/s</i>	659

## 4.2. 10GS/s 6-bit DAC 之模擬結果

### 4.2.1. DAC 靜態參數 (Static Parameters) 之模擬

首先模擬 DAC 靜態參數的特性，對 DAC 輸入一個數位 Gray code 形式的漸增 ramp 訊號，且取樣頻率為 10GS/s 的 sinusoidal 訊號，差動輸出的結果如圖 4-5 所示。

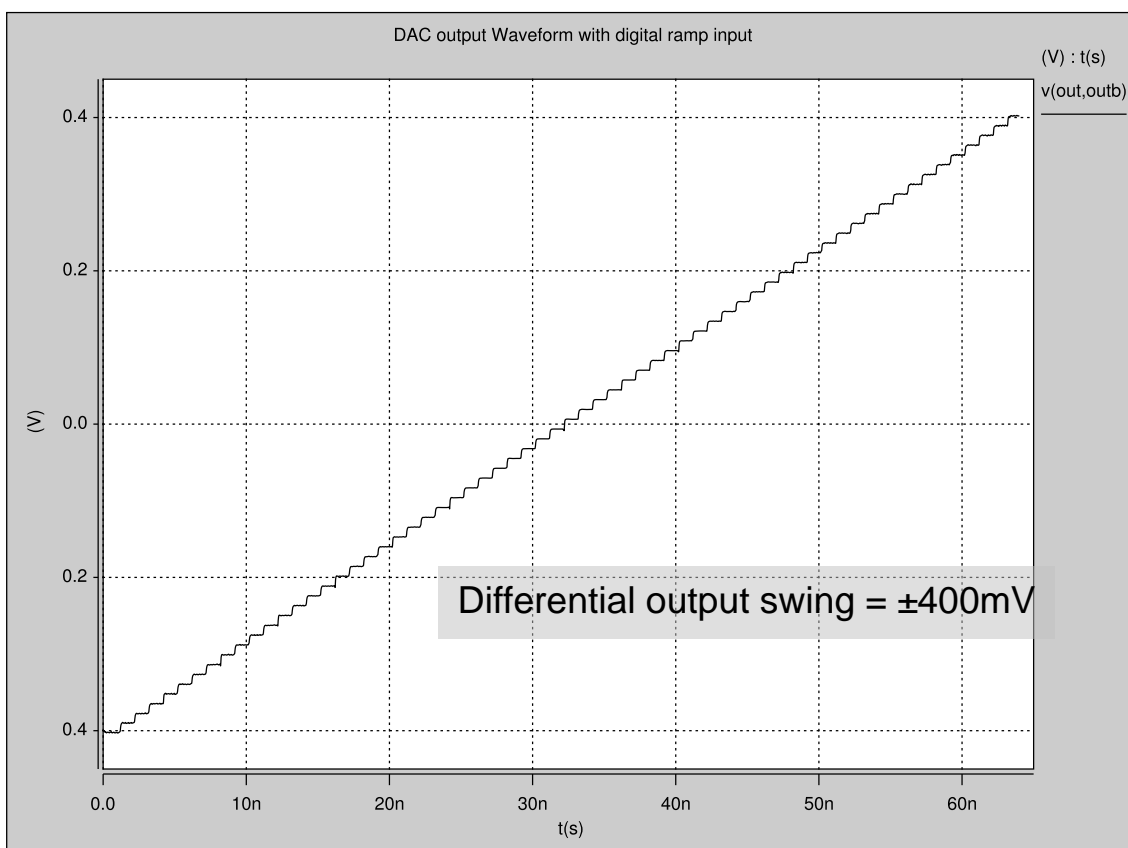


圖 4-5 DAC 輸入 Gray code 形式之漸增 ramp 訊號  
@10GS/s 之差動輸出波形

從圖 4-5 的模擬結果中可看出 DAC 呈現良好的單調性 (monotonicity)，64 個類比電壓輸出準位都有正確的顯現出來，且每個輸出準位上明顯都沒有受到取樣時脈饋入的干擾，表示電流源開關之上的疊接電晶體確實有效發揮作用。而差動輸出的擺幅達到預期所設計的 $\pm 400\text{mV}$ 。由此模擬結果計算 DAC 的 DNL 與 INL，結果顯示在圖 4-6 中，DNL 的變化約在 -0.03 到 0.03LSB

之間，INL 則介於-0.03 與 0.01LSB 之間，DNL 與 INL 都相當的小，指示出 DAC 本身具備良好的線性度。

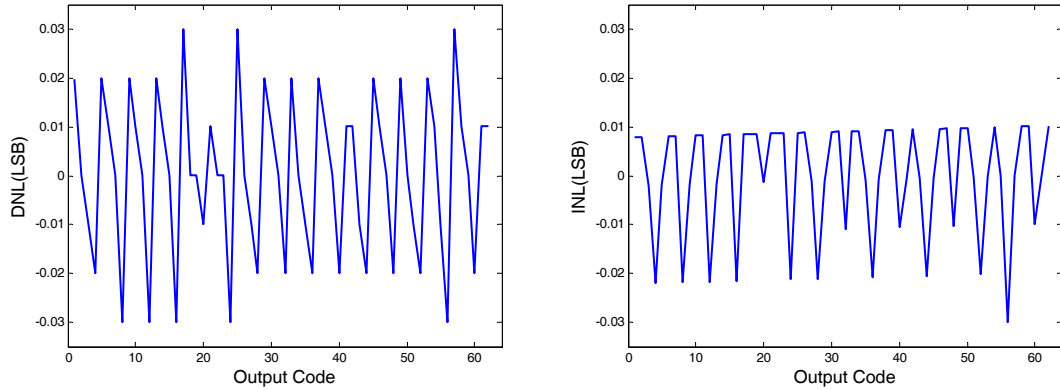


圖 4-6 DAC 模擬之 DNL 與 INL (取樣率為 10GS/s)

#### 4.2.2. DAC 動態參數 (Dynamic Parameters) 之模擬

動態參數方面的模擬，對 DAC 輸入一個數位約 1GHz 的 sinusoidal 訊號，且取樣頻率為 10GS/s，得到同頻率的類比差動輸出訊號如圖 4-7 所示，將此時域波形取樣 1024 點並經由 FFT 轉換得到頻譜如圖 4-8 (1024-point FFT)。從該頻譜圖中計算動態參數可得 SNR 為 38.6 dB、SNDR 為 37.9 dB，對應 6.0bits 的 ENOB 且 SFDR 高達 48.5 dBc。

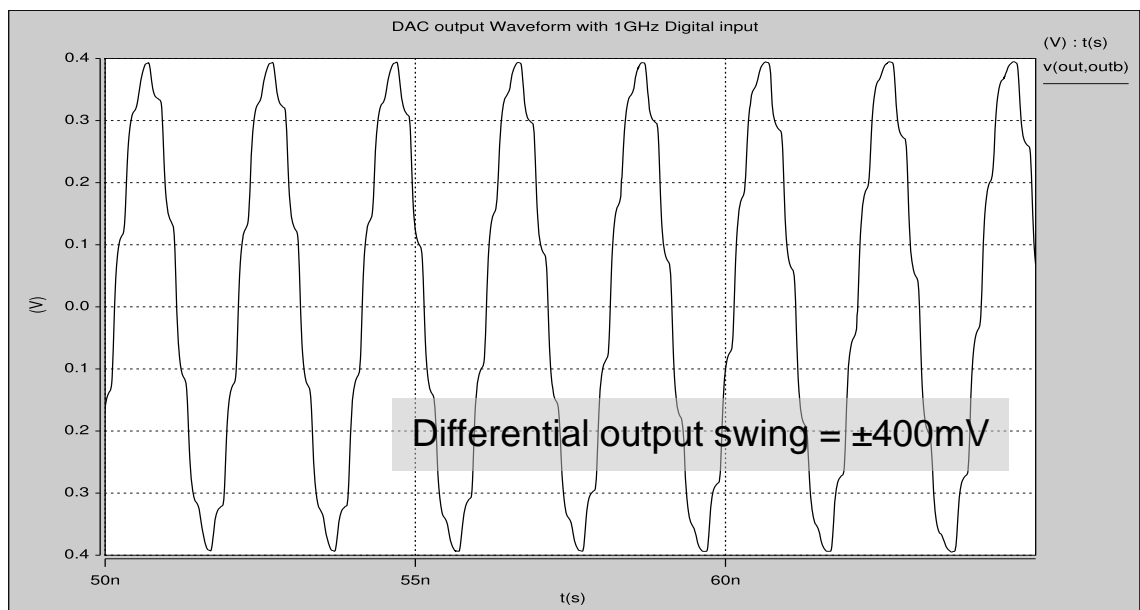


圖 4-7 輸入數位 1GHz 之 sinusoidal 訊號@10GS/s 時之 DAC 輸出波形

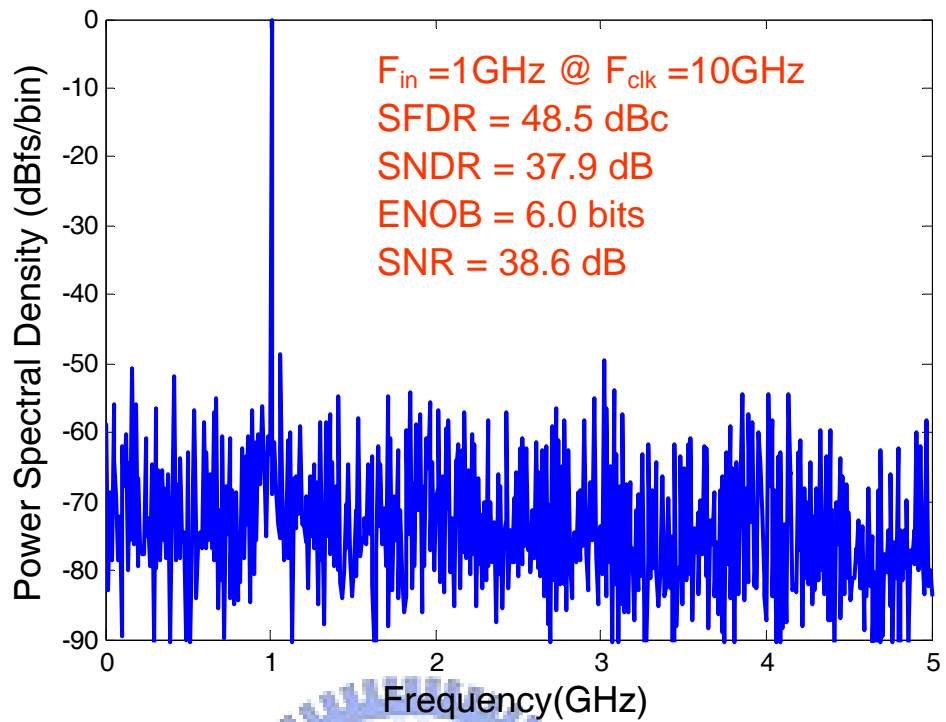


圖 4-8 輸入 1GHz 之 sinusoidal 訊號@10GS/s 之 DAC 輸出訊號的頻譜

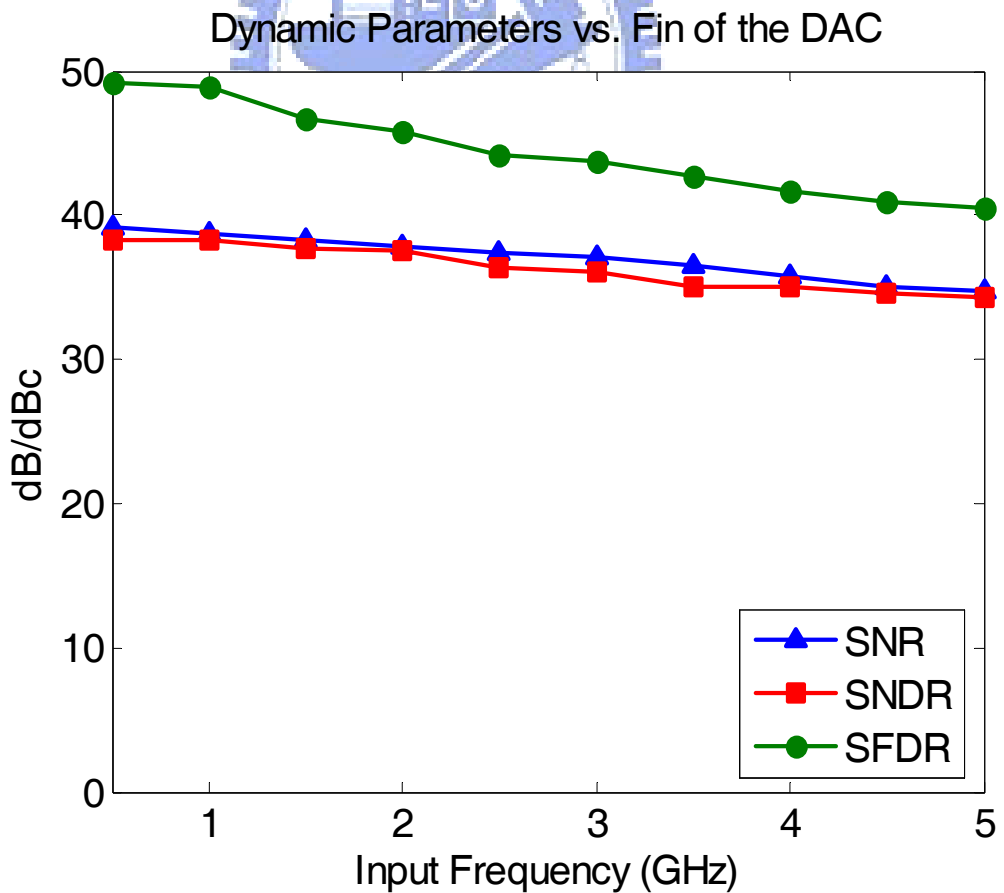


圖 4-9 取樣率為 10GS/s 時 DAC 模擬之輸入頻率與動態參數的關係



圖 4-9 為取樣頻率在 10GS/s 下，各種不同輸入訊號頻率對動態參數變化的關係圖，由此圖的模擬結果可知，SNDR 的曲線在 DC 到 5GHz 的頻率範圍內都沒有下降超過 3 dB 的程度，可知 DAC 的 ERBW 達到 nyquist frequency 的 5GHz，另外由於開關疊接電流源的高輸出阻抗，使得 SFDR 的響應在 5GHz 頻寬以內也幾乎都有超過 40 dBc 的水準，這些動態參數的模擬結果顯示出 DAC 的效能幾乎相當接近理想的情況。

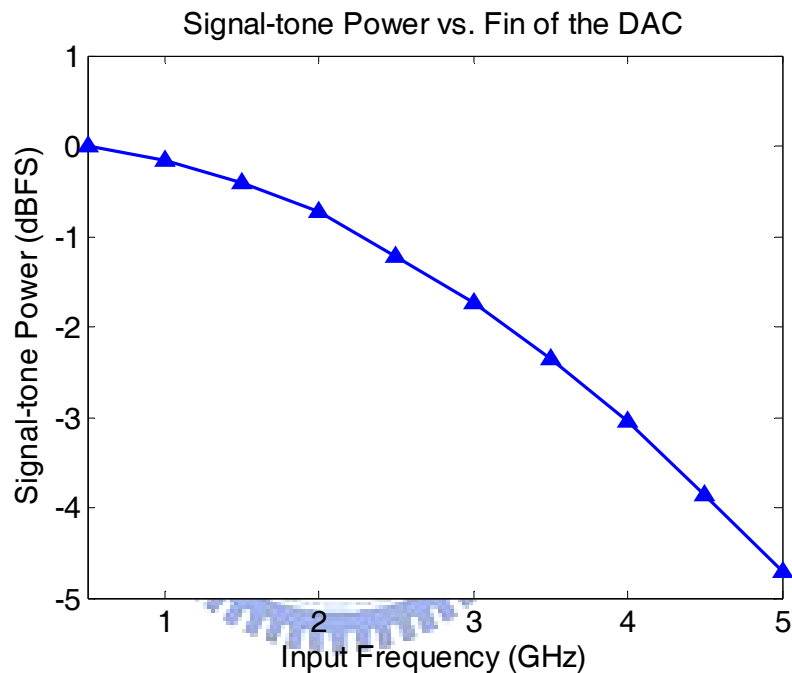


圖 4-10 DAC 模擬之輸入頻率與輸出訊號功率之關係(@10GS/s) (in dBFS)

圖 4-10 為 DAC 在各種不同輸入訊號頻率時，輸出訊號主 tone 功率大小的變化，其中功率大小是以正規化的 dBFS (dB Full-Scale) 來表示；可看出 DAC 輸出的主訊號 (主 tone) 功率很明顯的隨輸入訊號頻率的增加而遞減，這將是高频輸入訊號時，DAC 動態參數降低的主要原因之一，此現象的探討將在第五章有詳盡的解說。

### 4.2.3. DAC 功率消耗之模擬

DAC 中數位電路部份及類比電路部份模擬之平均功率消耗結果顯示在表 4-2 中，為 1V 的供應電壓大小且取樣時脈訊號為 10GS/s 所獲得的模擬結果。數位電路共消耗約 124mW 的功率，包含用來使輸入側及輸出側數位訊號同步的 CML Latch，以及由 CML 邏輯電路組成的 Decoder 和用來推動 Decoder 的 CML buffer，此外數個用作 Wave-pipelining 的 clock buffer 也使用數位部份的電源；類比電路部份則主要只有 18 個開關疊接電流源（SCS），共消耗約 16mW 的功率。

表 4-2 DAC 數位及類比部份電路模擬之各別功率消耗比較表

<i>Power Domain</i>	<i>Power Consumption (mW) @ 1V supply voltage &amp; 10GS/s</i>
<i>Analog Part</i>	16
<i>Digital Part</i>	124
<i>Total Power Consumption (mW) @ 1V supply voltage &amp; 10GS/s</i>	140

## 第五章 晶片可測試性設計、模擬與佈局

---

---

分析討論完 10GS/s 6-bit ADC 與 DAC 的設計之後，本章節將解說我們如何測試此組高速資料轉換器對 (Data Converter Pair)，並且針對實際測試上會遭遇到的問題來設計我們的量測晶片，也就是在實驗晶片中加入一些測試機制，使整個晶片的可測試性設計 (Design-for-Testability, DfT)，還有就是佈局上的考量。

### 5.1 可測試性設計 (Design-for-Testability, DfT)

一般而言，量測 ADC 的方法是輸入類比訊號源 (stimulus) 以及取樣時脈訊號後，在 ADC 的輸出端利用邏輯分析儀 (Logic Analyzer, LA) 抓取並儲存 ADC 輸出的數位訊號結果。而邏輯分析儀透過 ADC 送出的時脈觸發訊號作為時序上的依據以存取資料，對於我們所設計的 Flash 架構 ADC 而言，取樣率 (sampling rate) 就等於其轉換率 (conversion rate)，因此邏輯分析儀的取樣能力就必須要大於等於我們的待測物 (Device Under Test, DUT) ADC 的最大取樣率，這樣才能對 ADC 做有效頻寬內各種頻率的測試。之後再將邏輯分析儀取到的資料經由電腦將結果做進一步的分析。然而目前市面上並無取樣率能高達 10G-Sample/s 的邏輯分析儀，因此實際測試將會遇到無法測試全速操作下的 10GS/s ADC。而 DAC 的量測方式是給定取樣用的時脈訊號後，並由波形產生器 (Pattern Generator) 所產生多位元的數位訊號來作為 DAC 的輸入訊號，再透過示波器 (Oscilloscope) 觀察 DAC 的時域響應，或是利用功率頻譜分析儀 (Power Spectrum Analyzer, PSA) 做頻域上的分析。但是我們所設計的 DAC 最快的輸入數位訊號頻率將高達 5GHz，

而目前市面上仍無能夠產生 5GHz 的數位訊號產生器，這使得我們無法進行 DAC 接近全速 (at-speed) 時的量測。因此我們將無法單獨針對 DAC 與 ADC 進行個別量測，此問題為目前高速資料轉換器在測試時的重大問題。

為了可以完成 10GS/s ADC 與 DAC 全速運作下的完整測試，我們將 ADC 與 DAC 的配置成串接 (cascade) 的形態，以 ADC 串接 DAC 形成 digital loop-back[]的方式進行量測，也就是以 ADC+DAC 的方式，以構成可測試性設計 (Design-for-Testability, DfT) 電路，如圖 5-1 所示。在 ADC 和 DAC 訊號路徑之間加入數個 buffer，以確保 ADC 的數位輸出訊號可以有效的輸入 DAC，時序的路徑也是一樣的方式

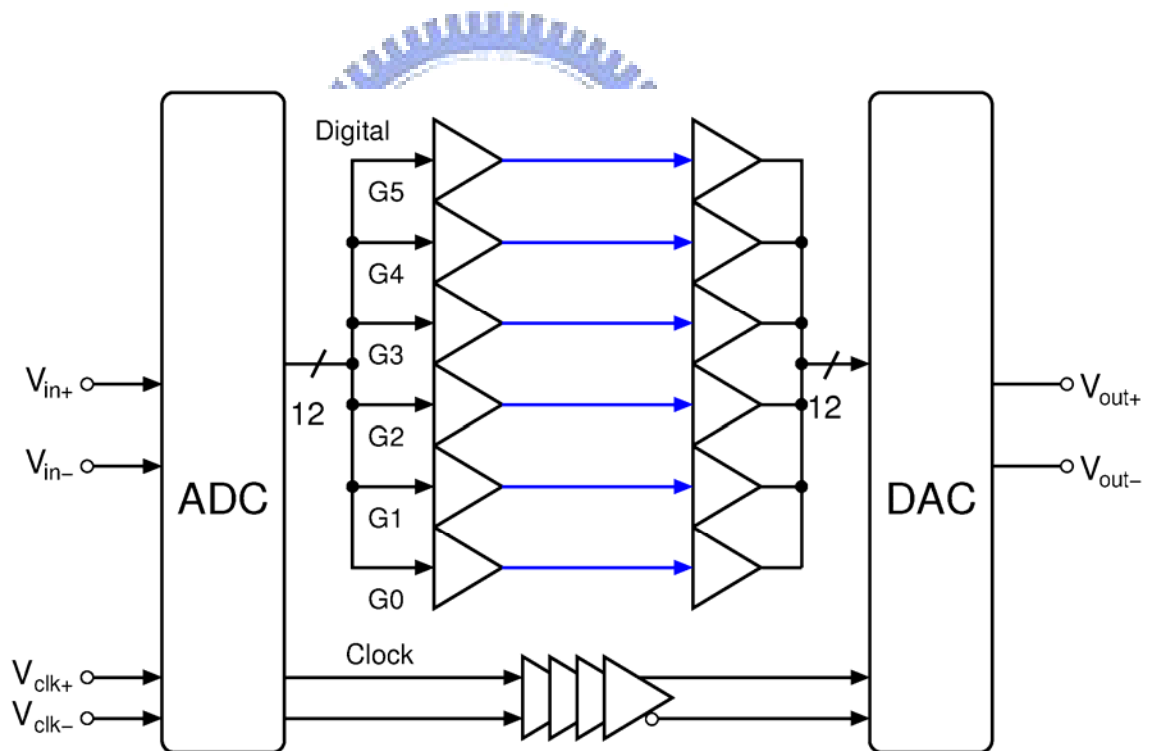


圖 5-1 可測試性設計 (Design-for-Testability, DfT) 之電路

在此測試模式(Cascade Mode)中，ADC 的數位輸出  $G_{ADout}[5:0]$  將會輸入

到相對應之 DAC 數位輸入  $G_{DAin}[5:0]$ 。在這樣的設定下，使用高頻類比訊號產生器 (Analog Signal Generator) 作為整個測試晶片的輸入訊號源，而 ADC 串接 DAC 後的輸出訊號便可直接使用功率頻譜分析儀 (Power Spectrum Analyzer, PSA) 做分析。如此一來，此組資料轉換器對便可以在 10GS/s 的全速取樣率之下進行測試，可直接量測得到全速運作下的動態參數結果，解決高速 ADC 與 DAC 單獨測試時的困難；另外在此模式下，對 ADC 輸入一差動的直流電壓，則 DAC 將會產生一相對應的輸出電壓值，逐步改變輸入的直流電壓值之後，可得到 ADC 串接 DAC 的輸入輸出轉換特性曲線 (input-output transfer curve)，經由該曲線可直接計算出 ADC 與 DAC 各別的 DNL 和 INL，因此我們可以輸入 ramp 訊號給 ADC 再利用示波器觀察 DAC 的輸出，便可以得到此轉換曲線，且測得的 DNL 與 INL 也都會是在 10GS/s 的取樣率下得到的結果。

## 5.2 Cascade 模式下之模擬結果及討論

### 5.2.1 電路模擬結果

如同上述所敘，將 ADC 的輸出與 DAC 與輸入串接起來做量測，對實際的測試晶片而言可做全速時的量測。圖 5-2 顯示在測試模式中，輸入一個低速的漸增 ramp 訊號，且取樣訊號為 10GHz 的 sinusoidal 訊號，得到的 ADC-DAC 輸入輸出轉換特性曲線，可知 ADC 沒有 Missing code 且 DAC 為 Monotonic。

圖 5-3 為相同的測試模式下，輸入一個 1GHz 的 sinusoidal 訊號，取樣頻率為 10GS/s 所得到的類比輸出波形。將此時域波形作 1024 點的 FFT 轉換後可得到圖 5-4 的頻譜，計算此時的動態參數可得 SNR 為 36.3 dB、SNDR 為 35.6 dB，對應的 ENOB 可達到 5.6bits 的程度，而 SFDR 約為 45.8 dBc。

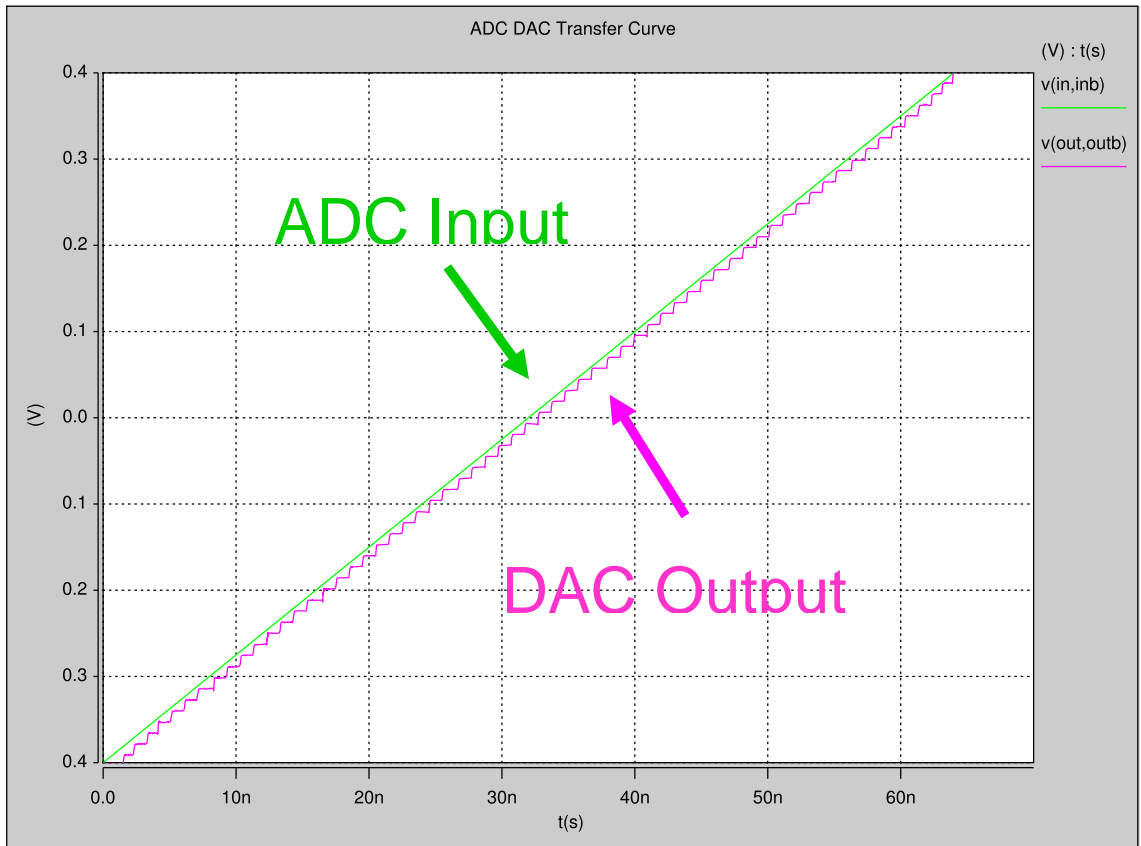


圖 5-2 測試模式中模擬之 ADC-DAC 輸入輸出轉換特性曲線

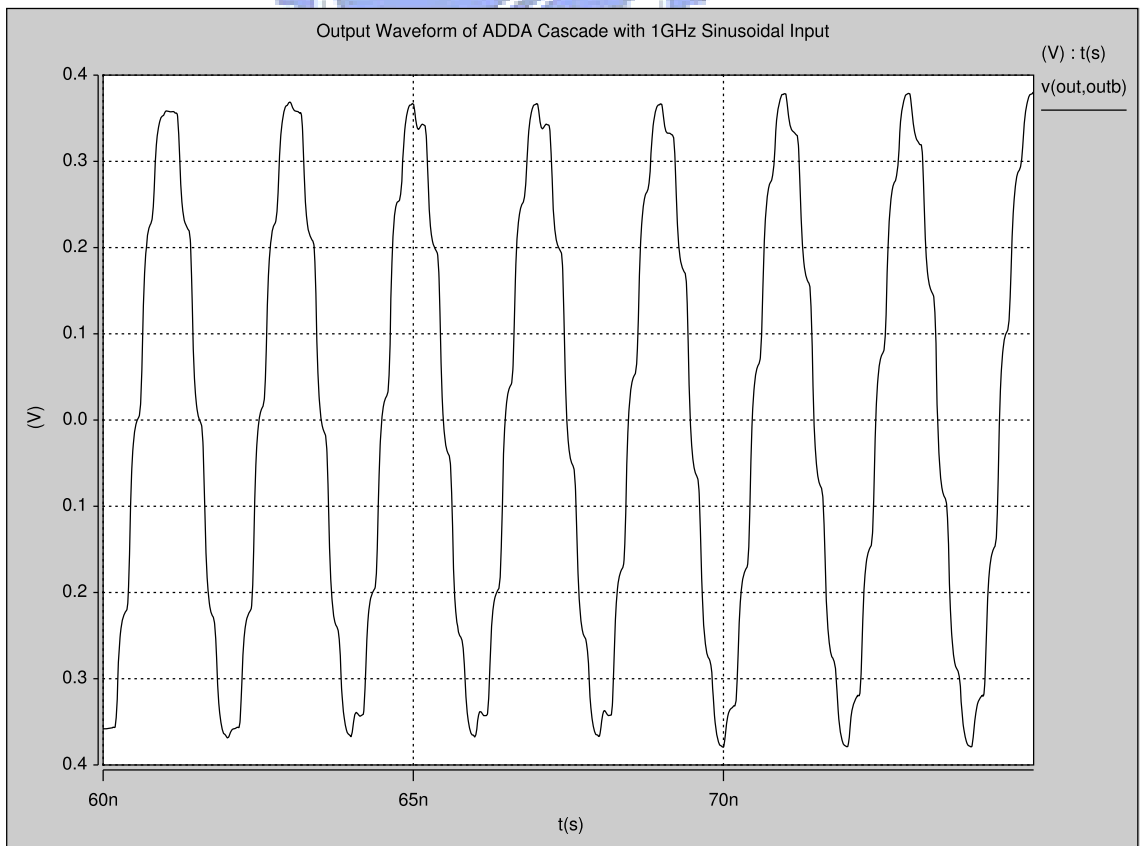


圖 5-3 輸入 1GHz 之 sinusoidal 訊號且取樣率 10GS/s 時之輸出波形

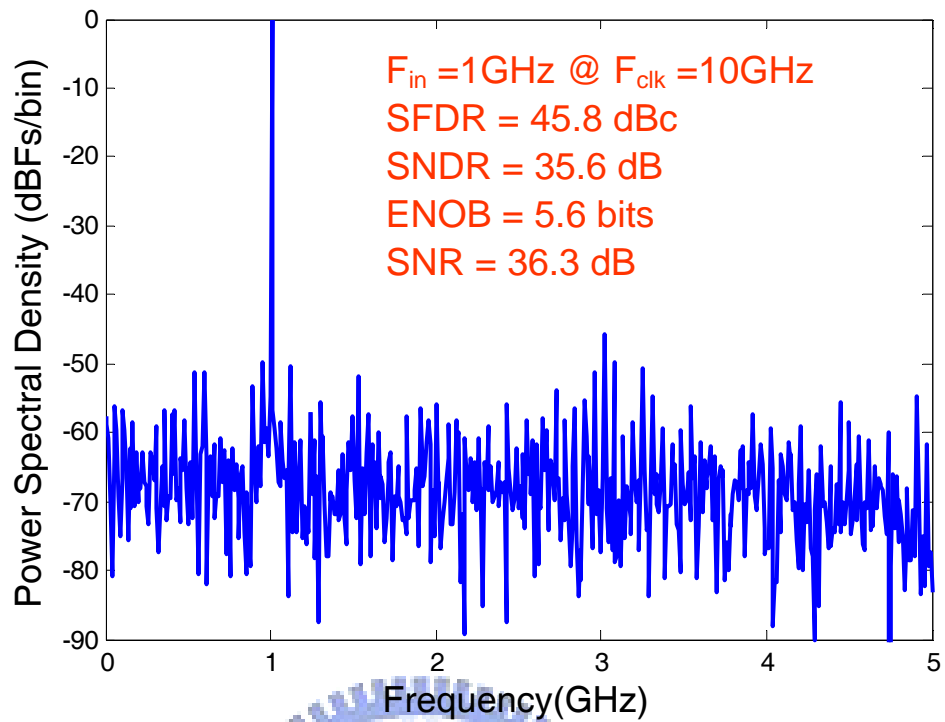


圖 5-4 輸入 1GHz 之 sinusoidal 訊號@10GS/s 模擬之輸出訊號頻譜

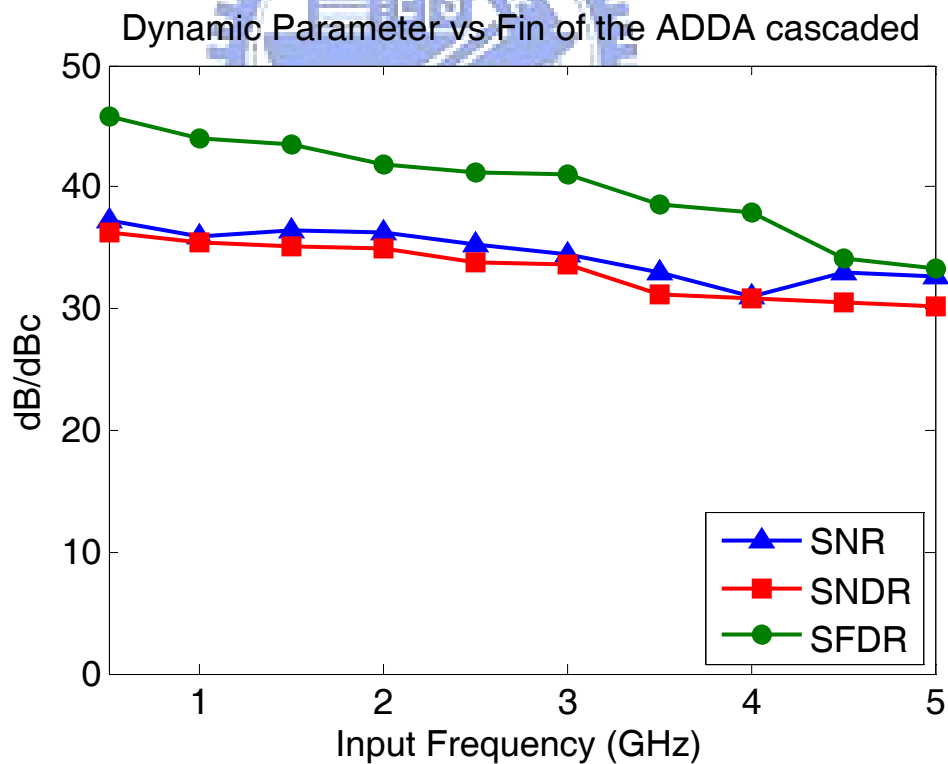


圖 5-5 Cascade 模式模擬之各種輸入訊號頻率與動態參數的關係

進一步改變輸入訊號的頻率，將各種輸入訊號頻率下得到的動態參數繪成圖，如圖 5-5 所示。其中在輸入訊號頻率在 5GHz 的有效頻寬內，SNDR

都還有達到約 30 dB 的程度，也就是有 5bits 的 ENOB，可知在 Cascade 模式下，整個串接資料轉換器對在 5GHz 內都可以使用。此結果比單獨 ADC 的模擬結果來的略差，不過必須知道的是，這些動態參數的模擬結果實際上因為 DAC 所造成的 ZOH 效應，使高頻時的輸入訊號功率會被衰減 (attenuate) 而低估了 ADC 真實的效能，原因會在下面探討。

## 5.2.2 DAC 之 Zero-Order Hold (ZOH) 效應[43][44]

在前一章節我們單獨模擬了 ADC 的結果，由輸入頻率對動態參數關係圖中可知其 SNR 和 SNDR 的表現都很平坦，在高頻時都還有不錯的值。可是在 Cascade 模式時，其整體的 SNR 和 SNDR 會隨著輸入頻率增加而遞減，且比單獨 ADC 的結果來的差，這可能是 Zero-Order Hold (ZOH) 所造成的影響。

一個理想的 DAC 可以將離散 (discrete) 的數位訊號轉換成連續 (continuous) 的類比輸出訊號，數學式可表達寫成：

$$x(t) = \sum_{n=-\infty}^{\infty} x[n]h_0(t-nT) \quad (5.1)$$

$x(t)$  代表類比的輸出結果， $x[n]$  為離散時間 (discrete-time) 的輸入序列 (sequence)，而  $h_0(t)$  為 Zero-Order Hold (ZOH) 之脈衝響應 (impulse response)，由此可知 DAC 輸出的波形具有 ZOH 的特性，也就是轉換離散時間訊號轉換至連續時間訊號，並在一個取樣週期時間 ( $T$ ) 之內維持固定輸出值。而取樣保持電路 (Sample and Hold) 之輸出也具有相同的特性，簡單的波形示意如圖 5-6 所示，圖中實線為一類比連續的訊號，而虛線為相對應的 ZOH 波形，如同 Sample-and-Hold 電路之輸入輸出波形，且理想 DAC 的輸出也是如圖中 ZOH 的波形，在每個取樣週期時間內維持固定值，直到下個取樣時間才根據輸入訊號改變輸出的結果。



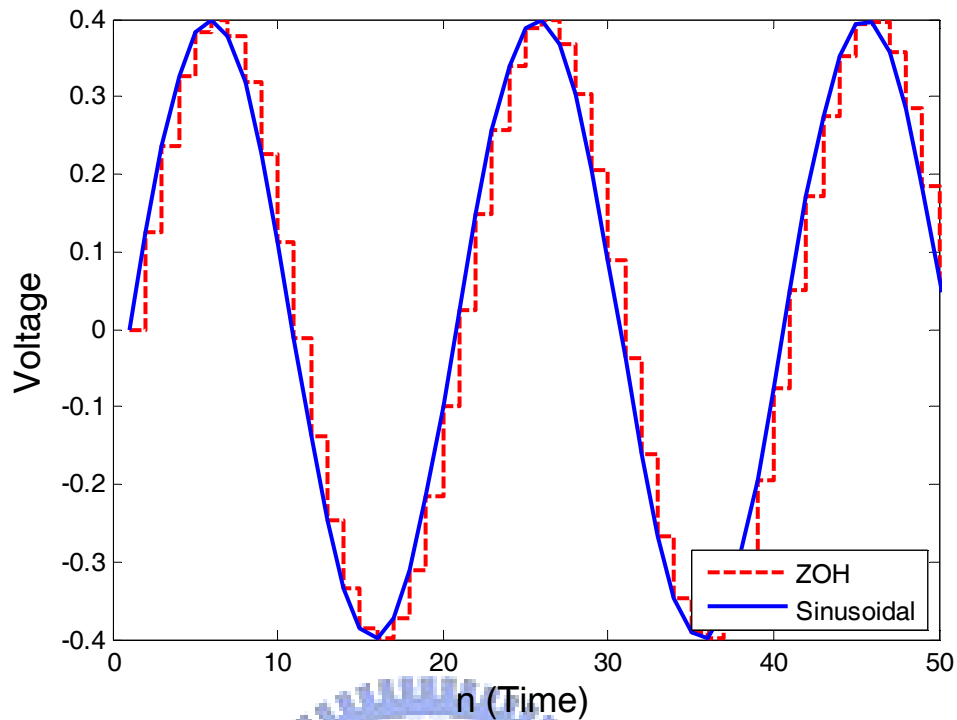


圖 5-6 Zero-Order Hold (ZOH) 之訊號波形

其頻率響應 (frequency response) 為[43]：

$$H_o(j\Omega) = \frac{2 \sin(\Omega T / 2)}{\Omega} e^{-j\Omega T / 2} \quad (5.2)$$

且可寫成：

$$H_o(j\Omega) = T \cdot \text{sinc}\left(\frac{\Omega T}{2}\right) \times e^{-j\Omega T / 2} \quad (5.3)$$

由式 5.3 可知 ZOH 的頻率響應即為一 SINC function，T 為取樣周期，而我們 DAC 的取樣周期為 10GS/s，將其代入可得到振幅響應 (magnitude response) 如圖 5-7 所示。在取樣頻率的整數倍上都會有零點 (zero) 存在，且從 DC 到 sampling frequency 頻率範圍內顯示出訊號的大小會隨頻率的增加而不斷衰減，呈現類似低通濾波 (low-pass filtering) 的響應。再將此頻率響應圖放大到 5GHz 的範圍內並以 dB 形式表示，可得到圖 5-8，根據式 5.2 可計算出在 5GHz 的 Nyquist 頻率時，訊號會被衰減成原本的  $2/\pi$  倍，亦即衰減約 0.6 倍或 -3.9 dB。

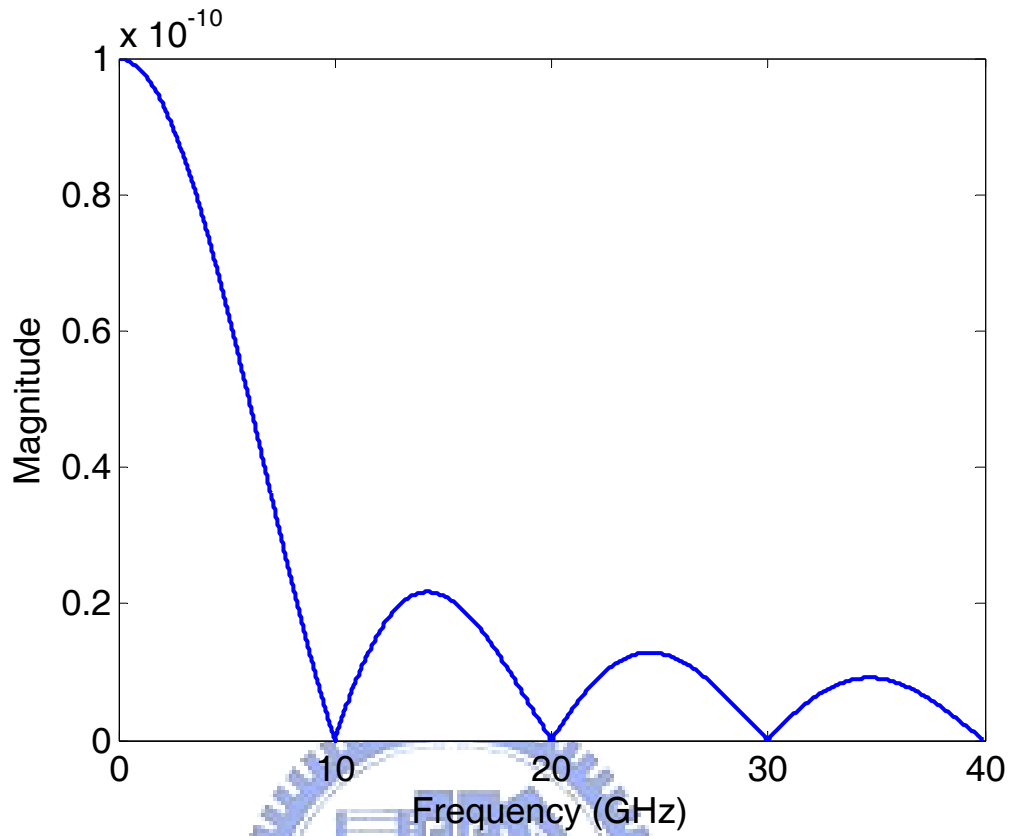


圖 5-7 取樣率為 10GS/s 之 ZOH 頻率響應 (振幅響應) 圖

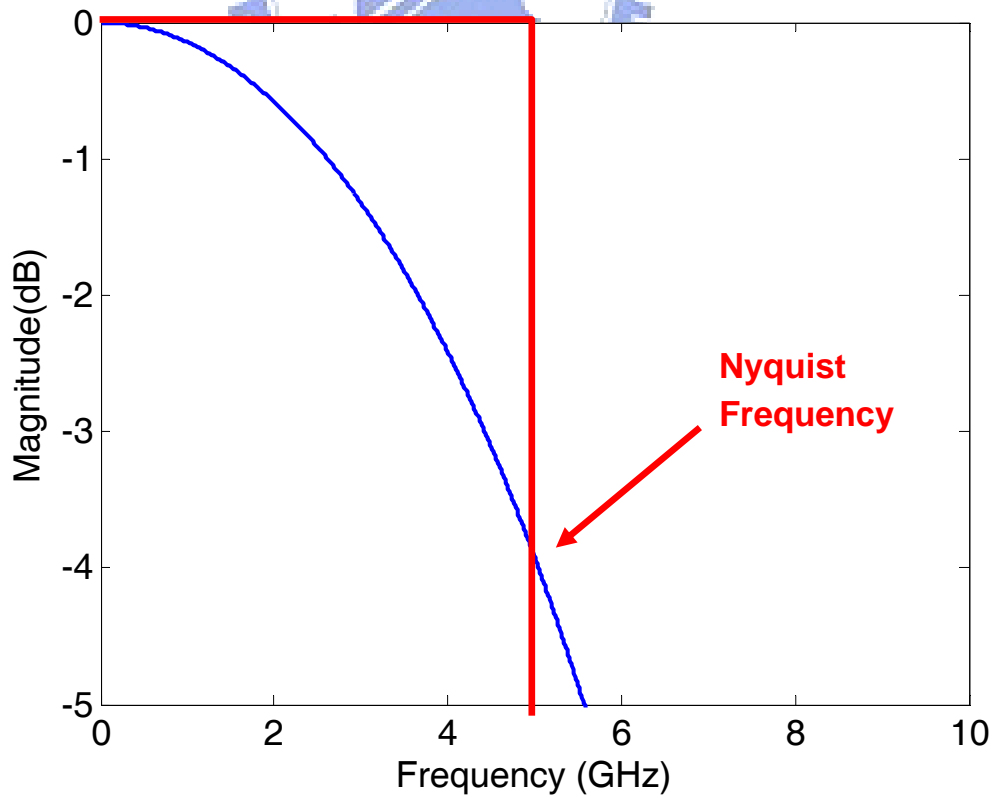


圖 5-8 10GS/s DAC 頻率響應之振幅響應圖(Zoomed in 10GHz)

由前述討論得知，訊號經過 DAC 輸出之後，如同加上了低通 (low-pass) 的效應。在第四章有模擬出 DAC 輸出訊號主訊號功率 (Signal-tone) 隨輸入訊號頻率增加而衰減的現象。因此可知在 Cascade 測試模式時所得到的動態參數對輸入訊號頻率變化的響應必然會受到 DAC ZOH 的影響。為了正確得知 ADC 較接近真實的效能，我們必須對原本的輸出頻譜結果作相反 ZOH 頻率響應的補償 (compensate)，也就是使用 Anti-SINC filter 的方式。經由式 5.3 可推導出 Anti-SINC filter 的頻率響應如式 5.4，代入我們所設計的 10GS/s 取樣頻率，畫出頻率響應之振幅響應圖如圖 5-9，而放大到 nyquist frequency (5GHz) 之間的頻率範圍如圖 5-10 所示。圖中可看出到 5GHz 時提供  $\pi/2$  倍約 3.9 dB 的增益，恰好補償了 ZOH 效應衰減的量。

$$H_r(j\Omega) = \frac{\Omega T/2}{\sin(\Omega T/2)} e^{j\Omega T/2} \quad (5.4)$$

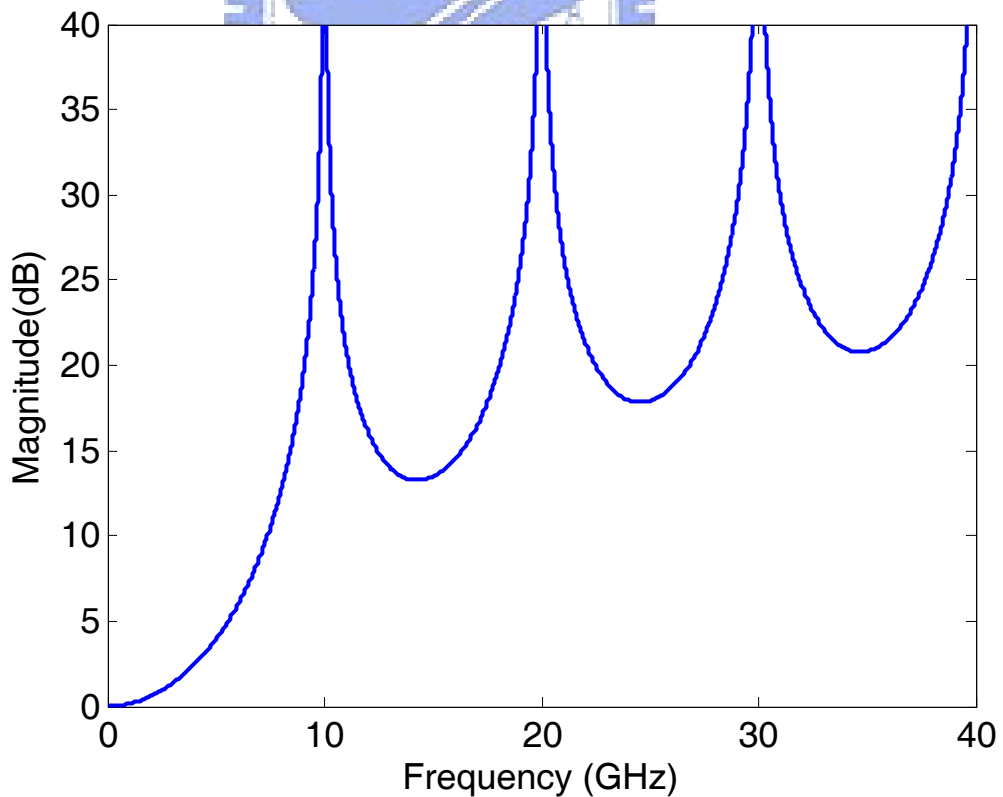


圖 5-9 10GS/s 之 Anti-SINC 頻率響應之振幅響應圖

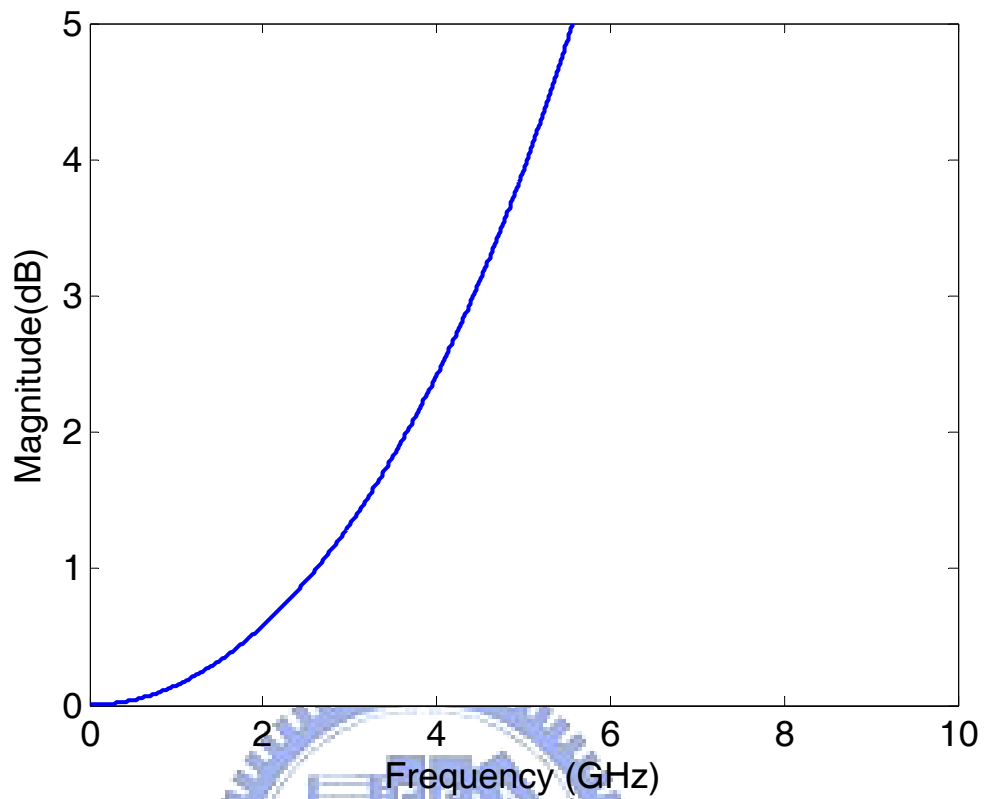


圖 5-10 10GS/s 之 Anti-SINC 頻率響應之振幅響應圖(Zoomed in 10GHz)

將 Cascade 模式中各種輸入訊號頻率下輸出得到的頻譜都進行 ZOH 效應的補償,也就是利用 Anti-SINC 的頻率響應特性,把衰減掉的 signal power 加回去,然後重新計算各動態參數的值,並將這些動態參數畫出與輸入頻率的關係,如圖 5-11 (SNDR vs.  $F_{in}$  w/wo ZOH compensation) 與圖 5-12 (SNR vs.  $F_{in}$  w/wo ZOH compensation) 所示。圖 5-11 表示在 cascade 模式下的 SNDR 參數比較,分別為 ADC、DAC 以及 ADC+DAC 補償前跟補償後的結果,由圖中可知補償後在較高頻時的動態參數都有所提升。值得注意的是,由於先前的討論都是假設 DAC 為理想的情況,也就是假設只有 ZOH 的效應而沒有其他額外的非理想性 (non-ideality),因此將實際電路在 Cascade 模式模擬或量測到的資料進行補償,則補償後的結果可以認定是 ADC 效能的最糟情形 (worst case) 結果。圖 5-12 是 Cascade 模式下 SNR 參數補償前跟補償後的結果,兩張圖都顯示補償後的曲線會更加接近單獨 ADC 的模擬結果,表示用此方法確實可以更精確的量測我們 ADC 的效能。

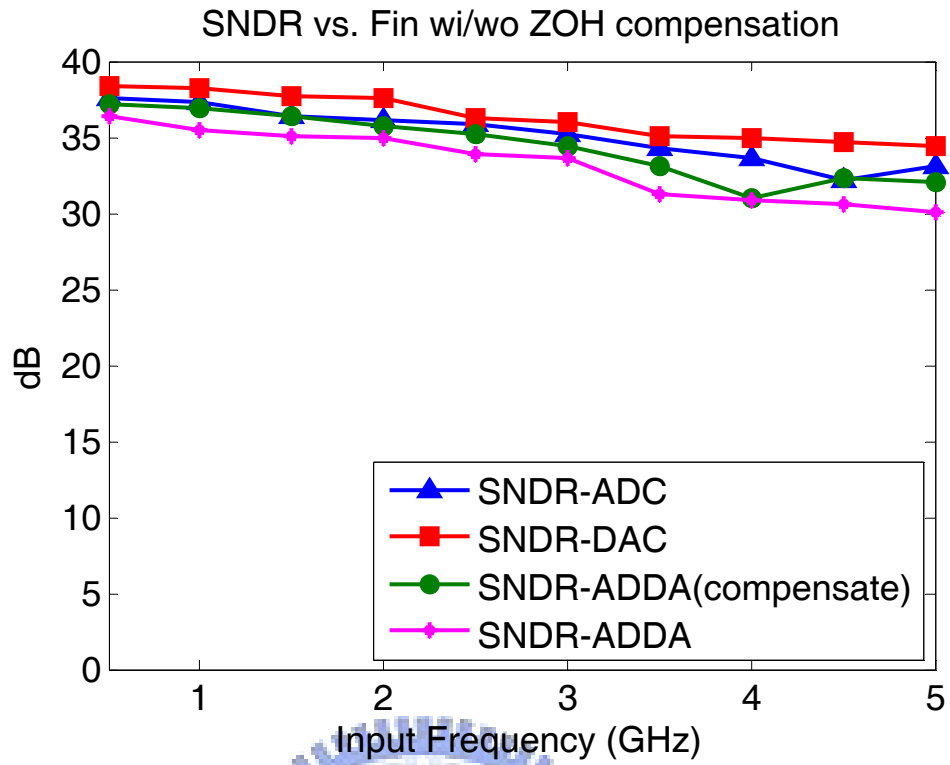


圖 5-11 SNDR 對輸入訊號頻率之 ZOH 效應補償前後之比較

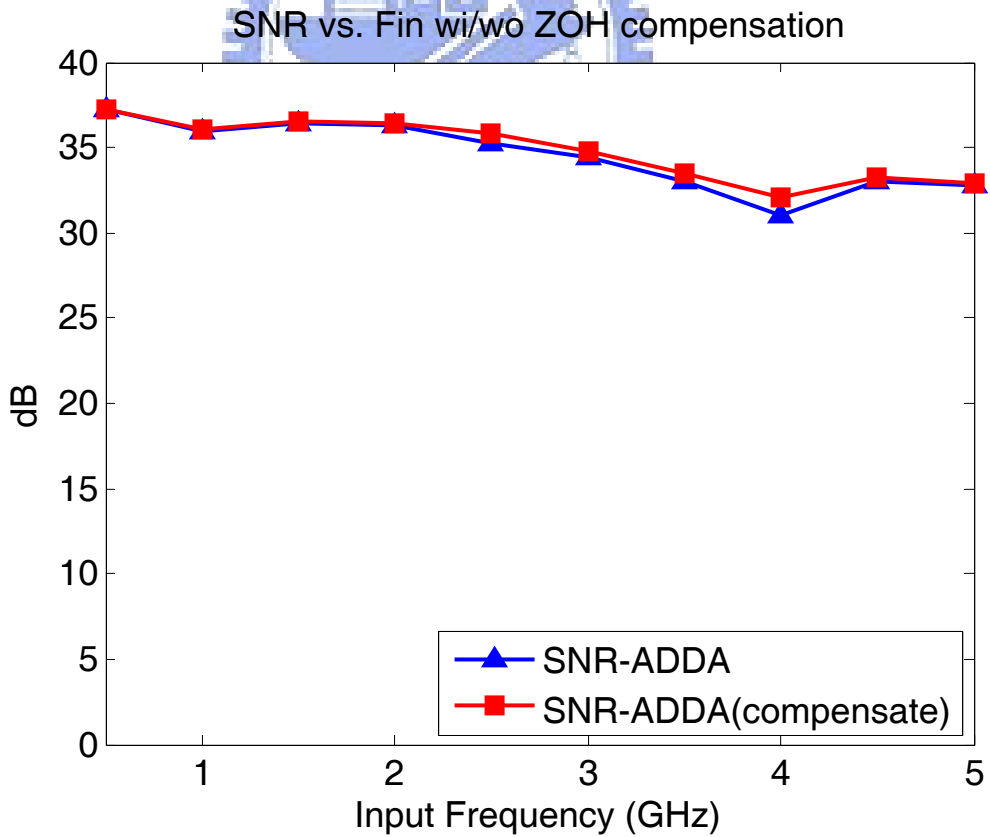


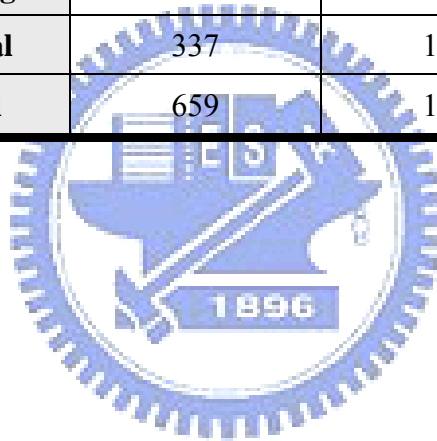
圖 5-12 SNR 對輸入訊號頻率之 ZOH 效應補償前後之比較

### 5.2.3 測試晶片功率消耗之模擬

整個測試晶片電路包含 ADC、DAC 兩部份。ADC 與 DAC 之間，其主要由 Buffer 所構成，因此設計使用數位部份的電源作為其供應電源。在供應電壓源為 1V 且取樣時脈訊號在 10GS/s 時所模擬的平均功率消耗結果如表 5-1 所示。單獨 ADC 與 DAC 各消耗 659mW 與 140mW，整個測試晶片電路共消耗約 799mW。

表 5-1 模擬之各部份電路功率消耗表

Mean Power (mW)	ADC	DAC	Total
Analog	322	16	338
Digital	337	124	461
Total	659	140	799



### 5.3 測試晶片之佈局 (Layout)

圖 5-19 顯示整個 ADC 與 DAC 之晶片佈局圖(Layout),使用 UMC 90nm CMOS Mixed-Mode 1P9M Low-K 的製程。ADC 的有效面積 (active area) 約為  $0.37 \times 0.76 \text{mm}^2$  , DAC 的有效面積約為  $0.28 \times 0.26 \text{mm}^2$  。

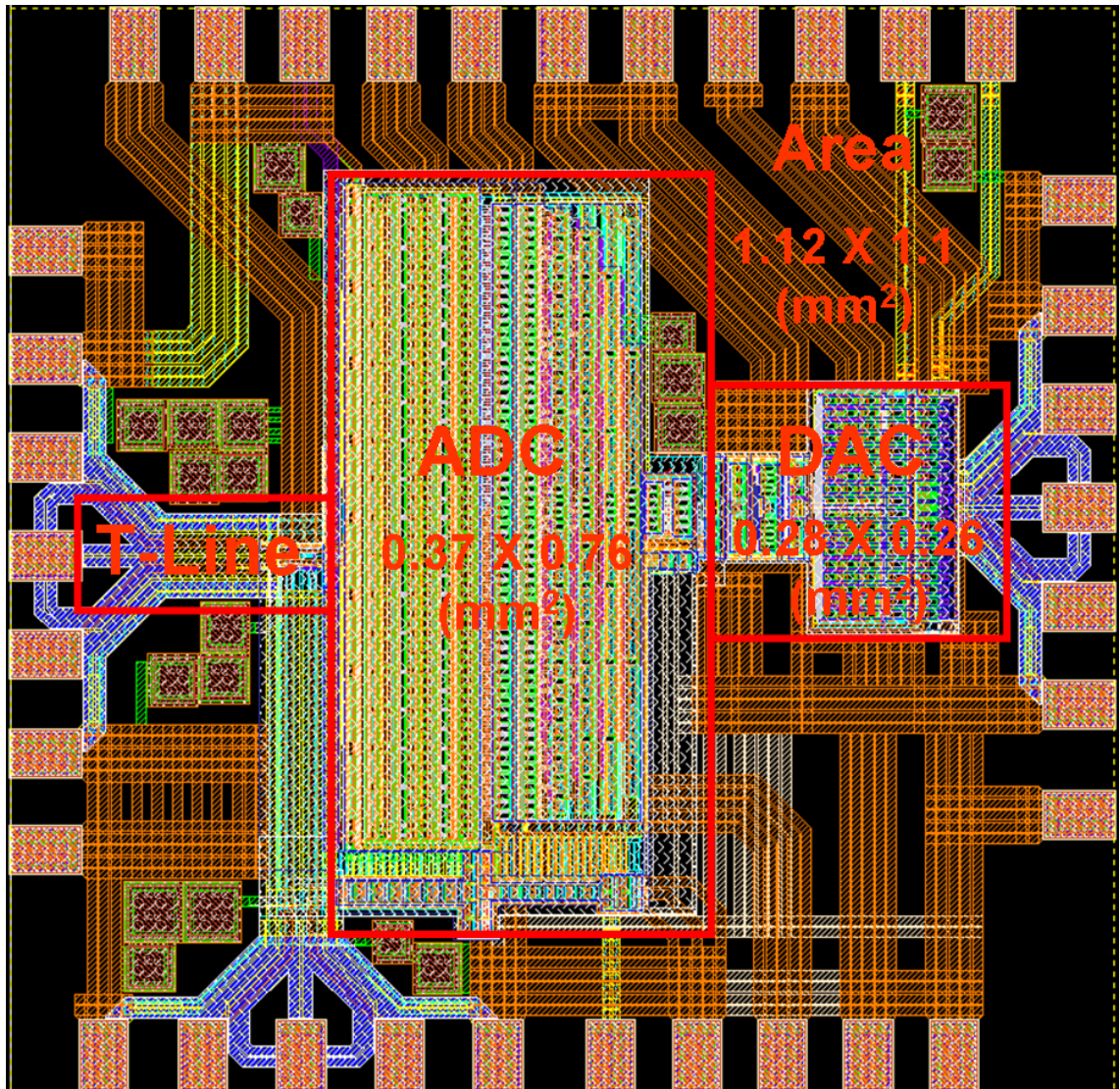


圖 5-13 測試晶片 (test chip) 之佈局圖 (Layout)

由於考量到晶片下針量測的需求，因此訊號的走向為由左至右，左邊為 ADC 類比訊號輸入端，下方為取樣時脈訊號輸入端，而右方為 DAC 的類比訊號輸出端，故 ADC 與 DAC 分別放置 (placement) 在左側以及右側。另

外左右兩側的輸入輸出以及下方取樣訊號輸入側的 PAD 都依照 CIC 量測實驗室所提供之探針的規範來擺放，上方全部都是 DC 訊號用的 PAD。由於整個晶片會消耗相當程度的功率，因此必需使用適當數量的 PAD，以作傳輸電源之用。整個晶片的面積約為 $1.12 \times 1.1 \text{mm}^2$ 。另外輸入、輸出及 Clock 這些要下針的高速訊號線在晶片內是以  $50\Omega$  特性阻抗的傳輸線 (Transmission Line) 來繪製，我們使用最上層的金屬 (Metal9) 來設計，使得該傳輸線對基底有較小的寄生電容效應，並根據製程資料計算出適當的線寬，使其在高頻時反射量較少、能較順利傳輸。且在佈局中的每條線都有考慮到要承受的電流，去畫其相對所需的寬度。

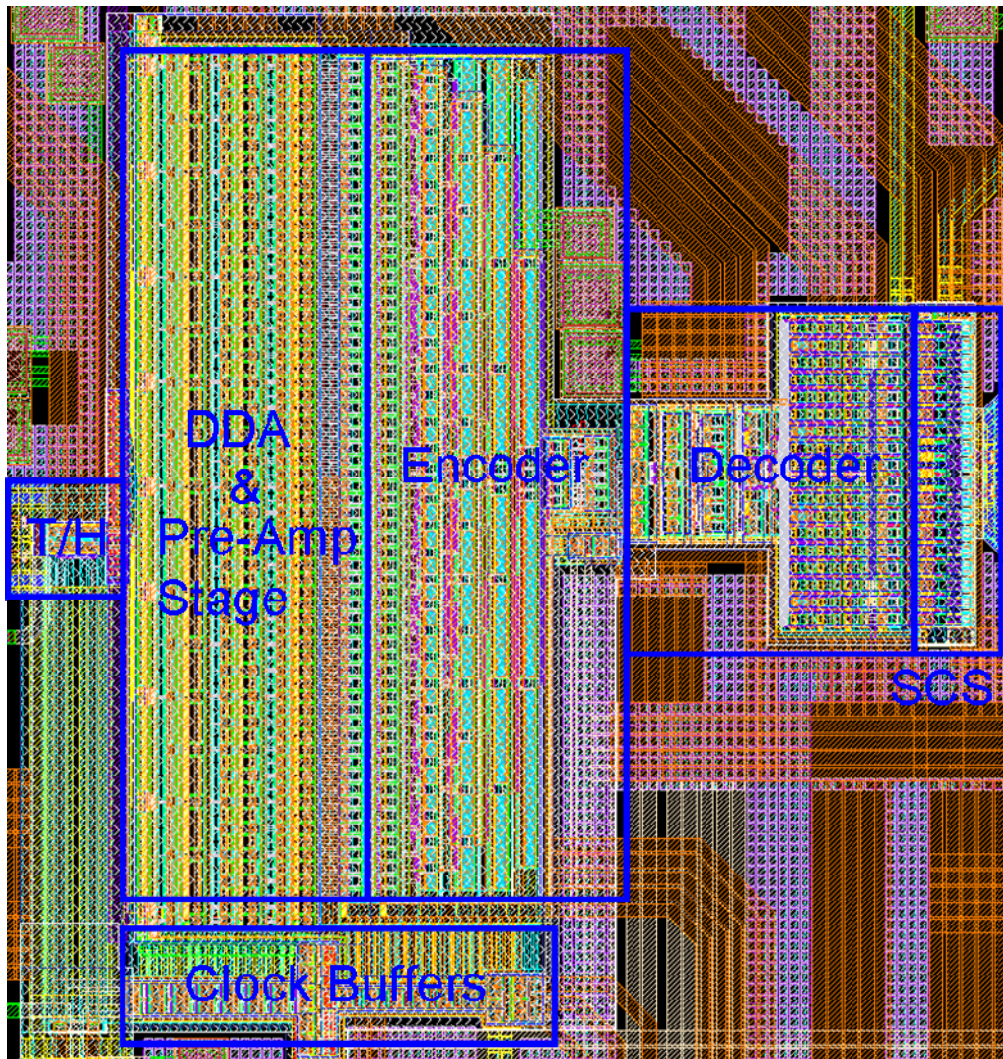


圖 5-14 ADC 與 DAC 核心之佈局



圖 5-14 顯示晶片核心 ADC 及 DAC 的佈局圖，主要的 functional block 也都標示在圖中。因為整個佈局會被 PAD 圍起來的大小所限制，所以在核心電路以外的地方，我們在幾個比較大面積的空間使用 MIM (Metal-Insulator-Metal) 電容，用來解耦合 (decoupling) DC 訊號上可能出現的雜訊或其他干擾，以獲得較穩定的 DC 訊號；而其他零星部分的面積，我們大量使用如圖 5-15 所示的三明治 (sandwich) 結構的電容來填補。這主要是利用各層金屬之間的材質當作電容，可得到類似於電容的效果。我們使用 Metal1 至 Metal5 這幾層來製作，其作用也是用作解耦合電容 (Decoupling Capacitor)，穩定 DC 訊號並降低電源端的擾動。至於主要電流走線以 Metal 6 至 Metal 9 這幾層厚金屬 (heavy metal) 為主，原因是這幾層金屬單位面積所能承受的電流量是比較高的，而我們的測試晶片又是相當消耗功率的，所以必須確保有足夠的承載能力。

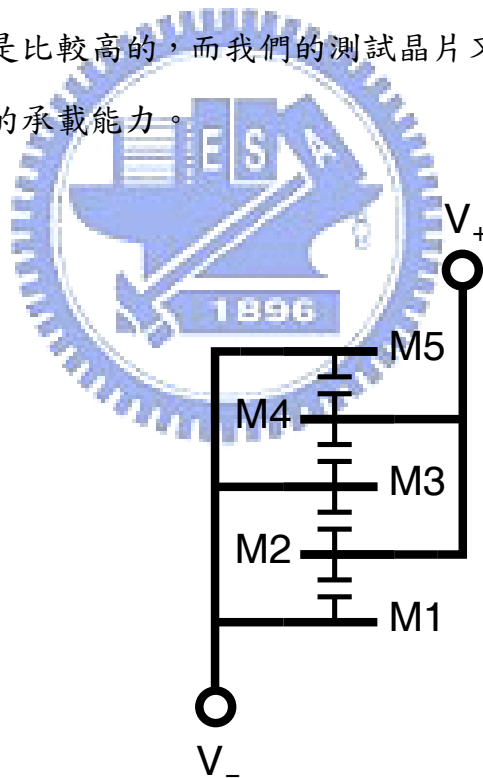


圖 5-15 三明治 (sandwich) 電容之結構

## 第六章 130nm之實驗晶片量測結果

---

---

本章節為 130nm 之測試晶片的量測結果，首先會介紹我們的量測環境以及所使用到的儀器，接下來是說明量測時所使用的 PCB 板，量測的結果包含有靜態參數和動態參數兩部份以及功率消耗，晶片顯微照片也會有所說明。而我們一共使用了兩種製程來實現前面所介紹的架構，第一種是使用 TSMC 0.13 $\mu$ m CMOS Mixed-Mode RF technology 來實現，實現規格為取樣頻率 5GS/s、6-bit 的 ADC 和 DAC，第二種則是使用 UMC 90nm CMOS Mixed-Mode 1P9M Low-K technology 來實現，規格就是我們前面所預期的 10GS/s、6-bit 的 ADC 和 DAC。

此測試晶片是使用 TSMC 0.13 $\mu$ m CMOS Mixed-Mode RF technology 在相同架構下實現 5GS/s、6-bit 的 ADC 和 DAC，比較不一樣的部份是這個測試晶片有比較完整的測試模式，在稍後的小節會有詳細的介紹。

### 6.1. 實體晶片顯微照 (Chip Micrograph)

圖 6-1 為使用 TSMC 0.13 $\mu$ m CMOS Mixed-Mode RF technology 製作的實驗晶片顯微照片 (Chip Micrograph)，且各部份主要的方塊都標示在圖中。整個晶片的面積約為 1.44 X 1.16 mm<sup>2</sup>。

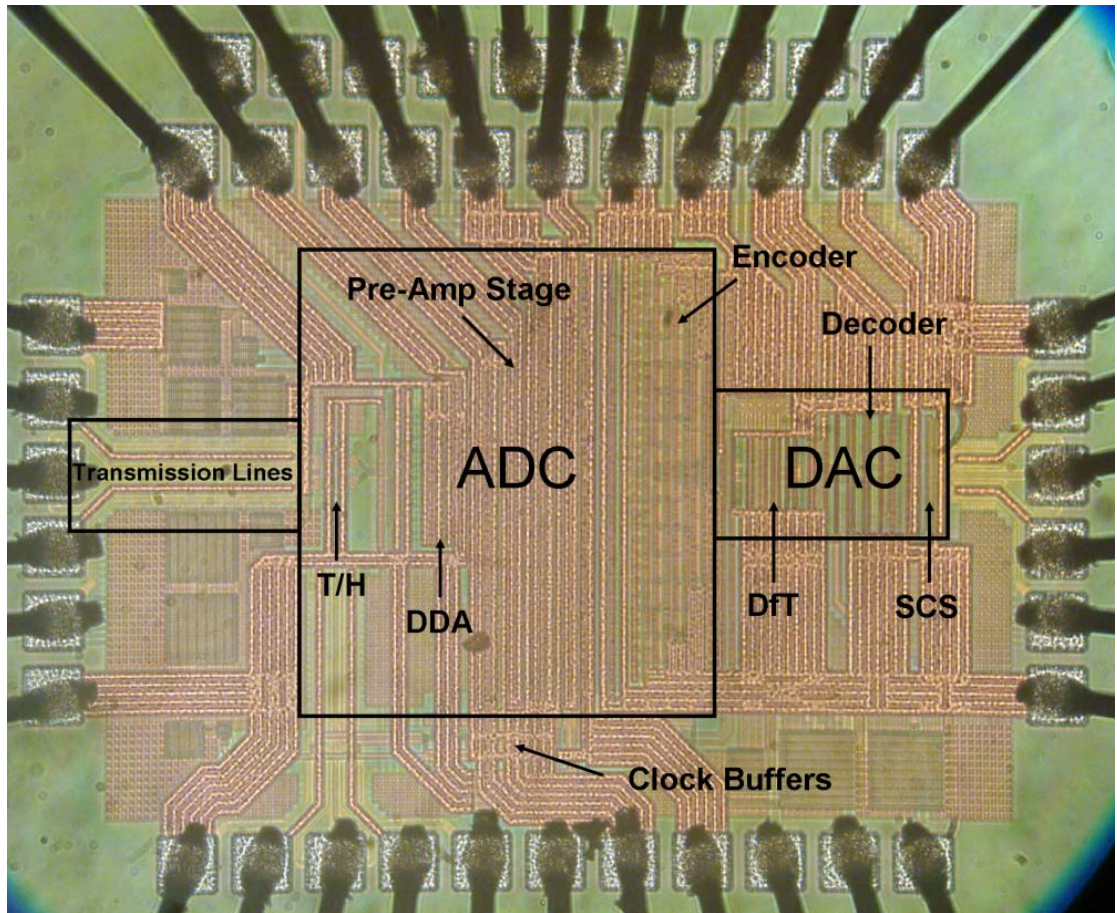


圖 6-1 130nm 之實驗晶片顯微照片 (Chip Micrograph)

## 6.2. 晶片實驗測試板及測量環境設定

晶片的量測是直接放置在印刷電路板 (Print Circuit Board, PCB) 上，並經由打線 (wire bonding) 連接測試晶片 (test chip) 與 PCB，免去封裝 (package) 時可能引入過大的寄生元件效應。圖 6-2 為晶片實驗測試板的實體照片。測試晶片位於電路板下半部份的中心位置黑色正方形的區域，已經使用黑膠覆蓋避免晶片與空氣接觸，主要輸入輸出 (I/O) 訊號的走向與晶片之佈局一致。為了使高頻訊號可以順利經由 PCB 輸入至晶片，以及晶片输出的高速訊號可以順利的傳送至 PCB 右側的输出，在這些主要的 I/O 與晶片之間我們繪製了具備  $50\Omega$  特性阻抗的傳輸線 (Transmission Line)，如圖中各端 SMA 接頭與晶片之間的實線所示，另外其他主要的元件配置也都如圖中所標示。

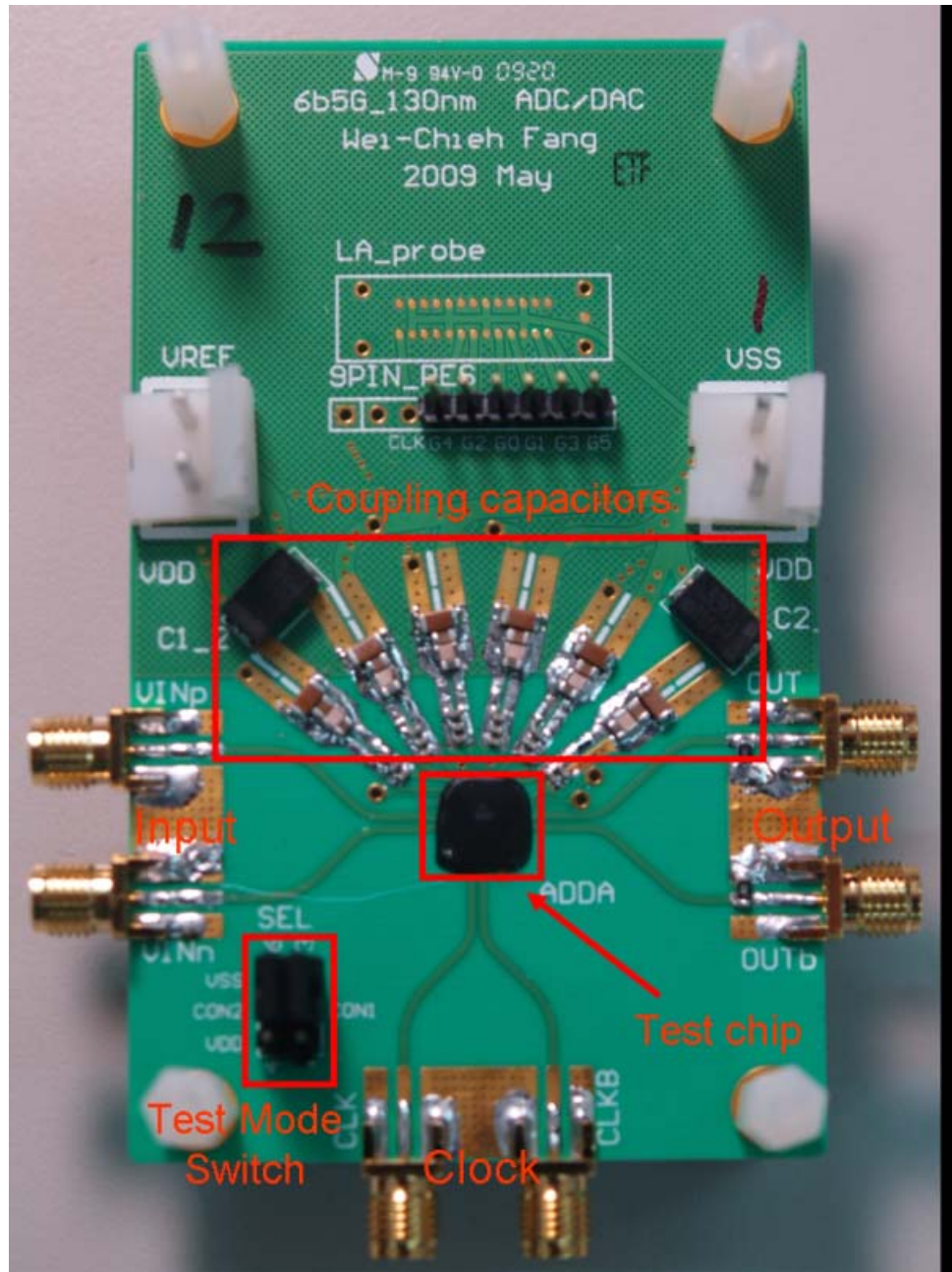


圖 6-2 130nm 之晶片實驗測試板

實驗晶片的測量環境設定如圖 6-3 所示，所有量測使用到的儀器也都標示在圖中。使用高頻類比訊號產生器放置在左側並輸入至電路，取樣時脈訊號也由高頻類比訊號產生器產生，並從下方輸入。而輸出根據 Test Mode Switch 所設定的測試模式選用功率頻譜分析儀 (Power Spectrum Analyzer, PSA) 或是數位電表 (Digital multimeter) 來分別作動態參數 (Dynamic Parameters) 以靜態參數 (Static Parameters) 的量測。

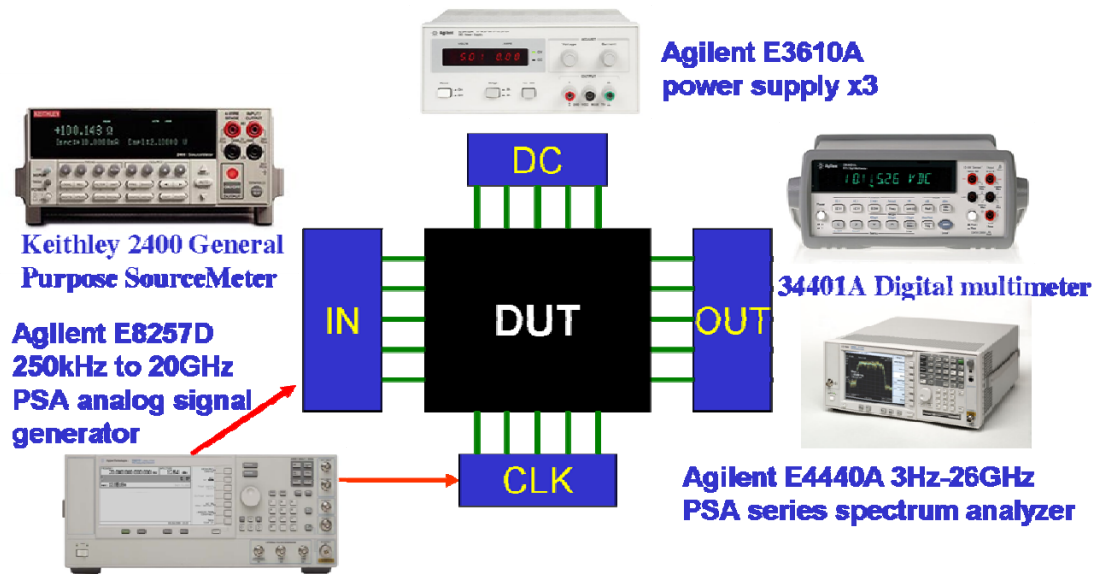
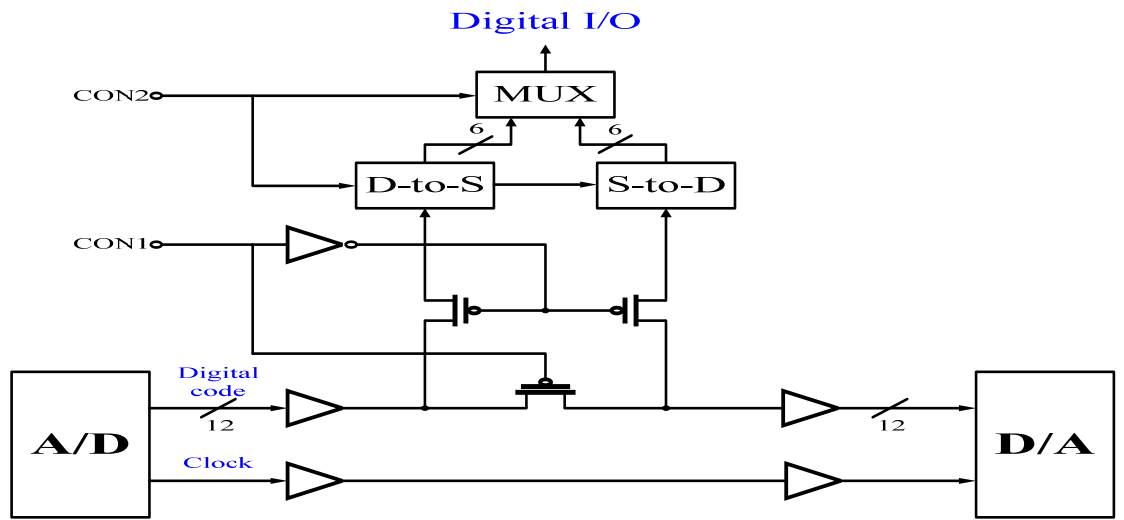


圖 6-3 晶片測試環境設定 (Measurement Setup)

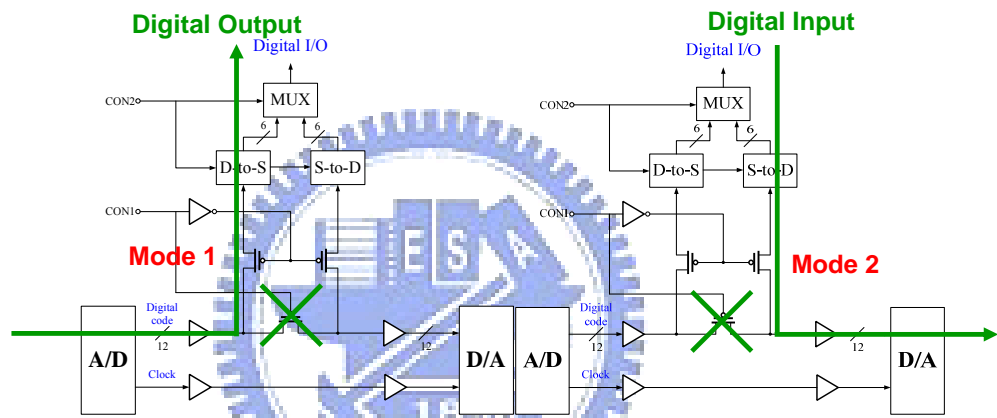
由於我們使用的訊號產生器(Agilent E8257D 250kHz to 20GHz PSA analog signal generator)只提供單端 (single-ended) 的輸出埠，因此我們利用 Balun (180° Hybrid Coupler) 將訊號轉成雙端差動的形式，再經由兩個寬頻的 DC-blocking 將儀器輸出可能帶有的直流成份濾除，只留下交流訊號進入到電路當中，測試晶片輸出之差動訊號也經過相同的處理，將差動輸出轉換成單端形式的訊號以供功率頻譜分析儀接收並分析。

在 130nm 版本這個測試晶片中，我們有加入與 90nm 版本的測試晶片不同的測試電路(Design-for-Testability, DfT)，是放置在 ADC 與 DAC 中間，其測試電路使用控制訊號線 con1 和 con2 提供了三種不同的測試模式，功能分別如下：

- (1) Mode 1(圖 6-4(b))：此時可單獨測量 A/D。
- (2) Mode 2(圖 6-4(c))：此時可單獨測量 D/A。
- (3) Mode 3(圖 6-4(d))：將 A/D 和 D/A cascade 起作測量，其方式在前一章節已提過，這此不加以贅述。

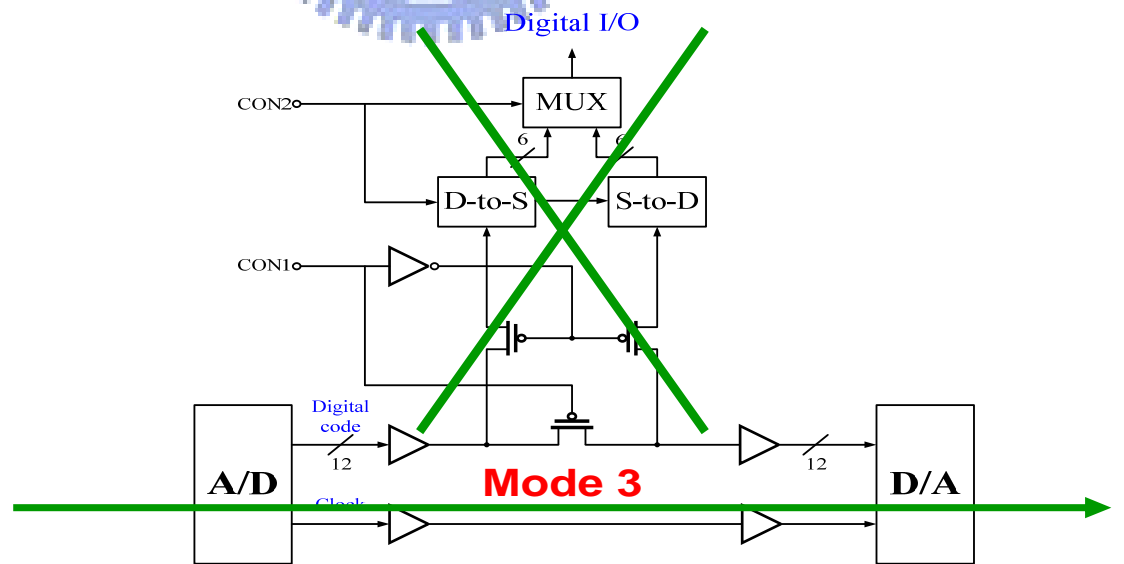


(a)



(b)

(c)



(d)

圖 6-4 130nm 之測試晶片之各種測試模式

### 6.3. 靜態參數 (Static Parameters) 量測結果

在測試模式 2 中，給予 5GHz 的取樣訊號，對 DAC 輸入數位 Gray code，使 DAC 產生相對應於輸入的輸出電壓值，以此方式漸增改變(0~63)輸入 DAC 的 Gray code 輸入，利用測得的數據可畫出測試模式 2 中量測之 DAC 輸入輸出轉換特性曲線 (DAC input-out transfer curve)，如圖 6-5 所示。接下來改為測試模式 1，然後逐步改變 ADC 輸入直流電壓值，利用測試模式 2 所測得的每個數位碼所對應 DAC 輸出電壓值當作 ADC 相鄰兩碼間的轉態電壓值，利用測得的數據可畫出測試模式 1 中量測之 ADC 輸入輸出轉換特性曲線 (ADC input-out transfer curve)，如圖 6-6 所示。

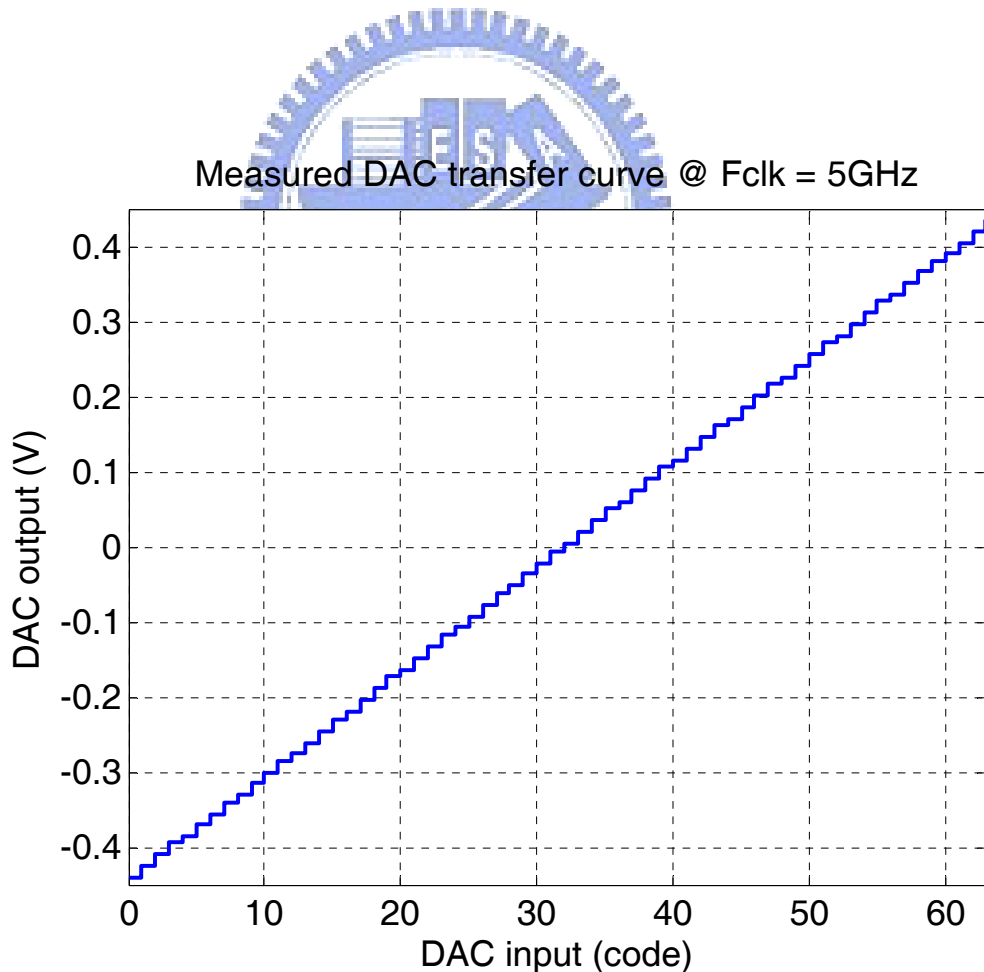


圖 6-5 測試模式 2 中量測之 DAC 輸入輸出轉換特性曲線

Measured ADC transfer curve @ Fclk = 5GHz

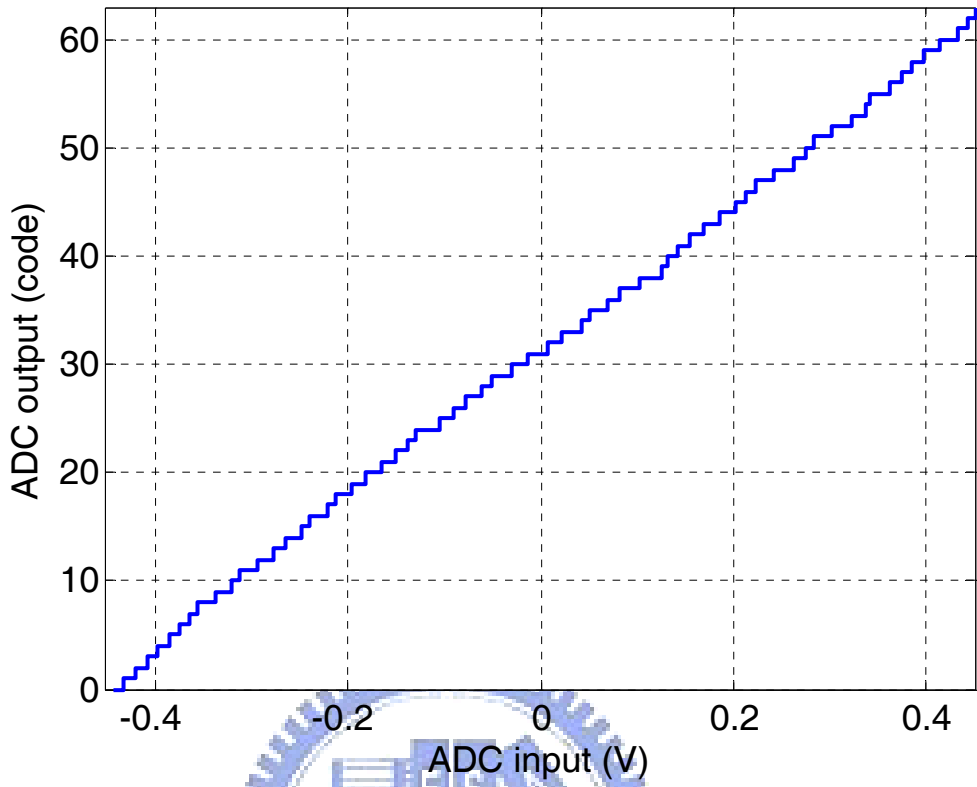


圖 6-6 測試模式 1 中量測之 ADC 輸入輸出轉換特性曲線

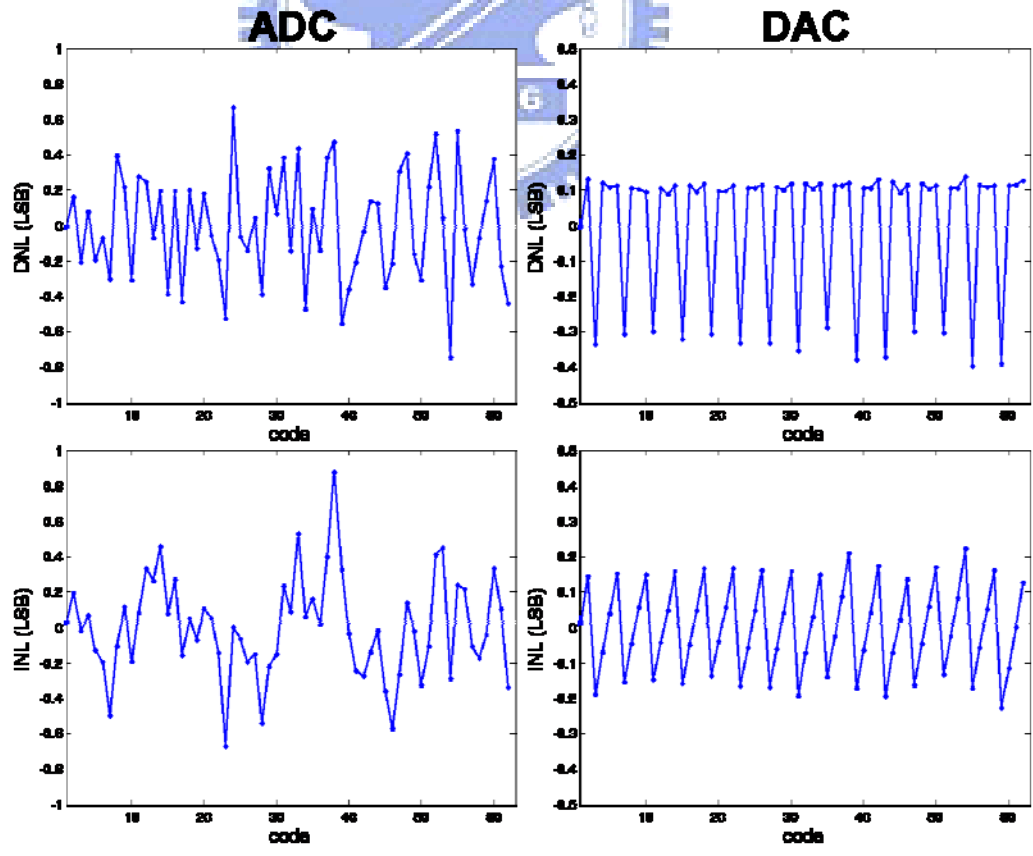


圖 6-7 130nm 測量之 DAC 與 ADC 之 DNL&INL



經由此兩轉換曲線可計算出 DAC 與 ADC 個別的 DNL 和 INL，結果如圖 6-7 所示。DAC 的 DNL 變化從-0.4 到 0.1 LSB，INL 則介於-0.2 到 0.2 LSB 之間。ADC 的 DNL 為-0.7 到 0.7 LSB，INL 從-0.7 到 0.9 LSB。可知 DAC 的 DNL 與 INL 都不超過 0.4LSB，顯示 DAC 本身良好的線性度。ADC 的 DNL 與 INL 則都不超過 1LSB，而這些測得的 DNL 與 INL 都是在 5GS/s 的取樣率下得到的結果。

## 6.4. 動態參數 (Dynamic Parameters) 量測結果

將測試晶片操作在測試模式 3 中形成 digital loopback 的型態，可作所有動態參數 (Dynamic Parameters) 的量測與分析，本節所有提及的量測結果都是在此測試模式下得到的結果。

### 6.4.1. 取樣時脈對各種動態參數 (Clock Frequency vs. Dynamic Parameters)

輸入 0.5GHz、-1dBFS 的 sinusoidal 訊號，但改變取樣時脈訊號的頻率，從 2GS/s 逐步往上增加到 6GS/s，每個取樣訊號頻率下得到的各種動態參數如圖 6-8 所示。可看出整個資料轉換器對 (Data Converter Pair) 在取樣訊號頻率在 3.5GS/s 以前，SNDR 參數都沒有太大的變化，維持在相當程度的情形，且計算此取樣頻率範圍之間的 ENOB 都可達到 5 bits 以上的解析程度。一直到 4GS/s 左右，SNDR 參數開始有明顯的下降，降到 30dB 以下，也就是表示此資料轉換器最快的取樣時脈訊號頻率大約是在 3.5GS/s，這與我們預期的 5GS/s 取樣頻率有落差，原因在後面再做探討，不過由前面 ADC 的 DNL 和 INL 的量測結果已經可以知道在 5GS/s 取樣頻率下效能應該不會太好，因此接下來輸入訊號頻率對各種動態參數的量測，我們將取樣頻率訂在曲線尚未下降的 3GS/s 來做量測。

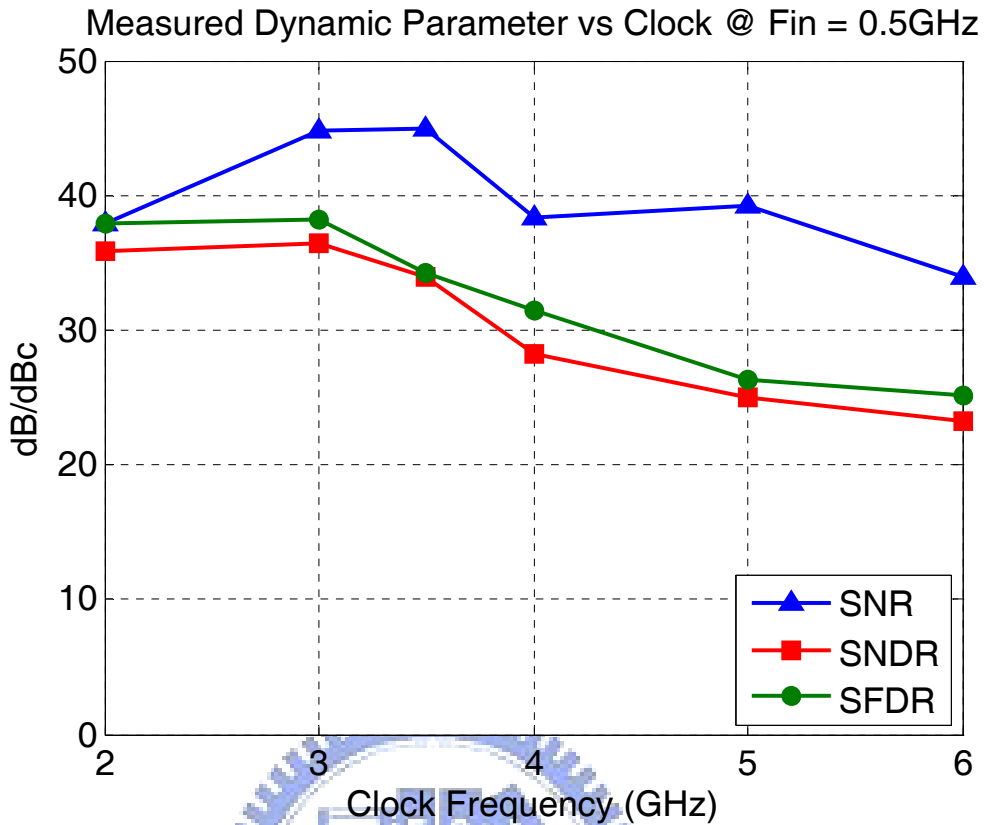


圖 6-8 130nm 測量之不同取樣訊號頻率與各動態參數的關係

#### 6.4.2. 輸入訊號頻率對各種動態參數

##### ( Input Frequency vs. Dynamic Parameters )

在 3GS/s 的取樣頻率下，將輸入的 sinusoidal 訊號頻率從 150MHz 逐漸增加到約 1.5GHz，可測得圖 6-9 的輸入訊號頻率對各種動態參數的關係。觀察 SNDR 的響應曲線，可知整組資料轉換器對在 1.3GHz 之前有效位元數都在 5bits 以上。而當輸入訊號超過 1.3GHz 之後，主要因為訊號主 tone 的功率下降幅度變快，而導致動態參數發生明顯的下降，不過 SNDR 仍有 25dB 以上。而 SFDR 在有效頻寬以內都可達到超過 30 dBc 以上的水準；SNR 曲線則都有 32dB 以上的表現，圖 6-10 顯示 3GS/s 取樣頻率下且輸入訊號頻率為 0.5GHz 時測得的輸出訊號頻譜，計算該頻譜的動態參數可得 SFDR 為 36.7 dBc、SNDR 為 35.4dB 且 SNR 高達 46.1 dB。圖 6-11 則為訊號頻率為 1.36GHz 時同樣訊號頻率下測得的輸出訊號頻譜，計算可得 SFDR 為 31.8 dBc、SNDR 為 26.6dB 且 SNR 達 33.1 dB。

而由前一章節的討論及模擬結果可知，接 A./D 和 D/A 串接量測結果必然包含了 DAC 本身所導致之 ZOH 效應的影響，因此我們在做量測時應把因為 DAC 的 ZOH 效應所下降的主 tone 功率補償回去，而圖 6-9 所量測到的數據是已經做過補償後的結果，不把補償前面做比較是因為既然已知有受到 ZOH 的影響，這樣補償前的數據就已不具意義。比較圖 6-10 跟 6-11 兩張圖，可以發現 noise flow 有明顯上升而且主 tone 功率下降的很明顯，這也就是為什麼兩張頻譜在 SFDR 差異不大，但是 SNDR、SNR 參數卻有很大的差距。noise floor 上升的原因可能是因為輸入訊號頻率上升而導致 ADC 的量化誤差(Quantization error)增加，而主 tone 功率的下降則可能是 transmission line 的阻抗匹配沒有設計好，而當輸入訊號頻率增加時可以真正進入電路的訊號功率也就越小。

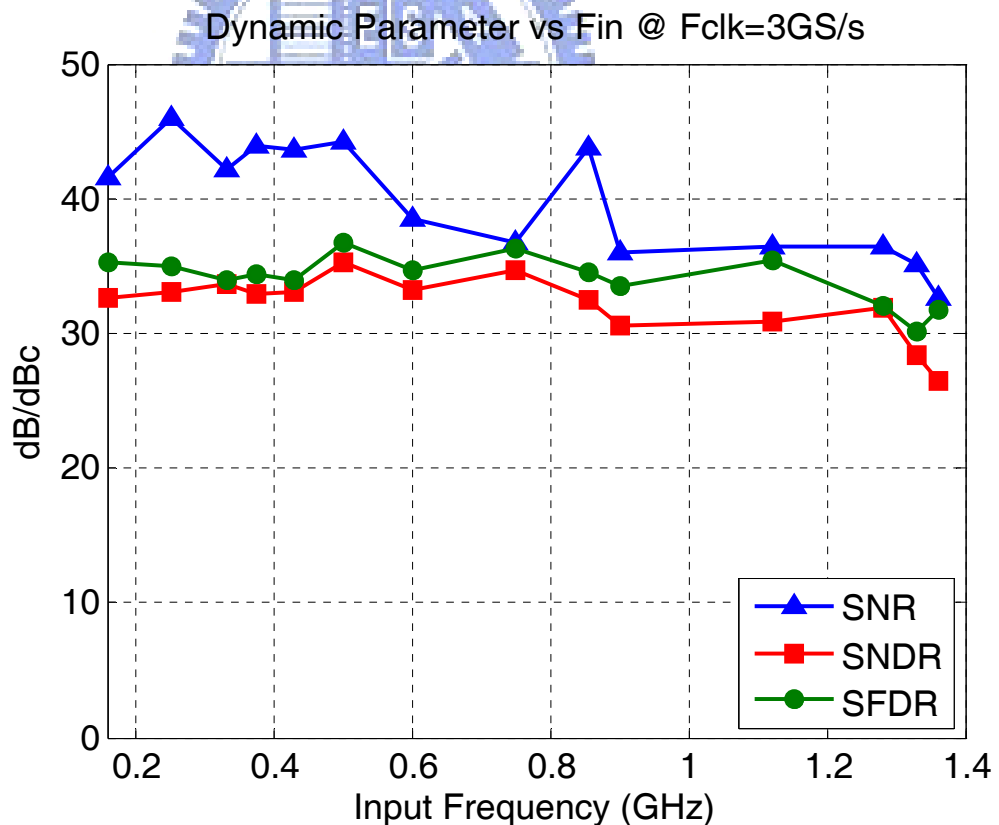


圖 6-9 130nm 測量之不同輸入訊號頻率與各種動態參數之關係 (@ 3GS/s)

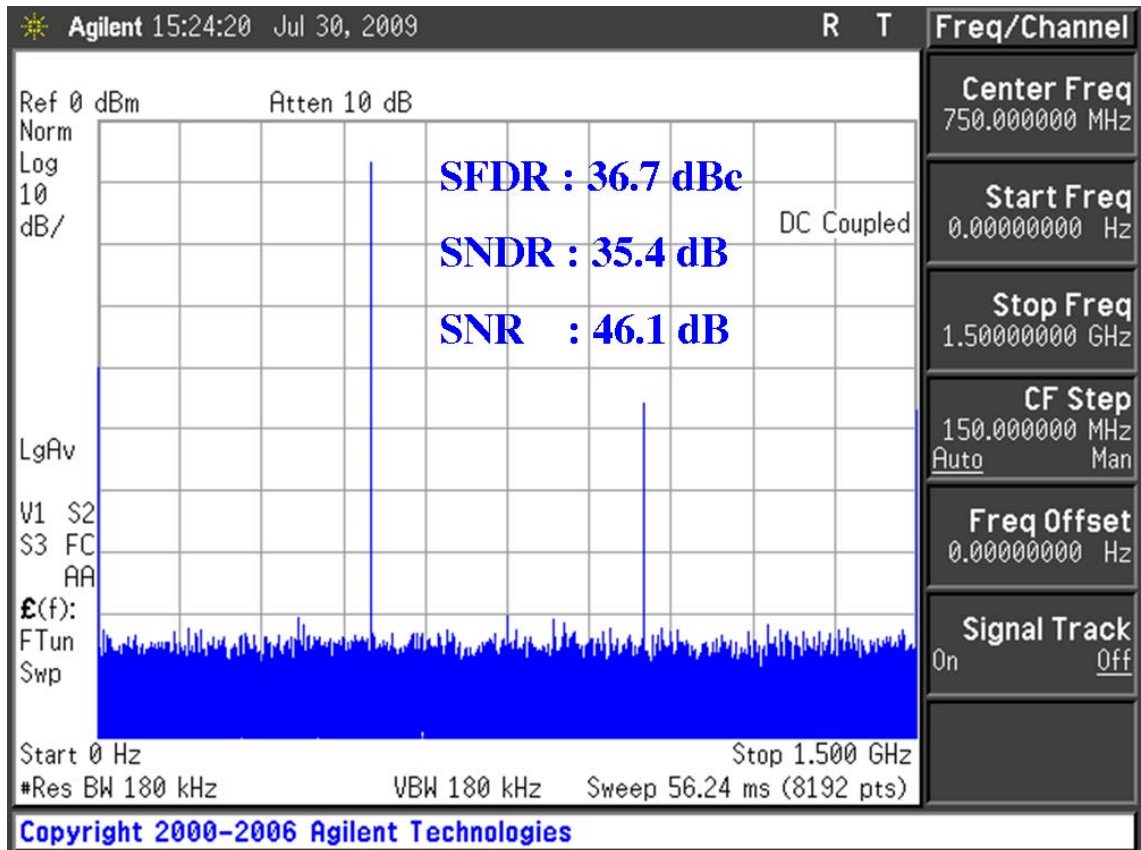


圖 6- 10 130nm 之輸入 0.5GHz 之 sinusoidal 訊號@3GS/s 時測得之頻譜

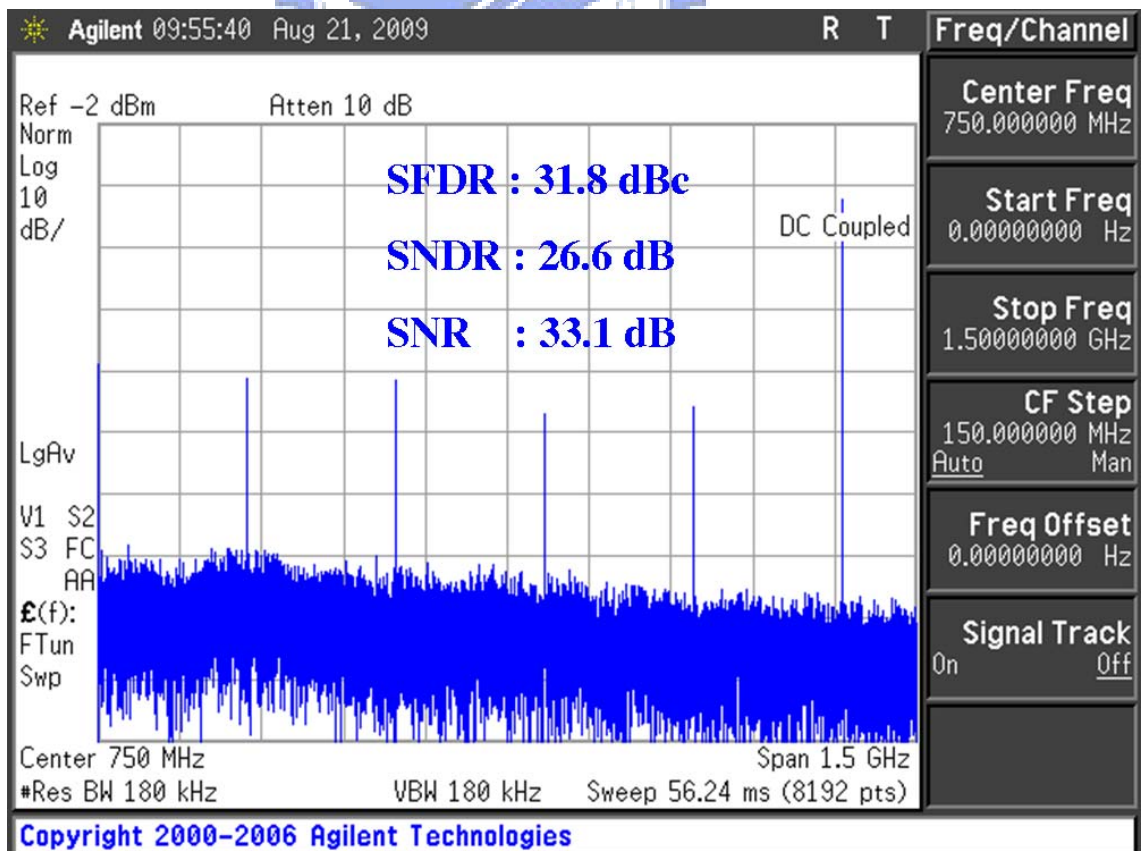


圖 6- 11 130nm 之輸入 1.36GHz 之 sinusoidal 訊號@3GS/s 時測得之頻譜

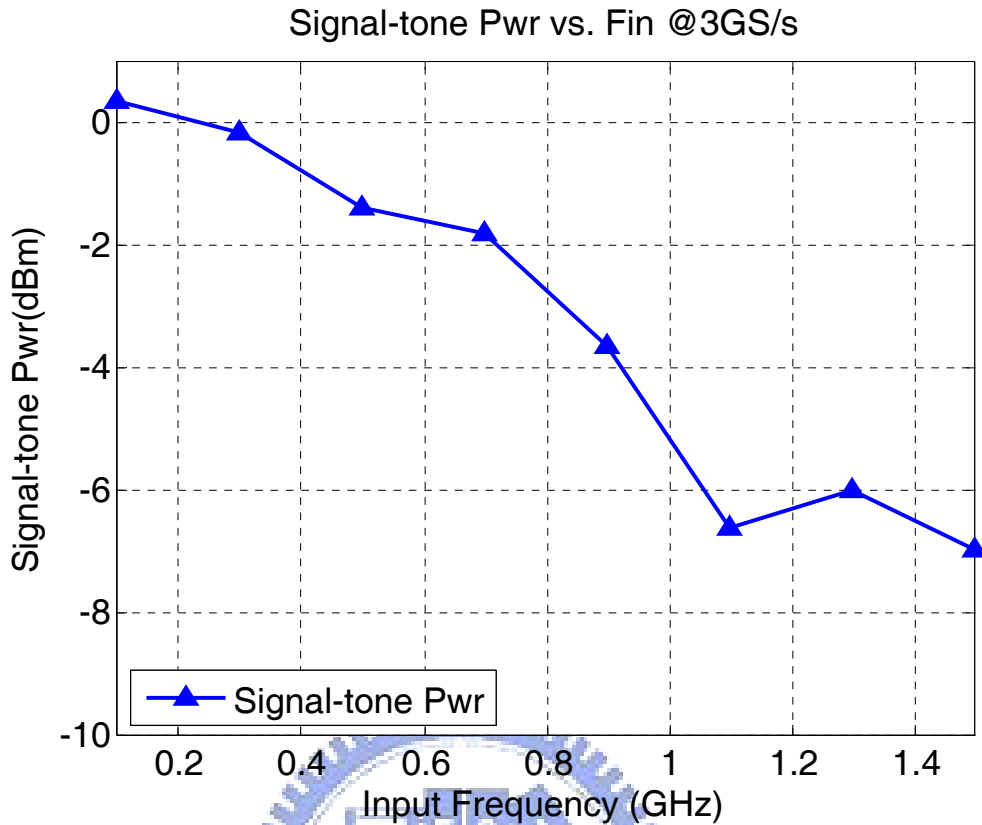


圖 6-12 130nm 之主 tone 功率隨輸入訊號頻率變化之情形 (@3GS/s)

圖 6-12 是在取樣頻率為 3GS/s 的情況下，主 tone 功率隨輸入訊號頻率變化之情形，由圖中我們可以發現主 tone 功率隨輸入訊號頻率增加而一路下降，到了超過 1GHz 更是有一個明顯的大降福，主 tone 功率隨著訊號頻率增加由下降是原本是合理的，但是此量測結果與之前學長的情形比較起來卻顯的相當不合理，理由是我們在 layout 上是使用相同的 transmission line 但是實驗室之前的量測結果在整個頻寬內 tone 功率只有 -5dBm 的下降。這個主 tone 的功率變化對資料轉換器的效能影響非常大，以圖 6-10 跟 6-11 為例，雖然 noise floor 增加了，但是兩者在主 tone 功率上很大的差距，也就是說如果主 tone 功率有正常進入電路，此資料轉換器的效能可以更好，我們進一步把取樣頻率改為 3.5GS/s 在做一次主 tone 功率隨輸入訊號頻率變化的量測，如圖 6-13 所示。由此圖可以發現曲線的整體趨勢與圖 6-12 相同只是再下平移一點，這也就是表示訊號進入電路的情形就是會如同圖中趨勢，而隨

著取樣頻率增加會在往下降，這就與我們預期的訊號有差異，原本應該是接近直線的曲線再慢慢下降，依之前的量測經驗應該在 3GHz 以內都有 -1dBm 左右的功率，這與現在的量測結果相差實在很大，因此把我的設計與之前的做比較，推測是 PCB 板的設計可能有了問題，因為在晶片部分的 transmission line 設計都是依照一樣的流程，所以路徑上不同的就只有 PCB 板上這部份，這次的 PCB 板是有換過與以前不同的材質，推測可能這部份產生了很大的影響。

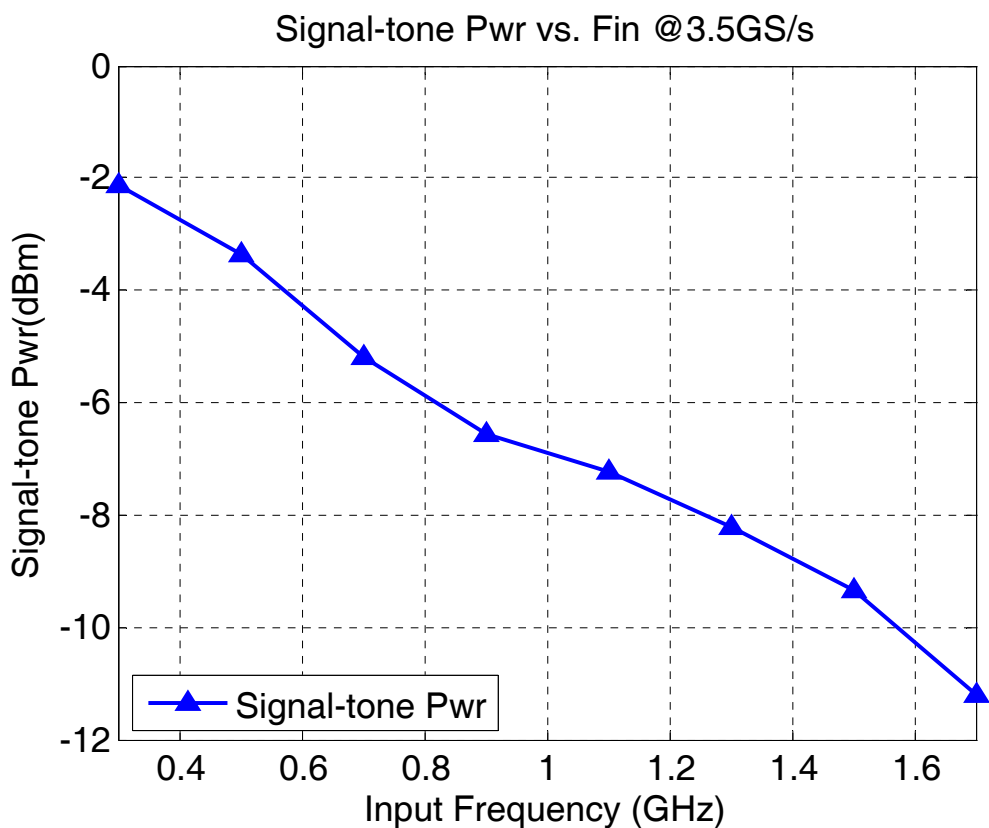


圖 6-13 130nm 之主 tone 功率隨輸入訊號頻率變化之情形 (@3.5GS/s)

最後我們把訊號產生器的輸出經過 Balun 後再經由傳出線與同樣經過 Balun 的功率頻譜分析儀的輸入端相接，也就是與測試環境一樣的設定只是沒有經過電路，量測結果如圖 6-14 跟 6-15 所示，計算結果可知訊號源有 6 bits 以上的精準度，足以用來量測我們的電路，顯示我們的測試環境沒有問題。

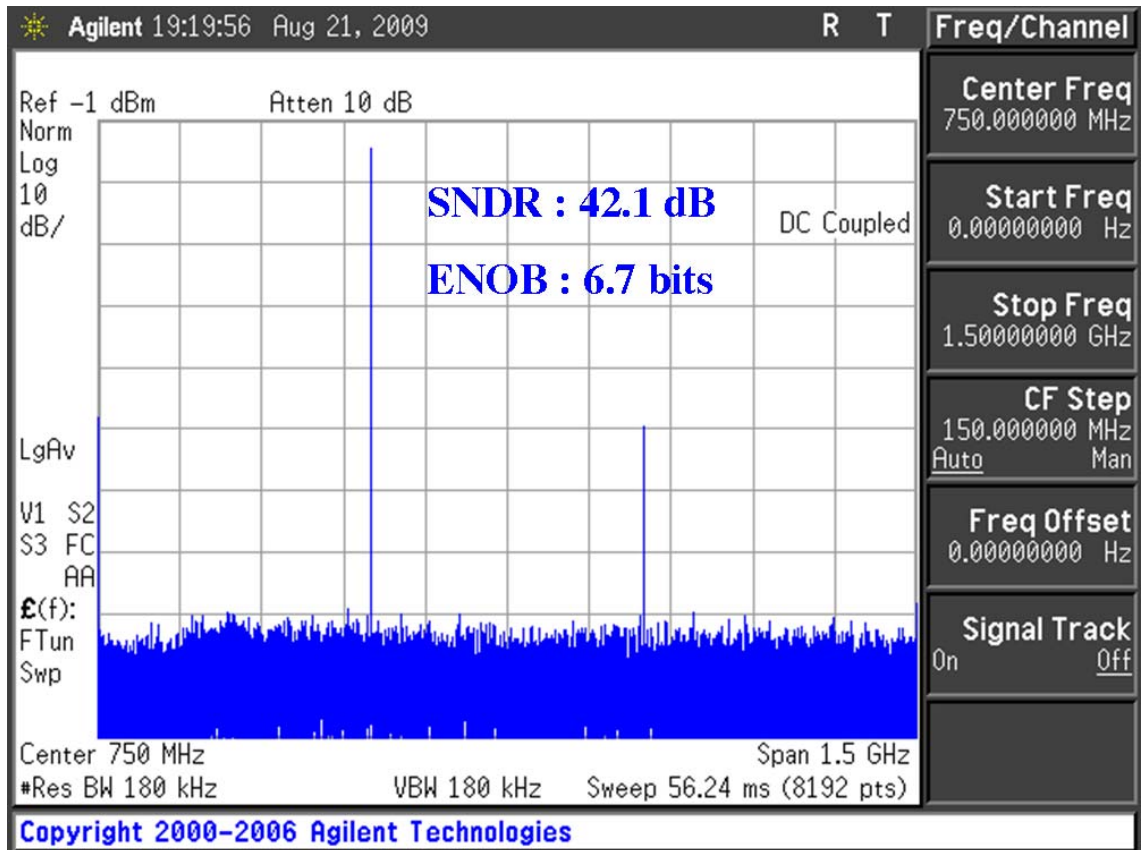


圖 6-14 130nm 之測試環境下輸入 0.5GHz 之 sinusoidal 訊號之頻譜

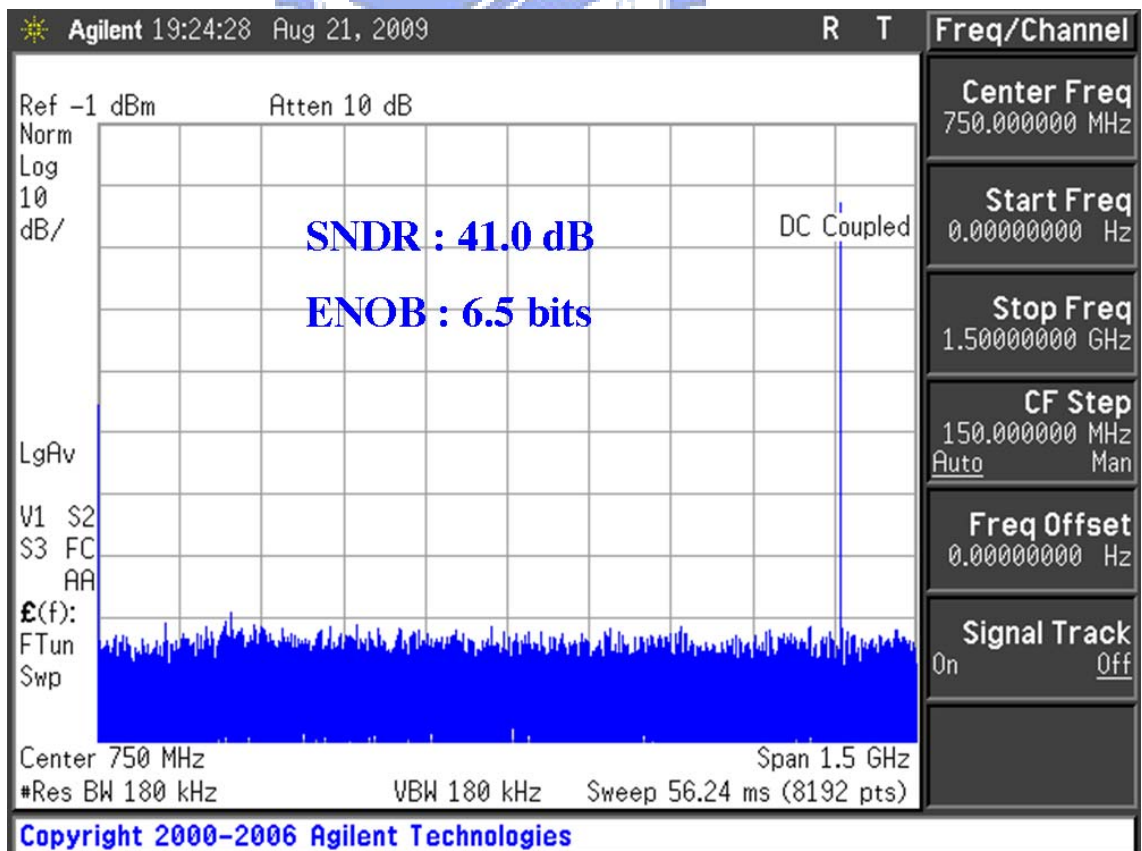


圖 6-15 130nm 之測試環境下輸入 1.36GHz 之 sinusoidal 訊號之頻譜

## 6.5. 130nm 之功率消耗

整個測試晶片的功率消耗如表 6-1 所示，在 5GS/s 的取樣頻率以及 1.2V 的供應電源下，DAC 只消耗約 95mW 的功率，且 ADC 消耗約 688mW，此設計能高達 5GS/s 取樣率，但所消耗的功率卻相對低得許多。說明了我們在先前所提到前置放大器的級數與功率確實有朝向最佳化的效果。整個測試晶片包含 DfT 部分的電路總共消耗約 790mW。

表 6-1 130nm 之測試晶片之功率消耗比較表

<b>Blocks</b>	<b>Analog</b>	<b>Digital</b>	<b>Total</b>
<b>DAC</b>	20	75	95
<b>ADC</b>	477	199	676
<b>Total Power Consumption of the DAC &amp; ADC</b>	497	274	771
<b>Total Power Consumption including the DfT Circuits</b>	497	293	790
Unit : mW			



表 6-2 130nm 之測試晶片之規格比較表

Item		expected	measured
Supply voltage		1.2 V	1.2 V
Sampling rate		5GS/s	3GS/s
DNL/INL (LSB)	ADC	$\pm 0.15/\pm 0.4$	$\pm 0.7/\pm 0.9$
	DAC	$\pm 0.03/\pm 0.02$	$\pm 0.4/\pm 0.2$
SFDR @ Fin=0.5GHz		52.3 dBc	38.2 dBc
SNDR @ Fin=0.5GHz		36.8 dB	36.4 dB
ENOB @ Fin=0.5GHz		5.8 bits	5.8 bits
Power dissipation		853 mW	790 mW

表 6-2 列出了 130nm 版本的預期設計目標與實際量測的比較表，由表中可知我們預期設計出可達 5GS/s 的取樣頻率，但實際量測只達到 3GS/s，最高大概是到 3.5GS/s，其原因在前面那段已經探討過了，當然製程偏移也是可能的因素之一，不過這本來就應該要在設計考量中，所以就不加以探討了。

## 第七章 90nm之實驗晶片量測結果

---

---

本章節為 90nm 之測試晶片的量測結果，量測環境以及所使用到的儀器在前一章節已經介紹過了，接下來是說明量測時所使用的 PCB 板，量測的結果包含有靜態參數和動態參數兩部份以及功率消耗，晶片顯微照片也會有所說明，最後會跟現有文獻做個比較。

### 7.1. 實體晶片顯微照 (Chip Micrograph)

圖 7-1 為使用 UMC 90nm CMOS Mixed-Mode 1P9M Low-K technology 製作的實驗晶片顯微照片 (Chip Micrograph)，且各部份主要的方塊都標示在圖中。整個晶片的面積約為  $1.12 \times 1.1 \text{ mm}^2$ 。



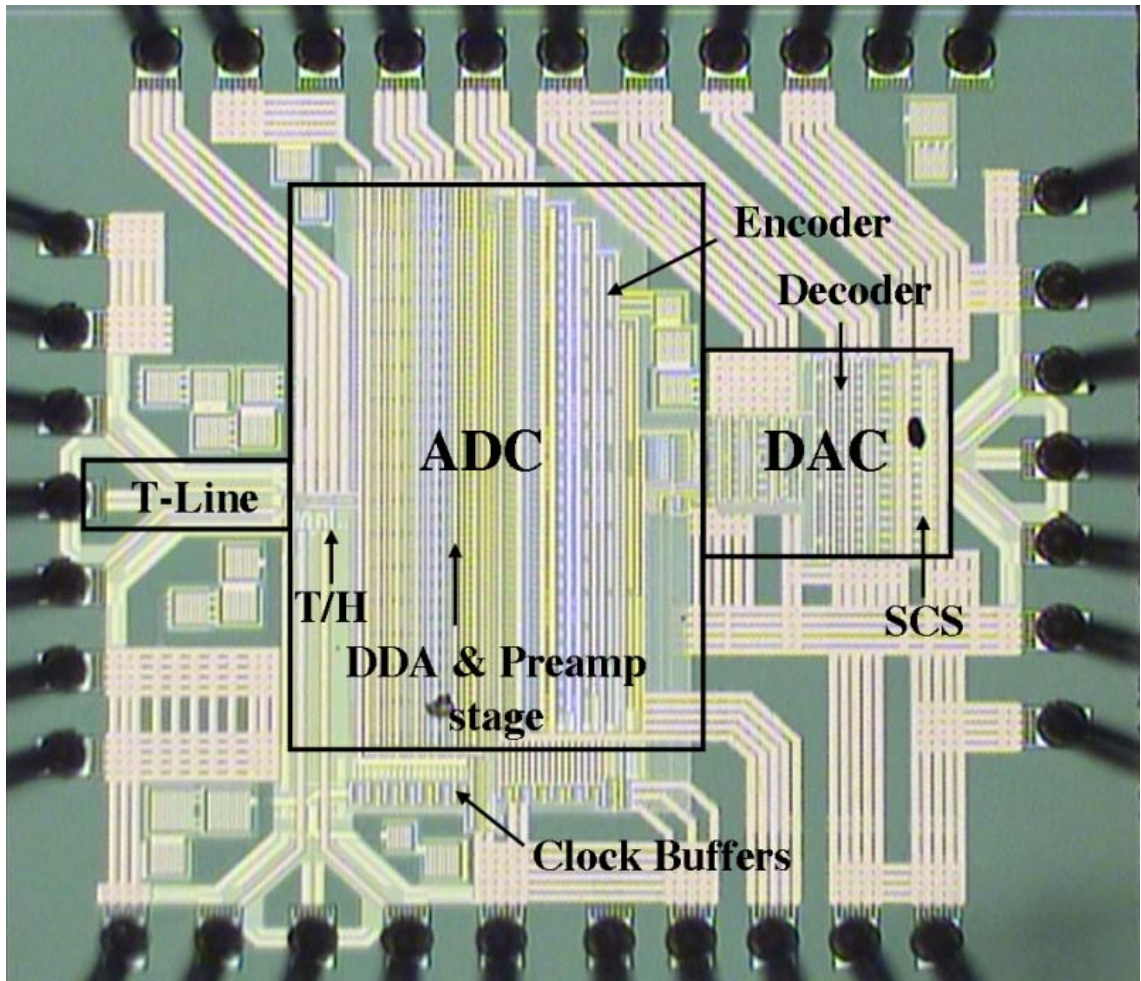


圖 7-1 90nm 之實驗晶片顯微照片 (Chip Micrograph)

## 7.2. 晶片實驗測試板

晶片的量測方式一樣是直接放置 PCB 上，並使用金線作 wire bonding 連接測試晶片與 PCB。圖 7-2 為晶片實驗測試板的實體照片。測試晶片位於電路板下半部份的中心位置黑色圓形的區域，已經使用黑膠覆蓋避免晶片與空氣接觸，主要輸入輸出 (I/O) 訊號的走向與晶片之佈局一致。高速輸入訊號由 PCB 的左側輸入，傳送至 PCB 右側的輸出，而 clock 則由下方進入，在這些主要的 I/O 與晶片之間我們繪製了具備  $50\Omega$  特性阻抗的傳輸線 (Transmission Line)，如圖中各端 SMA 接頭與晶片之間的實線所示，另外其他主要的元件配置也都如圖中所標示。

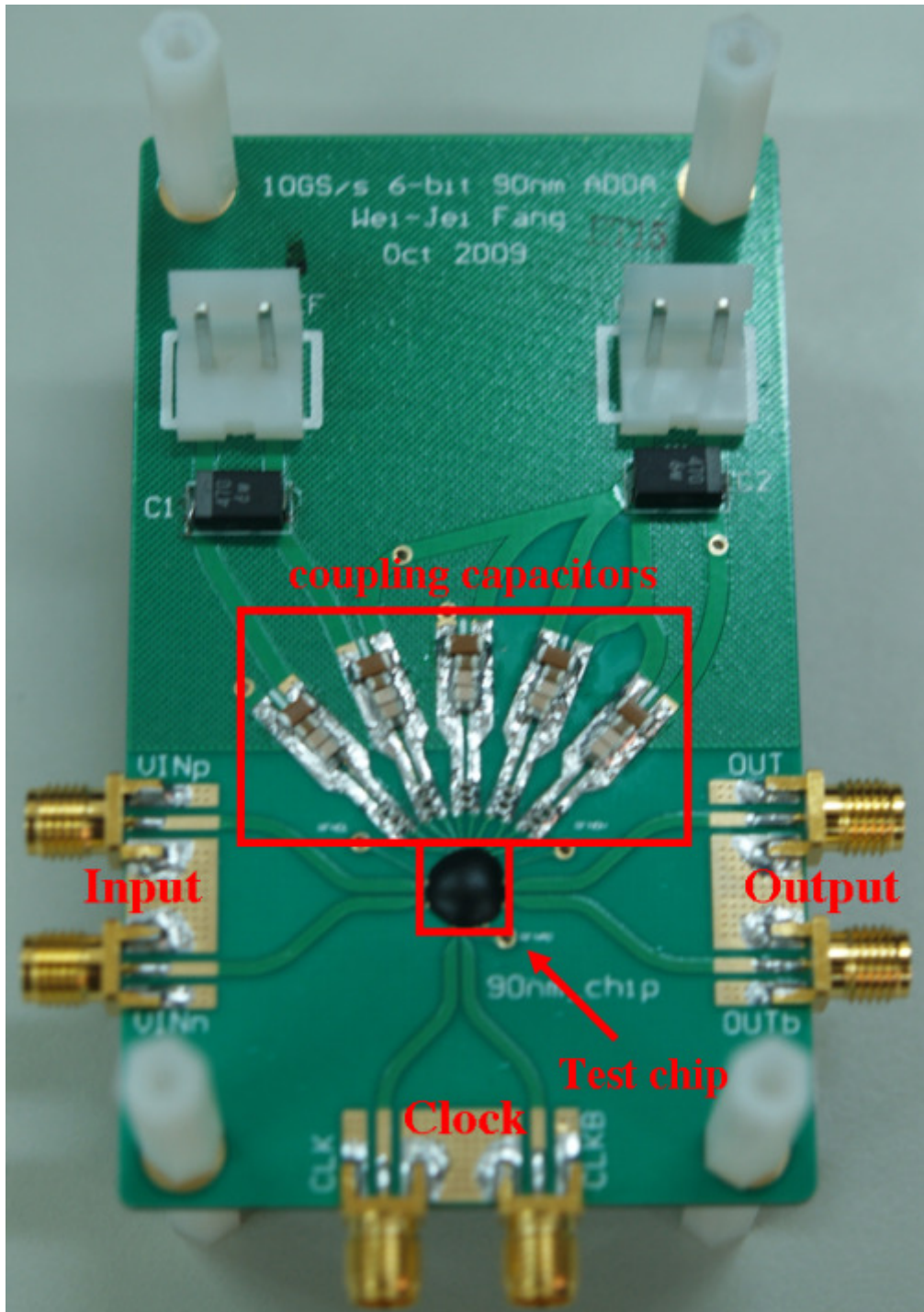


圖 7-2 90nm 之晶片實驗測試板

### 7.3. 靜態參數 (Static Parameters) 量測結果

在第五章提到了在 90nm 的測試機制中，我們是將 ADC 跟 DAC 串接起來作量測，在此測試機制下，給予 10GHz 的取樣訊號，對 ADC 輸入 differential DC 電壓，使 DAC 產生相對應於輸入的輸出電壓值，以此方式漸增改變

(0.6~1.0V)，利用測得的數據可畫出所量測之 DAC 輸入輸出轉換特性曲線 (DAC input-out transfer curve) 與 ADC 輸入輸出轉換特性曲線 (ADC input-out transfer curve)，如圖 7-3 與圖 7-4 所示。

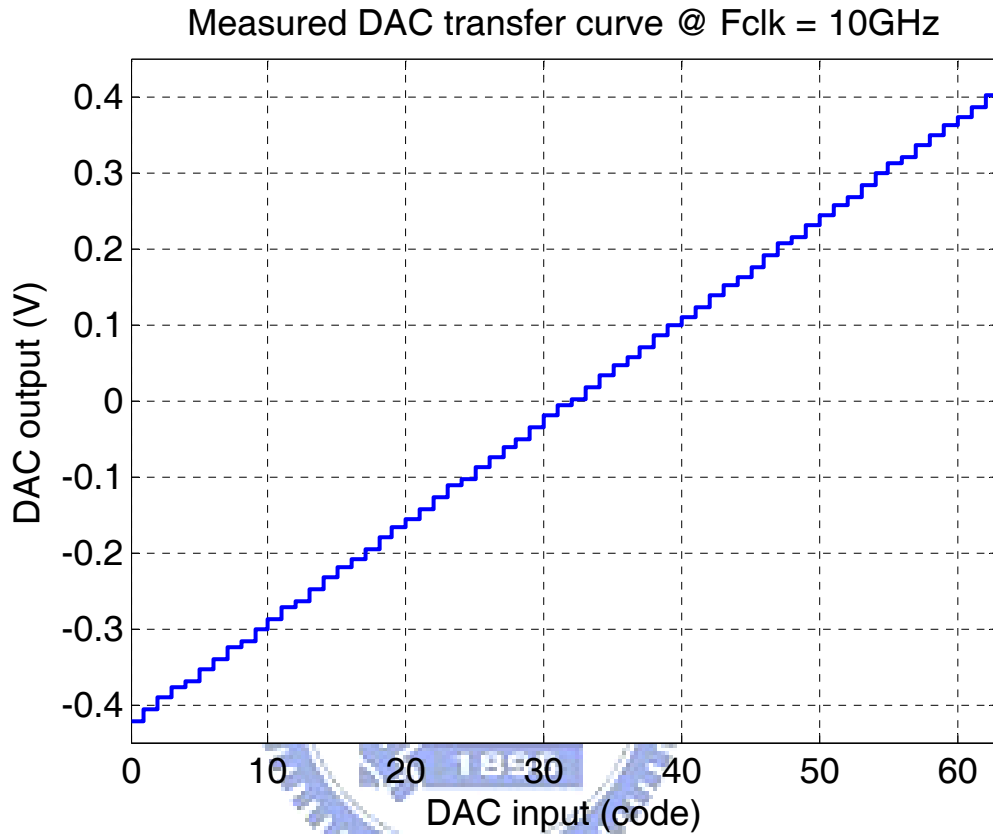


圖 7-3 90nm 量測之 DAC 輸入輸出轉換特性曲線

經由此兩轉換曲線可計算出 DAC 與 ADC 個別的 DNL 和 INL，結果如圖 7-5 所示。DAC 的 DNL 變化從-0.3 到 0.1 LSB，INL 則介於-0.2 到 0.2 LSB 之間。ADC 的 DNL 為-0.4 到 0.4 LSB，INL 從-0.8 到 0.6 LSB。可知 DAC 的 DNL 與 INL 都不超過 0.3LSB，顯示 DAC 本身良好的線性度。ADC 的 DNL 與 INL 則都不超過 0.8LSB，而這些測得的 DNL 與 INL 都是在 10GS/s 的取樣率下得到的結果。

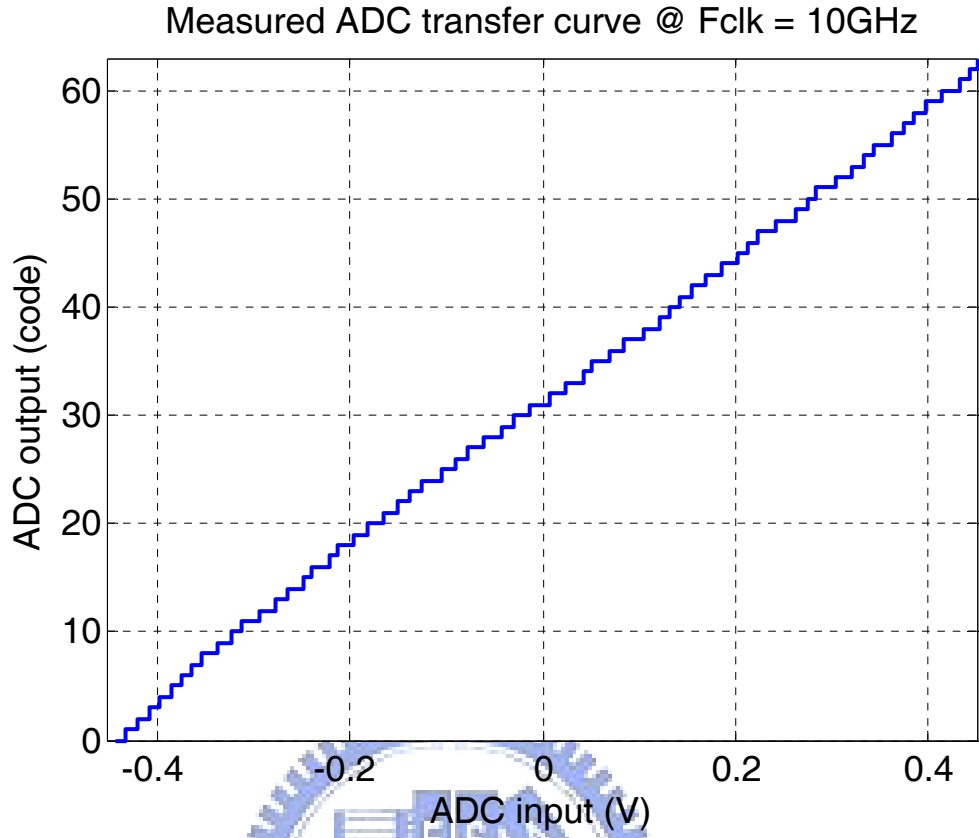


圖 7-4 90nm 量測之 ADC 輸入輸出轉換特性曲線

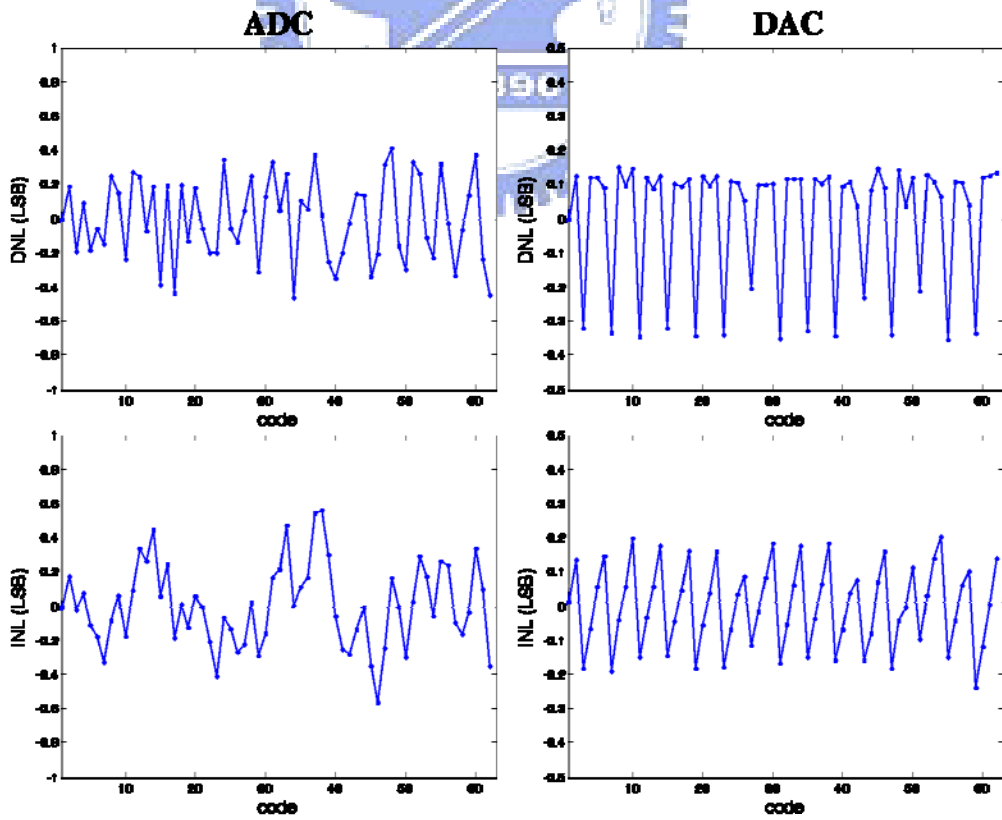


圖 7-5 90nm 測量之 DAC 與 ADC 之 DNL&INL

## 7.4. 動態參數 (Dynamic Parameters) 量測結果

我們將測試晶片中的 ADC 與 DAC 串接形成 digital loopback 的型態，可作所有動態參數 (Dynamic Parameters) 的量測與分析，本節所有提及的量測結果都是在此測試模式下得到的結果。

### 7.4.1. 取樣時脈對各種動態參數

#### (Clock Frequency vs. Dynamic Parameters)

輸入 0.5GHz、-1dBFS 的 sinusoidal 訊號，但改變取樣時脈訊號的頻率，從 6GS/s 逐步往上增加到 12GS/s，每個取樣訊號頻率下得到的各種動態參數如圖 7-6 所示。可看出整個資料轉換器對 (Data Converter Pair) 在取樣訊號頻率在 11GS/s 以前，SNR 參數都沒有太大的變化，維持在 35dB 以上，一直到 12GS/s 曲線才有明顯開始下降的趨勢。SNDR 參數曲線在 12GS/s 以前都在 20dB 以上，一直到 12GS/s 左右，SNDR 參數開始有明顯的下降，降到 20dB 以下，也就是表示此資料轉換器的取樣時脈訊號頻率到 12GS/s 都可以操作。由量測的結果顯示此組資料轉換器的效能受到諧波雜訊的影響很嚴重，SNDR 所對應的有效位元數大約只有 3.6 bits 左右，與預期設計的 6 bits 的規格落差很大，接下來我們便將取樣頻率固定在 10GS/s，作輸入訊號頻率對各種動態參數的量測。

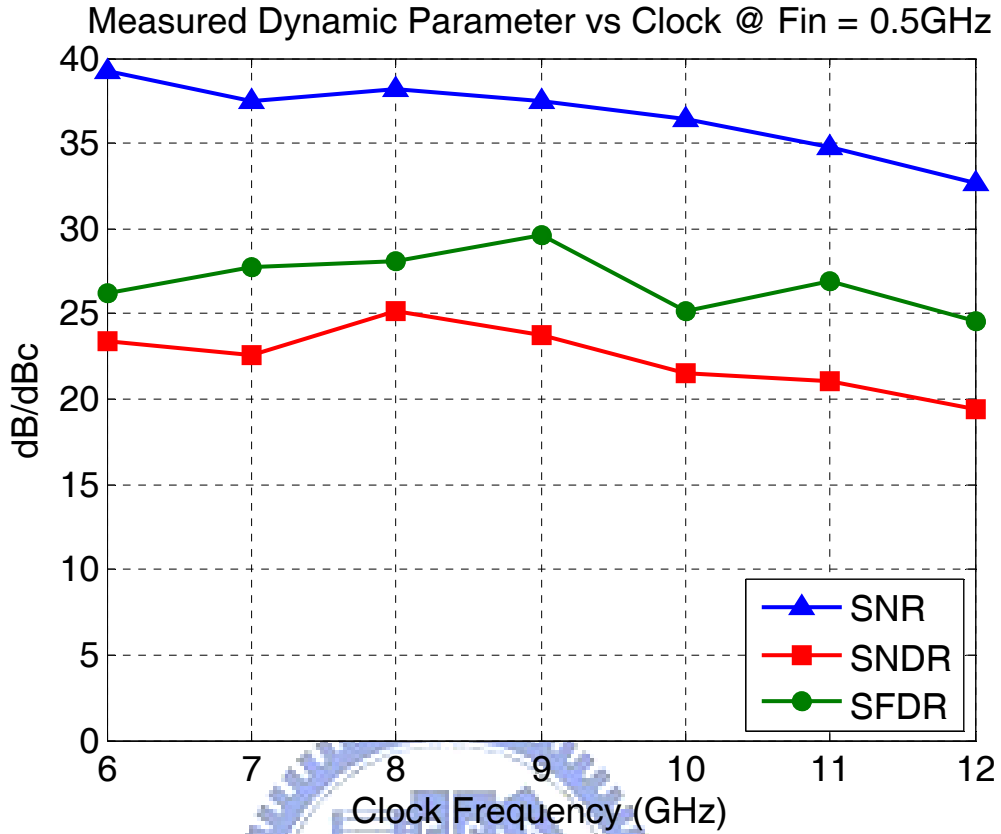


圖 7-6 90nm 測量之不同取樣訊號頻率與各動態參數的關係

#### 7.4.2. 輸入訊號頻率對各種動態參數

##### (Input Frequency vs. Dynamic Parameters)

在 10GS/s 的取樣頻率下，將輸入的 sinusoidal 訊號頻率從 500MHz 逐漸增加到約 3.3GHz，可測得圖 7-7 的輸入訊號頻率對各種動態參數的關係。觀察 SNDR 的響應曲線，可知整組資料轉換器對到 3.3GHz 之前都在 20dB 以上。而當輸入訊號超過 2GHz 之後，主要因為訊號主 tone 的功率下降幅度變快，而導致動態參數發生明顯的下降，不過 SNDR 仍有 21.7dB 以上。而 SFDR 在 3.3GHz 以內都可達到超過 25dBc 以上的水準；SNR 曲線則在 1.5GHz 內都有 30dB 以上的表現，超過 1.5GHz 之後會降到 25dB 左右。圖 7-8 顯示 10GS/s 取樣頻率下且輸入訊號頻率為 1.1GHz 時測得的輸出訊號頻譜，計算該頻譜的動態參數可得 SFDR 為 29.6 dBc、SNDR 為 24.2dB 且 SNR 為 29.0 dB。圖 7-9 則為訊號頻率為 2.7GHz 時同樣訊號頻率下測得的輸出訊



號頻譜，計算可得 SFDR 為 31.2 dBc、SNDR 為 21.7dB 且 SNR 達 23.8 dB。

跟 130nm 的測試方式一樣，串接 A.DC 和 DAC 的量測結果必然包含了 DAC 本身所導致之 ZOH 效應的影響，因此我們在做量測時應把因為 DAC 的 ZOH 效應所下降的主 tone 功率補償回去，而我們顯示的量測結果已經做過補償後的結果。由圖 7-8 跟 7-9 可以發現 noise flow 並沒有明顯上升但是主 tone 功率卻下降的很明顯，但是在 SNDR 參數上的差異卻不大，因為諧波雜訊也跟著降下來，這表示 noise floor 沒有因為輸入訊號頻率上升而導致 ADC 的量化誤差(Quantization error)增加，但是數入訊號的功率確沒有完整進入電路，而主 tone 功率的下降則可能是 transmission line 的阻抗匹配沒有設計好，而當輸入訊號頻率增加時可以真正進入電路的訊號功率也就越小。

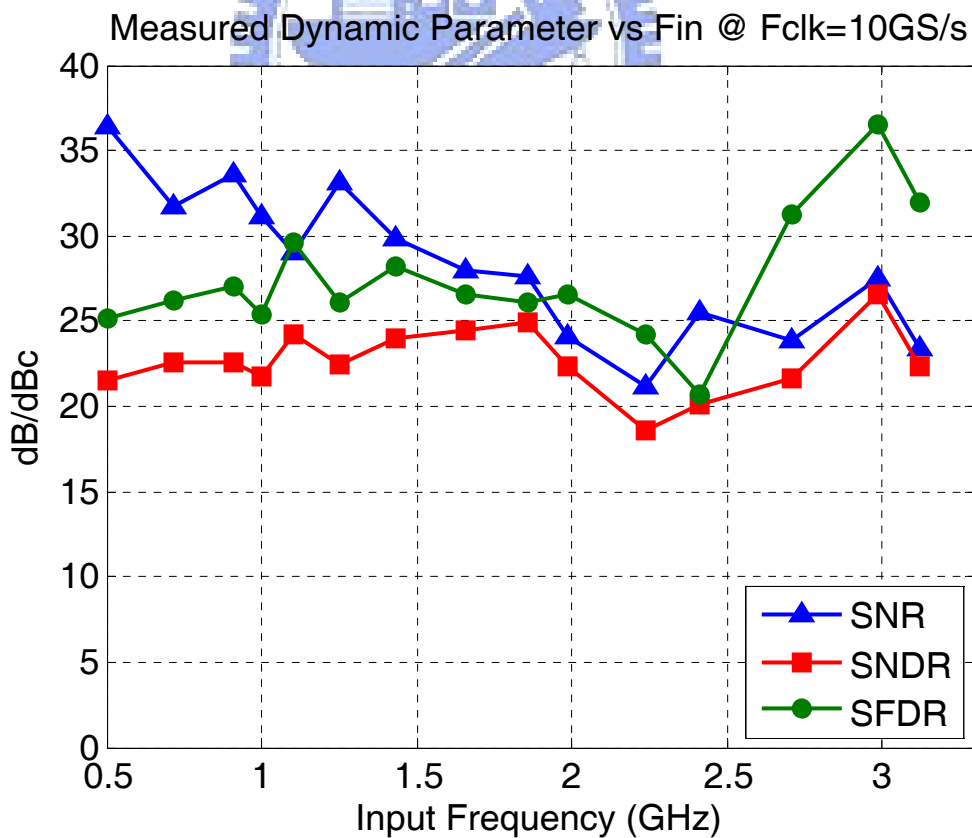


圖 7-7 90nm 測量之不同輸入訊號頻率與各動態參數的關係(@10GS/s)

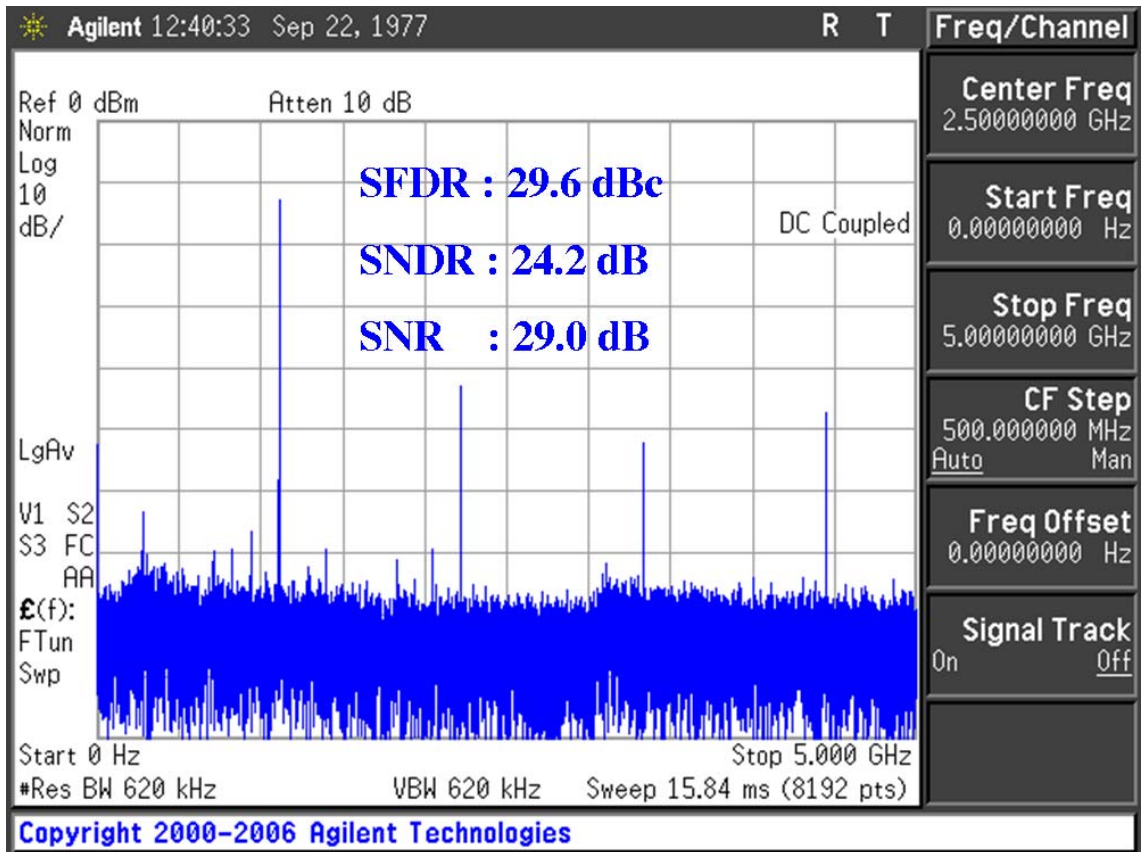


圖 7-8 90nm 之輸入 1.1GHz 之 sinusoidal 訊號@10GS/s 時測得之頻譜

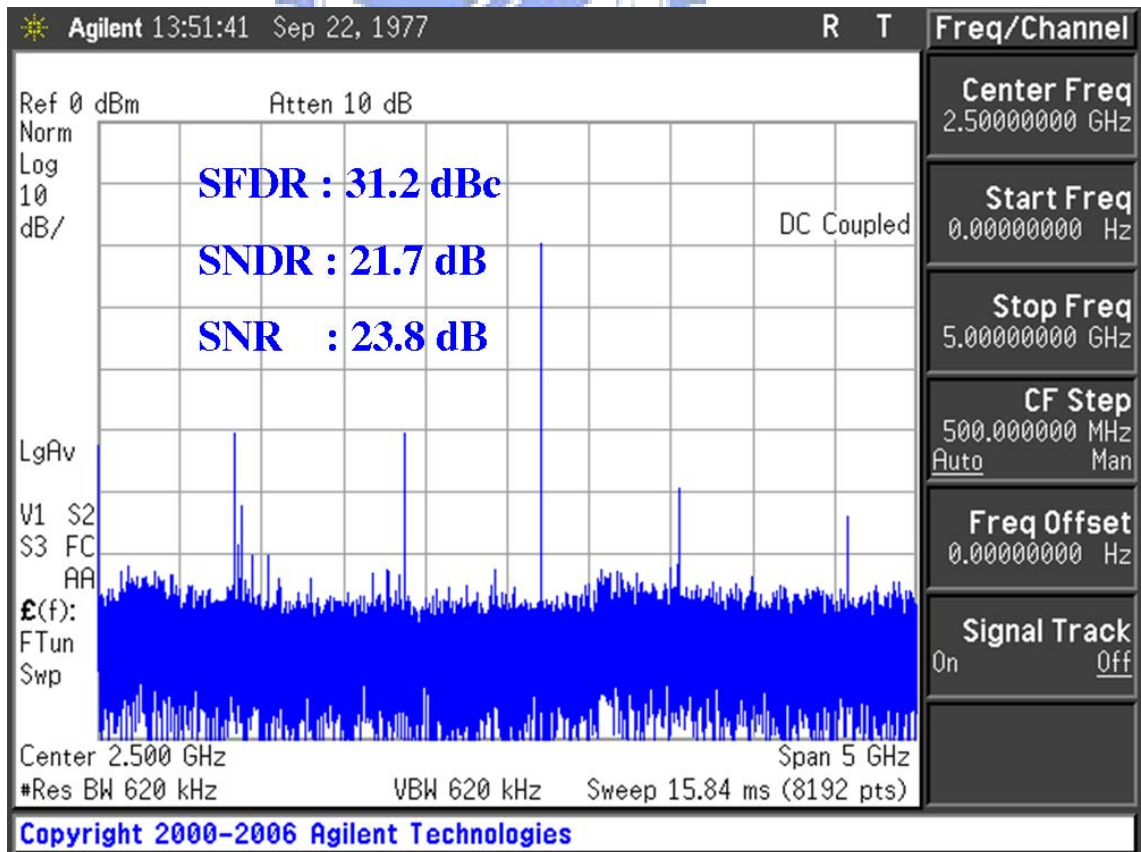


圖 7-9 90nm 之輸入 2.7GHz 之 sinusoidal 訊號@10GS/s 時測得之頻譜

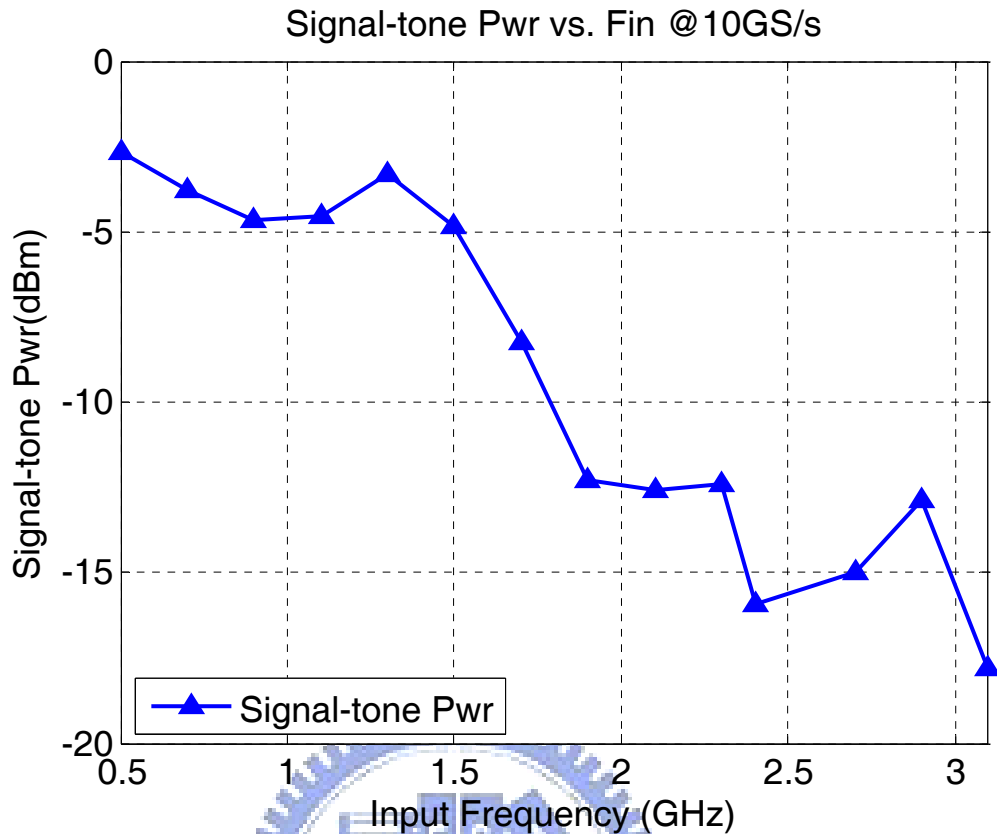


圖 7-10 90nm 之主 tone 功率隨輸入訊號頻率變化之情形 (@10GS/s)

圖 7-10 是在取樣頻率為 10GS/s 的情況下，主 tone 功率隨輸入訊號頻率變化之情形，由圖中我們可以發現主 tone 功率在 1.5GHz 內是維持在-5dBm，而隨輸入訊號頻率增加超過 1.5GHz 之後，主 tone 功率開始大幅下降，下降到-13dBm，2.3GHz 以後更是下降到-15dBm 以下，此量測結果與 130nm 版本的情形比較起來是稍微有比較好，但是與學長的量測結果相比較仍然是有不小的落差。而這個主 tone 的功率變化對資料轉換器的效能影響非常大，就像前面提到的，圖 7-8 跟 7-9 兩者在主 tone 功率上很大的差距，也就是說如果主 tone 功率有正常進入電路，此資料轉換器的效能可以更好。之前的量測經驗應該在 3GHz 以內都有-1dBm 左右的功率，這與現在的量測結果相差實在很大，先前推測是 PCB 板的問題，但是口試委員有給我另外一些意見，就是在這樣的量測方式之下，沒有辦法確定單獨 ADC 與 DAC 的效能，輸入訊號功率也許是因為 ADC 與 DAC 中間的路徑衰減掉了，或者是 ADC

和 DAC 其中一個就有問題導致訊號根本沒有被量化處理，當然也就無法正確的量測。還有就是我們在佈局(layout)上雖然有作 transmission line 設計，但是高頻傳輸線的特性 matching 我們卻沒有很完整的考量，而訊號在我們 layout 中又比學長的 4-bit 需要更長的 path 來做處理，進一步造成訊號功率的衰減。

## 7.5. 90nm 之功率消耗

整個測試晶片的功率消耗如表 7-1 所示，在 10GS/s 的取樣頻率以及 1.0V 的供應電源下，DAC 只消耗約 91mW 的功率，且 ADC 消耗約 357mW，此設計能高達 10GS/s 取樣率，但所消耗的功率卻相對低得許多。說明了我們在先前所提到前置放大器的級數與功率確實有朝向最佳化的效果。整個測試晶片包含 DfT 考量的部分總共消耗約 448mW。

表 7-1 90nm 之測試晶片之功率消耗比較表

<b>Blocks</b>	<b>Analog</b>	<b>Digital</b>	<b>Total</b>
<b>DAC</b>	16	75	91
<b>ADC</b>	183	174	357
<b>Total Power Consumption including the DfT Circuits</b>	199	249	448
Unit : mW			

## 7.6. 文獻比較表(Benchmark)

將我們設計的 DAC 與近幾年的知名國際期刊或會議論文上的幾篇同為超高速的 DAC 作一比較，如表 7-2 所示。表 6-3 的其他比較對象都以相同為數 GS/s 取樣率而解析度為 6 bits 的 DAC 為主。可以看出我們設計的 DAC 具有最高的轉換速率，在高達 5GS/s 與 10GS/s 的取樣轉換能力之下，僅消耗約 95mW 及 140mW 的功率。且以消耗功率與取樣頻率之比值(Power/GHz)作為能量效益 (energy efficiency) 的比較基準，雖然我們的值不是最低的，但我們的取樣頻率卻是其他的好幾倍設計，相較之下顯示我們的設計良好，其值分別為 31.6 pJ 及 9.1pJ。

表 7-2 Benchmark of the DAC

Sources Item	ISCAS 2008 [53]	JSSC 2008 [54]	ASSCC 2007 [21]	This work DAC (130nm)	This work DAC (90nm)
Sample Rate	1.25 GS/s	3 GS/s	10 GS/s	3 GS/s	10 GS/s
Resolution	6 bits	6 bits	4 bits	6 bits	6 bits
Technology	0.18 $\mu$ m CMOS	0.13 $\mu$ m CMOS	0.13 $\mu$ m CMOS	0.13 $\mu$ m CMOS	90nm CMOS
Supply Voltage	1.8V	1.2V	1.2V	1.2V	1.0V
SNDR	N/A	N/A	> 25.0 dB @ $F_{in}=1.11\text{GHz}$	> 36.4 dB @ $F_{in}=0.5\text{GHz}$	> 24.2 dB @ $F_{in}=1.1\text{GHz}$
SFDR	49.4 dBc @ $F_{in}=0.5\text{GHz}$	36.2 dBc @ $F_{in}=1.4\text{GHz}$	> 27.3 dBc @ $F_{in}=1.11\text{GHz}$	> 38.2 dBc @ $F_{in}=0.5\text{GHz}$	> 29.6 dBc @ $F_{in}=1.1\text{GHz}$
Power	6 mW	29 mW	142 mW	95 mW	91 mW
Power/GHz	4.8 pJ	9.67 pJ	14.2 pJ	31.6 pJ	9.1pJ

另外也將我們設計的 ADC 與近幾年知名國際期刊或會議論文上的幾篇同為超高速且 6 位元解析度的 ADC 相比較，如表 7-3 所示。可看出我們的設計能夠在 pure CMOS 的製程下，不使用 time-interleaving 的架構而達到 5GS/s 及 10GS/s 的超高速。以 FOM 作比較，我們設計的 ADC 與其他相比較差不多但是取樣頻率卻是最快的，其值分別為 7 pJ/step 及 1.86pJ/step。

表 7-3 Benchmark of the ADC

Sources Item	VLSI Ckt 2008 [50]	JSSC 2008 [51]	VLSI Ckt 2009 [49]	This work ADC (130nm)	This work ADC (90nm)
Sample Rate	5 GS/s	3.5 GS/s	2.7 GS/s	3 GS/s	10 GS/s
Resolution	6 bits	6 bits	6 bits	6 bits	6 bits
Technology	65nm CMOS	90nm CMOS	90nm CMOS	0.13μm CMOS	90nm CMOS
Supply Voltage	1.3V	0.9V	1V	1.2V	1.0V
SNDR	32 dB@ $F_{in}=200M$	33.5dB@ $F_{in}=1M$	36.5dB@ $F_{in}=10M$	> 36.4 dB @ $F_{in}=0.5GHz$	> 24.2 dB @ $F_{in}=1.1GHz$
SFDR	N/A	43.5dBc@ $F_{in}=1M$	N/A	> 38.2 dBc @ $F_{in}=0.5G$	> 29.6 dBc @ $F_{in}=1G$
Power	320 mW	98 mW	50 mW	676 mW	357 mW
FOM <sup>1</sup>	2 pJ/step	0.95 pJ/step	0.47 pJ/step	< 7 pJ/step	< 1.86 pJ/step

$$1: FOM \equiv \frac{Power}{2^{ENOB@DC} \times ERBW}$$

2: excluding the output buffers

## 第八章 結論與未來展望

---

---

本論文提出一組不使用 time-interleaved 架構且具備六位元解析度的高速資料轉換器對之電路設計，並以 TSMC 130nm 和 UMC 90nm 製程來實現。此類比數位與數位類比轉換器的設計規格分別為 5GS/s 和 10GS/s。在 ADC 的電路設計當中，T/H 電路使用 capacitor-like 的 MOS 電容來消除 feedthrough noise。而比較器電路中是利用 averaging 和 interpolating 技巧來降低比較器的 offset 及輸入端的負載寄生電容。其中前置放大器是參考 active feedback 的架構，在相同的功率消耗下提升其增益頻寬積，並加入負電容進一步減少整個電路的延遲時間。數位電路的部分則是採用 CML 的邏輯閘，除了可以降低高速轉換下容易發生的 power-ground bounce 問題也具有最高速的切換能力。同時在 Clock 訊號路徑上加入 intentional timing skew buffers 來做 wave-pipelining，使得 Latch 能在如此高速的取樣頻率下擷取到正確的資料。在 DAC 電路設計中，Hybrid-Type Decoder 可大幅縮減邏輯閘及電流源的數目，使其寄生電容和 Layout 複雜度降低。而輸出電流源是採用疊接方式設計，能擁有較大的輸出阻抗。同樣為了解決訊號 propagation delay 過大的問題，在 DAC 的取樣時脈訊號路徑上相同使用了 waveform pipeline 的技巧。最後為了要能在如此高速的情況下對此晶片進行正確的量測，我們加入 DfT 機制，將 ADC 和 DAC 串接起來，可在全速下進行量測。同時並可透過 ZOH 補償之運算，推測得知此 ADC 在最遭情況下的效能表現。此組 ADC 與 DAC 將應用於晶片系統內之串列傳輸鏈結。

晶片量測結果顯示，以 130nm 實現之資料轉換器對中。DAC 的 DNL 都小於 $\pm 0.4\text{LSB}$ ，INL 則不超過 $\pm 0.2\text{LSB}$ 。ADC 之 DNL 介於 $\pm 0.7\text{LSB}$ ，INL 在 $\pm 0.9\text{LSB}$  以內。在 3GS/s 的取樣頻率下，輸入 0.5GHz 的 sinusoidal 訊號，

輸出訊號之頻譜結果可得到 38.2 dBc 的 SFDR、46.1 dB 的 SNR 的以及 36.43 dB 的 SNDR 之動態參數結果，對應到 5.76bits 的有效位元數。此組資料轉換器對最快可操作到 3.5GS/s 的高速取樣頻率。使用的製程是 TSMC 0.13  $\mu$ m CMOS Mixed-Signal RF process，所佔的面積為 1.44 $\times$ 1.16mm<sup>2</sup>。在 supply 電壓為 1.2V 下，整個晶片總功率消耗 790mW。

而以 90nm 實現之資料轉換器對的晶片量測結果顯示，DAC 的 DNL 都小於 $\pm$ 0.3LSB，INL 則不超過 $\pm$ 0.2LSB。ADC 之 DNL 介於 $\pm$ 0.6LSB，INL 在 $\pm$ 0.7LSB 以內。在 10GS/s 的取樣頻率下，輸入 1.1GHz 的 sinusoidal 訊號，輸出訊號之頻譜結果可得到 29.6 dBc 的 SFDR、24.2 dB 的 SNR 的以及 29.0 dB 的 SNDR 之動態參數結果，對應到 3.7 bits 的有效位元數。此組資料轉換器對在 12GS/s 的取樣頻率下都還可以操作。使用的製程是 UMC 90nm CMOS Mixed-Signal Low-K process，所佔的面積為 1.21 $\times$ 1.1mm<sup>2</sup>。在 supply 電壓為 1.0V 下，整個晶片總功率消耗 448mW。





## 參考文獻

---

---

- [1] M. Ghoneima, Y. Ismail, M. Khellah, J. Tschanz, and V. De, “Serial-Link Bus: A Low-Power On-Chip Bus Architecture,” in *Proc. IEEE/ACM International Conf. Computer-Aided Design (ICCAD)*, pp. 540–545, Nov. 2005.
- [2] K. Farzan, and D. A. Johns, “A CMOS 10-Gb/s Power-Efficient 4-PAM Transmitter,” *IEEE J. Solid-State Circuits*, vol. 39, no. 3, pp. 529 - 532, March 2004.
- [3] Y. Yao, X. Yu, D. Yang, F. Dai, J.D. Irwin, and R.C. Jaeger, “A 3-Bit 20GS/s Interleaved Flash Analog-to-Digital Converter in SiGe Technology,” in *Proc. IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pp.420 - 423, Nov. 2007.
- [4] P. Schvan, D. Pollex, S.C. Wang, C. Falt, and N. Ben-Hamida, “A 22GS/s 5b ADC in 0.13 $\mu$ m SiGe BiCMOS,” in *ISSCC Digest of Technical Papers*, pp. 2340 - 2349, Feb. 2006.
- [5] B. Razavi, “Principles of Data Conversion System Design,” IEEE Press, 1995.
- [6] David A. Johns, and Ken Martin, “Analog Integrated Circuit Design,” John Wiley & Sons, Inc., 1997.
- [7] P. E. Allen, and D. R. Holberg, “CMOS Analog Circuit Design, 2nd Edition,” Oxford University Press, 2002.
- [8] Mikael Gustavsson, J. Jacob Wikner, and Nianxiong Nick Tan, “CMOS Data Converters for Communications,” Kluwer Academic Publishers, 2000.
- [9] Kent H. Lundberg, “Analog-to-Digital Converter Testing,” 2002.
- [10] J. Musicer, and J. Rabaey, “MOS Current Mode Logic for Low Power, Low Noise CORDIC Computation in Mixed-Signal Environments,” in *Proc. International Symposium on Low Power Electronics and Design (ISLPED)*, pp. 102 - 107, 2000.
- [11] C. S. Vaucher, I. Ferencic, M. Locher, S. Sedvallson, U. Voegeli, and Z. Wang, “A Family of Low-Power Truly Modular Programmable Dividers in Standard 0.35- $\mu$ m CMOS Technology,” *IEEE J. Solid-State Circuits*, vol. 35, no. 7, pp. 1039 - 1045, July 2000.

- [12] M. Mizuno, M. Yamashina, K. Furuta, H. Igura, H. Abiko, K. Okabe, A. Ono, and H. Yamada, "A GHz MOS Adaptive Pipeline Technique Using MOS Current-Mode Logic," *IEEE J. Solid-State Circuits*, vol. 31, no. 6, pp. 784 - 791, June 1996.
- [13] W. P. Burlison, M. Ciesielski, F. Klass, and W. Liu, "Wave-Pipelining: A Tutorial and Research Survey," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 6, no. 3, pp. 464 - 474, Sep. 1998.
- [14] A. G. W. Venes, and R. J. van de Plassche, "An 80-MHz, 80-mW, 8-b CMOS Folding A/D converter with Distributed Track-and-Hold Preprocessing," *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1846 - 1853, Dec. 1996.
- [15] P. Vorenkamp and J. Verdaasdonk, "Fully Bipolar, 120-MSample/s 10-b track-and-hold circuit," *IEEE J. Solid-State Circuits*, pp. 988-992, Sept.1992.
- [16] S. Shahramian, S. P. Voinigescu and A. Chan Carusone, "A 30-GS/sec Track and Hold Amplifier in 0.13- $\mu$ m CMOS Technology," *Custom Integrated Circuits Conference*, San Jose, California, September 2006.
- [17] M. Grözing, M. Berroth, E. Gerhardt, B. Franz, and W. Tempel, "High-Speed ADC Building Blocks in 90 nm CMOS," *Fouth Joint Symposium on Opto- and Microelectronic Decices and Circuits (SODC 2006)*, September 02-08, 2006, Duisburg, Germany.
- [18] Yu, H., Chang, and M.-C.F., "A 1V 1.25GS/S 8-bit Self-Calibrated Flash ADC in 90nm Digital CMOS", *IEEE Transactions on Circuits and Systems II (TCAS-II)*, 55(7):668 - 672 (July 2008)
- [19] E.Sackinger and W. Guggenbuhl, "A versatile building block: The CMOS differential difference amplifier," *IEEE J.Solid-State Circuits*, vol.SC-22, pp. 287-294, Apr.1987.
- [20] S.C Huang M.Ismail and S.R. Zarabadi, "A wide range differential difference amplifier: A basic block for analog signal processing in MOS technology," *IEEE Trans. Circuits Syst.II*, vol.40, pp.289-300, May 1993.
- [21] S.-C. Liang, D.-J. Huang, C.-K. Ho, and H.-C. Hong, "10 GSamples/s, 4-bit, 1.2V, Design-for-Testability ADC and DAC in 0.13 $\mu$ m CMOS technology," in *Proc. IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pp.416 - 419, Nov. 2007.
- [22] B. Razavi, "Design of Integrated Circuits for Optical Communications," McGraw Hill, 2002.

- [23] S. Galal, and B. Razavi, "10-Gb/s Limiting Amplifier and Laser/Modulator Driver in 0.18- $\mu\text{m}$  CMOS Technology," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2138 - 2146, Dec. 2003.
- [24] E. M. Cherry, and D. E. Hooper, "The Design of Wide-Band Transistor Feedback Amplifier," *Inst. Elec. Eng. Proc.*, vol. 110, no. 2, pp. 375 - 389, Feb. 1963.
- [25] J. A. Mataya, G. W. Haines, and S. B. Marshall, "IF amplifier using Cc compensated transistors," *IEEE J. Solid-State Circuits*, vol. sc-3, no. 4, pp. 401-407, Dec. 1968.
- [26] K. Kattmann and J. Barrow, "A technique for reducing differential nonlinearity errors in flash A/D converters," in *Proc. IEEE Int. Solid-State Circuits Conf.* 1991, pp. 170-171.
- [27] P. M. Figueiredo and J. C. Vital, "Averaging technique in flash analog-to-digital converters," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 51, no. 2, pp. 233-253, Feb. 2004.
- [28] K. Bult and A. Buchwald, "An embedded 240-mW 10-b 50-MS/s CMOS ADC in 1- $\text{mm}^2$ ," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 1887-1895, Dec. 1997.
- [29] H. Pan, M. Segami, M. Choi, J. Cao, and A. A. Abidi, "A 3.3-V 12-b 50-MS/s A/D converter in 0.6- $\mu\text{m}$  CMOS with over 80-dB SFDR," *IEEE J. Solid-State Circuits*, vol. 35, no. 12, pp. 1769-1780, Dec. 2000.
- [30] J. L. White, and A. A. Abidi, "Active resistor networks as 2-D sampled data filters," *IEEE J. Solid-State Circuits*, vol. 39 no.9, pp.724-732, Sep. 1992.
- [31] M. Choi and A. A. Abidi, "A 6 b 1.3 GSample/s A/D converter in 0.35  $\mu\text{m}$  CMOS," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1847-1858, Dec. 2001.
- [32] P. Scholtens and M. Verregt, "A 6-b 1.6-Gsample/s flash ADC in 0.18- $\mu\text{m}$  CMOS using averaging termination," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1599-1609, Dec. 2002.
- [33] K. Sushihara, Kimura, Y. Okamoto, K. Nishimura, and A. Matsuzawa, "A 6 b 800 MSample/s CMOS A/D Converter," *IEEE Int. Solid-State Circuits Conf.*, pp. 428-429, Feb. 2000.
- [34] G. Geelen, "A 6b 1.1Gsample/s CMOS A/D converter," in *ISSCC Dig. Tech. Papers*, Feb. 2001, pp. 128-129.
- [35] S. Sheikhaei, S. Mirabbasi, and A. Ivanov, "A 0.18 $\mu\text{m}$  CMOS pipelined encoder for a 5 GS/s 4-bit flash analogue-to-digital converter," *Canadian Journal of*

- [36] K. Uyttenhove, and M. S. J. Steyaert, "A 1.8-V 6-Bit 1.3-GHz Flash ADC in 0.25- $\mu$ m CMOS," IEEE J. Solid-State Circuits, vol. 38, no. 7, pp. 1115 - 1122, July 2003.
- [37] C. Protmann and T. Meng, "Power-Efficient Metastability Error Reduction in CMOS Flash A/D Converters," IEEE J. of Solid-State Circuits, vol. 31, no. 8, pp. 1132-1140, Aug. 1996.
- [38] D. Seo, and G. H. McAllister, "A Low-Spurious Low-Power 12-bit 160-MS/s DAC in 90-nm CMOS for Baseband Wireless Transmitter," IEEE J. Solid-State Circuits, vol. 42, no. 3, pp. 486 - 495, March 2007.
- [39] Chen-Kang Ho, and Hao-Chiao Hong, "A 6-GS/s, 6-bit, at-speed testable ADC and DAC pair in 0.13 $\mu$ m CMOS," VLSI Design, Automation and Test, pp. 207-210, April 2009.
- [40] A. V. den Bosch, M. Steyaert, and W. Sansen, "SFDR-BANDWIDTH LIMITATIONS FOR HIGH SPEED HIGH RESOLUTION CURRENT STEERING CMOS D/A CONVERTERS," in Proc. IEEE International Conference on Electronics, Circuits and Systems (ICECS), vol. 3, pp. 1193 - 1196, Sept. 1999.
- [41] A. V. den Bosch, M. A. F. Borremans, M. S. J. Steyaert, and W. Sansen, "A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter," IEEE J. Solid-State Circuits, vol. 36, no. 3, pp. 315 - 324, March 2001.
- [42] D. A. Mercer, "Low-Power Approaches to High-Speed Current-Steering Digital-to-Analog Converters in 0.18- $\mu$ m CMOS," IEEE J. Solid-State Circuits, vol. 42, no. 8, pp. 1688 - 1698, Aug. 2007.
- [43] A. V. Oppenheim and R. W. Schaffer, "Discrete-Time Signal Processing, 2nd Edition," Prentice Hall, 1999.
- [44] J. Jacob Wikner, "STUDIES ON CMOS DIGITAL-TO-ANALOG CONVERTERS," Linköping Studies in Science and Technology Dissertation No. 667.
- [45] S. Seemi, Mohd-Shahiman Sulaiman, and A.S. Farooqui, "A 1.3-Gsample/s interpolation with flash CMOS ADC based on active interpolation technique," Journal of Analog Integrated Circuit and Signal Processing, vol. 47, No. 3, pp. 273-280, June 2006.

- [46] B. Verbruggen, J. Craninckx, M. Kuijk, P. Wambacq, and G. Van der Plas, "A 2.2mW 5b 1.75GS/s Folding Flash ADC in 90nm Digital CMOS," in Proc. IEEE Int. Solid-State Circuits Conf. 2008, pp. 252–254.
- [47] Ying-Zu Lin, Cheng-Wu Lin and Soon-Jyh Chang, "A 2-GS/s 6-bit Flash ADC with Offset Calibration," IEEE Asian Solid-State Circuits Conference, pp.385-388, 2008.
- [48] Bo-Wei Chen, Szu-Kang Hsien, Cheng-Shiang Chiang and Kai-Cheung Juang, "A 6-Bit, 1.2-GS/s ADC with Wideband THA in 0.13- $\mu$ m CMOS," IEEE Asian Solid-State Circuits Conference, pp.381-384, 2008.
- [49] Yuji Nakajima, Akemi Sakaguchi, Toshio Ohkido, Tetsuya Matsumoto, and Michio Yotsuyanagi, "A Self-Background Calibrated 6b 2.7GS/s ADC with Cascade-Calibrated Folding-Interpolating Architecture" in *Symposium on VLSI Circuits Digest of Technical Papers*, pp.266-267, June 2009.
- [50] M. Choi, J. Lee, J. Lee, and H. Son, "A 6-bit 5-GSample/s Nyquist A/D converter in 65 nm CMOS," in Symp. VLSI Circuits Dig. Tech. Papers, Jun. 2008, pp. 16 – 17.
- [51] Kazuaki Deguchi, Naoko Suwa, Masao Ito, Toshio Kumamoto and Takahiro Miki, "A 6-bit 3.5-GS/s 0.9-V 98-mW Flash ADC in 90nm CMOS", IEEE J. Solid-State Circuits, vol. 43, pp. 2303-2310, Oct. 2008.
- [52] Aida Varzaghani, and Chih-Kong Ken Yang, "A 4.8 GS/s 5-bit ADC-Based Receiver With Embedded DFE for Signal Equalization," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 44, NO. 3, MARCH 2009.
- [53] J. Jung, K. Baek, S. Lim, S. Kim, and S. Kang, "Design of a 6 bit 1.25 GS/s DAC for WPAN", in Proc. ISCAS, 2008, pp.2262-2265.
- [54] P. Palmers, X. Wu, and M. Steyaert, "A 130 nm CMOS 6-bit full Nyquist 3 GS/s DAC," in IEEE Asian Solid-State Circuits Conf., 2007, pp. 348–351.