

# 國立交通大學

電控工程研究所

## 碩士論文

操作在次臨界區域且使用拔靴帶式中繼器之超低功  
率晶片內部匯流排電路設計

An Ultra-Low Power Subthreshold On-Chip Bus Design  
with Bootstrapped Repeater Insertion

研究生：張家齊

指導教授：蘇朝琴 教授

中華民國九十九年六月

操作在次臨界區域且使用拔靴帶式中繼器之超低功  
率晶片內部匯流排電路設計

An Ultra-Low Power Subthreshold On-Chip Bus Design  
with Bootstrapped Repeater Insertion

研 究 生：張家齊

Student : Chia-Chi Chang

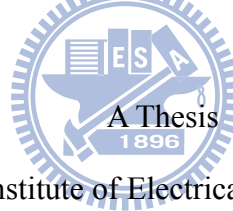
指 導 教 授：蘇朝琴 教授

Advisor : Chau-Chin Su

國 立 交 通 大 學

電 控 工 程 研 究 所

碩 士 論 文



Submitted to Institute of Electrical Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical Control Engineering

May 2010

Hsinchu, Taiwan, Republic of China

中 華 民 國 九 十 九 年 六 月


# 操作在次臨界區域且使用拔靴帶式中繼器 之超低功率晶片內部匯流排電路設計

研究生：張家齊

指導教授：蘇朝琴 教授

國立交通大學電控工程研究所

## 摘 要



本論文提出一個置入了拔靴帶式中繼器的超低功率晶片內部匯流排系統，工作電壓小於電晶體的門檻電壓，大幅減少了電路的功率消耗。為了解決低壓環境下，電晶體效能不足及嚴重的製程變異影響，本論文使用拔靴帶式電路驅動中繼器，增加小額的功率消耗即可大幅增加傳輸線系統的工作速度。在拔靴帶式電路方面，設計了兩種全新的拔靴帶式電路，解決了傳統拔靴帶式電路所遭遇到的非理想效應，除了改善拔靴帶式電路升降壓的效果之外，更降低了電路在高速工作時所產生的抖動。

本論文使用的製程為UMC90nm，操作電壓為 0.2V，資料傳輸率在TT下可達到20Mbps。在TT下操作在 20Mbps時，每條傳輸線的功率消耗為 57.5nW，單位位元的功率消耗為 0.02875pJ/bit，晶片佈局面積為 0.743mm<sup>2</sup> (958um×776um)。

**關鍵字：**晶片內部匯流排、拔靴帶式電路、次臨界區域、置入中繼器、超低功率消耗

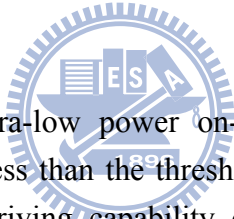
# An Ultra-Low Power Subthreshold On-Chip Bus Design with Bootstrapped Repeater Insertion

Student: Chia-Chi Chang

Advisor: Chau-Chin Su

Institute of Electrical Control Engineering  
National Chiao Tung University

## Abstract



This thesis proposes an ultra-low power on-chip bus with bootstrapped repeater insertion. The supply voltage is less than the threshold voltage of MOSFET to reduce the power consumption. The poor driving capability of MOSFET and the serious process variation will affect the performance under low-voltage operation environment. For this reason, we employ the bootstrapped repeaters to solve these problems. Although the bootstrapped circuit consumes additional power, the system performance improves greatly. In this thesis, two novel bootstrapped circuits are proposed to solve non-ideal effects in conventional bootstrapped circuits. They not only improve the boosting efficiency, but also reduce the jitter for high-speed operation.

The chip is implemented in UMC90nm process, and the supply voltage is 0.2V. At TT corner, the data rate is 20Mbps. The total power is 57.5nW for a channel of 1cm long at 20Mbps. The power consumption per bit is 0.02875(pJ / bit). The chip area is 0.743mm<sup>2</sup> (958um×776um).

**Keyword: on-chip bus, bootstrapped circuits, subthreshold region, repeater insertion, ultra-low power consumption**

## 致 謝

在交大電控研究所的求學期間，是我目前人生中最重要轉戾點。在途中經歷了無數的風雨，每當心情低落或心煩意亂之時，陪伴在身旁的人總是不厭其煩地鼓勵著我，若沒有大家的力量加持，很肯定地我不會有今天的成果。

首先要非常感謝指導教授 蘇朝琴老師，給予我機會加入 918 實驗室，提供良好的環境讓大家可以專心地致力於研究。在研究的過程中，老師專業確切的叮嚀，使我的研究結果更加豐富完整。此外無論老師再怎麼忙碌，一定會撥出時間來指導我們的研究進度，老師對於研究的熱情以及重視方程式與物理意義的結合，讓我學到處事應有的態度及研究的正確方向，也是我研究所時期所得到的最大收穫。

接下來要感謝兩位最美麗的女性，就是我的母親與姊姊。我的母親兼具了溫柔、美麗、堅強、幽默、活潑開朗以及大嗓門的特性。在我的個性上良好的部份，都要歸功於母親的用心教導，也因為母親辛勤的栽培與無私的付出，使我可以在無憂慮的環境下成長茁壯，以及完成我從幼稚園至研究所將近二十年的求學之路。也非常感謝姊姊自小到大對我的照顧。還記得我小時常被欺負，最後都是姐姐帶著我去討回公道，每次闖禍的當下，也都是姐姐的原諒與幫助，事情才得以解決。而姐姐在工作上的優秀表現與不認輸的精神，更是我在求學態度上最好的模範。

感謝我女朋友(小汝)的陪伴，在一起兩年多的時光，是我人生中最開心最幸福的時刻。在當初，一位古靈精怪的頑皮公主受了傷，我張開雙手擁抱著她，用我的愛慕替她取暖、用我的溫柔替她拭去淚水。當寒冷的冬天過了，美好的春天來臨之際，頑皮公主微笑著在我的人生畫布上，畫出開心的花朵、溫暖的太陽、以及愉快玩耍著的動物們，我的人生畫布因為頑皮公主的出現而豐富了起來。最後，非常感謝妳的陪伴及體諒，妳是我精神的支柱，也是我幸福的來源。

感謝盈杰學長在學術上給予的指導與協助，在研究的過程中學長不斷鼓勵著我，

使我自己有自信將研究做得更好。也謝謝學長在生活上的協助以及對我們學弟們的照顧。謝謝長官給予我在許多事情上不同角度的看法，以及許多故事的分享—聽學長說故事是我在實驗室最愉快的時光，也是我永遠無法忘懷的時刻。謝謝仁乾學長在我研究上的幫助，學長常常花了很多時間陪我閒話家常，學長善良正直的人格將會是我的表率。感謝丸子學長與庭佑學長，犧牲自己的研究時間來維護實驗室的設備，使大家能順利使用各項工具來進行研究。也感謝已畢業學長們對我的照顧：鴻文、教主、烏鴉、孔哥、碩廷、子俞、雅婷，謝謝你們。

感謝洲銘在學業上對我的莫大幫助，如果沒有你的支援，我將無法想像自己的研究生涯會是如何。也感謝于昇對我的許多協助，此外你的幽默將是 918 lab 成員們共同無法忘懷的記憶。最後要感謝 918 lab 的學弟軍團：修銘、哲瑋、均藝、土豆、群育、博祥、璟伊、澤勝、昶志、弘宇、佳容，在研究之時往往是枯燥的，但是有你們的陪伴使 918 lab 更加溫馨歡樂，雖然現在即將畢業理當興奮期待，但要離開你們卻非常不捨，希望將來大家畢業邁入工作，為自己的人生打拼之時，都能闖出自己的一片天空。

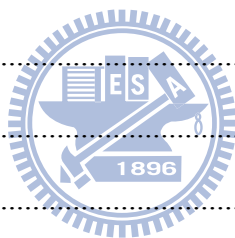
最後要感謝我最親愛的父親，是您帶領我認識這個世界、是您保護著我使我茁壯、是您教導我要樂觀進取、是您警惕我不可驕矜自滿、是您肯定我的付出讓我更有自信。您的勇氣使我不怕困難、您對我的愛讓我感受無比幸福、您的陪伴使我安然度過各種考驗，您的精神將長存在我的心中。身為您的兒子我倍感榮幸，現在，也請您分享我畢業的榮耀。

張家齊

2010·6·9

# 目錄

摘 要 .....	iii
Abstract .....	ii
致 謝 .....	iii
目 錄 .....	v
圖目錄 .....	viii
表目錄 .....	xi
第一章 .....	1
緒論 .....	1
1.1 簡介 .....	1
1.2 研究動機 .....	2
1.3 論文結構 .....	3
第二章 .....	4
背景回顧 .....	4
2.1 艾莫爾延遲 .....	4
2.2 拔靴帶式電路 .....	5
2.2.1 Direct Bootstrapped反相器 .....	6
2.2.2 Bootstrapped驅動器 .....	9
第三章 .....	13
晶片內部匯流排電路 .....	13
3.1 晶片內部匯流排電路 .....	13
3.2 晶片內部連接線模型 .....	14



3.2.1 晶片內部連接線電阻 (Interconnect Resistance).....	15
3.2.2 晶片內部連接線電容 (Interconnect Capacitance).....	16
3.2.3 晶片內連接線電阻與電容的驗證.....	17
3.3 傳輸線系統的時間常數計算.....	19
3.3.1 晶片內連接線的時間常數.....	19
3.3.2 中繼器系統的時間常數.....	20
3.4 傳輸線系統的效能估算與驗證.....	21
<b>第四章.....</b>	<b>24</b>
<b>中繼器電路.....</b>	<b>24</b>
4.1 前言.....	24
4.2 拔靴帶式電路.....	28
4.2.1 型態一拔靴帶式反相器 (Bootstrapped Inverter - Type1).....	28
4.2.2 型態二拔靴帶式反相器 (Bootstrapped Inverter - Type2).....	32
4.3 非理想效應.....	36
4.3.1 反向電流(Reverse Current).....	37
4.3.2 寄生電容(Parasitic Capacitor).....	43
4.3.3 ISI 抖動.....	45
4.3.4 閃鎖效應.....	51
4.4 模擬結果比較.....	53
<b>第五章.....</b>	<b>61</b>
<b>匯流排電路的實現.....</b>	<b>61</b>
5.1 晶片佈局架構簡介.....	61
5.2 多工器與解多工器電路.....	62
5.3 輸入與輸出電壓位準移位電路.....	63
5.4 晶片內部匯流排電路.....	65
5.5 測試電路.....	66



---

5.6 晶片佈局圖.....	66
5.7 模擬結果.....	67
5.7.1 匯流排電路模擬結果.....	68
5.7.2 測試電路模擬結果.....	75
5.8 性能比較.....	77
5.9 量測考量.....	79
<b>第六章.....</b>	<b>80</b>
<b>結論.....</b>	<b>80</b>
6.1 結論.....	80
6.2 未來發展.....	81
<b>參考文獻.....</b>	<b>82</b>



# 圖目錄

圖 1.1 置入了傳統中繼器的晶片內部傳輸線系統 .....	2
圖 1.2 置入了拔靴帶式中繼器的晶片內部傳輸線系統 .....	2
圖 1.3 本論文的拔靴帶式晶片內部傳輸線系統 .....	3
圖 1.4 本論文的拔靴帶式中繼器負載 .....	3
圖 2.1 RC樹狀網路 .....	5
圖 2.2 拔靴帶式反相器操作概念 .....	6
圖 2.3 Direct Bootstrapped反相器電路 .....	6
圖 2.4 Direct Bootstrapped反相器操作原理(輸入由 $V_{DD}$ 轉 0) .....	7
圖 2.5 Direct Bootstrapped反相器操作原理(輸入由 0 轉 $V_{DD}$ ) .....	8
圖 2.6 Direct Bootstrapped反相器與傳統CMOS反相器比較 .....	8
圖 2.7 Bootstrapped驅動器電路 .....	9
圖 2.8 拔靴帶式驅動器操作原理(輸入由 $V_{DD}$ 轉 0) .....	10
圖 2.9 拔靴帶式驅動器操作原理(輸入由 0 轉 $V_{DD}$ ) .....	11
圖 2.10 拔靴帶式驅動器與傳統CMOS反相器比較 .....	11
圖 3.1 晶片內部連接線模型 .....	14
圖 3.2 晶片內部連接線電容模型 .....	14
圖 3.3 置入中繼器的晶片內部連接線 .....	17
圖 3.4 擁有五組傳輸線系統的佈局 .....	17
圖 3.5 連接線電阻的求法 .....	18
圖 3.6 連接線電容的求法 .....	18
圖 3.7 RC結合式模型 .....	19
圖 3.8 RC分散式模型 .....	20
圖 3.9 中繼器驅動長度為L的晶片內連接線 .....	21
圖 3.10 中繼器系統等效電路 .....	21
圖 3.11 使用傳統中繼器的晶片內匯流排在 0.2V下可達的資料傳輸率 .....	22
圖 3.12 晶片內匯流排系統最高資料傳輸率的模擬與計算結果比較圖 .....	23
圖 4.1 傳輸線內置入中繼器 .....	24
圖 4.2 N型電晶體在不同corner下，汲極電流對 $V_{GS}$ 電壓關係圖 .....	27
圖 4.3 型態一拔靴帶式反相器 .....	28
圖 4.4 型態一拔靴帶式反相器操作原理(輸入由 $V_{DD}$ 轉 0) .....	29
圖 4.5 型態一拔靴帶式反相器操作原理(輸入由 0 轉 $V_{DD}$ ) .....	30
圖 4.6 型態一拔靴帶式反相器各節點電壓波形圖 .....	30
圖 4.7 型態一拔靴帶式反相器與傳統CMOS反相器比較 .....	31
圖 4.8 型態二拔靴帶式反相器 .....	32
圖 4.9 型態二拔靴帶式反相器操作原理(輸入由 $V_{DD}$ 轉 0) .....	33
圖 4.10 型態二拔靴帶式反相器操作原理(輸入由 0 轉 $V_{DD}$ ) .....	33

圖 4.11 型態二拔靴帶式反相器各節點電壓波形圖 .....	34
圖 4.12 型態二拔靴帶式反相器與傳統CMOS反相器比較.....	35
圖 4.13 拔靴帶式反相器的非理想效應 .....	36
圖 4.14 拔靴帶式反相器的非理想效應 .....	37
圖 4.15 各種拔靴帶式電路的升降壓元件 .....	39
圖 4.16 反向電流對型態一拔靴帶式反相器所造成的影響 .....	39
圖 4.17 修正後的型態一拔靴帶式反相器 .....	40
圖 4.18 反向電流對修正後的型態一拔靴帶式反相器所造成的影響 .....	41
圖 4.19 反向電流對型態一與型態二拔靴帶式反相器所造成的影響 .....	42
圖 4.20 寄生電容與升壓電容等效電路 .....	43
圖 4.21 升壓電容大小對升壓結果的影響 .....	44
圖 4.22 型態一拔靴帶式反相器的節點說明 .....	46
圖 4.23 使用型態一拔靴帶式中繼器的模擬結果 .....	46
圖 4.24 使用型態一拔靴帶式中繼器的輸出眼狀圖 .....	47
圖 4.25 使用型態一拔靴帶式中繼器的模擬結果(改善後) .....	47
圖 4.26 使用型態一拔靴帶式中繼器的輸出眼狀圖(改善後) .....	48
圖 4.27 型態二拔靴帶式反相器的節點說明 .....	49
圖 4.28 使用型態二拔靴帶式中繼器的模擬結果 .....	49
圖 4.29 使用型態二拔靴帶式中繼器的輸出眼狀圖 .....	50
圖 4.30 使用型態二拔靴帶式中繼器的模擬結果(改善後) .....	50
圖 4.31 使用型態二拔靴帶式中繼器的輸出眼狀圖(改善後) .....	51
圖 4.32 型態二拔靴帶式電路基極端PN接面示意圖 .....	51
圖 4.33 基極端PN接面導通情形示意圖 .....	52
圖 4.34 單一元件推動負載時的比較環境示意圖 .....	53
圖 4.35 單一元件推動負載時的上升與下降時間比較 .....	53
圖 4.36 單一元件推動負載時的延遲功率乘積比較 .....	54
圖 4.37 拔靴帶式傳輸線系統的比較環境示意圖(考慮轉態時間) .....	55
圖 4.38 拔靴帶式傳輸線系統的輸出轉態時間比較 .....	55
圖 4.39 拔靴帶式傳輸線系統最高資料傳輸率比較(考慮轉態時間) .....	56
圖 4.40 拔靴帶式傳輸線系統最高資料傳輸率比較(考慮轉態時間) .....	57
圖 4.41 拔靴帶式傳輸線系統的比較環境示意圖(考慮抖動) .....	57
圖 4.42 拔靴帶式傳輸線系統可達的資料傳輸率比較(考慮抖動) .....	58
圖 4.43 拔靴帶式傳輸線系統可達的資料傳輸率比較 .....	59
圖 4.44 拔靴帶式傳輸線系統單位元功率消耗比較 .....	60
圖 5.1 本論文的晶片佈局架構 .....	61
圖 5.2 四對一多工器電路 .....	62
圖 5.3 一對四解多工器電路 .....	62
圖 5.4 輸入端電壓位準移位電路 .....	63

圖 5.5 輸入端電壓位準移位電路的輸入與輸出波形圖 .....	63
圖 5.6 輸出端電壓位準移位電路 .....	64
圖 5.7 輸出端電壓位準移位電路的輸入與輸出波形圖 .....	64
圖 5.8 晶片內部匯流排電路 .....	65
圖 5.9 測試電路架構圖 .....	66
圖 5.10 晶片佈局圖 .....	67
圖 5.11 匯流排電路模擬結果(TT ; $V_{DD}=0.2V$ ; $25^{\circ}C$ ) .....	68
圖 5.12 匯流排電路模擬結果(FF ; $V_{DD}=0.2V$ ; $25^{\circ}C$ ) .....	69
圖 5.13 匯流排電路模擬結果(SS、 $V_{DD}=0.2V$ 、 $25^{\circ}C$ ) .....	70
圖 5.14 匯流排電路模擬結果(TT、 $V_{DD}=0.2V$ 、 $0^{\circ}C \sim 100^{\circ}C$ ) .....	72
圖 5.15 匯流排電路模擬結果(FF、 $V_{DD}=0.2V$ 、 $0^{\circ}C \sim 100^{\circ}C$ ) .....	73
圖 5.16 匯流排電路模擬結果(SS、 $V_{DD}=0.2V$ 、 $0^{\circ}C \sim 100^{\circ}C$ ) .....	74
圖 5.17 晶片量測儀器設置圖 .....	79



# 表目錄

表格 3.1 UMC90nm金屬方塊電阻值 .....	15
表格 3.2 UMC90nm晶片內連接線電容值 .....	16
表格 3.3 計算後與佈局所得的電阻值與電容值比較 .....	18
表格 5.1 晶片內部匯流排的各項參數值 .....	65
表格 5.2 匯流排電路模擬結果的抖動大小(TT ; $V_{DD}=0.2V$ ; $25^{\circ}C$ ) .....	68
表格 5.3 匯流排電路模擬結果的抖動大小(FF ; $V_{DD}=0.2V$ ; $25^{\circ}C$ ) .....	69
表格 5.4 匯流排電路模擬結果的抖動大小(SS ; $V_{DD}=0.2V$ ; $25^{\circ}C$ ) .....	70
表格 5.5 匯流排電路模擬結果的抖動大小(SNFP ; $V_{DD}=0.2V$ ; $25^{\circ}C$ ) .....	71
表格 5.6 匯流排電路模擬結果的抖動大小(FNSP ; $V_{DD}=0.2V$ ; $25^{\circ}C$ ) .....	71
表格 5.7 匯流排電路的抖動大小(TT ; $0^{\circ}C \sim 100^{\circ}C$ ) .....	72
表格 5.8 匯流排電路模擬結果的抖動大小(FF ; $0^{\circ}C \sim 100^{\circ}C$ ) .....	73
表格 5.9 匯流排電路模擬結果的抖動大小(SS ; $0^{\circ}C \sim 100^{\circ}C$ ) .....	74
表格 5.10 測試電路模擬結果的抖動大小(TT ; $V_{DD}=0.2V$ ; $25^{\circ}C$ ) .....	75
表格 5.11 本論文晶片內部匯流排規格表 .....	76
表格 5.12 拔靴帶式匯流排的結果比較表(固定切割線段長) .....	77
表格 5.13 拔靴帶式匯流排的結果比較表(固定資料傳輸率) .....	78



# 第一章

## 緒論

### 1.1 簡介

在現代生活中，高科技的電子產品已改變了人們的生活方式，我們舉手投足間不斷地享受著 3C 產品所帶來的便利，正因如此，科技產品的攜帶性也愈顯重要。拜前人所賜，我們已有能力將龐大電路板的所有功能以一顆小小的晶片所取代，大幅縮小科技產品的體積，使科技更貼近人性，增加消費者的選購慾望，這即為 SOC(system on a chip) 所帶來的貢獻。

而隨著 SOC 的廣泛應用，晶片內模組與模組之間的傳輸所扮演的角色也日益重要，在製程不斷地演進，電晶體尺寸不斷地縮小，而邏輯閘延遲(gate delay)亦縮小的情況下，晶片內部傳輸線延遲(interconnect delay)所佔的比例也愈來愈大，因此晶片內部傳輸的問題一直廣受討論。然而在全球提倡綠能的趨勢下，低功率電路設計為現今半導體產學的主要研究方向之一。為了達到更低功率的操作，降低操作電壓為達到低功率消耗最直接有效的方法。而運作在門檻電壓下的超低操作電壓，使電晶體操作在次臨界區域(subthreshold region)的電路設計也近年各方研究的課題。很不幸地，當電路在次臨界區域的環境時，電晶體的電流驅動能力將非常差，使得電路無法操作在合理的速度之下，動輒需要設計更大的面積來妥協。如此一來將又會遭遇到隨著半導體製程的演進，而日漸嚴重的靜態漏電流的問題，讓低功率設計的初衷大打折扣。

## 1.2 研究動機

為了達到低功率消耗，由基本的功率消耗公式  $P = \alpha f C V^2$  可知，降低系統的操作電壓為最直接有效的方式。然而在晶片內部匯流排系統中，為了降低花費在傳輸線上的延遲，傳統的作法會把傳輸線切割為多段，並置入傳統的 CMOS 反相器作為匯流排系統的中繼器(repeater)，如圖 1.1 所示，針對中繼器擺設方式與傳輸線參數的最佳化，已有許多文獻討論[1][2][3][4][5]。

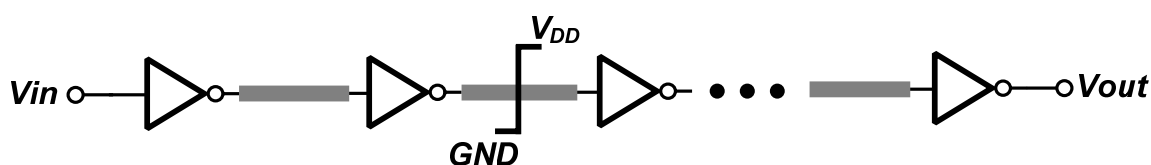


圖 1.1 置入了傳統中繼器的晶片內部傳輸線系統

但是當傳輸線系統的操作在低電壓的環境時，電路的操作速率將嚴重降低，將造成電路可運作的速度不如預期之外，當系統的操作電壓小於電晶體的門檻電壓時，電路更遭受嚴重的製程變異影響。

因此在低操作電壓的環境之下，可考慮使用拔靴帶式反相器(bootstrapped inverter)作為中繼器，如圖 1.2 所示，將中繼器的輸出擺幅放大為  $2V_{DD} \sim -V_{DD}$ ，如此一來即可增加中繼器的驅動能力，增加傳輸線系統的操作速度。

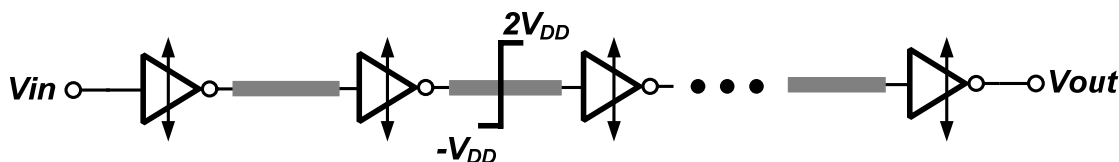


圖 1.2 置入了拔靴帶式中繼器的晶片內部傳輸線系統

但此作法卻產生另一項問題：若使整條傳輸線負載的訊號擺幅放大為三倍，將造成功率消耗增加為九倍，此時電路的功率消耗與正常電壓操作時相同，得不到任何的好處。

因此本論文所提出的作法如圖 1.3 所示，在傳統中繼器之前加入拔靴帶式電路，以增加中繼器的驅動能力。參考圖 1.4，如此作法雖然會增加拔靴帶式電路與中繼器之間負載( $C_1$ )的功率消耗為九倍，卻沒有增加主要傳輸線負載( $C_2$ )的功率消耗，因此只需多付出相對少量的功率消耗，即可增加傳輸線系統的操作速度，以達高速低功率消耗的目的。

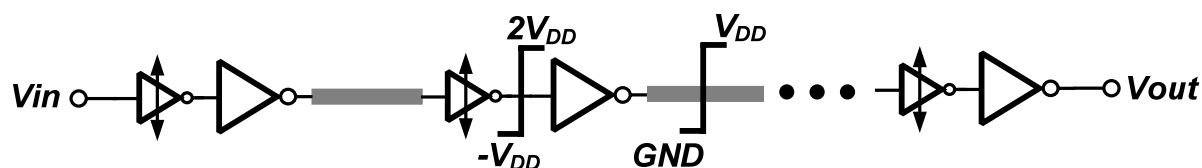


圖 1.3 本論文的拔靴帶式晶片內部傳輸線系統

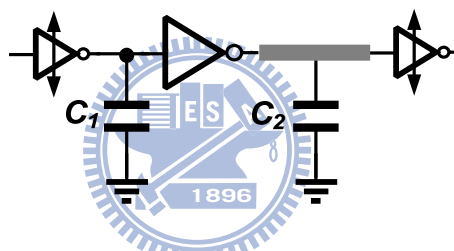


圖 1.4 本論文的拔靴帶式中繼器負載

## 1.3 論文結構

本論文分為六個章節。第一章為緒論，說明傳輸線系統發展現況、研究動機與論文結構。第二章為背景回顧，介紹先前文獻所設計的拔靴帶式電路並分析優缺。第三章為晶片內部匯流排電路，介紹傳輸線系統的模型與時間常數的計算方式，進而預估與驗證系傳輸線系統的效能，以確保傳輸線模型的準確性。第四章為中繼器電路，介紹本論文所設計的兩種拔靴帶式電路，以及所遭遇的非理想效應與解決方法，最後並與先前文獻所設計的拔靴帶式電路比較。第五章為匯流排電路的實現，將介紹本論文的晶片佈局架構、電路組成，以及規格表與效能比較，最後則為量測考量。第六章為結論，將討論本論文電路的設計結果與未來發展方向。



## 第二章

## 背景回顧



### 2.1 艾莫爾延遲

艾莫爾延遲(*Elmore delay*)為一種計算時間常數的近似方法[6]，用以計算訊號經由 RC 樹狀網路後的延遲時間。考慮以下如圖 2.1 所示的 RC 樹狀網路，根據艾莫爾延遲的計算方式，此 RC 樹狀網路的時間常數為：

$$\tau = \sum_{j=1}^N C_j \sum_{i=1}^j R_i \quad (2.1)$$

由電路充放電的行為來看，艾莫爾延遲的方式將 RC 網路上的電容視為分別充電，也就是等待上一個電容充電完成後，下一個電容才會開始充電，並非所有電容同時一起充電。因此艾莫爾延遲的計算方式模擬出 RC 網路在充放電時，各節點的電壓變化，但與實際情形仍有誤差。

總結而言，雖然使用艾莫爾延遲所計算出來的訊號延遲時間為近似值，但因為其簡單容易計算的特色，使得此方式被廣泛地使用。

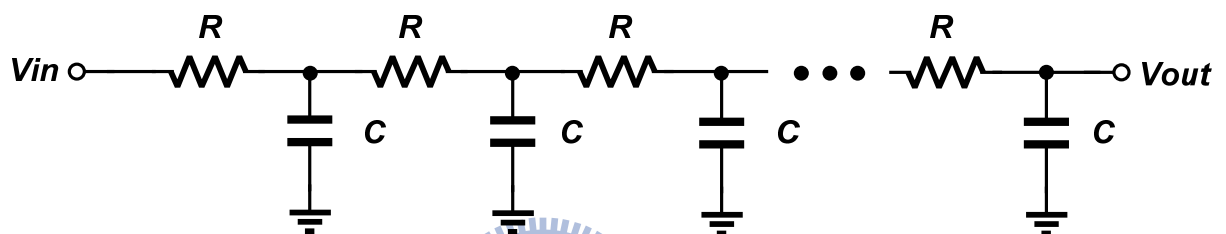


圖 2.1 RC 樹狀網路

## 2.2 拔靴帶式電路

依據先前文獻，拔靴帶式電路可分為二種：一為 Direct Bootstrap 反相器[7][8]，如圖 2.2 左，其原理是在電晶體的閘級與汲極間，提供一個輸入訊號可經過的路徑，以直接增加電流充放電電流路徑的方式，減少輸出的上升與下降時間，來達到增速的效果；另一種為 Bootstrap 反相器[9][10]，如圖 2.2 右，其原理是利用前端的拔靴帶式電路放大輸入訊號擺幅，以大擺幅的訊號驅動後端反相器，已達到增速效果。後項的方法應用在低操作電壓時效果較佳，因為在低壓環境下，電晶體的閘級電壓上升，電晶體電流將呈指數趨勢增加。

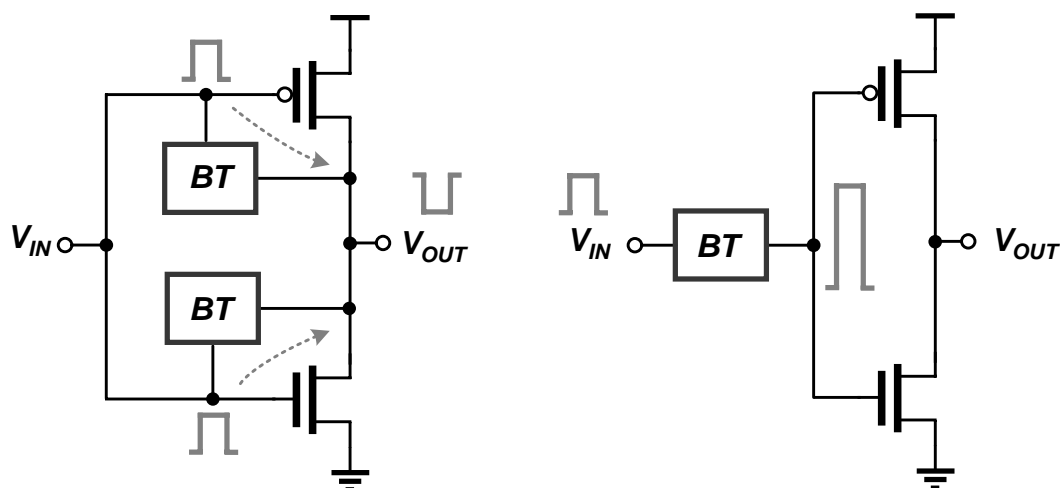


圖 2.2 拔靴帶式反相器操作概念

### 2.2.1 Direct Bootstrapped 反相器

以下圖 2.3 為 Direct Bootstrapped 反相器電路[7]，電晶體  $M_1$  與  $M_2$  負責電容充電， $M_3$  與  $M_4$  為開關， $M_5$  與  $M_6$  為反相器，電容  $C_1$  與  $C_2$  所儲存的電荷，將分別協助輸出訊號的充放電行為。

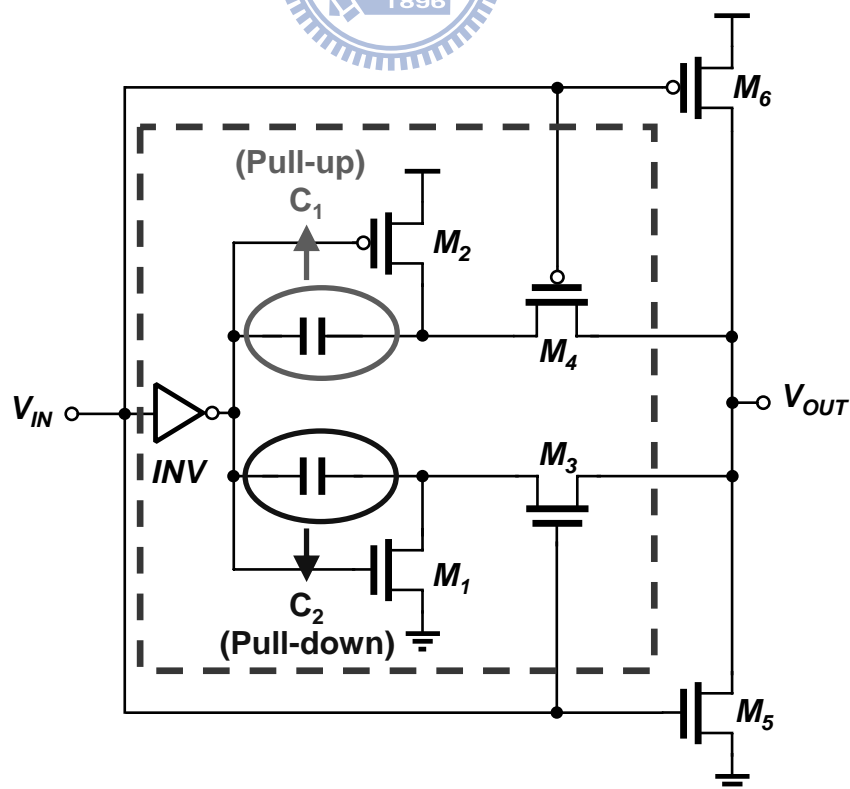


圖 2.3 Direct Bootstrapped 反相器電路

電路操作原理如圖 2.4，當輸入訊號由  $V_{DD}$  轉 0 時，電晶體  $M_4$  將導通，而  $M_6$  開啟使  $V_{OUT}$  輸出開始充電，同時  $INV$  反相器輸出由 0 轉  $V_{DD}$ ，開啟電晶體  $M_1$ ，關閉  $M_2$ ， $C_1$  電容儲存電荷將經由電晶體  $M_4$  協助  $V_{OUT}$  輸出充電。此時電晶體  $M_1$  將  $C_2$  電容儲存電位  $V_{DD}$ ，電路動作完成。

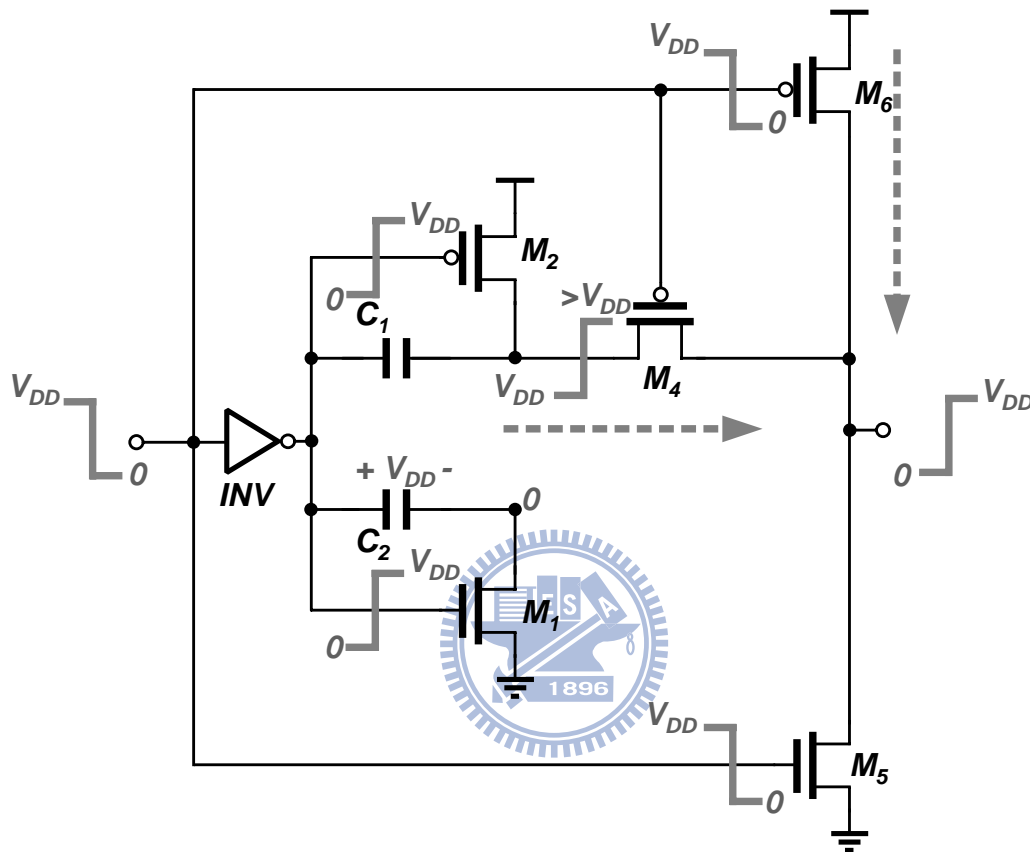


圖 2.4 Direct Bootstrapped反相器操作原理(輸入由  $V_{DD}$  轉 0)

當輸入訊號由 0 轉  $V_{DD}$  時的電路動作如圖 2.5 所示，電晶體  $M_3$  導通，且  $M_5$  開啟， $V_{OUT}$  輸出開始放電，同時  $INV$  反相器輸出由  $V_{DD}$  轉 0，導通電晶體  $M_2$ 、關閉  $M_1$ ，而  $C_2$  電容儲存電荷將  $M_1$  的汲極推至負電壓，並經由  $M_3$  幫助輸出放電。此時  $C_1$  電容儲存電位  $V_{DD}$ ，電路動作完成。

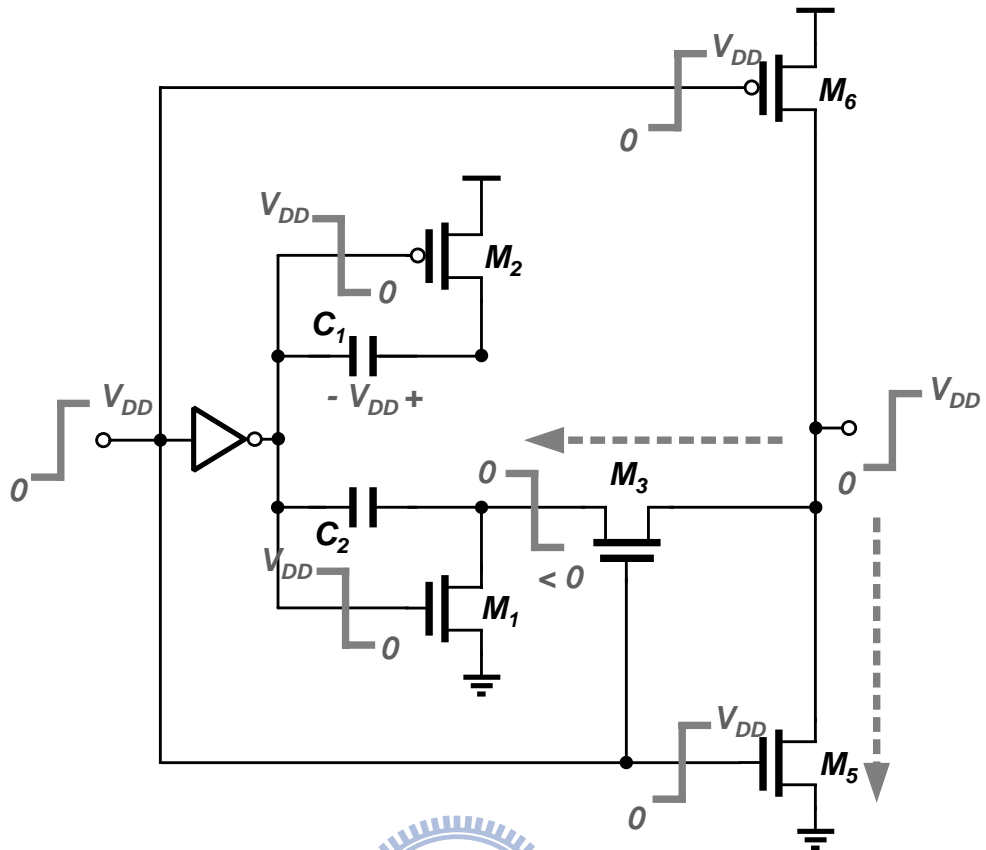


圖 2.5 Direct Bootstrapped 反相器操作原理(輸入由 0 轉  $V_{DD}$ )

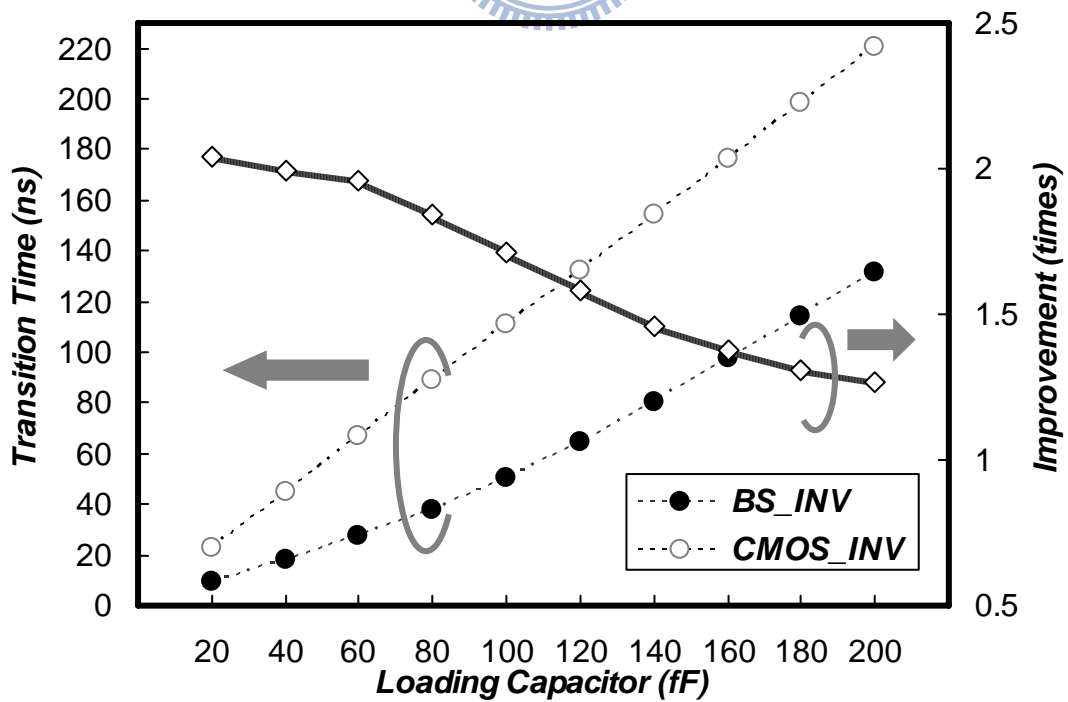


圖 2.6 Direct Bootstrapped 反相器與傳統 CMOS 反相器比較

Direct Bootstrapped 反相器與傳統 CMOS 反相器比較如圖 2.6，可看出 Direct Bootstrapped 反相器主要的缺點為：對輸出訊號轉態時間的改善效果，將受到負載電容的大小所影響。在負載電容較大的情況下，若想要得到較佳的改善效果，電路內部亦必須使用較大的電容。在晶片內部匯流排的應用下，中繼器常遭遇較大的負載，意味著若使用此類型拔靴帶式反相器，中繼器電路部份必須使用大電容，將大幅增加晶片內匯流排的面積，亦增加了額外的功率消耗。

## 2.2.2 Bootstrapped 驅動器

Bootstrapped 驅動器電路如圖 2.7 所示[9]，電晶體 $M_3$ 與 $M_4$ 負責電容( $C_1, C_2$ )的充放電，電晶體 $M_1$ 與 $M_6$ 負責關閉後方 $M_7$ 與 $M_8$ ，而電晶體 $M_2$ 與 $M_5$ 為開關，電晶體 $M_7$ 與 $M_8$ 則為傳統的CMOS反相器。

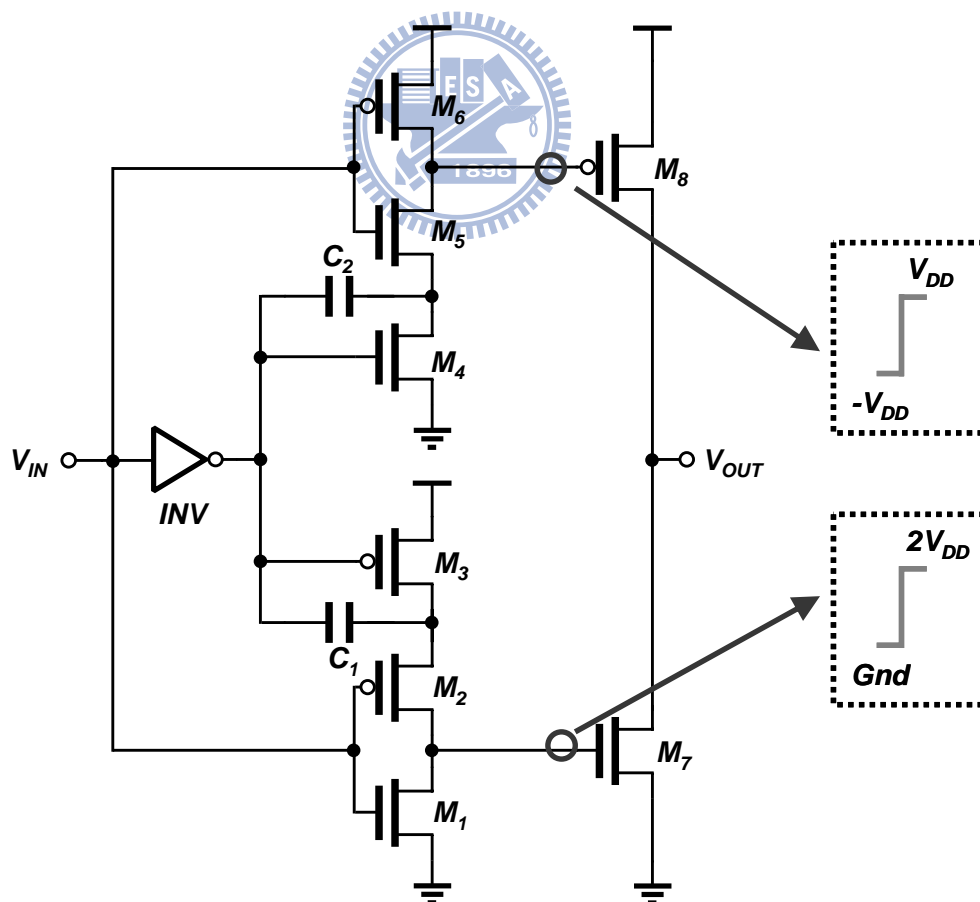


圖 2.7 Bootstrapped 驅動器電路

電路操作行為如圖 2.8，當輸入訊號由  $V_{DD}$  轉 0 時，電晶體  $M_6$  導通關閉  $M_8$ ，INV 輸出由 0 轉  $V_{DD}$ ，由於電容  $C_1$  已儲存電位  $V_{DD}$ ，電晶體  $M_2$  的源極將從  $V_{DD}$  推至  $2V_{DD}$ 。電晶體  $M_2$  導通，將升壓後的訊號傳遞至  $M_7$  閘極。同時  $M_4$  導通，電容  $C_2$  儲存電位  $V_{DD}$ ，此時電路動作完成。總結此時序電路的操作，我們可以稱電容  $C_1$  執行重置動作(reset)，而電容  $C_2$  執行升壓動作(boost)。

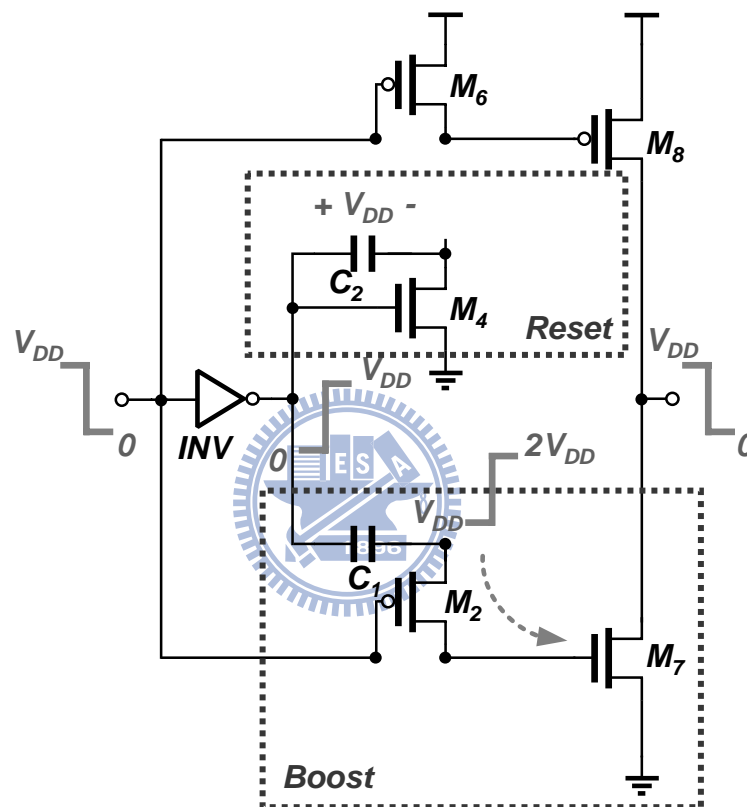


圖 2.8 拔靴帶式驅動器操作原理(輸入由  $V_{DD}$  轉 0)

當輸入訊號由 0 轉  $V_{DD}$  時，電路動作如圖 2.9 所示，電晶體  $M_1$  導通關閉  $M_7$ ，INV 輸出由  $V_{DD}$  轉 0，由於電容  $C_2$  已儲存電位  $V_{DD}$ ，電晶體  $M_5$  的射極端將從 0 推至  $-V_{DD}$ ，此時電晶體  $M_5$  導通，將降壓後的電位傳遞至  $M_8$  閘極。同時電晶體  $M_3$  導通，電容  $C_1$  儲存電位  $V_{DD}$ ，此時電路動作完成。在此時序中，電容  $C_1$  執行升壓動作(boost)，而電容  $C_2$  則執行重置動作(reset)。

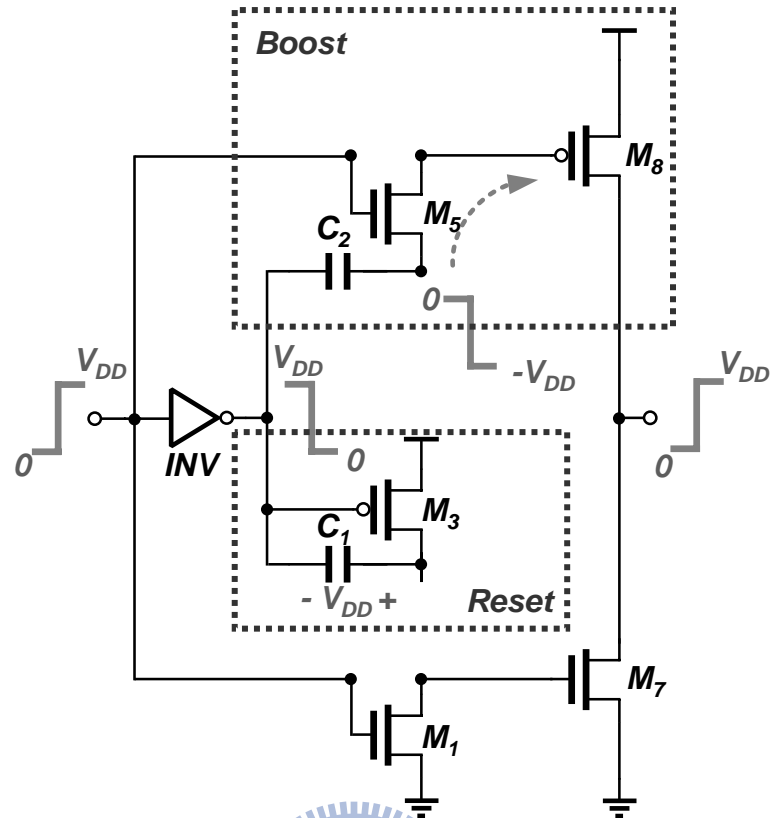
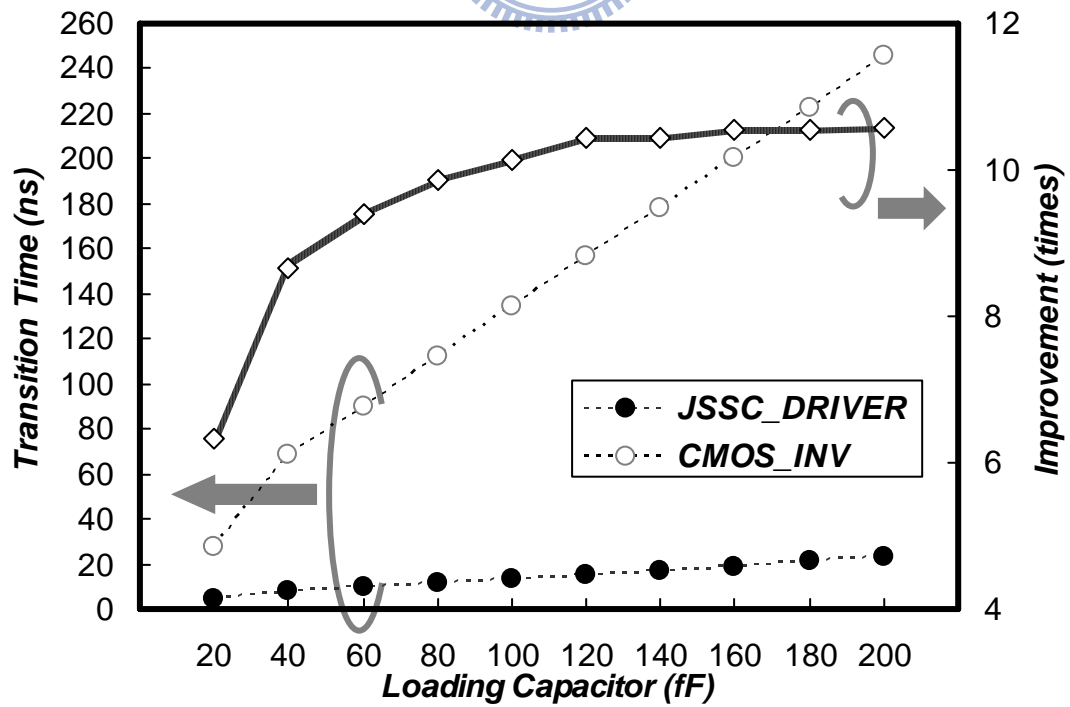
圖 2.9 拔靴帶式驅動器操作原理(輸入由 0 轉  $V_{DD}$ )

圖 2.10 拔靴帶式驅動器與傳統 CMOS 反相器比較



拔靴帶式驅動器與傳統CMOS反相器比較圖如 2.10，結果可看出此類型拔靴帶式電路較適合用於驅動大負載，原因為電路升壓的效果決定在升壓電容( $C_1$ 與 $C_2$ )與後端反相器寄生電容( $M_7$ 與 $M_8$ 的閘級)的相對大小，並非直接面對負載電容，因此較適合傳輸線系統的中繼器應用。

總結此類型的拔靴帶式驅動器的優點：(1) 可放大輸入訊號的擺幅，以增加後端電晶體的驅動電壓(提供  $2V_{DD}$ 於N型電晶體； $-V_{DD}$ 於P型電晶體)，因此在低電壓應用時的效果較佳。(2) 升降壓效果與負載電容無直接關係，適合於大負載的應用。(3) 以擺幅較大的訊號驅動電晶體，使電晶體擺脫低壓的環境，因此，製程變異的影響程度將減少。

雖然此類型的拔靴帶式電路較適合應用在低操作電壓的環境，但是電路仍遭受許多非理想效應的影響，將會造成升降壓的效果不良、升降壓節點漏電嚴重、電容充電不及造成 ISI 抖動等等，以上的非理想效應使拔靴帶式電路仍有許多改善空間。關於上述的非理想效應將一併在第四章詳述。



## 第三章

# 晶片內部匯流排電路



### 3.1 晶片內部匯流排電路

在此章節中，將依序介紹晶片內部連接線模型的建立方式、傳輸線系統的時間常數計算、與傳輸線系統的效能估算與驗證。在晶片內部連接線模型的建立方式中，可分三個部份：一為晶片內部連接線電阻的建立，二為晶片內部連接線電容的建立，最後則為晶片內部連接線電阻與電容的驗證；在傳輸線系統的時間常數計算中，可分為兩個部份：一為晶片內部連接線的時間常數計算，二為中繼器系統的時間常數計算；本章節最後則為傳輸線系統的效能估算與驗證，在此節中將提供計算推導與實際模擬的比較結果，探討晶片內部連接線模型在此製程下的準確性。

## 3.2 晶片內部連接線模型

晶片內部連接線模型(on-chip interconnect model)如圖 3.1 與圖 3.2 所示。其中 $W$ 為連接線寬度， $S$ 為連接線間距， $T$ 為連接線與上下層金屬的間距， $T_{OX}$ 為連接線金屬層的厚度，而電容部分： $C_C$ 為連接線與同一層金屬之間的耦合電容， $C_a$ 為連接線與上下層金屬之間的平面電容， $C_f$ 為連接線的邊緣電場電容。以下就連接線電阻與連接線電容的建立分別說明。

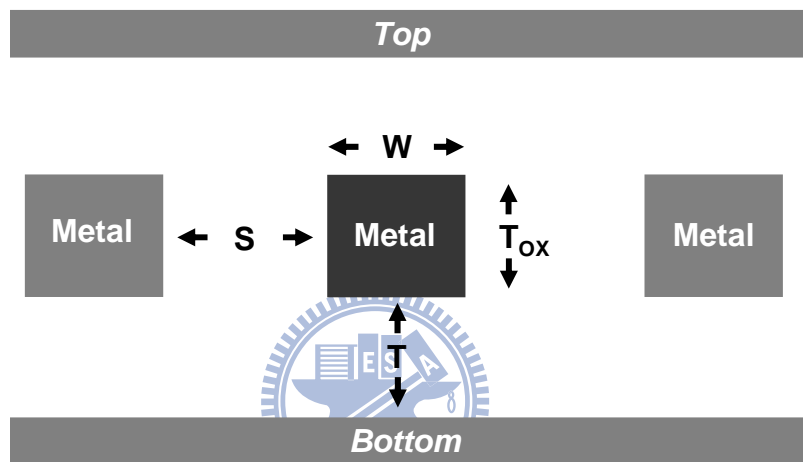


圖 3.1 晶片內部連接線模型

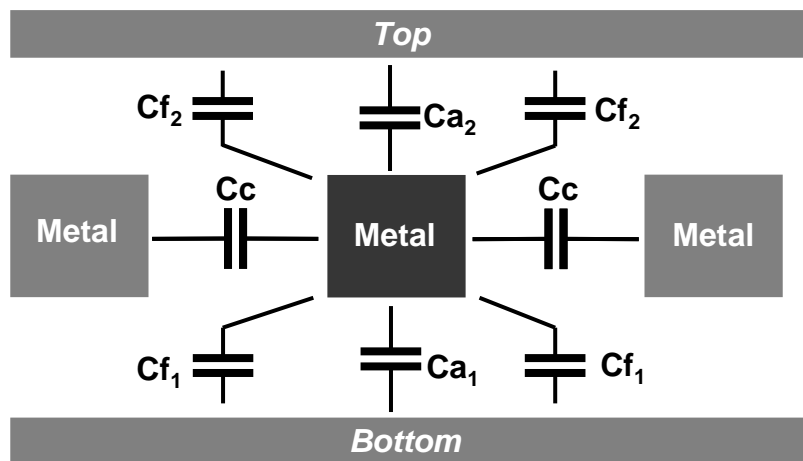


圖 3.2 晶片內部連接線電容模型

### 3.2.1 晶片內部連接線電阻 (Interconnect Resistance)

參考圖 3.1，連接線的單位長度阻值可表示為下式，其中  $\rho$  為金屬材質的介電阻率：

$$r_{\text{WIRE}} = \frac{\rho}{W \times T_{\text{OX}}} \quad (3.1)$$

以上的計算方式只要查得製程參數即可有效求出連接線單位長度的大小，但實際上的金屬層厚度並非均勻，因此式 3.1 所得的數值將與實際數據有所誤差，此誤差對於之後全區域匯流排的效能估算影響甚鉅。在 UMC90 的製程文件中說明了各層金屬方塊的電阻值統計數據，如表格 3.1 所示。其中考慮誤差分為 max、type、min 三種數據，以 metal3 為例，一塊  $0.14\mu\text{m} \times 0.14\mu\text{m}$  的 metal3 的金屬方塊電阻值為 76~134mOhm，本設計使用 type 的值作為設計依據，進而推導出單位長度的連接線電阻值，如式 3.2 所示，其中 L 為連接線總長度：

$$\begin{aligned} R &= 105\text{m}\Omega \times L \div 0.14 \\ &= 750\text{m}\Omega \times L \end{aligned} \quad (3.2)$$

表格 3.1 UMC90nm 金屬方塊電阻值

Sheet Resistance of Metal (UMC90nm)				
Metal Layer	Min.	Typ.	Max.	Unit
Metal1 (W=0.12um)	83	115	147	mOhm/sq
Metal2~6 (W=0.14um)	76	105	134	mOhm/sq
Metal7 (W=0.28um)	33	44	56	mOhm/sq

### 3.2.2 晶片內部連接線電容 (Interconnect Capacitance)

參考圖 3.2，連接線的單位長度電容值可表示為，其中 $W$ 為連接線寬度， $S$ 為連接線間距， $C_C$ 為連接線間的耦合電容， $C_a$ 為連接線與上下層金屬間的平面電容， $C_f$ 為連接線的邊緣電場電容。：

$$C_{\text{WIRE}} = C_C + C_a \cdot W + \frac{C_f}{S} \quad (3.3)$$

與電阻的情況相同，上列算出的 $C_{\text{WIRE}}$ 值與實際狀況仍有差距，在UMC90的製程文件中列出了各金屬層連接線在各種情況下的連接線電容值，如表格 3.2 所示。在此以連接線為metal3，連接線寬與線距皆為最小值 0.14um，上方無其他層金屬覆蓋，下方為substrate的環境為例。在此狀況下，metal3 金屬連接線與substrate間的平面電容為 0.00243fF per um；metal3 金屬連接線與substrate間的邊緣電場電容為 0.00243fF per um；而metal3 金屬連接線間的耦合電容為 0.00243fF per um，因此可以求出metal3 晶片內連接線的單位長度電容為：

$$C_{\text{WIRE}} = (2C_c + C_a + 2C_f) \times L = 0.1856 \times L(\text{fF}) \quad (3.4)$$

表格 3.2 UMC90nm 晶片內連接線電容值

Metal3 above substrate (UMC90nm)					
Width	Space	$C_a$ (fF/um)	$C_f$ (fF/um)	$C_C$ (fF/um)	$C_{\text{sum}}$ (fF/um)
0.14	0.14	2.43E-03	3.62E-03	8.80E-02	1.86E-01
0.14	0.28	2.71E-03	4.78E-03	5.36E-02	1.20E-01
0.14	0.42	2.69E-03	5.96E-03	3.56E-02	9.17E-02

### 3.2.3 晶片內連接線電阻與電容的驗證

接著將先前得到的晶片內連接線的單位長度電阻與電容，與實際佈局後做驗證。驗證的方式為：在連接線的兩端皆擺放中繼器(repeater)，以模擬一段置入了中繼器的晶片內部連接線系統，如圖 3.3 所示。在此使用的中繼器為 CMOS 反相器。

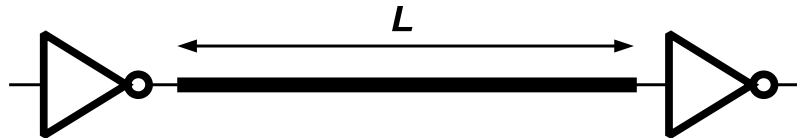


圖 3.3 置入中繼器的晶片內部連接線

在佈局的驗證環境中，擁有五組傳輸線系統的佈局如圖 3.4。其中反相器的 contact 與不同金屬間的耦合電容將會影響到節點的寄生電阻與電容的大小，為了準確地求出單純傳輸線部分的內連接線電阻與電容，以下使用了兩種方法：在電阻部分，將一段長度為  $L$  並兩端皆上中繼器的佈局，扣除掉相同情況但長度為最小的佈局，即可求出此段長度為  $L$  的內連接線電阻值，如圖 3.5；在電容部分，將一段擁有五組且長度為  $L$  的佈局，扣除掉相同長度但只有一組的傳輸線佈局，即求出此段長度為的內連接線電容值，如圖 3.6 所示。

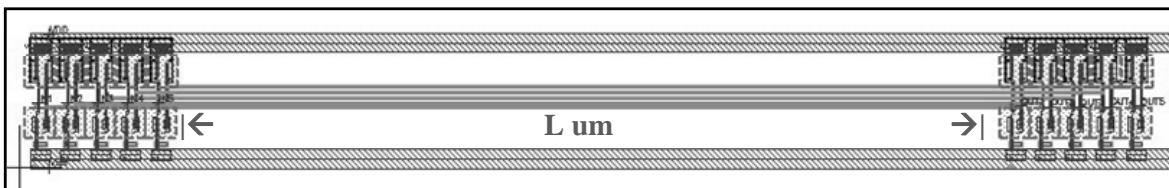


圖 3.4 擁有五組傳輸線系統的佈局

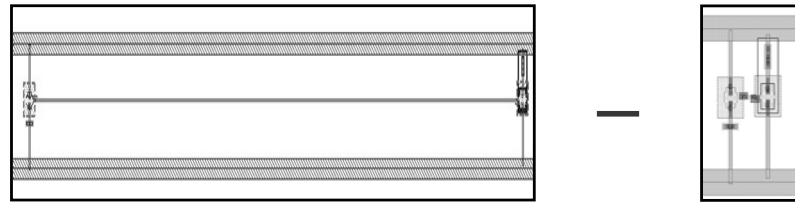


圖 3.5 連接線電阻的求法

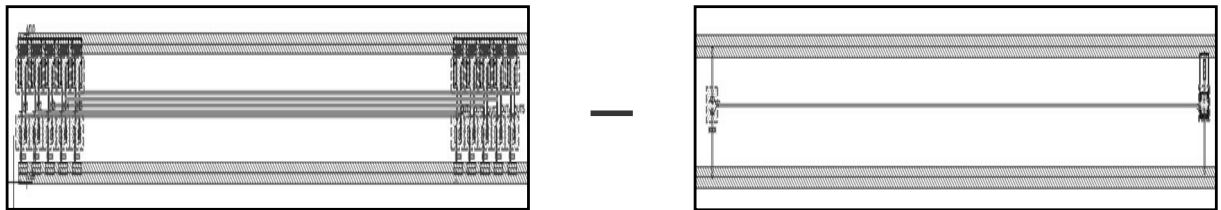


圖 3.6 連接線電容的求法

最後，將之前方程式所求得的電阻與電容值與佈局所得作比較，比較結果如表格 3.3 所示。



表格 3.3 計算後與佈局所得的電阻值與電容值比較

連接線電阻				連接線電容			
長度 ( $\mu\text{m}$ )	計算 ( $\Omega$ )	佈局 ( $\Omega$ )	誤差	長度 ( $\mu\text{m}$ )	計算 (fF)	佈局 (fF)	誤差
50	37.5	36.23	3.4%	50	9.32	9.36	0.4%
100	75	72.70	3.0%	100	18.64	18.3	1.8%
150	112.5	109.10	3.0%	150	27.96	26.7	4.5%
200	150	145.53	3.0%	200	37.28	25.4	5.0%

### 3.3 傳輸線系統的時間常數計算

在計算出晶片內部連接線的單位電阻與電容值之後，我們需進一步求出傳輸線的時間常數，以求出傳輸線的傳輸延遲。此章節介紹時間常數的計算方式，分為兩個部份：晶片內部連接線的時間常數計算與中繼器系統的時間常數計算，以下將依序做說明。

#### 3.3.1 晶片內連接線的時間常數

晶片內連接線的時間常數表示方式分為 RC 結合式模型(Lumped)與 RC 分散式模型(Distributed)兩種[11]。其中 RC 結合模型如圖 3.7 所示，其為將內部連接線上所有的電阻與電容，合併為一個大電阻與大電容來表示，此為粗略的近似方式，其時間常數為：

$$\tau = R \times C \quad (3.5)$$

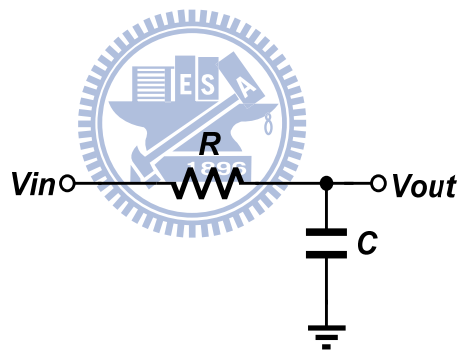


圖 3.7 RC 結合式模型

RC 分散式模型是將連接線上的電阻與電容分散來表示，如圖 3.8 所示。每個電容的充放電路徑所經過的電阻值皆不同，其時間常數計算參考艾莫爾延遲(Elmore delay)[6]如式 3.6，其中 N 為傳輸線切割的段數，N 的值愈大，所得的時間常數值愈準確。

$$\begin{aligned} \tau &= \sum_{j=1}^N C_j \sum_{i=1}^j R_i \\ &= \frac{R}{N} \times \frac{C}{N} + \left(\frac{R}{N} + \frac{R}{N}\right) \times \frac{C}{N} + \dots + \left(\frac{R}{N} + \frac{R}{N} + \dots + \frac{R}{N}\right) \times \frac{C}{N} \end{aligned}$$



$$\begin{aligned}
 &= RC \times \frac{N+1}{2N} \\
 &\approx \frac{RC}{2} (N \gg 1)
 \end{aligned} \tag{3.6}$$

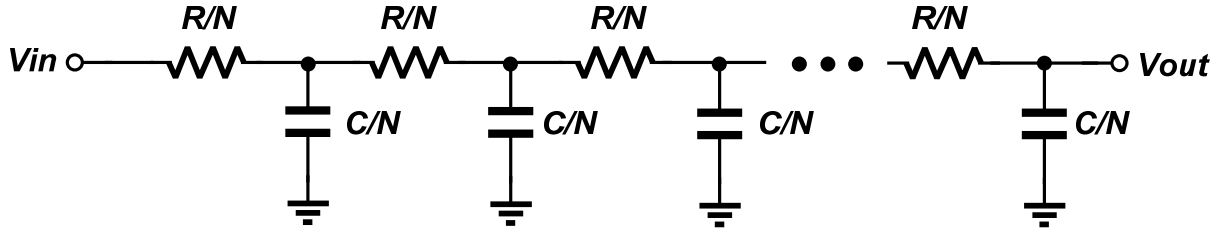


圖 3.8 RC 分散式模型

### 3.3.2 中繼器系統的時間常數

接著介紹中繼器驅動連接線負載時的時間常數計算方式。首先，考慮中繼器驅動長度為  $L$  的連接線負載時，示意如圖 3.9，在此情況下，中繼器系統的等效電路如圖 3.10 所示[11]，則計算所得到的時間常數為：

$$\tau = R_o C_{GD} + \left(R_o + \frac{R_w}{2}\right) C_w + (R_o + R_w) C_{GS} \tag{3.7}$$

若考慮連接線長度  $L$  與中繼器並聯個數為  $M$ ，代入式 3.7，則時間常數表示為：

$$\begin{aligned}
 \tau &= \frac{r_o}{M} (C_{gd} \times M) + \left(\frac{r_o}{M} + \frac{r_w \times L}{2}\right) (c_w \times L) + \left(\frac{r_o}{M} + r_w \times L\right) (C_{gs} \times M) \\
 &= r_o (C_{gd} + C_{gs}) + \left(\frac{r_o c_w}{M} + r_w C_{gs} \times M\right) \times L + \frac{1}{2} r_w \times c_w \times L^2
 \end{aligned} \tag{3.8}$$

其中， $R_o = \frac{r_o}{M}$ ； $C_{GD} = C_{gd} \times M$ ； $C_{GS} = C_{gs} \times M$ ； $R_w = r_w \times L$ ； $C_w = c_w \times L$ 。

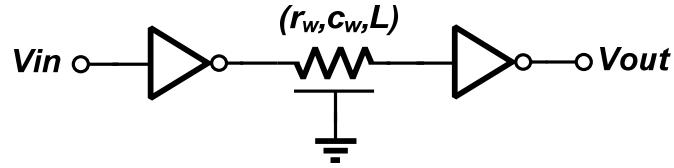


圖 3.9 中繼器驅動長度為 L 的晶片內連接線

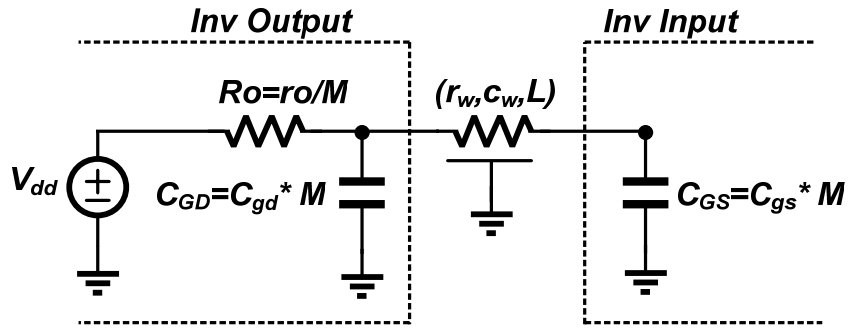


圖 3.10 中繼器系統等效電路

### 3.4 傳輸線系統的效能估算與驗證

在計算出中繼器系統的時間常數之後，可以進一步去估算整個傳輸線系統所能達到的資料傳輸速率。首先，參考基本充電公式為：

$$t = -\tau \ln\left(1 - \frac{V(t)}{V_{DD}}\right) \quad (3.9)$$

若將訊號的轉態時間定義為  $20\% \sim 80\% V_{DD}$ ，則訊號的上升時間可表示為：

$$t_{(0.2V_{DD} \sim 0.8V_{DD})} = -\tau \ln\left(\frac{0.2}{0.8}\right) = 1.386\tau \quad (3.10)$$

接著若規定訊號的轉態時間不得超過  $0.15UI$ ，則系統可操作的資料傳輸率則為：

$$T \times 0.15 \geq 1.386\tau$$

$$\text{Data rate} = \frac{1}{T} \leq \frac{0.15}{1.386\tau} \quad (3.11)$$

因此藉由求出連接線模型的時間常數，根據式 3.11 即可估算出匯流排系統可操作的資料傳輸速率。為了驗證以上計算式的準確性，本論文將對計算結果與實際模擬結果作比較。首先就模擬部份，在此實現了以傳統反相器為中繼器的晶片內部匯流排系統，操作電壓為 0.2V，總長度為 10mm，在每段長度不同(Length per segment)與並聯中繼器個數(M)改變之下，系統可達的最高資料傳輸率如圖 3.11 所示。

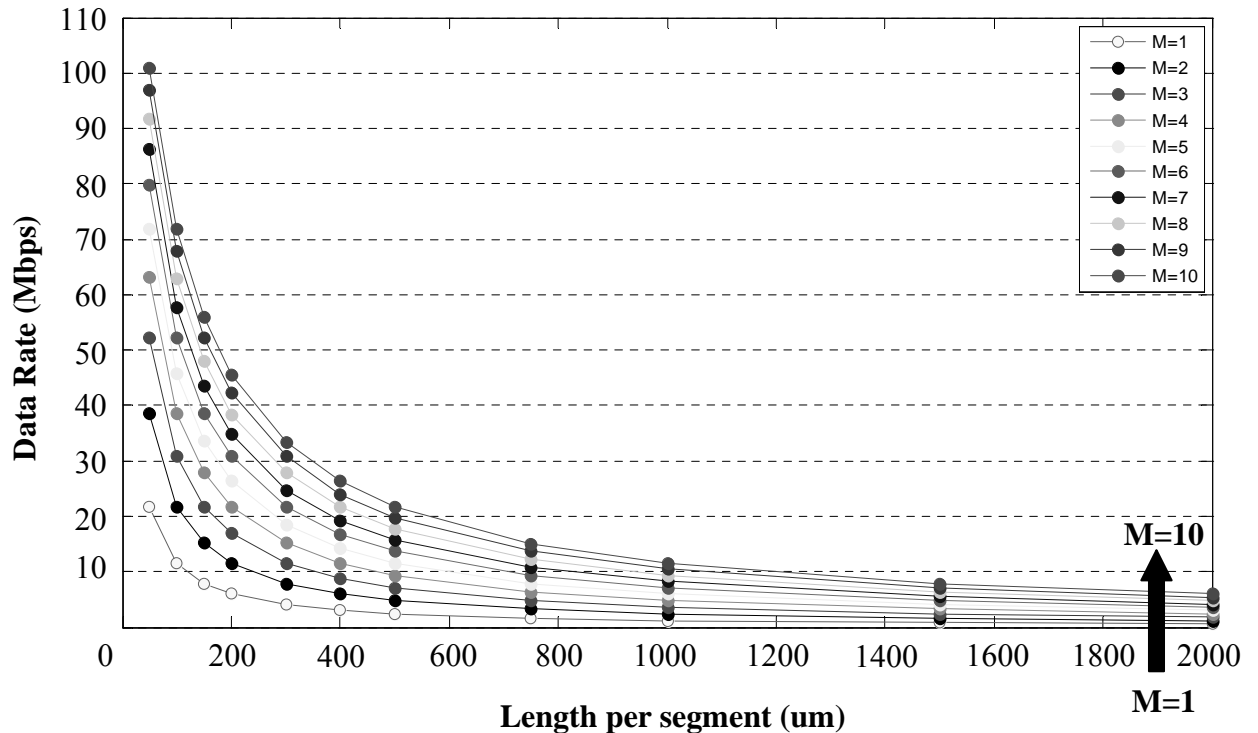


圖 3.11 使用傳統中繼器的晶片內匯流排在 0.2V 下可達的資料傳輸率

最後將先前所得的計算方式與實際模擬結果合併比較，如圖 3.12 所示。在此圖中實線部分為模擬結果；虛線部分為計算結果，以 Matlab 將方程式的曲線繪製出來。由結果可看出，發生最大誤差的情形為：當中繼器並聯個數為 10，且每小段連接線長為 25um 時，誤差量為 6.05%。因此，以上預估晶片內部匯流排系統的最高資料傳輸率的方式，

有著很好的準確性，因此本論文將使用此估計方式作為往後設計的依據。

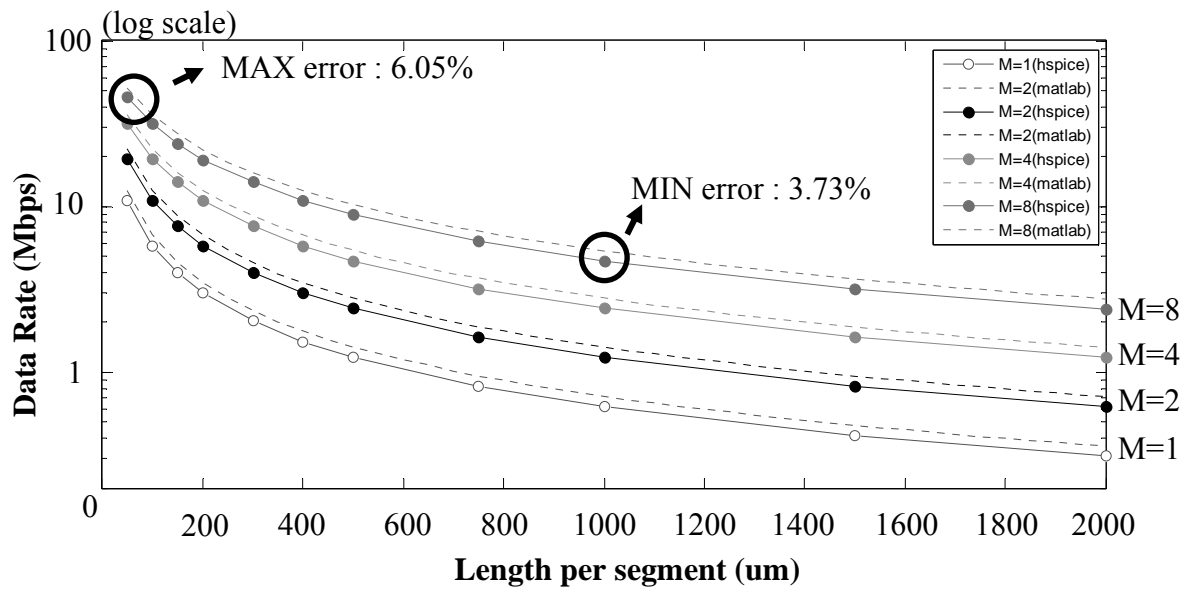
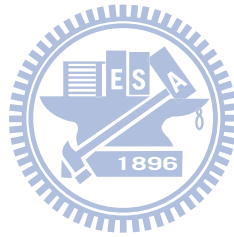


圖 3.12 晶片內匯流排系統最高資料傳輸率的模擬與計算結果比較圖



## 第四章

### 中繼器電路

#### 4.1 前言

隨著半導體製程的精進，在晶片中傳輸線系統所造成的傳輸延遲將更加嚴重，為了降低傳輸線的延遲，在傳輸線內置入中繼器(repeater)為一種解決方法。在一般的設計中，使用傳統的 CMOS 反相器作為中繼器，而此方法改善延遲的概念如圖 4.1 [6]。

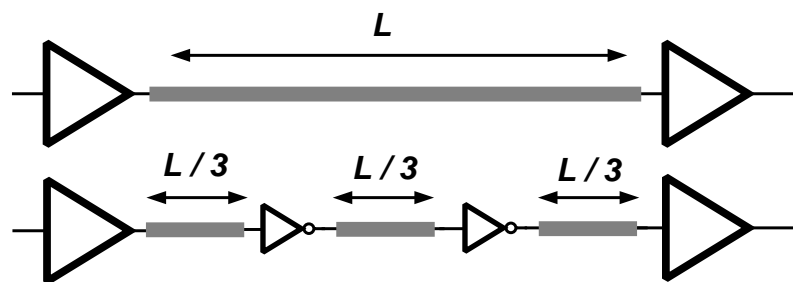


圖 4.1 傳輸線內置入中繼器

在未置入中繼器的情況下，傳輸線的時間常數  $\tau = R \times C$ ，訊號上升與下降時間為  $1.386RC$  (在此定義為  $20\% \sim 80\%V_{DD}$ )，傳輸延遲為  $0.693RC$  ( $0\% \sim 50\%V_{DD}$ )；而在傳輸線中置入兩個中繼器之後，傳輸線被切為三段，此時傳輸線的訊號上升與下降時間為：

$$T_r = T_f = 1.386\left(\frac{R}{3} \times \frac{C}{3}\right) = 1.386\left(\frac{1}{9} \times RC\right) \quad (4.1)$$

傳輸線的傳輸延遲則為：

$$\begin{aligned} T_D &= 0.69\left(\frac{R}{3} \times \frac{C}{3}\right) + t_d + 0.69\left(\frac{R}{3} \times \frac{C}{3}\right) + t_d + 0.69\left(\frac{R}{3} \times \frac{C}{3}\right) \\ &= 0.69\left(\frac{1}{3} \times RC\right) + 2t_d \end{aligned} \quad (4.2)$$

在此 $t_d$ 為中繼器的傳輸延遲，若 $t_d \ll 0.69 \times \frac{1}{3} RC$ ，則在傳輸線置入中繼器可有效提升傳輸線的操作頻率與降低傳輸延遲。

請注意以上結果成立在：中繼器轉態時的電阻( $R_{INV}$ )遠小於傳輸線阻值( $R_{WIRE}$ )的假設之下。若操作在低操作電壓時，中繼器的電流驅動能力下降，中繼器在轉態時的電阻將遠大於傳輸線阻值。因此將傳輸線切為三段後，傳輸線的訊號上升與下降時間可改寫為：

$$T_r = T_f = 1.386\left(R_{INV} \times \frac{C_{WIRE}}{3}\right) = 1.386\left(\frac{1}{3} \times R_{INV} C_{WIRE}\right) \quad (4.3)$$

傳輸線的傳輸延遲則為：

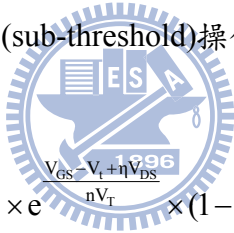
$$\begin{aligned} T_D &= 0.69\left(R_{INV} \times \frac{C_{WIRE}}{3}\right) + t_d + 0.69\left(R_{INV} \times \frac{C_{WIRE}}{3}\right) + t_d + 0.69\left(R_{INV} \times \frac{C_{WIRE}}{3}\right) \\ &= 0.69\left(R_{INV} C_{WIRE}\right) + 2t_d \end{aligned} \quad (4.4)$$

此時，在傳輸線內置入中繼器的方式仍可改善傳輸線的操作頻率，但將增加傳輸延遲，

原因為無論置入再多的中繼器， $R_{INV}$  皆為定值，如要改善傳輸延遲必須降低  $R_{INV}$ 。在一般的設計中，會增加中繼器並連個數以降低  $R_{INV}$ ，在低電壓操作時，此方法改善的效果並不明顯，而並連過多的中繼器會增加電路整體的寄生電容，反而增加不必要的功率消耗，違反了低功率消耗的精神。

由上述的結果得知，在低操作電壓的環境中，若使用傳統的反相器作為中繼器，將無法改善傳輸線系統的傳輸延遲，為了解決此問題，在此論文的設計中使用拔靴帶式電路技巧，在不增加另一組較高壓的電壓源前提之下，提升反相器的驅動電壓，降低反相器在轉態時的導通電阻  $R_{INV}$ ，再將之置入晶片內匯流排中作中繼器用，如此一來傳輸線的操作電壓與傳輸延遲皆可獲得有效的改善。

此外考慮電晶體在次臨界區(sub-threshold)操作時，電晶體汲極的電流公式為 [12]：



$$I_D = I_0 \times e^{\frac{V_{GS} - V_t + \eta V_{DS}}{nV_T}} \times (1 - e^{\frac{-V_{DS}}{V_T}}) \quad (4.5)$$

其中  $V_t$  為電晶體的門檻電壓(threshold voltage)、 $V_T$  為電晶體的熱電壓(thermal voltage)、 $n$  為電晶體在次臨界區的斜率因子、 $\eta$  為汲極引發能帶降低效應因子(DIBL: Drain-Induced Barrier Lowering)， $I_0$  為電晶體  $V_{GS} = V_t$  時的汲極電流，可表示為：

$$I_0 = \mu_0 C_{ox} \frac{W}{L} (n-1) V_T^2 \quad (4.6)$$

由式(4.5)可知，在電晶體操作在次臨界區時，汲極電流與電晶體門檻電壓的變化呈指數關係，因此電晶體的驅動能力受到製程變異的影響甚鉅，如圖 4.2 所示，其中不同的曲線為不同製程邊界(process corner)下 N 型電晶體的汲極電流，觀察可知在  $V_{GS}$  為 0.2

伏特，也就是操作在次臨界區時，電流的變異將達 18.5 倍，而  $V_{GS}$  為 0.4 伏特時，電流的變異減少為 2.9 倍。因此本設計中使用拔靴帶式電路，可將由  $0 \sim V_{DD}$  操作的訊號振幅擴展為  $-V_{DD} \sim 2V_{DD}$ ；此外在電晶體關閉電壓方面，當  $V_{GS}$  為 0 伏特時，仍有約  $100\text{nA} \sim 1\text{nA}$  的漏電流，當  $V_{GS}$  為  $-0.2$  伏特時，漏電流降至約  $1\text{nA} \sim 100\text{pA}$ 。總結以上優點：使用拔靴帶式電路而不僅可以增加電晶體的驅動能力，減少電路對於製程變異的影響，還可減少電晶體在非導通時的漏電流。

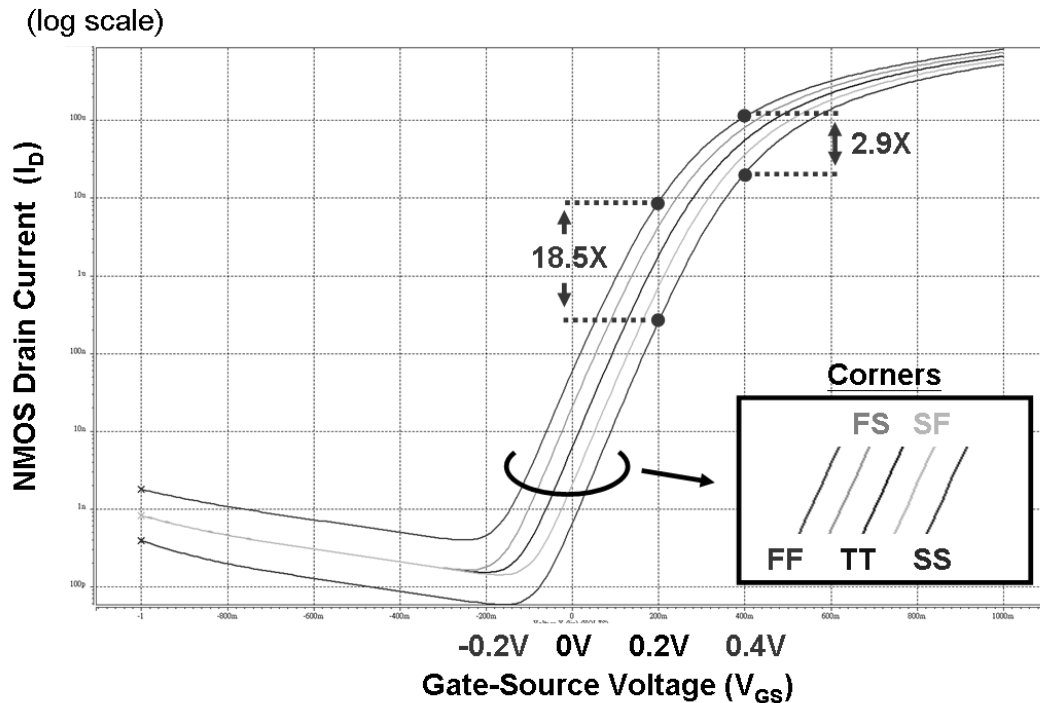


圖 4.2 N型電晶體在不同corner下，汲極電流對 $V_{GS}$ 電壓關係圖



## 4.2 拔靴帶式電路

本論文設計了兩種全新的拔靴帶式反相器電路，以下分別稱為型態一(type1)與型態二(type2)拔靴帶式反相器。本節將介紹拔靴帶式電路的操作原理與改善效果，並分析不同類型的拔靴帶式電路優缺點。

### 4.2.1 型態一拔靴帶式反相器 (Bootstrapped Inverter – Type1)

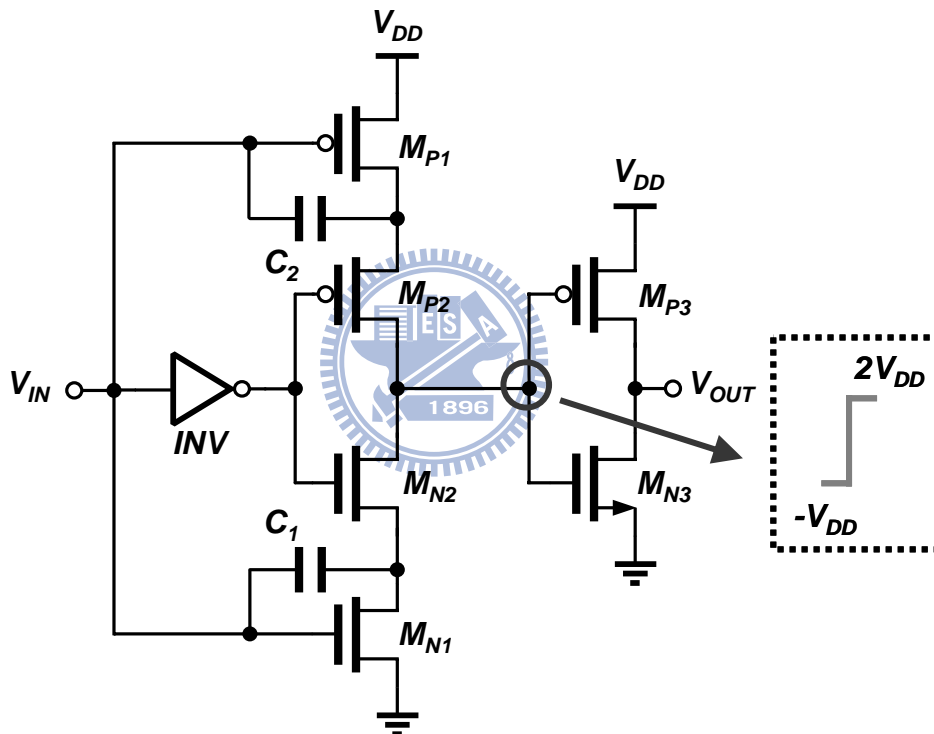


圖 4.3 型態一拔靴帶式反相器

型態一拔靴帶式反相器電路如圖 4.3，電晶體 $M_{N1}$ 與 $M_{P1}$ 負責電容的充放電，電晶體 $M_{N2}$ 與 $M_{P2}$ 為開關，反相器 INV 與電晶體 $M_{N3}$ 、 $M_{P3}$ 為傳統架構的 CMOS 反相器，電容 $C_1$ 與 $C_2$ 為升降壓電容。此電路可提供上下擺幅為正兩倍至負一倍操作電壓的數位訊號，驅動後方 CMOS 反相器電路以達增速效果。

電路的操作動作如圖 4.4，當輸入訊號為 $V_{DD}$ 轉 0 時，電容 $C_1$ 上儲存的 $V_{DD}$ 電壓差使電晶體 $M_{N2}$ 的源極降壓至 $-V_{DD}$ ，而反相器 $INV$ 的輸出為 0 轉 $V_{DD}$ ，導通電晶體 $M_{N2}$ 將 $-V_{DD}$ 的電壓傳遞至後方，驅動CMOS反相器。同時電晶體 $M_{P1}$ 導通，電容 $C_2$ 儲存電壓差 $V_{DD}$ 。在此時序中，電容 $C_1$ 執行升壓動作(boost)，電容 $C_2$ 執行重置動作(reset)。

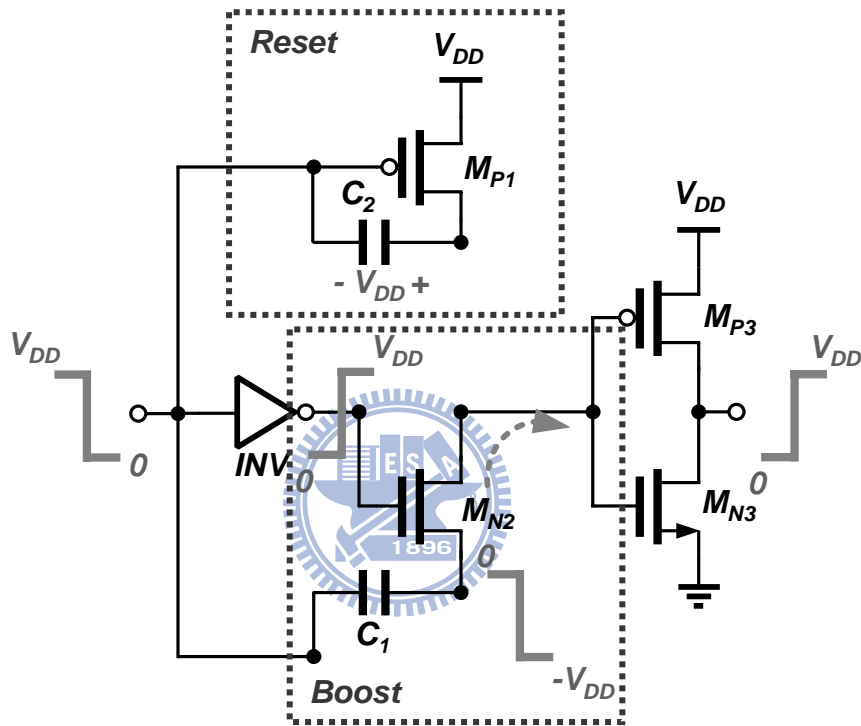


圖 4.4 型態一拔靴帶式反相器操作原理(輸入由 $V_{DD}$ 轉 0)

當輸入訊號由 0 轉 $V_{DD}$ 時電路的動作如圖 4.5，電容 $C_2$ 上儲存的 $V_{DD}$ 電壓差使電晶體 $M_{P2}$ 的源極電壓由 $V_{DD}$ 推至 $2V_{DD}$ ，而反相器的輸出由 $V_{DD}$ 轉 0，導通電晶體 $M_{P2}$ 使將 $2V_{DD}$ 的電壓傳遞至後方，驅動CMOS反相器。同時電晶體 $M_{N1}$ 導通，電容 $C_1$ 儲存 $V_{DD}$ 電壓差。在此時序中，電容 $C_1$ 執行重置動作(reset)，電容 $C_2$ 執行升壓動作(boost)。

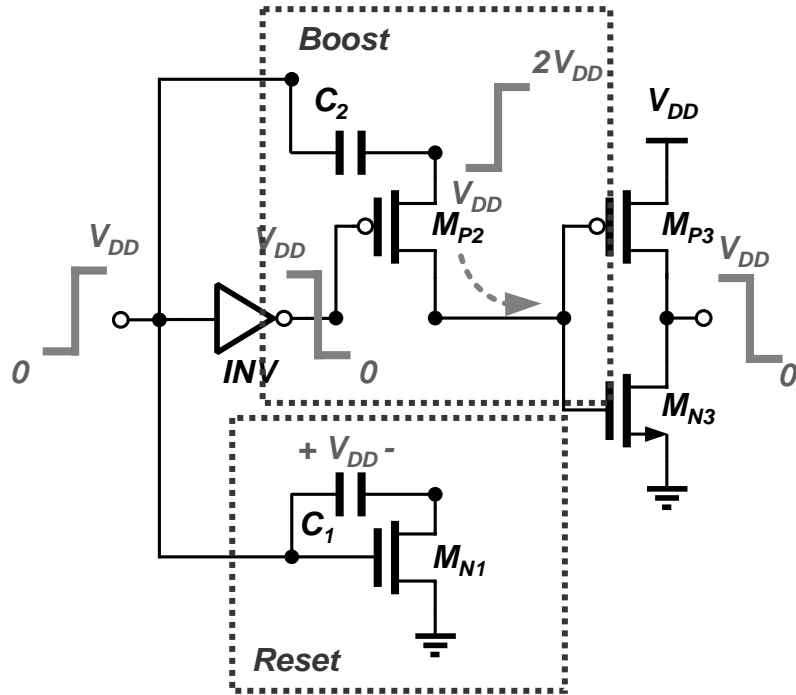


圖 4.5 型態一拔靴帶式反相器操作原理(輸入由 0 轉  $V_{DD}$ )

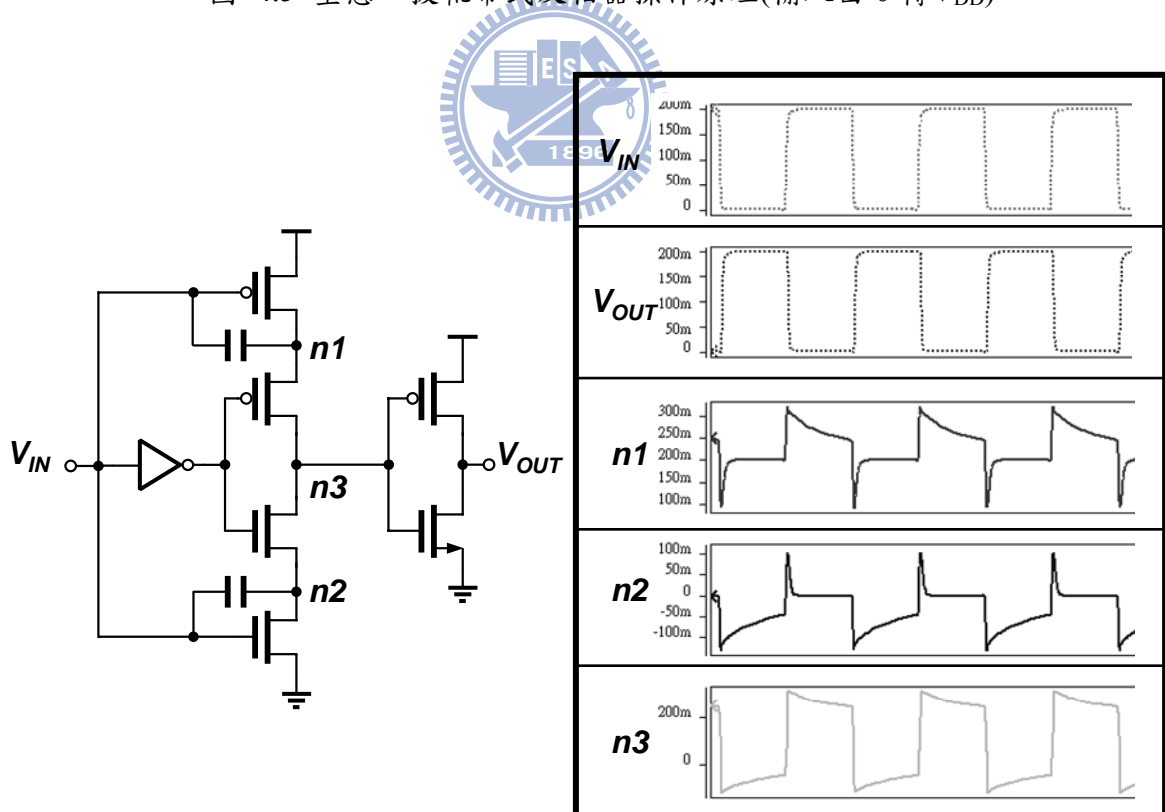


圖 4.6 型態一拔靴帶式反相器各節點電壓波形圖

圖 4.6 為電路在操作時各節點的電壓波形，因為受到節點的寄生電容影響，使得升降壓效果不如預期的  $2V_{DD}$  至  $-V_{DD}$  之外，另外可看出節點一(n1)在高壓、節點二(n2)在低壓時，皆遭遇到反相電流與漏電流的影響使電位流失，以上非理想效應造成的問題與解決方式將在之後章節詳述。

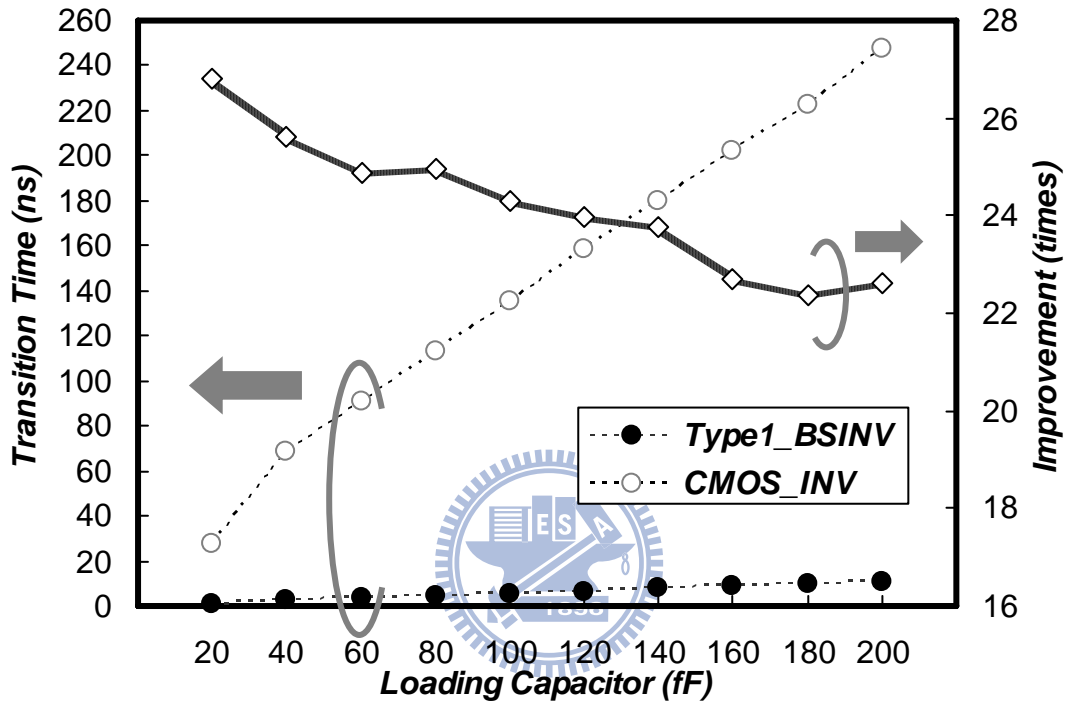


圖 4.7 型態一拔靴帶式反相器與傳統 CMOS 反相器比較

此型態的拔靴帶式反相器與傳統 CMOS 反相器比較如圖 4.7，可看出其改善的效果比起先前章節所介紹的 Direct Bootstrapped 反相器與拔靴帶式驅動器好上許多，雖然輸出轉態時間的改善效果與輸出負載無直接的關係，但仍然會受到輸入訊號所影響，原因為下：此類拔靴帶式電路是使用訊號本身的轉態來執行升降壓動作，當輸入訊號的轉態速度變慢時，電路受到短路電流的影響增加，進而影響電路的升降壓效果，因此由圖 4.7 的結果可看出此拔靴帶式反相器改善的效果將隨著負載電容的增加而變差。



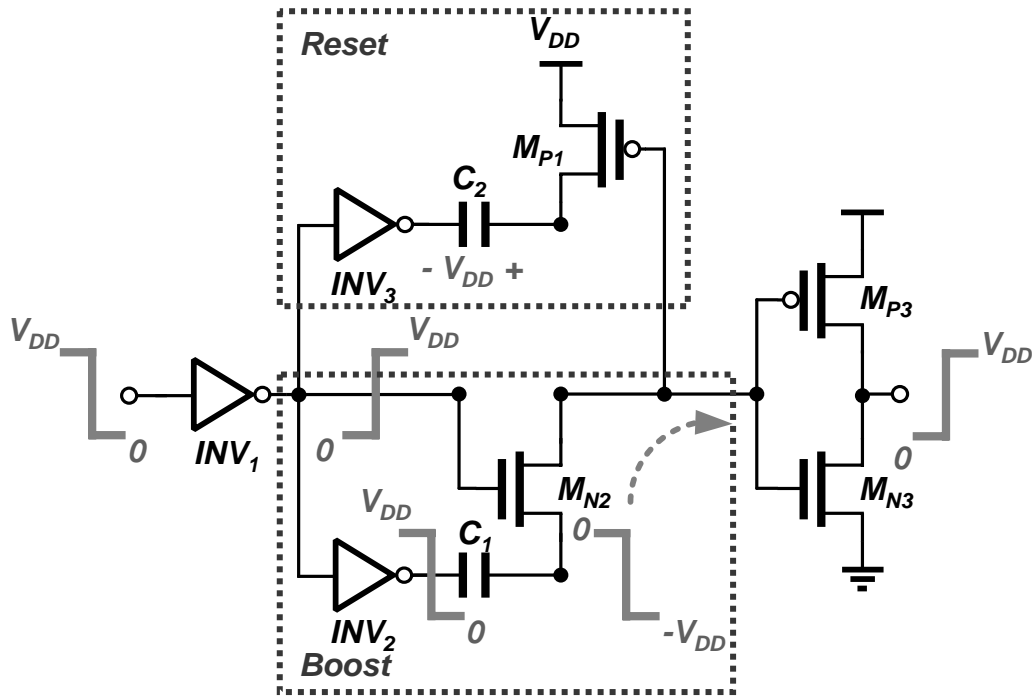


圖 4.9 型態二拔靴帶式反相器操作原理(輸入由  $V_{DD}$  轉 0)

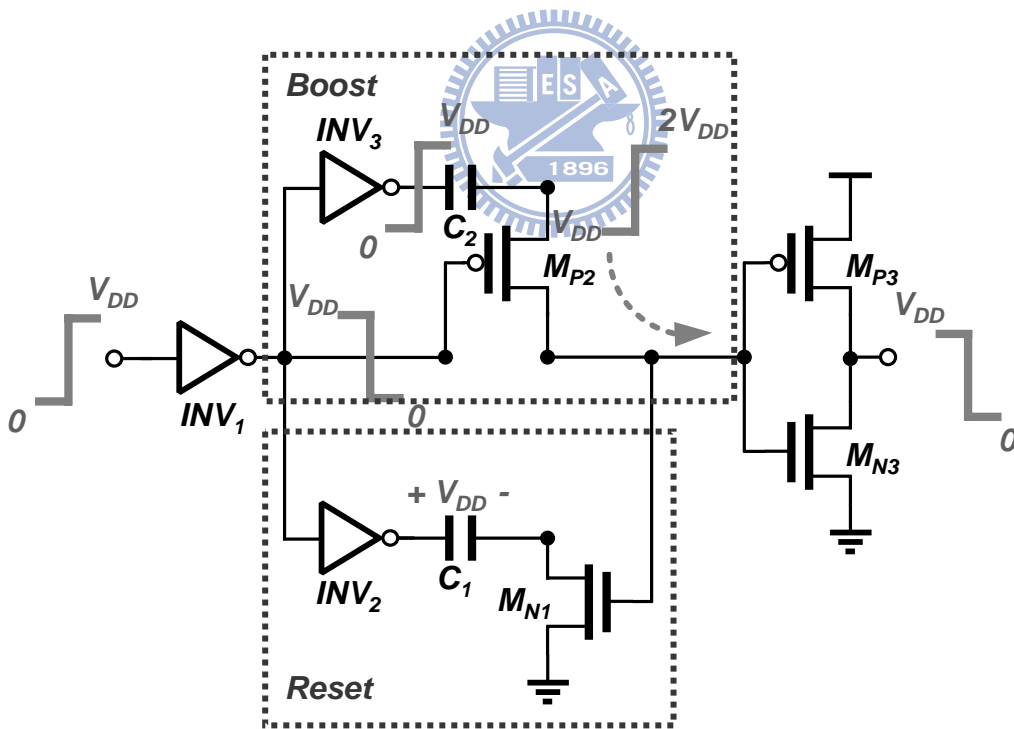


圖 4.10 型態二拔靴帶式反相器操作原理(輸入由 0 轉  $V_{DD}$ )

當輸入訊號由 0 轉  $V_{DD}$  時，電路的動作如圖 4.10，電容  $C_2$  上儲存的  $V_{DD}$  電壓差使電晶體  $M_{P2}$  的源極電壓由  $V_{DD}$  推至  $2V_{DD}$ ，而反相器  $INV_1$  的輸出由  $V_{DD}$  轉 0，導通  $M_{P2}$  使將

$2V_{DD}$ 的電壓傳遞至後方，驅動CMOS反相器。同時電晶體 $M_{N1}$ 閘級電壓為 $2V_{DD}$ ，電晶體 $M_{N1}$ 導通，電容 $C_1$ 儲存 $V_{DD}$ 電壓差。在此時序中，電容 $C_1$ 執行重置動作(reset)，電容 $C_2$ 執行升壓動作(boost)。

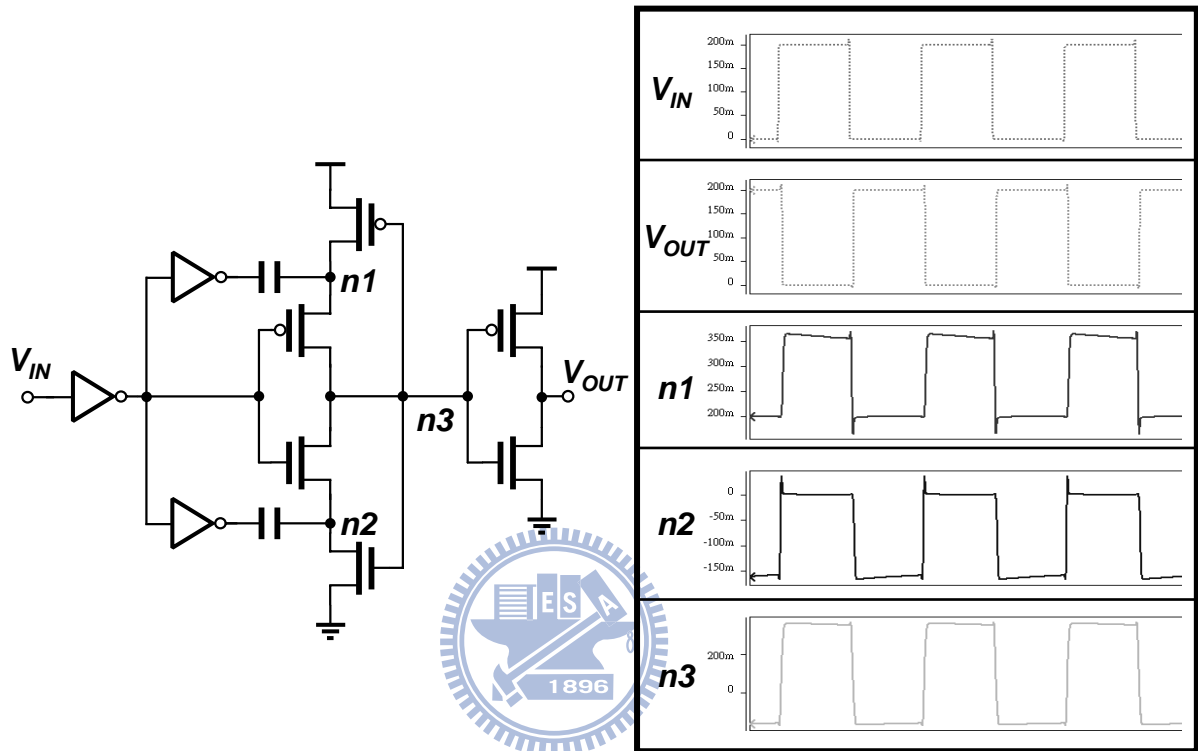


圖 4.11 型態二拔靴帶式反相器各節點電壓波形圖

圖 4.11 為電路在操作時各節點的電壓波形。同樣地，受到節點的寄生電容影響，使得升降壓效果不如預期的  $2V_{DD}$ 至 $-V_{DD}$ 。但與型態一拔靴帶式反相器電路所不同的是，在節點一(n1)與節點二(n2)中遭受反相電流與漏電流影響使電位流失的問題，在型態二的電路中已解決。

型態二的拔靴帶式反相器與傳統CMOS反相器比較如圖 4.12，同樣地可看出其在輸出驅動能力改善效果上，比起先前章節所介紹的拔靴帶式電路好上許多。而在型態一拔靴帶式電路中，驅動能力改善的效果仍受輸出電容負載所影響的問題，型態二的電路也

已解決，原因是電路前端的反相器( $INV_1$ 、 $INV_2$ 與 $INV_3$ )將升降壓電容( $C_1$ 與 $C_2$ )與輸入隔開，如此一來即使輸入訊號的轉態時間較長，但經過電路前端的反相器後，訊號重整為斜率較陡峭的數位訊號，避免後端電路因訊號轉態緩慢，而受短路電流影響，造成升降壓的效果不如預期。因此依其功能，在此可稱前端的反相器有對波形整型(shaping)的效果。

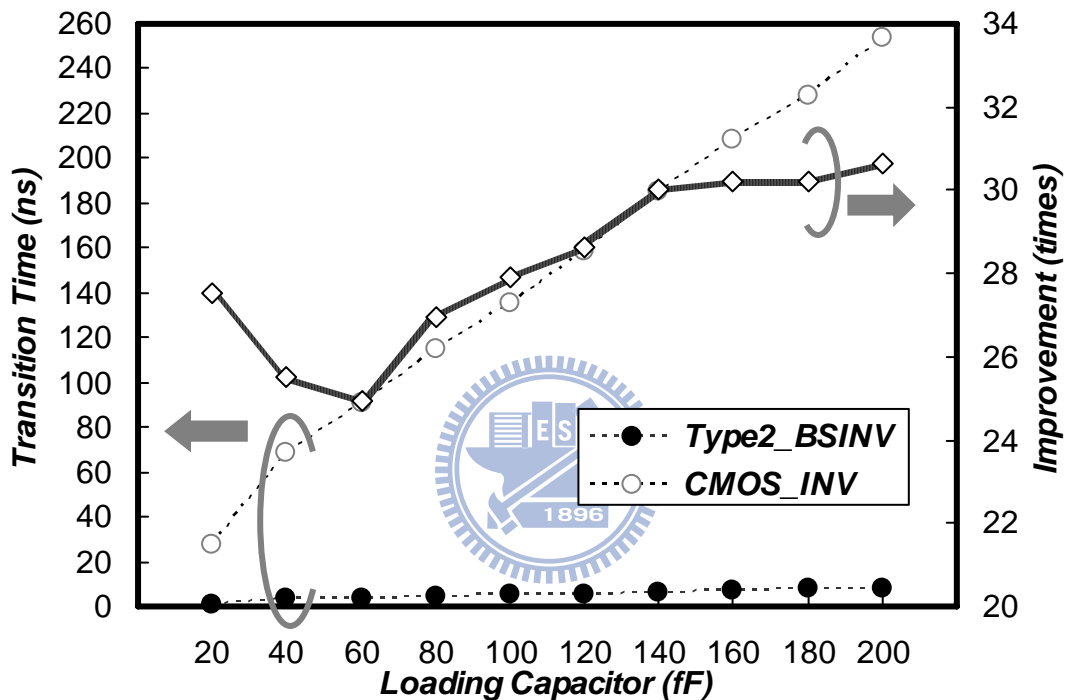


圖 4.12 型態二拔靴帶式反相器與傳統 CMOS 反相器比較

總結型態一與型態二拔靴帶式反相器的優點：(1) 在低壓時的反相器驅動能力改善效果良好。(2) 升壓電容的大小與負載無直接關係，適合大負載的應用。(3) 升壓後，電路受製程變異的影響較小。(4) 使用電晶體個數少，電路簡單而容易設計。(5) 非理想效應的影響，在型態二拔靴帶式反相器中已解決，不需複雜的電路機制，就能使電路更貼近實際應用，可行性更高。



### 4.3 非理想效應

在傳統的拔靴帶式電路中，遭受到反向電流、寄生電容、ISI 抖動與漏電流的影響，(如圖 4.13，在此以型態一拔靴帶式反相器為例)，將使得升降壓效果不如預期，無法到達預定的規格之外，在晶片內匯流排的中繼器應用上，還會使輸出眼狀圖(eye diagram)的抖動(jitter)逐級累積，問題將更加嚴重。在參考先前的拔靴帶式電路中，並無針對這些非理想效應做詳細的分析及有效的解決，或是解決方式所付出的代價過大。例如在 VLSI2008 的設計中[10]，額外使用兩個電容，用以增加電晶體的充放電能力與降低反相電流的影響，但增加電容將使晶片面積大幅增加。以下將依序介紹非理想效應對多種拔靴帶式電路造成的影響與解決方式。

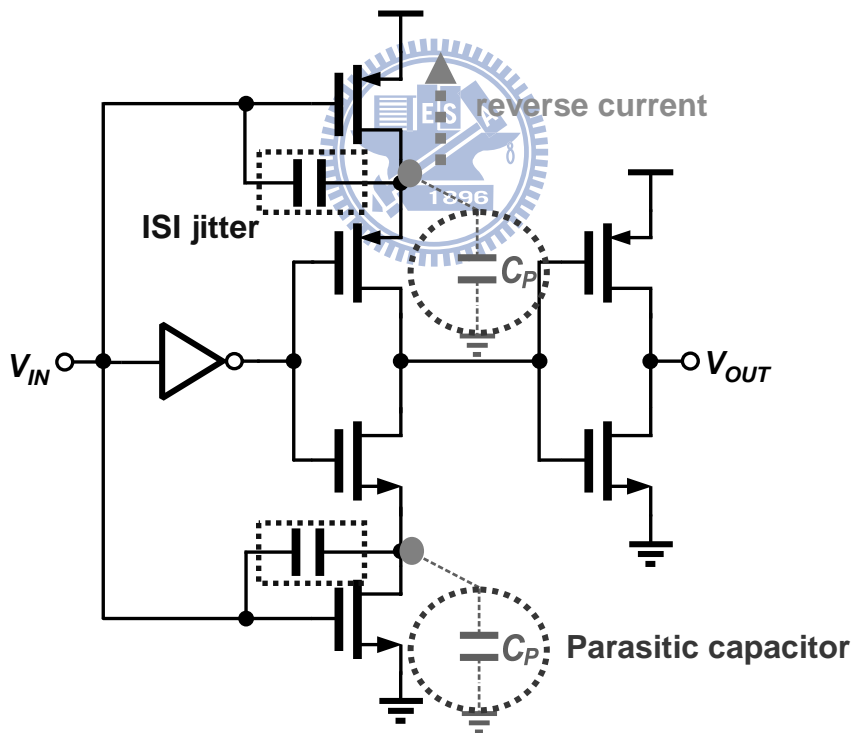


圖 4.13 拔靴帶式反相器的非理想效應

### 4.3.1 反向電流(Reverse Current)

反向電流的問題存在於許多拔靴帶式電路中，將造成電路升降壓的效果不如預期、升降壓節點電位流失、與電容充放電時間過長等問題。圖 4.14 為拔靴帶式電路常使用的升降壓元件，使用到的拔靴帶式電路如圖 4.15 [9][10]。而反向電流所造成的原因為：首先見圖 4.14 左，當輸入訊號 $V_{IN}$ 由 0 轉 $V_{DD}$ 時， $V_B$ 的電壓將升壓至兩倍操作電壓，在升壓的過程中，由於電晶體為對稱，使得電晶體的源、汲極反轉，此時 $V_{SG}$ 的電壓差將使電晶體產生反向電流流入電源端，造成儲存在電容上的電荷流失至電源端，雖然此時流回電源端的電荷並不會造成額外的功率消耗，但卻會在升壓的過程中造成 $\Delta V$ 的升壓電位損失，使電路的升壓效果不如預期。

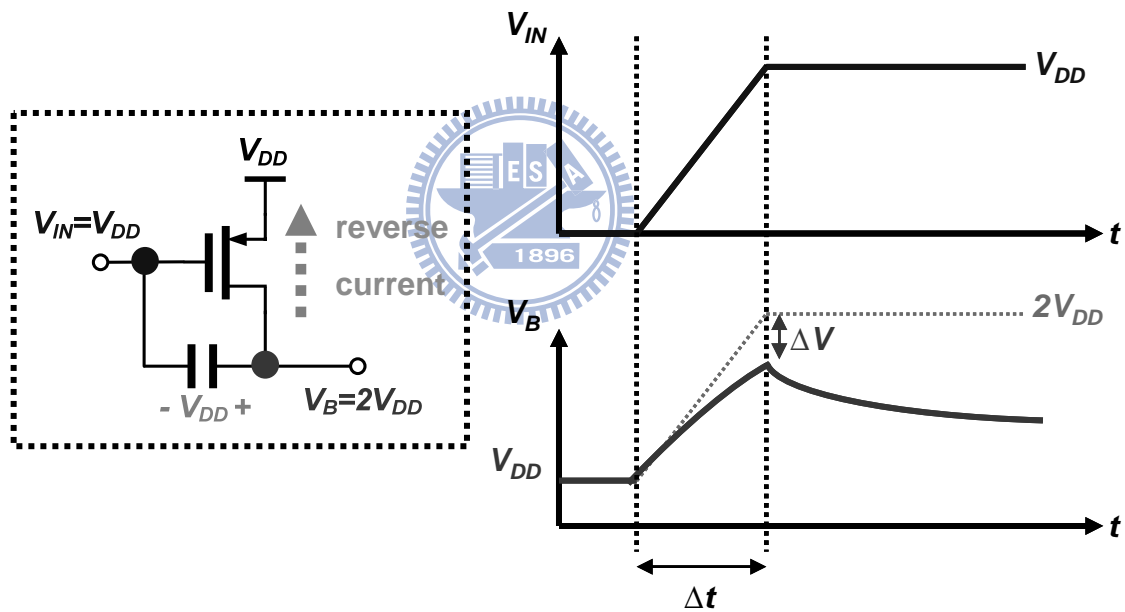


圖 4.14 拔靴帶式反相器的非理想效應

在此估算 $\Delta V$ 對升降壓造成的影響，假設輸入訊號的轉態時間為 $\Delta t$ ，則 $\Delta V$ 為

$$\begin{aligned} \Delta V &= \frac{1}{C} \int_t^{t+\Delta t} I_D dt \\ &= \frac{1}{C} \int_t^{t+\Delta t} I_0 \times e^{\frac{V_{SG}-|V_{tp}|}{nV_T}} \times (1 - e^{\frac{-V_{SD}}{V_T}}) dt \end{aligned} \quad (4.7)$$

在此  $I_0$  為電晶體  $V_{GS} = V_t$  時的汲極電流(式 4.6)， $V_T$  為電晶體的熱電壓(thermal voltage)， $n$  為電晶體在次臨界區的斜率因子。

在此假設  $V_B$  為線性上升，則  $V_{SD} = \frac{V_{DD}}{\Delta t} \times t - \Delta V$ ，且  $V_{SG} = V_{DD} - \Delta V$ ，此時  $\Delta V$  為

$$\Delta V = \frac{1}{C} \int_t^{t+\Delta t} I_0 \times e^{\frac{(V_{DD}-\Delta V)-V_t}{nV_T}} \times \left(1 - e^{\frac{-\frac{V_{DD}-\Delta V}{\Delta t} \times t - \Delta V}{V_T}}\right) dt \quad (4.8)$$

繼續化簡式子，最後可將  $\Delta V$  表示為

$$\begin{aligned} \Delta V &= \frac{1}{C} \times I_0 \times e^{\frac{V_{DD}-V_t}{nV_T}} \int_t^{t+\Delta t} \left(1 - e^{\frac{-\frac{V_{DD}-\Delta V}{\Delta t} \times t - \Delta V}{V_T}}\right) dt \\ &= \frac{1}{C} \times I_0 \times e^{\frac{V_{DD}-V_t}{nV_T}} \left[ t + \frac{V_T \Delta t}{V_{DD}} e^{\frac{-V_{DD} \times t}{V_T \times \Delta t}} \right]_{t=0}^{t=\Delta t} \\ &= \frac{1}{C} \times I_0 \times e^{\frac{V_{DD}-V_t}{nV_T}} \left[ \left(\Delta t + \frac{V_T \Delta t}{V_{DD}}\right) e^{\frac{-V_{DD}}{V_T}} - \left(0 + \frac{V_T \Delta t}{V_{DD}}\right) \right] \\ &= \frac{1}{C} \times I_0 \times e^{\frac{V_{DD}-V_t}{nV_T}} \left[ \left(\Delta t + \frac{V_T \Delta t}{V_{DD}}\right) \left(e^{\frac{-V_{DD}}{V_T}} - 1\right) \right] \end{aligned} \quad (4.9)$$

接著將得到的 4.9 式代入實際例子，當模擬環境為：操作電壓  $V_{DD} = 0.2V$ 、 $C = 100fF$ ，

$I_0 \times e^{\frac{V_{DD}-V_t}{nV_T}} = 80nA$ ， $\Delta t = 32ns$  (操作在 2Mbps) 時，則計算出的  $\Delta V = 22mV$ ，模擬結果  $\Delta V = 27mV$ 。雖然 4.9 式為一近似的結果，但我們可藉由此式了解反向電流對升降壓效果的影響，在以上的例子中影響達 13.5%(27mV/200mV)，而當訊號的轉態時間愈長，反向電流影響的程度將更顯嚴重。另外此電路在不同 corner 的表現上，升降壓效果將難以預測；因此，解決反向電流所造成的問題，將能使拔靴帶式電路更貼近實際應用。

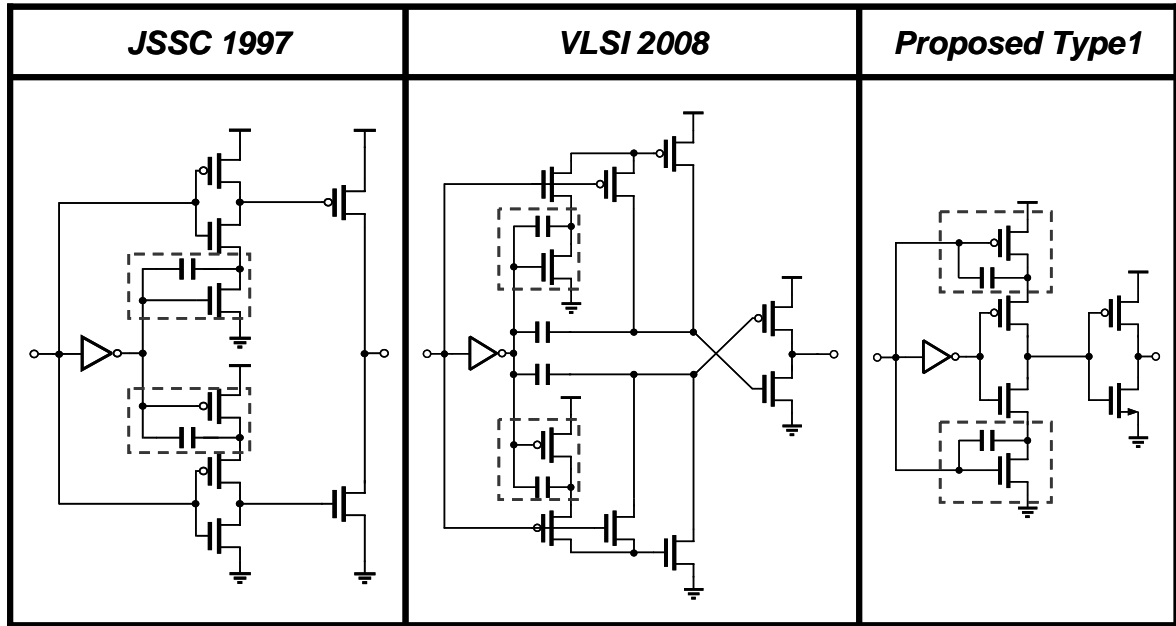
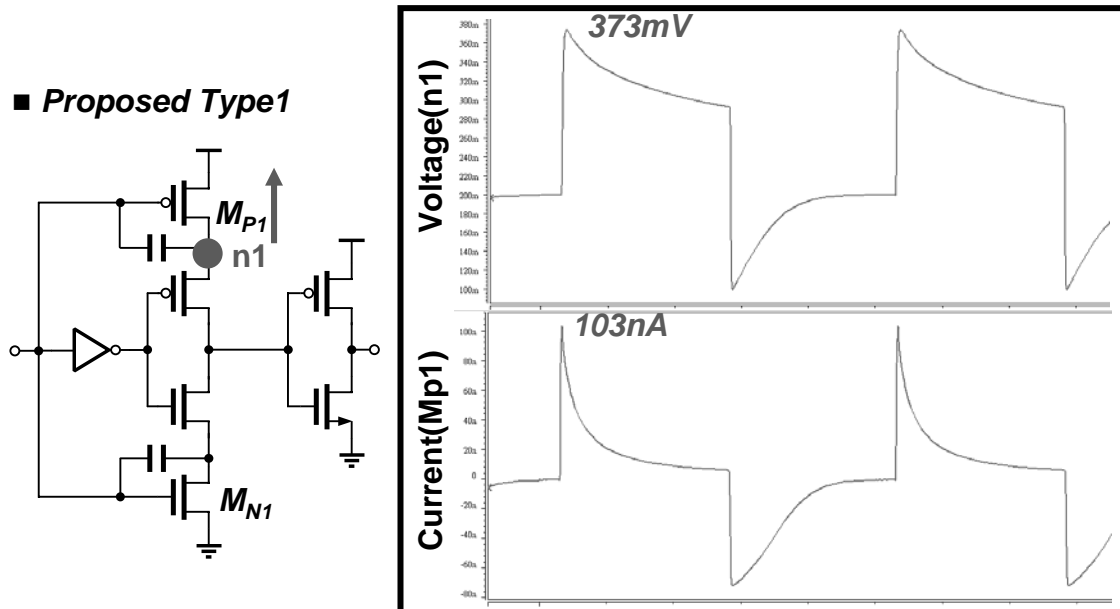


圖 4.15 各種拔靴帶式電路的升降壓元件

反向電流的實際影響可由圖 4.16 的模擬中看出，圖 4.16 上為升壓節點 n1 的電壓，圖 4.16 下為流經電晶體  $M_{P1}$  的電流，首先觀察反向電流最大值發生在訊號轉態時，將造成升壓效果的影響；然而在穩態仍有反向電流持續產生，將造成升壓節點的電位流失，因此當電容充電時，需要較長的時間才能將電容充滿，這部份將限制電路操作速度。



(Segment length = 1000um ; Data rate = 2Mbps ; 10th segment)

圖 4.16 反向電流對型態一拔靴帶式反相器所造成的影響

為了解決反向電流的問題，必須將圖 4.3 中的電晶體 $M_{N1}$ 與 $M_{P1}$ 的閘極接至升降壓的節點，如下圖 4.17 所示，但此電路卻產生另一個問題：當輸入訊號由低轉高時，節點 1 的電壓上升，由於反相器 $INV_1$  存在傳輸延遲 $t_d$ ，使節點 1 的高壓需等待 $t_d$ 的時間，電晶體 $M_{P2}$ 才會導通，進而關閉電晶體 $M_{P1}$ 。因此，在等待的這段時間，儲存在節點 1 的電荷不斷經由電晶體 $M_{P1}$ 流至電源端，且此時電晶體 $M_{P1}$ 的 $V_{SG}$ 為 $2V_{DD}$ 在導通，故此時轉態的反向電流將非常大，嚴重影響到電路的升降壓效果。

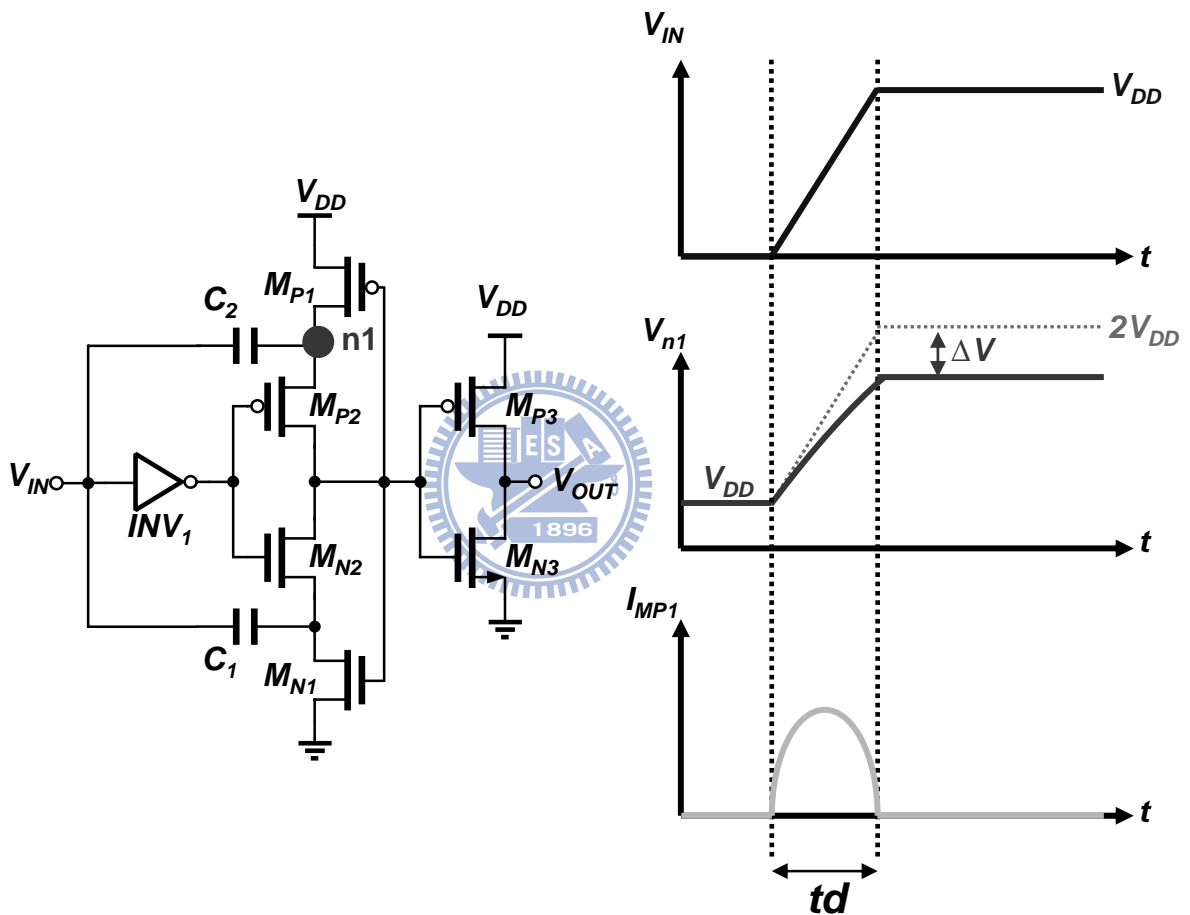
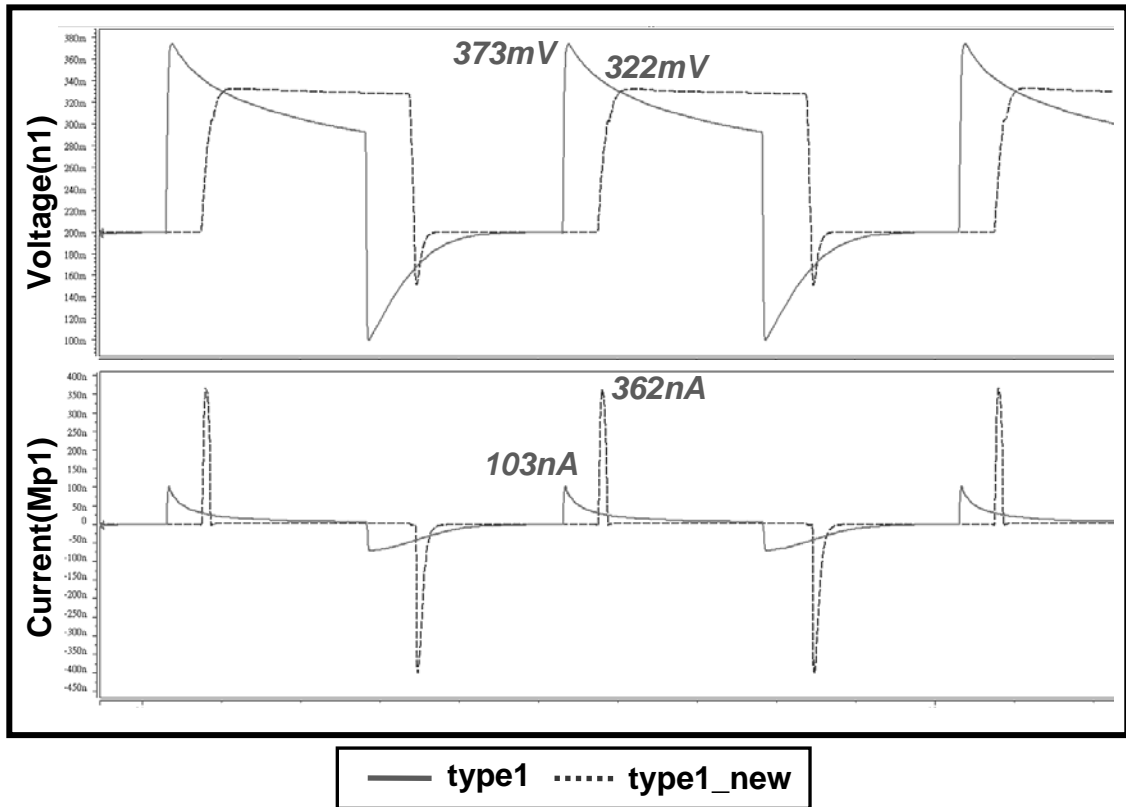


圖 4.17 修正後的型態一拔靴帶式反相器

修正過後的型態一拔靴帶式反相器模擬結果如圖 4.18，與原先的版本做比較，修正過後的電路，確實可以消除電路在穩態時的反向電流，使得電位在穩態得以保持。但因為在轉態時的反向電流問題更加嚴重，導致升壓的結果反而比原先的電路還差。



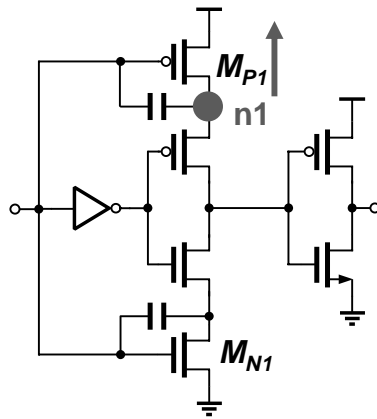
(Segment length = 1000um ; Data rate = 2Mbps ; 10th segment)

圖 4.18 反向電流對修正後的型態一拔靴帶式反相器所造成的影響

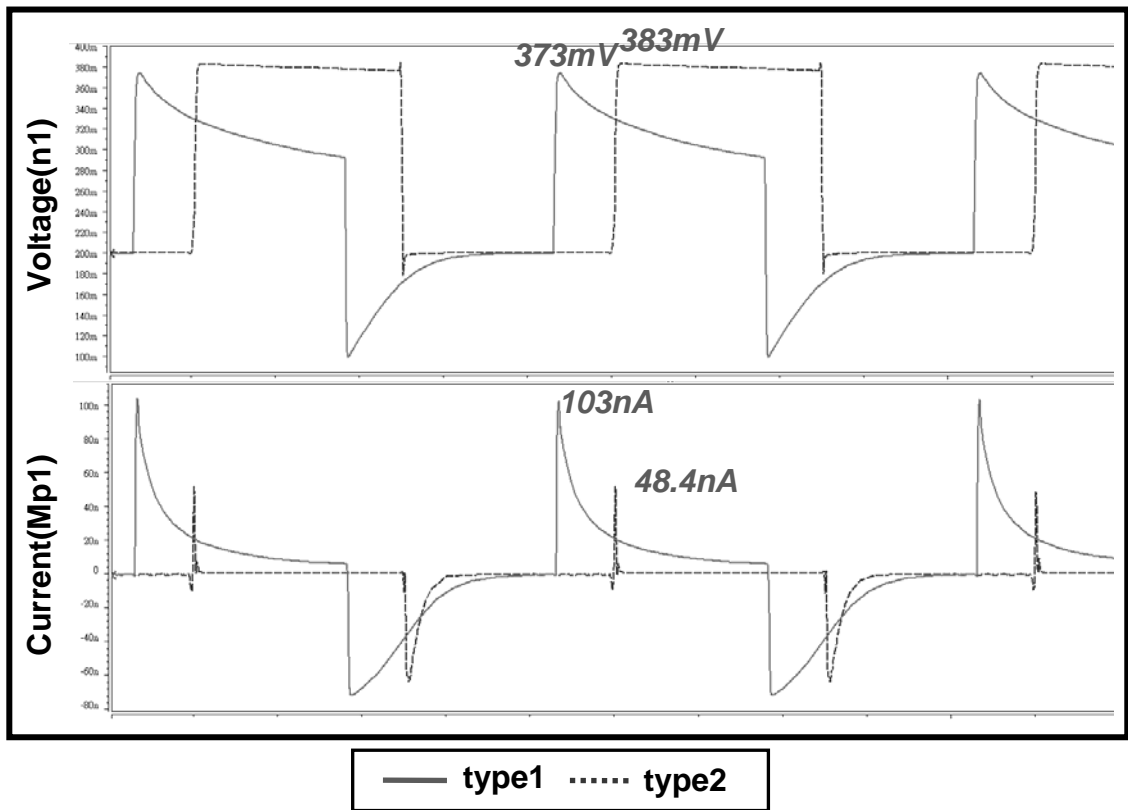
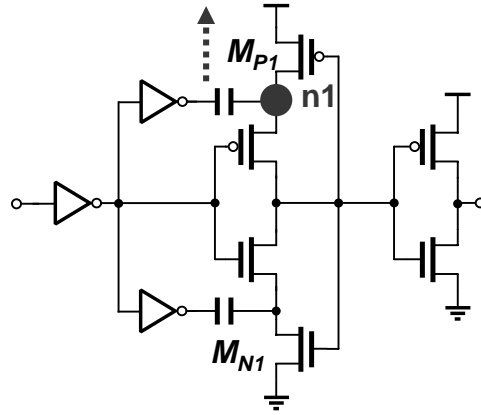
為了要改善轉態時的反向電流問題，首先必須解決圖 4.17 中，節點 1 的等待時間 $t_d$ 。也就是設法使電晶體 $M_{P2}$ 先導通，接著節點 1 才開始進行升壓動作。以上的想法，可由變更前方反相器的擺放方式來達成，此也為型態二拔靴帶式反相器電路產生的由來。

反向電流對型態二拔靴帶式反相器電路的影響，可由圖 4.19 的模擬結果來觀察。由結果可以看出，型態二的拔靴帶式反相器電路不僅抑制穩態時的反向電流，更降低了轉態時的反向電流，因此解決了升壓時節點電位流失的問題之外，還改善了電路升降壓的效果。此外，由於在型態二的電路中，負責充放電的電晶體 $M_{N1}$ 與 $M_{P1}$ 動作時， $V_{GS}(V_{SG})$ 為 $2V_{DD}$ ，因此電晶體的電流提供能力增強，將大幅減少升降壓電容( $C_1$ 、 $C_2$ )的充放電等待時間。

■ Type1



■ Type2



(Segment length = 1000um ; Data rate = 2Mbps ; 10th segment)

圖 4.19 反向電流對型態一與型態二拔靴帶式反相器所造成的影響

總結來說，型態二拔靴帶式反相器解決了其他拔靴帶式反相器電路，所遭遇到的反向電流問題，不僅提升了升降壓效果、解決升降壓節點電位流失問題、減短電容充放電時間，更因為其電路架構簡單的特色，使此電路的可行性更高。

### 4.3.2 寄生電容(Parasitic Capacitor)

寄生電容為所有拔靴帶式電路皆會遭遇到的問題，將造成電路的升降壓效果下降。拔靴帶式電路的升壓元件等效電路如圖 4.20，寄生電容( $C_p$ )將與升壓電容( $C_B$ )進行分壓，因此節點 $V_B$ 的升壓量為[10]：

$$\Delta V_B = \frac{C_B}{C_B + C_p} \Delta V_{IN} \quad (4.10)$$

欲降低寄生電容的影響，可考慮的方式為：使用較大的升壓電容與減少升降壓節點的電晶體尺寸，以降低寄生電容大小。在以往的設計中，為了減少升壓電容的充放電時間，負責充電的電晶體尺寸會比較大，此作法將造成寄生電容增加，進而影響升壓的效果。因此，在寄生電容無法縮小的前提之下，為了要有較好的升降壓，勢必要使用較大的升壓電容，如此一來卻增加了電路整體面積。

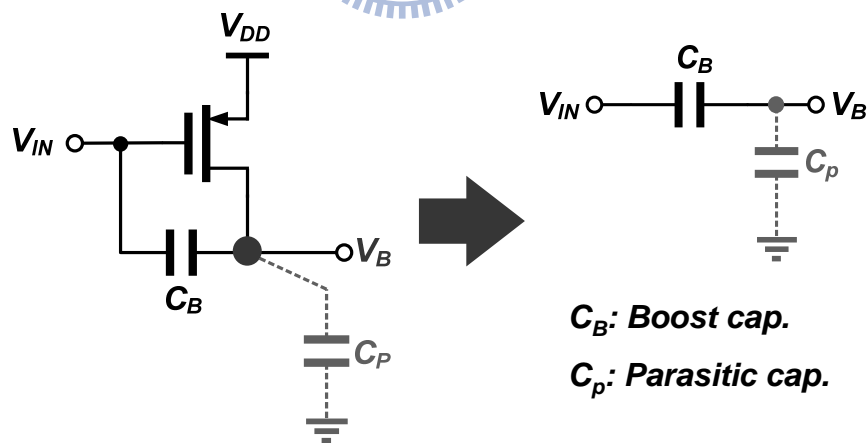


圖 4.20 寄生電容與升壓電容等效電路

圖 4.21 為改變升壓電容大小對升壓的影響作圖，可看出當選用的升壓電容較小的時候，升壓效果受寄生電容的影響較為嚴重。在此的理想曲線為不考慮反向電流的影響



下，可達到的升壓電壓，因為型態二拔靴帶式反相器已解決反向電流的問題，所以升壓的效果較趨近理想曲線。此外，由於型態二拔靴帶式反相器的電路中，負責充放電的電晶體可選用較小的尺寸，因此對寄生電容的影響程度也比較小。

若要考慮反向電流的影響，則節點 $V_B$ 的升壓量則寫為：

$$\Delta V_B = \frac{C_B}{C_B + C_P} \Delta V_{IN} - \Delta V_{REVERSE\_CURRENT} \quad (4.11)$$

總結以上，對升壓效果產生影響的兩項因素為：反向電流與寄生電容。針對反向電流的問題，在 VLSI2008 的設計中額外使用了兩顆電容來解決[10]；而在我們的設計中，使用簡單的電路技巧即可解決反向電流的問題，即為型態二拔靴帶式反相器電路的優點，不需增加額外電路負擔。另外針對寄生電容的問題，雖然無可避免，但在型態二拔靴帶式反相器電路中，負責充放電的電晶體不需太大，因此被寄生電容的影響程度較小。

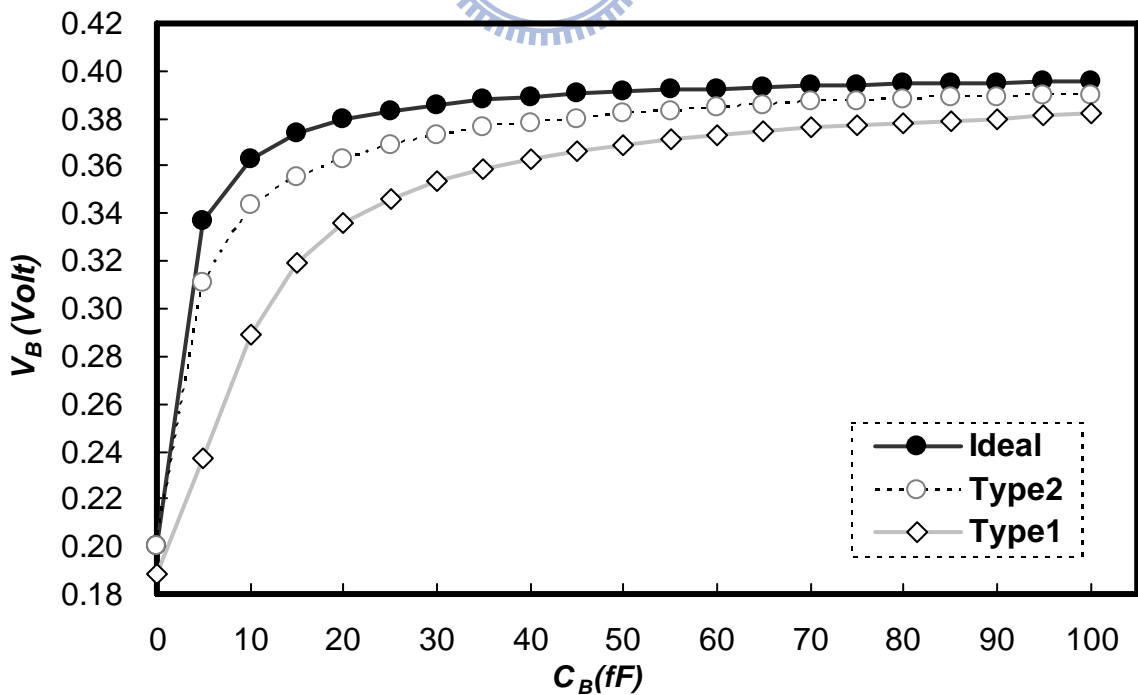


圖 4.21 升壓電容大小對升壓結果的影響

### 4.3.3 ISI 抖動

根據定義，抖動(jitter)可分為兩大類，第一類為 RJ(random jitter)，此類抖動的特色為隨機產生的雜訊抖動，而抖動的機率分布為高斯分佈且為無界的(unbounded)；第二類為 DJ(deterministic jitter)，此類抖動的特色為重複、可預測且非為高斯分佈且為有界(bounded)的抖動。在此章節要討論的 ISI 抖動(inter-symbol interference)又稱 DDJ(data-dependent jitter)，此類抖動與輸入訊號有很大的關連，因此並非高斯分佈的抖動，可歸類於 DJ 之下。

在傳統數位邏輯電路中，ISI 抖動通常發生在當輸入為隨機的數位訊號，且電路操作在設計的臨界速度時的 ISI 抖動尤為嚴重，在此舉例說明：若資料轉換的時機是在一連串相同的資料之後，此時輸出的轉態時機將會稍微落後，因此在輸出眼狀圖上就會有明顯的不均勻分布。而在拔靴帶式電路中，還有另一項原因將造成 ISI 抖動產生，即為升降壓電容充放電不完全所致。雖然在低電壓低速的應用時，電路受 ISI 抖動的影響並不大；但在低電壓高速的應用時，ISI 抖動的影響仍將非常嚴重。

在傳統的拔靴帶式電路中，負責對電容充放電的電晶體仍然操作在低壓環境，電流驅動能力明顯不足，當電路操作在高速時，將會發生升降壓電容充電不及的情形，倘若不解決此問題，此電路的頻寬將被限制。在此以型態一拔靴帶式反相器為例，節點說明如圖 4.22，模擬波形如圖 4.23，當我們將此電路應用於中繼器使用時，輸入 10Mbps 的隨機訊號，觀察節點 1 與節點 2 的電壓波形，在連續 0 與 1 轉換時，電容明顯充電不及，在電容尚未充滿時即轉態，將導致升降壓後的電壓值不一，進而影響後端反相器驅動能力，造成輸出訊號的 ISI 抖動增加，如圖 4.24，此時輸出眼狀圖的開口為 0.65UI。

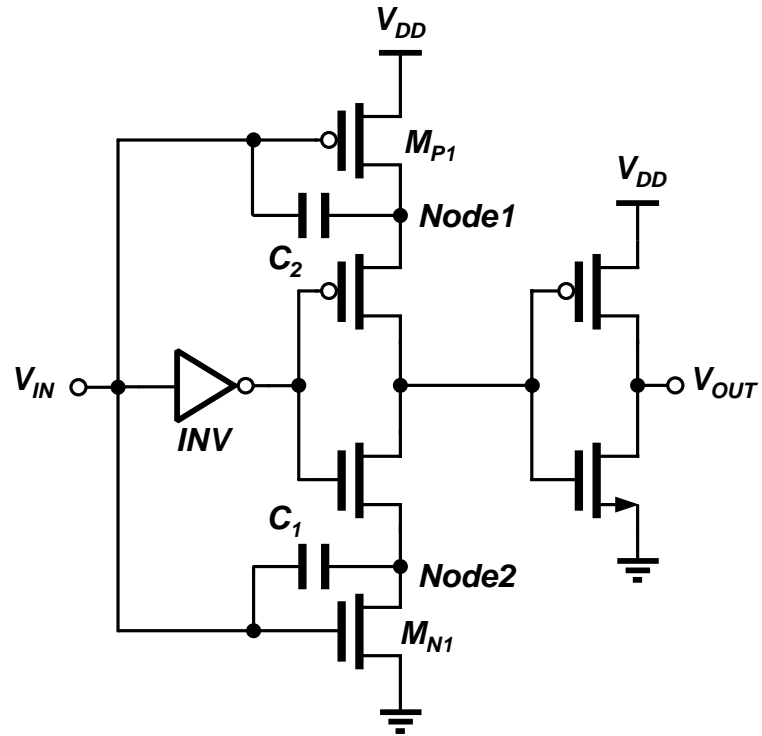
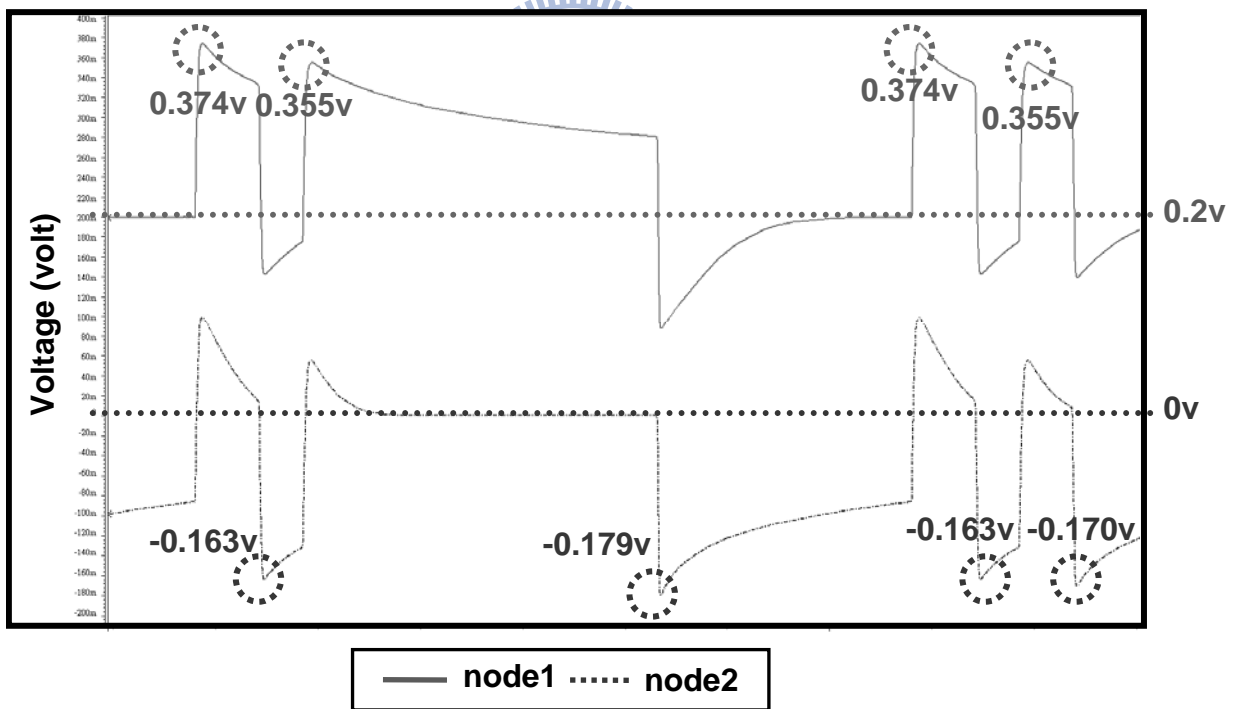


圖 4.22 型態一拔靴帶式反相器的節點說明



(Segment length = 1000um ; Data rate = 10Mbps ; 10th segment)

圖 4.23 使用型態一拔靴帶式中繼器的模擬結果

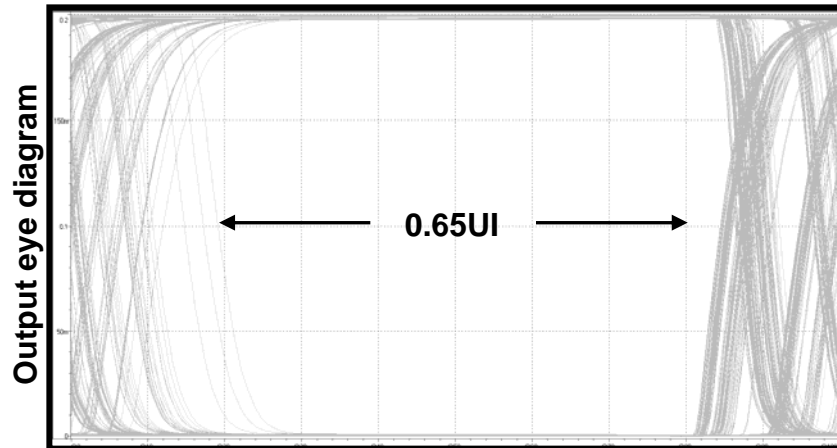
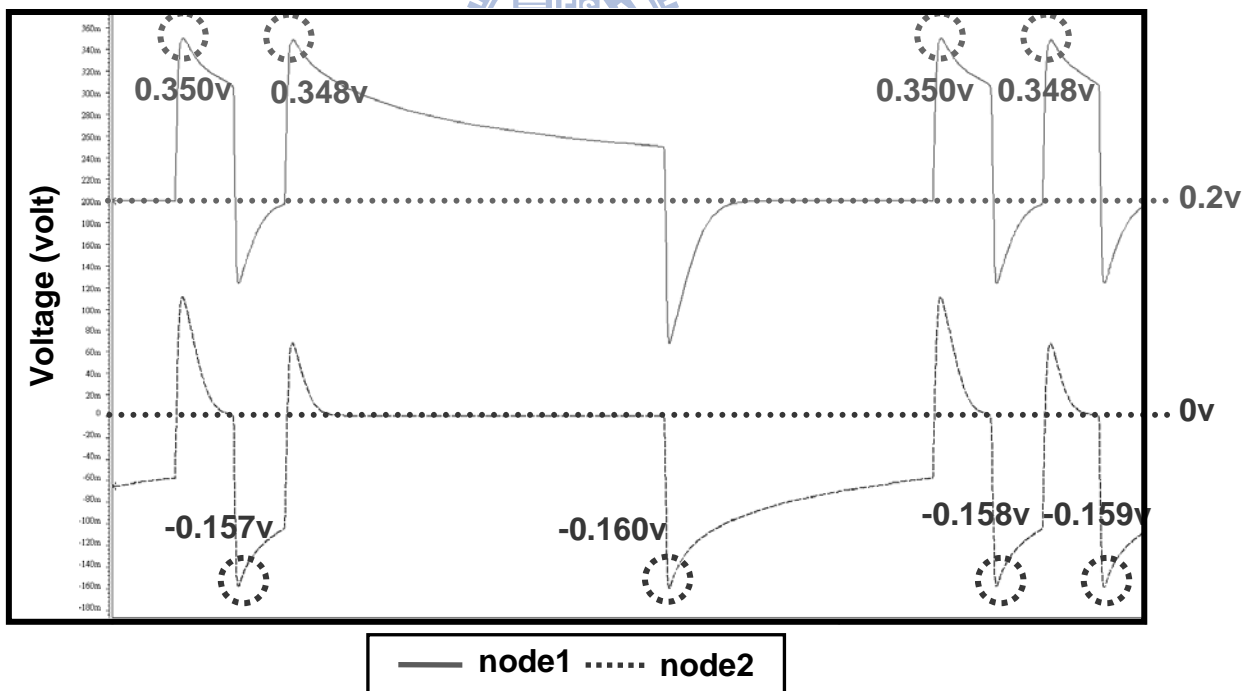


圖 4.24 使用型態一拔靴帶式中繼器的輸出眼狀圖

若我們調整圖 4.22 中電晶體 $M_{N1}$ 與 $M_{P1}$ 的尺寸，增加電晶體的電流驅動能力，使之足以在最短時間內充放電完成，則改善後的模擬結果如圖 4.25，可看出升降壓後的電壓較之前趨於一致，但因為寄生電容增加，導致升降壓的效果較差，約下降 20mV。而在輸出眼狀圖的表現如圖 4.26，可看出眼狀圖開口為  $0.93UI$ ，較之前改善許多。



(Segment length = 1000um ; Data rate = 10Mbps ; 10th segment)

圖 4.25 使用型態一拔靴帶式中繼器的模擬結果(改善後)

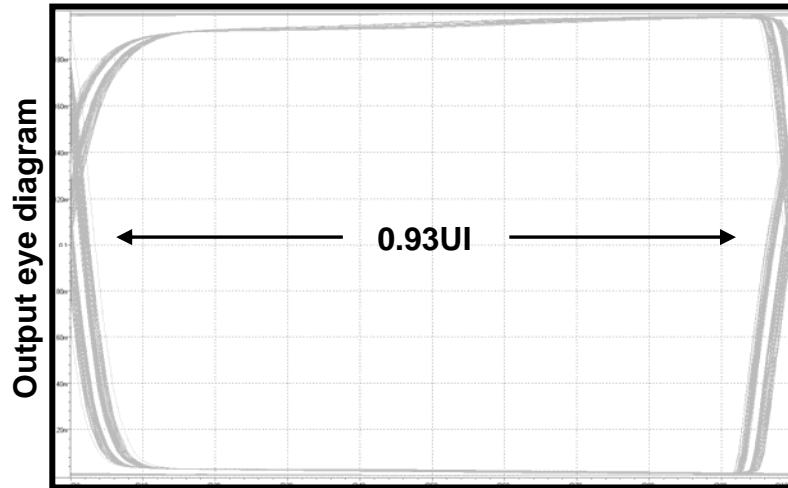


圖 4.26 使用型態一拔靴帶式中繼器的輸出眼狀圖(改善後)

以上的方式雖然可以減少 ISI 抖動的產生，但是仍有頻寬上的限制，主要的原因是負責充放電的電晶體仍操作在低壓，電流驅動能力不足，增加電晶體尺寸又會使寄生電容增加，降低升降壓的效果。因此，在型態二拔靴帶式反相器電路中，就解決了充放電電晶體驅動力不足的問題，使電路可以操作在更高的頻率。

接著將型態二拔靴帶式反相器應用於中繼器使用時，在高頻仍有 ISI 抖動改善的空間，節點說明如圖 4.27，模擬波形如圖 4.28。當我們輸入 30Mbps 的隨機訊號，觀察節點 1 與節點 5 的電壓波形，可以發現雖然電晶體  $M_{N1}$  與  $M_{P1}$  的驅動能力提升，但是卻產生了另一個問題：當電晶體  $M_{P1}$  導通開始對電容  $C_2$  充電時，節點 1 的電壓快速被拉起，如同產生一高頻訊號，此高頻訊號將藉由電容  $C_2$  使節點 5 的電壓同時被拉起，這時候就需要靠前端反相器 INV2 的 NMOS 電晶體把節點 5 的電壓拉回 GND，假設節點 5 的電壓無法在最短的時間內拉回 GND，則電容  $C_2$  充電不完全，將導致升壓後的電壓值不一，造成輸出的抖動增加。此時輸出的眼狀圖如圖 4.29 所示，眼狀圖的開口為 0.69UI。

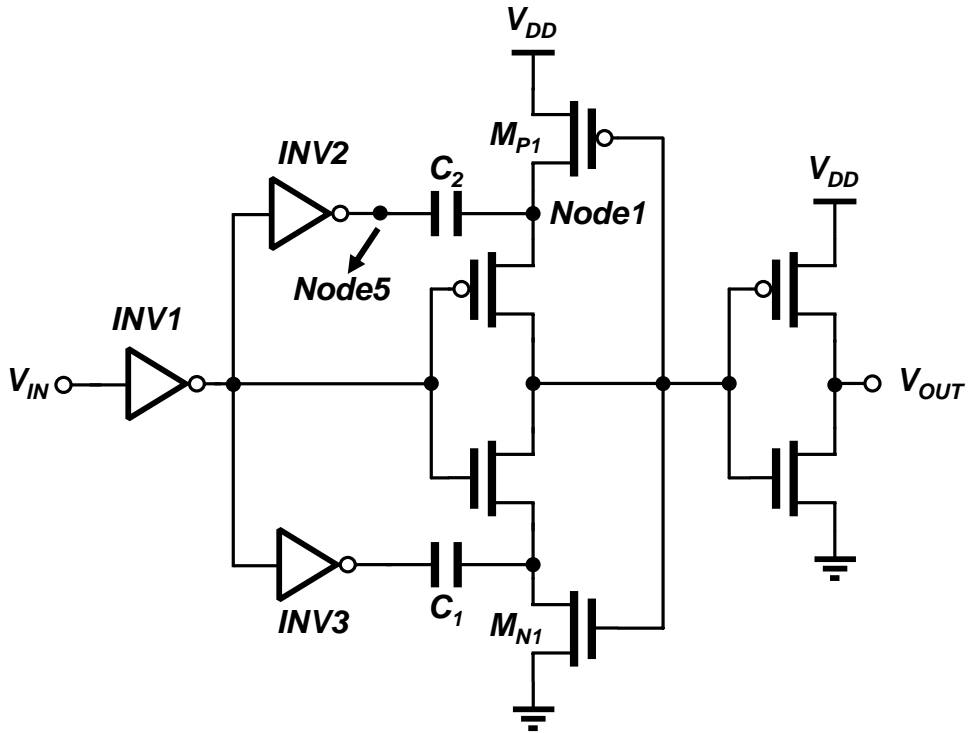
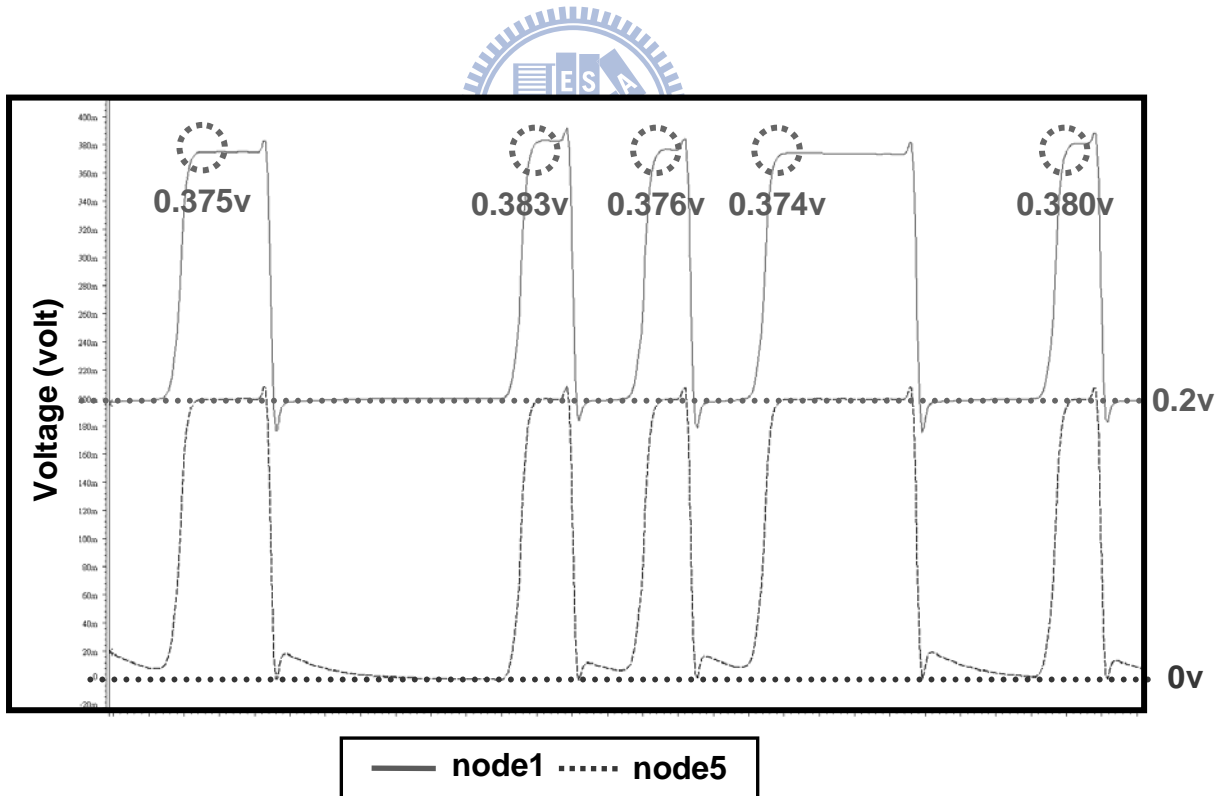


圖 4.27 型態二拔靴帶式反相器的節點說明



(Segment length = 1000um ; Data rate = 30Mbps ; 10th segment)

圖 4.28 使用型態二拔靴帶式中繼器的模擬結果

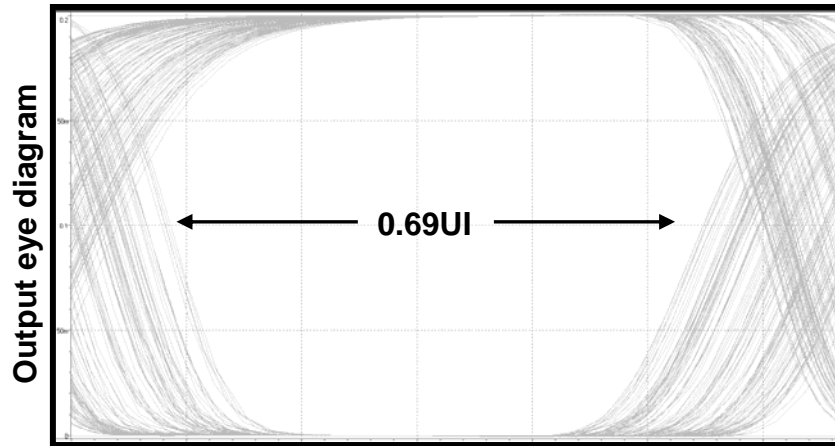
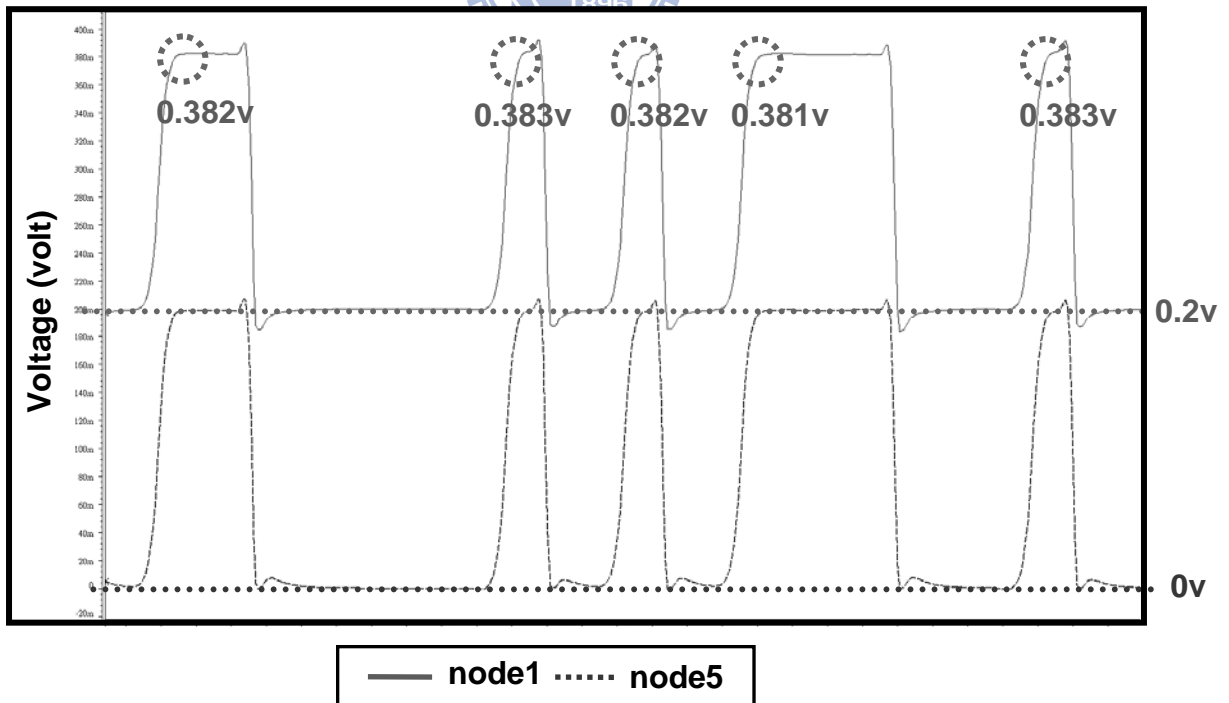


圖 4.29 使用型態二拔靴帶式中繼器的輸出眼狀圖

因此我們調整圖 4.27 中的反相器 INV2 的 NMOS 與 INV3 的 PMOS 尺寸，以增加電晶體的電流驅動能力，使之足以在最短時間內充放電完成，則改善後的模擬結果如圖 4.30，可看出電容在最短時間內充電完全，因此升降壓後的電壓較之前趨於一致，但也因為寄生電容的增加，導致升降壓的效果較差。而在輸出眼狀圖的表現如圖 4.31，可看出眼狀圖開口為  $0.86UI$ ，較之前改善許多。



(Segment length = 1000um ; Data rate = 30Mbps ; 10th segment)

圖 4.30 使用型態二拔靴帶式中繼器的模擬結果(改善後)

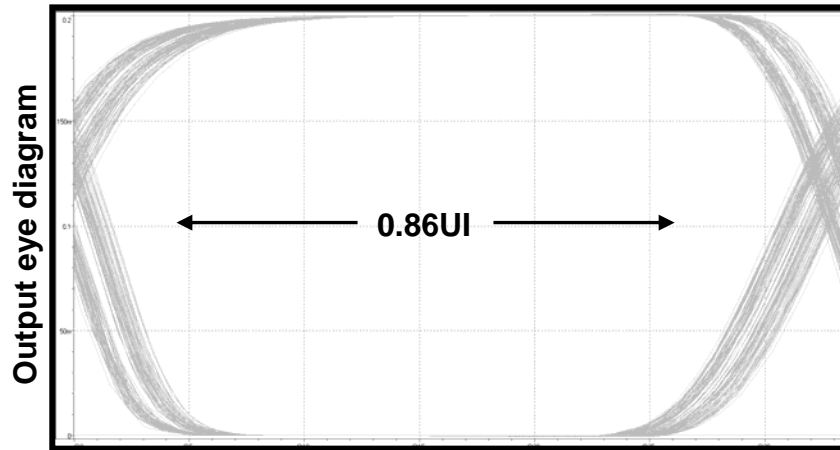


圖 4.31 使用型態二拔靴帶式中繼器的輸出眼狀圖(改善後)

#### 4.3.4 閃鎖效應

由於在拔靴帶式電路中，節點電壓會高於操作電壓與低於接地點電位的情形，因此若設計不夠周詳，電晶體的基極端(body)的 PN 接面將會導通，此時電路將可能產生閃鎖效應(latch-up)，輕微則電路無法正常操作，嚴重則電源與接地點短路，使整個晶片燒毀。以下用型態二拔靴帶式電路為例，此電路的基極端的 PN 接面的示意如圖 4.32，基極端 PN 接面導通的情形如圖 4.33 所示。

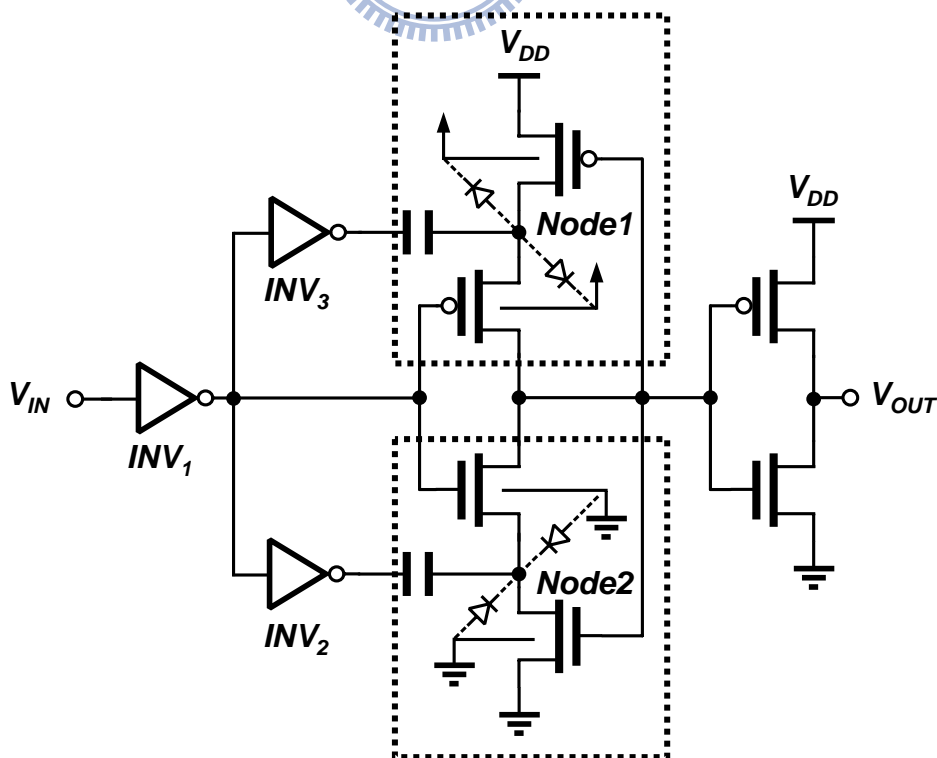


圖 4.32 型態二拔靴帶式電路基極端 PN 接面示意圖



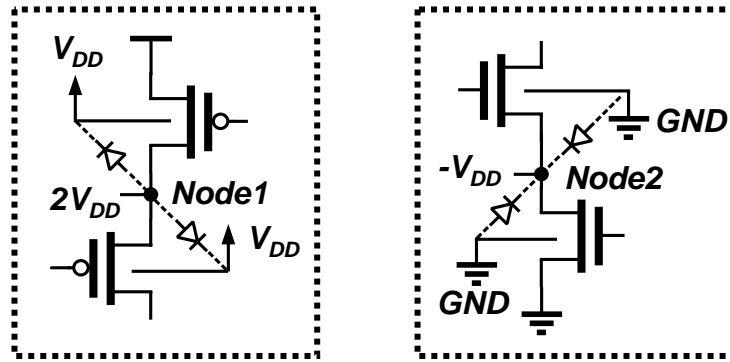


圖 4.33 基極端 PN 接面導通情形示意圖

參考圖 4.33 左，當節點一的電壓為  $2V_{DD}$  時，因 PMOS 的基極電壓為  $V_{DD}$ ，此時 PMOS 的汲極或源極對基極的 PN 接面存在順向偏壓  $V_{DD}$ ，將造成節點一對基極端的漏電流，而在操作電壓較高的情況下，甚至會使 PN 接面導通，造成閃鎖效應。

為了解決閃鎖效應發生的可能性，以下提出兩種方法：第一個方式為電路的操作電壓不可太大，在本論文的應用環境中，系統操作電壓為  $0.2V$ ，因此圖 4.33 中的電晶體對基極端的 PN 接面雖然有  $0.2V$  的電壓差，此電壓差不足以使 PN 接面導通，因此在本論文環境下，閃鎖效應並不會發生，但節點對基極端的漏電流卻需要留意。在經過模擬評估之後，我們確定此漏電流只會對電路的升降壓效果產生些微影響，原因為 PN 接面  $0.2V$  的順向偏差所造成的漏電流量仍然非常微小。

另一種解決方式為使用 twin-well 製程，twin-well 允許 NMOS 電晶體有獨立的 P-well，因此 NMOS 將有獨自的基極，在電路設計上只要將拔靴帶式電路中，電晶體的基極接至汲極或源極，使基極 PN 接面的順向偏壓隨時為零，如此即可避免閃鎖效應與基極 PN 接面漏電流的影響，但此作法將增加節點的寄生電容，影響拔靴帶式電路的升降壓效果之外，還會增加晶片在佈局上的複雜度。

## 4.4 模擬結果比較

依據先前的文獻，目前尚無將拔靴帶式電路應用於晶片內匯流排中繼器的設計，且各種拔靴帶式電路的應用與操作環境皆不同。因此，為了有公平一致的比較，本論文中實現了以四種拔靴帶電路組成的晶片內匯流排系統[9][10]，並且在統一的環境中來比較。首先比較各種拔靴帶式電路，在單一元件推動不同電容負載的情形，示意如圖 4.34 左；且規定訊號上升時間( $T_r$ )與下降時間( $T_f$ )的計算範圍為  $20\% \sim 80\%V_{DD}$ ，如圖 4.34 右。

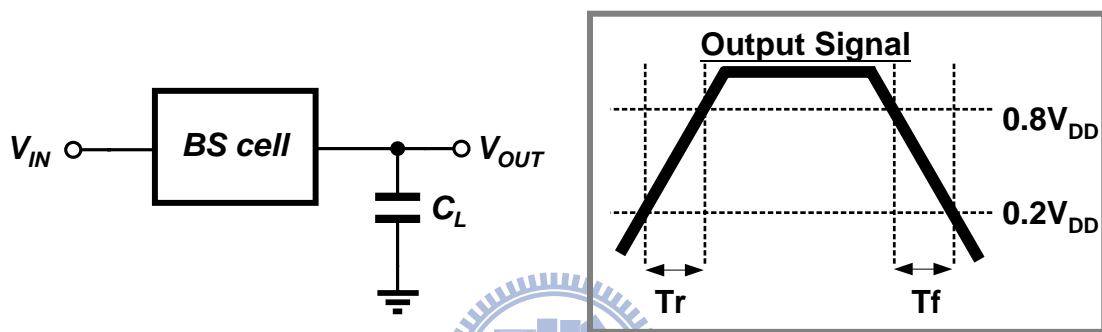


圖 4.34 單一元件推動負載時的比較環境示意圖

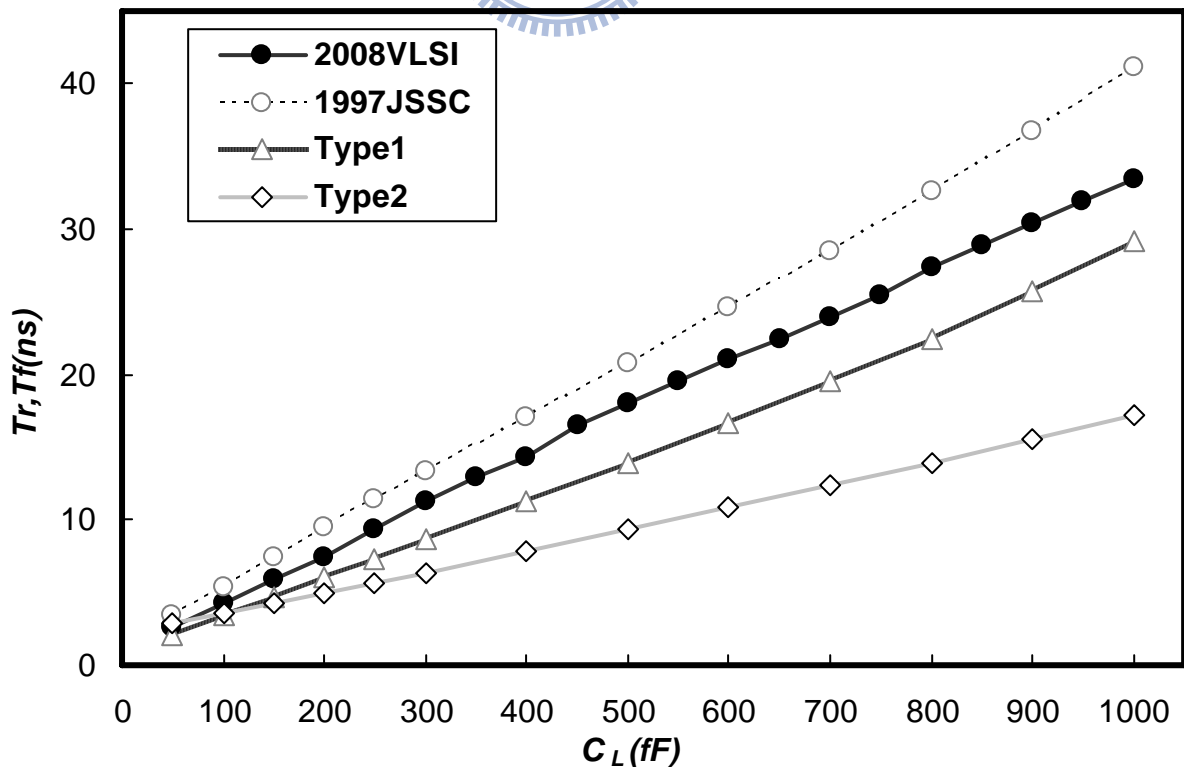


圖 4.35 單一元件推動負載時的上升與下降時間比較

由圖 4.35 的模擬結果可知，訊號的上升下降時間與負載電容呈線性關係。接著比較各種型態的表現：其中型態二拔靴帶式反相器的轉態時間最短，表現最好；而型態一拔靴帶式反相器的轉態時間也有不錯的表現。

接著比較各種拔靴帶式元件的延遲功率乘積(Delay-Power Product)，如圖 4.36 的模擬結果所示。延遲功率乘積為評估電路是否兼顧高速與低功率的重要指標，其值愈小，代表此電路的表現愈好。

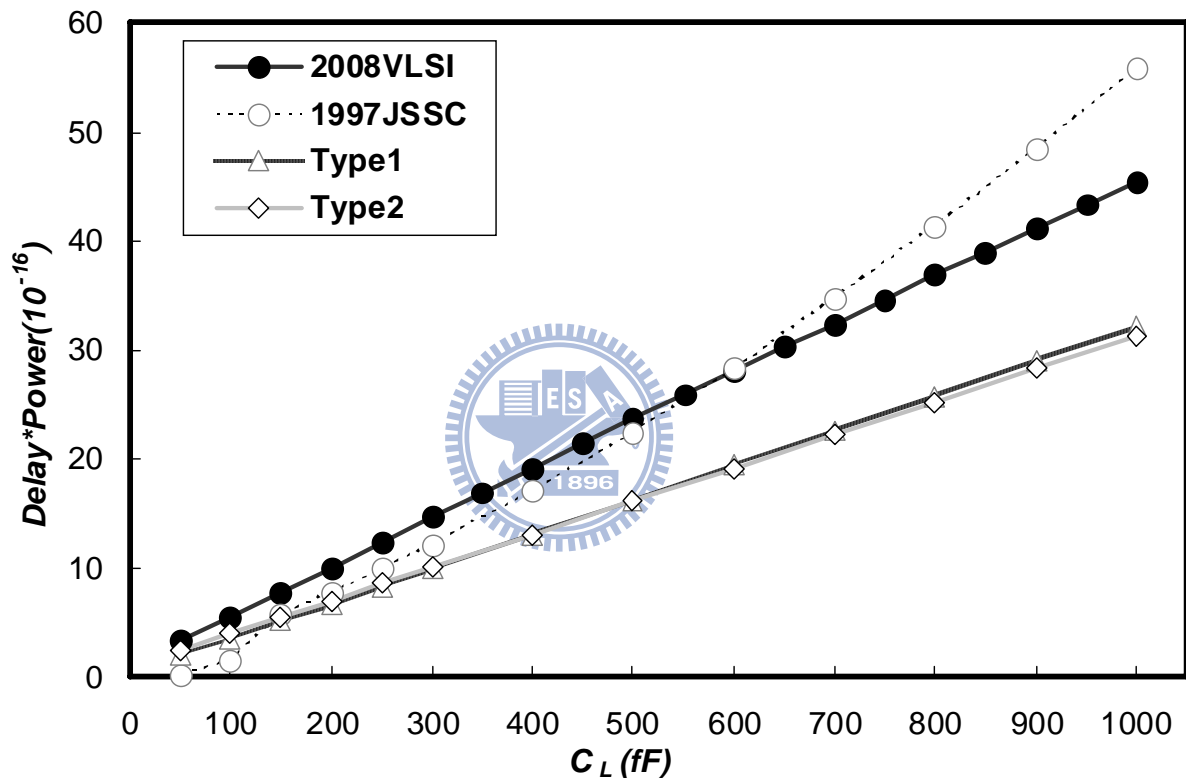


圖 4.36 單一元件推動負載時的延遲功率乘積比較

由上圖 4.36 的模擬結果，我們可以看出在負載電容慢慢增大時，型態一與型態二拔靴帶式反相器電路的延遲功率乘積，在相較於其他類型電路之下，仍維持在相對低的數值，因此表現較佳。2008VLSI 電路因為有過多的靜態功率消耗，使得在負載電容較小時，延遲功率乘積最高；而當負載逐漸增加，1997JSSC 的延遲也逐漸增加，因此在大負載電容時的遲功率乘積為最高。

得到各種拔靴帶式電路在單一元件時推動負載的比較結果之後，緊接我們將各種拔靴帶式電路應用在匯流排系統的中繼器上，應用的環境如圖 4.37 的左圖所示，每段傳輸線的長度為  $L$ ，傳輸線系統總長度為一公分，操作電壓為 0.2 伏特。在此我們規定各種情況下的輸出訊號上升與下降時間不得超過 0.15 個 UI，如圖 4.37 的右圖所示。

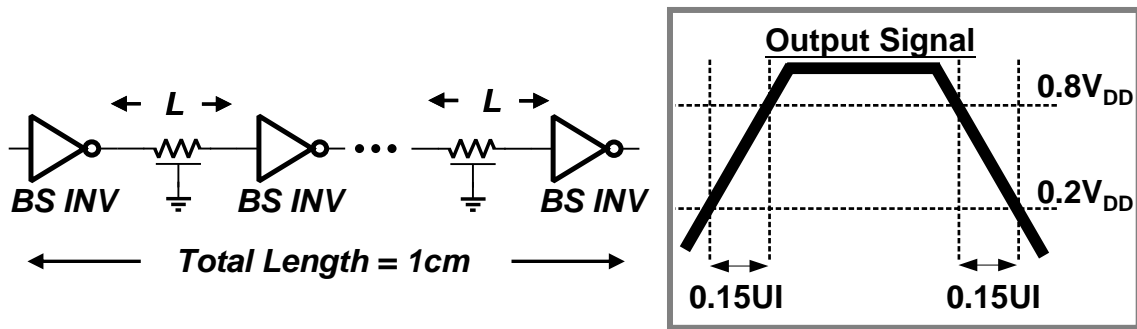


圖 4.37 拔靴帶式傳輸線系統的比較環境示意圖(考慮轉態時間)

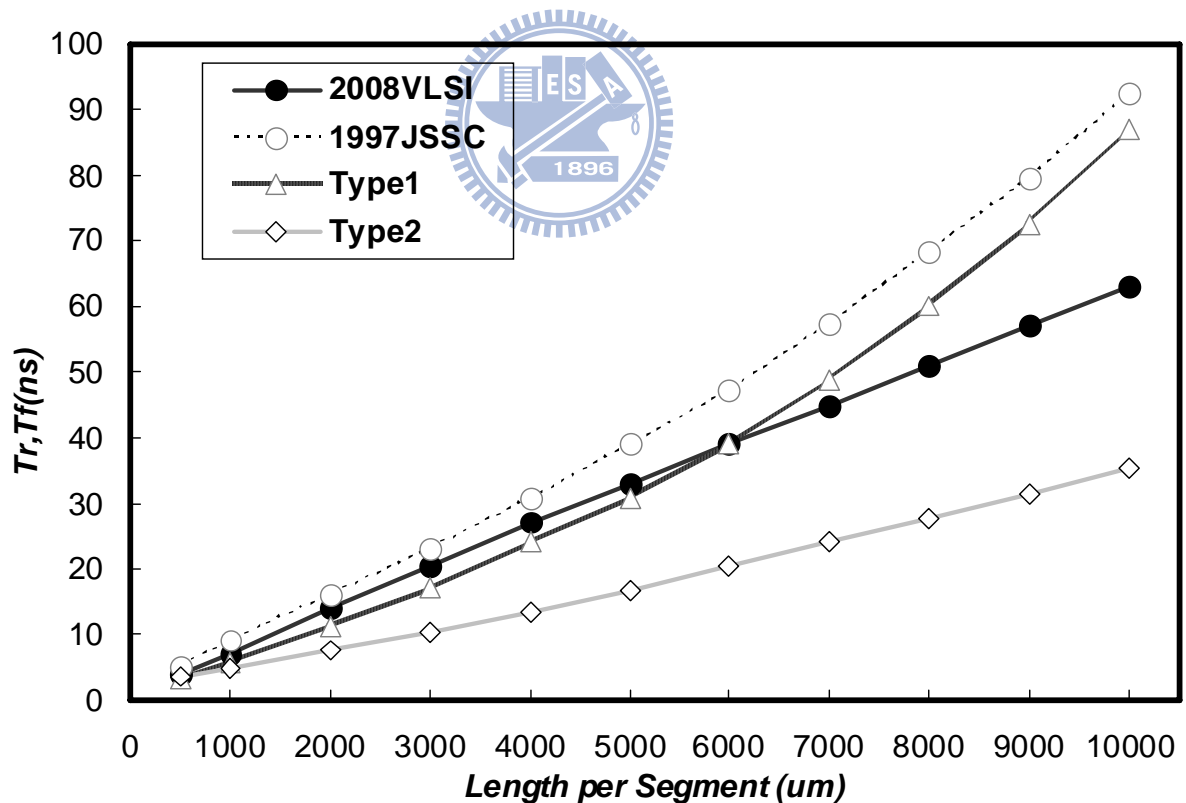


圖 4.38 拔靴帶式傳輸線系統的輸出轉態時間比較

圖 4.38 為使用不同類型拔靴帶中繼器傳輸線系統的輸出上升與下降時間比較，由結果可得知，型態二拔靴帶式中繼器系統所需的轉態時間較短，表現最佳；而 1997JSSC 拔靴帶式中繼器系統所需的轉態時間最長。其中型態一與 1997JSSC 的拔靴帶式電路，本身的升降壓效果將受到短路電流的影響較為嚴重，因此當傳輸線段長增加時，訊號的轉態時間變長，電路產生的短路電流逐漸增加，導致拔靴帶式中繼器的升降壓效果降低，中繼器的驅動能力也逐漸下降，因此輸出的轉態時間將快速增加。

圖 4.39 為使用不同類型拔靴帶中繼器傳輸線系統可達的操作資料率比較，為了方便觀察，圖 4.40 為相同的模擬而縱軸改以對數形式呈現。由結果可看出，傳輸線系統可操作的資料傳輸率與每線段的長度呈反比關係。大致來說，型態二拔靴帶式中繼器傳輸系統可達的資料傳輸率最高，表現最好；而 1997JSSC 中繼器傳輸系統可達的資料傳輸率最差。

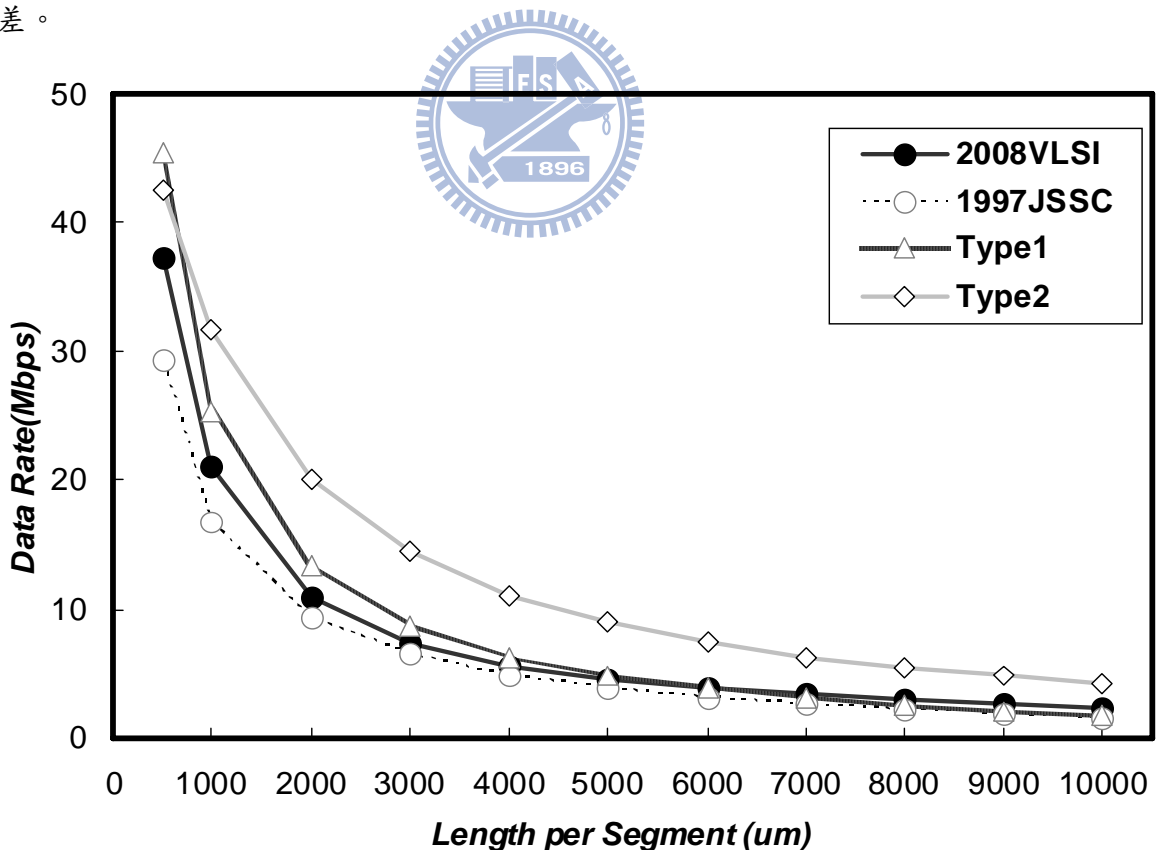


圖 4.39 拔靴帶式傳輸線系統最高資料傳輸率比較(考慮轉態時間)

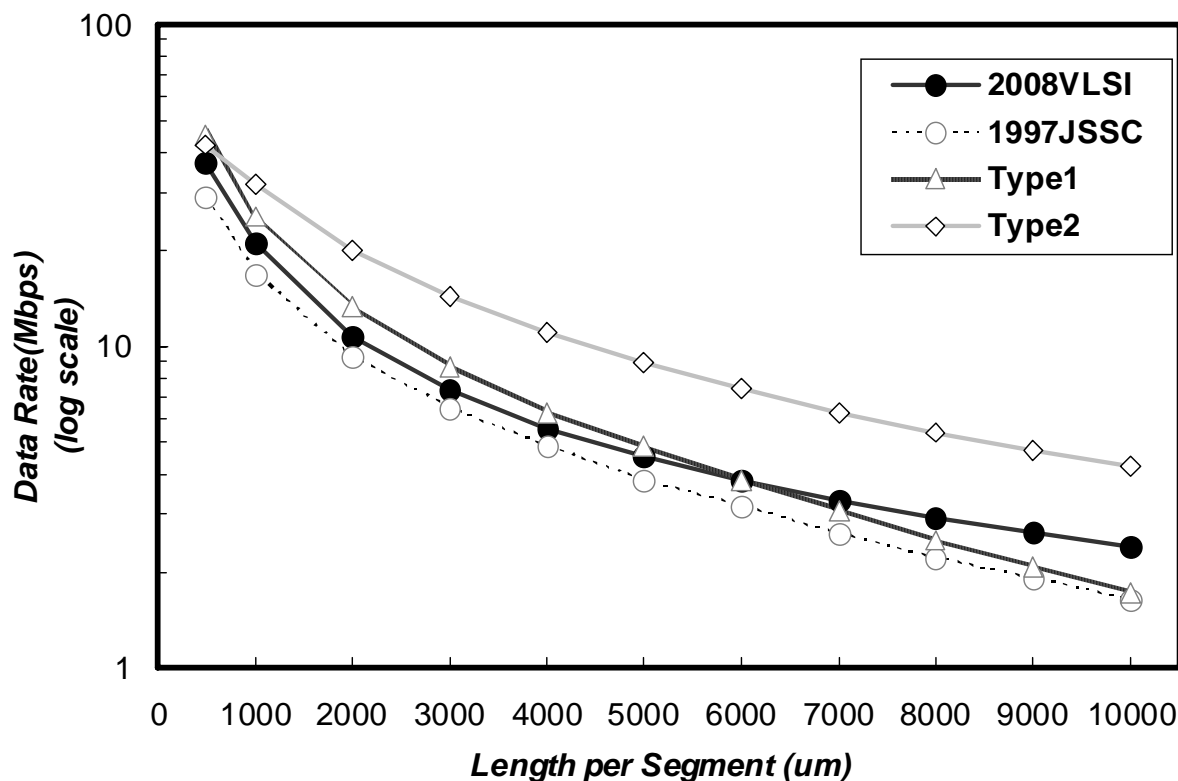


圖 4.40 拔靴帶式傳輸線系統最高資料傳輸率比較(考慮轉態時間)

上述的比較準則只單獨考慮了輸出訊號的轉態時間，利用輸出訊號的轉態時間進而推估傳輸線系統的達到的資料傳輸率。但在實際的應用上，輸出訊號的抖動表現應納入考慮，因此在接下來的模擬中，我們考慮輸出訊號的抖動，將輸入改為隨機訊號，並參考 SATA II 標準，規定輸出訊號的眼狀圖開口必須大於  $0.7UI$ ，比較環境如圖 4.41 所示。

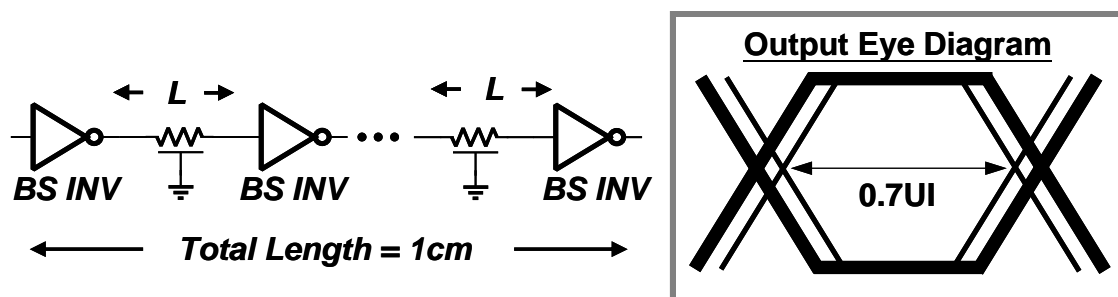


圖 4.41 拔靴帶式傳輸線系統的比較環境示意圖(考慮抖動)

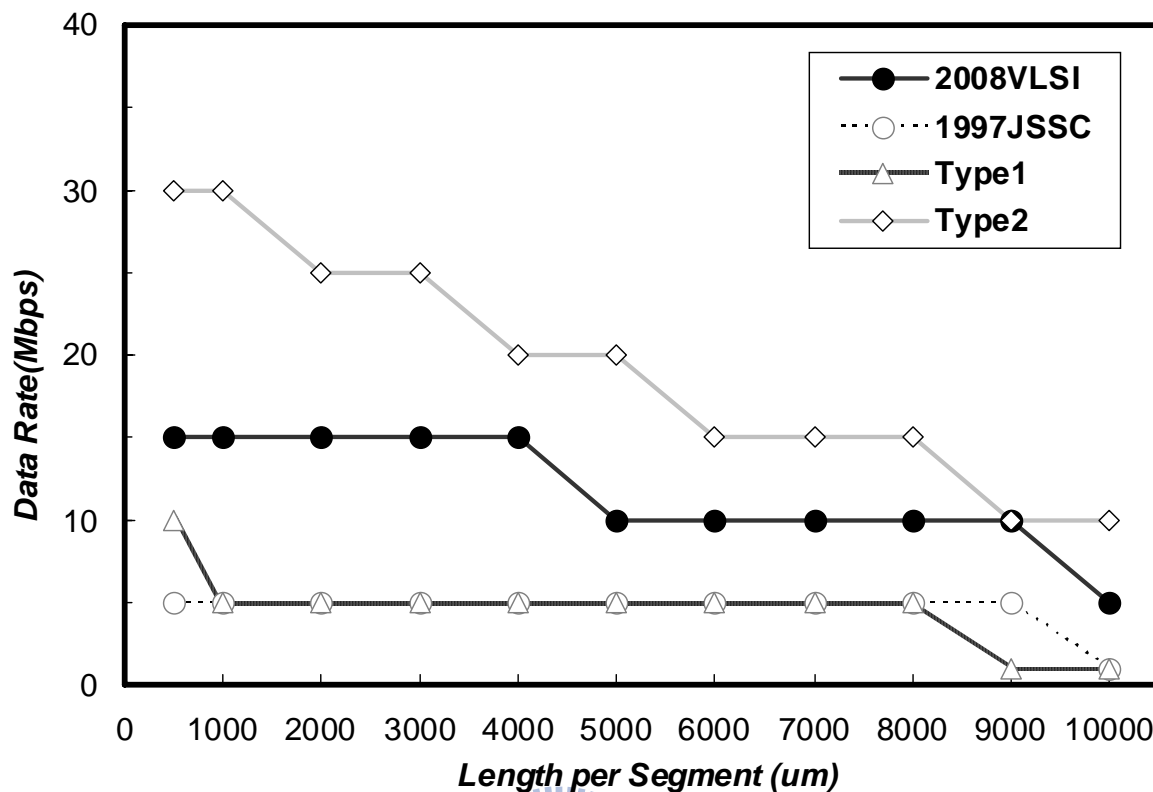


圖 4.42 拔靴帶式傳輸線系統可達的資料傳輸率比較(考慮抖動)

圖 4.42 為輸出抖動的考量下，使用不同類型拔靴帶中繼器傳輸線系統可達的資料傳輸率比較。由結果可知，在不同類型的拔靴帶式電路中，若有針對負責充放電的電晶體作驅動能力改善的動作，在輸出抖動的表現上將會相對地表現較好，如型態二拔靴帶式與 VLSI2008 中繼器系統。而在此比較結果顯示，型態二拔靴帶式中繼器傳輸系統可達到的資料傳輸率最高，表現最佳。

若同時考慮輸出訊號的轉態時間與抖動表現，則使用不同類型拔靴帶中繼器傳輸線系統可達的資料傳輸率比較結果如圖 4.43。觀察此結果，曲線的趨勢可分為兩部份：一部份為當傳輸線每段長度較長時，代表中繼器的負載較大，此時資料傳輸率受限於輸出訊號轉態時間的限制，因此資料傳輸率與每段長度呈反比關係；另一部分為當傳輸線每段長度較短時，系統操作的資料傳輸率增加，但當操作資料傳輸率上升到一定程度時，升降壓電容開始充電不及，導致輸出訊號抖動大幅增加，此時再縮短傳輸線每段的長

度，資料傳輸率將無法提升。

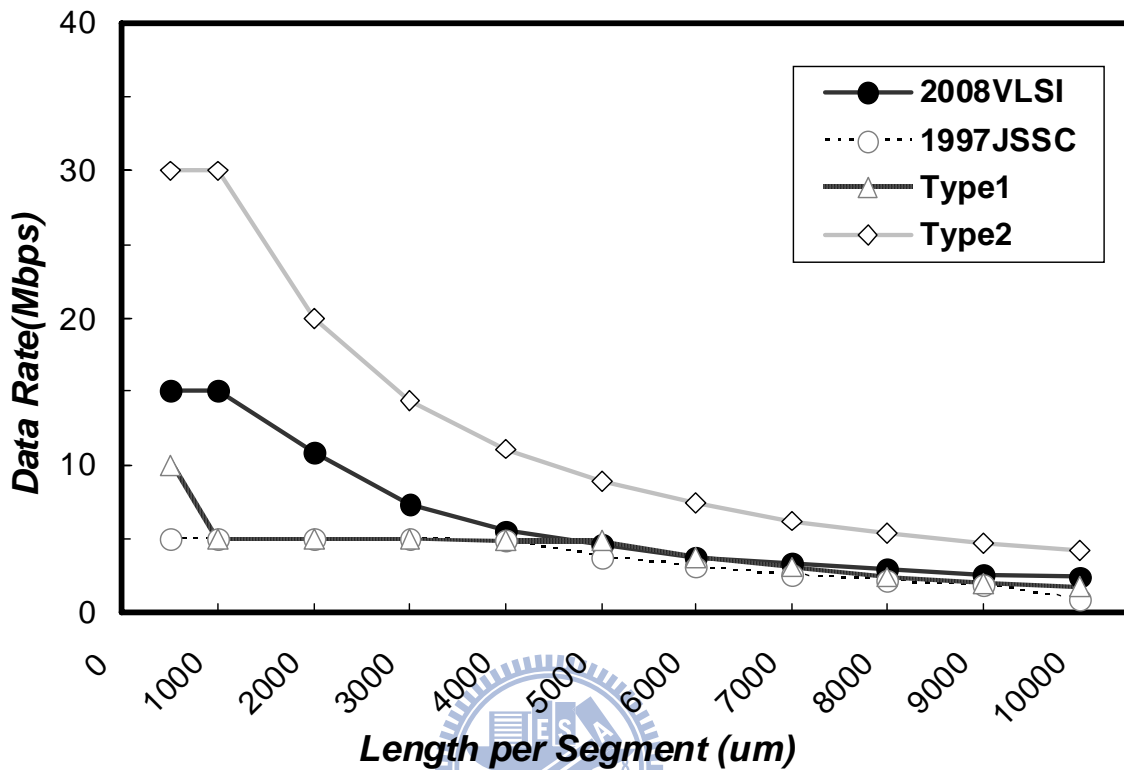


圖 4.43 拔靴帶式傳輸線系統可達的資料傳輸率比較(考慮抖動與轉態時間)

觀察圖 4.43 的比較結果，可得知型態二拔靴帶式中繼器的傳輸系統，無論是在輸出轉態時間或輸出抖動的規範之下，都有比較好的表現；而型態一與 1997JSSC 拔靴帶式中繼器系統，因為在資料傳輸率較高時，輸出的抖動量大幅增加，造成資料傳輸率到了一定程度後就無法上升，在每段傳輸線長度較短時表現較差。

接著將各傳輸線系統以單位位元功率消耗的形式做比較，在此的單位位元功率消耗的計算方式為功率消耗除以資料傳輸率(Power/Data Rate)，單位為 pJ / bit，其值愈小代表此系統表現愈好，兼顧了高速低功率的特色。



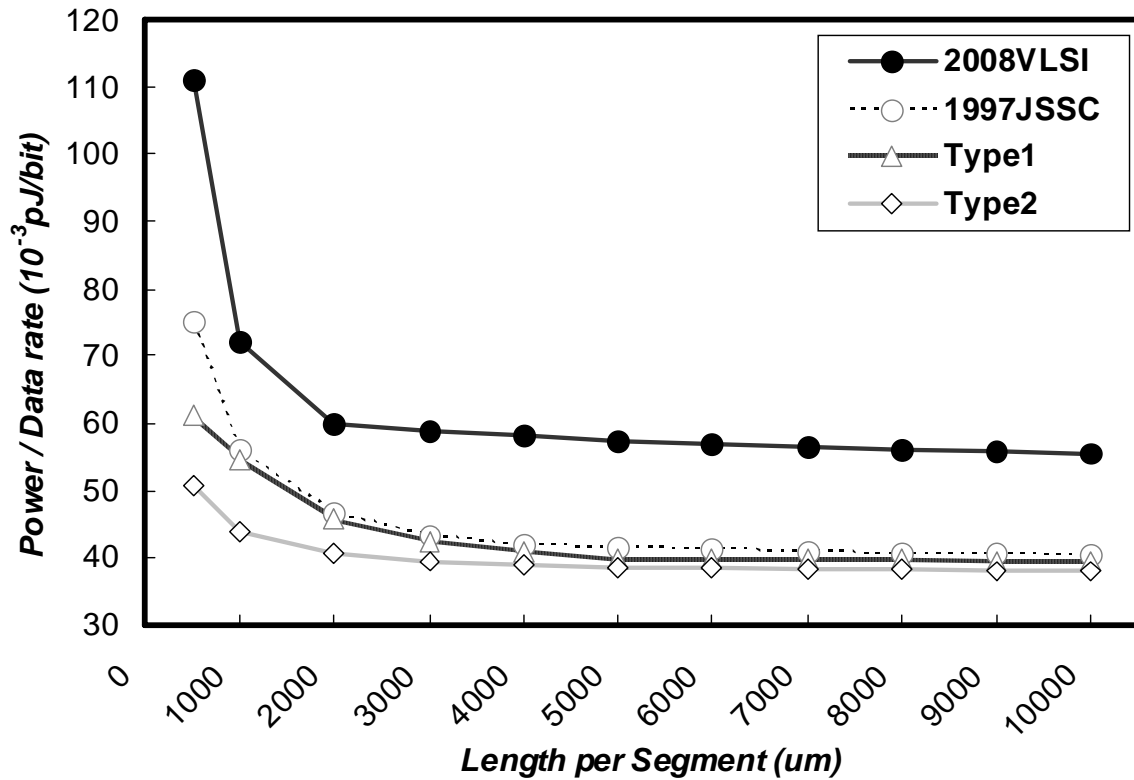


圖 4.44 拔靴帶式傳輸線系統單位位元功率消耗比較(考慮抖動與轉態時間)

由圖 4.44 的單位位元功率消耗比較結果，可以看出型態二拔靴帶式中繼器傳輸系統，不僅在資料傳輸率的表現最好，且在單位位元功率消耗的比較上也表現最佳，因此兼具了高速、低功率消耗的特色。而 2008VLSI 中繼器傳輸系統雖然在資料傳輸率的表現上次佳，但因為有過大的靜態功率消耗，導致在單位位元功率消耗比較上反而表現最差。

## 第五章

# 匯流排電路的實現

### 5.1 晶片佈局架構簡介

本論文的晶片佈局架構如圖 5.1 所示，主要為兩部分：晶片內匯流排系統與測試電路。考量低電壓環境下，輸出驅動電路不易驅動外部負載的問題。因此在本設計中，輸入端的訊號擺幅為 1V，訊號經由輸入端的電壓位準移位電路(input level shift)將輸入訊號降低為 0.2V，接著訊號經晶片內匯流排系統或測試電路處理後，輸出訊號為擺幅為 0.2V 的低壓數位訊號，再經由輸出端的電壓位準移位電路(output level shift)將訊號擺幅提升為 1V。

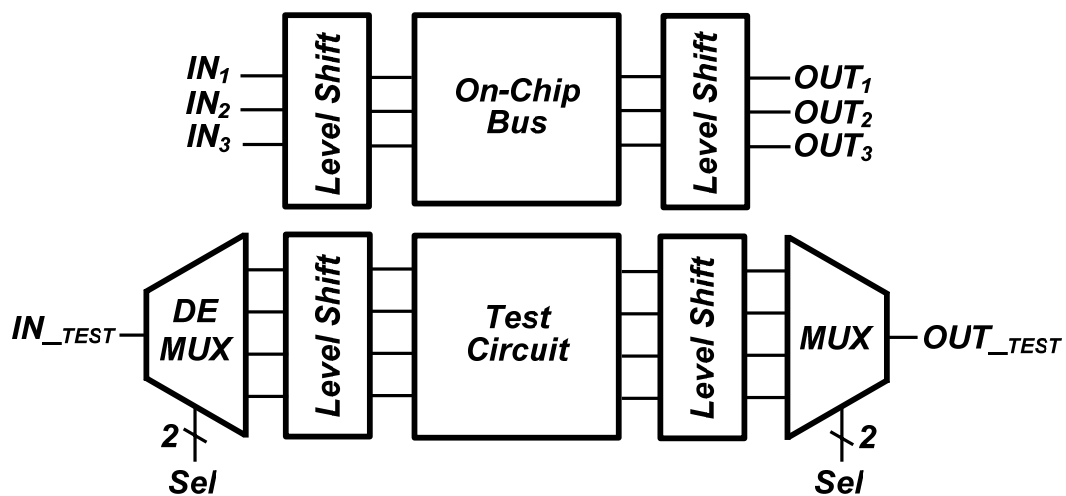


圖 5.1 本論文的晶片佈局架構

## 5.2 多工器與解多工器電路

本論文測試電路中使用了一組多工器(multiplexer)與解多工器(de-multiplexer)電路[13]。在輸入端部分，藉由解多工器配合選擇訊號，將輸入訊號傳送至欲工作的測試電路；在輸出端部分，藉由多工器配合選擇訊號，將工作的測試電路輸出訊號傳送至輸出端。四對一多工器電路如圖 5.2 所示，一對四解多工器電路如圖 5.3 所示。

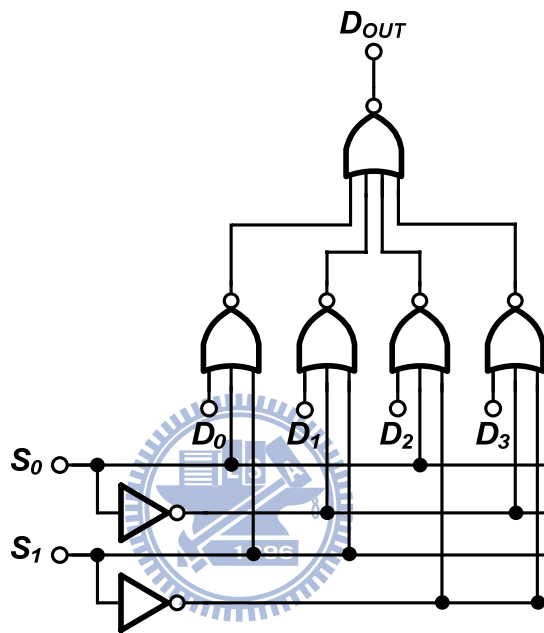


圖 5.2 四對一多工器電路

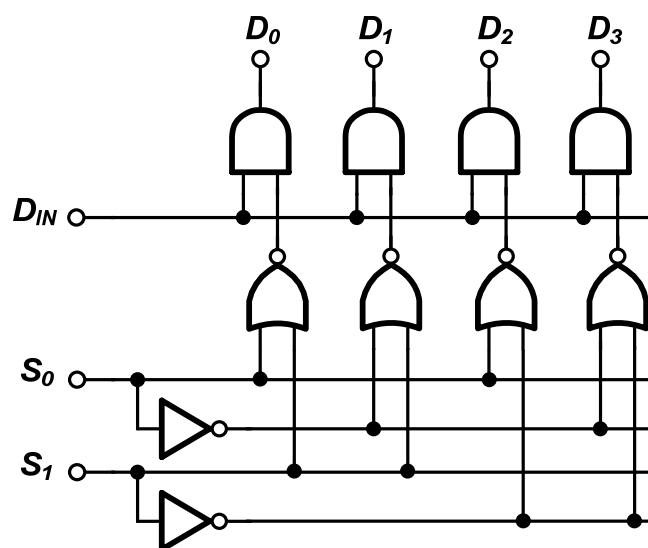


圖 5.3 一對四解多工器電路

### 5.3 輸入與輸出電壓位準移位電路

本論文使用的輸入端電壓位準移位電路如圖 5.4 所示[10]，負責將 1V 的輸入數位訊號轉換為 0.2V 供晶片內匯流排系統或測試電路使用。當輸入電壓為 1V、資料傳輸率為 20Mbps 的隨機數位訊號時，輸出波形如圖 5.5 所示。

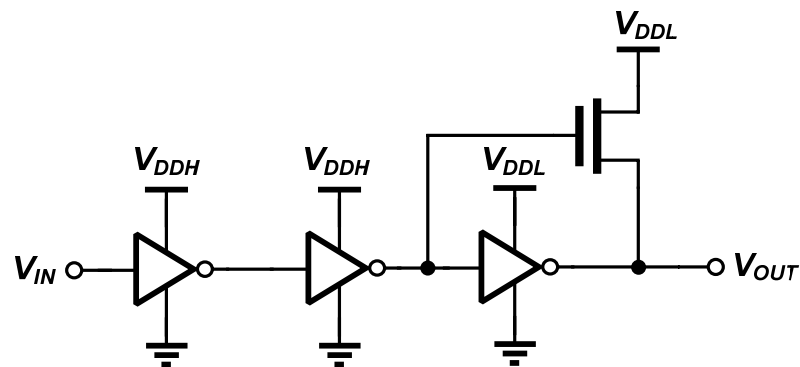


圖 5.4 輸入端電壓位準移位電路

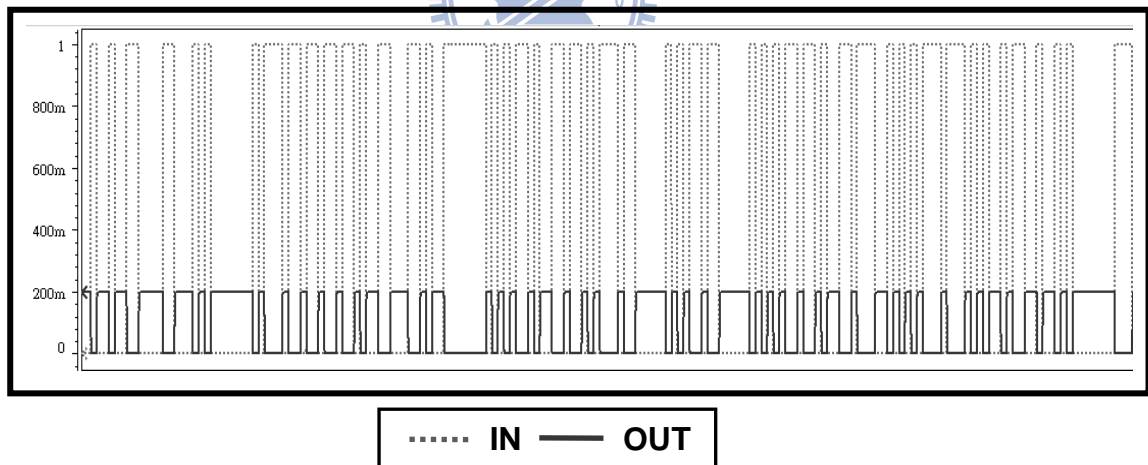


圖 5.5 輸入端電壓位準移位電路的輸入與輸出波形圖

本論文使用的輸出端電壓位準移位電路如圖 5.6 [10]，負責將 0.2V 的數位訊號轉換為 1V，以利於輸出緩衝器推動輸出負載。當輸入電壓為 0.2V、資料傳輸率為 20Mbps 的隨機數位訊號時，輸出波形如圖 5.7 所示。

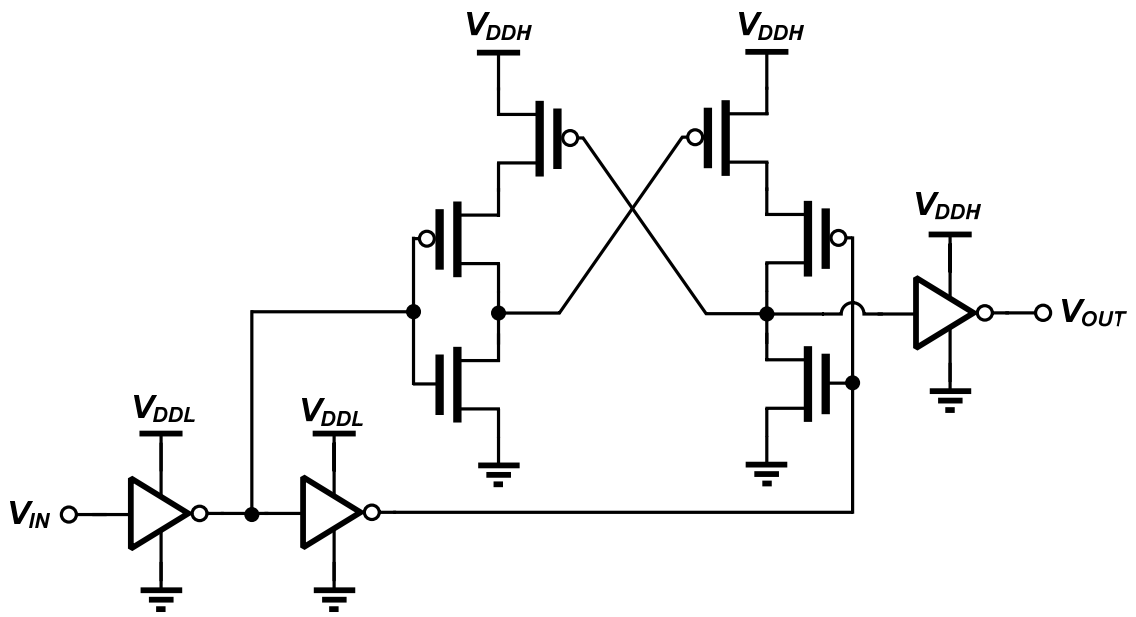


圖 5.6 輸出端電壓位準移位電路

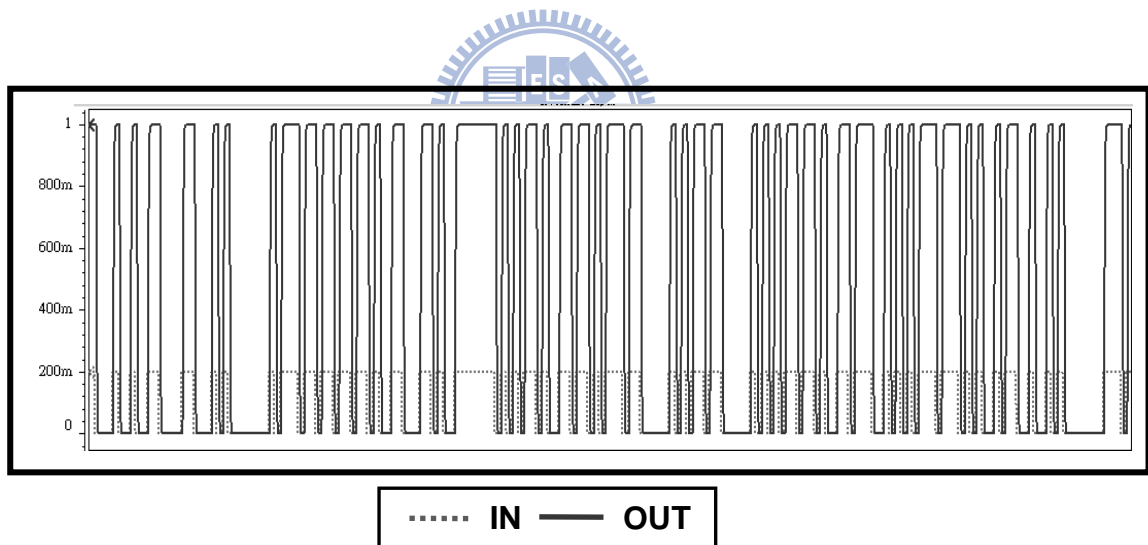


圖 5.7 輸出端電壓位準移位電路的輸入與輸出波形圖

## 5.4 晶片內部匯流排電路

本論文的晶片內部匯流排電路架構如圖 5.8 所示，電路包含了三組傳輸線系統，每條傳輸線全長為 1cm，並切割為 10 段，因此每小段的長度為 1mm。此外傳輸線與線的間距(space)為 0.14 $\mu\text{m}$ 、傳輸線的線寬(width)為 0.14 $\mu\text{m}$ ，此匯流排的各项參數值整理為表格 5.1。考慮在晶片內部，兩條長導線接近時將發生互相干擾的現象(Crosstalk)[14]，在本論文中實現了兩種解決方式：一為將導線之間以直流電源隔開，如圖 5.8 的第一組傳輸線；二為將中繼器以交錯的方式擺設[15]，如圖 5.8 的第二、三組傳輸線。前者的方式可有效解決外來訊號所造成的干擾，但卻會增加匯流排的面積；後者的方式雖然不會增加額外的面積，但消除干擾的效果將視中繼器的傳輸延遲大小而定，假若中繼器的延遲較大，則消除干擾的效果較差。

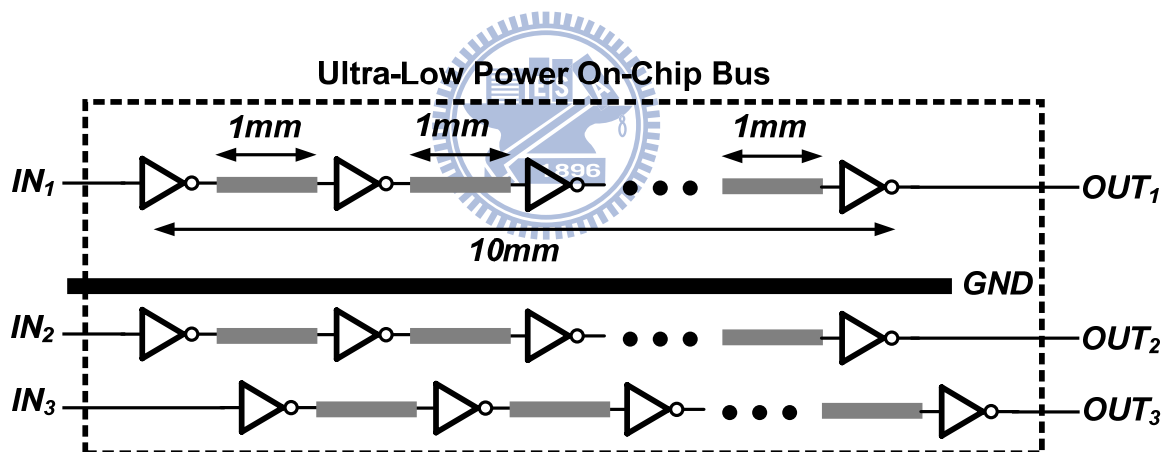


圖 5.8 晶片內部匯流排電路

表格 5.1 晶片內部匯流排的各项參數值

Parameter	Value
Number of interconnect	3
Global interconnect length	10mm
Each segment length / Number of repeaters	1000 $\mu\text{m}$ / 10
Interconnect width / Interconnect spacing	0.14 $\mu\text{m}$ / 0.14 $\mu\text{m}$

## 5.5 測試電路

依據先前文獻，各種拔靴帶式電路的應用環境與製程皆不同，將造成比較上的困難。為了有較公平一致的比較環境，本論文在測試電路中實現了四種類型的拔靴帶式傳輸線系統[9][10]，其架構如圖 5.9 所示。其中傳輸線的線寬為  $0.14\mu\text{m}$ 、傳輸線與直流電源的線距為  $0.14\mu\text{m}$ 、每小段傳輸線的長度為  $1\text{mm}$ 、傳輸線的總長度為  $1\text{cm}$ 。

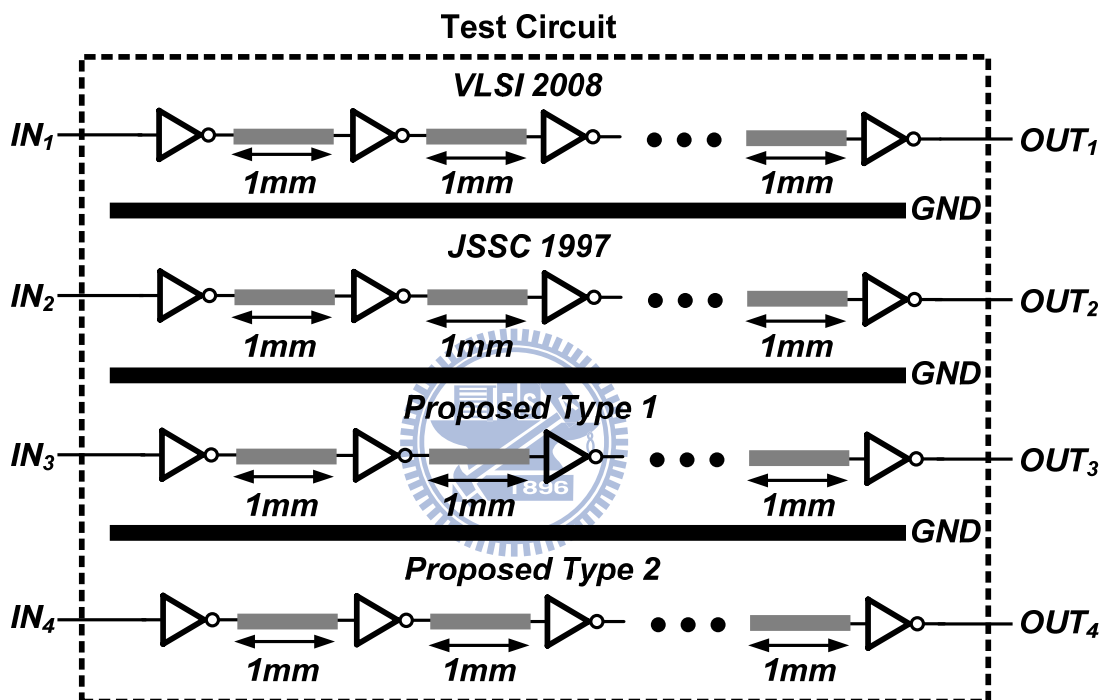


圖 5.9 測試電路架構圖

## 5.6 晶片佈局圖

本論文使用 UMC 90nm 製程來實現所設計的電路，晶片佈局如圖 5.10 所示。晶片佈局的總面積為  $0.743\text{mm}^2$  ( $958\mu\text{m} \times 776\mu\text{m}$ )。其中匯流排傳輸系統的佈局面積為， $0.176\text{mm}^2$  ( $572\mu\text{m} \times 307\mu\text{m}$ )；測試電路的佈局面積為  $0.058\text{mm}^2$  ( $566\mu\text{m} \times 102\mu\text{m}$ )。

本論文所設計的晶片佈局中包含了 28 個 PAD，其中 PAD 分為四個部份：第一部分為匯流排系統，共含 12 個 PAD；第二部份為測試電路，共含 9 個 PAD，第三部份為電壓準位平移電路，共含 5 個 PAD；最後第四部份為 body 接腳，包含 2 個 PAD。此外在本晶片中使用大量的去耦合電容(Decoupled Capacitor)，目的為降低來自供應電源端的雜訊。

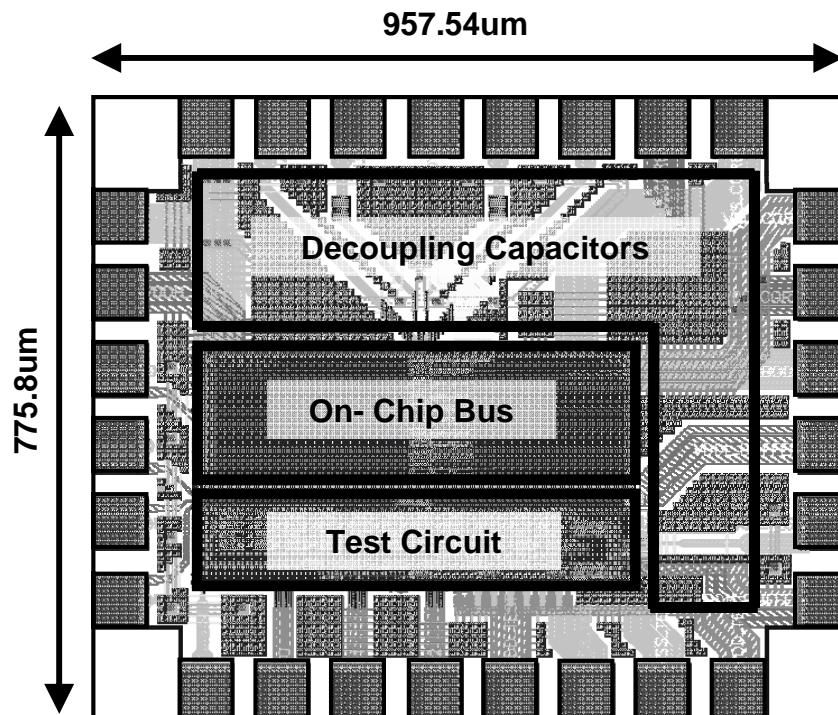


圖 5.10 晶片佈局圖

## 5.7 模擬結果

本論文所設計的電路操作於次臨界區，因此極易受到製程變異的影響，為了避免設計結果與實際晶片量測落差太大，在本章節中模擬了各 corner 在不同頻率下的表現，並考慮了溫度變化時的情形。



### 5.7.1 匯流排電路模擬結果

(1) Corner : TT ;  $V_{DD}=0.2V$  ;  $25^{\circ}C$

當操作電壓為  $0.2V$ 、環境溫度為  $25^{\circ}C$  時，在 TT corner 的表現如圖 5.11。當輸入為  $5Mbps$  的隨機訊號時，第一組輸出訊號的抖動量為  $0.11UI$ ，第二、三組輸出因為互相干擾，導致抖動量較大，約為  $0.31UI$ 。隨著輸入訊號的資料傳輸率提升，第二、三組輸出訊號互相干擾的愈加嚴重，當輸入訊號為  $20Mbps$  時，第一組輸出訊號的抖動量為  $0.16UI$ ，變化不大；但第二、三組輸出訊號的抖動量大增，導致輸出眼狀圖的開口無法辨識，因此，抖動最主要的來源為傳輸線間彼此的干擾。

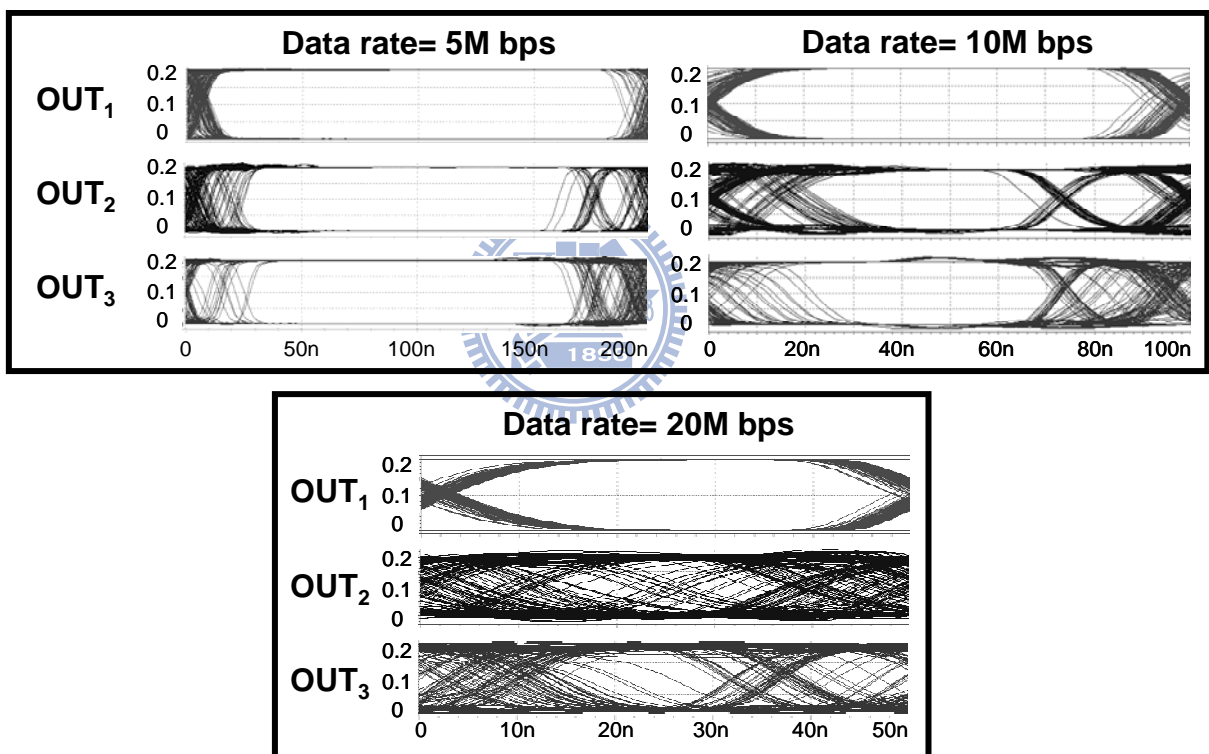


圖 5.11 匯流排電路模擬結果(TT ;  $V_{DD}=0.2V$  ;  $25^{\circ}C$ )

表格 5.2 匯流排電路模擬結果的抖動大小(TT ;  $V_{DD}=0.2V$  ;  $25^{\circ}C$ )

TT ; $V_{DD}=0.2V$ ; $25^{\circ}C$			
Jitter(UI)	5Mbps	10Mbps	20Mbps
OUT <sub>1</sub>	0.11	0.14	0.16
OUT <sub>2</sub>	0.32	0.58	X
OUT <sub>3</sub>	0.31	0.51	X

(2) Corner : FF ;  $V_{DD}=0.2V$  ;  $25^{\circ}C$

當操作電壓為  $0.2V$ 、環境溫度為  $25^{\circ}C$  時，在 FF corner 的表現如圖 5.12 所示。當輸入為  $40Mbps$  的隨機訊號時，第一組輸出訊號的抖動量為  $0.26UI$ ，第二、三組輸出因為互相干擾，導致輸出的抖動量較大，抖動量為  $0.49UI$ 。而當輸入訊號為  $60Mbps$  時，第一組輸出訊號的抖動量為  $0.28UI$ ，變化不大；但第二、三組輸出訊號的抖動量分別為  $0.74UI$  與  $0.59UI$ 。在此 corner 下，各輸出訊號的抖動量如表格 5.3 所示。

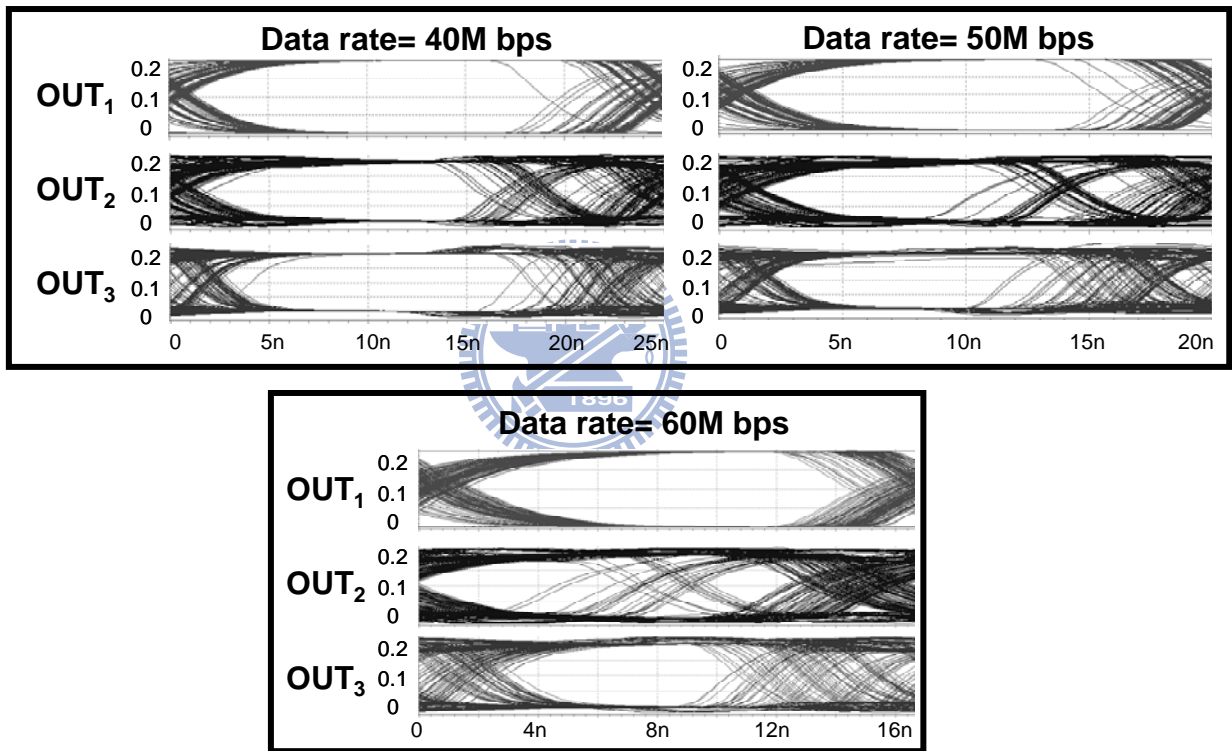


圖 5.12 匯流排電路模擬結果(FF ;  $V_{DD}=0.2V$  ;  $25^{\circ}C$ )

表格 5.3 匯流排電路模擬結果的抖動大小(FF ;  $V_{DD}=0.2V$  ;  $25^{\circ}C$ )

FF ; $V_{DD}=0.2V$ ; $25^{\circ}C$			
Jitter(UI)	40Mbps	50Mbps	60Mbps
OUT <sub>1</sub>	0.26	0.33	0.28
OUT <sub>2</sub>	0.49	0.58	0.74
OUT <sub>3</sub>	0.49	0.56	0.59

(3) Corner : SS ,  $V_{DD}=0.2V$  ,  $25^{\circ}C$

當操作電壓為  $0.2V$ 、環境溫度為  $25^{\circ}C$  時，在 SS corner 的表現如圖 5.13 所示。當輸入為  $500Kbps$  的隨機訊號時，第一組輸出訊號的抖動量為  $0.09UI$ ，第二、三組輸出因為互相干擾，導致輸出的抖動量較大，其值約為  $0.22UI$ 。而當輸入訊號為  $2Mbps$  時，第一組輸出訊號的抖動量增為  $0.2UI$ ；而第二、三組輸出訊號的抖動量分別為  $0.81UI$  與  $0.74UI$ 。在此 corner 下，各輸出訊號的抖動量如表格 5.4 所示。

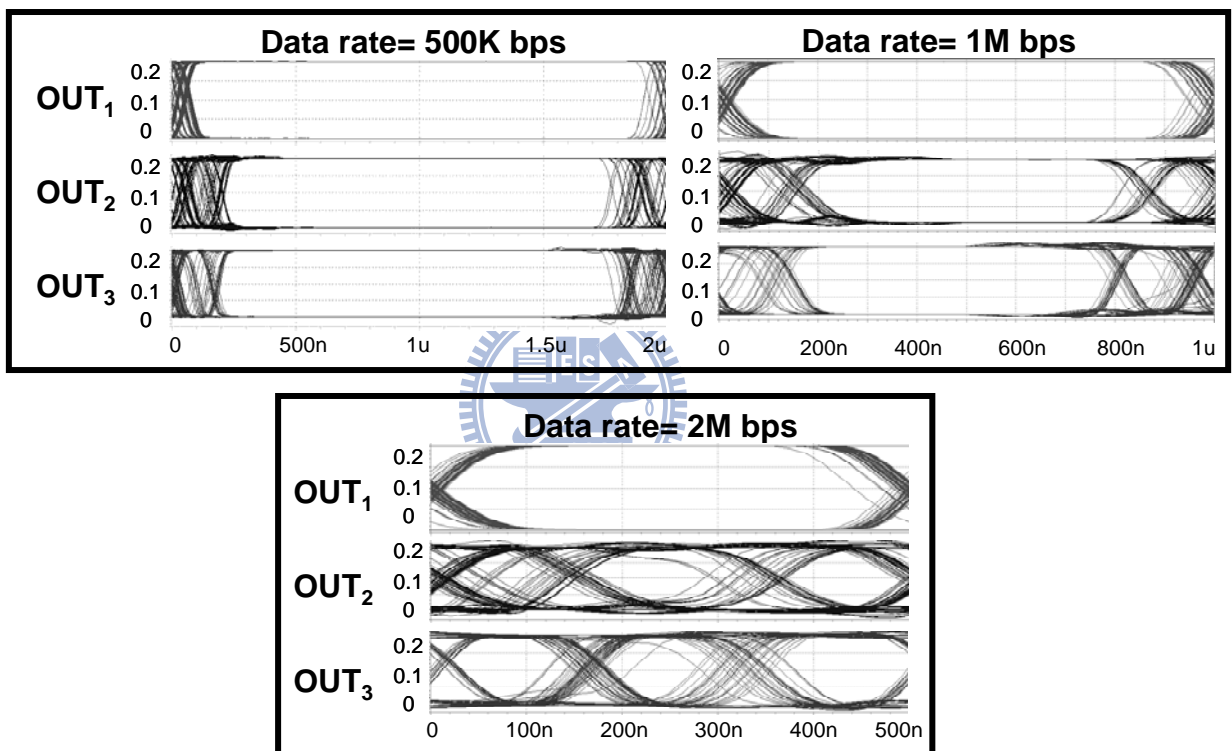


圖 5.13 匯流排電路模擬結果(SS、 $V_{DD}=0.2V$ 、 $25^{\circ}C$ )

表格 5.4 匯流排電路模擬結果的抖動大小(SS ;  $V_{DD}=0.2V$  ;  $25^{\circ}C$ )

SS ; $V_{DD}=0.2V$ ; $25^{\circ}C$			
Jitter(UI)	500Kbps	1Mbps	2Mbps
OUT <sub>1</sub>	0.09	0.11	0.2
OUT <sub>2</sub>	0.22	0.37	0.81
OUT <sub>3</sub>	0.21	0.38	0.74

(4) Corner : SNFP,  $V_{DD}=0.2V$ ,  $25^{\circ}C$ 

當操作電壓為  $0.2V$ 、環境溫度為  $25^{\circ}C$  時，在 SNFP corner 下，各輸出訊號的抖動量如表格 5.5 所示。輸入為  $2Mbps$  的隨機訊號時，第一組輸出訊號的抖動量為  $0.21UI$ ；而第二、三組輸出的抖動量分別為  $0.25UI$  與  $0.29UI$ 。而當輸入訊號提升為  $8Mbps$  時，第一組輸出訊號的抖動量增加為  $0.48UI$ ；但第二組輸出訊號的眼狀圖開口已無法辨識；第三組輸出訊號的抖動量則為  $0.75UI$ 。

表格 5.5 匯流排電路模擬結果的抖動大小(SNFP ;  $V_{DD}=0.2V$  ;  $25^{\circ}C$ )

SNFP ; $V_{DD}=0.2V$ ; $25^{\circ}C$			
Jitter(UI)	2Mbps	4Mbps	8Mbps
OUT <sub>1</sub>	0.21	0.38	0.48
OUT <sub>2</sub>	0.25	0.51	X
OUT <sub>3</sub>	0.29	0.5	0.75

(5) Corner : FNFP,  $V_{DD}=0.2V$ ,  $25^{\circ}C$ 

當操作電壓為  $0.2V$ 、環境溫度為  $25^{\circ}C$  時，在 FNFP corner 下，各輸出訊號的抖動量如表格 5.6 所示。輸入為  $2Mbps$  的隨機訊號時，第一組輸出訊號的抖動量為  $0.18UI$ ；而第二、三組輸出的抖動量分別為  $0.21UI$  與  $0.24UI$ 。而當輸入訊號為  $8Mbps$  時，第一組輸出訊號的抖動量增加為  $0.29UI$ ；第二、三組輸出訊號的抖動量分別為  $0.64UI$  與  $0.66UI$ 。

表格 5.6 匯流排電路模擬結果的抖動大小(FNFP ;  $V_{DD}=0.2V$  ;  $25^{\circ}C$ )

FNFP ; $V_{DD}=0.2V$ ; $25^{\circ}C$			
Jitter(UI)	2Mbps	4Mbps	8Mbps
OUT <sub>1</sub>	0.18	0.21	0.29
OUT <sub>2</sub>	0.21	0.38	0.64
OUT <sub>3</sub>	0.24	0.37	0.66

(6) Corner : TT ;  $V_{DD}=0.2V$  ;  $0^{\circ}C \sim 100^{\circ}C$

接著考慮當溫度變異時，溫度變化對匯流排電路所造成的影響。模擬環境的操作電壓為  $0.2V$ ，在 TT corner 下，輸入一  $20Mbps$  的隨機訊號，當系統溫度由  $0^{\circ}C$  增加至  $100^{\circ}C$  時，輸出訊號的眼狀圖如圖 5.14 所示，而輸出訊號的抖動大小整理如表格 5.7。

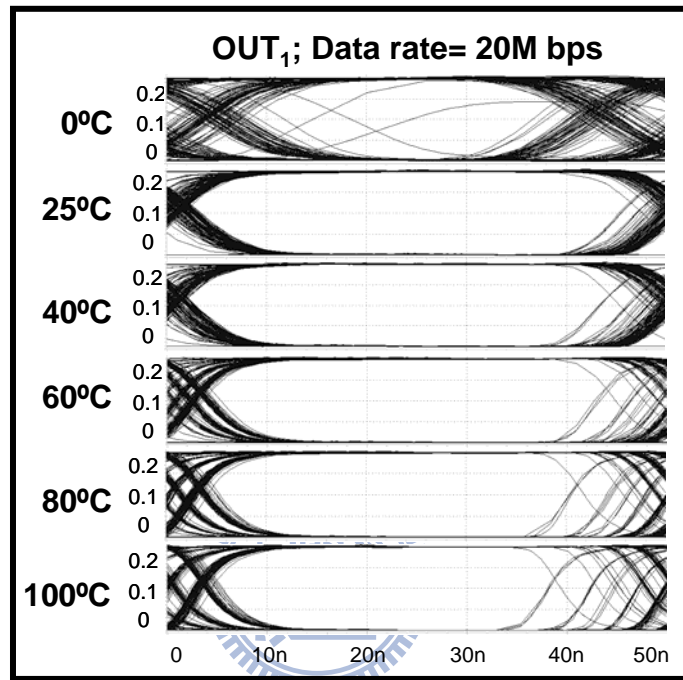


圖 5.14 匯流排電路模擬結果(TT、 $V_{DD}=0.2V$ 、 $0^{\circ}C \sim 100^{\circ}C$ )

表格 5.7 匯流排電路的抖動大小(TT ;  $0^{\circ}C \sim 100^{\circ}C$ )

TT ; $V_{DD} = 0.2V$ ; $0^{\circ}C \sim 100^{\circ}C$ ; 20Mbps						
Jitter(UI)	$0^{\circ}C$	$25^{\circ}C$	$40^{\circ}C$	$60^{\circ}C$	$80^{\circ}C$	$100^{\circ}C$
OUT <sub>1</sub>	0.76	0.16	0.19	0.25	0.3	0.35

當電路操作在次臨界區時，電晶體電流受電晶體的門檻電壓(threshold voltage)影響，遠比電路操作在高壓環境下嚴重。依據電晶體的物理特性，電晶體的門檻電壓為負溫度係數，因此在 TT corner 下，溫度為  $0^{\circ}C$  時，輸出眼狀圖的轉態時間較長，代表了此條件下電晶體的電流驅動力較小，電路將無法正常操作在  $20Mbps$  之下。而當溫度上升時，因為電晶體元件的熱雜訊(thermal noise)也隨之增加，因此抖動量也會逐漸增加。

(7) Corner : FF ;  $V_{DD}=0.2V$  ;  $0^{\circ}C \sim 100^{\circ}C$

模擬環境的操作電壓為  $0.2V$ ，在FF corner下，輸入一  $60Mbps$ 的隨機訊號，當系統溫度由  $0^{\circ}C$ 增加至  $100^{\circ}C$ 時，輸出訊號的眼狀圖如圖 5.15 所示，而輸出訊號的抖動大小整理如表格 5.8。

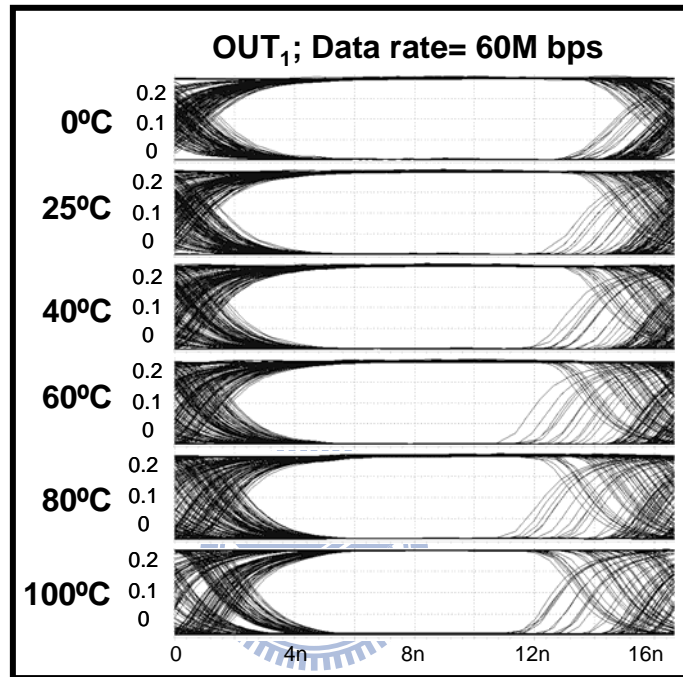


圖 5.15 匯流排電路模擬結果(FF、 $V_{DD}=0.2V$ 、 $0^{\circ}C \sim 100^{\circ}C$ )

表格 5.8 匯流排電路模擬結果的抖動大小(FF ;  $0^{\circ}C \sim 100^{\circ}C$ )

FF ; $V_{DD} = 0.2V$ ; $0^{\circ}C \sim 100^{\circ}C$ ; 60Mbps						
Jitter(UI)	$0^{\circ}C$	$25^{\circ}C$	$40^{\circ}C$	$60^{\circ}C$	$80^{\circ}C$	$100^{\circ}C$
OUT <sub>1</sub>	0.21	0.28	0.32	0.39	0.41	0.4

在FF corner下，低溫對電路的影響不若TT corner時的大，是因為此條件下電晶體的門檻電壓較小，當溫度變化時，電流方程式中的  $V_{GS}-V_t$  項的變化較小；而溫度上升時，電晶體元件的熱雜訊也隨之增加，因此抖動量也會逐漸增加。

(8) Corner : SS ;  $V_{DD}=0.2V$  ;  $0^{\circ}C \sim 100^{\circ}C$

當模擬環境的操作電壓為  $0.2V$ ，在SS corner下，輸入一  $2Mbps$ 的隨機訊號，當系統溫度由  $0^{\circ}C$ 增加至  $100^{\circ}C$ 時，輸出訊號的眼狀圖如圖 5.16 所示，而輸出訊號的抖動大小整理如表格 5.9。

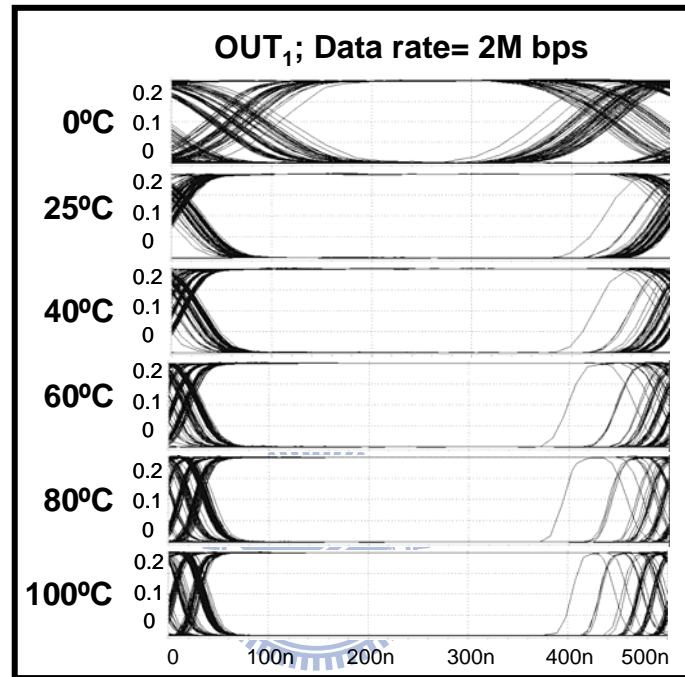


圖 5.16 匯流排電路模擬結果(SS、 $V_{DD}=0.2V$ 、 $0^{\circ}C \sim 100^{\circ}C$ )

表格 5.9 匯流排電路模擬結果的抖動大小(SS ;  $0^{\circ}C \sim 100^{\circ}C$ )

SS ; $V_{DD} = 0.2V$ ; $0^{\circ}C \sim 100^{\circ}C$ ; 2Mbps						
Jitter(UI)	$0^{\circ}C$	$25^{\circ}C$	$40^{\circ}C$	$60^{\circ}C$	$80^{\circ}C$	$100^{\circ}C$
OUT <sub>1</sub>	0.51	0.2	0.23	0.27	0.3	0.28

根據模擬結果，當操作在SS corner時，溫度變化對電路所造成的影響最為嚴重。當溫度為時，訊號的轉態時間約為  $0.15UI$ ；而當溫度為時，訊號的轉態時間約為  $0.03UI$ ，以上結論表示在SS corner下，溫度變化對電晶體的電流驅動能力大小影響甚大，此為次臨界區操作電路需要注意的問題。

## 5.7.2 測試電路模擬結果

在此測試電路的模擬環境為 $V_{DD}=0.2V$ 、系統溫度為 $25^{\circ}C$ 、TT corner下，輸入資料傳輸率分別為 5Mbps、10Mbps、20Mbps的隨機訊號，觀察輸出訊號眼狀圖表現，各資料傳輸率下的抖動大小如表格 5.10 所示。

表格 5.10 測試電路模擬結果的抖動大小(TT ;  $V_{DD}=0.2V$  ;  $25^{\circ}C$ )

Jitter(UI)	5Mbps	10Mbps	20Mbps
Proposed Type1	0.06	0.25	
Proposed Type2	0.11	0.13	0.14
JSSC97 [9]	0.12	0.4	
VLSI08 [10]	0.55	0.78	

當輸入訊號的資料傳輸率為 5Mbps 時，基本上各類型的拔靴帶式匯流排皆可正常工作，但此時 VLSI08 的拔靴帶式匯流排系統的抖動大小以達 0.55UI，不如先前模擬預期。

當輸入訊號的資料傳輸率為提升為 10Mbps 時，本論文所設計的型態一與型態二拔靴帶式匯流排系統皆可正常工作；JSSC97 拔靴帶式匯流排電路的輸出抖動量則增加至 0.4UI；而 VLSI08 拔靴帶式匯流排電路的輸出抖動量則增加至 0.78UI。

當輸入訊號的資料傳輸率為提升為 20Mbps 時，本論文所設計的型態二拔靴帶式匯流排系統仍可正常工作之外，其餘的拔靴帶式匯流排系統的輸出眼狀圖皆模糊至不可辨識，因此判定在此工作資料傳輸率下，電路無法正常操作。

總結而言，測試電路的佈局後模擬結果與第四章的模擬的結果一致，但 VLSI08 的拔靴帶式匯流排系統，在佈局後模擬的表現與預期的相差很多，在此推估原因為 VLSI08 拔靴帶式中繼器內部的漏電嚴重，造成中繼器的輸出準位流失，進而影響到下一級中繼器的輸出電壓準位及升降壓效果。



表格 5.11 為本論文晶片內部匯流排的整理規格表，本設計使用 UMC90nm 製程，晶片內包含總長度為 10mm 的晶片內部匯流排系統與測試電路。在輸出抖動量必須小於 0.3UI 的要求下，匯流排電路在不同 corner 下所能達到的資料傳輸速率分別為：TT 20Mbps、FF 60Mbps、SS 2Mbps、FNFP 與 SNFP 8Mbps。在傳輸資料速率為 20Mbps 下，匯流排電路的功率消耗為 2.3uW、輸入與輸出電壓平移電路的功率消耗為 0.11mW。

晶片內部匯流排系統的佈局面積為 572um\*307um，測試電路的佈局面積為 566um\*102um，整個晶片的佈局面積則為 958um\*776um。

表格 5.11 本論文晶片內部匯流排規格表

Item	Specification (unit)	
Process	UMC90nm	
Link	10mm on-chip bus	
Supply Voltage	On-Chip Bus & Test Circuit	0.2V
	Level Shift Buffer	0.2V, 1V
	Digital Circuit	1V
Data Rate	TT	20Mbps
	FF	60Mbps
	SS	2Mbps
	FNFP / SNFP	8Mbps
Output Jitter (pk-to-pk)	< 0.3UI	
Power Dissipation	On-Chip Bus	2.30uW @ 20Mbps
	Level Shift Buffer	0.11mW @ 20Mbps
Layout Area	On-Chip Bus	572um*307um
	Test Circuit	566um*102um
	Chip	958um*776um

## 5.8 性能比較

依據先前文獻，並無次臨界區晶片內部匯流排的設計，亦無使用拔靴帶式電路做為匯流排中繼器的設計。此外考量各種拔靴帶式電路文獻，所應用的操作環境與製程的不同，為了有較公平一致的比較結果，及突顯各種拔靴帶式中繼器的優缺。在本設計中實現了以四種拔靴帶式電路為中繼器的晶片內部匯流排系統，模擬結果的比較方式分為兩部份：第一種比較方法為固定將傳輸線切割為十段，傳輸線的全長為 10mm，因此每小段的長度為 1mm。在固定長度後，比較各傳輸線系統所能達到的資料傳輸率、功率消耗，以及在 pJ/bit·cm 指標上的表現，比較結果如表格 5.12 所示。

表格 5.12 拔靴帶式匯流排的結果比較表(固定切割線段長)

	JSSC97[9]	VLSI08[10]	Proposed Type1	Proposed Type2
<b>Supply voltage</b>	0.2V	0.2V	0.2V	0.2V
<b>Data rate</b>	5Mbps	15Mbps	5Mbps	30Mbps
<b>Power</b>	0.28uW	1.08uW	0.27uW	1.32uW
<b>Total length</b>	1cm	1cm	1cm	1cm
<b>Length per segment</b>	<b>1mm</b>	<b>1mm</b>	<b>1mm</b>	<b>1mm</b>
<b>pJ / bit · cm</b>	$5.61 \times 10^{-2}$	$7.23 \times 10^{-2}$	<b><math>5.48 \times 10^{-2}</math></b>	<b><math>4.41 \times 10^{-2}</math></b>

由表格 5.12 的比較結果得知，在固定切割線段長為 1mm 的情況下，本論文所設計的型態二拔靴帶式匯流排電路，可操作的傳輸資料率為 30Mbps，表現最佳；而 pJ/bit·cm 的值最小，以上結論代表了型態二拔靴帶式匯流排電路兼具了高資料傳輸率與低功率消耗的優點。至於型態一拔靴帶式匯流排電路，雖然操作資料傳輸率只達 5Mbps，但在 pJ/bit·cm 的表現上，也仍優於先前的文獻。而使用 VLSI2008 文獻的拔靴帶式匯流排電路，雖然最高的資料傳輸率可達 15Mbps，但因為此電路的靜態功率消耗過大，導致此電路在 pJ/bit·cm 的表現上最差。

第二種比較的方式為：改變傳輸線切割的線段長，使每種型態的拔靴帶式電路最高可操作資料傳輸率為 5Mbps。當操作在一致的資料傳輸率之條件下，進而去比較各拔靴帶式匯流排電路的資料傳輸率、功率消耗，以及在  $\text{pJ}/\text{bit}\cdot\text{cm}$  指標上的表現，比較結果如表格 5.13 所示。型態一與 JSSC97 拔靴帶式匯流排電路的操作極限約為 5Mbps，因此選擇此操作資料傳輸率作為比較基準。

表格 5.13 拔靴帶式匯流排的結果比較表 (固定資料傳輸率)

	JSSC97[9]	VLSI08[10]	Proposed Type1	Proposed Type2
<b>Supply voltage</b>	0.2V	0.2V	0.2V	0.2V
<b>Data rate</b>	<b>5Mbps</b>	<b>5Mbps</b>	<b>5Mbps</b>	<b>5Mbps</b>
<b>Power</b>	0.217uW	0.303uW	0.205uW	0.191uW
<b>Total length</b>	1cm	1cm	1cm	1cm
<b>Length per segment</b>	3mm	4mm	4mm	8mm
<b>pJ / bit · cm</b>	$4.35 \times 10^{-2}$	$6.06 \times 10^{-2}$	<b><math>4.10 \times 10^{-2}</math></b>	<b><math>3.82 \times 10^{-2}</math></b>

由表格 5.13 的模擬結果顯示，在資料傳輸率為 5Mbps 的要求之下，JSSC97 的拔靴帶式匯流排系統中，每一級中繼器可推動長度為 3mm 的傳輸線負載；VLSI08 與本論文所設計的型態一拔靴帶式中繼器系統，其中繼器可推動的長度為 4mm；而型態二拔靴帶式中繼器則可驅動的傳輸線負載可達 8mm，為所有類型拔靴帶式匯流排系統中的最佳表現。

而在  $\text{pJ}/\text{bit}\cdot\text{cm}$  指標上的表現，在相同的資料傳輸率下，型態二拔靴帶式匯流排系統的功率消耗最低，因此  $\text{pJ}/\text{bit}\cdot\text{cm}$  的值最小，表現最佳；而型態一拔靴帶式匯流排系統的表現也優於使用 JSSC97 與 VLSI08 的設計；而 VLSI08 拔靴帶式匯流排系統的靜態功率消耗過大，造成  $\text{pJ}/\text{bit}\cdot\text{cm}$  的值大於其他類型的匯流排電路，為此拔靴帶式電路最大的缺點。

## 5.9 量測考量

本論文的晶片量測儀器設置如圖 5.17 所示。在晶片的供應電壓方面，使用 Keithley 2400 產生電壓為 1V 與 0.2V 的直流電壓源，供給晶片內部匯流排系統、測試電路、輸出輸入電壓準位平移電路與數位電路使用，並量測各電路模組的功率消耗；在輸入訊號方面，使用 Agilent N4910B 產生資料傳輸率為 5Mbps 至 60Mbps 的隨機數位訊號，以測試晶片內部匯流排系統與測試電路；至於輸出訊號的測量方面，使用 Agilent 86100B 來觀察輸出訊號的波形與輸出眼狀圖。

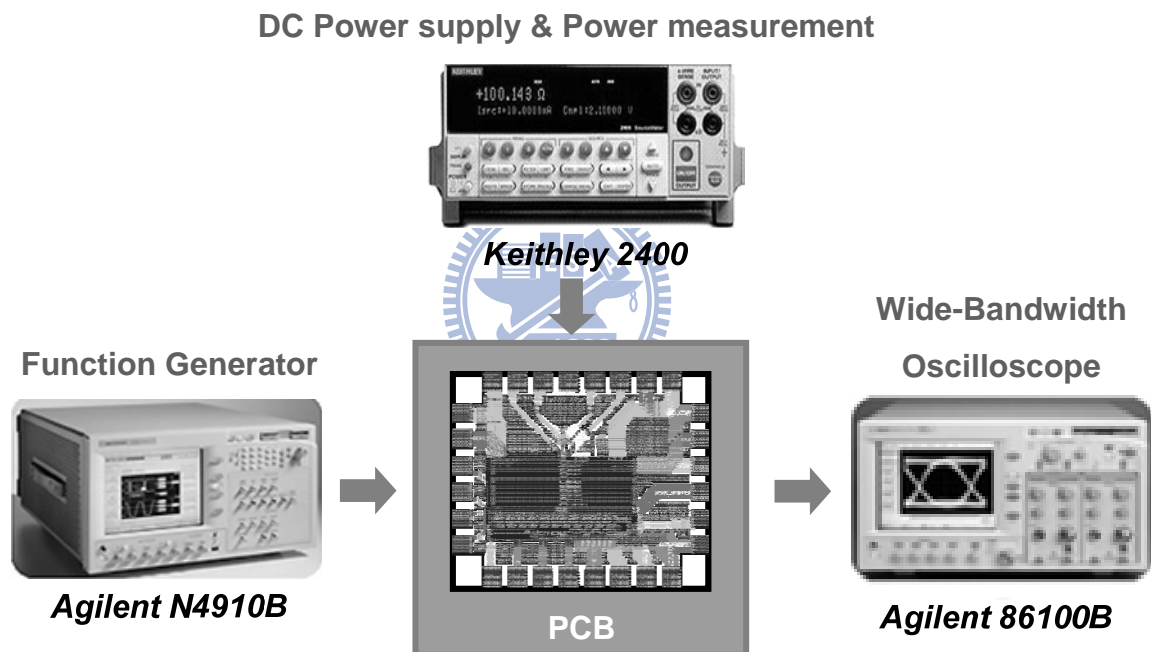


圖 5.17 晶片量測儀器設置圖

## 第六章

### 結論

#### 6.1 結論

本論文為超低功率晶片內部匯流排系統，電路的工作電壓小於電晶體的門檻電壓，大幅減少了電路的功率消耗。為了解決低操作電壓下，電晶體的效能低落與受製程變異的影響嚴重，本論文使用拔靴帶式電路驅動中繼器，增加小額的功率消耗即可大幅增加傳輸線系統的工作速度，以達到高速低功率消耗的目標。

在拔靴帶式電路方面，本論文設計了兩種全新的拔靴帶式電路，以簡單的電路技巧，就可解決的先前文獻所遭遇到的非理想效應，除了改善拔靴帶式電路升降壓的效果之外，更降低了拔靴帶式電路在高速工作時所產生的雜訊，使拔靴帶式電路更貼近實際應用。

此外，為了與先前文獻的拔靴帶式電路有較公平一致的比較，本論文實際佈局了以其他拔靴帶式電路文獻為中繼器的傳輸線系統，無論是佈局前與佈局後模擬，都顯示了本論文所設計的拔靴帶式傳輸線系統有較好的表現。

本論文所使用的製程為 UMC90nm，操作電壓為 0.2V，資料傳輸率在 TT 下可達到 20Mbps、在 FF 下可達到 60Mbps、在 SS 下可達到 2Mbps，以及在 FNFP 與 SNFP 下可達到 8Mbps。在 20Mbps 時，每條傳輸線的功率消耗為 57.5nW，單位位元的功率消耗為 0.02875pJ/bit。

## 6.2 未來發展

操作在次臨界區域的電路設計，已為低功率電路發展的主流之一。然而，在低電壓環境下工作的電路，極容易受到製程變異所影響，根據本論文設計的結果，可以得知電路操作速度的差異可達三十倍之多，若要將製程變異下所有的 corner 皆設計到符合預期的操作速度，勢必將造成過多在硬體上的浪費。

近年來，動態電壓與頻率調整技術(DVFS, dynamic voltage frequency scaling)的研究不斷進步[16][17][18]，此技術主要是藉由調整系統的工作電壓以節省功率消耗，當電路在高速操作時，就增加系統的工作電壓，以達到所需的操作速度；當電路在待命或不需高速操作時，就降低系統的工作電壓，以節省電路的功率消耗。

然而，動態電壓與頻率調整技術的概念只需稍作修正，即可應用在次臨界區域操作的電路上，以解決製程變異的問題。雖然晶片受到製程變異的影響難以預期，但當晶片的速度表現與先前設計有落差時，系統可自行判定升高或降低工作電壓，以達到預定的操作速度。此作法無論是在晶片的面積與功率消耗都更加地有效率。因此，次臨界區域操作的電路設計與動態電壓與頻率調整技術的結合，將為必然的趨勢。

## 參考文獻

- [1] M. L. Mui, K. Banerjee and A. Mehrotra, "A Global Interconnect Optimization Scheme for Nanometer Scale VLSI with Implications for Latency, Bandwidth, and Power Dissipation," *IEEE Trans. Electron Devices*, vol. 51, no. 2, pp. 195-203, Feb. 2004.
- [2] M. Tang and M. J. Fa, "Optimization of Global Interconnects in High Performance VLSI Circuits," *Proc. 19th Int. Conf. on VLSI Design 2006*, pp. 6, Jan. 2006.
- [3] L. X. Chun, and et al., "Global Interconnect Width and Spacing Optimization for Latency, Bandwidth and Power Dissipation," *IEEE Trans. Electron Devices*, vol. 52, no. 10, pp. 2272-2279, Oct. 2005.
- [4] K. Banerjee and A. Mehrotra, "A Power-Optimal Repeater Insertion Methodology for Global Interconnects in Nanometer Designs," *IEEE Trans. Electron Devices*, vol. 49, no. 11, pp. 2001-2007, Nov. 2002.
- [5] V. V. Deodhar and J. A. Davis, "Optimization of Throughput Performance for Low-Power VLSI Interconnects," *IEEE Trans. Very Large Scale Integration Systems*, vol. 13, no. 3, pp. 308-318, Mar. 2005.
- [6] S. M. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits: Analysis and Design*, Third Edition, *McGRAM – HILL*, 2003.
- [7] P. C. Chen and J. B. Kuo, "Novel Sub-1V CMOS Domino Dynamic Circuit Using a Direct Bootstrap Technique for Low-Voltage CMOS VLSI," *Circuits and Systems, 2003, ISCAS '03*, vol. 5, pp. V-441 - V-444, May 2003.
- [8] J. C. Garcia, J. A. Montiel-Nelson, J. Sosa and H. Navarro, "A Direct Bootstrapped CMOS Large Capacitive-Load Driver Circuit," *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition, DATE'04*, vol. 1, pp. 680-681, Feb. 2004.
- [9] J. H. Lou and J. B. Kuo, "A 1.5-V Full-Swing Bootstrapped CMOS Large Capacitive-Load Driver Circuit Suitable for Low-Voltage CMOS VLSI," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 1, pp. 119-121, Jan. 1997.
- [10] J. Kil and J. Gu, "A High-Speed Variation-Tolerant Interconnect Technique for Sub-Threshold Circuits Using Capacitive Boosting," *IEEE Trans. Very Large Scale Integration Systems*, vol. 16, no. 4, Apr. 2008.
- [11] J. M. RABAEY, *Digital Integrated Circuits A Design Perspective*, Second Edition, *Prentice-Hall*, 2003.
- [12] A. Wang and A.P. Chandrakasan, "A 180-mV subthreshold FFT processor using a minimum energy design methodology," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 1, pp. 310-319, Jan. 2005.

- [13] Ken Martin , “Digital Integrated Circuit Design,” Oxford University Press, 1997.
- [14] B. Xiaoliang and D. Sujit “High-Level Crosstalk Defect Simulation Methodology for System-on-Chip Interconnects,” *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, vol. 23, no. 9, pp. 1355-1361, Sep. 2004.
- [15] A. B. Kahng, S. Muddu and E. Sarto, “Tuning Strategies for Global Interconnects in High-Performance Deep Submicron IC’s,” *VLSI Design* vol. 10, no. 1, pp. 21-34, 1999.
- [16] Y. Ikenaga, M. Nomura, Y. Nakazawa and Y. Hagihara, “A Circuit for Determining the Optimal Supply Voltage to Minimize Energy Consumption in LSI Circuit Operations,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 4, pp. 911-918, Apr. 2008.
- [17] J. Lee, B. G. Nam and H. J. Yoo, “Dynamic Voltage and Frequency Scaling (DVFS) Scheme for Multi-Domains Power Management,” *IEEE Asian Solid-State Circuits Conference*, vol. 13, no. 4, pp. 360-363, Jan. 2007.
- [18] E. Beigne, F. Clermidy, H. Lhermet and S. Miermont, “An Asynchronous Power Aware and Adaptive NoC Based Circuit,” *IEEE Journal of Solid-State Circuits*, vol. 44, no. 4, pp. 1167-1177, Apr. 2009.
- [19] Y. K. Tseng and C. Y. Wu , “A 1.5-V Differential Cross-Coupled Bootstrapped BiCMOS Logic for Low-Voltage Applications,” *IEEE Journal of Solid-State Circuits*, vol. 33, no. 10, pp. 1576-1579, Oct. 1998.
- [20] J. C. Garcia and S. Nooshabadi, “High Performance Bootstrapped CMOS Low to High-Swing Level-Converter for On-Chip Interconnects,” *European Conference on Circuit Theory and Design, ECCTD 2007*, pp. 795-798 Aug. 2007.
- [21] B. S. Kong, D. O. Kang, Y. H. Jun, “A Bootstrapped CMOS Circuit Technique for Low-Voltage Application,” *International Conference on VLSI and CAD, 1999*, pp. 289-292, 1999.
- [22] J. C. Garcia, J. A. Montiel-Nelson, S. Nooshabadi, “Bootstrapped Full-Swing CMOS Driver for Low Supply Voltage Operation,” *Proceedings of the Design, Automation and Test in Europe*, vol. 1, 2006.
- [23] J. W. Kim, B. S. Kong; “Low-Voltage Bootstrapped CMOS Drivers With Efficient Conditional Bootstrapping,” *IEEE Trans. on Circuits and Systems II*, vol. 55, no. 6, June 2008.