

國立交通大學

電信工程學系碩士班

碩士論文



使用標準矽製程之蕭特基二極體的 60-GHz
雙次升/降頻器與PHEMT功率放大器
60-GHz Dual-Conversion Up/Down Converters Using Schottky
Diode on Standard Silicon IC Process and PHEMT Power
Amplifier

研究生：羅泰麟

指導教授：孟慶宗

中華民國 九十八年 九月

使用標準矽製程之蕭特基二極體的 60-GHz
雙次升/降頻器與PHEMT功率放大器

60-GHz Dual-Conversion Up/Down Converters Using Schottky
Diode on Standard Silicon IC Process and PHEMT Power
Amplifier

研究生:羅泰麟

Student: Tai-Lin Lo

指導教授:孟慶宗 博士 Advisor: Dr. Chin-chun Meng

國立交通大學

電信工程學系碩士班



Submitted to Department of Communication Engineering
College of Electrical and Computer Engineering
National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In

Communication Engineering

September 2009
Hsinchu, Taiwan, Republic of China

中華民國九十八年九月

使用標準矽製程之蕭特基二極體的 60-GHz 雙 次升/降頻器與 PHEMT 功率放大器

學生：羅泰麟

指導教授：孟慶宗 博士

國立交通大學

電信工程學系碩士班

摘 要

本篇論文主要分為兩個主題，分別實現不同的射頻電路。第一，在 CMOS 0.18 μm 及 SiGe BiCMOS 0.35 μm 製程上實現蕭特基二極體來達到可以把 RF 頻率操作在 60 GHz，並且分別設計了傳輸機以及接收機。傳輸機利用了 T-Coil 來延升頻寬。第二，利用在 pHEMT 0.15 μm 製程上實現一個操作在 60GHz 的功率放大器，以及利用 mHEMT 0.15 μm 製程設計一個電路驗證 flip-chip 可以運用在 V-band 頻段。

60-GHz Dual-Conversion Up/Down Converters Using Schottky Diode on Standard Silicon IC Process and PHEMT Power

Student : Tai-Lin Lo

Advisor : Chin-chun Meng

Department of Communication Engineering
National Chiao Tung University

Abstract

This paper included two parts. First, the Schottky diodes were fabricated in 0.18 μm CMOS process and 0.35 μm SiGe BiCMOS process for operating RF band in 60 GHz, and implementing a transmitter and a receiver, respectively. The transmitter utilized the T-coil to extend the bandwidth.

The other part demonstrated a 60GHz power amplifier realized in 0.15 μm pHEMT process, and the flip-chip technique could be applied in V-Band by using 0.15 μm mHEMT process.

誌謝

二年來的研究所生活受到了許多人的幫助與扶持，使得這本論文能順利的完成。首先感謝孟慶宗老師在課業與研究上的指導，讓我在研究過程中累積許多寶貴的經驗，兩年的指導令我成長了不少。此外，也很感謝特地抽空來參加學生口試的呂學士教授、張志揚教授與鐘世忠教授所給予的寶貴建議，使得本論文內容能更加完整充實。在晶片量測過程中，感謝NDL高頻量測實驗室全體同仁的協助，而汶德，書毓，榮彥與治華更是特別感恩。

研生活中，感謝Lab 918 的各位，讓我這兩年的生活充滿了快樂的回憶。首先感謝博士班的聖哲學長在研究的指導，不管大事或小事都不吝給予幫助；感謝珍儀學姐的帶領，一起完成科專計畫；也感謝宏儒學長與金詳學長在研究上的指導和討論。同時也要感謝揚鮮學長在正文計畫中的指導，雅惠學姐和宜蓁學姐分享研究經驗；特別要感謝同甘共苦的大維在正文計畫、科專計畫甚至最後的論文，都給予我很大的幫助，還有熙良和欣怡也不保留的分享他們的研究經驗。此外，也很感謝學弟智凱、宗佑，學妹嘉苓的幫忙與陪伴，為我帶來許多珍貴的回憶。

最後特別感謝我的父、母親還有我的姐姐在求學過程中，給予我最大的支持及關懷，我愛你們，在此僅把此論文的榮耀獻給我的家人以及身邊所有關懷我的朋友們。

目錄

摘要(中文).....	i
摘要(英文).....	ii
致謝.....	iii
目錄.....	iv
圖目錄.....	vi
表目錄.....	ix
第一章 導論.....	1
1.1 研究動機.....	2
1.2 論文組織.....	2
第二章 蕭特基二極體與混頻器.....	4
2.1 前言.....	5
2.2 基本二極體原理.....	5
2.2.1 PN接面二極體.....	5
2.2.2 蕭特基二極體.....	9
2.2.3 蕭特基二極體在標準矽製程(TSMC)之實現.....	11
2.3 基本二極體混頻器設計原理.....	12
2.3.1 單平衡式混頻器.....	12
2.3.2 雙平衡式混頻器.....	14
2.3.3 三平衡式混頻器.....	17
第三章 60GHz接收機與傳輸機之架構.....	20
3.1 前言.....	21
3.2 收發機架構.....	21
3.2.1 低雜訊放大器設計.....	22
3.2.2 功率放大器設計.....	22
3.2.3 吉爾伯特升頻與降頻混頻器設計.....	23
3.2.4 驅動放大器設計.....	25
3.2.5 寬頻放大器設計.....	25
3.2.6 正交訊號產生器.....	30
3.3 一次降(升)頻與二次降(升)頻.....	32
3.4 實作一，雙次降頻 60GHz 接收機.....	33
3.4.1 研究動機.....	34
3.4.2 電路設計.....	34
3.4.3 晶片量測結果.....	35
3.4.4 結果與討論.....	38
3.5 實作二，雙次升頻 60GHz 接收機.....	39

3.5.1 研究動機.....	39
3.5.2 電路設計.....	39
3.5.3 電路量測結果.....	41
3.5.4 結果與討論.....	44
3.6 實作三，60GHz 威福接收機.....	45
3.5.1 研究動機.....	45
3.5.2 電路設計.....	45
3.5.3 電路量測結果.....	46
3.5.4 結果與討論.....	54
第四章 60GHz功率放大器與覆晶封裝技術.....	56
4.1 前言.....	57
4.2 pHEMT 60GHz 功率放大器設計.....	57
4.2.1 放大器設計原理.....	57
4.2.1 Cripps 負載線理論.....	57
4.2.2 設計步驟.....	63
4.3 覆晶封裝技術.....	64
4.4 實作一，60GHz 功率放大器.....	65
4.4.1 研究動機.....	65
4.4.2 電路設計.....	65
4.4.3 晶片量測結果.....	66
4.4.4 結果與討論.....	71
4.5 實作二，60GHz mHEMT 升頻器.....	71
4.5.1 研究動機.....	71
4.5.2 電路設計.....	72
4.5.3 電路量測結果.....	73
4.5.4 結果與討論.....	78
第五章結論.....	79
參考文獻.....	81

圖目錄

圖 2 - 1 PN Junction Diode	5
圖 2 - 2 電洞與電流分佈	6
圖 2 - 3 電荷與電場分佈	8
圖 2 - 4 能帶變化	10
圖 2 - 5 K.K.O利用UMC製程在矽製程上實現的蕭特基二極體	11
圖 2 - 6 在TSMC製程上實現蕭特基二極體	11
圖 2 - 7 單平衡式混頻器主要的兩種架構	12
圖 2 - 8 單平衡式混頻器電流電壓波形圖	13
圖 2 - 9 雙平衡式混頻器電流電壓波形圖	14
圖 2 - 10 環形雙平衡式混頻器	15
圖 2 - 11 環形雙平衡式混頻器電壓電流波形圖	16
圖 2 - 12 星形雙平衡式混頻器	17
圖 2 - 13 星形雙平衡式混頻器電壓電流波形圖	17
圖 2 - 14 環形三平衡式混頻器	18
圖 2 - 15 星型三平衡式混頻器	19
圖 3 - 1 系統架構圖	21
圖 3 - 2 雙平衡式吉爾伯特混頻器	24
圖 3 - 3 具有旁波帶抑制雙平衡式吉爾伯特混頻器	25
圖 3 - 4 兩種差動式放大器提高線性度的方法	27
圖 3 - 5 電晶體在輸出端具有的寄生電容	28
圖 3 - 6 Shunt peaking 電路	29
圖 3 - 7 Series peaking 電路	29
圖 3 - 8 T-Coil peaking 電路	30
圖 3 - 9 (a) Poly-phase filter (b) Quadrature coupler (c) Divder	32
圖 3 - 10 本地震盪器影響功率放大器示意圖	33
圖 3 - 11 電路架構圖	35
圖 3 - 12 Conversion Gain V.S LO1 Power(45 GHz)	35
圖 3 - 13 Conversion Gain V.S LO2 Power(14.9 GHz)	36
圖 3 - 14 RF Bandwidth	36
圖 3 - 15 IF bandwidth	37
圖 3 - 16 IP1B	37
圖 3 - 17 Noise Figure	38
圖 3 - 18 Die Photo	38

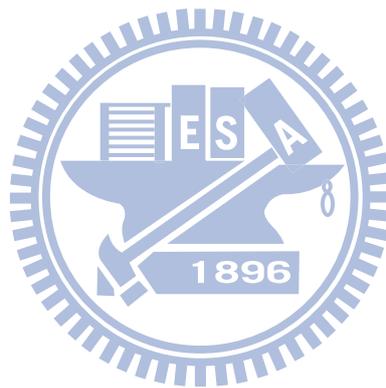
圖 3 - 19 利用變壓器作阻抗轉換.....	40
圖 3 - 20 電路架構圖	41
圖 3 - 21 Conversion Gain V.S LO2 Power(25 GHz).....	42
圖 3 - 22 Conversion Gain V.S LO1 Power(8.7 GHz).....	42
圖 3 - 23 OP1dB.....	43
圖 3 - 24 RF Bandwidth.....	43
圖 3 - 25 Die Photo	44
圖 3 - 26 電路架構圖	46
圖 3 - 27 Conversion Gain V.S LO1 Power(25 GHz).....	46
圖 3 - 28 Conversion Gain V.S LO2 Power(9.5 GHz).....	47
圖 3 - 29 IP1 dB.....	47
圖 3 - 30 RF bandwidth.....	48
圖 3 - 31 IF bandwidth.....	48
圖 3 - 32 50GHz IIP3.....	49
圖 3 - 33 52GHz IIP3.....	49
圖 3 - 34 54GHz IIP3.....	50
圖 3 - 35 56GHz IIP3.....	50
圖 3 - 36 58GHz IIP3.....	51
圖 3 - 37 60GHz IIP3.....	51
圖 3 - 38 62GHz IIP3.....	52
圖 3 - 39 64GHz IIP3.....	52
圖 3 - 40 LO-RF 與 2LO-RF 隔離度.....	53
圖 3 - 41 雜訊指數.....	53
圖 3 - 42 Die Photo	54
圖 4 - 1 基本放大器電路.....	58
圖 4 - 2 不同 RL 值的電壓擺幅與電流擺幅.....	59
圖 4 - 3 較低輸出實部阻抗.....	61
圖 4 - 4 較高輸出實部阻抗.....	61
圖 4 - 5 等功率圖之輸出等效電路.....	62
圖 4 - 6 因電晶體寄生效應須改變等功率圖.....	62
圖 4 - 7 輸出等效模型.....	64
圖 4 - 8 Wire-Bonding 與 Flip-Chip 示意圖.....	65
圖 4 - 9 電路架構圖	66
圖 4 - 10 S21 量測圖	66
圖 4 - 11 S11 量測圖	67
圖 4 - 12 57g OP1dB 量測圖.....	67
圖 4 - 13 57g 增益量測圖	68
圖 4 - 14 60g OP1dB 量測圖.....	68

圖 4 - 15 60g 增益量測圖	69
圖 4 - 16 64g OP1dB 量測圖	69
圖 4 - 17 64g 增益量測圖	70
圖 4 - 18 Die Photo	70
圖 4 - 19 電路架構圖	72
圖 4 - 20 Conversion Gain V.S LO Power	73
圖 4 - 21 Conversion Gain V.S IF Power	73
圖 4 - 22 RF Bandwidth	74
圖 4 - 23 IF Bandwidth	74
圖 4 - 24 LO-RF Isolation	75
圖 4 - 25 3LO-RF Isolation	75
圖 4 - 26 6LO-RF Isolation	76
圖 4 - 27 OIP3	76
圖 4 - 28 Die Photo	77
圖 4 - 29 Flip-Chip Photo	77



表目錄

表 3 - 1 雙次降頻 60GHz 接收機量測結果.....	39
表 3 - 2 雙次升頻 60GHz 發射機量測結果.....	44
表 3 - 3 雙次降頻 60GHz 接收機量測結果.....	54
表 4 - 1 60GHz 功率放大器量測結果	71
表 4 - 2 比較 flip-chip 前後的量測結果.....	78



第一章

導論



1.1 研究動機

為了滿足大的資料傳輸率的無線通信需求，57-64GHz 是最近很熱門的頻段，而且在 60GHz 這個頻段，大氣中的氧氣吸收率達極大值(10~15dB/km)，可以減少通道間的相互干擾，有利於短距離通信。操作在 60GHz 這樣高的頻率，所需要的挑戰可大略分為(1) RF 操作頻率在 V Band 頻段 (LNA, PA, Mixer) (2) IF 頻寬需要 2GHz (VGA, AD/DA, Baseband)，而這個 2 種挑戰都與電晶體的速度與寄生效應有關，越高階的製程其電晶體的速度與寄生電容可以解決上述的挑戰，但是高階製程所帶來的是昂貴的研發成本，所以我們這裡提出以 CMOS 0.18um 的製程跟 pHEMT 0.15um 製程為基底，再 CMOS 0.18um 製程實現 Schottky Diode 來處理 60GHz 的訊號，並且利用 T-Coil 來延升頻寬。CMOS 作功率放大器有 breakdown voltage 不能太高的缺點，尤其是作到 V-Band 頻段以上，更需要的是高階的 CMOS 製程，但是越高階製程其 VDD 會被限制，造成所能輸出功率不會太大，而利用 pHEMT 製程可以擁有較高的 breakdown voltage，而且在文獻上利用 pHEMT 製程可以做到 OP1dB~24dBm，這是 CMOS 90nm 做不到的，所以這裡也利用 pHEMT 0.15um 來設計一個功率放大器。操作在高頻的電路作封裝時不能使用傳統的 wire-bonding 因為會有很大的電感效應，會使的電路的特性變很差，所以這裡利用 flip-chip 技術作封裝，可以大幅減少寄生電感，而且散熱方面也是一大優勢。

1.2 論文組織

本篇論文將利用 TSMC CMOS 0.18um、TSMC SiGe 0.35um、WIN 0.15um PHEMT WIN 0.15 um MHEMT 製程技術來設計晶片。本

論文分為四個章節，第一章為導論；第二章為蕭特基二極體與混頻器，簡單介紹 PN 二極體與蕭特基二極體的差別與二極體混頻器的種類；第三章為 60GHz 接收機與傳輸機，探討使用蕭特基二極體為基底之設計收發機與傳輸機；第四章為 60GHz 功率放大器與覆晶封裝技術，探討利用 pHEMT 實現一個操作在 60GHz 的功率放大器，並在 mHEMT 製程去比較 flip-chip 前後之差別；第五章則對上述的所有電路設計與實作結果做個結論。



第二章

蕭特基二極體與混頻器



2.1 前言

早期設計微波或者毫米波的混頻器是利用蕭特基(schottky)二極體來實現。蕭特基(schottky)二極體具有快速切換的能力，而且具有較小的開啟電壓(turn on voltage)，所以很適合拿來當作混頻器使用。最早蕭特基二極體是作在 GaAs 的基材上，不過在近期的研究上，已有人作在 silicon 的基材上，更適合與後面的數位電路結合作 SoC。而以下會依序討論 PN 接面二極體與蕭特基二極體差別，GaAs 與 Silicon 基材的蕭特基二極體比較，以及混頻器的實現。

2.2 基本二極體原理

2.2.1 PN 接面二極體

PN 接面二極體如圖 2-1 所示：

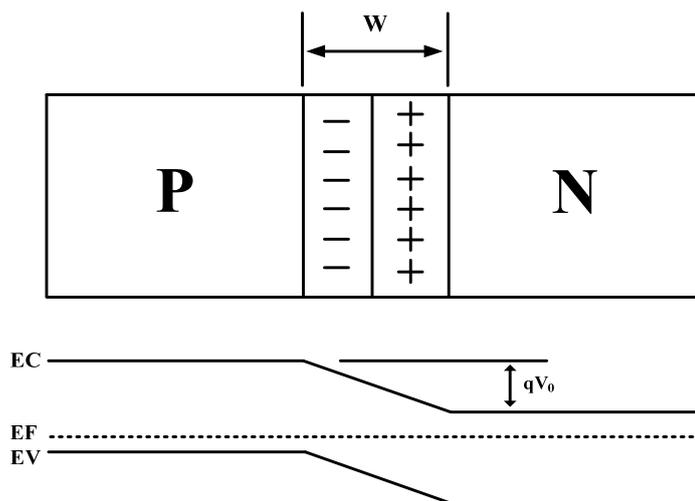


圖 2-1 PN Junction Diode

其中 W 是空乏區的寬度， V_0 是內建電位，底下針對內建電位以及空乏區寬度作一些數學推導。假設此二極體是理想二極體，在平衡狀態中，空乏區的電洞流應該為零，亦及飄移電洞流與擴散電洞流總和為零，所以可以寫出下列式子：

$$\begin{aligned}
 J_p(x) &= q \left[\mu_p p(x) \varepsilon(x) - D_p \frac{dp(x)}{dx} \right] = 0 \Rightarrow \frac{\mu_p}{D_p} \varepsilon(x) = \frac{1}{p(x)} \frac{dp(x)}{dx} \\
 \Rightarrow -\frac{q}{kT} \frac{dV(x)}{dx} &= \frac{1}{p(x)} \frac{dp(x)}{dx} \Rightarrow -\frac{q}{kT} \int_{v_p}^{v_n} dV = \int_{p_p}^{p_n} \frac{1}{p} dp \\
 \Rightarrow -\frac{q}{kT} (V_n - V_p) &= \ln \frac{p_n}{p_p} \Rightarrow V_0 = \frac{kT}{q} \ln \frac{p_p}{p_n}
 \end{aligned}$$

同理利用空乏區電子流總和應該為零，也可以導出內建電位的式子 $V_0 = \frac{kT}{q} \ln \frac{n_n}{n_p}$ ，有了上述式子，就可以推導出當二極體導通時候的電流。假設當順向偏壓時，電洞與電流分佈如圖 2-2：

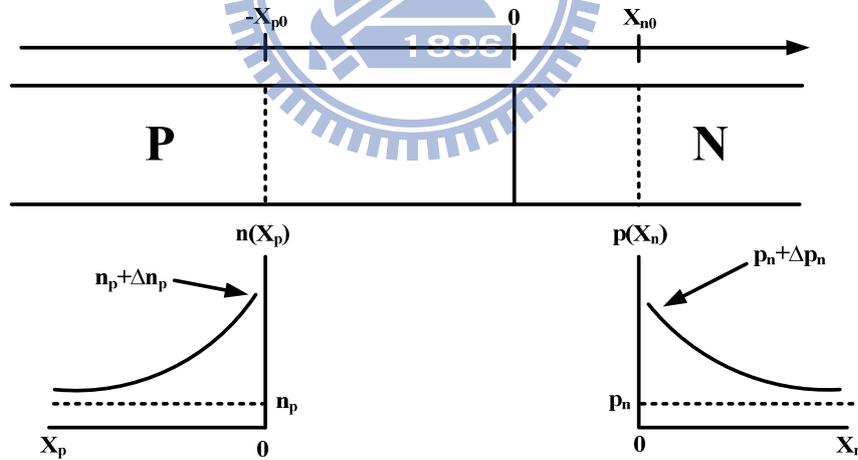


圖 2-2 電洞與電流分佈

當有順向偏壓的時候電洞濃度在 PN 接面兩側的比例可以寫

$$\text{成 } \frac{p(-X_{p0})}{p(X_{n0})} = e^{q(V_0 - V)/kT} = e^{qV_0/kT} e^{-qV/kT} = \frac{p_p}{p_n} e^{-qV/kT}$$

，而這裡我們會作一個假設，當低注入的情況發生時，電洞注入 P 型半導體或者電子注入 N

型半導體時電洞或者電子濃度不變，亦即多數載子濃度不變，所以上述式子可以變成

$$\frac{P_p}{p(X_{n0})} = \frac{P_p}{p_n} e^{-qV/kT} \Rightarrow \frac{P_n}{p(X_{n0})} = e^{-qV/kT} \Rightarrow \frac{p(X_{n0})}{P_n} = e^{qV/kT} \Rightarrow p(X_{n0}) = p_n e^{qV/kT}$$

同理可以得出 $n(-X_{p0}) = n_p e^{qV/kT}$ ，依照定義可以求出

$$\Delta p_n = p(X_{n0}) - p_n = p_n (e^{qV/kT} - 1)$$

$$\Delta n_p = n(-X_{p0}) - n_p = n_p (e^{qV/kT} - 1)$$

由擴散電洞流公式得知

$$I_p = -qAD_p \frac{d\delta_p(X_n)}{dX_n} = qA \frac{D_p}{L_p} \Delta p_n e^{-X_n/L_p} = qA \frac{D_p}{L_p} \delta_p(X_n)$$

$$\Rightarrow I_p(X_n=0) = qA \frac{D_p}{L_p} \Delta p_n = qA \frac{D_p}{L_p} p_n (e^{qV/kT} - 1)$$

同理可以求得擴散電子流

$$I_n(X_p=0) = -qA \frac{D_n}{L_n} \Delta n_p = -qA \frac{D_n}{L_n} n_p (e^{qV/kT} - 1)$$

而總和電流等於

$$I = I_p(X_n=0) - I_n(X_p=0) = qA \left(\frac{D_p}{L_p} p_n + \frac{D_n}{L_n} n_p \right) (e^{qV/kT} - 1) = I_0 (e^{qV/kT} - 1)$$

而當逆向偏壓的時候電流為 $I = I_0 (e^{-qV_r/kT} - 1) \approx -I_0$ 所以可以得到理想二極體的電流電壓圖。

另一個二極體的參數是空乏區的寬度，寬度的大小會隨著偏壓的大小正負變動，底下推導空乏區的寬度：

考慮圖 2-3(b)，我們得知空乏區的寬度與電場有關，而且如果算出從 $-X_{p0}$ 到 X_{n0} 的電位差，那麼利用簡單的三角型面積公式就可

以求出空乏區寬度。首先我們先求出當 $X=0$ 時的電場大小，由 Fig 2.3(b)我們得知

$$E(x) = E_0 + \frac{q}{\epsilon} N_d x \quad 0 < x < X_{n0}$$

$$E(x) = E_0 - \frac{q}{\epsilon} N_a x \quad -X_{p0} < x < 0$$

當 $X=0$ 時後有電場最大值，所以 $E_0 = -\frac{q}{\epsilon} N_d x_{n0} = -\frac{q}{\epsilon} N_a x_{p0}$ ，而內

建電位差 $-V_0 = \int_{-x_{p0}}^{x_{n0}} E(x) dx = \frac{1}{2} E_0 W \Rightarrow V_0 = -\frac{1}{2} E_0 W = \frac{1}{2} \frac{q}{\epsilon} N_d x_{n0} W$ 又因為電

荷需平衡 ($N_d x_{n0} = N_a x_{p0}$) 又 $W = x_{n0} + x_{p0}$ 所以式子變成

$$V_0 = \frac{1}{2} \frac{q}{\epsilon} \frac{N_d N_a}{N_a + N_d} W^2 \Rightarrow W = \left[\frac{2\epsilon V_0}{q} \left(\frac{N_a + N_d}{N_d N_a} \right) \right]^{1/2} = \left[\frac{2\epsilon V_0}{q} \left(\frac{1}{N_a} + \frac{1}{N_d} \right) \right]$$

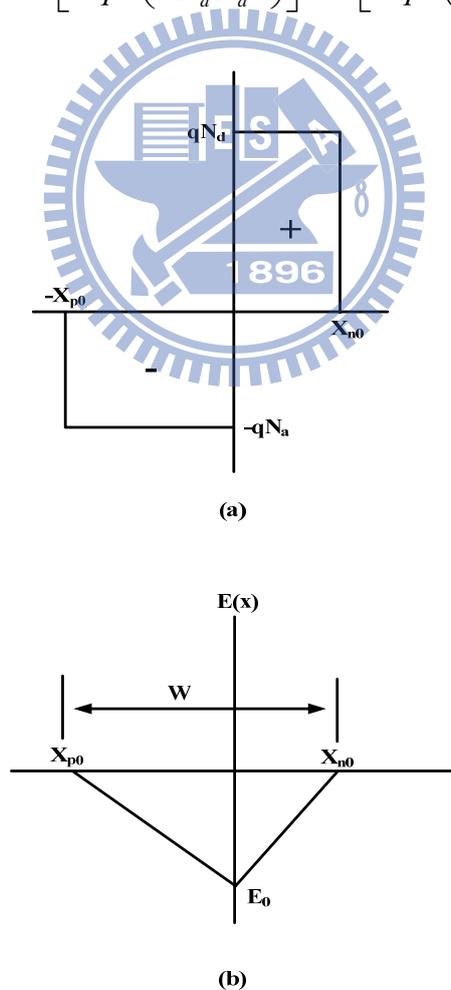


圖 2-3 電荷與電場分佈

當電流推導出來之後，我們會想得知說到底二極體到底可以切換多快速，而通常影響切換速度的是元件的寄生電容，會造成充放電的現象，而二極體有兩種基本型式的電容 (1) 接面電容 (2) 電荷儲存電容。

當偏壓改變的時候，空乏區的寬度也跟著變寬或變窄，而空間電荷也會跟著改變，好像電容的效應一樣，此電容我們稱之為接面電容。當有一偏壓 V 加在 P 型半導體的時候，空乏區寬度會變成

$$W = \left[\frac{2\epsilon(V_0 - V)V_0}{q} \left(\frac{N_a + N_d}{N_a N_d} \right) \right]^{1/2}, \quad \text{而空間電荷可以寫成}$$

$$|Q| = qAX_{n0}N_d = qA \frac{N_a N_d}{N_a + N_d} W = A \left[2q\epsilon(V_0 - V) \frac{N_a N_d}{N_a + N_d} \right]^{1/2}$$

$$\text{由電容公式 } C = \left| \frac{dQ}{dV} \right| \text{ 得知 } C_j = \left| \frac{dQ}{d(V_0 - V)} \right| = \frac{A}{2} \left[\frac{2q\epsilon}{(V_0 - V)} \frac{N_a N_d}{N_a + N_d} \right]^{1/2}$$

對於元件長度大於擴散長度的二極體而言是沒有擴散電容，對於較短長度的二極體，擴散電容約為 $C_s = \frac{1}{3} \frac{q^2}{kT} A c p_n e^{qV/kT}$ ，此種擴散電容通常是在順向偏壓的時候效應最大，而當逆向偏壓的時候貢獻非常小。當二極體當作開關切換的時候，在順向偏壓的時候中性區會儲存電荷，而在逆向偏壓的時候，在中性區的儲存電荷並不會馬上被移除，這個物理現象也是造成 PN 接面二極體速度比蕭特基二極體慢的主因。

2.2.2 蕭特基二極體

上述 PN 接面二極體是利用 P 型半導體與 N 型半導體接面所產生的物理現象，而接下來討論的蕭特基二極體是利用金屬與半導體

接面產生的物理現象來達到，這裡使用的半導體可以是 N 型或者是 P 型。金屬與半導體的接觸會因為半導體濃度的高低產生出蕭特基接觸或者歐姆接觸，當重參雜的時候是歐姆接觸，而輕參雜的時候是蕭特基接觸。

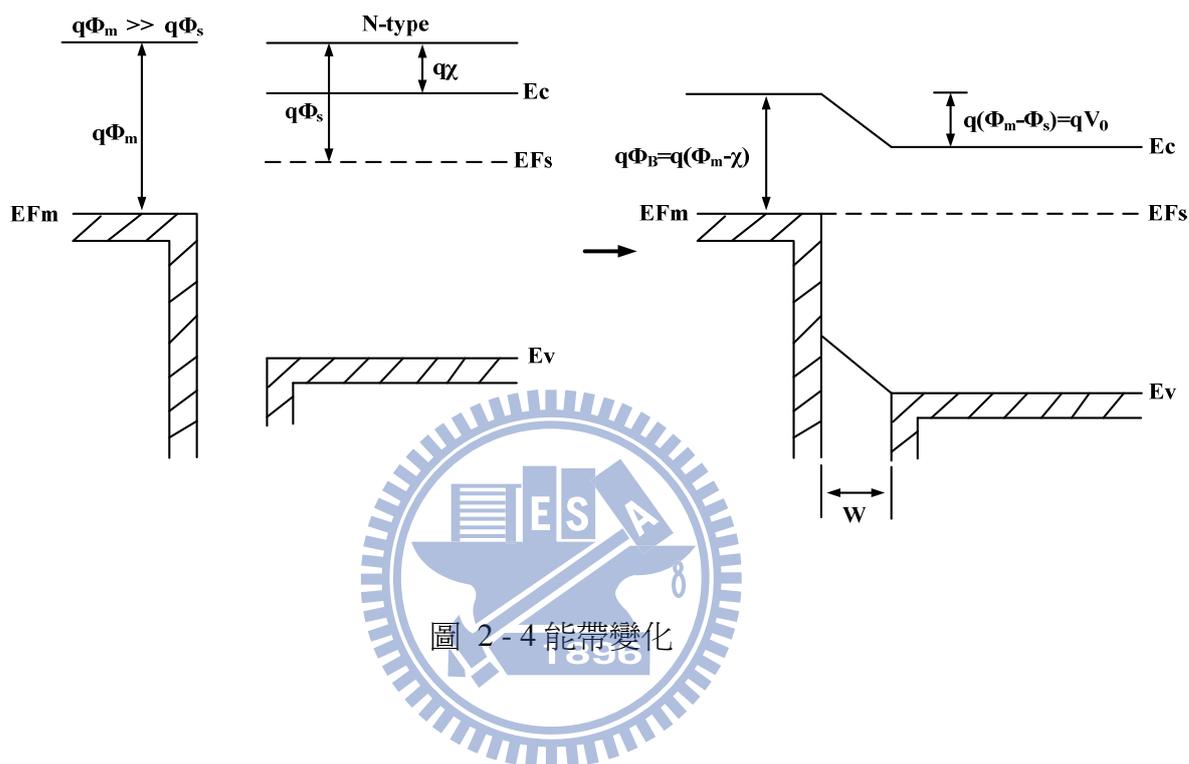


圖 2-4 解釋了當半導體與金屬接觸時能帶的變化，可以看到能帶障礙降低，可以有更多的電子由 N 型半導體流進金屬上。與 PN 接面半導體不同的是電子流動機制不一樣，PN 接面半導體是靠少數載子的擴散，所以在逆向偏壓的時候會有儲存電荷需要被釋放掉，造成切換時間變長，而蕭特基二極體是利用多數載子的移動，就算在逆向偏壓的時候也不需要釋放儲存電荷，所以切換速度較快。但是蕭特基二極體的製作需要低參雜的半導體，如果過重參雜會變成歐姆接觸，造成 IV 曲線圖是線性的關係，而且沒有空乏區的產生，

2.3 基本二極體混頻器設計原理

2.3.1 單平衡式混頻器

圖 2 - 7 是單平衡式混頻器主要的兩種架構，分成 90° 和 180° 兩種，底下推導分析混頻之後訊號：

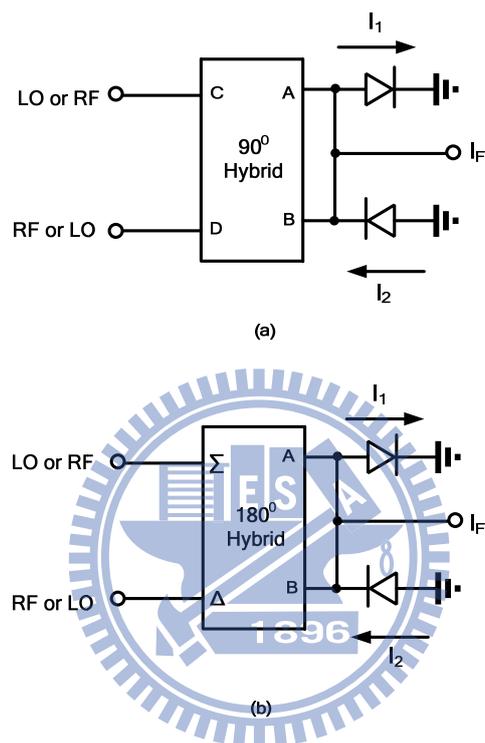


圖 2 - 7 單平衡式混頻器主要的兩種架構

(1) 使用 90° Hybrid

I_1 是流經 diode 1 之電流，並以 I_1 為參考電流，如果 LO 訊號輸入 C 點則假設可寫成 $I_1 = \sum_{m=-\infty}^{\infty} \sum_{n=-\infty}^{\infty} g_n V_m e^{j(n\omega_{LO} + m\omega_{RF})t}$ ，因為在 B 點 LO 訊號較 A 點落後 90° ，所以 I_2 電流領先 90° ，同理可以 I_2 的 RF 電流落後 90° ，所以 $I_2 = (j)^n (-j)^m I_1$ ，由圖圖 2 - 8 可以理解為什麼領先或落後

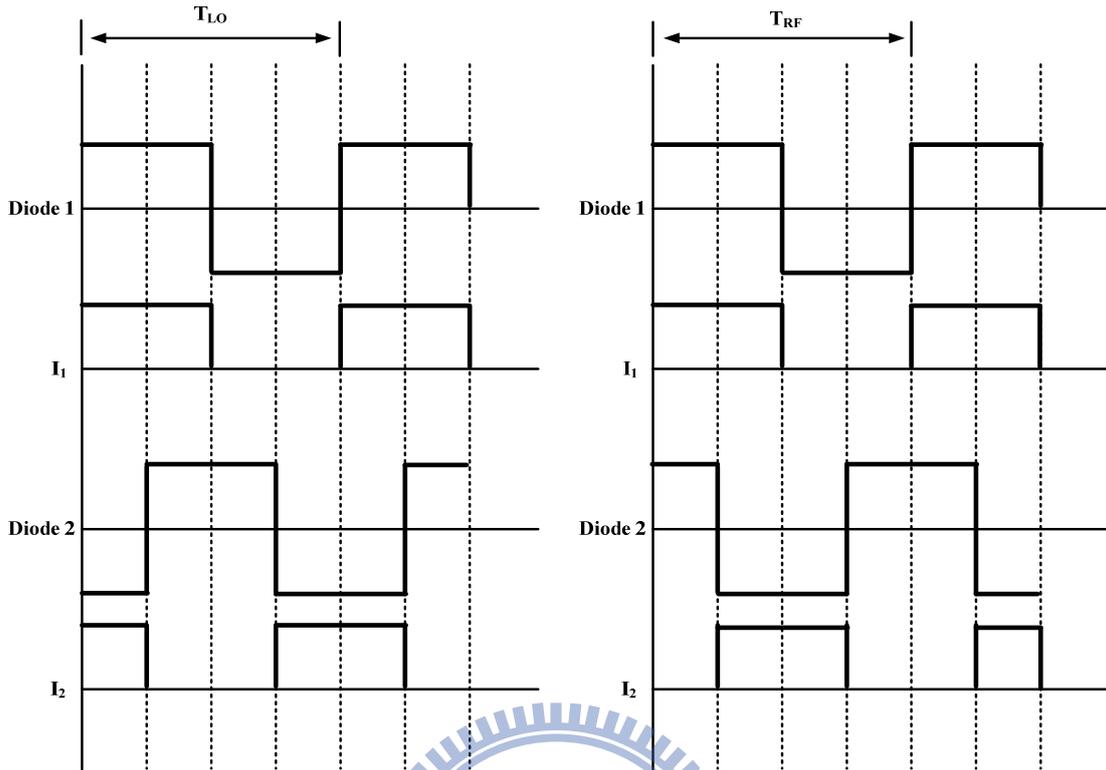


圖 2-8 單平衡式混頻器電流電壓波形圖

，所以 $I_{IF} = I_2 - I_1 = [(j)^n (-j)^m - 1] I_1$ 。如果令 $m=1, n=-1$ ，則 $I_{IF} = -2I_1$ ，如果 $m=1, n=1$ ， $I_{IF} = 0$ ，所以此電路只能降頻功能，不能升頻。同理也可以把 LO 與 RF 互換則 $I_2 = (-j)^n (j)^m I_1$ ，但一樣此電路不能拿來當升頻器。

(2) 使用 180° Hybrid

分析方法跟上述一樣若 LO 訊號由 Σ 阜進去，並以 I_1 當作參考電流 $I_2 = (-1)^n (1)^m I_1$ ，所以 $I_{IF} = I_2 - I_1 = [(-1)^n - 1] I_1$ ，當 $m=1, n=-1$ ，或者 $m=1, n=1$ ， I_{IF} 都不會等於零，所以此電路可以降頻也可以用來升頻。圖 2-9

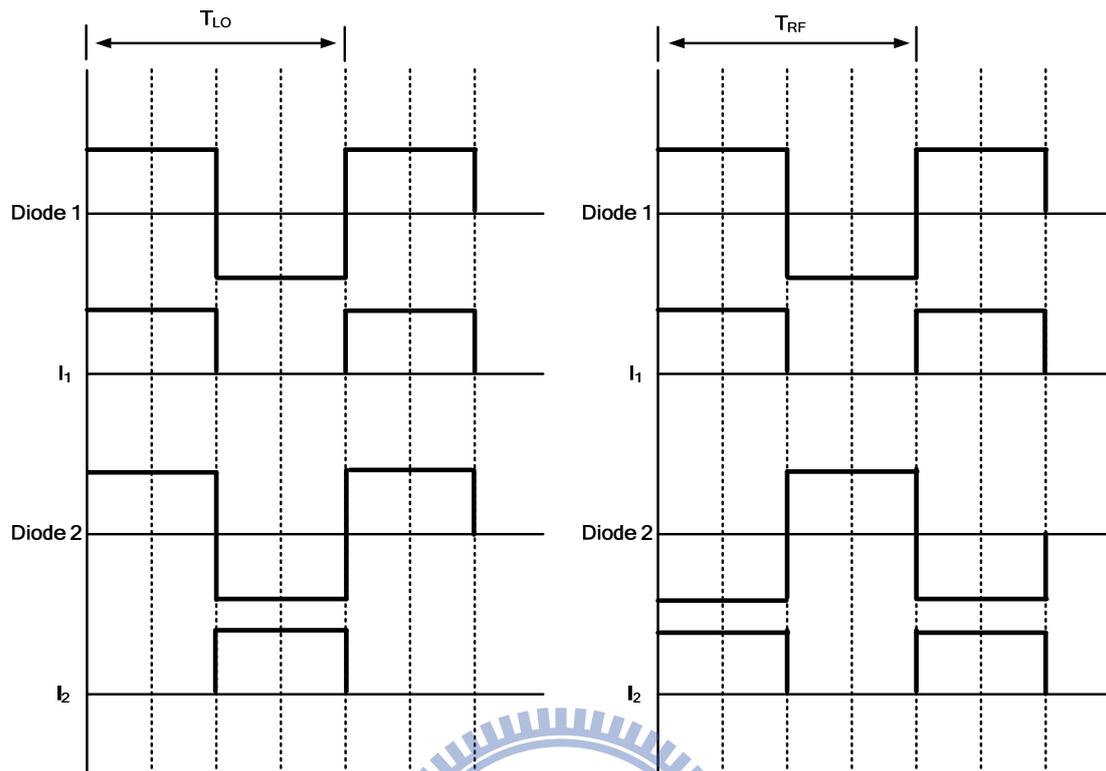


圖 2 - 9 雙平衡式混頻器電流電壓波形圖

2.3.2 雙平衡式混頻器

(1) 環形雙平衡式混頻器

圖 2 - 10 是環形雙平衡式混頻器，跟單平衡式混頻器比較雙平衡式混頻器有較好的隔離度，而電路的分析可以把 LO 訊號和 RF 訊號分別來看，並以 I_{d1} 為參考電流，則

$$I_{d2} = (-1)^m I_{d1}$$

$$I_{d3} = (-1)^n (-1)^m I_{d1}$$

$$I_{d4} = (-1)^n I_{d1}$$

$$I_{IF1} = I_{d1} - I_{d2} = [1 - (-1)^m] I_{d1}$$

$$I_{IF2} = I_{d3} - I_{d4} = \left[(-1)^{n+m} - (-1)^n \right] I_{d1}$$

$$I_{IF} = I_{IF1} + I_{IF2}$$

，此種混波器可消除所有的偶次諧波，若 m 為偶數則 $I_{IF1} = I_{IF2} = 0$ ，若 n 為偶數則 $I_{IF1} = -I_{IF2}$ 兩個電流在 sum port 互消。Fig .2.11

RF 與 LO 因互接在對方的虛接地點上故無訊號互耦，IF 是接在 LO 的虛接地點之上故 IF 與 LO 之間無互耦訊號，RF 與 IF 之間要看 diode quad 的平衡度與 balun sum port 與 difference port 的隔絕性而定。

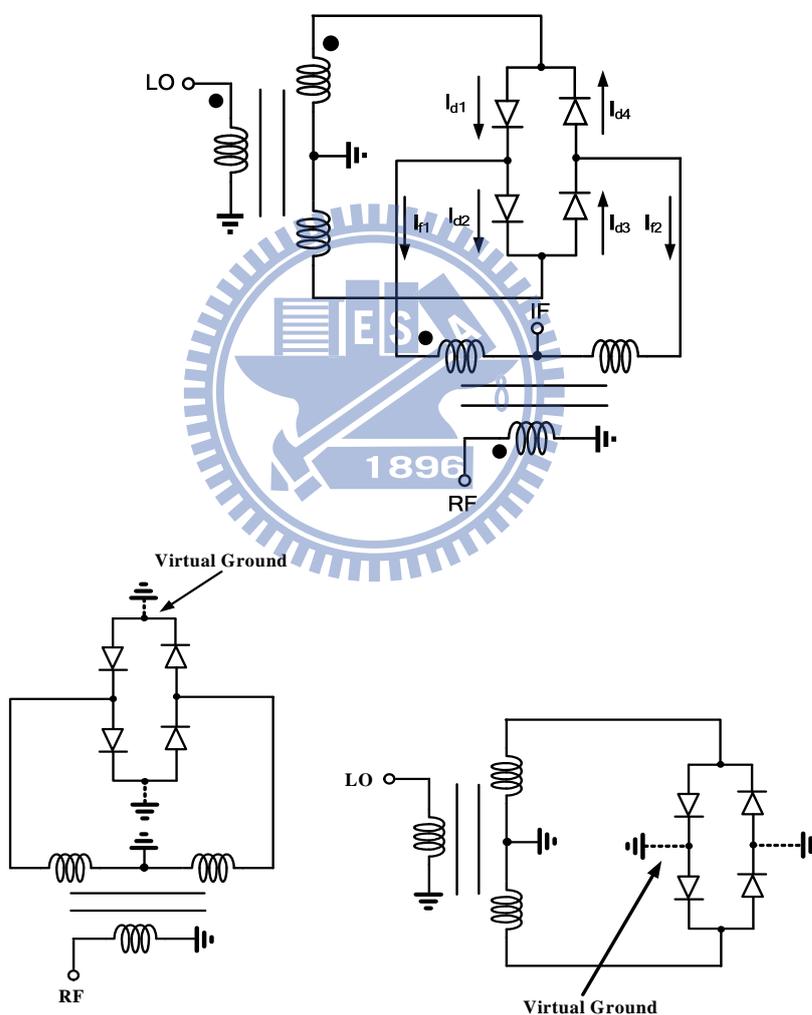


圖 2 - 10 環形雙平衡式混頻器

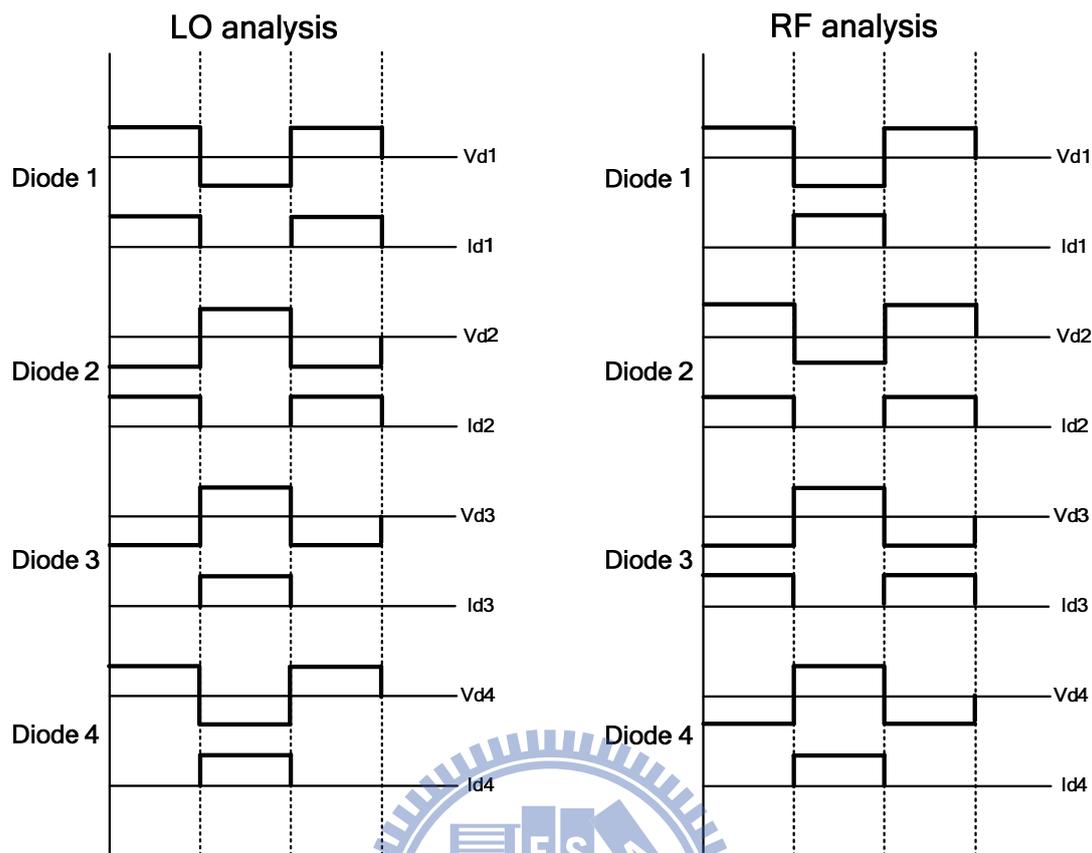


圖 2 - 11 環形雙平衡式混頻器電壓電流波形圖

(2) 星形雙平衡式混頻器

圖 2 - 12 是星形雙平衡式混頻器，它與環型雙平衡混頻器一樣都有很高的隔離度，此種混頻器因 IF 接於 RF 及 LO 之 Virtual ground 之上，所以 RF-IF，LO-IF 之隔離度都極佳。而 RF 及 LO 之 even harmonics 也和環型結構一樣自動消除不會出現在 IF 端。而電路分析與環型結構一樣，波形圖與環狀結構類似。圖 2 - 13

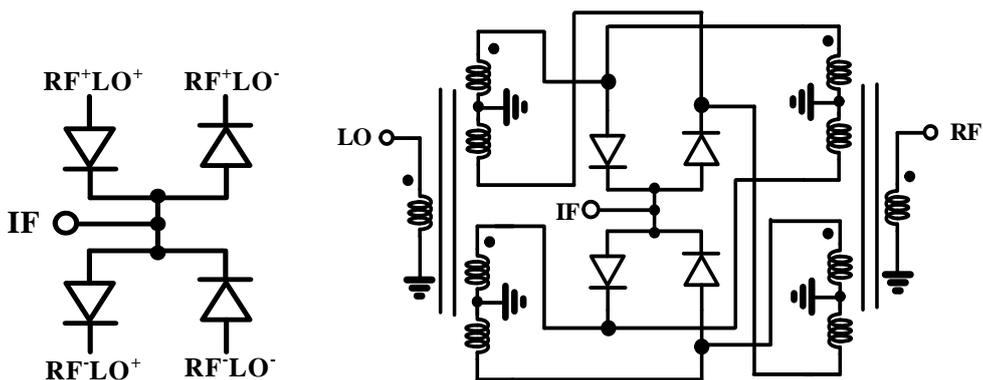


圖 2-12 星形雙平衡式混頻器

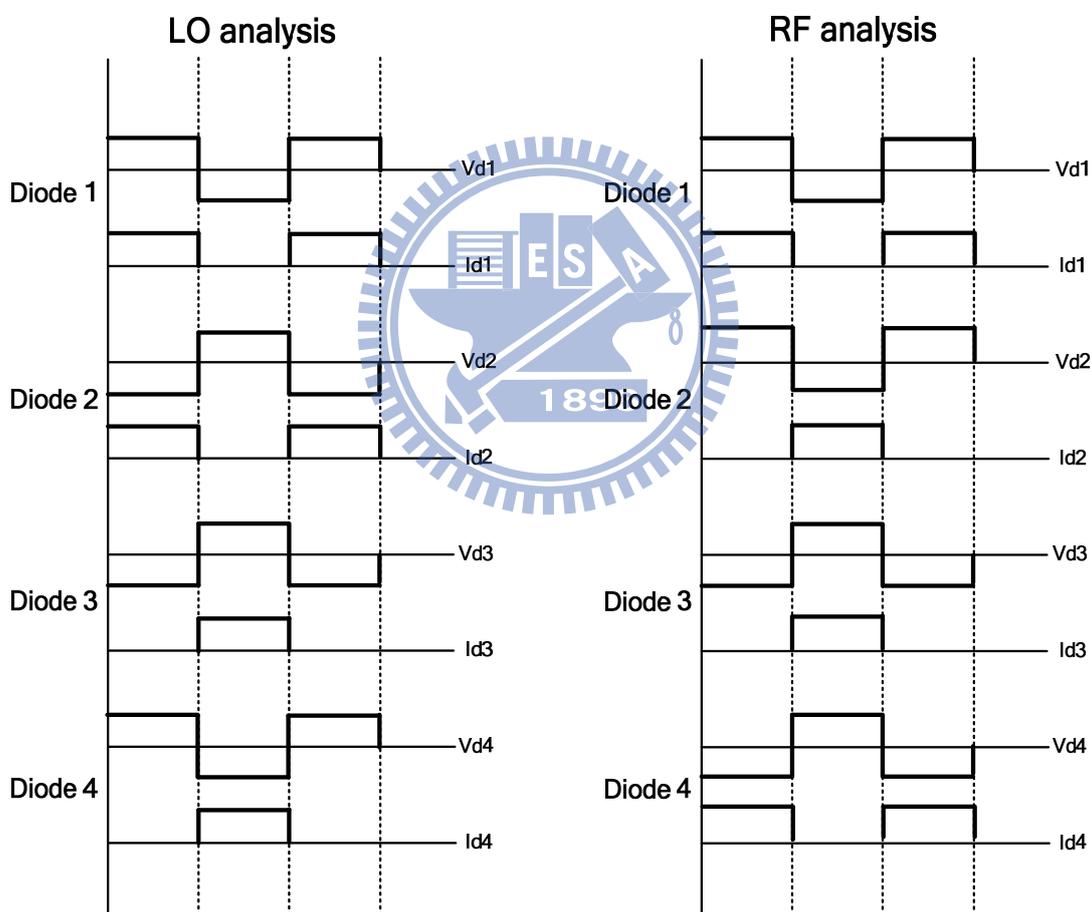


圖 2-13 星形雙平衡式混頻器電壓電流波形圖

2.3.3 三平衡式混頻器

(1) 環形三平衡式混頻器

圖 2 - 14 是環形三平衡式混頻器，當 diode 或 balun 完全平衡時，其 spurious 和 isolation 的表現將會與雙平衡混頻器完全相同。然而當 diode 或 balun 有不平衡的情況存在時(通常為當 spurious 訊號出現的時候)，而三平衡式混頻器可以更進一步消除 spurious 和 isolation 不平衡的部分。而電路分析方法與雙平衡式混頻器雷同，底下是其推導式子：

$$\begin{aligned}
 I_{d1} &: \text{reference} & I_{d6} &= (-1)^n I_{d1} \\
 I_{d2} &= (-1)^m I_{d1} & I_{d7} &= I_{d1} \\
 I_{d3} &= (-1)^{m+n} I_{d1} & I_{d8} &= (-1)^m I_{d1} \\
 I_{d4} &= (-1)^n I_{d1} & I_{IF1} &= I_{d2} + I_{d6} - I_{d1} - I_{d5} \\
 I_{d5} &= (-1)^{m+n} I_{d1} & I_{IF2} &= I_{d3} + I_{d7} - I_{d4} - I_{d8}
 \end{aligned}$$

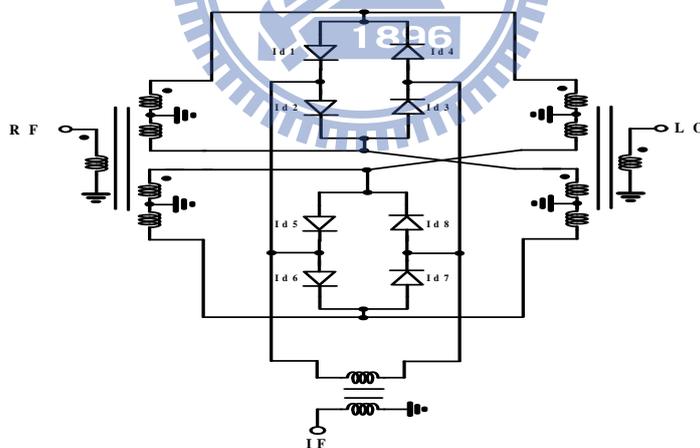


圖 2 - 14 環形三平衡式混頻器

(2) 星型三平衡式混頻器

環型雙平衡式混頻器可以變形為環型三平衡式混頻器，那星型雙平衡式混頻器也可以變形成星型三平衡式混頻器，圖 2 - 15 是星型三平衡式混頻器，電路分析方法與上述的環型三平衡式混頻器一樣

$$I_{d1} : \text{reference}$$

$$I_{d2} = (-1)^m I_{d1}$$

$$I_{d3} = (-1)^{m+n} I_{d1}$$

$$I_{d4} = (-1)^n I_{d1}$$

$$I_{d5} = (-1)^{m+n} I_{d1}$$

$$I_{d6} = (-1)^n I_{d1}$$

$$I_{d7} = I_{d1}$$

$$I_{d8} = (-1)^m I_{d1}$$

$$I_{IF1} = I_{d1} - I_{d2} + I_{d3} - I_{d4}$$

$$I_{IF2} = -I_{d5} + I_{d6} - I_{d7} + I_{d8}$$

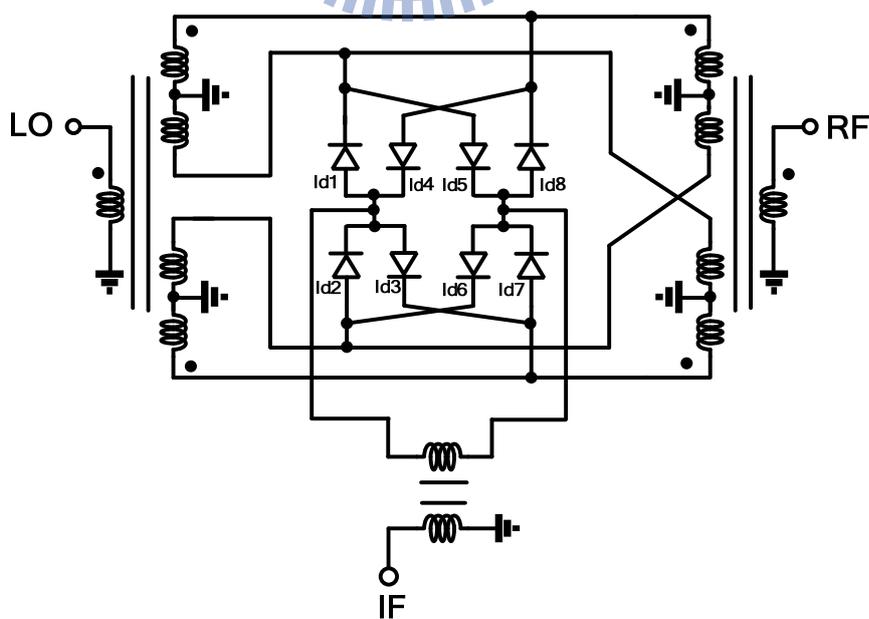


圖 2 - 15 星型三平衡式混頻器



第三章

60GHz接收機與傳輸機之架構



3.1 前言

一般來說傳統的通訊架構可分成接收機與傳輸機兩部分來討論，它們各自有其設計的困難點，底下將針對接收機與傳輸機之架構作簡介，也針對其架構底下會用到的元件作介紹。

3.2 收發機架構

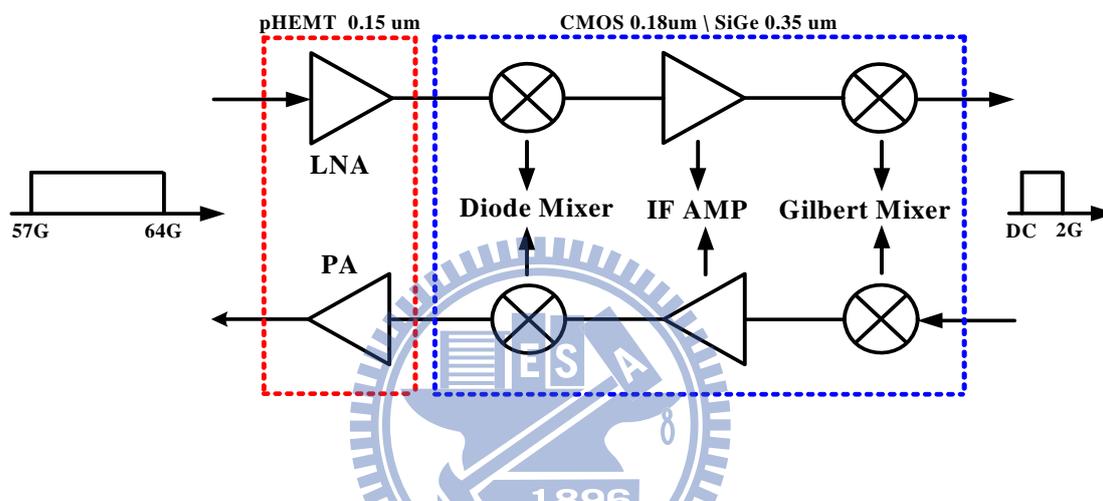


圖 3 - 1 系統架構圖

圖 3 - 1 是我們提出來低成本 60GHz 收發機架構，在最前端的低雜訊放大器與功率放大器是利用 pHEMT 0.15um 製程，而後面的 diode mixer，中頻放大器和第二級混頻器是採用 CMOS 0.18um 或者 SiGe BiCMOS 0.35um 的製程。

傳統上設計 60GHz 的收發機，需要用到 90 nm 或者 65 nm，但是利用這種高階製程會有研發成本非常昂貴的問題，所以這裡提出新的架構，把整個收發機分為 2 顆晶片，再利用 flip-chip 技術來封裝。

而設計上的另一個困難點是它需要有 2GHz 的中頻頻寬，而我們知道中頻頻寬的限制式來至於電晶體的寄生效應，如果使用高階製程，一樣可以把中頻頻寬給拉升，同理一樣有成本的問題，所以這裡提出利用 T-Coil 的方式來增加頻寬。

3.2.1 低雜訊放大器設計

設計接收機時通常會考慮整體雜訊指數，增益，線性度，鏡像濾除和功耗。整體雜訊指數會決定於系統的第一級，所以低雜訊放大器的好壞會決定整體的接收品質，而採用pHEMT 0.15um製程來製作，除了可以操作在 60GHz的頻段外，而且它比CMOS具有較低的NFmin，所以很適合來設計第一級低雜訊放大器。

在傳統設計低雜訊放大器可以利用source degeneration的方式使得可以同時達到noise與power的匹配

設計的步驟上，可以四大步驟

- (1) 跑出電流密度與NFmin的對照圖
- (2) 再根據系統規格，決定出低雜訊放大器得所消耗的電流
- (3) 在source的地方串一個電感，來達到noise與power的匹配
- (4) 在gate端串一個電感來達到匹配

3.2.2 功率放大器設計

設計發射機時通常會考慮整體增益，輸出線性度，旁波抑制比和功耗而整體線性度會決定於系統的最後一級 所以功率放大器的好壞會決定系統的接收距離，而採用pHEMT 0.15um製程來製作，除了可以操作在 60GHz的頻段外，而且它比CMOS具有較高的breakdown電壓，可以輸出較大的功率

在設計上可以利用load pull的方式決定好最佳輸出點 在進行匹配來實現，這裡要注意的是需要考量到金屬能夠承受多少電流，比如說線寬 1 um可以承受 4mA 而如果流經電晶體的電流需要 20mA那麼線寬就需設計為 5um。

3.2.3 吉爾伯特升頻與降頻混頻器設計

圖 3 - 2 是最基本的Gilbert Mixer，是雙平衡式混頻器。設計時可以分成四部分來看:負載，切換級，轉導級，電流鏡。

負載是提供增益的地方，設計考量上須考量增益，頻寬與壓降的trade-off，如同設計低雜訊放大器一樣，也可以使用無壓降式負載(tuned load)，但是因為此電路是降頻器所以電感值會非常大，完全無實用價值，一般來說會使用電阻式負載，如果要更高增益可以使用PMOS負載，但是增益越高(電阻值越大)會有輸出擺幅受限以及頻寬限制的缺點，一般來說設計之增益不用太高，只要能夠抑制後面電路的雜訊即可(通常輸出極點是整個混頻器的主極點，如果還有頻寬考量，實際上設計也不用完全抑制掉)。

切換級的電晶體選擇上可以大一點，可以讓顫動雜訊小一點，而且過驅動電壓(overdrive voltage)也比較小，可以使得本地震盪訊號(LO power)降低，但是要注意的是過大的電晶體會使得寄生電容加大，會讓頻寬降低。

轉導級電晶體的設計一樣可以設計大一點，讓轉導值變大，但是需要考量的是頻寬與線性度之間的trade-off。Size較大的電晶體會較小的過驅動電壓，會使得輸入範圍降低，而且會有較大的寄生電容影響。

而電流鏡的設計，可以選擇電晶體length較長的，可以使得阻抗較大，而且可以減低因通道調變使得mirror過來的電流與設計值的不一樣，而差動電路的CMRR與此阻抗的大小有關，而weight方面則跟mirror比例有關，不過通常設計為 1:10。

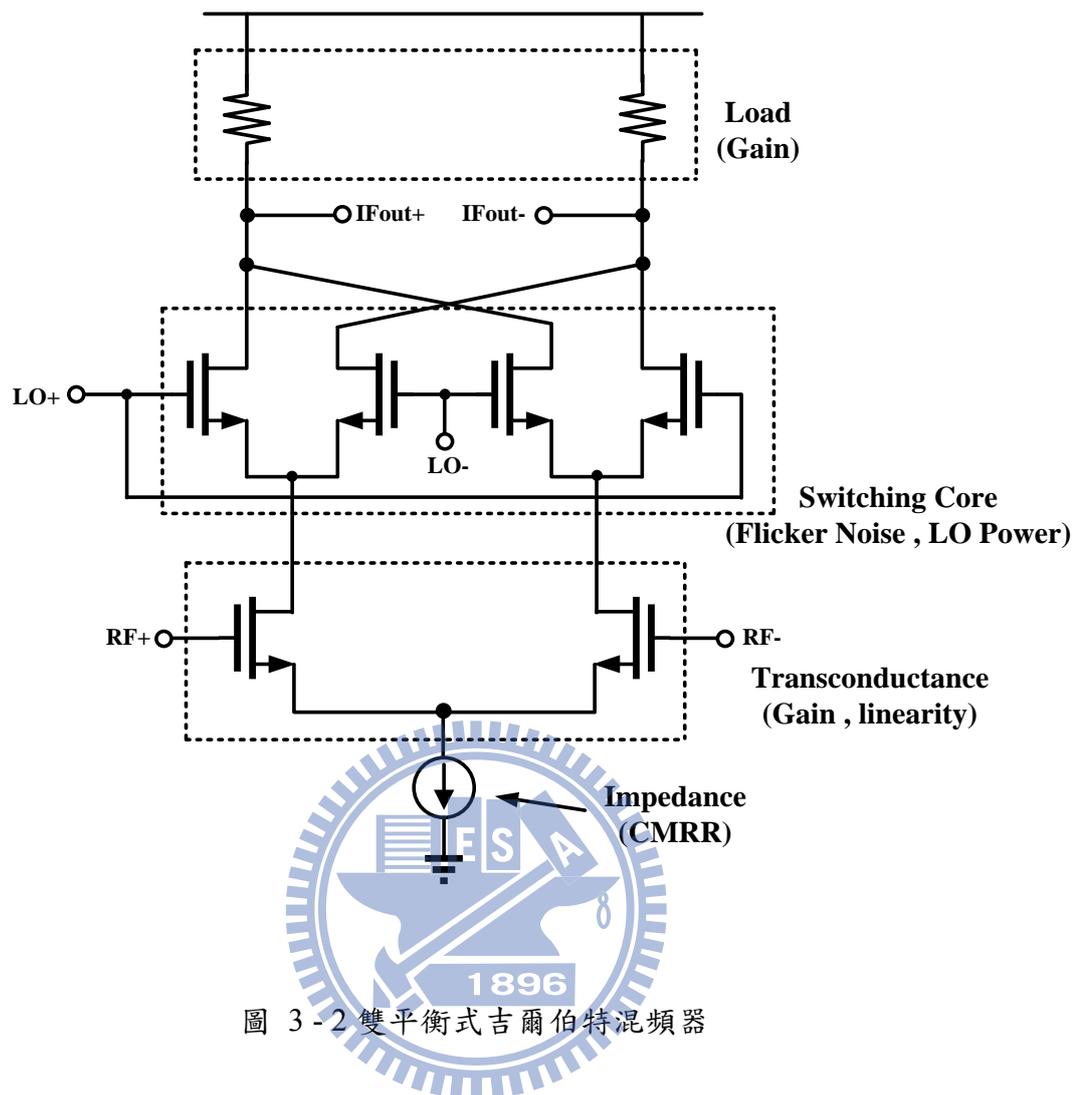


圖 3-2 雙平衡式吉爾伯特混頻器

另一種設計是subharmonic混頻器，只要輸入本地震盪訊號一半的頻率即可，可以大幅降低本地震盪器的負擔，而且在輸出零中頻時可以避免DC-offset，但是一般來講設計這種電路可以利用電晶體的非線性，或者利用輸入 4 種正交的本地震盪訊號來達成，但是都有其缺點。一般來說，使用元件的非線性會有增益過低現象，而使用 4 種正交訊號，如果還要製造IQ訊號來濾除鏡像訊號，那麼就需要 8 種正交訊號，在設計上就變得複雜。

而設計升頻混頻器在load的部分可以使用電感式負載除了因為頻率變高可以使得面積縮小以外，還可以利用電感來peaking來達到寬頻

的目的，在文獻上也有人使用 T-Coil 來同時達到 series 和 shunt peaking。設計升頻混頻器的另一個重點是旁波抑制的能力(圖 3 - 3)，而傳統上旁波帶的抑制可以利用濾波器或者正交訊號來抑制，同時這也是我們提出來的架構需要二次升頻或降頻的原因之一。

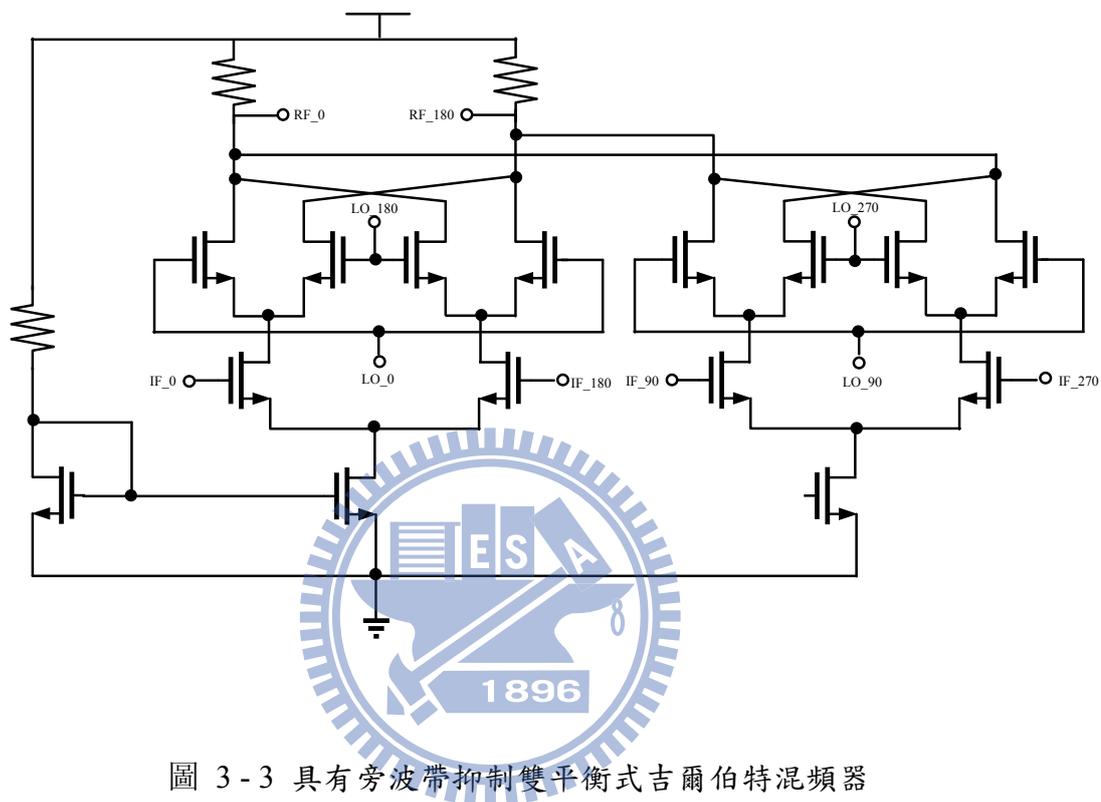


圖 3-3 具有旁波帶抑制雙平衡式吉爾伯特混頻器

3.2.4 驅動放大器設計

傳統上驅動放大器是為了提供足夠的增益給功率放大器，而設計上需要作 power matching 來達到最大增益，運用在升頻電路上的話通常使用電感式負載，可以達到最大電壓擺幅而不受限，如果電路是設計為差動式的話則可以使用變壓器型式的負載後面會詳細介紹使用變壓器型式負載的好處

3.2.5 寬頻放大器設計

最後一級放大器的設計會影響整體線性度，而且通常要求較大增益，所以需要較大電阻，而大電阻意涵著會有較低的頻寬。在 60GHz 的通訊系統要求中頻輸出頻寬需要有 1-2GHz，而放大器的前一級混頻器要設計出中頻頻寬到 1-2GHz 不會太難，所以最後一級放大器設計成高線性與寬頻放大器是必須的。

高線性的設計方法大概可以分成 4 種，feedback，feedforward，predistortion 與 piecewise approximation。

一般而言，回授機制是採用 series feedback 可以使得轉導變得更線性，低雜訊放大器中使用的 source degeneration 就是一種 series feedback，當感值越大的時候越線性但是增益會越差，而為了減小面積可以把電感替換成電阻，但是雜訊指數會上升。一般來講放大器的設計都是差動式，所以底下針對 2 種常用的架構作探討，並分析其增益與雜訊表現：

$$G_{(a)} = G_{(b)} = \frac{-g_m R_D}{1 + g_m R_s}$$

$$\overline{V_{out(a)}^2} = \left[2(4kT)/R_D + 2(4kT)\frac{2}{3}g_{m1} \left(\frac{1}{1 + g_{m1}R_s} \right)^2 + 2(4kT)/R_s \left(\frac{R_s}{\frac{1}{g_{m1}} + R_s} \right)^2 \right] R_D^2$$

$$\Rightarrow \overline{V_{in(a)}^2} = 2(4kT) \left[\frac{2}{3} \frac{1}{g_{m1}} + R_s + \frac{1}{R_D} \left(\frac{1 + g_{m1}R_s}{g_{m1}} \right)^2 \right]$$

$$\overline{V_{out(b)}^2} = \overline{V_{out(a)}^2} + 2(4kT)\frac{2}{3}g_{m3} \left(\frac{R_s}{\frac{1}{g_{m1}} + R_s} \right)^2 R_D^2$$

$$\Rightarrow \overline{V_{in(b)}^2} = \overline{V_{in(a)}^2} + 2(4kT) \left(\frac{2}{3} g_{m3} R_s^2 \right)$$

對於這兩種架構來說，增益是相同的，但是對於雜訊而言圖 3 -

4(b)會比圖 3 - 4 (a)大，而線性度的話基本上圖 3 - 4 (b)會比 圖 3 - 4 (a)來得好，原因是因為圖 3 - 4 (a)的degeneration電阻會有壓降。

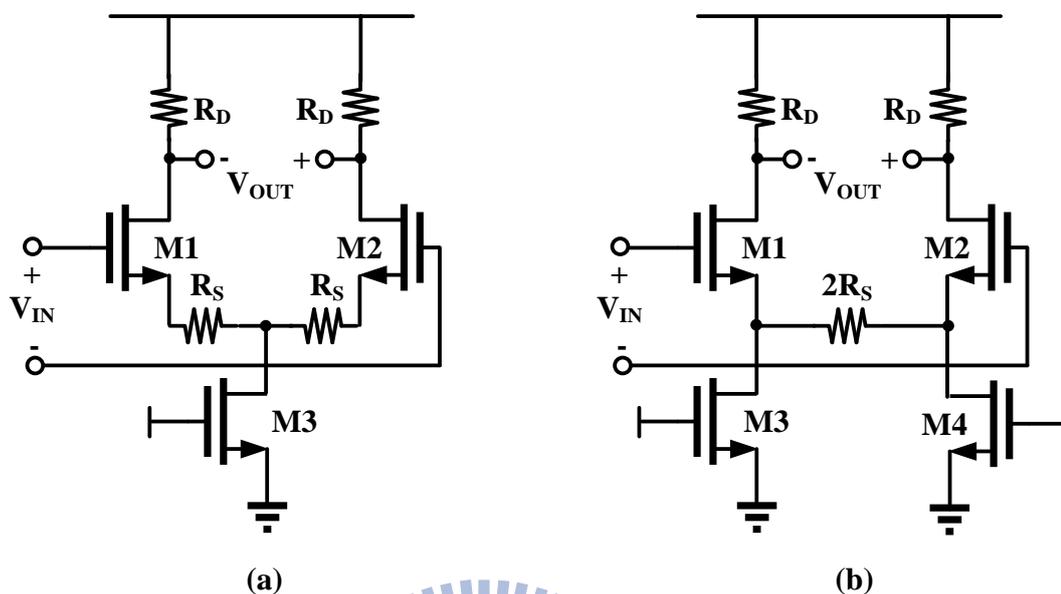


圖 3 - 4 兩種差動式放大器提高線性度的方法

寬頻放大器實現大概可以分成使用 inductive peaking，capacitive degeneration，或者使用 distributed 的方法。

Inductive peaking 是在 output 的地方加入電感來達到頻寬被延升的效果。而 peaking 的方式可分為 series 和 shunt，而 T-Coil 則是擁有 series peaking 與 shunt peaking 兩種優點，底下詳細介紹此三種電路的操作特色。

在分析前先假設一般電晶體輸出部分有兩個電容支配著輸出等效電容，如圖 3 - 5，C1 是電晶體 Drain 端所有的寄生電容，而 C2 代表的負載電容，定義 $k_c = \frac{C1}{C1+C2}$ 。

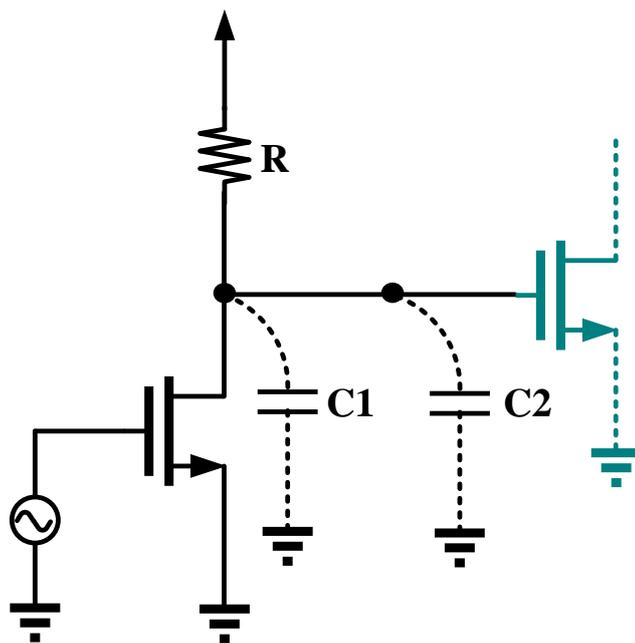


圖 3 - 5 電晶體在輸出端具有的寄生電容

(1) shunt peaking

圖 3 - 6 是基本shunt peaking的電路圖，一樣的把電晶體等效為一電流源可以分析其transimpedance為 $Z(s) = \frac{V_{out}}{I_{in}} = \frac{R+sL}{1+sRC+s^2LC}$ ，可以上述等式normalizing成 $Z_N(s) = \frac{1+s/m\omega_0}{1+s/\omega_0+s^2/m\omega_0^2}$ ，where $\omega_0^2 = 1/RC$ ， $m = R^2C/L$ ，根據文獻探討得知其BWER(bandwidth extension ratio)為 1.84，若要獲得最大平坦度的話，BWER會降至 1.72。

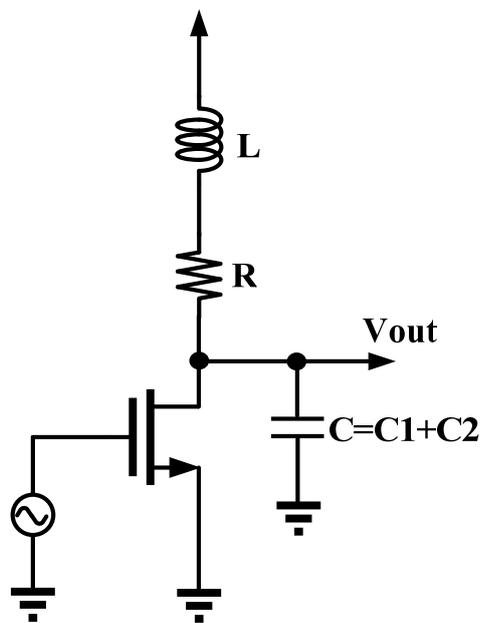


圖 3 - 6 Shunt peaking 電路

(2) series peaking

圖 3 - 7 是基本shunt peaking的電路圖，跟上述一樣可以推導其 normalizing 過後的transimedance

$$Z_N(s) = \frac{1}{1 + s/\omega_0 + \left(\frac{1-k_C}{m}\right)s^2/\omega_0^2 + \left(\frac{k_C(1-k_C)}{m}\right)s^3/\omega_0^3}$$

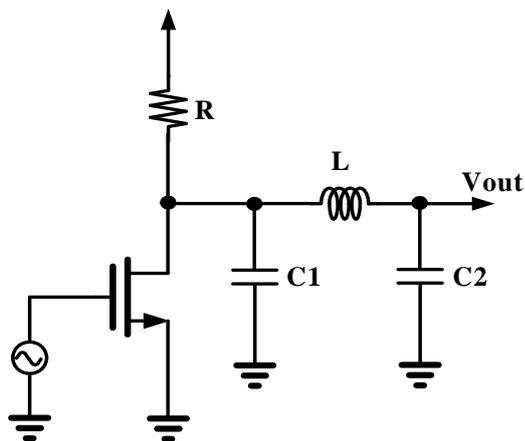


圖 3 - 7 Series peaking 電路

(3) T-Coil peaking

圖 3 - 8 是基本T-Coil peaking的電路圖，跟上述一樣可以推導其 normalizing 過後的transimedance

$$Z_N(s) = \frac{1 + \left(\frac{1}{m1} + \frac{k_m}{\sqrt{m1m2}} \right) s/\omega_0}{1 + s/\omega_0 + \left(\frac{1}{m1} + \frac{k_c}{m2} + \frac{2k_c k_m}{\sqrt{m1m2}} \right) s^2/\omega_0^2 + \left(\frac{k_c(1-k_c)}{m2} \right) s^3/\omega_0^3 + \left(\frac{k_c(1-k_c)(1-k_m^2)}{m1m2} \right) s^4/\omega_0^4}$$

where $k_m = M / \sqrt{L1L2}$

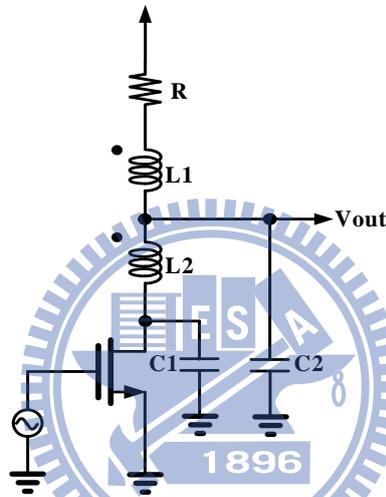


圖 3 - 8 T-Coil peaking 電路

3.2.6 正交訊號產生器

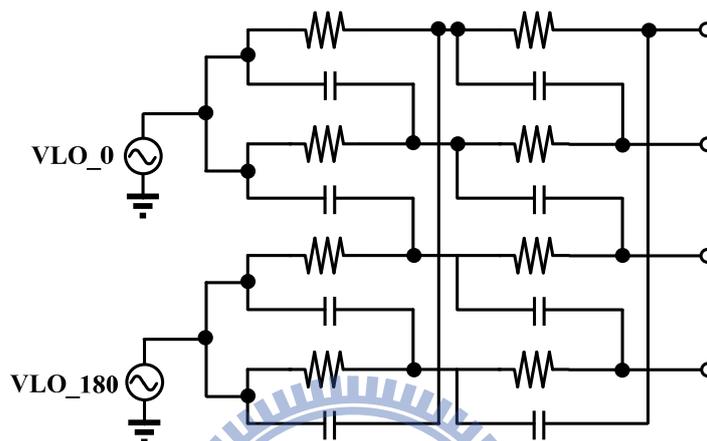
正交訊號產生器在濾除鏡像訊號扮演非常重要的角色，產生正交訊號大概可以分成 3 種方式，利用耦合線，polyphase filter 和除二電路(圖 3 - 10):

使用耦合線的可以用來製造正交訊號，不過因為此種耦合線是建立在四分之一波長，所以越低頻電路越不適合使用

Polyphase filter 是另一種產生正交訊號的電路，此種電路可以使用在較低頻的電路不過一樣會有面積較大的問題，使用在高頻的話，會因為 RC 值過小，使得電路對於製程變異會變得更 sensitive

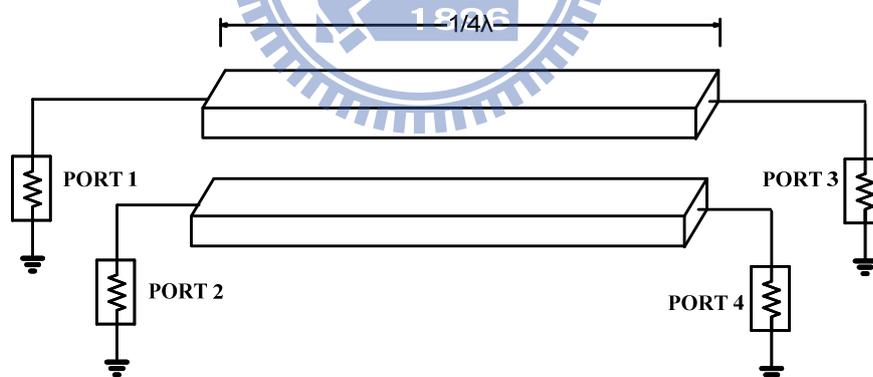
除二電路是主動是正交訊號產生器，它的特色是可以產生比上述兩種電路更精準的正交訊號，不過付出的代價是需要兩倍的頻率訊號而且須要消耗很大的功耗。

Quadrature Signal will be not precision by process variation



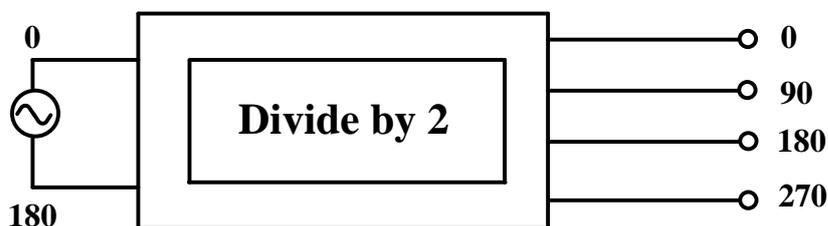
(a) Poly-phase filter

Quadrature Signal will be not precision by physical length



(b) Coupler

**Quadrature Signal will be precision ,
but it has large power consumption**



(c) Divider

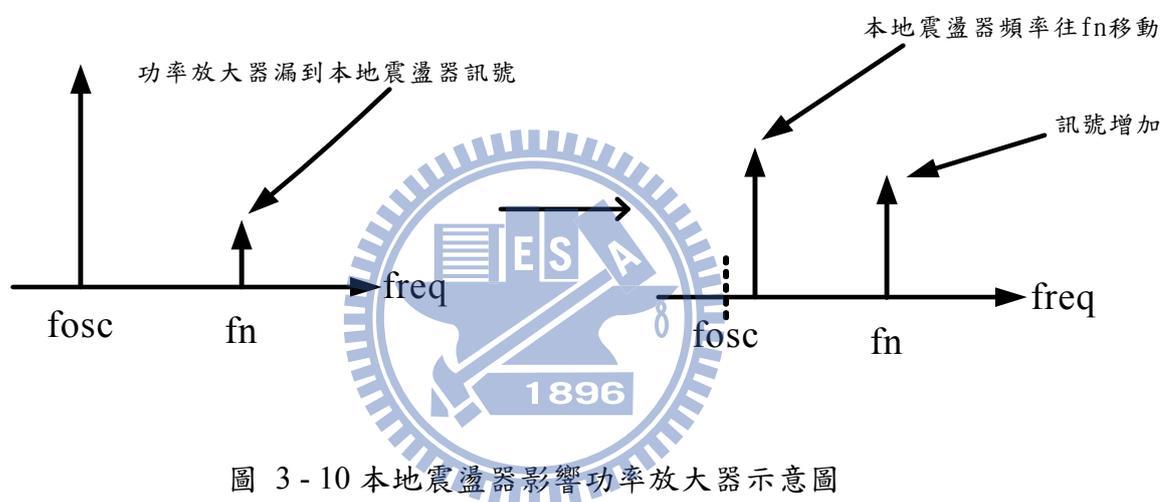
圖 3 - 9 (a) Poly-phase filter (b) Quadrature coupler (c) Divider

3.3 一次降(升)頻與二次降(升)頻

60GHz的傳輸系統可以使用一次降頻與二次降頻，基於成本考量，一次降頻比二次降頻來得更有優勢而且也具有較低的功率損耗，所以以手機而言，大部分的架構都是一次降頻，對於 60GHz系統而言一次降頻的確比二次降頻再面積與功耗都來得有優勢，而且因為頻寬有 2GHz，所以沒有顫動雜訊的問題，但是對於鏡像訊號干擾濾除二次降頻擁有較大的優勢，舉例來講，對於IF=1GHz的訊號而言，RF=58GHz是鏡像訊號，但是 58GHz距離 60GHz訊號才 2GHz，很難利用濾波器濾除，所以這時候如果利用weaver架構濾除是很好解決方案 另一個作二次降頻的原因是我們想把PLL，VCO作在單一CMOS 0.18um晶片上，希望達到最低成本，如果使用單一降頻，則VCO震盪的最高頻率大約為 32GHz左右，可是後面還需要一個LO放大器來驅動schottky diode而在CMOS 0.18um製程上設計 30GHz以上的放大

器，幾乎是不可能的，而如果使用二次降頻則有機會把最高的LO頻率降為 20GHz 左右，實現上也比較容易。

同理對於發射機而言，一樣單次升頻比雙次升頻在功耗與面積上有優勢，但是一樣的在旁波抑制比方面，雙次升頻比單次升頻來得有優勢，在LO頻率的優勢部分也跟設計傳輸機一樣，而且因為驅動 schottky diode mixer 的LO功率相當大，如果設計為單次升頻，本地震盪訊號可能會影響功率放大器如圖 3-11 所示：



3.4 實作一，雙次降頻 60GHz 接收機

3.4.1 研究動機

使用 65nm 或者 90nm 來設計 60GHz 收發機有非常昂貴的研發成本但是設計 schottky diode 混頻器再 CMOS 0.18um 或者 SiGe BiCMOS 0.35um 來實現 60GHz 收發機，擁有較低的研發成本，因為這是初期版本，所以第一級混頻器的設計是採用 fundamental 混頻器，先確定此種 diode 混頻器是否可以處理 60GHz 的訊號。

3.4.2 電路設計

(1) 電路架構

此電路架構是雙次降頻的接收機，第一級混頻器是設計為 fundamental 混頻器，接在後面的是中頻放大器操作在 15GHz，設計此電路的原因是希望可以抑制後面電路的雜訊指數，最後一級混頻器是二次諧波混頻器(sub-harmonic mixer)，是 level-LO 的型式，擁有較大線性度，在電路上加上 current bleeding 的技術希望可以提供混頻器增益。

(2) 整體電路架構

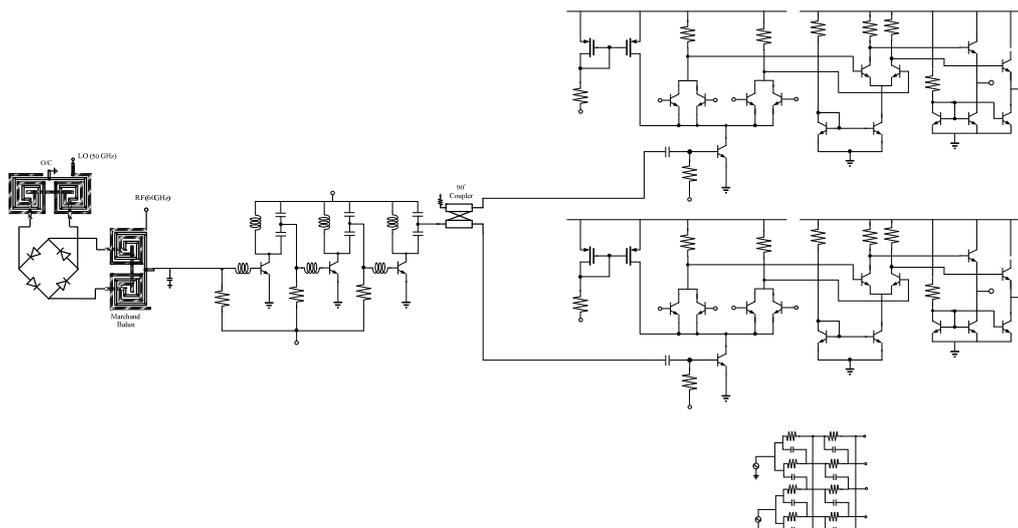


圖 3 - 11 電路架構圖

3.4.3 晶片量測結果

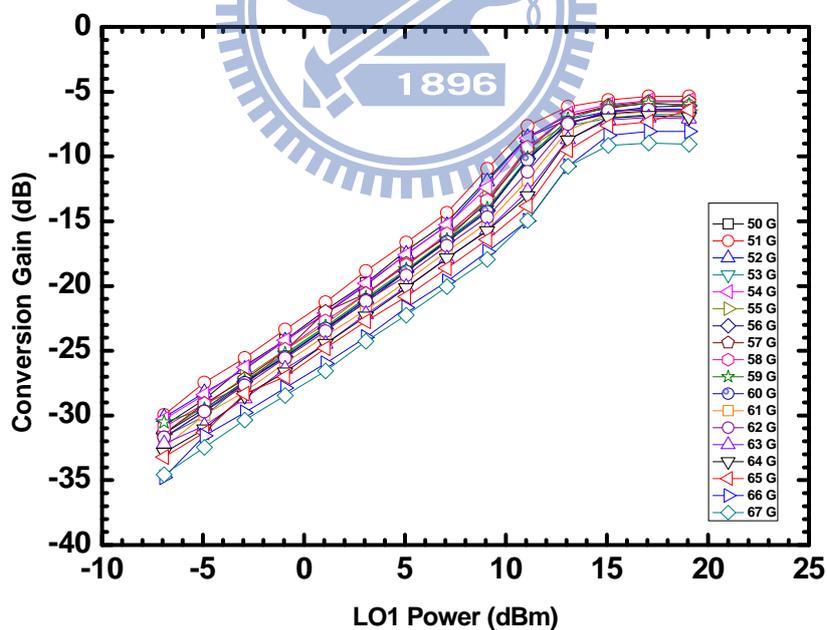


圖 3 - 12 Conversion Gain V.S LO1 Power(45 GHz)

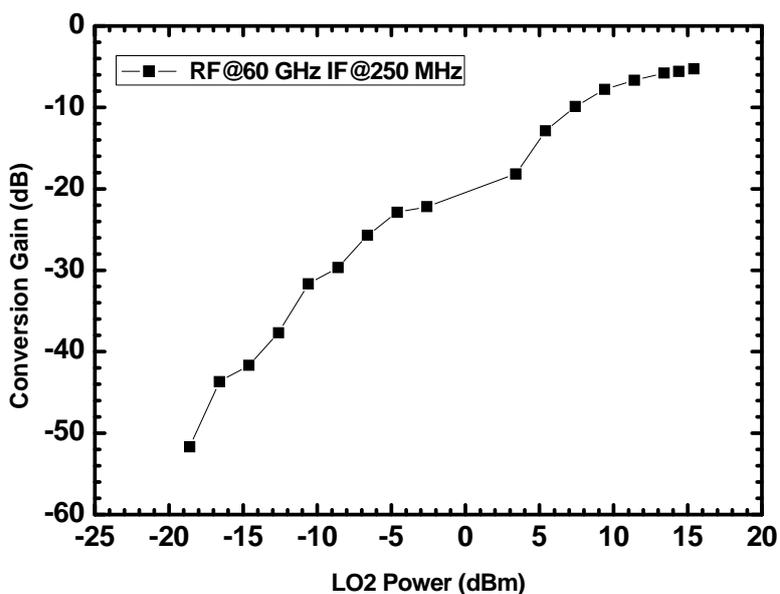


圖 3 - 13 Conversion Gain V.S LO2 Power(14.9 GHz)

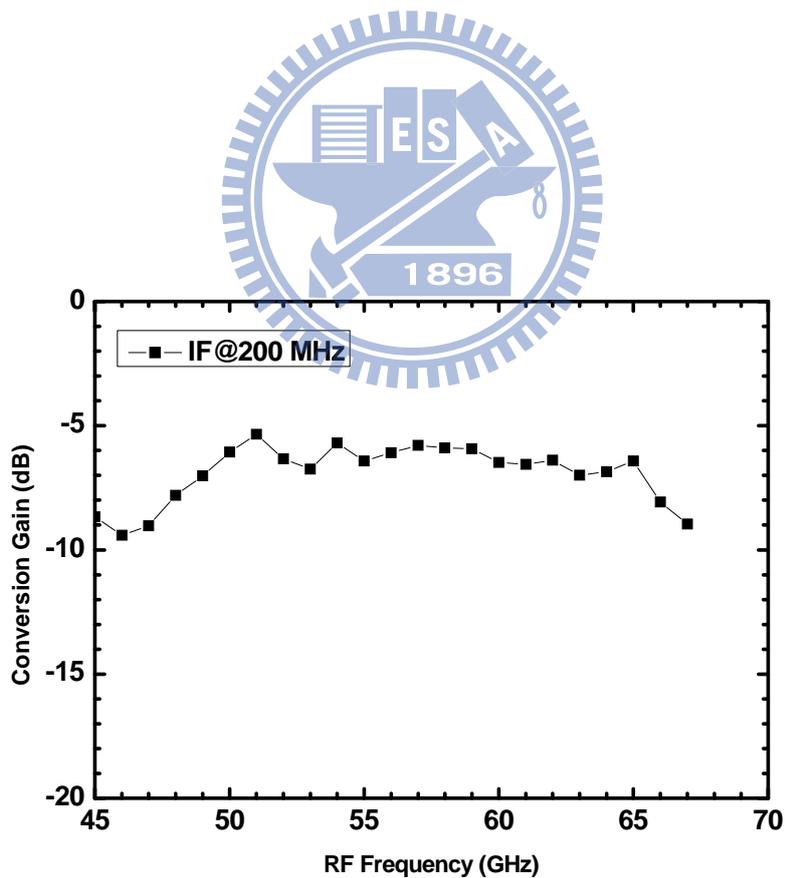


圖 3 - 14 RF Bandwidth

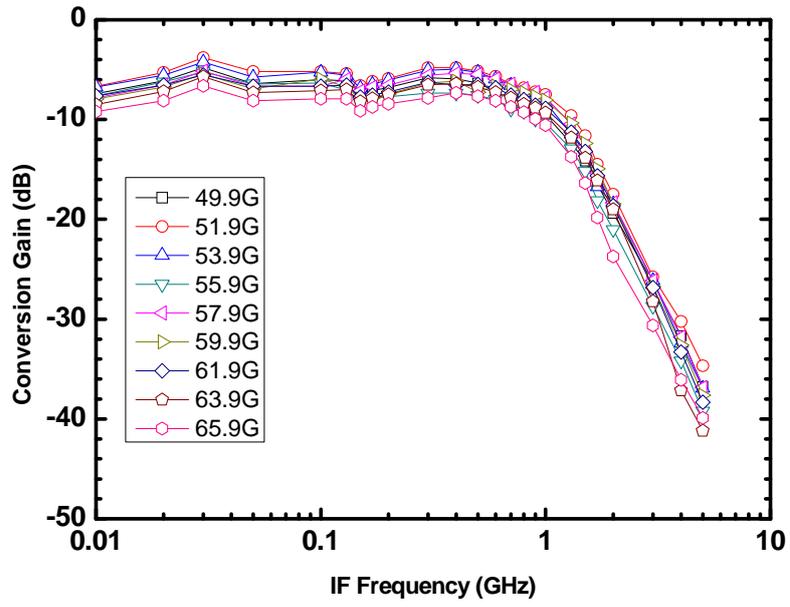


圖 3 - 15 IF Bandwidth

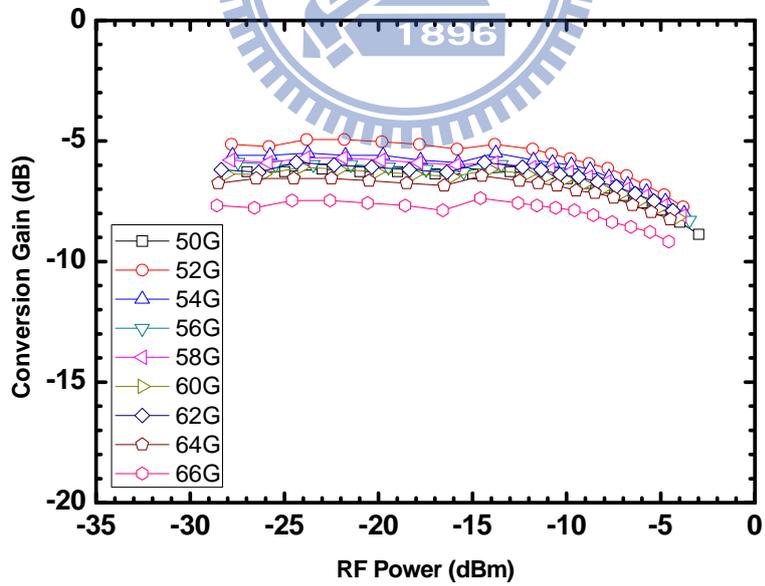


圖 3 - 16 IP1B

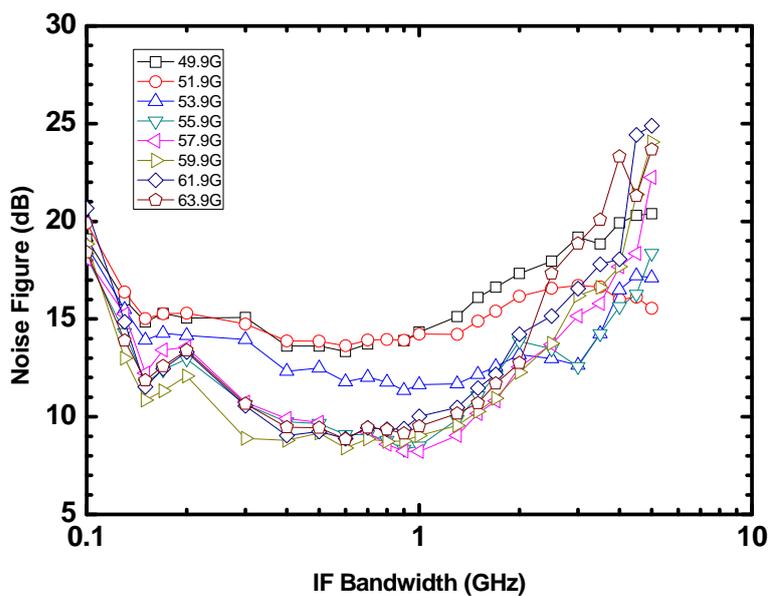


圖 3 - 17 Noise Figure

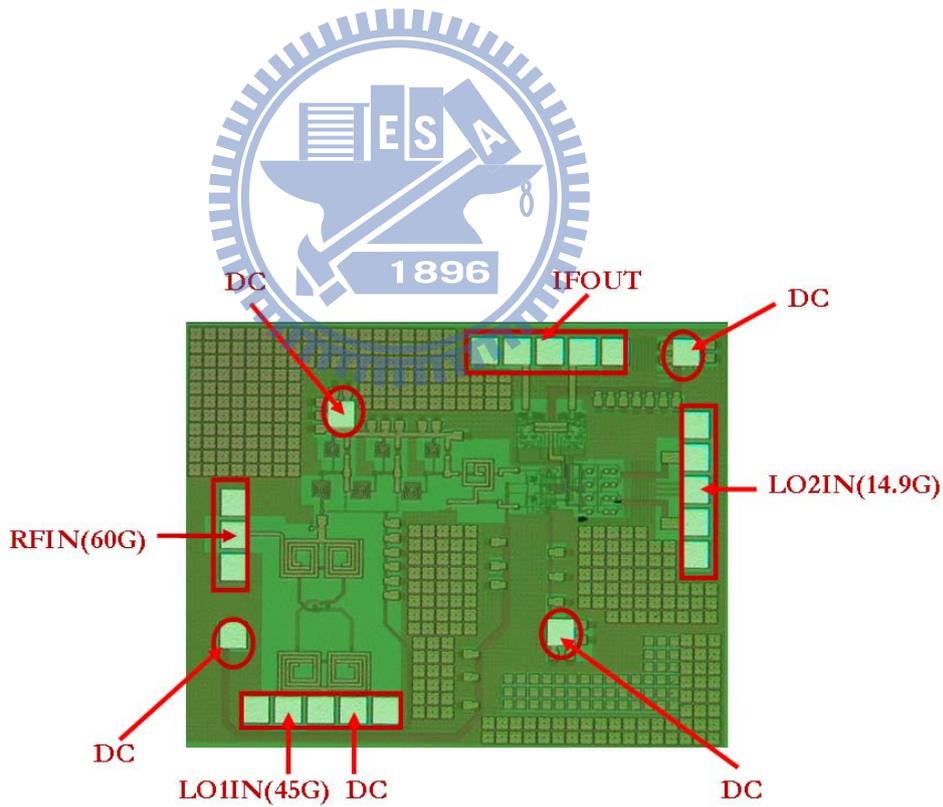


圖 3 - 18 Die Photo

3.4.4 結果與討論

Technology	SiGe BiCMOS 0.35 um
CG (dB)	-2 ~ -4
RF Bandwidth (GHz)	43 - 64
IF Bandwidth (MHz)	250
NF (dB)	17
VDD (V)	3.3

表 3 - 1 雙次降頻 60GHz接收機量測結果

由量測圖可知RF頻段約在 43-64 GHz，conversion gain是-2~-4 dB，中頻頻寬為 250 MHz，雜訊指數為 17dB，操作電壓是 3.3V。

3.5 實作二，雙次升頻 60GHz接收機

3.5.1 研究動機

上一個電路我們驗證了schottky diode 混頻器可以處理 60GHz的訊號，但是中頻頻寬仍然不到 2GHz，所以這裡用T-Coil來延展頻寬。

3.5.2 電路設計

(1) 電路架構

此電路架構是雙次升頻的發射機，第一級混頻器是設計為具有旁波抑制雙平衡式混頻器，接在後面的是中頻放大器操作在 10GHz，設計此電路的原因是希望可以提供整體系統增益，最後一級混頻器是二次諧波混頻器(sub-harmonic mixer)，並利用一個trifilar取代兩個 Marchand balun。

而中級放大器的部分，採用變壓器的方式由汲極端傳至下一級的閘極端，如圖 3 - 20 所示，這個變壓器有三個優點(1)可以用來當作匹配使用 (2)變壓器有寄生電阻，所以可以用來增加低頻穩定度(3)差動式放大器的設計，可以把偏壓點設在變壓器中間的虛接地點，而不需要額外的RF choke。

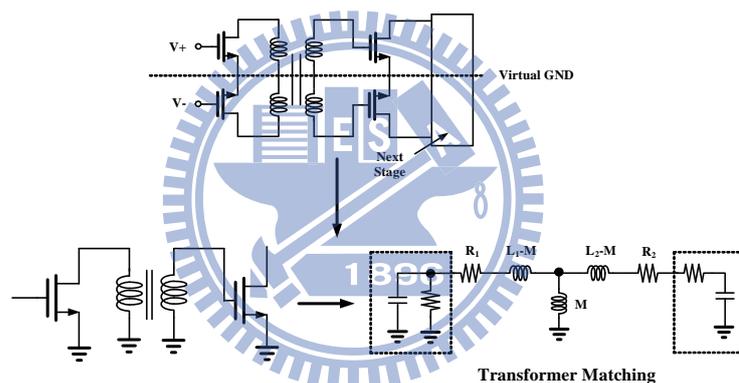


圖 3 - 19 利用變壓器作阻抗轉換

(2) 整體電路架構

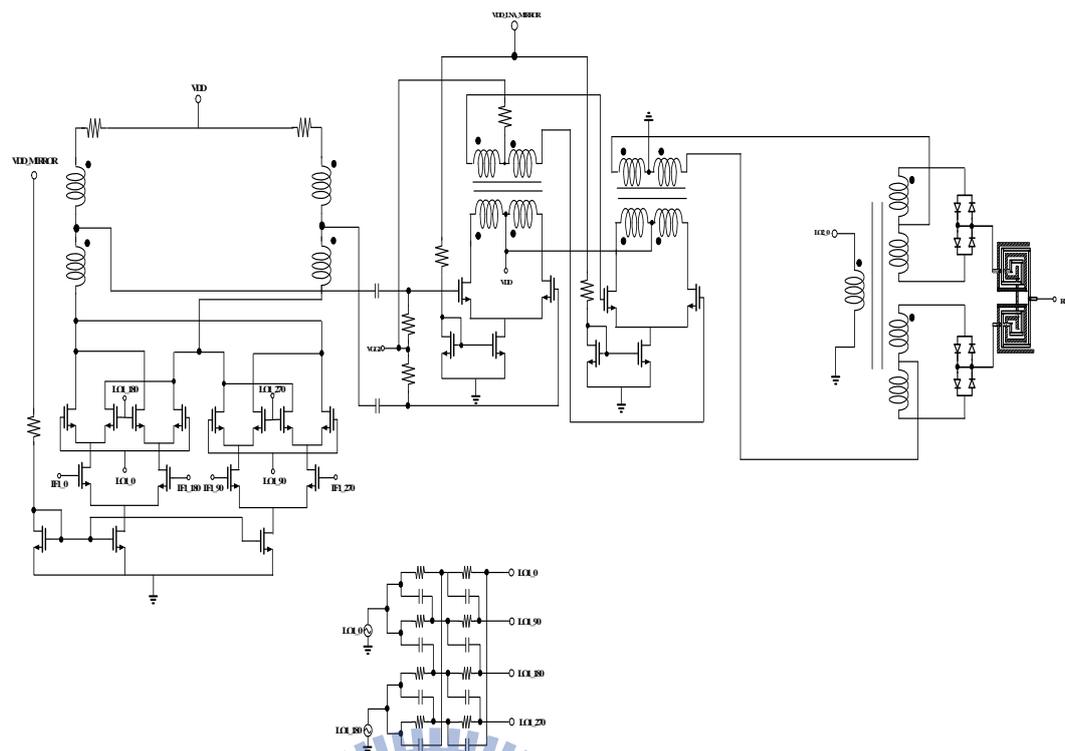


圖 3-20 電路架構圖

3.5.3 電路量測結果

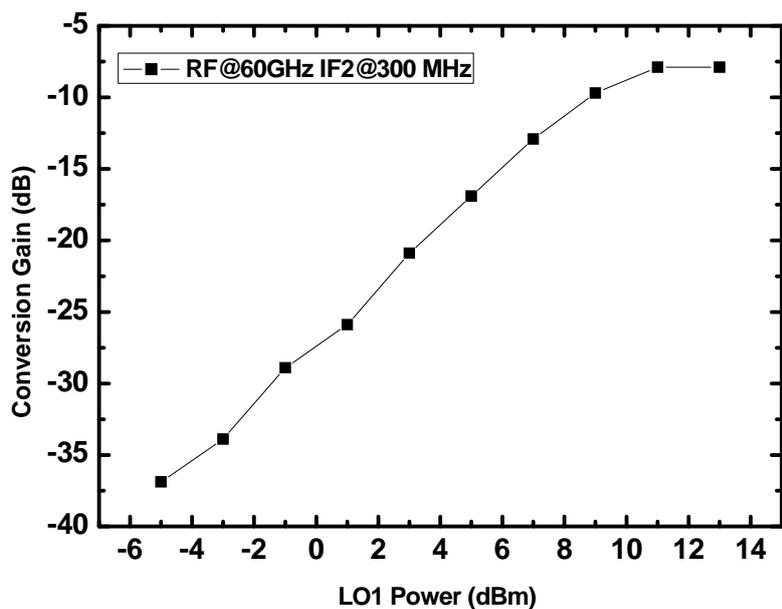


圖 3 - 21 Conversion Gain V.S LO2 Power(25 GHz)

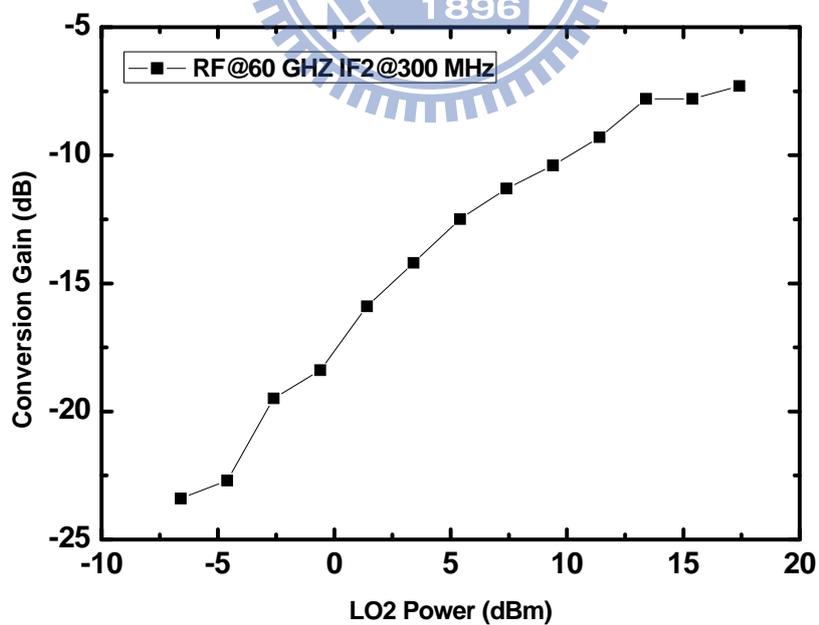


圖 3 - 22 Conversion Gain V.S LO1 Power(8.7 GHz)

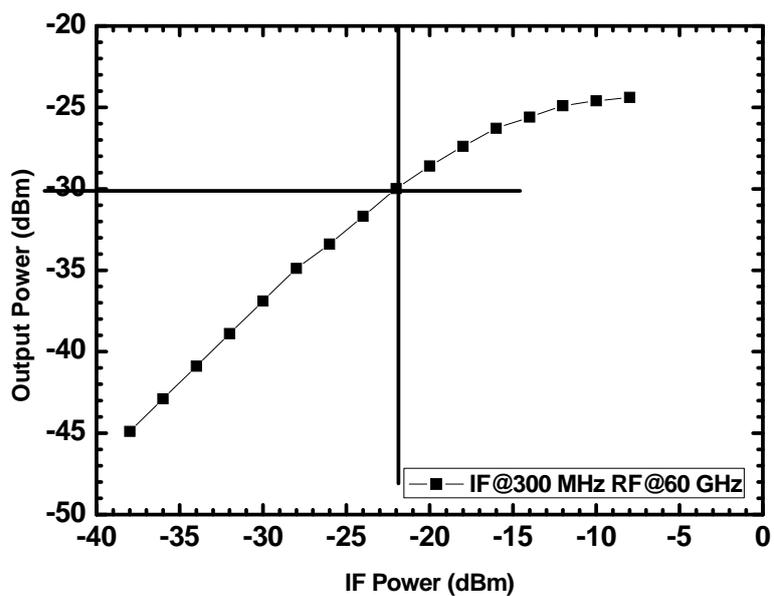


圖 3 - 23 OP1dB

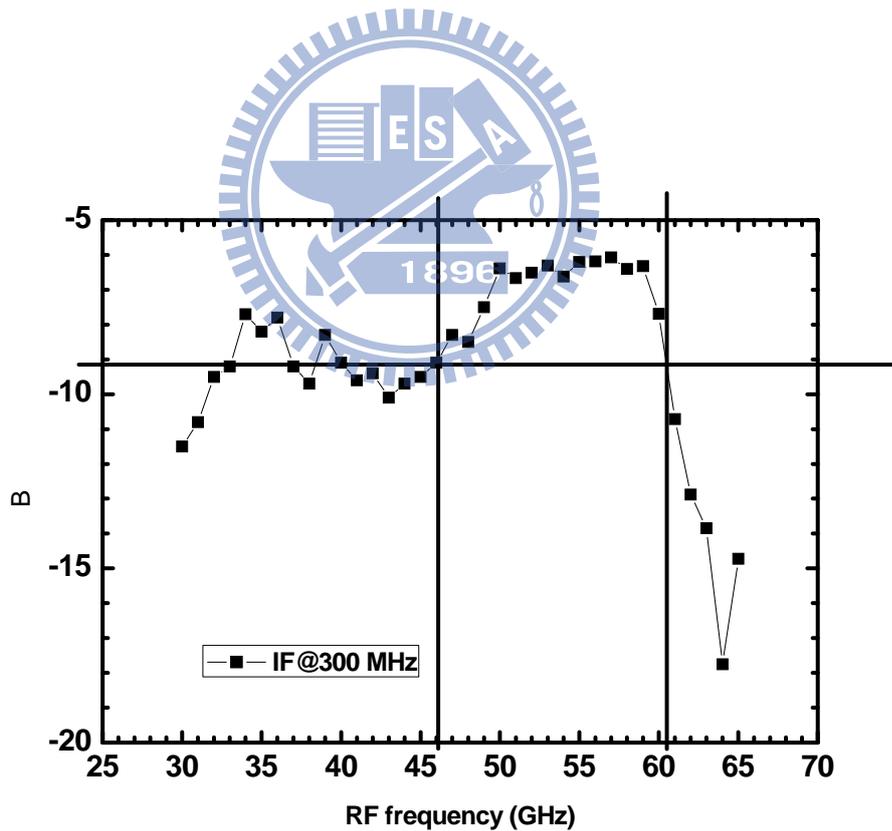


圖 3 - 24 RF Bandwidth

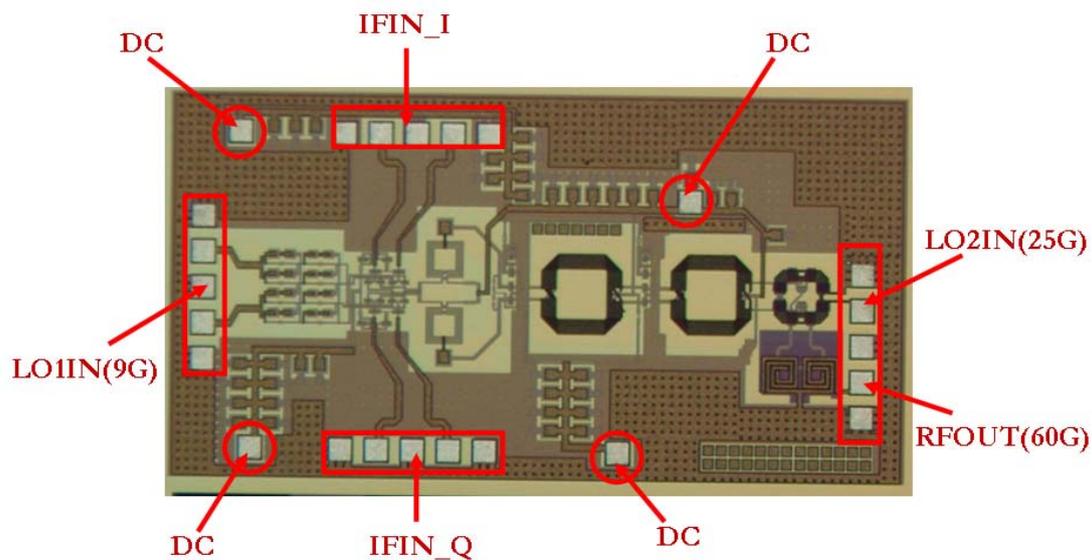


圖 3 - 25 Die Photo

3.5.4 結果與討論

Technology	CMOS 0.18 um
CG (dB)	-6
RF Bandwidth (GHz)	46-60
IF Bandwidth (MHz)	-
Sideband Rejection Ratio	-
VDD (V)	1.8

表 3 - 2 雙次升頻 60GHz發射機量測結果

因為這顆晶片需要用到PNA-X來給與中頻訊號，但是目前因為儀器無法產生正交訊號，所以中頻頻寬與sideband rejection ratio無法量測，目前由量測數據顯示RF頻段頻飄至 50-60GHz，conversion gain約為-6 dB。

3.6 實作三，60GHz威福接收機

3.5.1 研究動機

這裡實現60GHz的威福接收機，希望可以達成較好的鏡像濾除的能力。

3.5.2 電路設計



(3) 電路架構

此電路架構是雙次降頻的發射機，第一級混頻器是設計為次諧波混頻器，希望可以降低第一級本地震盪訊號的頻率，接在後面的是中頻放大器操作在 10GHz，設計此電路的原因是希望可以提供整體系統增益以及抑制後面的雜訊，最後一級混頻器是吉爾伯特混頻器，最後面的放大器的部分採用capacitive peaking的方式，可以增加中頻頻寬。

(4) 整體電路架構

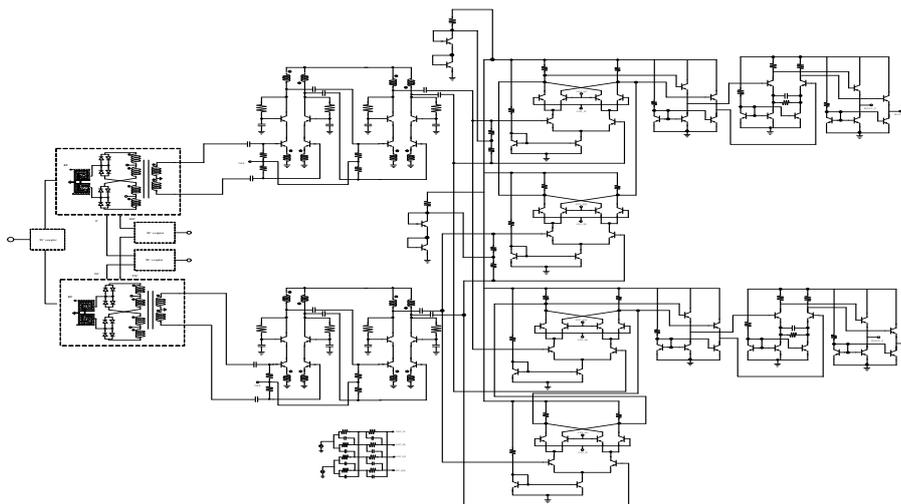


圖 3 - 26 電路架構圖

3.5.3 電路量測結果

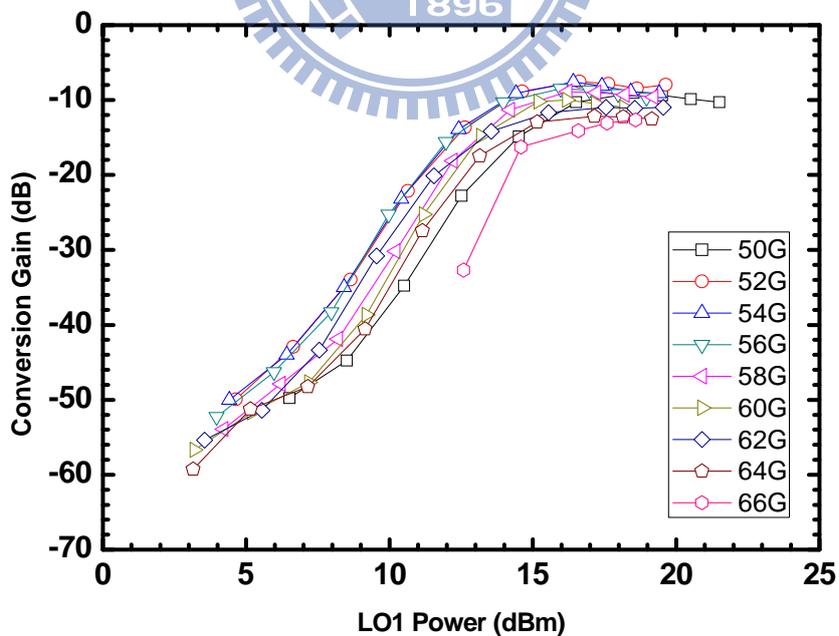


圖 3 - 27 Conversion Gain V.S LO1 Power(25 GHz)

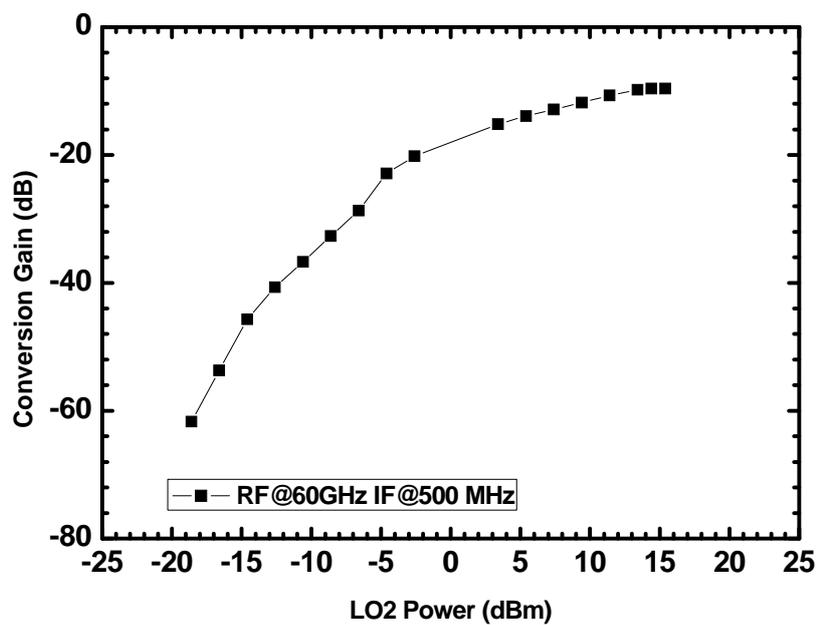


圖 3 - 28 Conversion Gain V.S LO2 Power(9.5

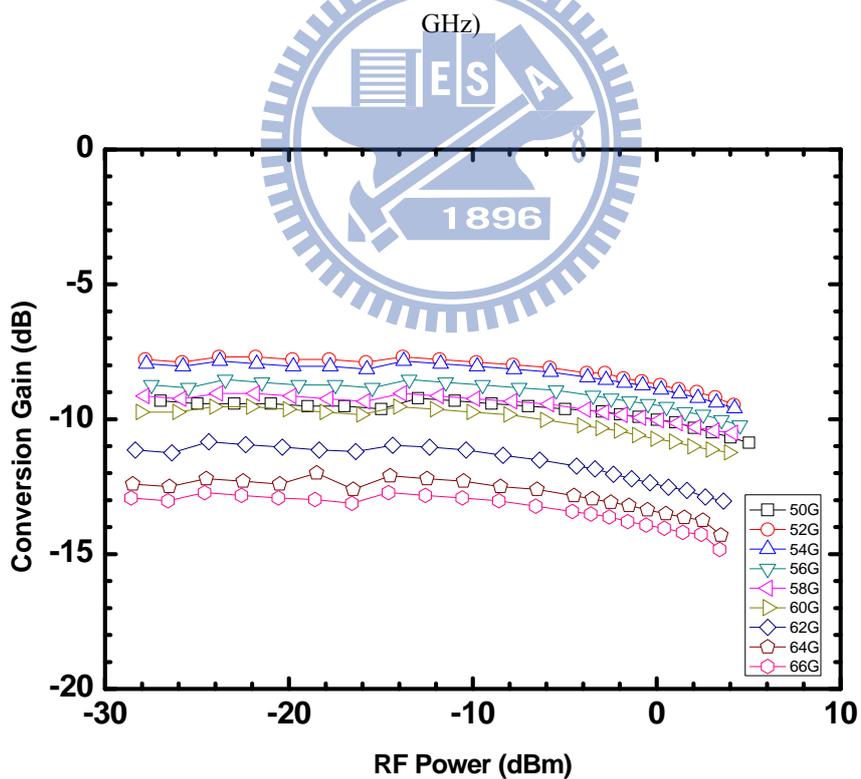


圖 3 - 29 IP1 dB

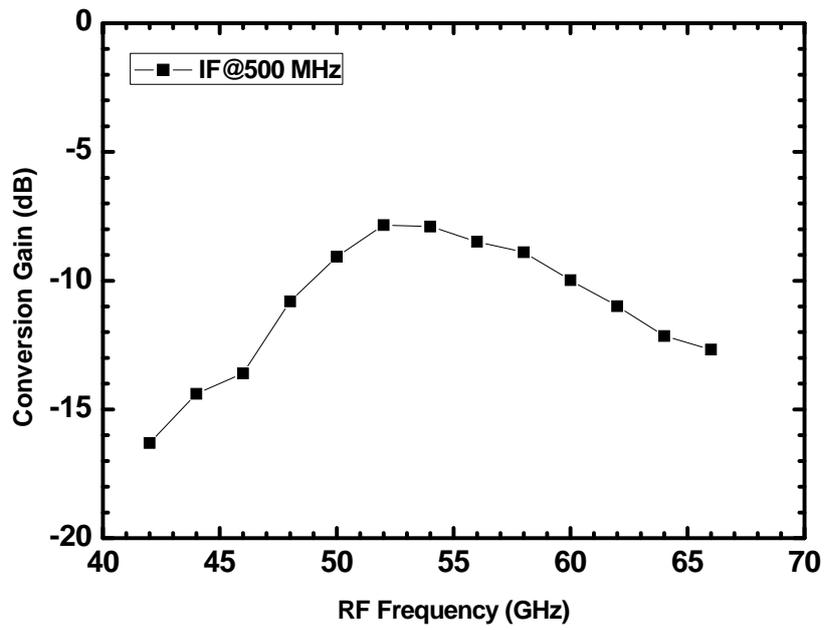


圖 3 - 30 RF bandwidth

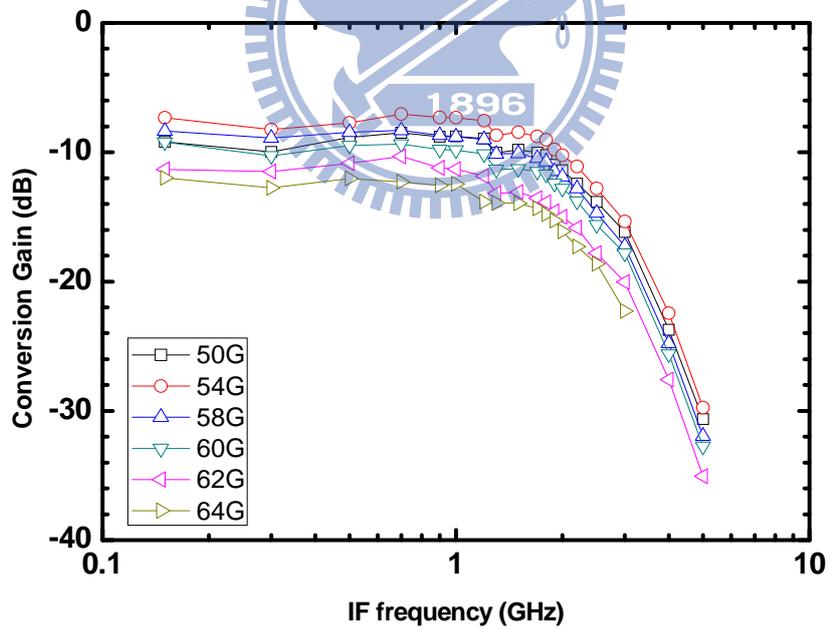


圖 3 - 31 IF bandwidth

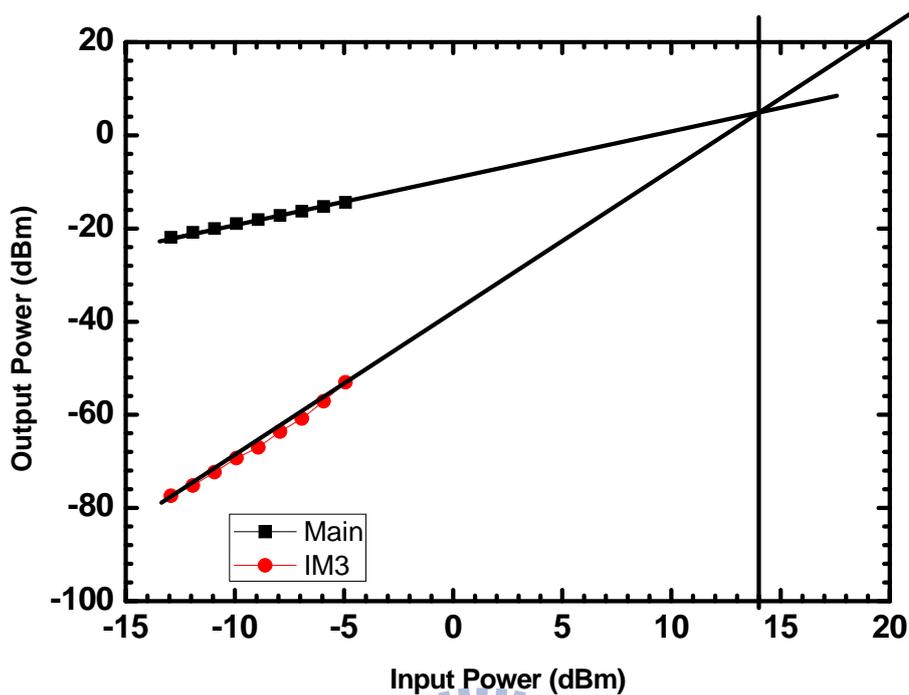


圖 3 - 32 50GHz IIP3

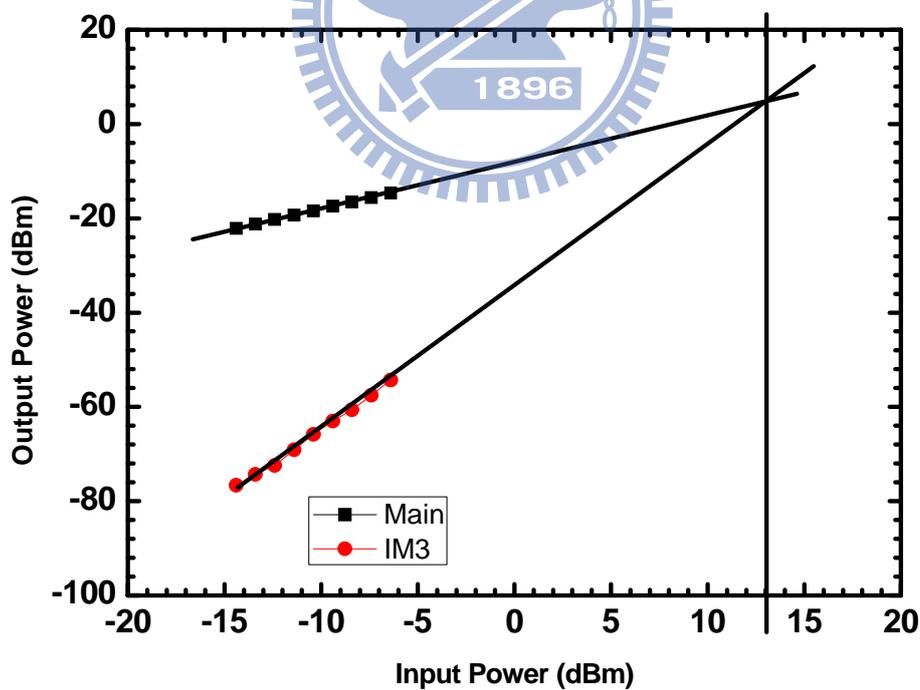


圖 3 - 33 52GHz IIP3

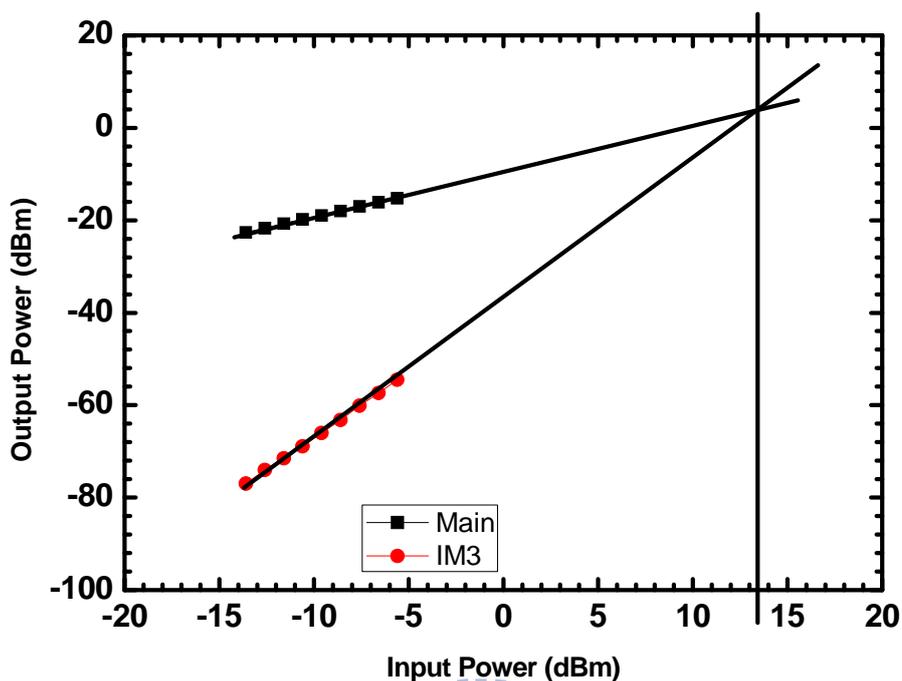


圖 3 - 34 54GHz IIP3

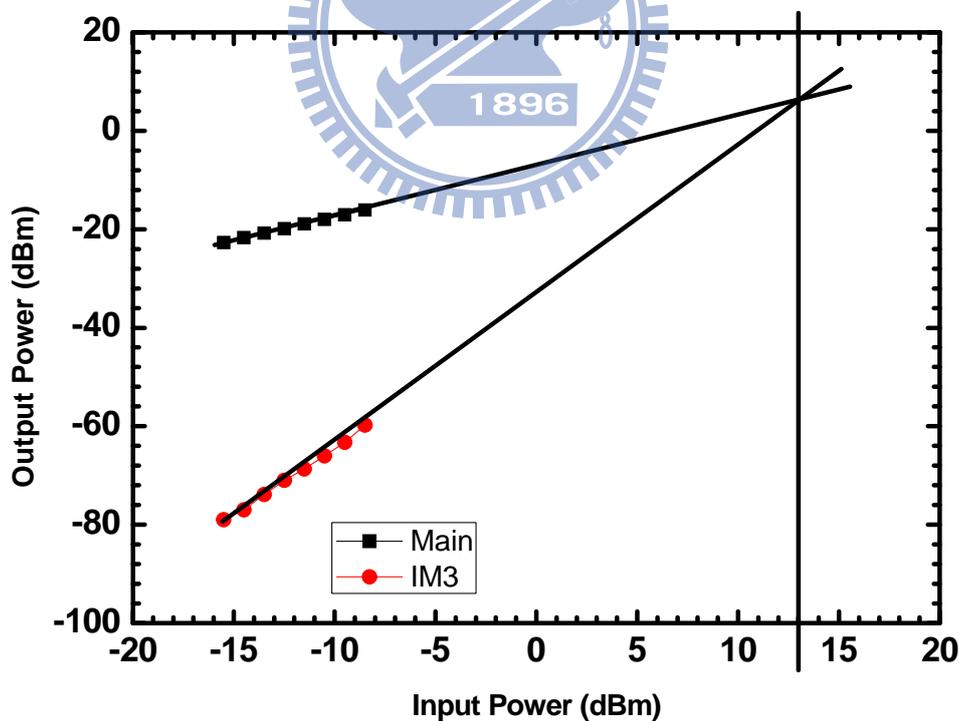


圖 3 - 35 56GHz IIP3

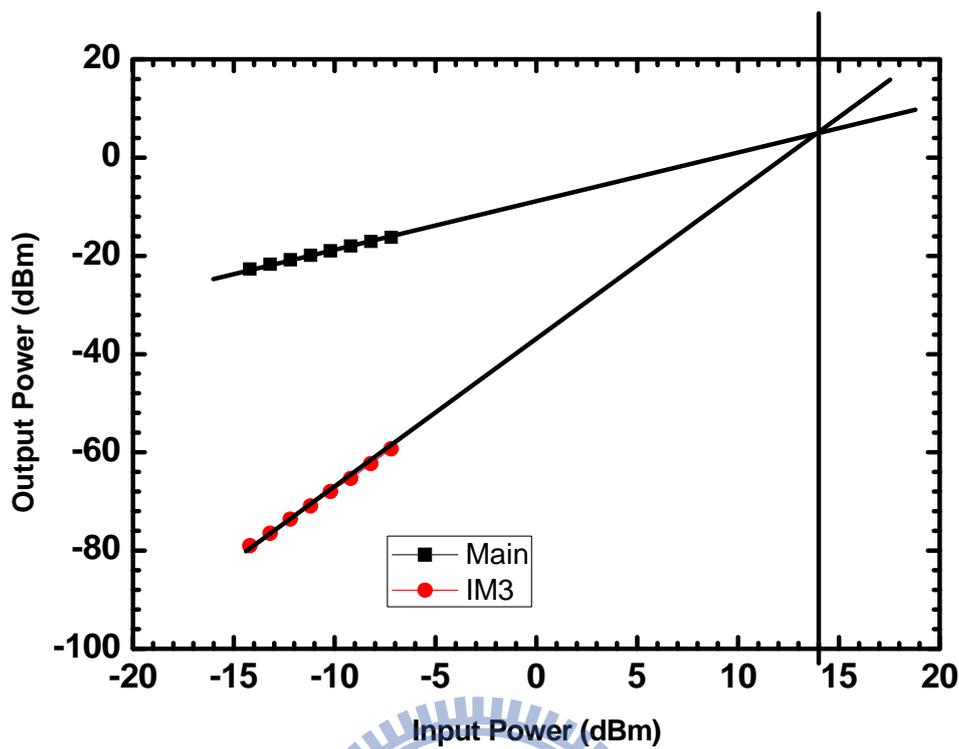


圖 3 - 36 58GHz IIP3

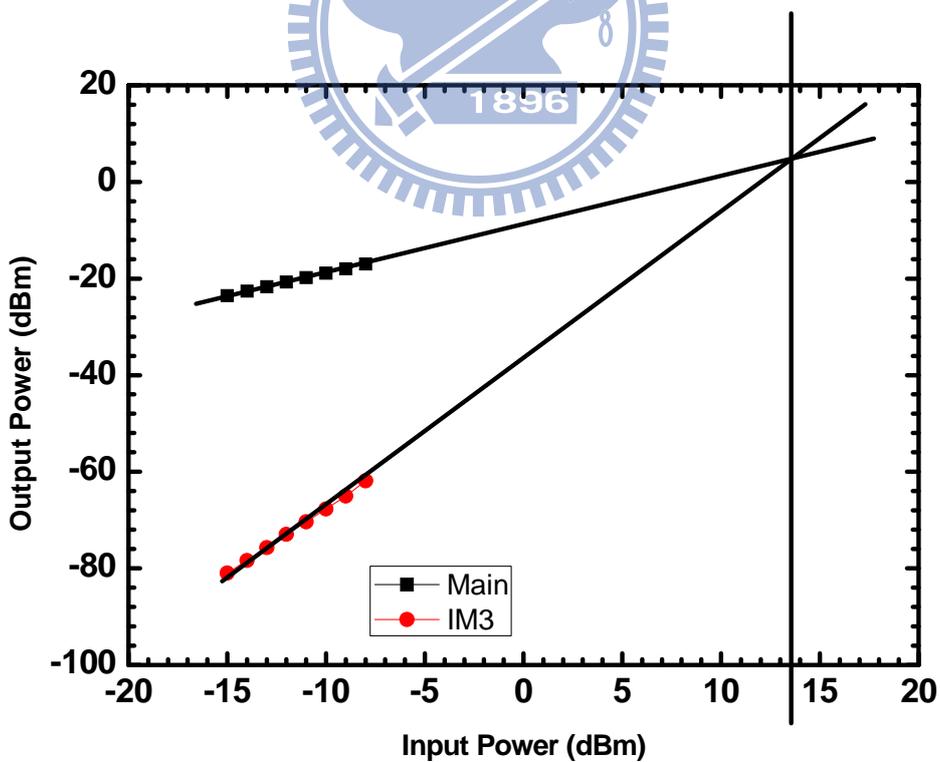


圖 3 - 37 60GHz IIP3

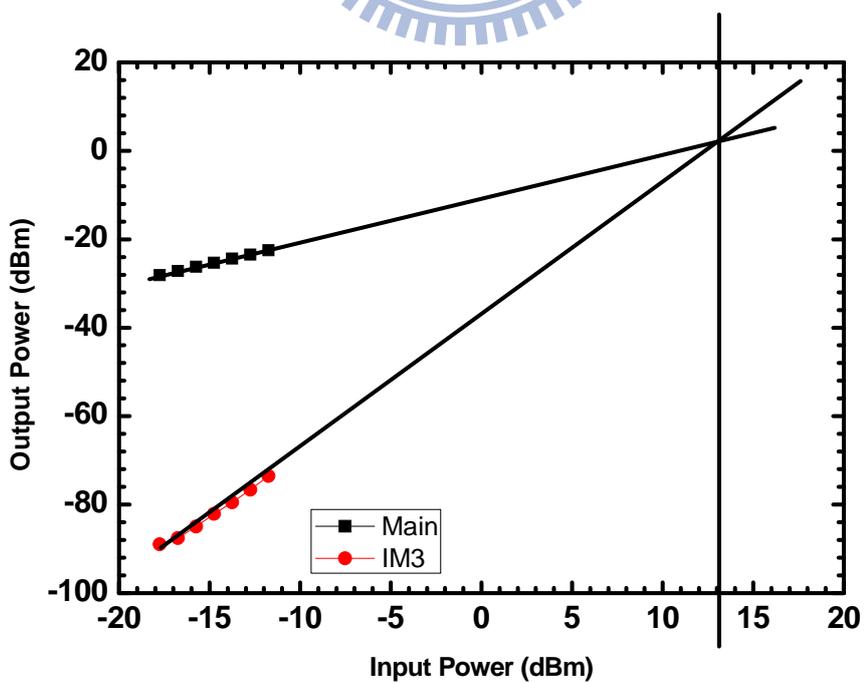
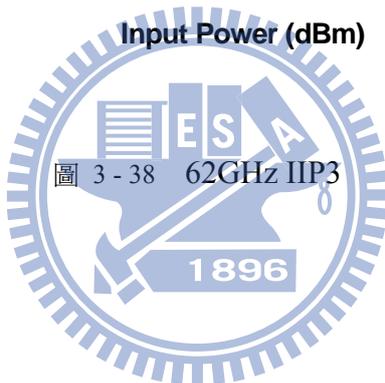
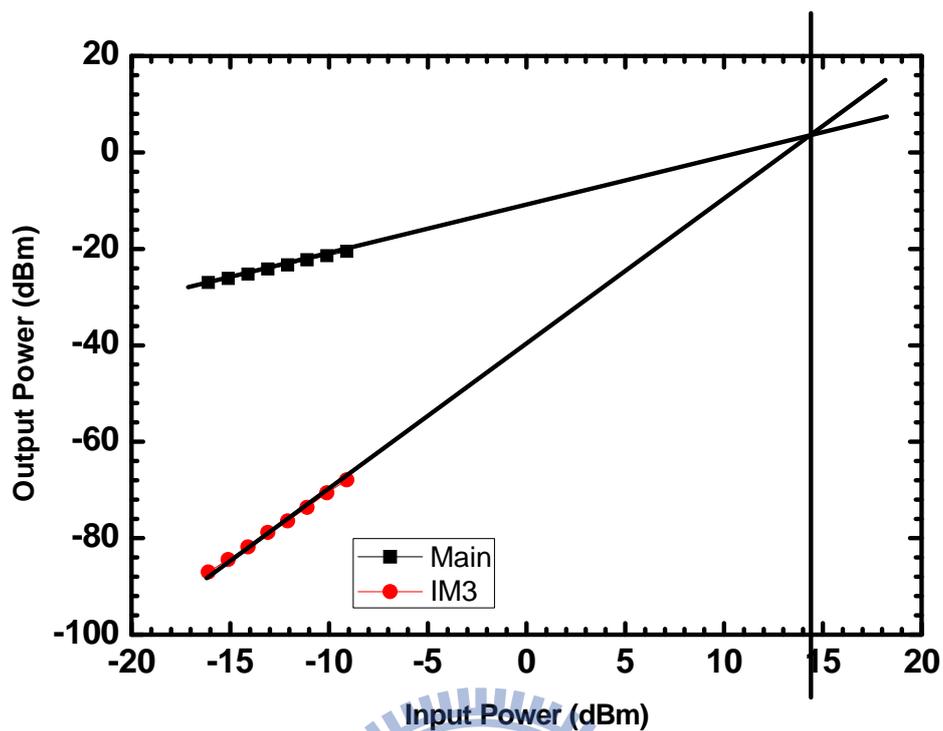


圖 3 - 39 64GHz IIP3

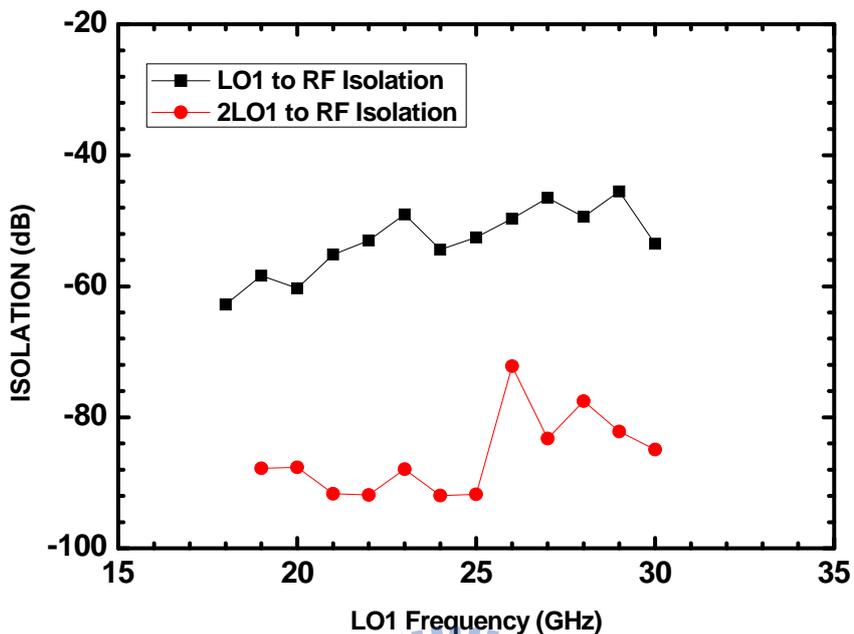


圖 3 - 40 LO-RF與 2LO-RF隔離度

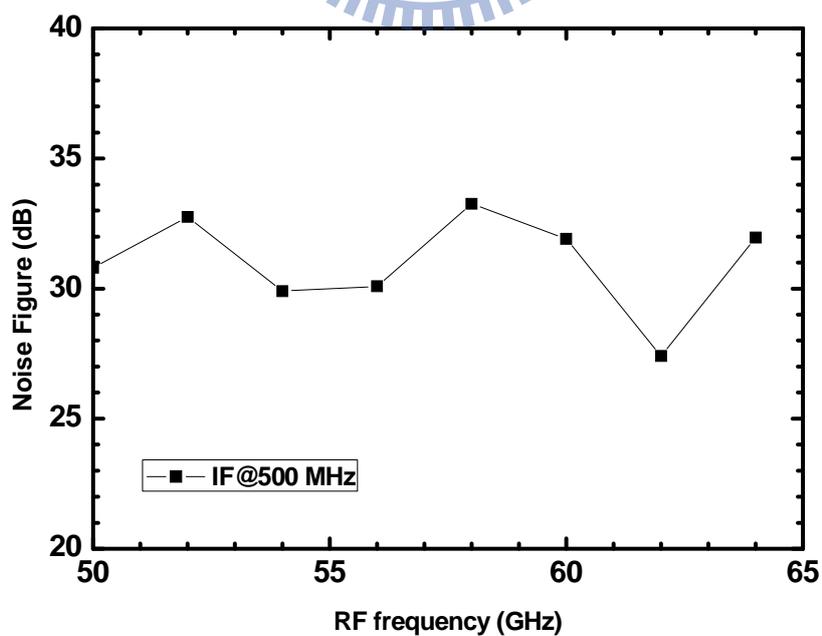


圖 3 - 41 雜訊指數

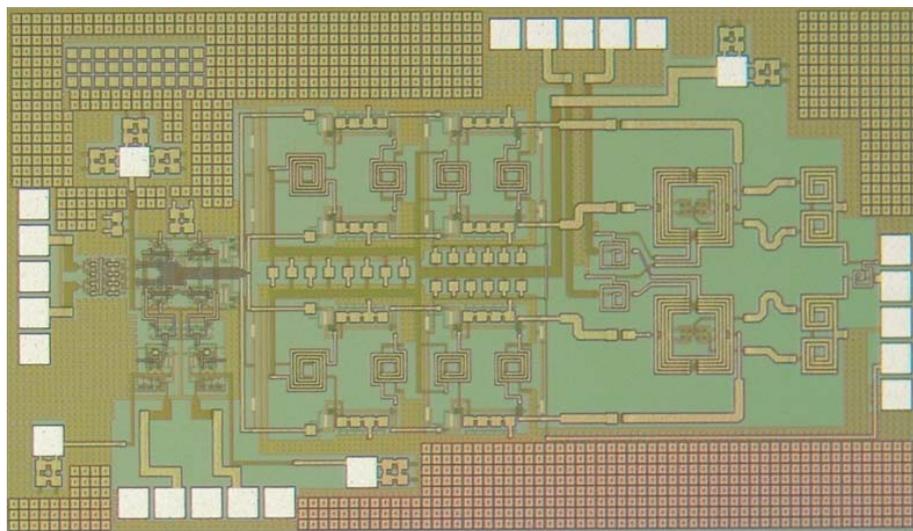
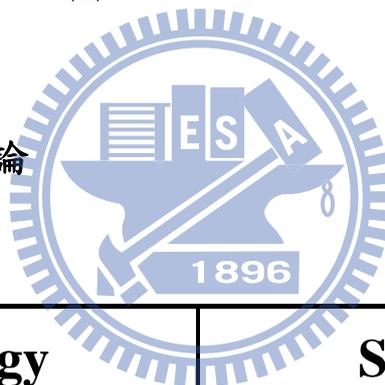


圖 3 - 42 Die Photo

3.5.4 結果與討論



Technology	SiGe 0.35 um
Conversion Gain (dB)	- 8
RF Bandwidth (GHz)	48~62
IF Bandwidth (GHz)	2
IP1dB (dBm)	2~4
IIP3 (dBm)	13~14

表 3 - 3 雙次降頻 60GHz接收機量測結果

由量測圖可知RF頻段約在 48-62 GHz，conversion gain是-8 dB，中頻頻寬約有 2GHz，雜訊指數為 30dB，而IP1dB有 2 到 4dBm，IIP3 則有 13~14 dBm。



第四章

60GHz功率放大器與覆晶封裝技術



4.1 前言

功率放大器在通訊系統佔有很大的角色，它最基本的要求是提供一個穩定的線性功率輸出，而在可攜式通訊系統當中又特別要求效率的問題，因為這會影響可持續供應通訊的時間。而通常線性輸出功率與效率是成反比，所以在設計上更是困難，在文獻上也有許多研究探討利用一些方法來提升效率。

4.2 pHEMT 60GHz功率放大器設計

4.2.1 放大器設計原理

傳統上設計功率放大器，需要考慮元件的耐壓，I-V圖，並且量出S參數，load-pull資料，如果是針對效率作設計的話還需要考量操作點(class-A，class-AB，class-B ...)，而基本的元件參數(breakdown voltage，I-V Curve，S-parameter ...)幾乎可以量測得到，但是對於高頻段的S參數或者load-pull資料等，所需要的儀器非常珍貴不易取得，尤其是V-Band以上的S參數分析儀以及load-pull儀器更是困難，而現實情況中可量測資源是國家奈米實驗室的110GHz S參數量測儀器，底下針對如果只有110GHz的S參數資料所作的設計。

4.2.1 Cripps 負載線理論

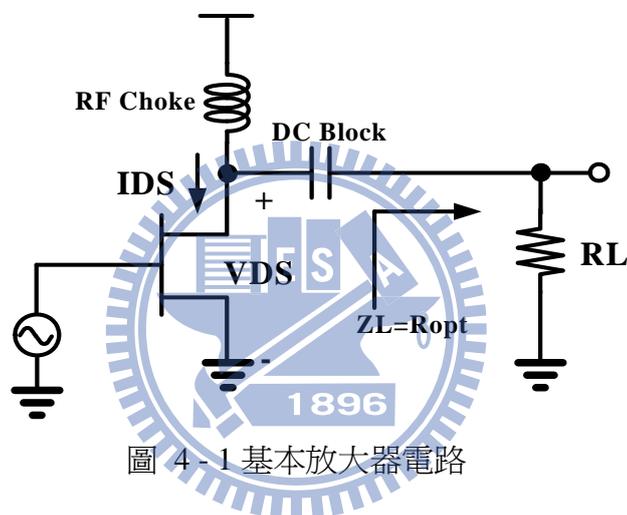
在1983年，Cripps提出了負載線理論來預測最佳功率匹配點，底下會敘述一下其理論：

分析上由圖4-1開始，由假設如果有一個ZL可以使得輸出的功率等 $P_{opt} = \frac{1}{2} V_{DC} I_{DC}$ 於則我們稱此ZL為最佳輸出匹配點。這個最佳功率令一個意思是在輸出點有最大的電壓擺幅，還有最大

的電流擺幅，如圖 4 - 2 所示，如果 $R_{HI} > R_{opt}$ 的話，輸出會有最大的電壓擺幅，但是電流並沒有最大擺幅，反之如果 $R_{LO} < R_{opt}$ 的話會有最大的電流擺幅，但是沒有最大的電壓擺幅，這兩種情況都是

$$R_{opt} = \frac{2V_{DSQ} - V_k}{I_{DSS}} \approx \frac{2V_{DSQ}}{I_{DSS}} = \frac{V_{DSQ}}{I_{DSQ}}$$

沒有最佳功率輸出，根據圖 4 - 2 所示



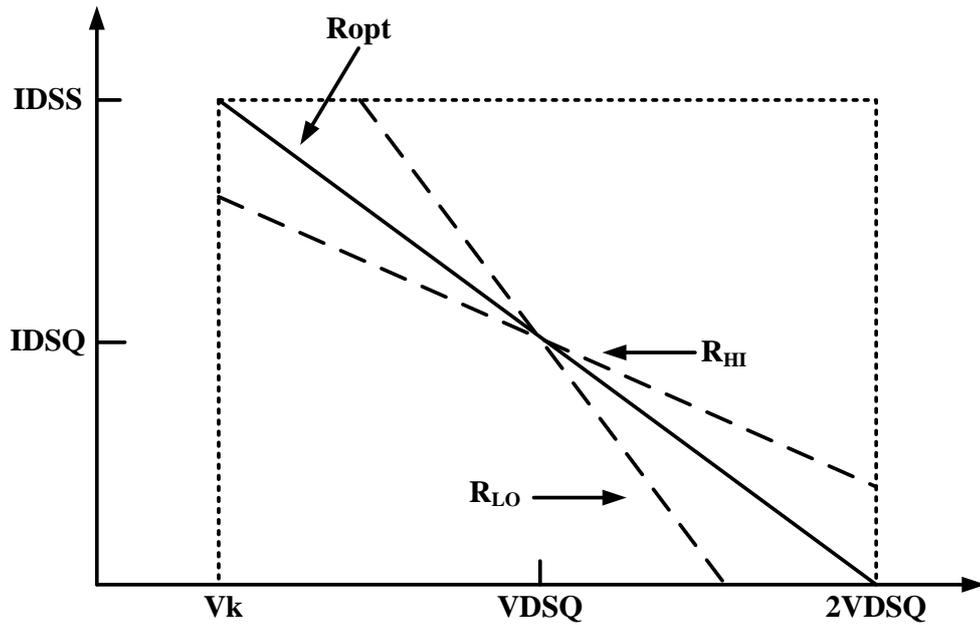


圖 4 - 2 不同RL值的電壓擺幅與電流擺幅

剛剛的分析是針對實數阻抗作推導而Cripps把阻抗延升到虛數阻抗上:

(1) 考慮低阻值狀況

我們用圖 4 - 3 來表示，假設給定一個RLO值，則到負載最大功率為 $P = \frac{1}{2} I_{DSQ}^2 R_{LO} = \frac{P_{opt}}{p}$ ，若訊號要不失真，則電壓振幅需滿足

$$V_L = 2I_{DSQ} \sqrt{R_L^2 + X_L^2} \leq 2V_{DSQ}$$

$$\text{則可以得到 } \sqrt{R_L^2 + X_L^2} \leq R_{opt} \Rightarrow -\sqrt{R_{opt}^2 - R_L^2} \leq X_L \leq \sqrt{R_{opt}^2 - R_L^2}$$

(2) 考慮高阻值情況

我們用圖 4 - 4 來表示，假設給定一個RHI值，則到負載最大功率

為 $P = \frac{1}{2} I_{DSQ}^2 R_{LO} = \frac{P_{opt}}{p}$ ，若訊號要不失真，則電流振幅需滿足

$$I_L = 2V_{DSQ} \sqrt{G_L^2 + B_L^2} \leq 2V_{DSQ} G_{opt}$$

則可以得到 $\sqrt{R_L^2 + X_L^2} \leq G_{opt} \Rightarrow -\sqrt{G_{opt}^2 - G_L^2} \leq B_L \leq \sqrt{G_{opt}^2 - G_L^2}$

上述兩種情況可以使用可以分別使用串聯RLC(For case 1)與並聯RLC(For case 2)來描述，並在smith chart上畫上等功率圖(圖 4-5)，而利用RLC來等效模擬對於設計寬頻功率放大器有幫助。

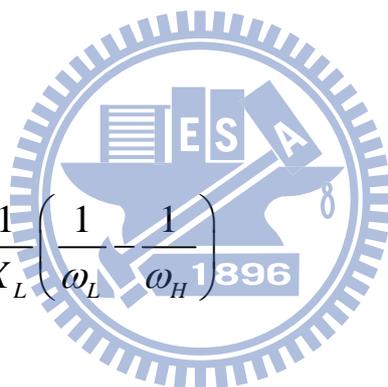
(1) 求得功率圖(串聯RLC之LC值設計公式)

$$R_{LO} = \frac{R_{opt}}{10^{p/10}}$$

$$X_L = \sqrt{R_{opt}^2 - R_{LO}^2}$$

$$L_S = \frac{X_L}{\omega_H - \omega_L}$$

$$C_S = \frac{\omega_H - \omega_L}{X_L \omega_H \omega_L} = \frac{1}{X_L} \left(\frac{1}{\omega_L} - \frac{1}{\omega_H} \right)$$



(2) 求得功率圖(並聯RLC之LC值設計公式)

$$R_{HI} = R_{opt} 10^{p/10}$$

$$B_L = \sqrt{G_{opt}^2 - G_{HI}^2}$$

$$L_S = \frac{1}{B_L} \left(\frac{1}{\omega_L} - \frac{1}{\omega_H} \right)$$

$$C_S = \frac{B_L}{\omega_H - \omega_L}$$

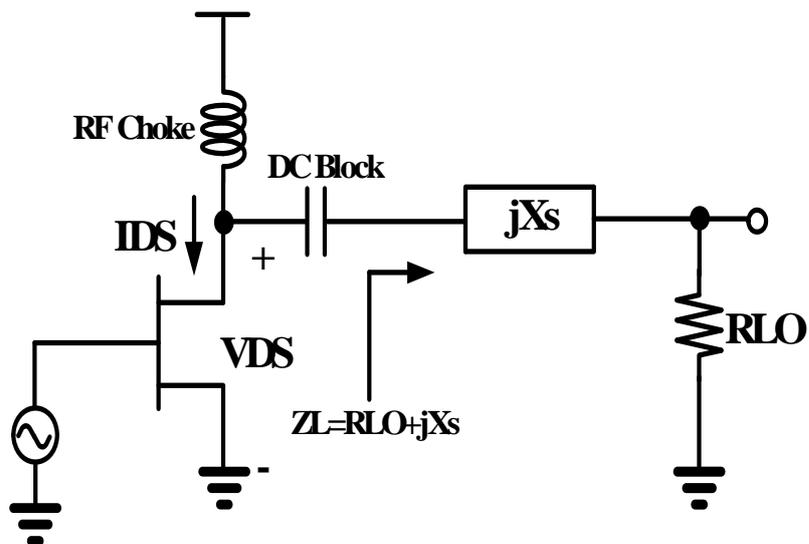


圖 4 - 3 較低輸出實部阻抗

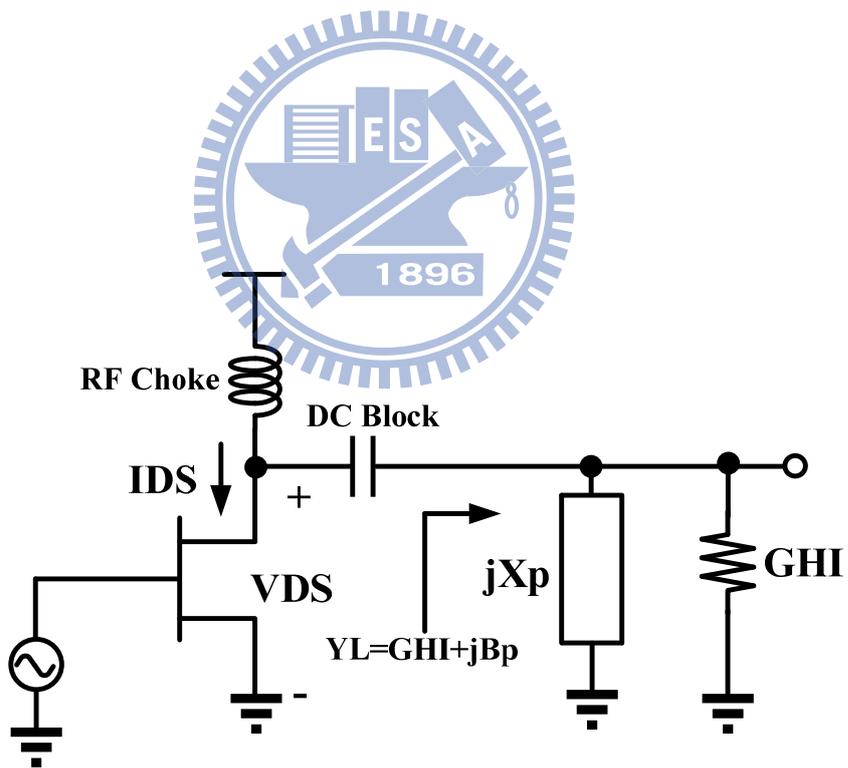


圖 4 - 4 較高輸出實部阻抗

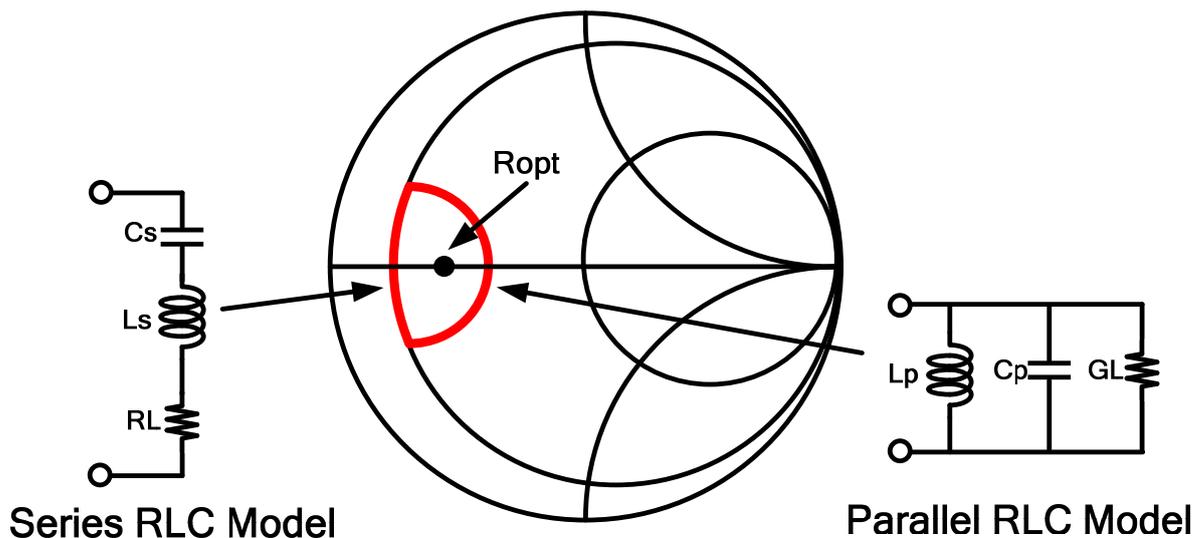


圖 4 - 5 等功率圖之輸出等效電路

(3) 功率圖的修正(電晶體寄生效應)

由Cripps負載線理論得知此功率圖是假設電晶體輸出部分為一個電流源，但是實際情況電晶體會寄生電容與寄生電感，這會影響功率圖的位置，所以必須要作適當的修正，如圖 4-6 所示。

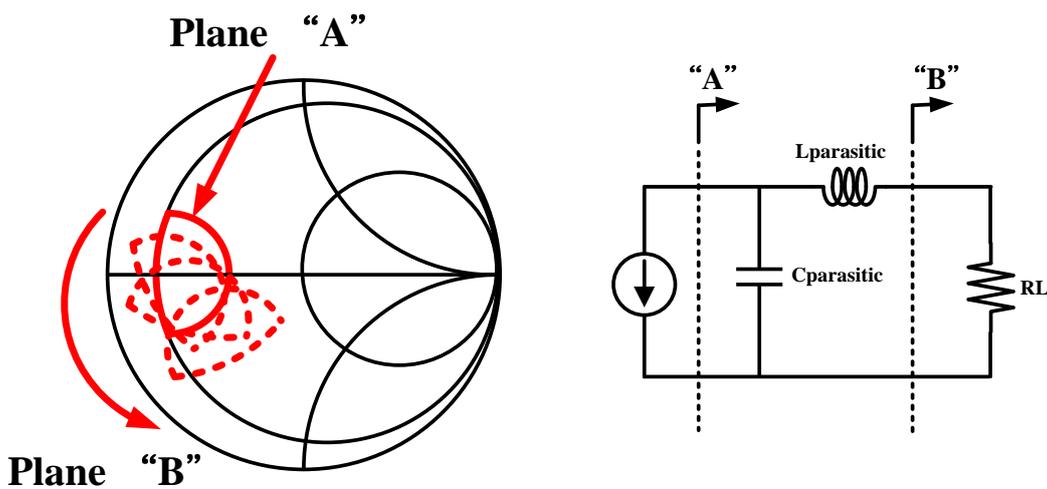


圖 4 - 6 因電晶體寄生效應須改變等功率圖

4.2.2 設計步驟

- (1) 這裡要先選擇device大小，以過去學長姐經驗得知 2X50 um 得元件較穩定，再由此元件的I-V圖求得 R_{opt} 值，而這裡要先決定操作點(bias point)而這裡通常是選擇gm值最大的操作點(可以得到相對應的VGS點(-0.5V)及電流值(30 mA)，而通常VDS是固定在 3V 左右)，並且查製程手冊裡的崩潰電壓(約為 10V)是多少，如此就可以求得最佳阻值的實部部分。
- (2) 求得的實部阻值是參考平面是到電流源的地方，如果考量真正元件的寄生效應的話，最佳功率點需要作修正，這裡有作一些假設如圖(圖 4-7)所示，我們把輸出的地方近似為電阻加上寄升電容與寄生電感，再利用量測得到 110G的S參數，fitting 50GHz到 70 GHz 的等效LC值，再把最佳功率點(只針對 60GHz單點)修正。
- (3) 上面求得的等效LC值並非是完全吻合，因為在高頻的時候輸出的Smith Chart走線圖並非完全照著圖(圖 4-7)這個趨勢走，但是對於低頻而言($< 30\text{GHz}$)這個模型還算是可以接受。文獻上也有幾篇在探討高頻model，但是這邊是希望可以給一個簡單的初始設計條件，在根據實驗結果作try-error的設計。
- (4) 設計完輸出匹配之後，在匹配輸入的地方到 50 ohm，並且注意穩定問題。
- (5) 最後要考量線的粗細，因為設計V-Band功率放大器，通常PAE不是很好，所以要產生極大的線性功率輸出的話，會要很大的電流，所以必須要更詳細檢查線單位寬度所能承受的電流量，以免燒壞。
- (6) 以上的設計步驟，並不能對此功率放大器作最佳化的設計，

只能大概知道匹配輸出點在哪，以及輸入點匹配，要對最大功率輸出及效率作最佳化，仍需要高階儀器(V-Band load-pull system)來取得元件本身在高頻大訊號的特性。

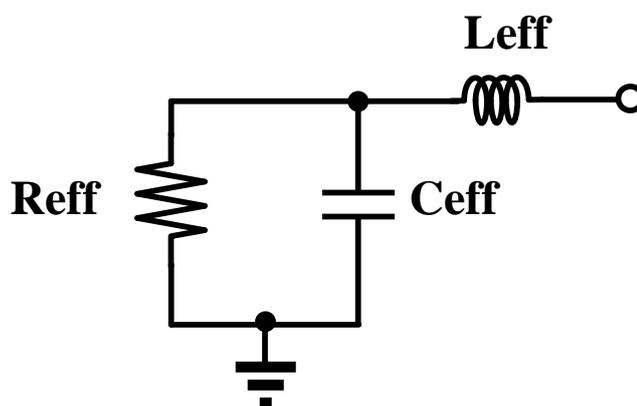


圖 4 - 7 輸出等效模型

4.3 覆晶封裝技術

傳統的bonding wire對一般低頻電路的影響不大，因為對低的頻率來說其波長很長，所以bonding wire的長度影響不大，但是在頻率高達 60GHz的時候，bonding wire已經超過 $\lambda/4$ 的傳輸線長，因此會大大影響電路匹配特性，所以在實作中利用低成本的氧化鋁陶瓷基板進行覆晶封裝(flip-chip)方式，使電路在高頻下仍然不會因為bonding wire影響其電路特性，如圖 4 - 8。

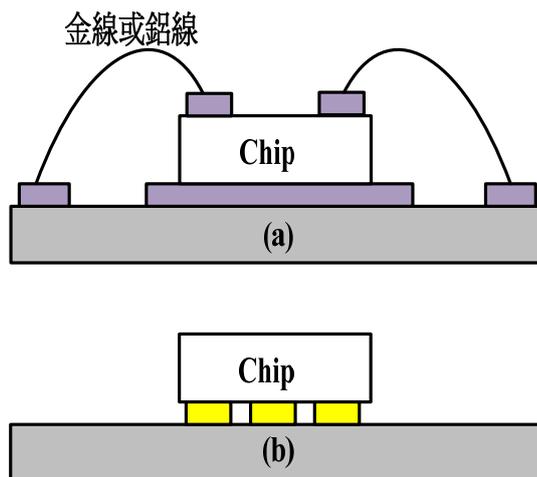


圖 4 - 8 Wire-Bonding與Flip-Chip示意圖

4.4 實作一，60GHz功率放大器

4.4.1 研究動機

功率放大器在通訊系統扮演非常重要的角色，根據系統的規格(多少距離傳輸，調變系統...)定義出功率放大器所需要的線性輸出功率，而設計出高輸出功率及高效率的功率放大器是非常重要的，本專題設計一個操作在 60GHz的功率放大器。

4.4.2 電路設計

(1) 電路架構

電路採用 2X50 um的電晶體當作一個基本的cell，輸入部分採用兩個 2X50 um的電晶體而後面一級採用四個 2X50 的電晶體，而輸出匹配阻抗根據上一節的探討作設計。

(2) 整體電路架構

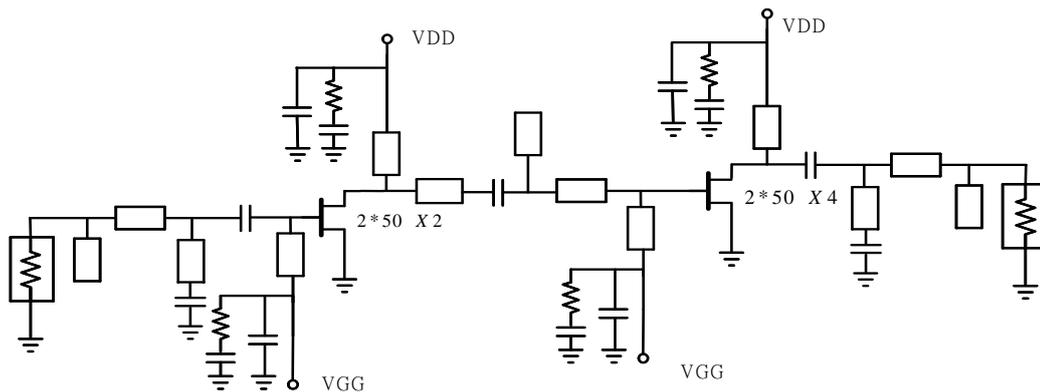


圖 4 - 9 電路架構圖

4.4.3 晶片量測結果

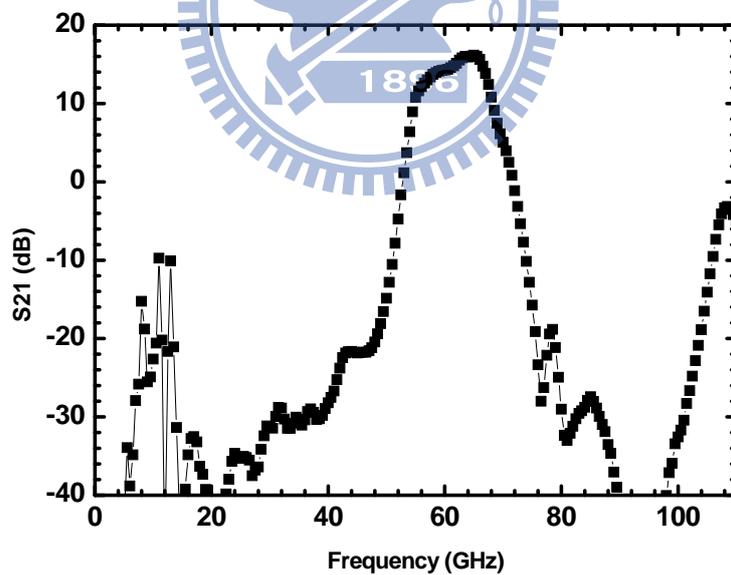


圖 4 - 10 S21 量測圖

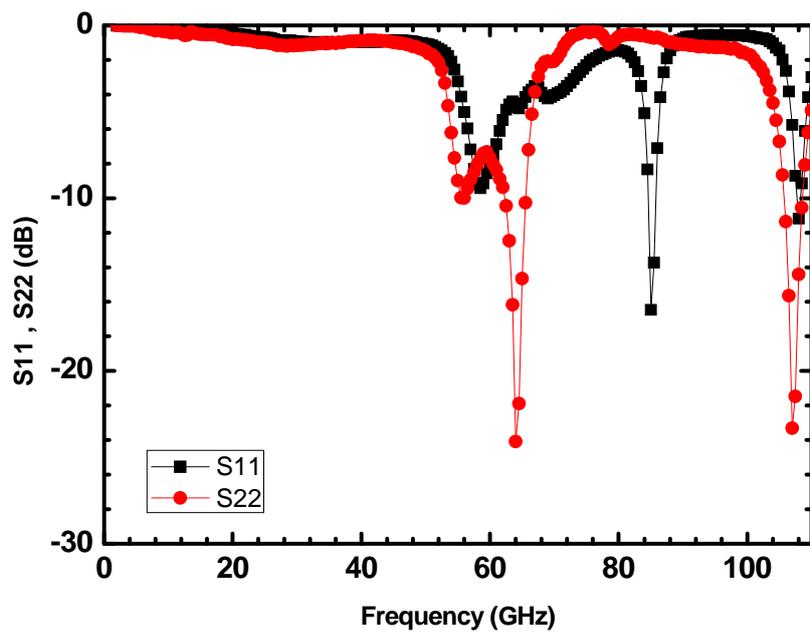


圖 4-11 S11 量測圖

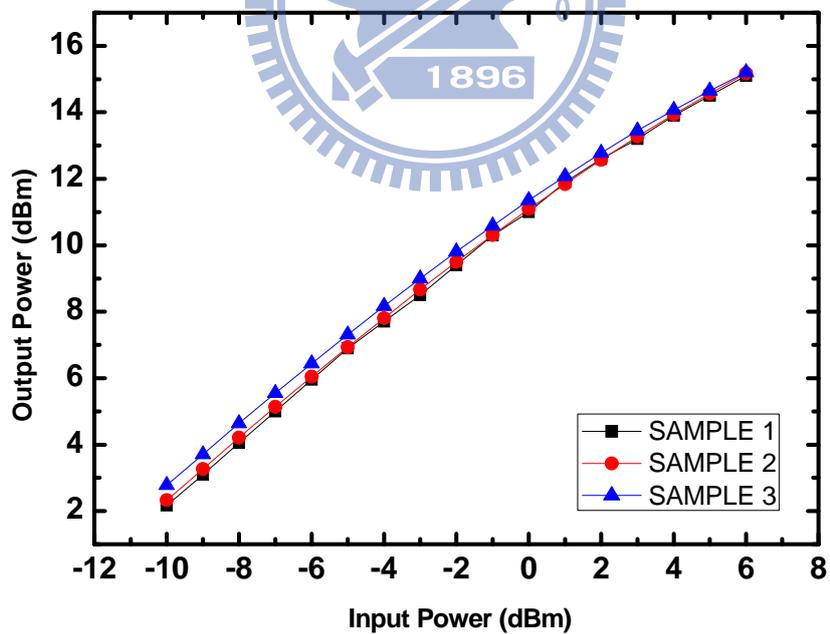


圖 4-12 57g OP1dB量測圖

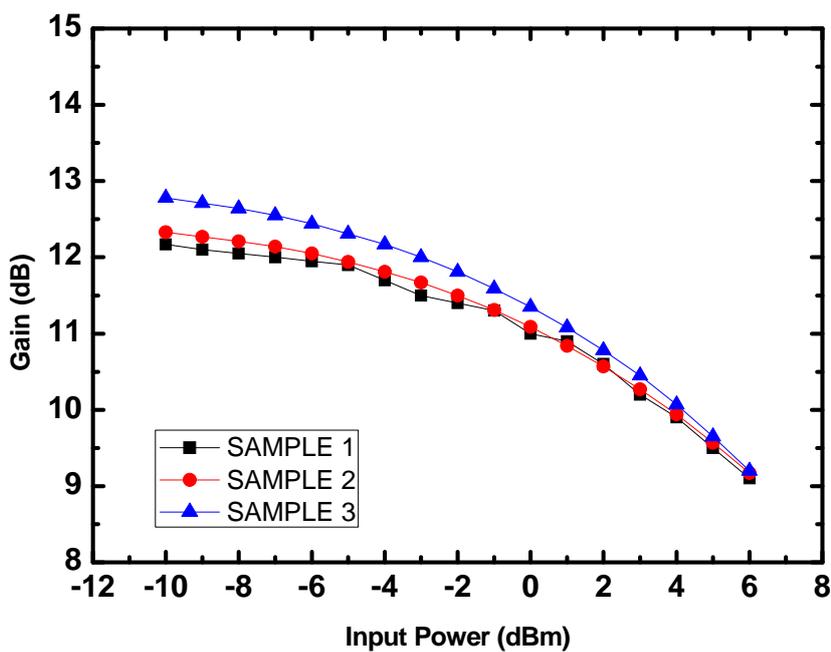


圖 4 - 13 57g 增益量測圖

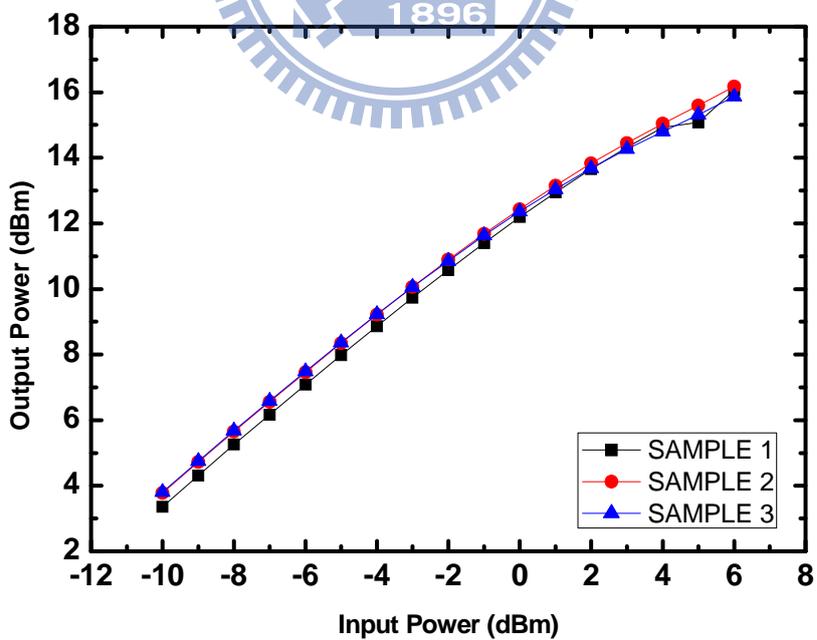


圖 4 - 14 60g OP1dB量測圖

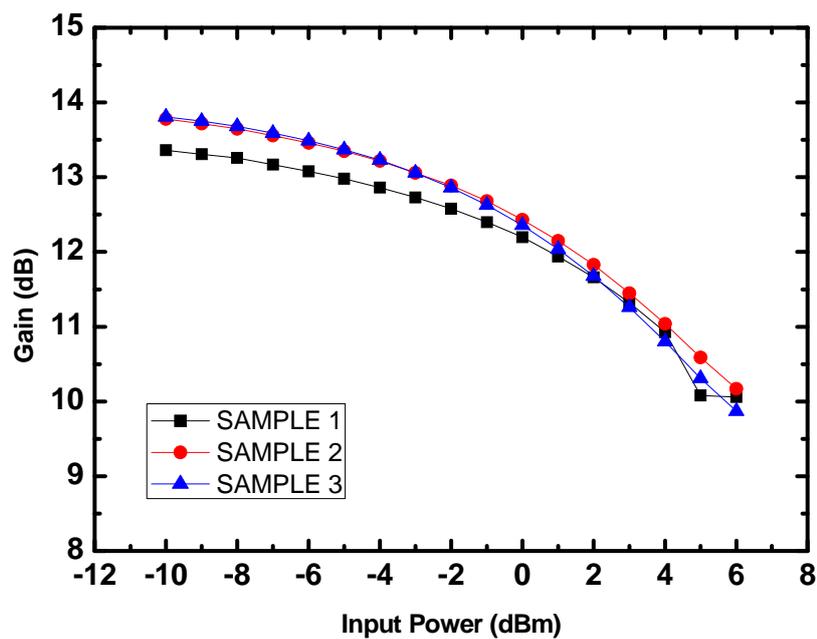


圖 4 - 15 60g 增益量測圖

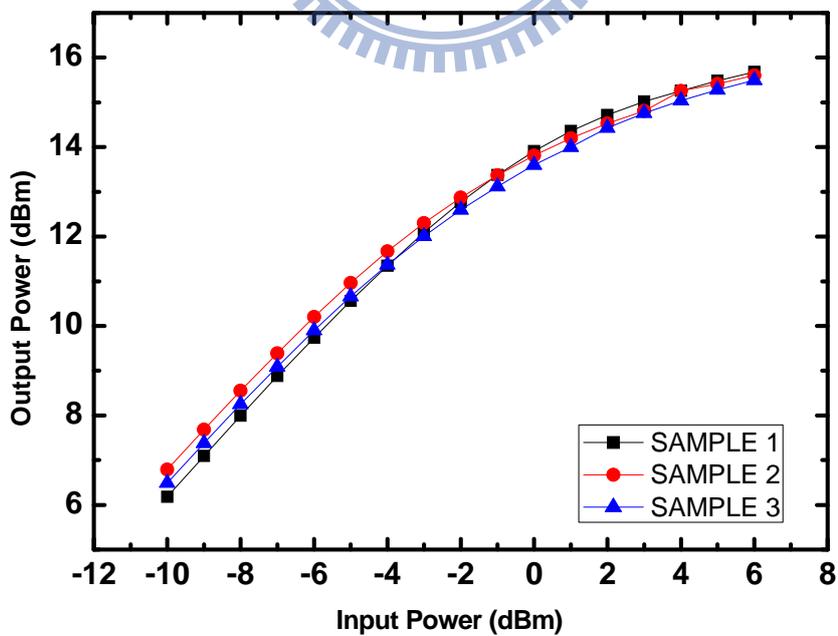


圖 4 - 16 64g OP1dB量測圖

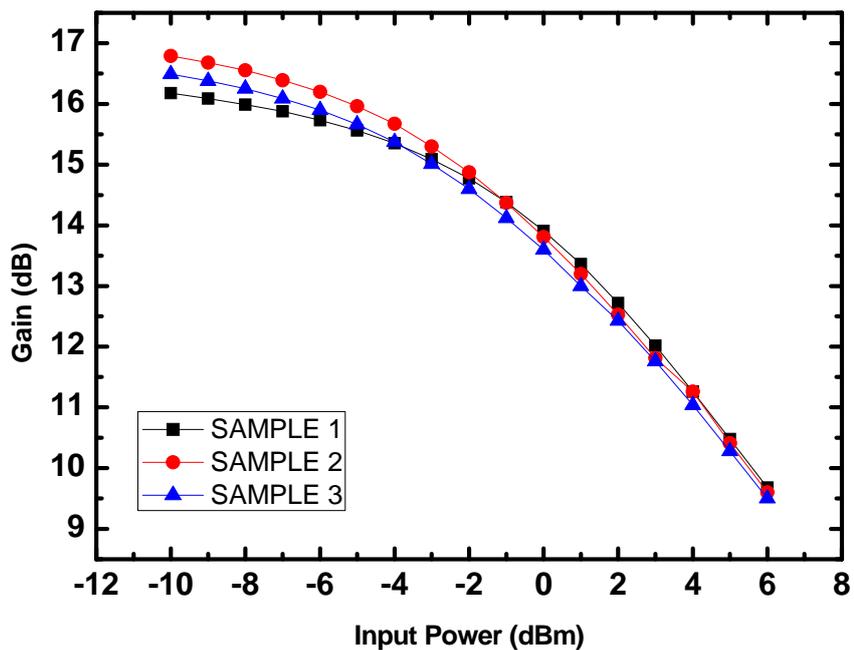


圖 4 - 17 64g 增益量測圖

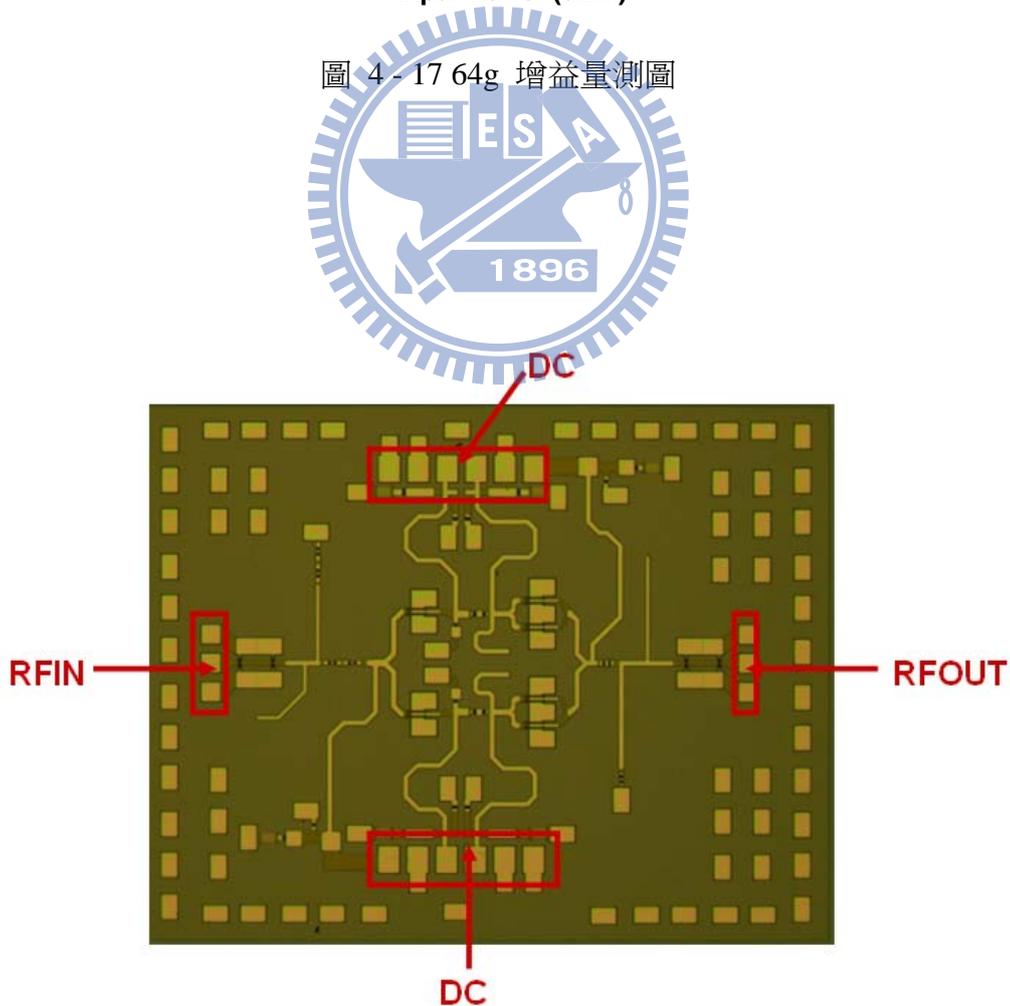


圖 4 - 18 Die Photo

4.4.4 結果與討論

VDD (V)	First Stage – 2 Second Stage – 2.5		
ID (mA)	First Stage – 40 Second Stage – 140		
Frequency (GHz)	57	60	64
Gain (dB)	~12.8	~13.8	~16.8
OP1dB (dBm)	10~11	11~12	11~13

表 4-1 60GHz 功率放大器量測結果

由量測結果得知 3dB bandwidth 是在 57-64GHz，而且在 57-60GHz 的 OP1dB 都有 10dBm 以上，增益也大於 12dB。

4.5 實作二，60GHz mHEMT 升頻器

4.5.1 研究動機

近年來，毫米波設備與電路應用於 60GHz 無線個人網路以及高速的數據通訊系統一直被持續地在研究著。在這些系統中，成本和消耗功率的縮減一直是研究的重點。就混頻器的研究而言，不但 IF 頻寬愈來愈寬，而且整個轉換損耗也在一個合理的範圍，但是它們所採取的傳輸線架構在高頻不利於覆晶封裝，所以在本次的專題中，

我們設計了一個 60G 升頻器，來驗證 flip-chip 前後的表現特性。

4.5.2 電路設計

(1) 電路架構

此升頻器可分為 3 大部分 tripler，3LO 放大器和反對稱二極體，使用 tripler 的原因是為了使得 LO 只需要輸入 9.3GHz 左右然後在設計一個操作在 30GHz 的放大器來驅動反對稱二極體，在與中頻 (4.2GHz) 混頻得到 RF (60GHz)。

(2) 整體電路架構

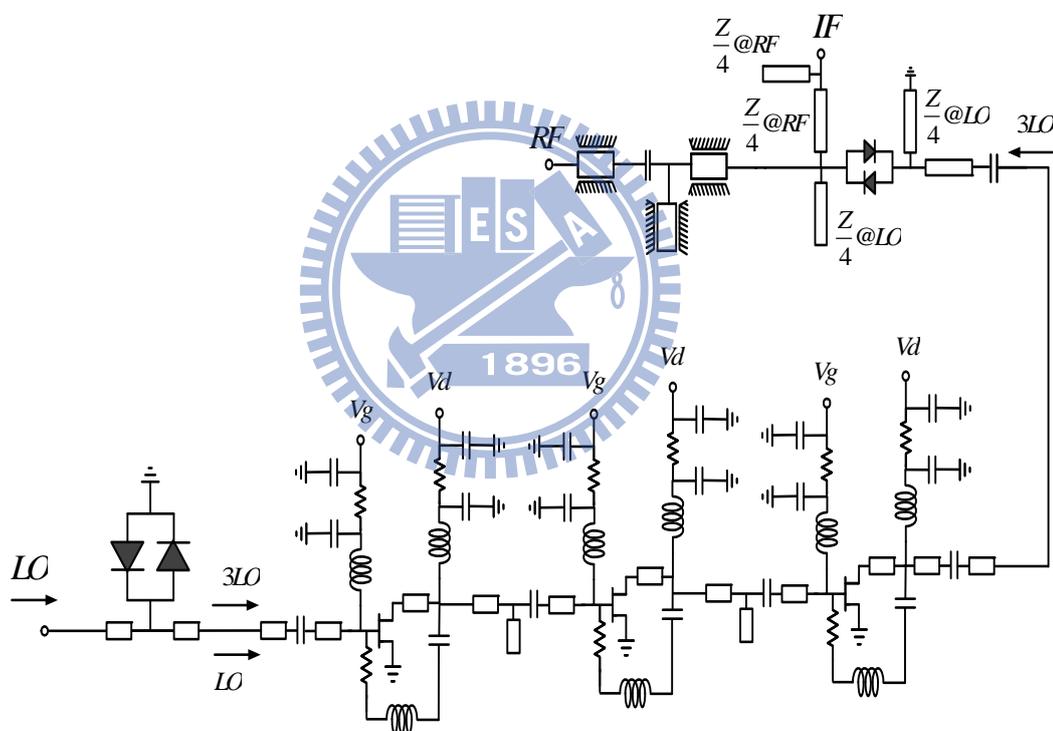


圖 4-19 電路架構圖

4.5.3 電路量測結果

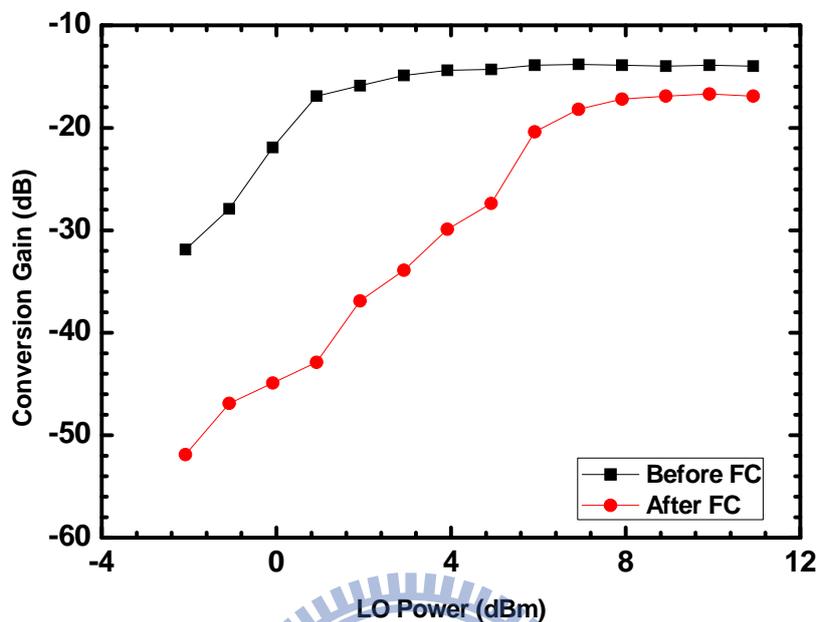


圖 4 - 20 Conversion Gain V.S LO Power

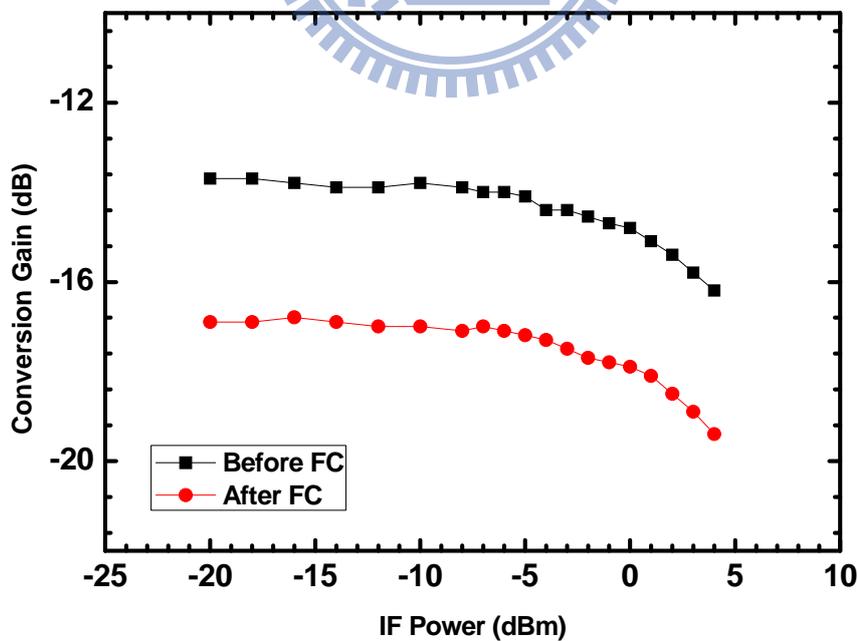


圖 4 - 21 Conversion Gain V.S IF Power

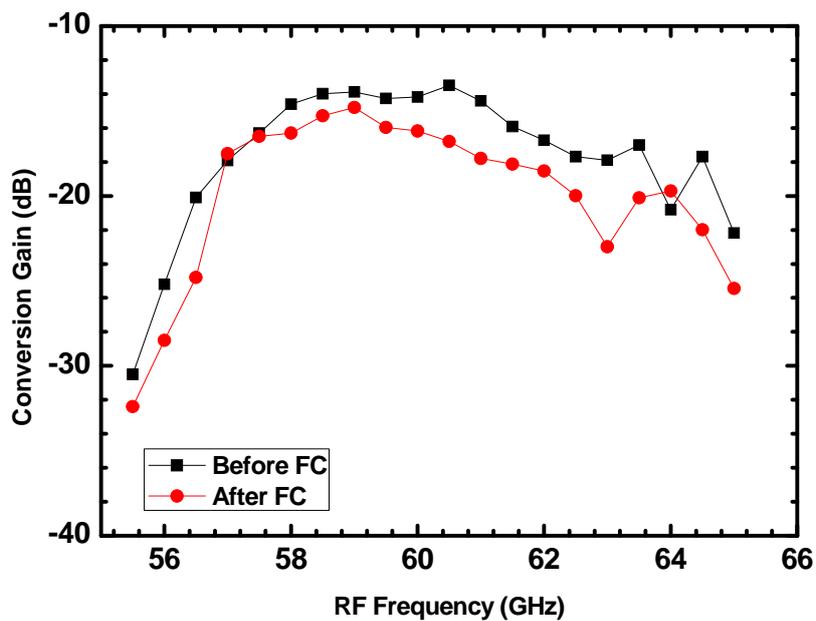


圖 4 - 22 RF Bandwidth

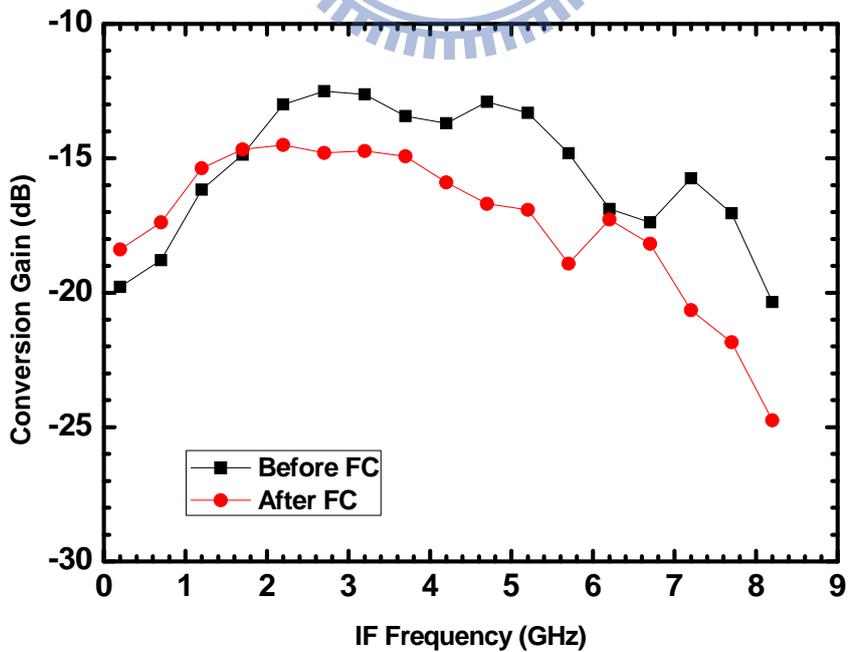
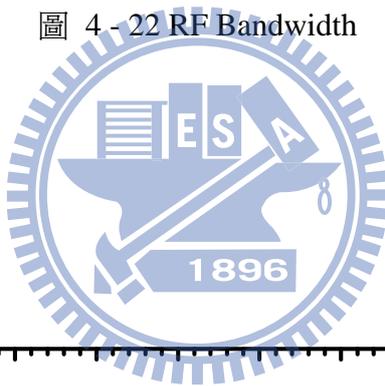


圖 4 - 23 IF Bandwidth

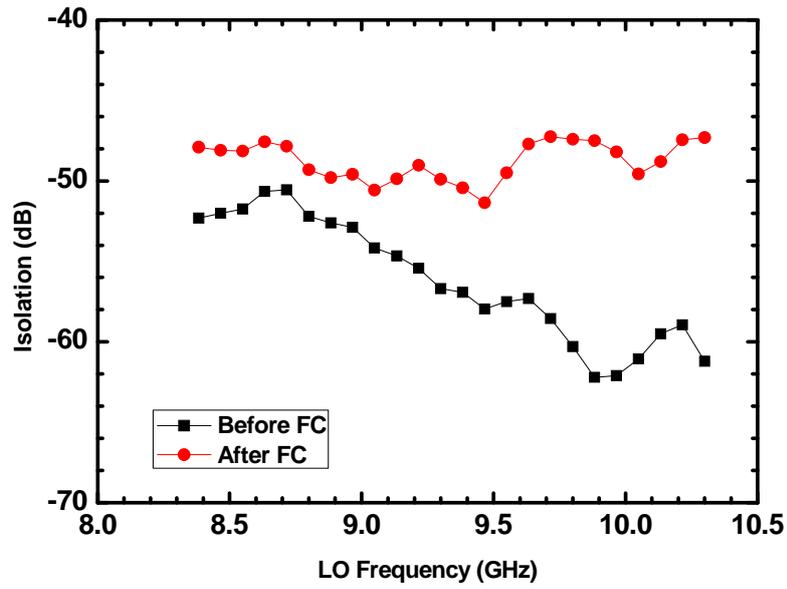


圖 4 - 24 LO-RF Isolation

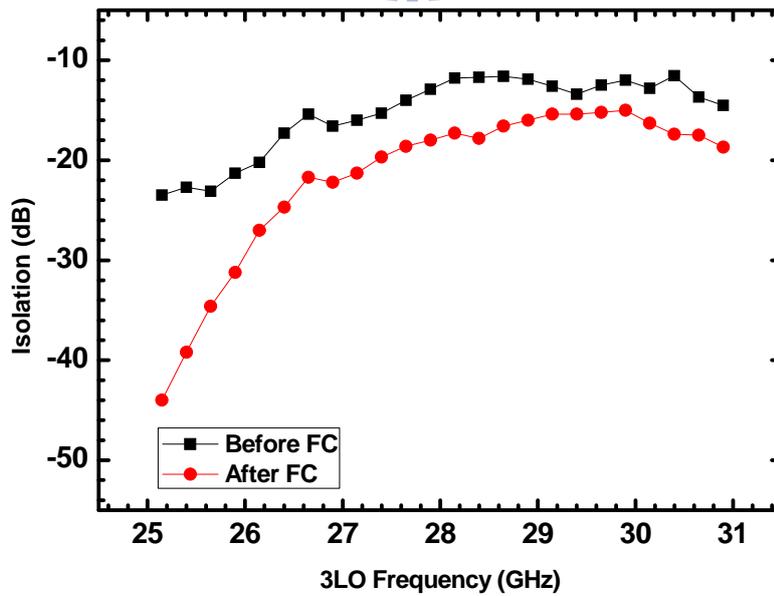
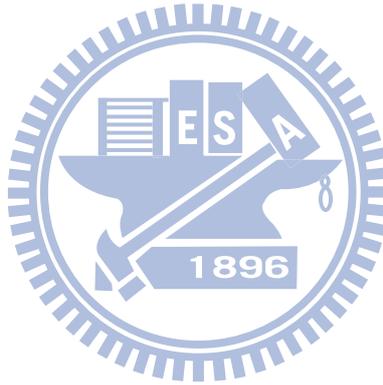


圖 4 - 25 3LO-RF Isolation

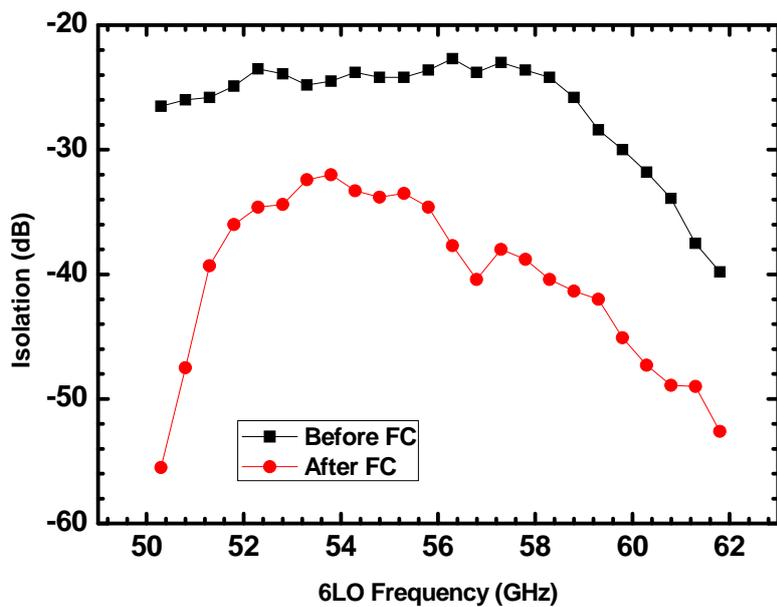


圖 4 - 26 6LO-RF Isolation

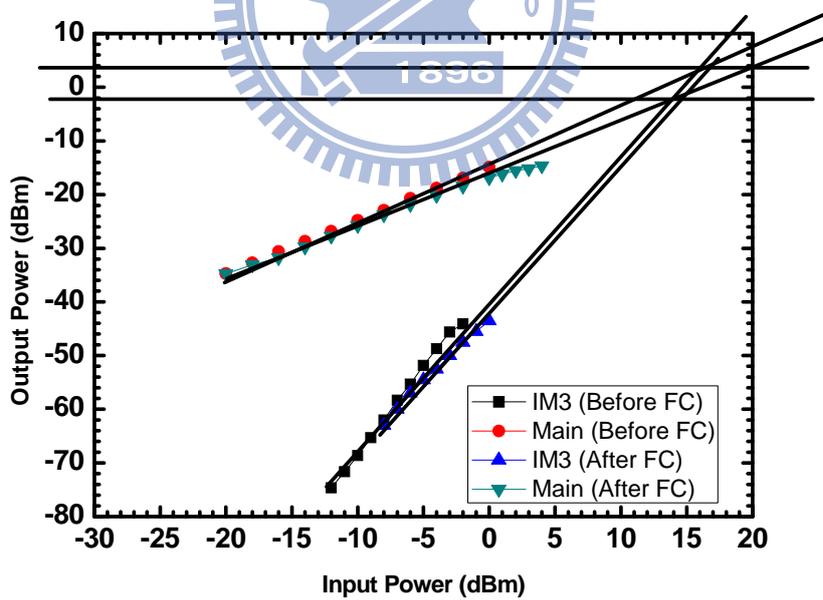


圖 4 - 27 OIP3

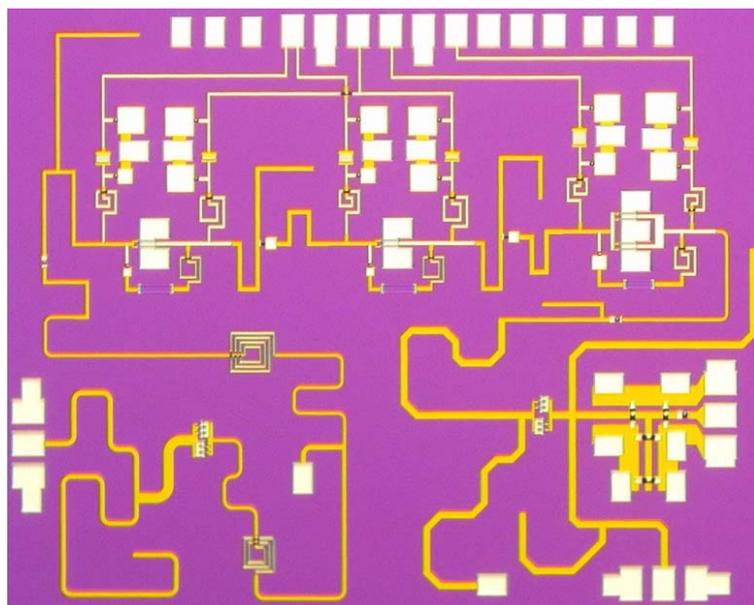


圖 4 - 28 Die Photo

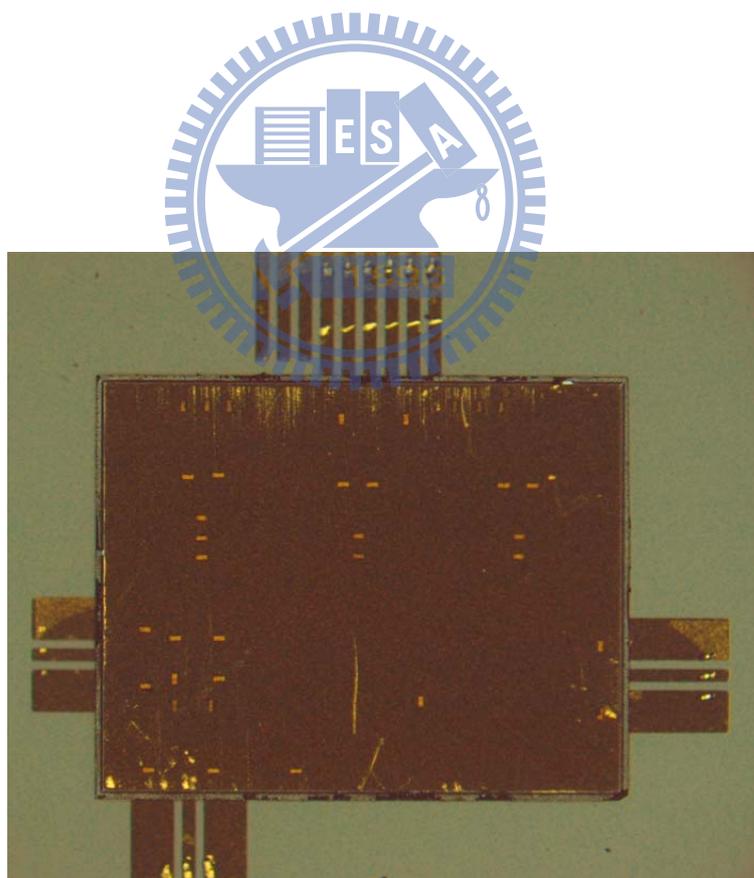


圖 4 - 29 Flip-Chip Photo

4.5.4 結果與討論

Conversion	Before FC	After FC
Input Frequency	4.2 GHz	4.2GHz
Conversion Gain	-14 dB	-16 dB
OP1dB	-10 dBm	-11 dBm
OIP3	2 dBm	3 dBm
RF Bandwidth	57~61 GHz	57~61 GHz
6LO-IF Isolation	> 30 dB	> 30 dB
Vdd	2.5 V	2.5 V
Power Consumption	212 mW	212 mW

表 4-2 比較flip-chip前後的量測結果

由量測結果得知flip-chip前後其conversion gain只降低 2dB，頻寬也沒有太大的變動，只是頻帶往低頻移動，原因可能是寄生效應鎖造成的影響，不過大體而言，電路的特性與趨勢仍在，由此可證明flip-chip技術可以運用在V-band的通訊系統上。

第五章

結論



本論文第三章利用了 SiGe 0.35 μm 和 CMOS 0.18 μm 製程，實作與量測“雙次降頻 60GHz 接收機”以及“雙次升頻 60GHz 接收機”，。第三章實驗一，“雙次降頻 60GHz 接收機”，我們可以看到轉換增益為-2~-4dB、P1dB 點約落在-3dBm 處和 RF 頻寬約為 21GHz，IF 頻寬約為 250 MHz，NF 約為 17dB 左右。第三章實驗二，“雙次升頻 60GHz 接收機”，可以看到轉換增益為-6dB、OP1dB 點約落在-30dBm 處、和 RF 頻寬約為 14GHz。

論文第四章，主要是利用 pHEMT 0.15 μm 和 mHEMT 0.15 μm 製程去分別實現 60GHz 功率放大器與比較在 V-BAND flip-chip 前後之差異。第四章實驗一，利用 pHEMT 0.15 μm 製程完成“60GHz 功率放大器”實驗結果顯示 57-64GHz 都有在 3dB 頻寬以內，OP1dB 都有在 10dBm 以上，增益也有 12dB 以上。第四章實驗二，利用和 mHEMT 0.15 μm 製程實作“60GHz mHEMT 升頻器”，實驗結果顯示 flip-chip 前後轉換增益降了約 2dB 以及所需要的 LO 功率稍微提高之外，其 RF 頻寬或者 IF 頻寬的趨勢都差不多，有就驗證了 flip-chip 技術可以運用在高頻。

第二章：

- [1] Streetman , and Banderjee , Solid-State Electronic Devices, 6'th Edition, Pearson Prentice Hall 2006
- [2] S. Sankaran and K. K. O, "Schottky barrier diodes for millimeter-wave detection in a foundry CMOS process," *IEEE Electron Device Lett.*, vol. 26, no. 7, pp 492-494, Jul. 2005
- [3] D. Shim, S. Sankaran and K. K. O, "Complementary antiparallel Schottky barrier diode pair in a 0.13 um logic CMOS technology," *IEEE Electron Device Lett.*, vol. 29, no. 6, Jul. 2008
- [4] U. R Pfeiffer, C. Mishra, R. M. Rassel, S. Pinkett, and S. K. Reynold, "Schottky barrier diode circuits in silicon for future millimeter-wave and terahertz application," *IEEE Trans. Microw. Theory Tech*, vol. 56, no. 2, Feb. 2008.
- [5] S. A. Maas, Microwave Mixer. Boston, MA: Artech House, 1986.
- [6] 張志揚, "微波工程二上課講義"
- [7] C. -H. Cao and K. K. O, "Millimeter-wave voltage-controlled oscillators in 0.13 μ m CMOS technology," *IEEE J. Solid-State Circuits*, vol. 41, no. 6, pp. 1297–1304, Jun. 2006.
- [8] C. -H. Cao and K. K. O, "A 140-GHz fundamental mode voltage-controlled oscillator in 90-nm CMOS technology," *IEEE Microw. Wireless Compon. Lett.*, vol. 16, no. 10, pp. 555–557, Oct. 2006.
- [9] E. -Y. Seok, C. -H. Cao, D. Shim, D. J. Arenas, D. Tanner, C. -M. Hung, and K. K. O, "410-GHz CMOS push-push oscillator with a patch antenna," in *ISSCC Dig. Tech. Papers*, Feb. 2008, pp. 472–473.

第三章：

- [1] B. Razavi, *Design of Analog Integrated Circuits*. New York: Mc-Graw-Hill, 2001
- [2] S. Shekhar, J. S. Walling and D. J. Allstot, "Bandwidth Extension Technique for CMOS Amplifier," *IEEE J. Solid-State Circuit.*, vol. 41, NO.11 , Nov. 2006.
- [3] S. Galal, and B. Razavi, "Broadband ESD Protection Circuits in CMOS Technology," *IEEE J. Solid-State Circuit.*, vol. 38, NO.12 , Nov. 2003.
- [4] T. LaRocca, J. Y. Liu and Mau-Chung Frank Chang, "60 GHz CMOS Amplifier

Using Transformer-Coupling and Artificial Dielectric Differential Transmission Lines for Compact Design ,” *IEEE J. Solid-State Circuit.*, vol. 44, NO.5 , Nov. 2009.

- [5] Toshiya Mitomo, Ryuichi Fujimoto, Naoko Ono, Ryoichi Tachibana, Hiroaki Hoshino, Yoshiaki Yoshihara, Yukako Tsutsumi, and Ichiro Seto, “A 60-GHz CMOS Receiver Front-End With Frequency Synthesizer,” *IEEE J. Solid-State Circuits*, 2008.
- [6] Bagher Afshar, Yanjie Wang, and Ali M. Niknejad, “A Robust 24 mW 60GHz Receiver in 90 nm standard CMOS,” *ISSCC Dig. Tech. Papers*, 2008.
- [7] Behzad Razavi, “A 60-GHz CMOS Receiver Front-End ,” *IEEE J. Solid-State Circuits*, 2006.
- [8] H. Zirath *et al.*, “Development of 60-GHz front-end circuits for a highdata- rate communication system,” *IEEE J. Solid-State Circuits*, vol. 39, no. 10, pp. 1640–1649, Oct. 2004
- [9] C.-H. Wang *et al.*, “A 60 GHz transmitter with integrated antenna in 0.18 μ m SiGe BiCMOS technology,” in *IEEE Int. Solid-State Circuits Conf. Tech. Dig.*, Feb. 2006, pp. 659–668.

第四章：

- [1] H. Wang., “A 50 to 70 GHz Power Amplifier Using 90 nm CMOS Technology,” *IEEE Microw. Wireless Compon. Lett.*, 2009.
- [2] A.M. Niknejad, “A 60 GHz 1V + 12.3dBm Transformer-Coupled Wideband PA in 90nm CMOS,” *ISSCC Dig. Tech. Papers*, 2008
- [3] Jen-Yi Su, Chinchun Meng, Yueh-Ting Lee, and Guo-Wei Huang , “Compact CPW MS CPW Two-Stage pHEMT Amplifier Compatible With Flip Chip Technique in V-Band Frequencies,” *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS*, VOL. 18, no. 2, Feb. 2008
- [4] T. Hirose, K. Makiyama, K. Ono, T. M. Shimura, S. Aoki, Y. Ohashi, S. Yokokawa, and Y. Watanabe, “A flip-chip MMIC design with coplanar waveguide transmission line in the W-Band,” *IEEE Trans. Microw. Theory Tech.*, vol. 46, no. 12, pp. 2276–2282, Dec. 1998.
- [5] A. Tessmann, M. Riessle, S. Kudszus, and H. Massler, “A flip-chip packaged coplanar 94 GHz amplifier module with efficient suppression of parasitic substrate effects,” *IEEE Microw. Wireless Compon. Lett.*, vol. 14, no. 4, pp. 145–147, Apr. 2004.
- [6] C. Kärnfelt, H. Zirath, J. P. Starski, and J. Rudnicki, “Flip chip assembly of a 40–60 GHz GaAs microstrip amplifier,” in *Proc. 34th Eur. Microw. Conf.*, Amsterdam, The Netherlands, Oct. 11–15, 2004, vol. 1, pp. 89–92.
- [7] G. P. Gauthier, L. P. Katehi, and G. M. Rebeiz, “W-Band finite ground coplanar waveguide (FGCPW) to microstrip line transition,” in *IEEE MTT-S Int. Dig.*, 1998, pp.

107–109.

- [8] L. Zhu and W. Menzel, “Broad-band microstrip-to-CPW transition via frequency-dependent electromagnetic coupling,” *IEEE Trans. Microw. Theory Tech*, vol. 52, no. 5, pp. 1517–1522, May 2004.
- [9] A. M. E. Safwat, K. A. Zaki, W. Johnson, and C. H. Lee, “Novel transition between different configurations of planar transmission lines,” *IEEE Microw. Wireless Compon. Lett.*, vol. 12, no. 4, pp. 128–130, Apr. 2002
- [10] Y. Arai, M. Sato, H. T. Yamada, T. Hamada, K. Nagai, and H. I. Fujishiro, “60-GHz flip-chip assembled MIC design considering chipsubstrate effect,” *IEEE Trans. Microw. Theory Tech.*, vol. 45, no. 12, pp. 2261–2266, Dec. 1997.

