

國立交通大學

電信工程學系

碩士論文



2.4-GHz 低功率接收機與應用於 60-GHz 發射機之 CMOS 電路

2.4-GHz Low-Power Receiver and 60-GHz Transmitter CMOS Circuits

研究生：陸熙良

指導教授：孟慶宗

中華民國九十八年九月

2.4-GHz 低功率接收機與應用於 60-GHz 發射機
之 CMOS 電路

2.4-GHz Low-Power Receiver and 60-GHz Transmitter CMOS
Circuits

研究生:陸熙良

Student: Hsi-Liang Lu

指導教授:孟慶宗 博士

Advisor: Dr. Chinchun Meng

國立交通大學

電信工程學系碩士班



Submitted to Department of Communication Engineering

College of Electrical and Computer Engineering

National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In

Communication Engineering

July 2009

Hsinchu, Taiwan, Republic of China

中華民國九十八年九月

2.4-GHz 低功率接收機與應用於 60-GHz 發射機 之 CMOS 電路

學生：陸熙良

指導教授：孟慶宗 博士

國立交通大學

電信工程學系碩士班

摘 要

本篇論文設計並實現適用於無線個人區域網路的射頻積體電路。主要會依頻段分成兩大部份：第一部份針對現今較為成熟的 ISM band，討論並比較各種低功率的技術，再實現兩種不同的 2.4-GHz 低功率接收機。第二部份則是實現出適用於 60-GHz 頻段的高品質元件電路。

論文首先會對於各種低功率的技術作研究，並且探究常見於直接降頻接收機的被動混頻器，其顫動雜訊的成因。再利用 TSMC 0.18- μm CMOS 製程來實現一個結合被動混頻器的 2.4-GHz 低功率接收機，以及結合次臨界導通偏壓技術的 2.4-GHz 低功率接收機。

高頻電路的部份，利用 TSMC 0.13- μm CMOS 製程，實現各種不同架構的 60-GHz 次諧波升頻混波器，並提出變壓器形式的巴倫來作輸出結合。為了提供良好的 30-GHz 本地震盪訊號源，還設計了一個結合三線耦合器的正交相位振盪器，可達到 0.6V 低壓操作，功率消耗 7.6mW，且 FoM 為 -203.6dBc/Hz。

2.4-GHz Low-Power Receiver and 60-GHz Transmitter

CMOS Circuits

Student : Hsi-Liang Lu

Advisor : Chinchun Meng

Department of Communication Engineering
National Chiao Tung University

Abstract

In this thesis, the radios which are suitable for Wireless Personal Area Network (WPAN) applications are designed and implemented. The thesis consists of two parts. The first part focuses on studying various low-power techniques and realizes two different 2.4-GHz low-power receivers. The second part implements high quality component circuits which are suitable for 60-GHz band applications.

First, we study different low-power techniques. Because the passive mixer is a common component of a direct-conversion receiver, we also investigate the flicker noise of passive mixers. Then, we implement a 2.4-GHz low-power receiver with passive mixers, and a 2.4-GHz low-power receiver with subthreshold biasing technique. Both chips are implemented in TSMC 0.18- μm CMOS technology.

Second, we implement different types of 60-GHz sub-harmonic upconverters in TSMC 0.13- μm CMOS technology, and propose transformer-type balun to combine RF signal. In order to provide good LO source, we design a QVCO using three-line coupler. This QVCO operates at 0.6V, and consumes 7.6mW. And the FoM is -203.6dBc/Hz.

誌謝

兩年的碩士生涯，毫無意外的迅速度過。能完成這本論文，要感謝的人真的很多。首先感謝孟慶宗教授當初的不離不棄，讓我這個從電控系來的學生能有機會接觸射頻積體電路設計。再來感謝特地抽空來參與學生口試的呂學士教授、張志揚教授以及鍾世忠教授，老師們在口試中所提出的問題以及提拔都讓學生銘記在心。而在晶片的量測過程中，要感謝國家奈米元件實驗室全體同仁的協助，特別是汶德、志華、榮彥、書毓四大護法，仰賴四位專業的量測技術，而且幾乎每次都會配合我加班才能取得這些得來不易的數據，實在是萬分感激。

兩年來和我一同奮鬥的 918 實驗室夥伴，因為你們讓我成長許多。最要感謝的是博士班的金詳學長，不管是修課討論，研究想法的提供，計畫的討論以及量測的陪伴，幾乎每個環節都給予我很大的幫助；聖哲學長樂觀積極的態度，給予我許多處事上的啟示；宏儒學長告訴我多看論文的重要，對我的研究生涯幫助很大；珍儀學姐不定時的關心，讓人感受到實驗室的溫馨。也非常感謝碩士班的威宇學長，常與我分享你特殊的人生經歷，並且在我低潮時給我許多鼓勵；揚鮮學長的聰明才智是我的學習榜樣，更是打球的好伙伴；宜蓁學姊給予

我許多經驗上的傳承，也是位稱職的中鋒；雅惠學姐超強的行動力以及愛笑的個性，常帶給大家歡樂；宜珊學姊的認真，是我們學習的楷模。還要感謝同屆的大維、欣怡、泰麟，陪我一起打拚兩年。其中特別感謝大維在我兩次生日都送上了蛋糕，令我非常感動。當然也要感謝實驗室的學弟妹：智凱、忠佑和嘉苓，你們都相當有趣，為我的實驗室生活增添許多樂趣。

最後要感謝的還是我的父母，妹妹和爺爺，感謝你們賦予我樂觀積極、不輕易被擊倒的個性，並且在精神上以及經濟上給予我許多支持，讓我無後顧之憂的取得碩士學位。在此將本論文的榮耀獻給所有關心我的人們。



陸熙良 謹於
Lab918, 交通大學
2009年9月

目錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	v
表目錄	vii
圖目錄	viii
第一章 導論	1
1.1 研究動機	2
1.2 論文組織	3
第二章 低功率接收機	4
2.1 前言	5
2.2 系統架構比較與選擇	6
2.3 現存的低功率技術之探討	6
2.3.1 低電流操作	7
2.3.2 低電壓操作	10
2.3.3 硬體重複使用	18
2.4 考量功率消耗之低雜訊放大器設計	20
2.5 主動混頻器和被動混頻器的比較	24
2.5.1 被動混頻器的顫動雜訊	25
2.5.2 次臨界導通混頻器	32
2.6 實作一，Low-Power Low-Noise Direct-Conversion Receiver with Passive Mixers(CMOS 0.18- μ m)	33
2.6.1 研究動機	33
2.6.2 架構設計考量	33
2.6.3 增益分析	35
2.6.4 熱雜訊分析	37
2.6.5 顫動雜訊分析	40
2.6.6 電路設計	53
2.6.7 晶片量測結果	57
2.6.8 結果與討論	60
2.7 實作二，Low-Power Low-Noise Direct-Conversion Receiver with Subthreshold Biasing Techniques(CMOS 0.18- μ m)	62
2.7.1 研究動機	62
2.7.2 系統設計考量	62

2.7.3 電路設計	65
2.7.4 晶片量測結果	73
2.7.5 結果與討論	76
第三章 60-GHz 發射機之元件電路設計	79
3.1 前言	80
3.2 60-GHz 次諧波升頻混波器之分析	81
3.2.1 主動式次諧波升頻混波器	81
3.3.2 高頻正交相位之產生	86
3.2.3 輸出 combiner	89
3.3 實作一，60-GHz stacked-LO 次諧波升頻混波器(CMOS 0.13- μ m).....	96
3.3.1 研究動機	96
3.3.2 電路設計	96
3.3.3 晶片量測結果	100
3.3.4 結果與討論	104
3.4 實作二，60-GHz 具有時間延遲補償的 stacked-LO 次諧波升頻混波 器(CMOS 0.13- μ m).....	107
3.4.1 研究動機	107
3.4.2 電路設計	107
3.4.3 晶片模擬與部份量測結果	110
3.4.4 結果與討論	113
3.5 實作三，60-GHz leveled-LO 次諧波升頻混波器(CMOS 0.13- μ m).....	114
3.5.1 研究動機	114
3.5.2 電路設計	114
3.5.3 晶片量測結果	115
3.5.4 結果與討論	120
3.6 30-GHz 正交相位壓控震盪器(CMOS 0.13- μ m).....	121
3.6.1 研究動機	121
3.6.2 電路設計	121
3.6.3 晶片量測結果	129
3.6.4 結果與討論	132
第四章 結論	135
參考文獻	138
Vita	144

表目錄

表 2.1	切換轉導級混頻器和一般主動混頻器之比較	17
表 2.2	Low-Power Low-Noise Direct-Conversion Receiver with Passive Mixers (CMOS 0.18- μ m) Summary	61
表 2.3	Low-Power Low-Noise Direct-Conversion Receiver with Subthreshold Biasing Techniques (CMOS 0.18- μ m) Summary	77
表 2.4	實作一與實作二之比較表 2.4-GHz 低功率接收機文獻比較表 ..	77
表 2.5	2.4-GHz 低功率接收機文獻比較表	78
表 3.1	60-GHz stacked-LO 次諧波升頻混波器整體特性表	105
表 3.2	升頻混波器之文獻比較表	106
表 3.3	60-GHz stacked-LO 具有時間延遲補償的次諧波升頻混波器整體特性表	113
表 3.4	60-GHz leveled-LO 次諧波升頻混波器整體特性表	120
表 3.5	30-GHz 正交相位壓控振盪器整體特性表	133
表 3.6	高頻正交相位壓控振盪器文獻比較表	134



圖目錄

圖 1.1	無線通訊標準發展層次示意圖	2
圖 2.1	模擬 120 μm /0.18 μm NMOS 電晶體之 f_T , g_m/I_d , g_m and r_{ds}	9
圖 2.2	模擬 120 μm /0.18 μm NMOS 電晶體之 g_m and r_{ds}	9
圖 2.3	折疊式混頻器	11
圖 2.4	應用於折疊切換式混頻器之轉導器	11
圖 2.5	電流重複使用之交流耦合、折疊切換級混頻器	14
圖 2.6	利用 NMOS 轉導級和 CMOS 反相器當開關之雙平衡式切換轉導級混波器	14
圖 2.7	假設 ON 和 OFF 的切換時間 τ_{sw} 相同，會出現在切換轉導級混頻器之波形	15
圖 2.8	低雜訊放大器和混頻器之結合	19
圖 2.9	低雜訊放大器、混頻器和振盪器堆疊成的 LMV cell	20
圖 2.10	源極電感退化低雜訊放大器	21
圖 2.11	考慮功率消耗之低雜訊放大器	22
圖 2.12	比較切換電流的雙平衡式主動混頻器和切換電壓的被動 FET 混頻器	26
圖 2.13	描述電壓切換模式的被動混頻器之關閉重疊(OFF overlap)和開啟重疊(ON overlap)模式	27
圖 2.14	一連串脈衝之雜訊所造成的切換時間擾動模型。在開啟重疊(ON overlap)，這個脈衝串具有 $2f_{LO}$ 的週期，然而在關閉重疊(OFF overlap)，它的週期是 f_{LO}	28
圖 2.15	操作在次臨界導通的混頻器	32
圖 2.16	低功率、低雜訊直接降頻接收機詳細電路圖	35
圖 2.17	系統概念圖	36
圖 2.18	被動混頻器等效成切換電容(switch-capacitor)電路	39
圖 2.19	主動混頻器示意圖	40
圖 2.20	單平衡式主動混頻器	41
圖 2.21	週期穩態電路模型	45
圖 2.22	$g_m(t)$ 和 $g_{ds}(t)$ 的線性分段近似	46
圖 2.23	LNA 和電流模式被動混頻器之示意圖	51
圖 2.24	LNA 和電流模式被動混頻器操作在 OFF overlap 模式	51
圖 2.25	低雜訊放大器電路圖	54
圖 2.26	低雜訊放大器模擬圖	55

圖 2.27	轉阻放大器	56
圖 2.28	轉換增益對 LO 功率	57
圖 2.29	轉換增益對 RF 頻率	57
圖 2.30	轉換增益對 RF 功率	58
圖 2.31	輸入返回損耗	58
圖 2.32	IF 頻寬和雜訊指數	59
圖 2.33	雜訊指數(不同偏壓狀況)	59
圖 2.34	Die Photo (1.7mm × 0.9mm)	60
圖 2.35	結合次臨界導通偏壓技術的接收機電路	64
圖 2.36	考量功率消耗的低雜訊放大器	66
圖 2.37	低雜訊放大器模擬圖(50ohm load)	67
圖 2.38	低雜訊放大器模擬圖(非 50ohm load)	69
圖 2.39	負載共振時的低雜訊放大器示意圖	69
圖 2.40	LC tank 共振頻附近 Smith chart 之變化	69
圖 2.41	次臨界導通主動式混頻器電路圖	70
圖 2.42	次臨界導通可變增益放大器電路圖	71
圖 2.43	次臨界導通可變增益放大器之負載小訊號等效模型	72
圖 2.44	轉換增益對 LO 功率	73
圖 2.45	轉換增益對 RF 頻率	73
圖 2.46	輸出功率對 RF 功率	74
圖 2.47	轉換增益對 RF 功率	74
圖 2.48	輸入返回損耗	75
圖 2.49	Die Photo (1.1mm × 0.9mm)	75
圖 3.1	60-GHz 發射機架構	81
圖 3.2	(a) stacked-LO (b) leveled-LO 次諧波混頻器之簡化架構	82
圖 3.3	Stacked-LO 升頻混波器的 switching function	83
圖 3.4	Leveled-LO 混頻器之電流示意圖	84
圖 3.5	Stacked-LO 架構和 level-LO 架構所需之 LO power 比較圖	85
圖 3.6	RC-CR 正交相位產生器與 LR-CR 正交相位產生器	87
圖 3.7	利用變壓器作 combiner 之示意圖	90
圖 3.8	利用鼠徑分合波器作 combiner 之示意圖	92
圖 3.9	馬爾尚巴倫之模擬示意圖	93
圖 3.10	馬爾尚巴倫和 1:1 變壓器之示意圖	94
圖 3.11	馬爾尚巴倫和 1:1 變壓器之模擬圖	94
圖 3.12	變壓器型式巴倫之 3D 圖	95
圖 3.13	變壓器型式巴倫之示意圖	95
圖 3.14	60-GHz stacked-LO 次諧波升頻混波器整體電路圖	96
圖 3.15	四分之一波長耦合器示意圖	98

圖 3.16	四分之一波長耦合器 3D 圖	98
圖 3.17	四分之一波長耦合器模擬圖	98
圖 3.18	變壓器形式之巴倫 3D 圖	99
圖 3.19	轉換增益對 LO 功率	100
圖 3.20	轉換增益對 RF 頻率	100
圖 3.21	輸出功率對 IF 功率	101
圖 3.22	轉換增益對 IF 功率	101
圖 3.23	轉換增益對 IF 頻率	102
圖 3.24	IP1dB 對 RF 頻率	102
圖 3.25	IIP3 對 RF 頻率	103
圖 3.26	輸出返回損耗	103
圖 3.27	Die Photo (0.81mm × 0.87mm)	104
圖 3.28	60-GHz 具有時間延遲補償的 stacked-LO 次諧波升頻混波器電路圖	107
圖 3.29	混頻器 cell 的時間延遲問題	108
圖 3.30	時間延遲補償的分析圖	109
圖 3.31	四分之一波長耦合器 3D 圖	109
圖 3.32	轉換增益對 LO 功率	110
圖 3.33	轉換增益對 RF 頻率	110
圖 3.34	轉換增益對 IF 頻率	110
圖 3.35	轉換增益對 IF 功率	111
圖 3.36	2LO-to-RF isolation 對 RF 頻率	111
圖 3.37	LO-to-RF isolation 對 RF 頻率	111
圖 3.38	輸出返回損耗	112
圖 3.39	Die Photo (0.97 mm × 0.9 mm)	112
圖 3.40	60-GHz leveled-LO 次諧波升頻混波器電路圖	114
圖 3.41	轉換增益對 LO 功率	115
圖 3.42	轉換增益對 RF 頻率	116
圖 3.43	轉換增益對 IF 頻率	116
圖 3.44	轉換增益對 IF 功率	117
圖 3.45	2LO-to-RF isolation 對 RF 頻率	117
圖 3.46	輸出返回損耗	118
圖 3.47	輸出功率對 IF 功率(不同 RF 頻率)	118
圖 3.48	轉換增益對 IF 功率(不同 RF 頻率)	119
圖 3.49	Die Photo (0.97 mm × 0.8 mm)	119
圖 3.50	各種不同的正交訊號產生回授方式	123
圖 3.51	各種不同的振盪器回授方式	124
圖 3.52	30-GHz 正交相位振盪器整體電路圖	124

圖 3.53	三線耦合器.....	125
圖 3.54	閘極看入之等效模型.....	127
圖 3.55	輸出功率量測結果.....	129
圖 3.56	頻率和輸出功率對 Vtune 的量測結果.....	129
圖 3.57	Phase noise 量測結果.....	130
圖 3.58	相位雜訊對頻率作圖.....	130
圖 3.59	旁帶消除比對 Vtune 作圖.....	131
圖 3.60	旁帶消除比.....	131
圖 3.61	Die Photo (die size:1.1 mm × 0.8 mm, QVCO core size:0.18 mm × 0.45 mm).....	132



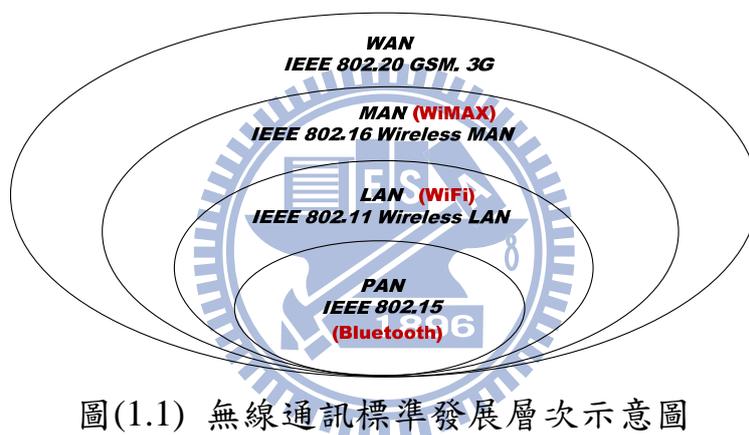
第一章

導論



1.1 研究動機

IEEE 電機及電子工程師協會綜合數百名業內之專家學者意見，以涵蓋之區域大小為基準，訂出了無線通訊標準發展層次示意圖，如所示。該圖包括了從個人區域網 PAN(Personal Area Network)的 IEEE 802.15 標準到本地區域網 LAN (Local Area Network) 的 IEEE 802.11 標準、都市區域網 MAN (Metropolitan Area Network) 的 IEEE 802.16 標準，直至提議中的廣域網 WAN(Wide Area Network)的 IEEE 802.20 標準[1]。



圖(1.1) 無線通訊標準發展層次示意圖

近年來，如家電控制、監控設備控制、保全設備控制等，以小資料量無線傳輸為主的應用，其需求逐漸增加。以上的應用皆屬於短距離無線傳輸的範疇，也就是適用於 WPAN 這個標準。儘管以目前 ISM 頻段來看，上述應用大多已有產品問世，但是因為更換電池不易，如何降低功率消耗以提高產品的方便性，仍舊是電路設計者努力追求的目標。因此在本論文第二章探討各種現有的低功率技術，並實現了兩種適用於 ISM 頻段的 2.4-GHz 低功率接收機。

然而，ISM 頻段因為頻道擁擠，難以達到高資料傳輸速率。可是隨著高品質、大容量的影音檔案逐漸普及，如何能無線傳輸這些高品

質的影音資訊，成為研究無線通訊系統等公司或學校的一大挑戰。UWB 是之前有機會達到高資料傳輸的一種通訊標準，但是近幾年尚未有產品問世。反觀60-GHz 頻段的通訊標準，在2009年5月，由 Atheros，Broadcom 等知名公司組成的 WiGig 無線技術聯盟，以60-GHz 頻譜規格來發展無線技術，期望建立傳輸速度達到1Gb 的無線網路技術。因此60-GHz 電路的研究具有一定的前瞻性。所以在本論文的第三章，針對60-GHz 頻段，研究並實現了兩種適用於60-GHz 發射機的 CMOS 元件電路。

1.2 論文組織



本篇論文將利用 TSMC 0.18 μm CMOS 以及 TSMC 0.13 μm CMOS 製程技術來設計晶片。本論文分為四個章節，第一章為導論，說明了研究動機與論文組織。第二章為低功率接收機，介紹各種低功率的技術，以及被動混頻器的顫動雜訊成因，並實作兩種2.4-GHz 低功率接收機。第三章為適用於60-GHz 發射機系統的元件電路，實現各種60-GHz 次諧波升頻器，並提出了變壓器形式的巴倫作的輸出結合。此外，為了提供此升頻器所需的30-GHz 本地震盪訊號源，結合三線耦合器實現一個正交相位振盪器。第四章則對上述的所有電路設計與實作結果做個結論與比較。

第二章



低功率接收機

2.1 前言

隨著後 PC 時代的來臨，許多電器設備皆朝向可攜式無線通訊設備發展，因此短距離的無線通訊標準也因而被制定且逐漸佔有重要的地位。IEEE 制定適用於短距離的無線通訊標準是無線個人區域網 WPAN(Wireless Personal Area Network)標準，諸如家庭娛樂網路、汽車無線應用、遊戲機連線、PC 無線周邊、消費性電子、家庭保全監控、工業環境監控以及個人醫療照護，都是屬於此技術的應用。以上應用，可能由於更換電池不易，或是因為大量使用導致更換電池不便，會特別需要低功率操作。本章節所實現的電路，就是以低功率為目標去設計。

低功率的設計，針對不同的規格以及應用上的要求，可以從系統架構的選擇出發，到電路設計層面，各種電路區塊皆有許多低功率的技術可供運用與結合，權衡雜訊及線性度等各種不同的特性，方可決定各子電路的架構。

本章節先比較適用於低功率消耗的系統架構，接下來探討現存的幾大類低功率消耗技術，並針對不同的電路區塊，分別研究其低功率設計和其他特性的關係。最後討論實作及量測的結果。

2.2 系統架構比較與選擇

傳統的接收機設計，有三種一般常見的架構：超外差(super-heterodyne) 架構，低中頻(low-IF) 架構和直接降頻(direct conversion)架構。由於超外差架構可以提供良好及穩定的特性，現代最先進的手持裝置中，超外差架構是最廣泛被使用的架構。但是，對超外差架構而言，其中一個主要的缺點就是為了解決鏡像訊號問題，需要用許多晶片外(off-chip)的表面聲波(SAW)濾波器，使得超外差接收機架構難以達到高度積體化，進而提高了成本。若要解決鏡像訊號的問題，又希望可以盡量將系統整合在一個晶片上，可以採用威福(Weaver)鏡像消除架構、哈特利(Hartley) 鏡像消除架構或是直接降頻架構。前兩者為低中頻(Low-IF)架構，第三者為零中頻(Zero-IF)架構。其中威福(Weaver)鏡像消除架構是雙降頻(dual conversion)架構，不僅有第二鏡像訊號問題，還需要多一級降頻器，相對於另外兩種架構，功率消耗較大。因此適用於低功率接收機的架構，常用的是哈特利(Hartley)架構和直接降頻(direct conversion)架構。

2.3 現存的低功率技術之探討

低功率之技術，主要可以分成以下三大類：(1)低電流操作，(2)低電壓操作和(3)硬體重複使用，以下將分別對這三大類技術做探討。

2.3.1 低電流操作

低電流操作，可以藉由將電路偏壓在次臨界導通(subthreshold)區域來達成。次臨界導通偏壓已經是個標準的低功率設計技術，被廣泛的應用於類比電路的設計。和一般偏壓在強反轉區相比，將 MOSFET 偏壓在次臨界導通主要的優點，可以大幅增加轉導對偏壓電流比。次臨界導通運作也已經實現在供應電壓低於電晶體臨界電壓的超低功率數位電路。

操作在弱反轉區(weak inversion region)NMOS 電晶體的汲極電流 i_D 可以近似成

$$i_D = \frac{W}{L} I_{D0} \exp\left(\frac{v_{GS}}{n\left(\frac{kT}{q}\right)}\right) \quad (2.1)$$

在此 n 是次臨界導通的斜率因子， I_{D0} 是製程參數， k 是波資曼常數， T 是溫度(K)， q 是電子的電荷量。電晶體的轉導如下

$$g_m = \frac{I_D}{\left(\frac{nkT}{q}\right)} \quad (2.2)$$

因為次臨界導通的 MOS 電晶體其元件特性類似雙極性(bipolar)元件，許多雙極性設計技術(像是跨導線性(translinear)迴路電流模式電路)就變得有關聯。次臨界導通電路也只需要較低的電壓空間

(voltage headroom)，導致更容易利用堆疊技術或是降低供應電壓。若是當作開關，達到硬切換(hard switching)所需之電壓擺幅也比傳統的 CMOS 電路還低：舉例來說，差動對僅需 $3kT/q$ ($\approx 78mV$) 即可硬切換(hard switching)。

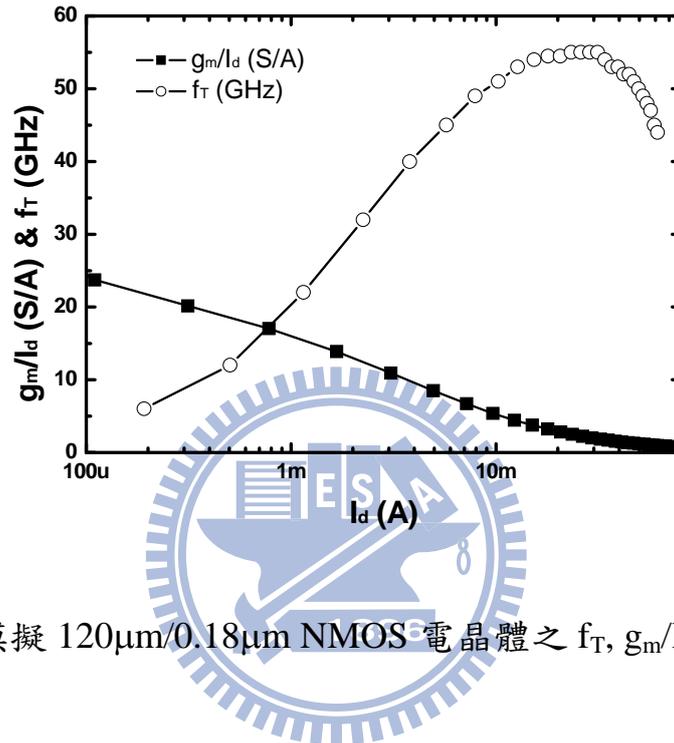
雖然 g_m / I_D 比值高過強反轉區，轉導的絕對值卻小得多。舉例來說，一個 $20\mu m / 0.18\mu m$ 的 NMOS 電晶體，偏壓電流為 $3mA$ 且偏壓在強反轉區，可以提供 $9.5mS$ 的 g_m 。同樣的元件，當偏壓在弱反轉區且偏壓電流為 $39\mu A$ ，可提供 $0.8mS$ 的 g_m 。如(2.2)式所示， g_m 無法在 I_D 固定的狀況下，藉由增加 W/L 而增加，這點不像強反轉區。然而，如果電流密度保持固定， g_m 會隨著 W/L 而線性的增加。若將元件寬度 (到 $240\mu m$) 和偏壓電流 (到 $468\mu A$) 增加 12 倍， g_m 會增加至 $9.5mS$ 。因此，我們藉由使用更大的主動元件操作在次臨界導通，可以在更低的電流達到相同的轉導，導致極低的功率消耗。然後可以用晶片上的電感來自振掉大電晶體所具有之更大的電容。越高的輸出阻抗也可以幫助增加電壓增益。

在次臨界導通區的 f_T 也比強反轉區低很多，而且公式如下

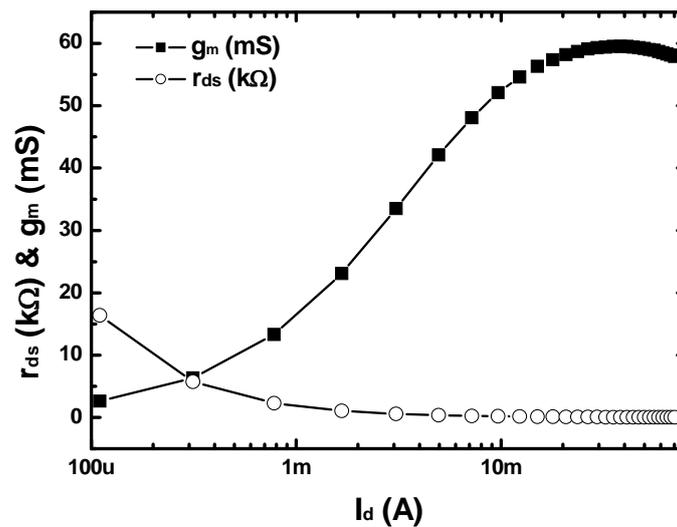
$$f_T = \frac{1}{2\pi} \frac{I_D}{\left(\frac{kT}{q}\right)} \frac{1}{WLC_{js}} \quad (2.3)$$

C_{js} 是空乏區電容。隨著製程的縮小，次臨界導通的轉換頻率

(transition frequency)至今已足以支援許多幾 GHz 的低功率無線應用。一個 $120\mu\text{m}/0.18\mu\text{m}$ 的 NMOS 電晶體，模擬出來的 f_T ， g_m/I_d ， g_m 和 r_{ds} 分別如圖(2.1)及圖(2.2)。



圖(2.1) 模擬 $120\mu\text{m}/0.18\mu\text{m}$ NMOS 電晶體之 f_T ， g_m/I_d ， g_m and r_{ds} 。



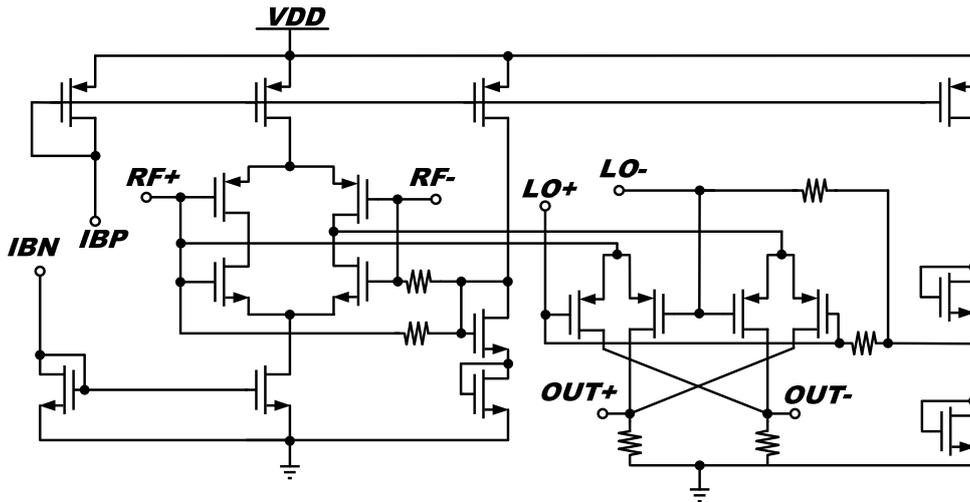
圖(2.2) 模擬 $120\mu\text{m}/0.18\mu\text{m}$ NMOS 電晶體之 g_m and r_{ds} 。

除了轉導的減少，次臨界導通的 CMOS 電晶體也會遭受更大的元件雜訊。通道雜訊，正比於 g_m ，是強反轉區主要的元件雜訊來源。當閘極-源極電壓 (v_{GS}) 下降至低於臨界電壓，感應出的閘極雜訊會開始主宰整體的元件雜訊。由於高感應閘極雜訊， NF_{min} 在次臨界導通會高幾分貝。因此，次臨界導通運作或許對於需要非常高靈敏度的應用不是個可行的選項。

2.3.2 低電壓操作

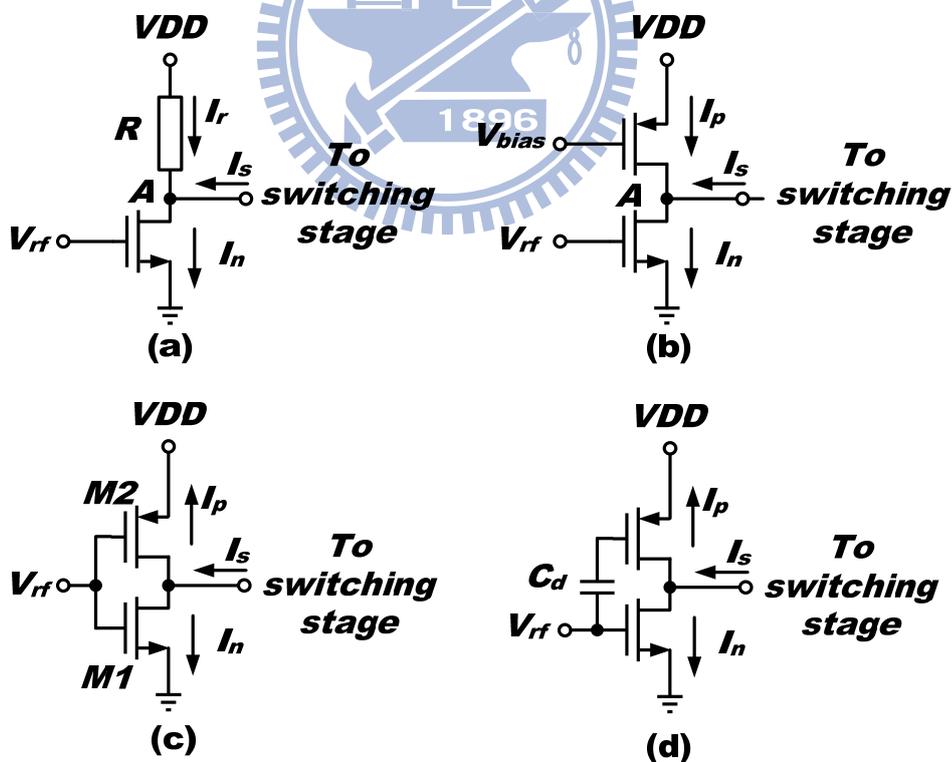
低電壓操作，大致上有折疊(folded)和順向基極偏壓(forward body biasing)這兩大類方式可以實現。

折疊方式藉由多出來的電流路徑，換取更多的電壓空間，是常見的低壓操作技巧。應用在設計混頻器時，如圖(2.3)[1]所示，可以分離轉導級和切換級的電流，針對各級不同的考量去做最恰當的電流分配，期望達成低雜訊、高增益和高線性度的需求。但是這種作法，常常會需要額外的電流，造成多餘的功率消耗。



圖(2.3) 折疊式混頻器[1]

但是如圖(2.3)的混頻器，其轉導級為四顆電晶體之堆疊，還是不易達到低電壓操作。在此先比較各種轉導級，再討論其他作法[2]。



圖(2.4) 應用於折疊切換式混頻器之轉導器

如圖(2.4)所示，輸入級的轉導器可以概分為這幾種架構。最簡單

的轉導器如圖(2.4) (a)，使用一個 NMOS，負載端放電阻。由 NMOS 產生的交流電流 I_n ，和流經切換級的電流(I_s)與流經電阻的電流(I_r)作分流。事實上，此轉導器的缺點是：有部份的交流電流流經電阻 R 。為了減少 I_r ，電阻的阻值要加大。結果造成 A 點的直流偏壓要特別注意，得保持足夠高，才能使電晶體仍然能保持在飽和區。對低電壓操作來說，這個問題會很大。然而負載端放電阻這種轉導器，其缺點可以藉由負載端放主動負載來改善[見圖(2.4)(b)]。藉由替換電阻成 PMOS 電晶體，會由於 PMOS 電晶體的高輸出阻抗，使得經過此電晶體的交流電流(I_p)會被大幅減少。使用 PMOS 電晶體，不只可以增加端點 A 和 VDD 之間的阻抗，還可以用來放大射頻訊號。使用這種方法，理想上可以完全避免交流電流經過 PMOS 輸出阻抗洩漏至交流地。因此，還可使用 CMOS 反相器來當轉導器[見圖(2.4)(c)]。在 CMOS 反相器中，基於電流重複使用的原則，射頻訊號可藉由 PMOS 電晶體放大。這是個可以達到高增益，低雜訊指數且低功率消耗的有效率方法。交流電流 I_s 等於交流電流 I_n 和 I_p 的總和。基於上述理由，全部的轉導為 $g_{mn}+g_{mp}$ ，在此 g_{mn} 是 M1 的轉導且 g_{mp} 是 M2 的轉導。在對使用 CMOS 反相器之折疊式混頻器作更進一步的分析之前，先檢查最低的可操作供應電壓是多少。這是由電晶體 M1 和 M2 的臨界電壓(V_t)及過驅動電壓(overdrive voltage)所決定。M1 的過驅動電壓

(V_{ovn})和 M2 的過驅動電壓(V_{ovp})可以分別表示成

$$\begin{aligned} V_{ovn} &= V_{rfcdc} - V_t \\ V_{ovp} &= V_{dd} - V_{rfcdc} - V_t \end{aligned} \quad (2.4)$$

V_{rfdc} 是應用於電晶體 M1 和 M2 的閘極電壓。最後，這可以使此混頻器運作的最小的供應電壓($V_{dd,min}$)為

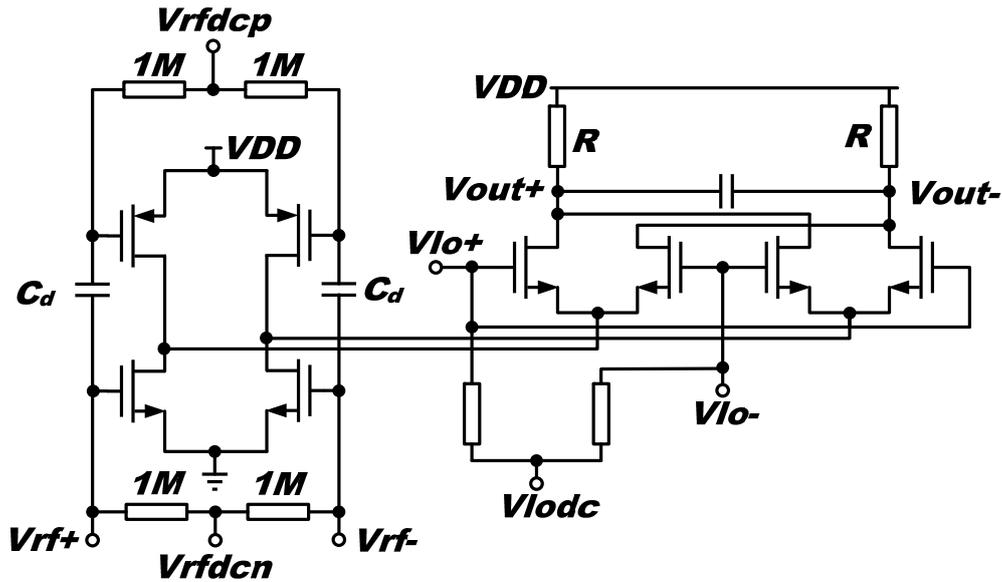
$$V_{dd,min} = V_{ov1} + V_{ov2} + 2V_t \quad (2.5)$$

在 0.18- μm CMOS 中，典型的 V_t 值大概在 500mV 左右。由上式，很清楚的得知最低供應電壓會超過 1V。這是將 CMOS 反相器應用至低壓操作的折疊式混頻器之轉導級，會造成的最大缺點。

為了去克服這個限制，NMOS 和 PMOS 電晶體的偏壓必須要分開。因此我們可以使用交流耦合的互補式轉導級[見圖(2.4)(d)]。若 V_{rfdcn} 是 M1 電晶體的偏壓，且 V_{rfdcp} 是 M2 電晶體的偏壓，最小可供應電壓 $V_{dd,min}$ 將會變成

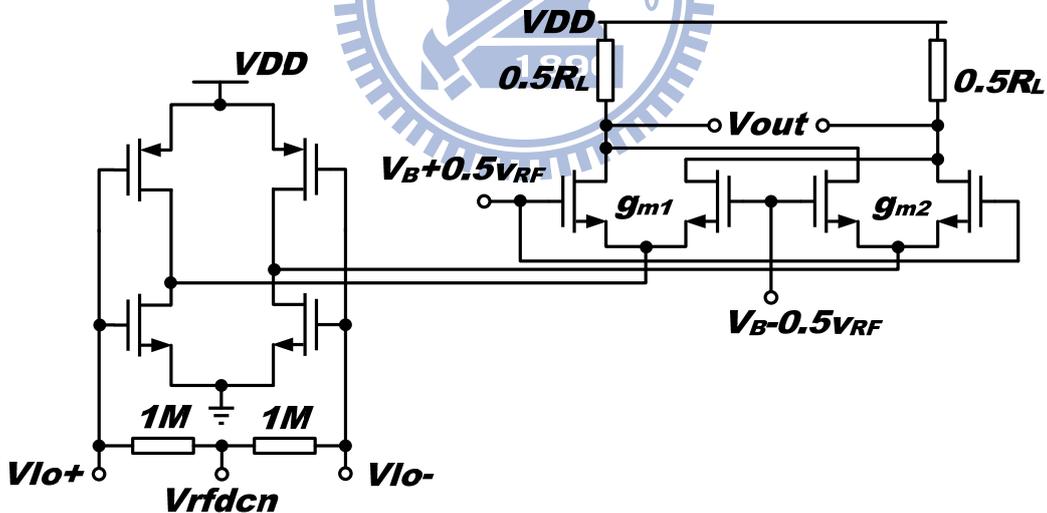
$$V_{dd,min} = V_{ov1} + V_{ov2} + 2V_t + V_{rfdcp} - V_{rfdcn} \quad (2.6)$$

選擇 V_{rfdcn} 大於 V_{rfdcp} ， $V_{dd,min}$ 可減少。結合交流耦合的互補式轉導級、切換級和負載電阻，可以得到具有電流重複使用之交流耦合折疊式切換混頻器，如圖(2.5)。此電路可以低壓操作，並且具有低功率的特性，還可以提供高增益，適當的雜訊指數，以及適當的線性度。



圖(2.5) 電流重複使用之交流耦合、折疊切換級混頻器[2]

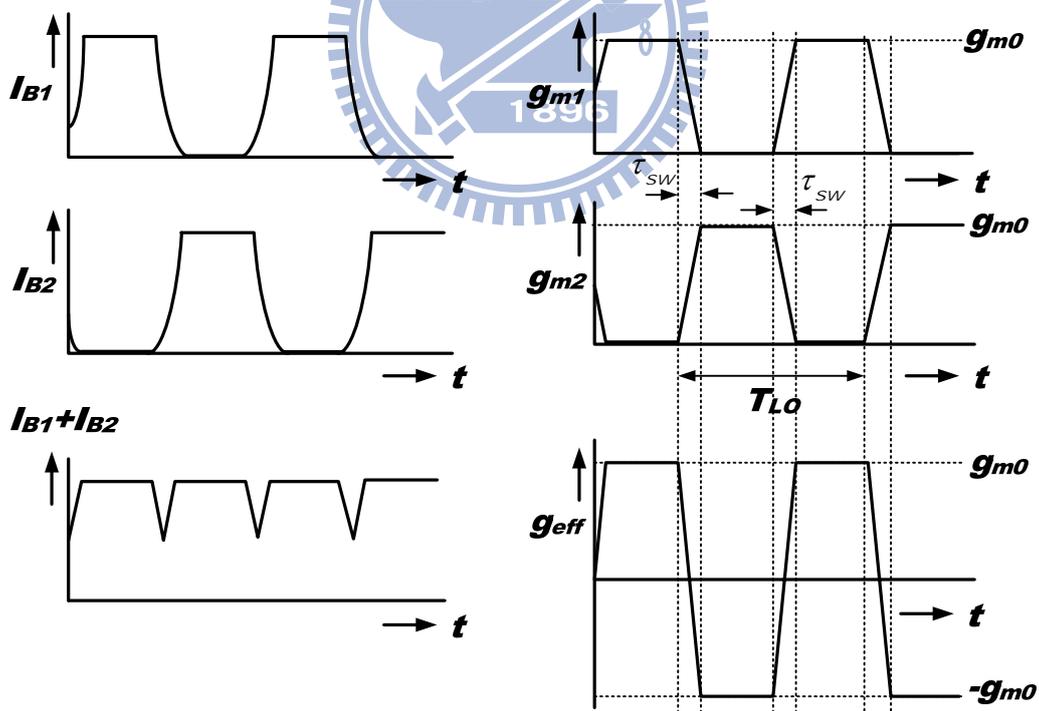
低壓操作還有另一種特殊的作法，就是將圖(2.3)的架構，射頻(RF)訊號和本地震盪(LO)訊號的輸入埠對調，如圖(2.6)[3]。

圖(2.6) 利用 NMOS 轉導級和 CMOS 反相器當開關之雙平衡式切
換轉導級混波器[3]

此電路能低壓操作的關鍵，是避免在 VDD 和 VSS 之間，需要一個電壓位階(voltage level)來產生導通通道。藉由低歐姆值開關幾乎不

吃電壓空間的特性來達成。因此，將開關接在 VDD 和 VSS 之間，放在第一級作切換級，不僅需要較低的電壓空間，且避免了閘極氧化層的可靠度問題，可以達到低壓操作，轉換增益也和傳統的混波器差不多，雜訊的表現也很具競爭力。基本上此種型態的混波器，其切換級的電晶體和 LO 埠是共模造成的雜訊是共模雜訊，可以被差動輸出消除。

分析此混頻器前，如同[4]的分析，我們假設切換級的 ON 及 OFF 切換時間相同，且使用類似梯形(tapezoid-like)的轉導來作混頻器輸入大訊號 LO 運作時之模型，可參考圖(2.7)。



圖(2.7) 假設 ON 和 OFF 的切換時間 τ_{sw} 相同，會出現在切換轉導

級混頻器之波形

接下來深入分析後可知，轉換增益可以表示成

$$CG \approx \frac{2}{\pi} \left(\frac{\sin(\pi \cdot f_{LO} \tau_{sw})}{\pi \cdot f_{LO} \tau_{sw}} \right) \cdot g_{m0} \cdot \frac{R_L}{2} \quad (2.7)$$

在增益方面，此種混頻器跟傳統的吉伯特混頻器擁有相同的轉換增益。熱雜訊部份的分析，可以得到下式

$$NF_{SSB,SwGm} = \frac{\alpha}{c^2} + \frac{2(\gamma_{G_m} + r_{g,Gm} g_{m0}) g_{m0} \alpha + \frac{1}{R_L}}{c^2 g_{m0}^2 R_s} \quad (2.8)$$

而傳統的吉伯特混頻器之熱雜訊如下式

$$NF_{SSB,Gm+Sw} = \frac{\alpha}{c^2} + \frac{2(\gamma_{G_m} + r_{g,Gm} g_{m0}) g_{m0} \alpha + 4\gamma_{G_m} \overline{G_{Sw}} + 4r_{g,Sw} \overline{G_{Sw}^2} + \frac{1}{R_L}}{c^2 g_{m0}^2 R_s} \quad (2.9)$$

其中，轉導，雜訊超過因子(noise excess factor)和轉導級的閘極電阻分別由 g_{m0} ， γ_{G_m} 和 $r_{g,Gm}$ 來代表。

若拿兩式和相比，會發現切換轉導器的混波器的熱雜訊比傳統的混波器少了 G_{Sw} 這項，這點即可反映出由開關電晶體和 LO 埠產生的共模雜訊輸出電流，取差動輸出可以消去。

再針對顫動雜訊(flicker noise)來看，先討論切換轉導器的混頻器，其轉導級貢獻的顫動雜訊。若我們以等效時變的輸入雜訊電壓源，串聯在轉導級電晶體的閘極，來作為顫動雜訊(flicker noise)的模型，這個雜訊電壓藉由每個轉導器，會交替的乘以 0 和 g_{m0} [見圖

(2.7)]。以一個理想的方波假設來簡化分析：由於方波的傅立葉級數之直流項為 $1/2$ ，一半的顫動雜訊(flicker noise)能量『保持』在基頻，然而另一半會被混頻並出現在諧波項附近。輸出的雜訊也會交替的由 g_{m1} 和 g_{m2} 產生[見圖(2.6)]，如此會有不相關(uncorrelated)的顫動雜訊(flicker noise)。整體來說，和傳統轉導級固定偏壓在 V_B 的 MOSFET 差動對相比，顫動雜訊(flicker noise)只有下降 3 分貝。因此，和傳統主動混頻器的轉導級相比，切換轉導器的混頻器之轉導級元件會表現出更嚴重的顫動雜訊(flicker noise)。

傳統的主動混頻器中，切換元件也會貢獻嚴重的顫動雜訊(flicker noise)，特別是操作在很高的 LO 頻率。相比之下，切換轉導器的切換元件有可忽略的顫動雜訊(flicker noise)，因為共模雜訊可以取差動輸出被消除。以上所述整理於表 2.1。

表 2.1 切換轉導級混頻器和一般主動混頻器之比較

特性	切換轉導級	轉導級+切換級
最大的轉換增益	$g_{m0} \cdot 2 / \pi$	$g_{m0} \cdot 2 / \pi$
LO 峰值電壓	$V_{GS,switch}$	$V_{DS,Gm} + V_{GS,switch}$
轉導級的熱雜訊	$\propto g_{m0}$	$\propto g_{m0}$
轉導級的顫動雜訊	只有一部分混頻上去	混頻上去
切換元件的雜訊	共模雜訊 (可被消去)	差動雜訊

最後，低壓操作還可用順向基極偏壓(forward body biasing)的方式，此種方式是根據下述原理：已知 MOS 由於基板效應， V_t 可以表示成

$$V_t = V_{t0} + \gamma \left(\sqrt{V_{SB} + 2\phi_F} - \sqrt{2\phi_F} \right) \quad (2.10)$$

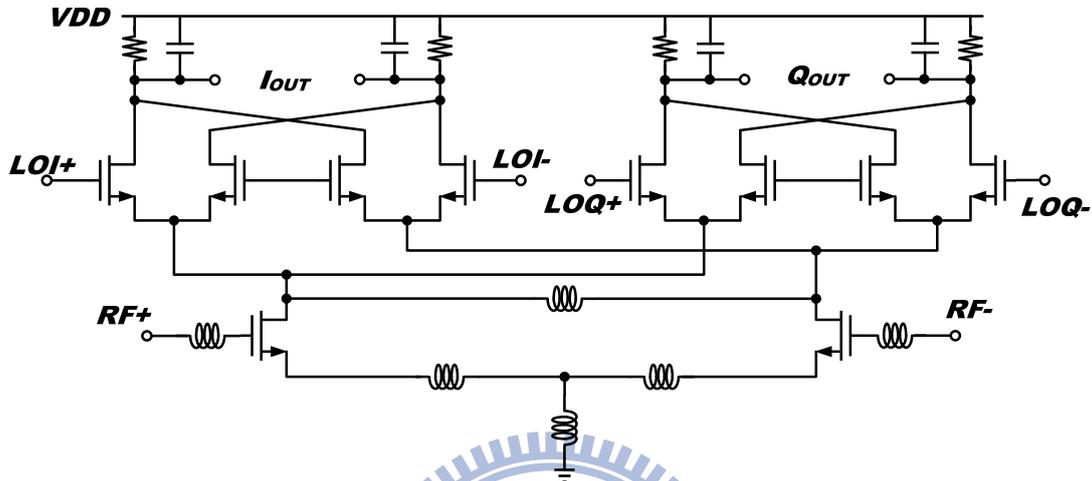
藉由改變 V_{SB} 的大小，可以達到改變臨界電壓的目的。若電晶體的臨界電壓可以下降，即可達到低壓操作的目的。此種作法的缺點在於，會多出額外的一個偏壓，而且順向基極偏壓可能會使 MOSFET 的源極對基極之接面導通，產生一個和基極電壓成指數關係的直流電流，導致額外的功率消耗及可能的門鎖效應(latch-up)，因此在設計上要多加注意。

2.3.3 硬體重複使用

在電路整合時，另一種節省功率的有效方式便是硬體重複使用 (hardware reuse)，實現的方法為電流重複使用(current reuse)或是將電路區塊結合。電流重複使用又可以稱為堆疊(stack)，儘管可以節省電流的使用，但是電壓空間會因此受限，易導致線性度不佳。電路區塊結合的話也是類似電流重複使用的想法，不過除了有線性度問題之外，各級之間的洩漏訊號問題要特別小心。

常見電流重複使用電路，如圖(2.8)[5]所示，是將低雜訊放大器和混頻器堆疊在一起。此種作法其實很類似傳統的吉伯特混頻器

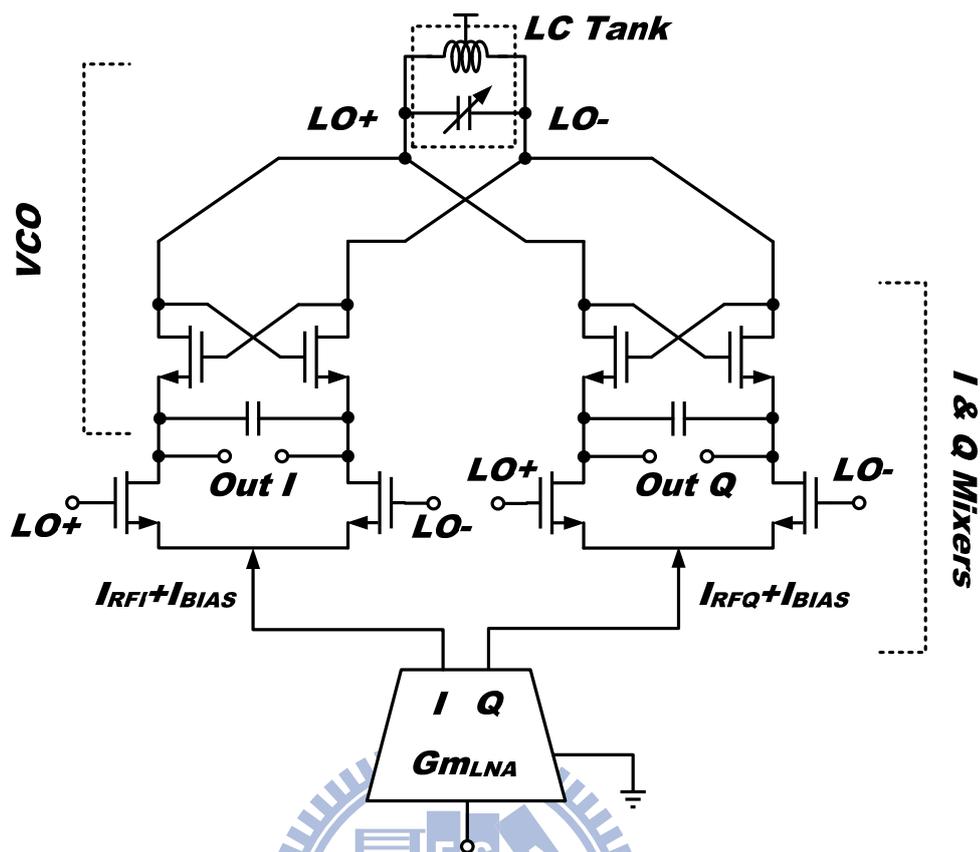
(Gilbert mixer)，只是在輸入轉導級作阻抗匹配以及最佳雜訊點匹配。因此，這個電路和傳統的吉伯特混頻器(Gilbert mixer)相比，主要是多出許多電感來換取雜訊方面的改善。



圖(2.8) 低雜訊放大器和混頻器之結合

上述電路也可結合折疊技術，類似圖(2.3)，將混頻器移至另一條電流路徑，再將轉導級作阻抗匹配，使轉導級達到類似低雜訊放大器的功用[1]。

為了追求更低的功率消耗以及更低的成本。可以將低雜訊放大器、混頻器和振盪器結合在一起，形成 LMV cell[6]，如圖(2.9)。圖(2.9)只有振盪器部份需要使用一個電感，面積大幅縮減，但是這樣產生出的 LO 不是正交相位。不過若是針對 802.15.4 這個規格的應用，其對鏡像消除的要求不高，可以在 RF 級使用其他的架構來完成正交相位的產生。



圖(2.9) 低雜訊放大器、混頻器和振盪器堆疊成的 LMV cell

2.4 考量功率消耗之低雜訊放大器設計

對整個接收機系統來說，低雜訊放大器通常是功率消耗最大的一個元件，如何降低低雜訊放大器的功率消耗成為很重要的問題，先從一般的低雜訊放大器設計出發，再思考是否有方法能在不太影響雜訊和增益表現的情況下，降低功率的消耗。一般的 LNA 設計，可以加入源極電感 L_s 來同時達到輸入阻抗及雜訊匹配[7]，如圖(2.10)所示。

根據[7]，可知雜訊參數如下

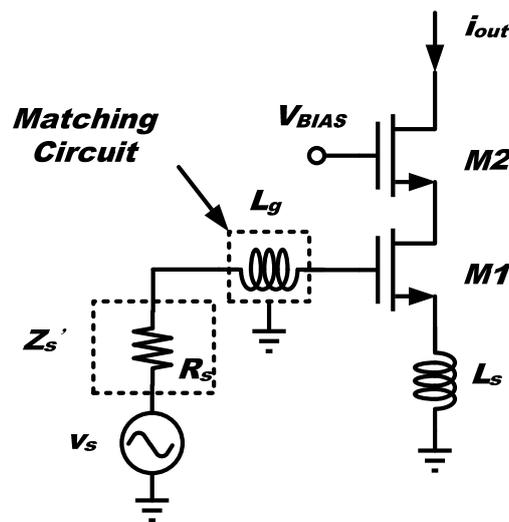
$$R_n = R_n^0 = \frac{\gamma}{\alpha g_m} \quad (2.11)$$

$$Z_{opt} = Z_{opt}^0 - sL_s = \text{Re}[Z_{opt}^0] - m \frac{1}{sC_{gs}} - sL_s \quad (2.12)$$

$$F_{min} = F_{min}^0 = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma\delta(1-|c|^2)} \quad (2.13)$$

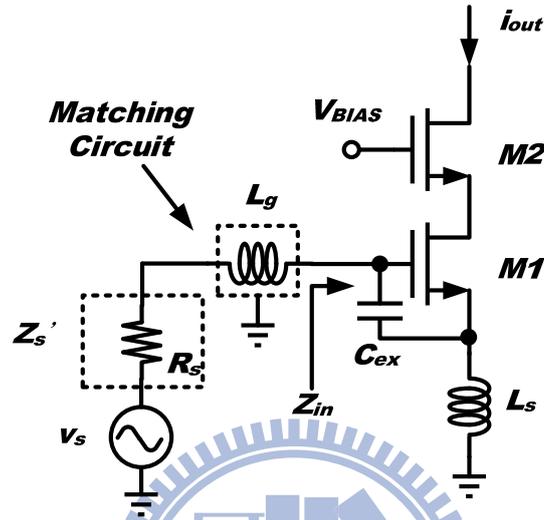
$$Z_{opt}^0 = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}} + j \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} \quad (2.14)$$

在設計上如果想降低電流消耗，但是電流密度不可以過低，以免雜訊指數最小值暴增，可以選用小的電晶體 size。參考(2.11)-(2.14)式，如果選用過小的電晶體 size， C_{gs} 會過小，使得 $\text{Re}[Z_{opt}]$ 過高；此外，如果操作頻率過低， ω 會過小，同樣也會使得 $\text{Re}[Z_{opt}]$ 過高。在 C_{gs} 變小的狀況下，如果還想要達到輸入阻抗匹配，則 L_s 要放大，但是過大的 L_s 會使得(2.13)式中的 F_{min} 失去意義，且 F_{min} 會大幅上升。



圖(2.10) 源極電感退化低雜訊放大器

因此，若希望降低功率消耗，卻又不希望 C_{gs} 過小，使得 $\text{Re}[Z_{\text{opt}}]$ 過高，可以在輸入級電晶體的閘極和源極之間多加一個電容 C_{ex} ，如圖(2.11)。



圖(2.11) 考慮功率消耗之低雜訊放大器

根據[7]，可知此低雜訊放大器之雜訊參數如下

$$R_n = R_n^0 = \frac{\gamma}{\alpha g_m} \quad (2.15)$$

$$Z_{\text{opt}} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}} + j \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - sL_s \quad (2.16)$$

$$F_{\text{min}} = F_{\text{min}}^0 = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1-|c|^2)} \quad (2.17)$$

其中 $C_t = C_{gs} + C_{ex}$ 。由上三式可知， R_n 和 F_{min} 不會隨著外加的 C_{ex} 而改變。若我們想同時達成雜訊和輸入阻抗匹配，則要滿足

$$\begin{aligned} \operatorname{Re}[Z_{opt}] &= \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}}}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} \\ &= \operatorname{Re}[Z_s] \end{aligned} \quad (2.18)$$

$$\begin{aligned} \operatorname{Im}[Z_{opt}] &= \frac{j \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - sL_s \\ &= \operatorname{Im}[Z_s] \end{aligned} \quad (2.19)$$

$$\begin{aligned} \operatorname{Im}[Z_{in}] &= sL_s + \frac{1}{sC_t} \\ &= -\operatorname{Im}[Z_s] \end{aligned} \quad (2.20)$$

$$\begin{aligned} \operatorname{Re}[Z_{in}] &= \frac{g_m L_s}{C_t} \\ &= \operatorname{Re}[Z_s] \end{aligned} \quad (2.21)$$

現今的先進 CMOS 製程參數，會使得(2.19)式約等於(2.20)式。因此(2.20)式可以省去，也就是說，只要給定 L_s 值， $\operatorname{Im}[Z_{in}] \approx -\operatorname{Im}[Z_s]$ 。

接下來由(2.18)式和(2.21)可知，

$$L_s \approx \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}}}{\omega \omega_T C_t} \quad (2.22)$$

未加入 C_{ex} 的時候， L_s 如下

$$L_s \approx \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}}}{\omega\omega_T C_{gs}} \quad (2.23)$$

可明顯看出外加 C_{ex} 後，可以在縮小 C_{gs} 的情況下，需要的 L_s 也不會因此放大，有機會在低頻的情況下達到低功率操作。除此之外，參考圖(2.11)， $Z_{in} = s(L_g + L_s) + 1/(sC_t) + \omega_t L_s$ ，故外加 C_{ex} 還可以使 L_g 變小。在 2.4GHz 這種頻段的應用， L_g 通常都具有需要相當大的感值，若是實現在矽製程上，其寄生的阻抗相當可觀，這個阻抗會成為雜訊貢獻的主因之一，因此外加的 C_{ex} 若能減少 L_g ，對於雜訊指數也可能會有改善的效果。可是過大的 C_{ex} 會減少等效的截止頻率，進而降低增益，因此 C_{ex} 的值要慎選。

2.5 主動混頻器和被動混頻器的比較

主動混頻器和被動混頻器，就字面上的意義來看，最大的差異就是主動混頻器有增益，可幫助抑制後級的雜訊貢獻，而被動混頻器沒有。但是被動混頻器沒有直流功率消耗，具有較佳的線性度，以及較低的顫動雜訊(flicker noise)，在實際使用上也有其優勢。

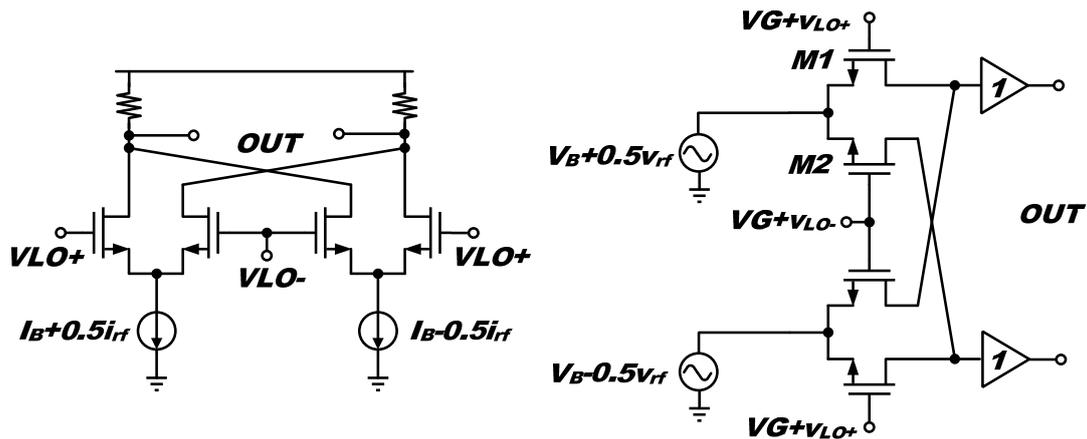
本章節討論的是低功率的應用，若以 0.18 μm 製程來實現 2.4GHz 的接收機為例，使用傳統的主動混頻器，希望有適當的增益、頻寬、線性度、和雜訊表現，大概需要 1mA 左右的電流消耗，不易符合低功率之需求，而且顫動雜訊的問題不易克服，這會對於設計直接降頻

接收機造成嚴重困擾。因此，不具直流功率消耗的被動混頻器似乎是個不錯的選擇，且其顫動雜訊也較小，但是其顫動雜訊的成因需要仔細去探討。適合低功率操作的混頻器還有次臨界導通混頻器，和傳統主動混頻器相比，只要一半不到的電流即可具有適當的增益、頻寬和線性度，但是雜訊的問題會更為嚴重。以下將討論被動混頻器的顫動雜訊成因和次臨界導通混頻器的操作原理。

2.5.1 被動混頻器的顫動雜訊

主動混頻器出現在輸出的顫動雜訊和 LO 切換級的偏壓電流成正比[8]，這或許暗示了沒有偏壓電流的被動混頻器，其輸出端就沒有顫動雜訊。因此有人會誤以為被動混頻器不具有顫動雜訊。然而事實卻不然，不需要任何偏壓電流流過 LO 切換級，顫動雜訊仍然會出現在訊號的頻率附近[9]。

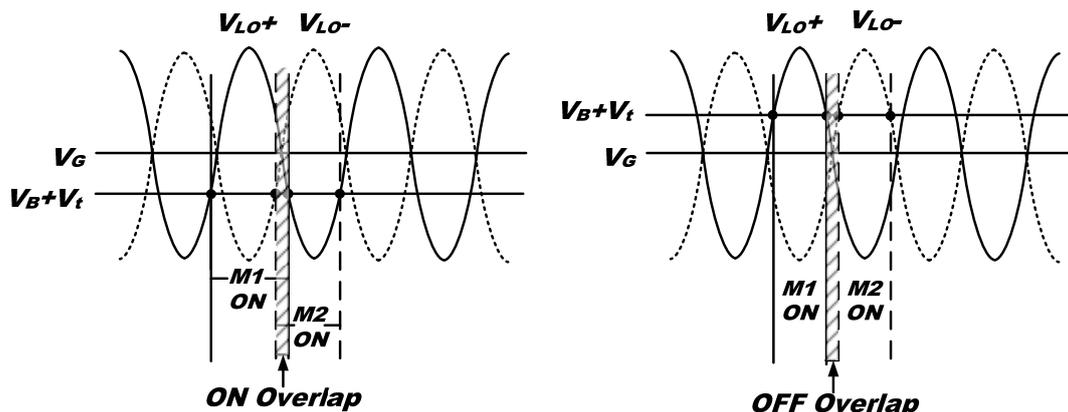
在探討顫動雜訊之前，先比較主動混頻器和被動混頻器運作上的差異。見圖(2.12)，主動式吉伯特混頻器用差動對切換訊號電流，然而被動混頻器可以說是切換訊號電壓。其實被動混頻器可以依據其輸入輸出阻抗的不同，分成電壓模式(voltage mode)和電流模式(current mode)，在此討論操作在電壓模式的被動混頻器[10]。



圖(2.12) 比較切換電流的雙平衡式主動混頻器和切換電壓的被動

FET 混頻器

對於主動混頻器而言，會將電晶體皆偏壓在飽和區(saturation region)，藉由外加的 LO 訊號使切換級的差動對切換 RF 轉導級輸出之電流，達到混頻的運作。但是對被動混頻器而言，不管將電晶體偏壓在關閉區(off region)、飽和區(saturation region)或是三極管區(triode region)，打入適當振幅大小的 LO 訊號皆可達到混頻的運作。因此，被動混頻器的運作，可以依據電晶體偏壓操作區域的不同，分成關閉重疊(OFF overlap)，零重疊(zero overlap)，和開啟重疊(ON overlap)，見圖(2.13)。



圖(2.13) 描述電壓切換模式的被動混頻器之關閉重疊(OFF overlap)和開啟重疊(ON overlap)模式

重疊(overlap)是指一個在 LO 零交會點附近的時間窗口(window)，在此時兩個具有相同輸出點的 FETs 會處於同一個狀態；它們不是兩者都開啟(ON)，就是兩者都關閉(OFF)。在剩下的 LO 週期，一個 FET 是開啟，另一個是關閉。由以上描述可知，傳統的主動混頻器是操作在開啟重疊(ON overlap)，因為設計上會把全部的電晶體偏壓在飽和區，使得在電流轉換區(transition region)，差動對的兩個 FETs 都開啟(ON)。

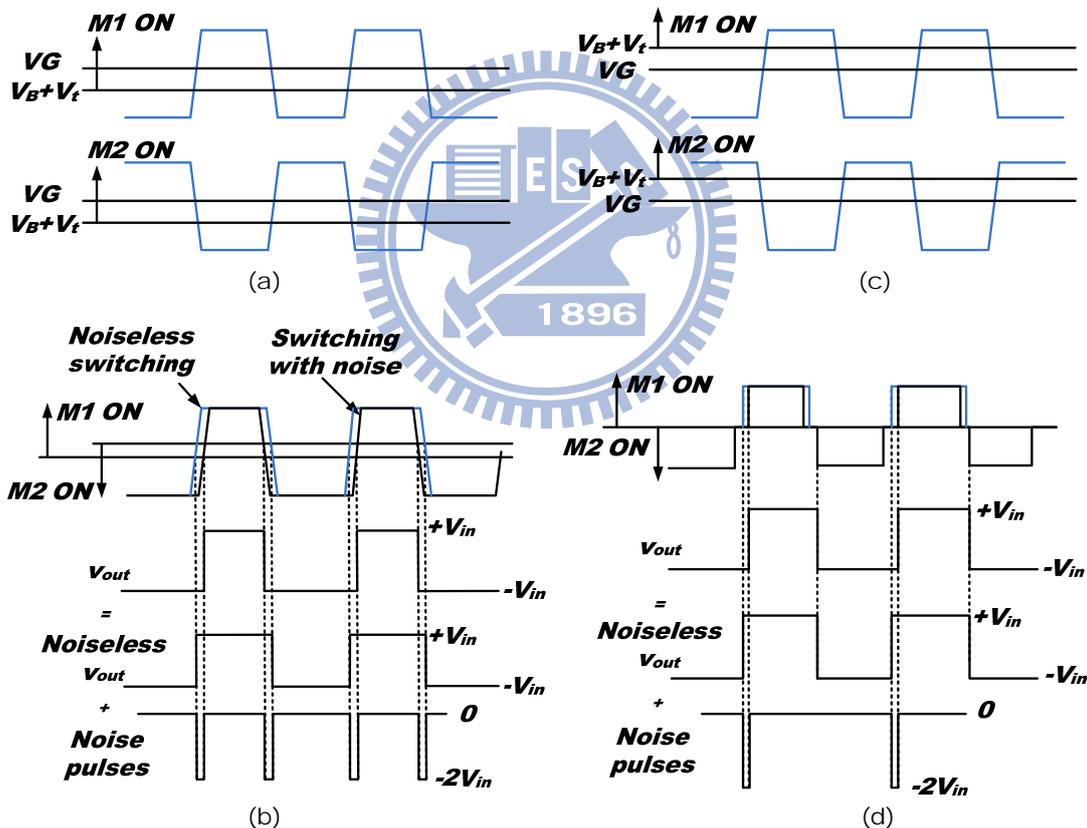
重疊的型態會由源極偏壓(或是差動對零交會點的電壓)和閘極偏壓的相對值決定。見圖(2.12)，對 NMOS 來說，若 $V_B + V_t > V_G$ ，此混頻器會操作在關閉重疊(OFF overlap)。這是假設 LO 電壓的振幅大於 $|V_B + V_t - V_G|$ 。若 $V_B + V_t < V_G$ ，此混頻器會操作在開啟重疊(ON overlap)。若 $V_B + V_t = V_G$ ，此混頻器會操作在零重疊(zero overlap)。不

同的重疊型態，混頻器輸出的雜訊頻譜密度(spectral density)會有很大的不同。

以下分成開啟重疊(ON overlap)和關閉重疊(OFF overlap)來討論。

(1) 開啟重疊(ON overlap)：

見圖(2.12)，電晶體 M1 和 M2 偏壓在開啟重疊的時候，其導通狀態和 LO 輸入波形的關係如圖(2.14)(a)。將圖(2.14)(a)的兩個圖形重疊後畫在一起，可以得到圖(2.14)(b)最上方的圖形。



圖(2.14) 一連串脈衝之雜訊所造成的切換時間擾動模型。在開啟

重疊(ON overlap)，這個脈衝串具有 $2f_{LO}$ 的週期，然而在關閉

重疊(OFF overlap)，它的週期是 f_{LO}

接下來使用和主動混頻器相同的分析方式[8]：理想上來說，當 LO 為正，M1 導通且 M2 關閉；當 LO 為負，M1 關閉且 M2 導通。再來，在閘極包含一個顫動雜訊源來分析。當 FET 開關被有限斜率的 LO 訊號驅動，等效在閘極的顫動雜訊(flicker noise)會調變它們開啟/關閉的瞬間，也就是會提前或延遲零交會點(zero-crossing)發生的時間。換句話說，這會調變输出的循環週期(duty cycle)，而且經過任意的循環週期，雜訊會出現在輸出。此雜訊源造成之切換瞬間的調變，可以由一連串雜訊脈衝來作為雜訊的等效模型(參考圖(2.14)，此為直流輸入的狀況)。這一串脈衝具有 $2f_{LO}$ 的週期，而且脈衝的高度和 v_{in} 有關。對一個弦波差動輸入 $v_{in} = A_{in} \sin \omega_{in} t$ ，由脈衝列(impulse train)的頻譜，得到之雙平衡式混頻器的輸出雜訊如下：

$$v_{no} = \frac{A_{in}}{(ST)_{LO}} \left(\sum_{n=-\infty}^{\infty} \mp v_n (f \pm f_{in} - 2nf_{LO}) \right) \quad (2.24)$$

S 是切換時的斜率，T 是 $V_{LO}(t)$ 的週期， $\hat{v}_n^2(f)$ 是一個 FET 的閘極輸入參照(input-referred)雜訊之頻譜密度；在這個情況下，是顫動雜訊的頻譜密度。對於具有單端振幅為 A_{LO} 之弦波 LO 訊號，

$$ST = 2\pi \sqrt{A_{LO}^2 - (V_G - V_t - V_B)^2} \quad (2.25)$$

顫動雜訊(flicker noise)出現在頻率 f_{in} ， $2f_{LO} \pm f_{in}$ ，...，然而 IF 訊號會出現在 $|f_{in} - f_{LO}|$ 。廣義來說，顫動雜訊(flicker noise)出現在和 IF 訊號不同的頻率，不會侵害到想要的訊號。但是，當 $f_{in} = 3f_{LO} / 2$ ，

顫動雜訊會和 IF 訊號會相撞。此外，如果一個很大且不想要的訊號出現在 $f_{LO} + f_{in}$ 或 $3f_{LO} - f_{in}$ ，它會堆積顫動雜訊(flicker noise)至 IF 訊號的附近頻帶。而且混頻器的輸出雜訊正比於輸入訊號。若有很大且不想要的訊號堆積顫動雜訊(flicker noise)到想要訊號的附近頻帶，那麼訊號對雜訊比(SNR)會因為不想要的訊號之相對強度而變差。這對於某些無線接收機造成很大的困擾，因為很大的閉塞訊號(blocking signal)可以存在 $2f_{LO}$ 附近。

(2) 關閉重疊(OFF overlap)：

在此操作模式，會有一小段時間，混頻器的輸出和輸入呈現開路。當一個 FET 開啟，輸出會跟隨此輸入。在關閉重疊(OFF overlap)期間，負載電容會保持這個輸出。如圖(2.14)所示，對於直流輸入，只有在 FET 開關開啟的時候，FET 的雜訊才會調變輸出；開關關閉的時候不會對輸出有影響，並且保持這個輸出。因此，輸出雜訊脈衝和這一個 FET 有關且隨著頻率 f_{LO} 重複，而不是 $2f_{LO}$ 。對於弦波輸入，雙平衡式混頻器的輸出雜訊電壓頻譜為：

$$v_{no} = \frac{A_{in}}{(ST)_{LO}} \left(\sum_{n=-\infty}^{\infty} \mp v_n (f \pm f_{in} - nf_{LO}) \right) \quad (2.26)$$

現在顫動雜訊(flicker noise)會往輸出端轉換至 $|f_{in} - f_{LO}|$ ，剛好也是經過降頻後得到的訊號頻率。因此，在關閉重疊(OFF overlap)模式之下，顫動雜訊(flicker noise)總是會使訊號對雜訊比(SNR)變差。在線

性電路中，我們習慣藉由傳送訊號之大小來對抗固定的雜訊，如此訊號對雜訊比(SNR)會隨著提高訊號的大小而改善。然而在此混頻器，輸出的顫動雜訊(flicker noise)會隨著訊號的增加而上升，這意味著輸出的訊號對雜訊比(SNR)和輸入訊號無關。這個訊號對雜訊比(SNR)可以表示為：

$$SNR_{out} = \frac{1}{\pi} \frac{(ST)_{LO}}{\sqrt{2}v_n} \quad (2.27)$$

當 LO 波形變得更像方波， ST 乘積會上升，使得訊號對雜訊比(SNR)獲得改善；也就是說，在一個接收機，其他元件將會限制最終的訊號對雜訊比(SNR)。

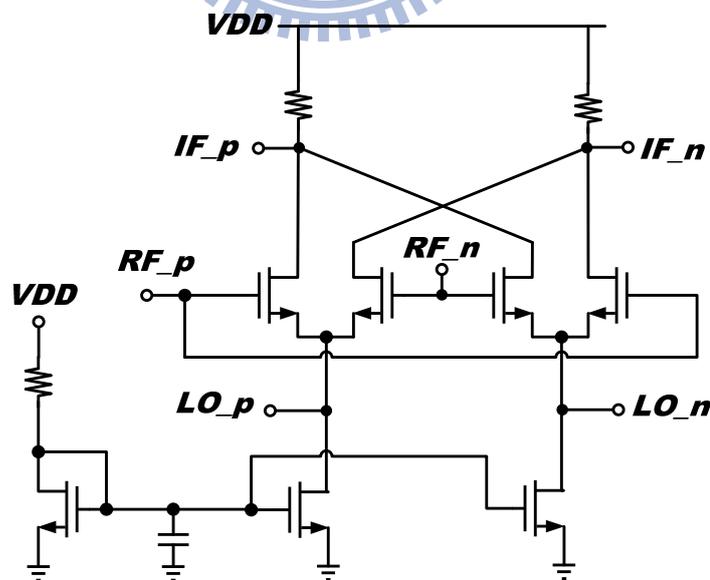
經過上述的分析，可以有以下的結論：被動混頻器依照輸入和閘極偏壓的不同，可以在兩種不同的模式下操作。在開啟重疊(ON overlap)模式下，顫動雜訊(flicker noise)出現的頻率會遠離訊號頻率。然而，在混頻器的輸出端，若不想要的輸入訊號很大，在某些頻率會堆積顫動雜訊(flicker noise)到想要的訊號。在關閉重疊(OFF overlap)模式下，混頻器的輸出端，顫動雜訊(flicker noise)會和想要的訊號相撞。當雜訊和訊號成正比，輸出的訊號對雜訊比(SNR)會由於顫動雜訊(flicker noise)而變成常數，只能藉由更像方波的 LO 訊號來改善，也就是需要更大的 LO power，增加訊號產生器的功率消耗。

2.5.2 次臨界導通混頻器

圖(2.15)是操作在次臨界導通的混頻器。混頻動作是藉由應用射頻訊號在閘極，本地震盪訊號在源極，再利用次臨界導通電晶體的非線性指數特性來完成。次臨界元件等式中，使用指數的泰勒級數展開之二次項，可得此混頻器的轉換增益為

$$(\text{Conv. Gain})_{\text{Mixer}} = \left(\frac{W}{L}\right)_{M_3} I_{D0} \left(\frac{1}{n \left(\frac{kT}{q}\right)}\right)^2 v_{LO} \left(\frac{2}{2g_{ds3} + \frac{1}{R_{L1}}}\right) \quad (2.28)$$

在此 v_{LO} 是本地震盪訊號的振幅。LO 埠的輸入阻抗很高，單端看入大概 430Ω ，故 LO 訊號擺幅在此架構可以小。因此，振盪器和 LO 緩衝器的驅動需求適當，可以節省很多 LO 產生電路的功率消耗。



圖(2.15) 操作在次臨界導通的混頻器

2.6 實作一，Low-Power Low-Noise Direct-Conversion

Receiver with Passive Mixers (CMOS 0.18- μm)

2.6.1 研究動機

減少可攜式無線通訊設備的電池更換和充電的次數，可以提高使用上的方便性，因此低功率設計絕對是必須的。為了某些特定的應用，如無線影音傳輸，雜訊指數的要求也相對嚴格。可是低功率和低雜訊對於電路設計來說，是互相權衡的。在此藉由架構的選取，並且結合被動混頻器，設計一操作電壓為 1.5V，電流消耗小於 10mA，雜訊指數在 IF 為 100kHz 時小於 4dB 的直接降頻前端電路。

2.6.2 架構設計考量

低中頻架構和直接降頻架構皆具有可高度積體化的特色，但是以設計整體接收機電路來看，相較於直接降頻架構，低中頻架構的類比數位轉換器及基頻電路之操作頻率都會較高，功率消耗也因此較大。故在此選用直接降頻架構來實現接收機前端電路。

第一級用堆疊式(cascode)低雜訊放大器，其共源級提供高轉導及低雜訊表現，並結合源極退化電感，希望可以同時達到最佳阻抗匹配及最佳雜訊匹配。共閘級的部份，可以減少米勒效應，提高頻寬，並且減少 LO 訊號的反向洩漏。詳細的分析如 2.4 節，在此不再贅述。

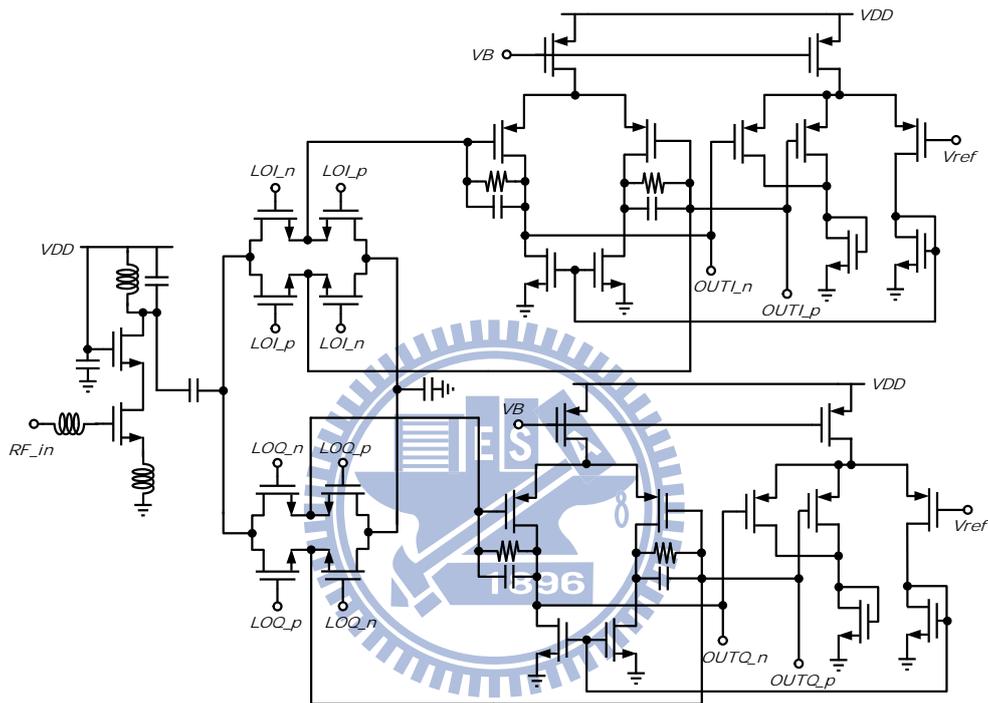
混頻器的部份，有主動式和被動式兩大種可以選擇，先針對雜訊問題來考量。實現在 CMOS 製程，儘管其具有低成本的優勢，但是顫動雜訊會對於直接降頻架構會造成很大的問題。而且接收機系統中，混頻器通常是顫動雜訊的主要來源之一。因此根據前述分析，選用被動式混頻器，不僅顫動雜訊貢獻也比較少，且沒有直流功率消耗。

選擇使用被動混頻器而非主動混頻器，線性度也是其中一個重要的考量。主動混頻器的輸入轉導級，天生就不線性，再由於低雜訊放大器需要高轉換增益以抑制後方雜訊，會使得主動式混頻器的輸入端(在幾 GHz 看入是高阻抗)易感受到大電壓擺幅，進而限制了整體系統的線性度。若使用電壓模式的被動混頻器，因為其負載是高阻抗，可以減少流經當電晶體導通狀態時的電流，也就是減少流經非線性汲極-源極電阻的電流。但值得注意的是，當 RF 訊號和降頻過的訊號(downconverted signals)之震幅變大，在 RF 及基頻埠的電壓擺幅會調變混頻器的切換，造成額外的失真。因此，本實作採用電流模式被動混頻器，將被動混頻器的輸出端以低阻抗作負載，以減輕混頻器輸入端感受到過大電壓擺幅所造成的失真。

為了使混頻器的輸出端看到低阻抗，又希望可以滿足整體接收機是電壓輸出，故實現了一個轉阻放大器(trans-impedance amplifier)在混頻器的後方。此轉阻放大器還可以設計成一階主動濾波器，幫助壓

抑 LO 洩漏訊號，並省去額外需要的濾波器，降低成本和功率消耗。

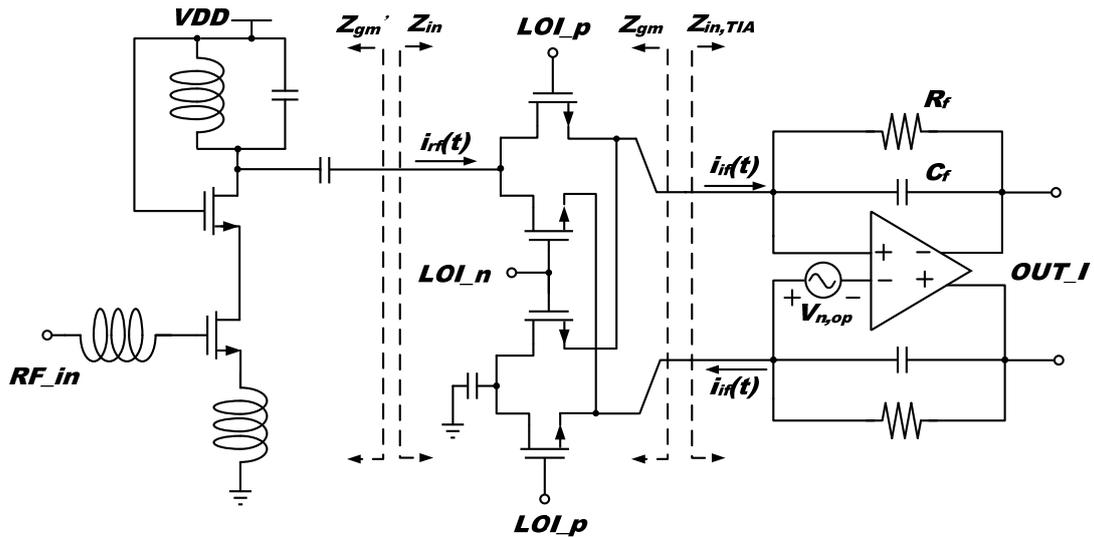
詳細電路如圖(2.16)，第一級使用堆疊式(cascode)低雜訊放大器，接下來交流耦合(AC-couple)至雙平衡式被動混頻器，最後將降頻後的訊號送至具有一階低通濾波效果的轉阻放大器輸出。



圖(2.16) 低功率、低雜訊直接降頻接收機詳細電路圖

2.6.3 增益分析[26]

探討增益前，因為整體接收機 I-path 和 Q-path 的電路結構相同，可針對其中一個 path 來探討，所得之系統概念圖如圖(2.17)。



圖(2.17) 系統概念圖

假設 LNA 的轉導是 G_M ，且輸入訊號是弦波，在混頻器輸入電流訊號為

$$i_{RF}(t) = G_M v_{RF} \sin(2\pi f_{RF} t) \quad (2.29)$$

再假設輸入的 LO 電壓訊號也是弦波，

$$v_{LO}(t) = v_{LO} \sin(2\pi f_{LO} t) \quad (2.30)$$

由 $v_{LO}(t)$ 形成的切換函數 $S(t)$ 為

$$S(t) = \frac{4}{\pi} \sum_{n=0}^{\infty} \frac{1}{2n+1} \sin[2(2n+1)\pi f_{LO} t] \quad (2.31)$$

我們有興趣的輸出電流，是在 $f_{IF} = f_{RF} - f_{LO}$ 這個頻率，故混頻器的輸出電流可表示為

$$i_{IF}(t) = i_{IF} \cdot \sin(2\pi f_{IF} t) = \frac{2}{\pi} G_M v_{RF} \sin(2\pi f_{IF} t) \quad (2.32)$$

由於轉阻放大器的輸入阻抗為

$$Z_{in,TIA}(f) \approx \frac{2}{A(f)} \frac{R_f}{1 + 2\pi R_f C_f} \quad (2.33)$$

若 OP 的增益 $A(f)$ 大，也就是說 $Z_{in,TIA}(f)$ 很小，因此整體電壓轉換增益可近似為

$$\frac{v_{out}(f_{IF})}{v_{in}(f_{RF})} \approx \frac{2}{\pi} G_M \left(\frac{R_f}{1 + j2\pi f_{IF} R_f C_f} \right) \quad (2.34)$$

其中， f_{IF} 是 IF 端的輸出頻率， f_{RF} 是 RF 頻率， $2/\pi$ 和混頻器的週期時變轉移函數之一次諧波項有關， R_f 和 C_f 分別是轉阻放大器的回授電阻和電容。

2.6.4 熱雜訊分析[26]

輸出端的熱雜訊如下：

$$\overline{V_{n,out}^2}(f_{IF}, f_{RF})_{g_m} = (4kT\gamma g_{ds0}) \beta^2 |Z_f(f_{IF})|^2 \Delta f \quad (2.35)$$

$$\overline{V_{n,out}^2}(f_{IF}, f_{RF})_{switches} = \frac{4kT}{R_{ON}} \left| \frac{R_{ON}}{R_{ON} + Z_{gm}} \right|^2 \beta^2 |Z_f(f_{IF})|^2 \Delta f \quad (2.36)$$

$$\overline{V_{n,out}^2}(f_{IF}, f_{RF})_{opamp} = \overline{V_{n,opamp}^2} \left| 1 + \frac{2Z_f(f_{IF})}{Z_{gm}} \right|^2 \quad (2.37)$$

$$\overline{V_{n,out}^2}(f_{IF}, f_{RF})_{R_f} = \frac{4kTR_f}{|1 + j2\pi f_{IF} R_f C_f|^2} \Delta f \quad (2.38)$$

其中， γ 是製程相關因子。 β^2 是代表切換動作的常數， $\overline{V_{n,opamp}^2}$ 是 OP 放大器的輸入參照(input-referred)雜訊電壓， R_{ON} 是開關的平均電阻， Z_{gm} 是由轉阻放大器往開關看入的等效阻抗，如圖(2.17)。若假設

被動混頻器的導通電阻(on-resistance)小， $\overline{V_{n,out}^2}(f_{IF}, f_{RF})_{switches}$ 可忽略。

可得整體輸出的熱雜訊電壓為

$$\begin{aligned} \overline{V_{n,out}^2}(f_{IF}, f_{RF}) &= (4kT\gamma g_{ds0})\beta^2 |Z_f(f_{IF})|^2 \Delta f \\ &+ \overline{V_{n,opamp}^2} \left| 1 + \frac{2Z_f(f_{IF})}{Z_{gm}} \right|^2 + \frac{4kTR_f}{|1 + j2\pi f_{IF}R_fC_f|} \Delta f \end{aligned} \quad (2.39)$$

將上式除以整體系統的電壓增益，可以得到輸入參照電壓雜訊為

$$\begin{aligned} \overline{V_{n,in}^2}(f_{IF}, f_{RF}) &= \frac{(4kT\gamma g_{ds0})\beta^2 |Z_f(f_{IF})|^2 \Delta f}{G_M^2 \left(\frac{2}{\pi}\right)^2 |Z_f(f_{IF})|^2} \\ &+ \frac{\overline{V_{n,opamp}^2} \left| 1 + \frac{2Z_f(f_{IF})}{Z_{gm}} \right|^2}{G_M^2 \left(\frac{2}{\pi}\right)^2 |Z_f(f_{IF})|^2} + \frac{4kTR_f \Delta f}{G_M^2 \left(\frac{2}{\pi}\right)^2 |Z_f(f_{IF})|^2 |1 + j2\pi f_{IF}R_fC_f|} \end{aligned} \quad (2.40)$$

若 $Z_f \gg Z_{gm}$ 且定義 $\alpha = g_m / g_{ds0}$ ，(2.42)式可化簡為

$$\begin{aligned} \overline{V_{n,in}^2}(f_{IF}, f_{RF}) &= \frac{4kT\gamma \left(\frac{\beta\pi}{2}\right)^2 \Delta f}{\alpha g_m} \\ &+ \frac{\pi^2}{g_m^2} \left(\frac{\overline{V_{n,amp}^2}}{|Z_{gm}(f_{RF})|^2} + \frac{kT}{R_f} \Delta f \right) \end{aligned} \quad (2.41)$$

值得注意的是，當 $Z_{gm}(f_{RF})$ 變小，整體雜訊上升。

這其實有另一個看法，見圖(2.18)，A點可由LNA的負載電容，混頻器的 push-push 點以及 AC 耦合電容，等效成一寄生電容 C_{par} 。

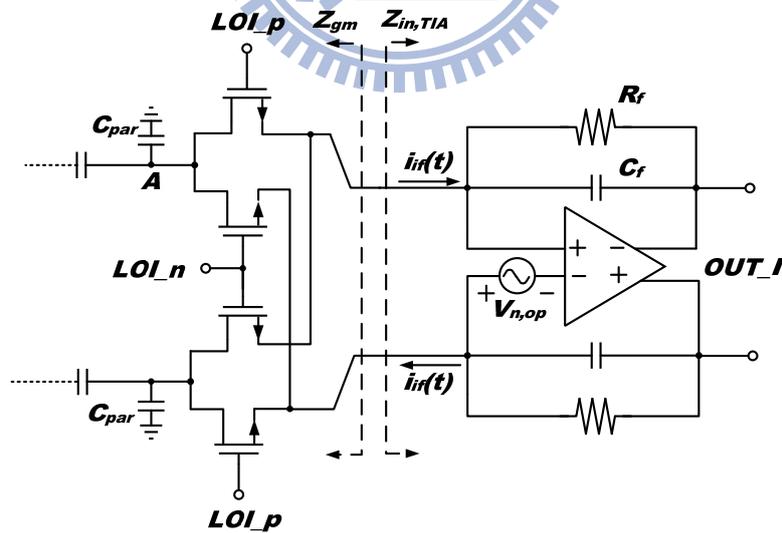
因此，從混頻器的輸出端往左看，可以等效成一個切換電容 (switch-capacitor) 電路，故 $Z_{gm}(f_{RF})$ 可以表示成

$$Z_{gm}(f_{RF}) = \frac{1}{4f_{LO}C_{par}} \quad (2.42)$$

由(2.31)式，可將(2.32)式化為

$$\begin{aligned} \overline{V_{n,in}^2}(f_{IF}, f_{RF}) &= \frac{4kT\gamma}{\alpha g_m} \left(\frac{\beta\pi}{2} \right)^2 \Delta f \\ &+ \left(\frac{4\pi f_{LO}C_{par}}{g_m} \right)^2 \overline{V_{n,amp}^2} + \frac{\pi^2 kT}{g_m^2 R_f} \Delta f \end{aligned} \quad (2.43)$$

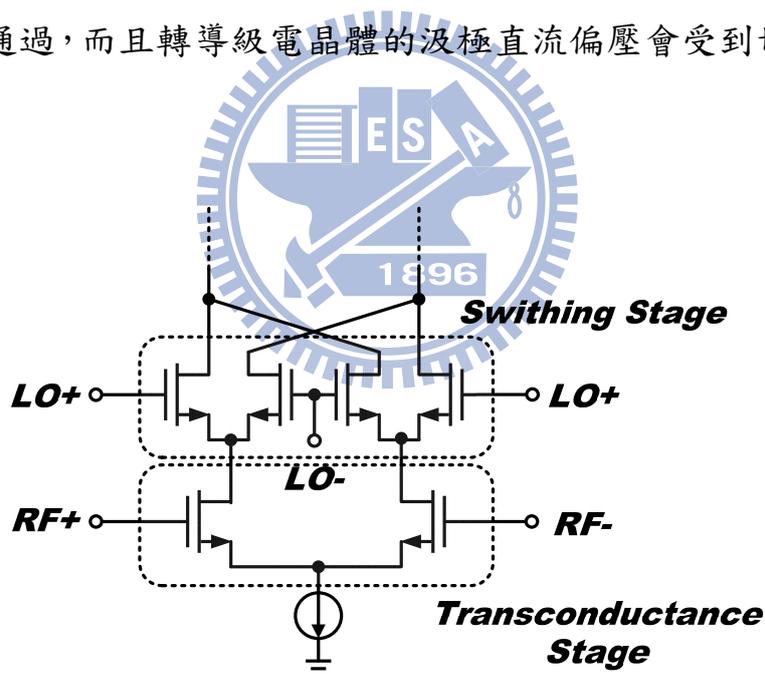
觀察(2.43)式，可看出操作頻率的上升和雜散電容 C_{par} 的增加，輸入參照的雜訊電壓也會增加。也就是說，被動混頻器的電晶體大小不可為了降低雜訊，而無限制的放大以求更低的導通電阻，因為這樣作會使得 C_{par} 增加。此現象可以由 LNA 的負載電感在 RF 頻率共振掉寄生電容來改善。



圖(2.18) 被動混頻器等效成切換電容(switch-capacitor)電路

2.6.5 顫動雜訊分析

此實作設計的第一級 LNA 作轉導級，將 RF 電流 AC 耦合至被動混頻器，而被動混頻器之作用如同開關，切換電流以達到降頻效果。參考主動式混頻器的架構，如圖(2.19)，第一級為轉導級，將 RF 電流 DC 耦合至切換開關級，藉由切換電流的動作達到降頻的效果。可以發現，儘管此實作是使用被動混頻器，但考慮整體的運作，其實和主動混頻器是相當類似的。兩者差別在於主動式混頻器的切換級有直流電流通過，而且轉導級電晶體的汲極直流偏壓會受到切換級的影響。

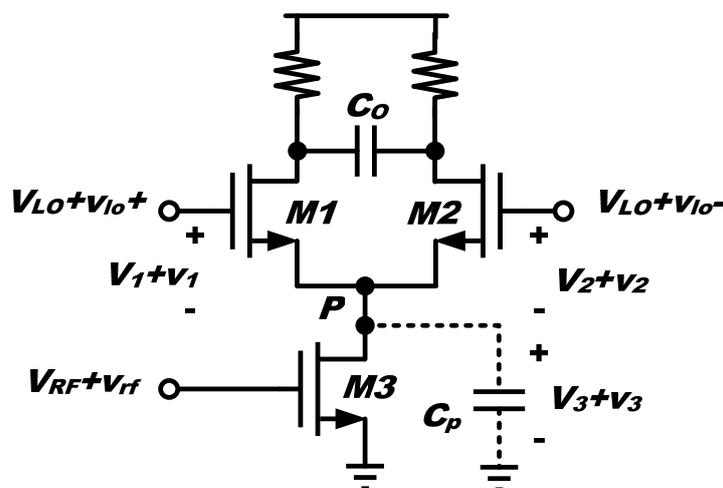


圖(2.19) 主動混頻器示意圖

因此，本實作的顫動雜訊成因，可應用主動式混頻器的概念來類推。以下先討論主動混頻器的顫動雜訊廣義量化分析[11]，再推廣至本實作的狀況。探討主動混頻器的顫動雜訊成因之前，根據 2.5.1 節

的定義，主動混頻器也可以根據偏壓狀況，分成開啟重疊(ON overlap)和關閉重疊(OFF overlap)兩種運作模式。傳統的主動混頻器，所有電晶體皆偏壓在飽和區，因此操作開啟重疊模式。

有幾種方式可討論主動混頻器的顫動雜訊成因。由於混頻器的元件，其運作點會隨時間週期性的改變，而且產生在輸出的雜訊也是週期時變的，因此可以使用線性週期時變(linear periodic time-varying)系統來當作混頻器雜訊的模型[12]。但是若用以上方式討論雜訊，需要相當複雜的數值運算。如果假設混頻器為無記憶性(memoryless)元件，藉由計算混頻器輸出端之時間平均(time-average)雜訊，來求出雜訊指數[4]，或是利用簡單的顫動雜訊形成之物理意義來探討[8]，對於電路設計上都相當有幫助，但是僅適用於低頻。在此探討廣義的線性週期時變分析法[11]，來分析主動混頻器在開啟重疊模式和關閉重疊模式的運作。



圖(2.20) 單平衡式主動混頻器

討論雙平衡式主動混頻器和單平衡式差不多，但是後者的討論上會比較簡便，因此以下針對一個單平衡式主動混頻器來討論。見圖(2.20)，接下來的討論都有做出以下的假設：在 ON overlap 或 OFF overlap 以外的時間，M3 都偏壓在飽和區；此外，M3 在 ON overlap 都偏壓在飽和區，然而在 OFF overlap，會漸漸的由飽和區變成三極管區。如此，M3 在 OFF overlap 的狀態，可以看成一個電阻，會使 C_p 放電，導致 V_{ds3} 最終減少至零。

接下來將混頻器以線性週期時變(linear periodic time-varying, LPTV)系統來作模型，有別於之前文獻中假設無記憶性(memoryless)的 LPTV 混頻器模型[4]，此處的分析有考慮混頻器 push-push 點寄生電容 C_p 的記憶影響(memory effect)。

見圖(2.20)，根據 KCL，可以寫出非線性的微分方程式。其中由於 P 點的寄生電容會和 C_{gs1} 、 C_{gs2} 、M1 和 M2 的源極接面電容以及 M3 的汲極電容有關，這些電容的特性都會和電壓成非線性關係，破壞了時變模型的線性假設，還導致分析更為複雜。因此將這些接面電容近似成時間不變(time-invariant)電容 C_{eff} ，再併入 C_p 中作討論。

根據以上假設，接下來，首先要決定 LPTV 轉移函數，因此將之前由 KCL 得到的微分方程式作線性化。得到如下的線性小訊號微分方程式

$$\begin{aligned}\frac{\partial}{\partial t}(\mathbf{C}\mathbf{v}(t)) + \mathbf{G}(t)\mathbf{v}(t) &= \mathbf{B}(t)\mathbf{w}(t) \\ i_o(t) &= \mathbf{D}(t)\mathbf{v}(t)\end{aligned}\quad (2.44)$$

其中， $i_o(t)$ 是小訊號差動輸出電流， $\mathbf{w}(t)$ 是小訊號輸入向量， $\mathbf{v}(t)$ 是小訊號狀態向量且

$$\mathbf{w}(t) = [v_{RF}(t) \quad v_{LO}(t) \quad v_{\overline{LO}}(t)]^T \quad (2.45)$$

$$\mathbf{v}(t) = [v_1(t) \quad v_2(t) \quad v_3(t)]^T \quad (2.46)$$

\mathbf{C} 是非時變矩陣， $\mathbf{G}(t)$ 、 $\mathbf{D}(t)$ 和 $\mathbf{B}(t)$ 是時變矩陣。其值分別如下：

$$\mathbf{C} = \begin{bmatrix} 0 & 0 & -C_p \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad (2.47)$$

$$\mathbf{D}(t) = [g_{m1}(t) \quad -g_{m2}(t) \quad 0] \quad (2.48)$$

$$\mathbf{G}(t) = \begin{bmatrix} g_{m1}(t) & g_{m2}(t) & -g_{ds3}(t) \\ 1 & -1 & 0 \\ 1/2 & 1/2 & 1 \end{bmatrix} \quad (2.49)$$

$$\mathbf{B}(t) = \begin{bmatrix} g_{m3}(t) & 0 & 0 \\ 0 & 1 & -1 \\ 0 & 1/2 & 1/2 \end{bmatrix} \quad (2.50)$$

再來執行週期穩態分析。假設輸入是正弦(sinusoidal)訊號，且具有非時變(time-invariant)振幅，也就是 $v_{RF}(t) = V_{RF}(\omega)\exp(j\omega t)$ ， $v_{LO}(t) = V_{LO}(\omega)\exp(j\omega t)$ ， $v_{\overline{LO}}(t) = V_{\overline{LO}}(\omega)\exp(j\omega t)$ 。狀態電壓和輸出電流是正弦(sinusoidal)訊號，且具有週期時變振幅，也就是說，

$\mathbf{v}_x(t) = \mathbf{V}_x(t, \omega) \exp(j\omega t)$ ， $\mathbf{I}_o(t) = \mathbf{I}_o(t, \omega) \exp(j\omega t)$ ，而且因為週期性，可知 $\mathbf{V}_x(t, \omega) = \mathbf{V}_x(t+T, \omega)$ ， $\mathbf{I}_o(t, \omega) = \mathbf{I}_o(t+T, \omega)$ 。將上述假設帶回，可得到如下的新方程組

$$\begin{aligned} \left[\mathbf{C} \frac{\partial}{\partial t} + \mathbf{G}_{eff}(t, \omega) \right] \mathbf{V}(t, \omega) &= \mathbf{B}(t) \mathbf{W}(\omega) \\ I_o(t, \omega) &= \mathbf{D}(t) \mathbf{V}(t, \omega) \end{aligned} \quad (2.51)$$

其中，

$$\mathbf{G}_{eff}(t, \omega) = \mathbf{G}(t) + j\omega \mathbf{C} \quad (2.52)$$

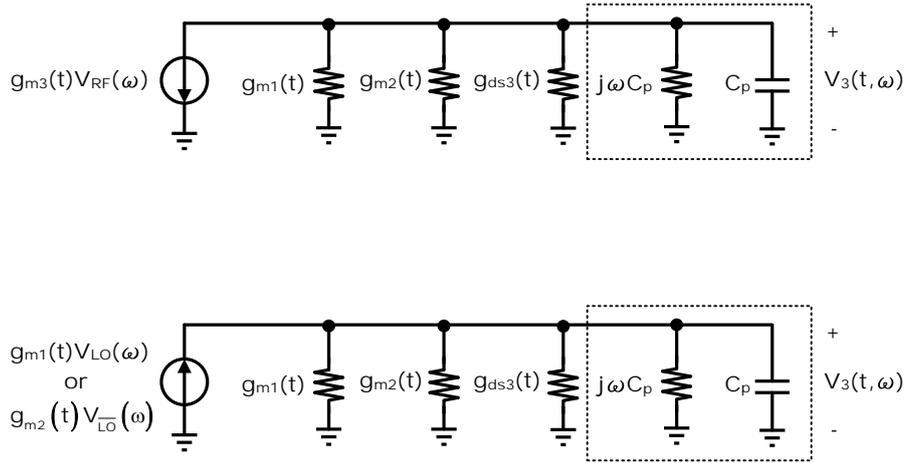
$$\mathbf{V}(t, \omega) = [V_1(t, \omega) \quad V_2(t, \omega) \quad V_3(t, \omega)]^T \quad (2.53)$$

$$\mathbf{W}(\omega) = [V_{RF}(\omega) \quad V_{LO}(\omega) \quad V_{\overline{LO}}(\omega)]^T \quad (2.54)$$

而且此方程組表示的 $I_o(t, \omega)$ 和頻率有關。值得注意的是，當圖(2.20)的 P 點之電容效應忽略，則 $\mathbf{G}_{eff}(t, \omega) = \mathbf{G}(t)$ ，所得之結果就是無記憶性的 LPTV 方程式，這樣解出來會跟[4]相同。

有考慮電容效應的情況下，見(2.36)式， \mathbf{C} 矩陣大部分的元素都為 0，將(2.36)-(2.39)帶入至(2.40)後可知， $V_1(t, \omega)$ 、 $V_2(t, \omega)$ 都可以用 $V_3(t, \omega)$ 來表示，因此只需要探究 $V_3(t, \omega)$ 即可。

為了探究 $V_3(t, \omega)$ 和輸入 $\mathbf{W}(t, \omega)$ 的關係，使用如圖(2.21)的等效模型。此模型根據(2.40)式，M1、M2 和 M3 的閘極都接地。



圖(2.21) 週期穩態電路模型

由圖(2.21)可知

$$\begin{aligned} I_o(t, \omega) &= -[g_{m1}(t) - g_{m2}(t)]V_3(t, \omega) \\ &= P(t, \omega)V_{RF}(\omega) \end{aligned} \quad (2.55)$$

$$\begin{aligned} I_o(t, \omega) &= g_{m1}(t)V_{LO}(\omega) - [g_{m1}(t) - g_{m2}(t)]V_3(t, \omega) \\ &= M(t, \omega)V_{LO}(\omega) \end{aligned} \quad (2.56)$$

$$\begin{aligned} I_o(t, \omega) &= -g_{m2}(t)V_{LO}(\omega) - [g_{m1}(t) - g_{m2}(t)]V_3(t, \omega) \\ &= Q(t, \omega)V_{LO}(\omega) \end{aligned} \quad (2.57)$$

假設 M1 和 M2 對稱，可知 $g_{m2}(t) = g_{m1}(t - T/2)$ ，所以

$Q(t, \omega) = -M(t - T/2, \omega)$ ，因此只需要考慮 $P(t, \omega)$ 和 $M(t, \omega)$ 即可，也

就是輸入 RF 埠和 LO 埠到輸出 IF 埠的轉移函數。

接下來使用短通道模型去描述 MOS 的 I-V 曲線，藉此推導 $P(t, \omega)$ 和 $M(t, \omega)$ 。不過這樣求出來的 g_m 和 g_{ds} 都是非線性的，增加許多計算上得複雜。為了簡化分析，將 g_m 和 g_{ds} 對 V_{ds} 的變化近似成步階函數，數學上可以表示成

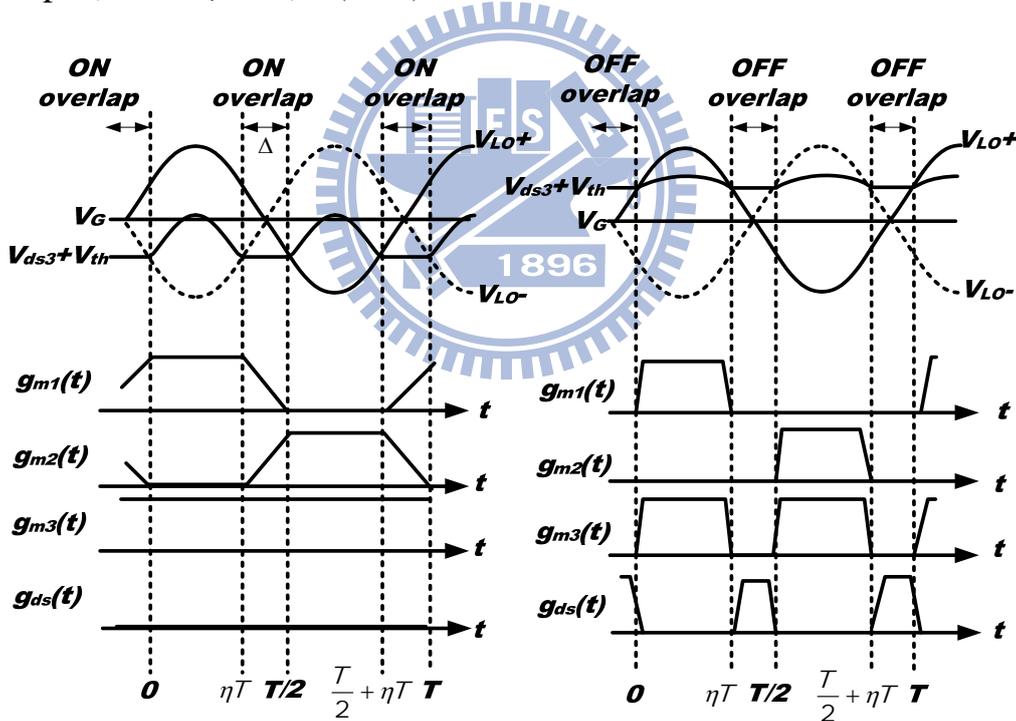
$$g_{mX}(t) = \left. \frac{\partial I_X}{\partial V_{gsX}} \right|_{V_{gsX}} \quad (2.58)$$

$$\approx \begin{cases} g_X & V_{dsX}(t) > V_{gsX}(t) - V_{th} \\ 0 & V_{dsX}(t) \leq V_{gsX}(t) - V_{th} \end{cases}$$

$$g_{dsX}(t) = \left. \frac{\partial I_X}{\partial V_{dsX}} \right|_{V_{dsX}=0} \quad (2.59)$$

$$\approx \begin{cases} 0 & V_{dsX}(t) > V_{gsX}(t) - V_{th} \\ g_X & V_{dsX}(t) \leq V_{gsX}(t) - V_{th} \end{cases}$$

做了如上的近似，使得探討混頻器操作在 ON overlap 和 OFF overlap 時，可簡化成圖(2.22)的狀況。



圖(2.22) $g_m(t)$ 和 $g_{ds}(t)$ 的線性分段近似

接下來就經過一連串代數運算，可以分別解得混頻器操作在 ON overlap 和 OFF overlap 的 $P(t, \omega)$ 和 $M(t, \omega)$ 。

在 ON overlap 時，

$$P(t, \omega) = \begin{cases} g_3 F(\omega) & 0 \leq t < \eta T \\ g_3 F(\omega) \left[1 - \frac{2(t - \eta T)}{\Delta} \right] & \eta T \leq t < T/2 \end{cases} \quad (2.60)$$

$$M(t, \omega) = \begin{cases} g_1 \left\{ 1 - \left[1 - \frac{\tau_1}{\Delta} (1 - \xi_1) e^{-\frac{t}{\tau_1}} \right] F(\omega) \right\} & 0 \leq t < \eta T \\ g_1 \left\{ 1 - \frac{t - \eta T}{\Delta} + \left[1 - 2 \left(1 - \frac{t - \eta T}{\Delta} \right) \right] \cdot \left[1 - \frac{t - \eta T}{\Delta} + \frac{\tau_1}{\Delta} \left(1 - e^{-\frac{t - \eta T}{\tau_1}} \right) \right] F(\omega) \right\} & \eta T \leq t < \frac{T}{2} \\ g_1 F(\omega) \frac{\tau_1}{\Delta} (1 - \xi_1) e^{-\frac{t - T/2}{\tau_1}} & \frac{T}{2} \leq t < \left(\eta + \frac{1}{2} \right) T \\ g_1 \left\{ \frac{t - (\eta + 1/2)T}{\Delta} - \left[1 - 2 \left[\frac{t - (\eta + 1/2)T}{\Delta} \right] \right] \cdot \left[\frac{t - (\eta + 1/2)T}{\Delta} - \frac{\tau_1}{\Delta} \left(1 - e^{-\frac{t - (\eta + 1/2)T}{\tau_1}} \right) \right] F(\omega) \right\} & \left(\eta + \frac{1}{2} \right) T \leq t < T \end{cases} \quad (2.61)$$

在此， $\tau_1 = C_p / g_1$ ， $\xi_1 = \exp(-\Delta / \tau_1)$ ，且

$$F(\omega) = \frac{g_1}{g_1 + j\omega C_p} \quad (2.62)$$

在 OFF overlap 時，

$$P(t, \omega) = \begin{cases} g_3 F(\omega) \left\{ 1 - \frac{1 - \xi_2}{1 - \xi_2 \exp\left(-\frac{\eta T}{\tau_1}\right)} e^{-\frac{t}{\tau_1}} \right\} & 0 \leq t < \eta T \\ 0 & \eta T \leq t < T/2 \end{cases} \quad (2.63)$$

$$\begin{aligned}
 & M(t, \omega) \\
 & = \begin{cases} g_1 \left\{ \overline{F(\omega)} + F(\omega) \left[\frac{1 - \xi_2^2 \exp\left(-\frac{\eta T}{\tau_1}\right)}{1 - \xi_2^2 \exp\left(-\frac{2\eta T}{\tau_1}\right)} \right] e^{-\frac{t}{\tau_1}} \right\} & 0 \leq t < \eta T \\
 0 & \eta T \leq t < \frac{T}{2} \\
 g_1 F(\omega) \frac{\left[1 - \exp\left(-\frac{\eta T}{\tau_1}\right) \right] \xi_2 e^{-\frac{t-T/2}{\tau_1}}}{1 - \xi_2^2 \exp\left(-\frac{2\eta T}{\tau_1}\right)} & \frac{T}{2} \leq t < \left(\eta + \frac{1}{2}\right)T \\
 0 & \left(\eta + \frac{1}{2}\right)T \leq t < T
 \end{cases}
 \end{aligned} \tag{2.64}$$

在此， $\tau_2 = C_p / g_2$ ， $\xi_2 = \exp(-\Delta / \tau_2)$ ， $\overline{F(\omega)} = 1 - F(\omega)$ 。

見圖(2.20)，為了簡化分析，混頻器的輸出端作了一個低通濾波器，以濾除高頻雜訊。因此混頻器的輸出雜訊是平穩(stationary)的，可以用時間平均的功率頻譜密度(power spectral density, PSD)來表示雜訊之表現。

由 LPTV 理論，輸出電流 $I_o(t, \omega)$ 之時間平均功率頻譜密度可以寫成

$$\begin{aligned}
 S_{I_o}(\omega) &= \sum_{n=-\infty}^{\infty} \left| P^{(n)}(\omega) \right|^2 S_{V_{RF}}(\omega - n\omega_{LO}) \\
 &+ \left| M^{(n)}(\omega) \right|^2 \left[S_{V_{LO}}(\omega - n\omega_{LO}) + S_{V_{LO}}^-(\omega - n\omega_{LO}) \right]
 \end{aligned} \tag{2.65}$$

$S_{V_{LO}}$ 、 $S_{V_{LO}}^-$ 和 $S_{V_{RF}}$ 分別是掛在 M1-M3 閘極的輸入雜訊頻譜；

$P^{(n)}(\omega)$ 和 $M^{(n)}(\omega)$ 分別是 $P(t, \omega - n\omega_{LO})$ 和 $M(t, \omega - n\omega_{LO})$ 的 n 次諧波

轉移函數，且其表示式分別如下

$$P^{(n)}(\omega) = \frac{1}{T} \int_0^T P(t, \omega - n\omega_{LO}) \exp(-jn\omega_{LO}t) dt \quad (2.66)$$

$$M^{(n)}(\omega) = \frac{1}{T} \int_0^T M(t, \omega - n\omega_{LO}) \exp(-jn\omega_{LO}t) dt \quad (2.67)$$

參考圖(2.20)，輸入雜訊源包含了電阻性的雜訊，舉例來說：RF 的電源電阻 R_S ，LO 的電源電阻 R_{LO} (基本上等於 R_S)，閘極電阻 r_{gX} ，和電晶體雜訊(高頻熱雜訊和低頻顫動雜訊)。假設 M1 和 M2 對稱， $S_{V_{Lo}}(\omega) = S_{V_{\bar{Lo}}}(\omega)$ ，且沒有顫動雜訊會從 M3 洩漏至輸出，可將(2.53) 式重寫為

$$\begin{aligned} S_{I_o}(\omega) = & 4kT \left(R_S + r_{g3} + \frac{\gamma}{g_3} \right) \overline{\alpha^2(\omega)} \\ & + 4kT \left(R_{LO} + 2r_{g1} + \frac{2\gamma}{g_1} \right) \overline{\beta^2(\omega)} \\ & + \left(\frac{2K_f}{W_1 L_1 C_{ox} f} \right) \overline{\beta(\omega)}^2 \end{aligned} \quad (2.68)$$

k 是波茲曼常數， $T(=290K)$ 是室溫， γ 和 K_f 分別是熱雜訊和顫動雜訊係數， $\beta(\omega) (= |M^{(0)}(\omega)|)$ 代表 M1(和 M2)的顫動雜訊洩漏因子， $\overline{\alpha^2(\omega)} (= \sum_{n=-\infty}^{\infty} |P^{(n)}(\omega)|^2)$ 和 $\overline{\beta^2(\omega)} (= \sum_{n=-\infty}^{\infty} |M^{(n)}(\omega)|^2)$ 代表 M3 和 M1(與 M2)的熱雜訊折疊因子。以物理意義來看[8]， $\beta(\omega) (= |M^{(0)}(\omega)|)$ 量化了由 LO 級經過直接(direct)或非直接(indirect)過程造成的輸出雜訊，而 $\overline{\alpha^2(\omega)} (= \sum_{n=-\infty}^{\infty} |P^{(n)}(\omega)|^2)$ 和 $\overline{\beta^2(\omega)} (= \sum_{n=-\infty}^{\infty} |M^{(n)}(\omega)|^2)$ 量化了是高頻熱

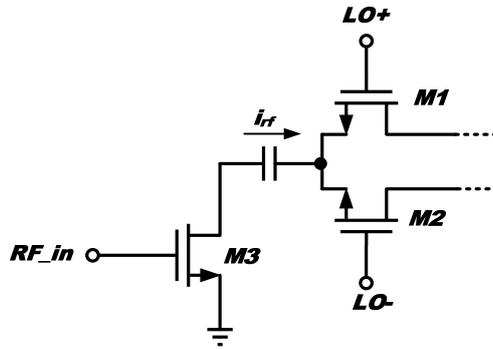
雜訊經 LO 諧波項移頻至低頻的現象。

利用上述方法，主動混頻器輸出雜訊可以被量化分析。觀察(2.70)式，當混頻器操作在 OFF overlap，藉由直接洩漏過程產生的顫動雜訊可以被消除[8]，非直接過程洩漏的部份也可以壓制不少。因此由數學分析的角度，可理解主動混頻器操作在 OFF overlap 的模式下，會具有較低的顫動雜訊。若是以物理直觀角度來看，OFF overlap 沒有直接洩漏過程產生的顫動雜訊，是因為混頻器不會有 M1 和 M2 同時導通的狀態；非直接過程洩漏的顫動雜訊也會減少，因為 M3 在 OFF overlap 的時候會進入三極管區，等效看到小電阻，使得 $V_3(t, \omega)$ 會快速放電至 0，這樣會減少由寄生電容 C_p 造成的充放電雜訊電流，使得 LO 後半週期經過 M2 洩漏至輸出的雜訊電流減少，也就是減少 $\overline{\beta(\omega)}$ 。

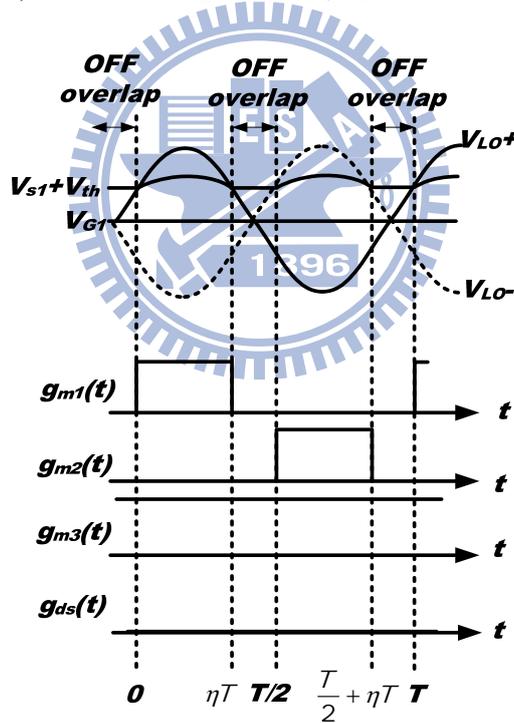
上述是探討主動混頻器顫動雜訊的廣義量化分析，以下類推至本實作的狀況。本實作是使用 LNA 作轉導級，輸出端用 DC block 電容，將訊號 AC 耦合至被動混頻器，作電流切換以達到混頻的效果，示意圖如圖(2.23)。

這種電流模式的被動混頻器，和主動混頻器的運作原理相當類似，若操作在 ON overlap 模式，和主動混頻器操作在 ON overlap 的分析一樣；操作在 OFF overlap 模式，分析會稍有不同。當電路操作

在 OFF overlap 時，因為被動混頻器和 LNA 之間用 DC block 電容隔開，因此 LNA(轉導級)仍然是操作在飽和區，和之前討論的狀況有點不同，見圖(2.24)。



圖(2.23) LNA 和電流模式被動混頻器之示意圖



圖(2.24) LNA 和電流模式被動混頻器操作在 OFF overlap 模式

如前所述，利用線性週期時變分析顫動雜訊。在此為了簡化分析，假設 $g_{m1}(t)$ 和 $g_{m2}(t)$ 的變化為方波形式，如此可得 $P(t, \omega)$ 和 $M(t, \omega)$ 如下：

$$P(t, \omega) = \begin{cases} g_3 F(\omega) & 0 \leq t < \eta T \\ 0 & \eta T \leq t < T/2 \end{cases} \quad (2.69)$$

$$M(t, \omega) = \begin{cases} g_1 \left\{ 1 - \left[1 - \frac{\tau_1}{\Delta} (1 - \xi_1) e^{-\frac{t}{\tau_1}} \right] F(\omega) \right\} & 0 \leq t < \eta T \\ 0 & \eta T \leq t < \frac{T}{2} \\ g_1 F(\omega) \frac{\tau_1}{\Delta} (1 - \xi_1) e^{-\frac{t-T/2}{\tau_1}} & \frac{T}{2} \leq t < \left(\eta + \frac{1}{2} \right) T \\ 0 & \left(\eta + \frac{1}{2} \right) T \leq t < T \end{cases} \quad (2.70)$$

故電流模式的被動混頻器，操作在 OFF overlap 模式，會比操作在 ON overlap 具有較小的顫動雜訊。而且電流模式的被動混頻器相對主動混頻器來說，主動混頻器操作在 OFF overlap 時，轉導級會進入三極管區，使得轉換增益會下降，但是電流模式的被動混頻器不會，讓整體的顫動雜訊表現更佳。

2.6.6 電路設計

(1) 電流分配

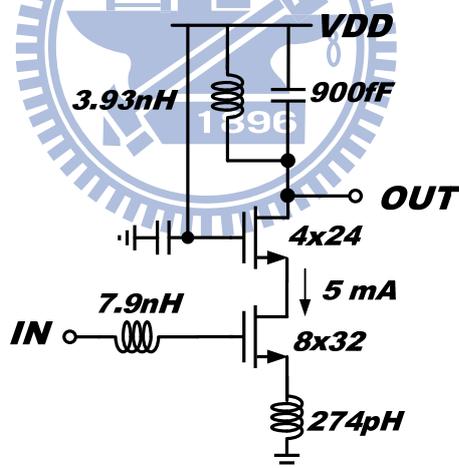
本實作目標，希望整體電流能小於 10mA，雜訊指數在 IF 為 100kHz 可以小於 4dB。由於採用被動混頻器，故所有電流皆消耗在 LNA 和 TIA 上。在此 LNA 分配 5mA 以下的電流，希望電壓增益可以大於 15dB，雜訊指數小於 3。低頻的 TIA 部份，因為前級是被動混頻器，不具有壓抑雜訊指數的能力，使得此部份的雜訊指數要求提高，因此一個 path 分配 2mA 的電流。整體估計不超過 9mA，剩下的電流可供偏壓電路使用。

(2) 低雜訊放大器設計

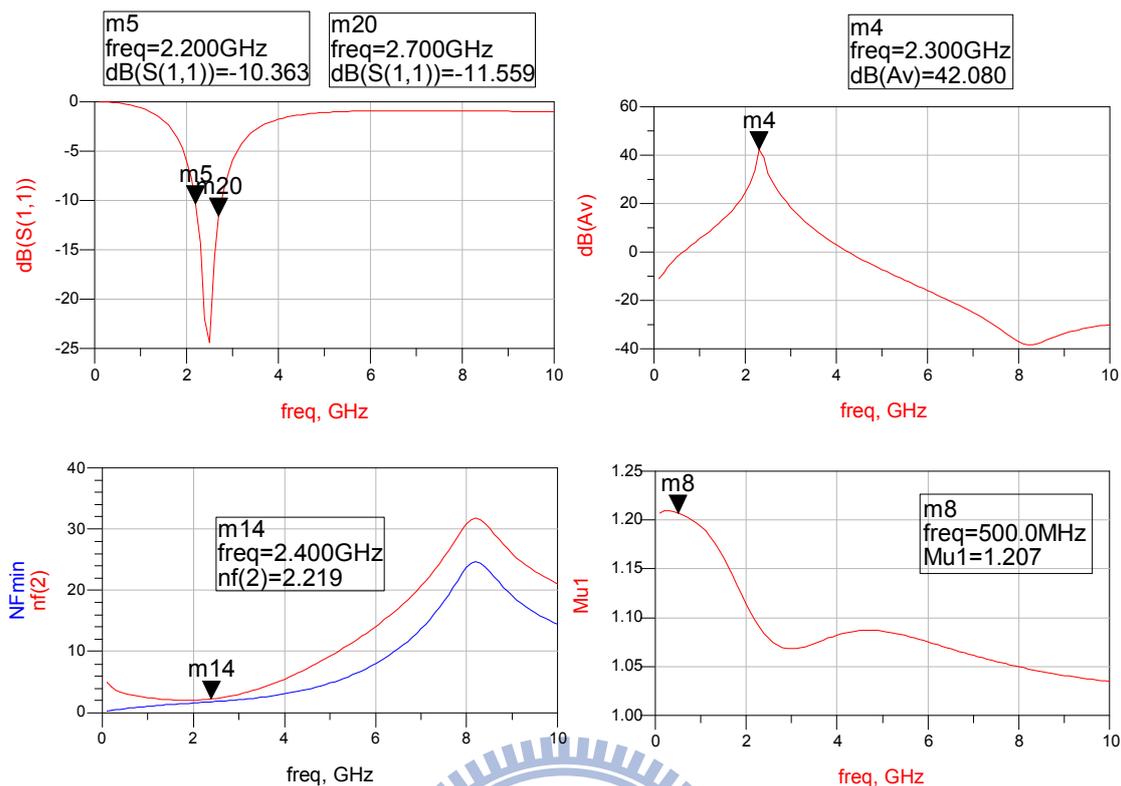
輸入級匹配網路的部份[7]，先選擇適當的電晶體的 size，其中 length 選最小的 $0.18\mu\text{m}$ ，以確保最小的 NF_{min} ；width 和 finger 數的調整，可使得 $\text{Re}[Z_{opt}]$ 能接近 50Ω 。再來調整 V_{gs} 偏壓，也就是改變偏壓電流，讓 $\omega_T L_s$ 接近 50Ω ，並且不會使 L_s 過大。在此 width 選為 $8\mu\text{m}$ ，finger 數選為 32，偏壓電流為 5mA， f_t 為 36GHz， L_s 選為 274pH，使得 $\omega_T L_s = 62\text{ohm}$ 。最後選擇 L_g ，令輸入阻抗的虛部為零，也就是使 $\omega(L_s + L_g) = 1/(\omega C_{gs})$ 。不過在此因為電流有上限，所以偏壓都不可以過高，電晶體的 size 也不可以過大，以免電流密度過低，使得 NF_{min} 會

急速上升。在此因為操作頻率偏低，電晶體的 size 也不可太小，以免 L_g 的值過大。

輸出級的部份，LC tank 的選取，主要將共振頻率設計在 2.4GHz，不過整合入系統後，因為後方接上混頻器，還有 DC block 電容也會造成寄生效應，使得 C 值的選取要變小。此外，考量到雜訊效應，如 2.6.4 節之分析，L 可幫助共振掉 C_{par} ，因此 L 值的選用也要作些微調。在此實作選擇之 L 為 3.93nH (width=9 μ m, nr=4.5, rad=50 μ m)，C 為兩顆 450.6fF (lt=20 μ m, wt=21 μ m) 並聯。整體電路各元件的大小如圖(2.25)，此 LNA 的模擬圖如圖(2.26)。



圖(2.25) 低雜訊放大器電路圖



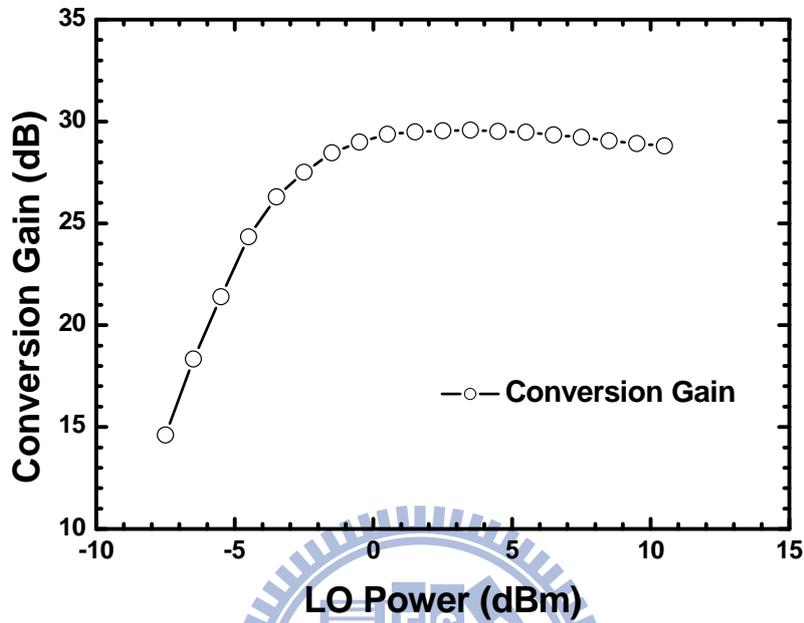
圖(2.26) 低雜訊放大器模擬圖

(3) 被動混頻器

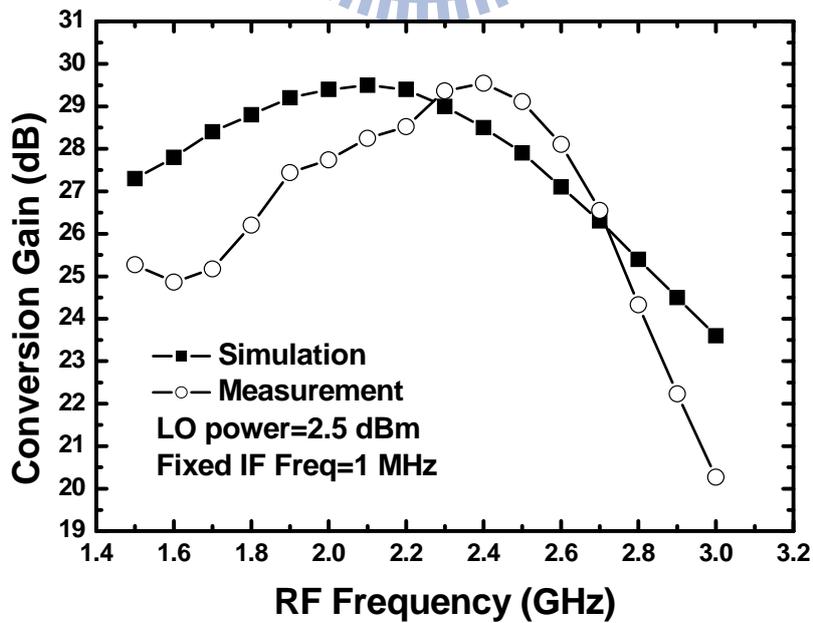
根據之前的描述，此級要偏壓在 OFF overlap，以獲得較佳的顫動雜訊表現。因此，電晶體的閘極偏壓，要配合後方 TIA 的輸入共模電壓來設計。

因為 TIA 有回授網路，故輸入和輸出的共模電壓相同。若希望 OP 有最大的輸出擺幅，會將輸出共模電壓設計在 VDD 的一半左右，在此是設計成 0.65V(要扣除電流鏡佔去的電壓空間)，如此使得輸入共模電壓也是 0.65V。由於 0.18 μm 製程的 V_{th} 典型值為 0.5V 左右，因此被動混頻器的閘極電壓不超過於 1.15V，在此設計成 0.8V。綜合考量被動混頻器造成的 loss 和雜訊影響，最終被動混頻器之電晶體 size

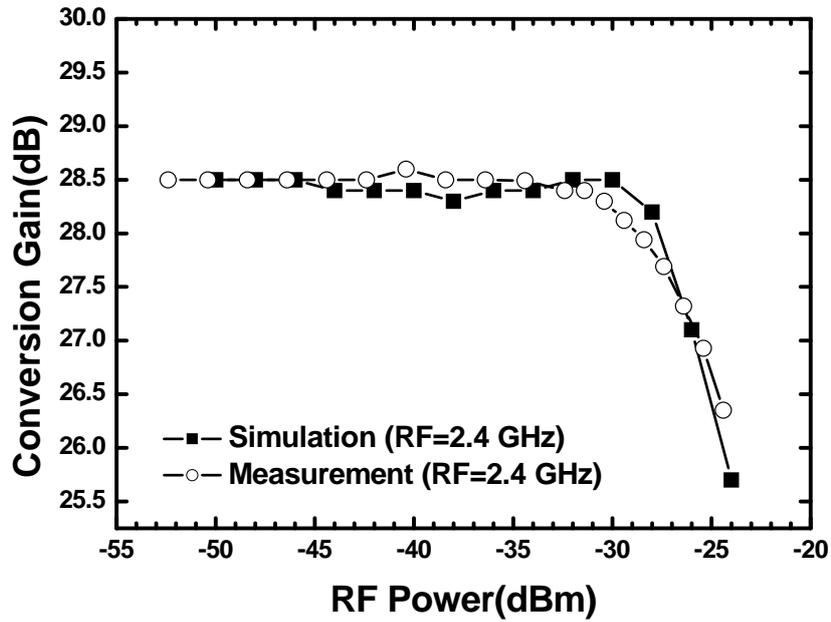
2.6.7 晶片量測結果



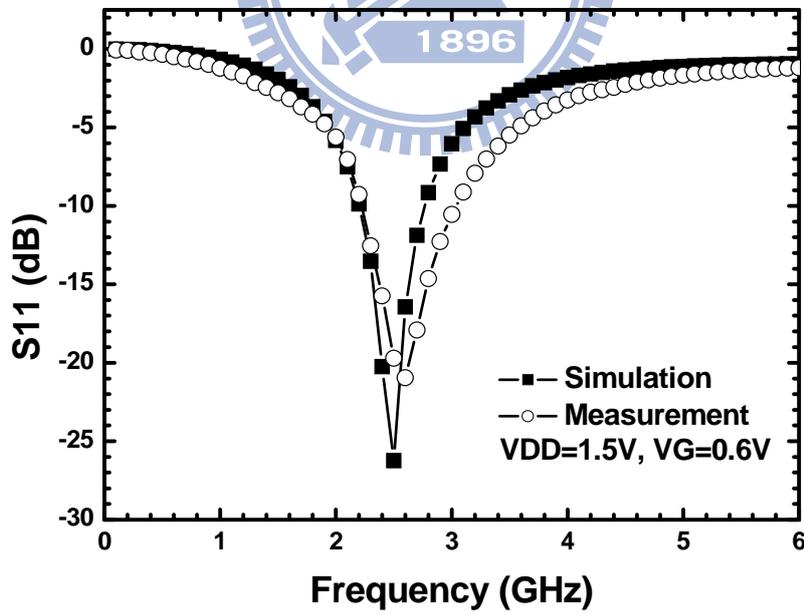
圖(2.28) 轉換增益對 LO 功率



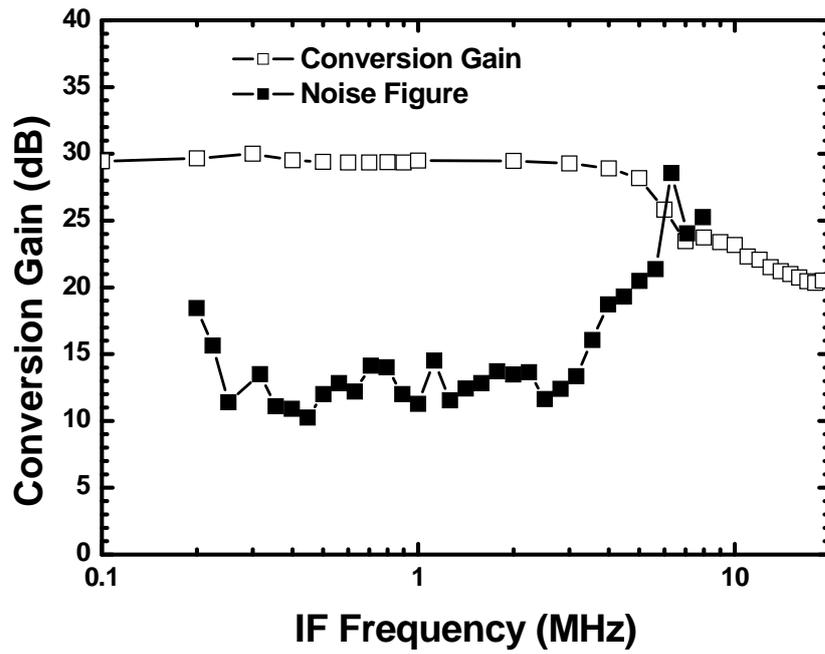
圖(2.29) 轉換增益對 RF 頻率



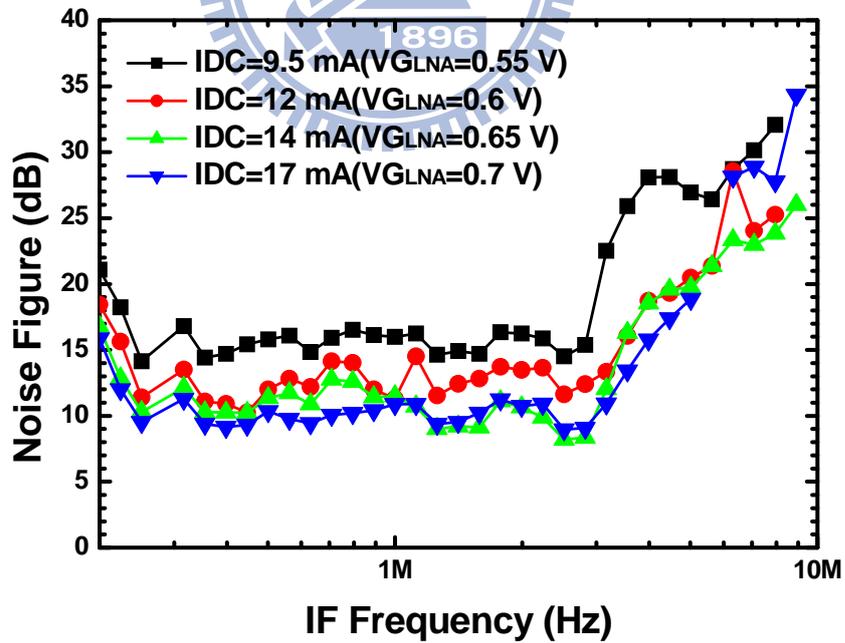
圖(2.30) 轉換增益對 RF 功率



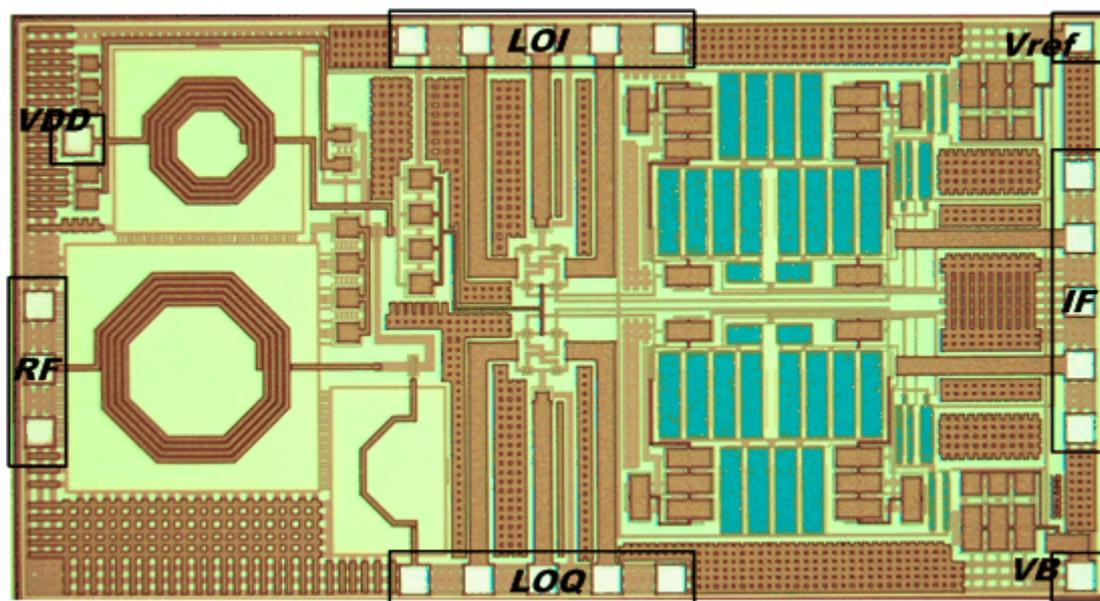
圖(2.31) 輸入返回損耗



圖(2.32) IF 頻寬和雜訊指數



圖(2.33) 雜訊指數(不同偏壓狀況)



圖(2.34) Die Photo (1.7mm × 0.9mm)

2.6.8 結果與討論

本電路採用 CMOS 0.18 μm 製程，晶片照片如圖(2.34)所示：RF 埠採用 GSG pad，LOI、LOQ 和 IF 埠採用 GSGSG pad，DC 放在電路的三個角落，此晶片面積為 $1.7 \times 0.9\text{mm}^2$ 。

圖(2.28)顯示量測出來所需的 LO 功率較小，可能的原因是被動混頻器之閘極的電壓，由外部直接給入，不是用電流鏡來偏壓，故有所漂移，導致 LO 功率較小。

圖(2.29)為 RF 頻寬，模擬較量測低頻，原因是因為此處的 post-sim 是用 Cadence tool 做的，沒有辦法萃取出電感性效應。但是在 LNA 的負載電容接到 VDD 之走線，因為要繞過電感的旁邊，使得此走線

具有不小的長度，電感性強，會抵銷一點負載電容的電容性，使實作出的 RF 頻寬稍微往高頻移動。

圖(2.30)為轉換增益對 RF 功率之量測圖形，圖(2.31)為輸入返回損耗量測圖形，這兩者皆和模擬相當接近。所有特性整理如表 2.2。

由此實作可知，使用被動混頻器，因為沒有功率增益，無法幫助壓抑後級電路的雜訊，這會提高對低雜訊放大器的增益及雜訊之要求，而且後級電路也需要提高功率消耗以減少雜訊貢獻。整體來看，想達成低功率設計，使用被動混頻器不一定會是最佳選擇。

表 2.2 Low-Power Low-Noise Direct-Conversion Receiver with Passive Mixers (CMOS 0.18- μm) Summary

Item	Simulation	Measurement
Supply Voltage (V)	1.5	
Conversion Gain (dB)	29.5	29.5
RF Bandwidth (GHz)	1.5-2.6	1.8-2.7
IF Bandwidth (MHz)	10	6
Noise Figure (dB)	4	9
IP1dB (dBm)	-26	-26
Input Return Loss (dB)	<-10 (2.3GHz~2.95GHz)	<-10 (2GHz~3GHz)
Power Consumption (mW)	13.19	13.5
Chip Size (mm \times mm)	1.7 \times 0.9	

2.7 實作二，Low-Power Low-Noise Direct-Conversion

Receiver with Subthreshold Biasing Techniques (CMOS

0.18- μm)

2.7.1 研究動機

上個實作採用電流模式的被動混頻器，期望可達到低功率和低雜訊的效果。但是因為被動混頻器沒增益，無法壓抑後方的雜訊，使得後方電路消耗電流不小，以上個實作為例，一個 TIA 要 2mA 左右的電流。如果使用低電流的主動混頻器，再結合低功耗但雜訊指數較高的放大器，因為主動混頻器具有增益，可以幫助壓抑後方的雜訊，如此也有機會完成低功率、低雜訊的接收機。

2.7.2 系統設計考量

因為低功率及低雜訊是互相權衡的，在此設計先以低雜訊為目標，再想辦法降低功率消耗。

目前的文獻中記載[13]，如果使用次臨界導通偏壓技術，不含震盪器可以用 1.2-mW 完成接收機的設計，而且雜訊指數大約是 7-8dB。但是使用次臨界導通偏壓技術的低雜訊放大器，其雜訊指數無法小於 4dB[14]，若我們的目標是雜訊指數能夠降至 4dB 以下，這

種作法無法達成目標。所以先要針對低雜訊放大器來做改善。

使用次臨界導通偏壓技術，如 2.3.1 節所述，和偏壓在強反轉區相比，具有低電流的好處，而且 g_m 對偏壓電流的比例也較高，但是最大的缺點就是雜訊指數高。將此技術應用至實現低雜訊放大器時，可能會使得電晶體成為提高雜訊指數的主因。為了降低雜訊指數，在此實做選擇犧牲功率消耗的表現，將電晶體偏壓在強反轉區。不過將電晶體偏壓在強反轉區，那麼電晶體的最低雜訊指數大多在 1 以下，主導雜訊指數表現的會是被動元件。因此，參考 2.4 節，可藉由加入 C_{ex} 的方式來降低 LNA 的雜訊指數以及所需要的功率消耗。

混頻器和可變增益放大器的部份，選擇使用次臨界導通偏壓技術，不過電流不可過小，以免雜訊指數過高，導致低雜訊放大器無法壓抑此部份的雜訊。

總而言之，本實作使用低功率的 LNA，並結合次臨界導通偏壓技術，使得混頻器和後級的可變增益放大器具有低電流消耗與可接受的雜訊表現，以設計出功率消耗更低的接收機。整體電路圖如圖(2.35)所示。

2.7.3 電路設計

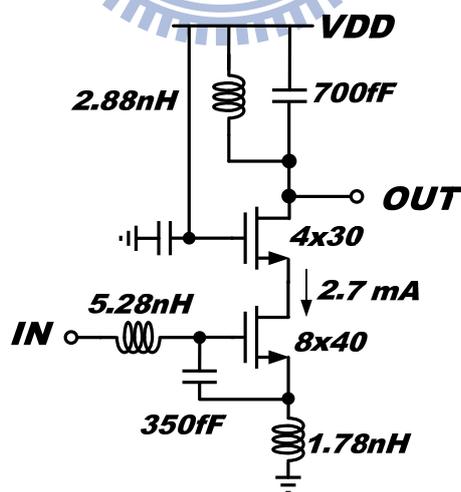
(1) 電流分配

本實作目標，希望整體電流可以小於 5mA，雜訊指數小於 4dB，而顫動雜訊的轉角希望可以盡量低於 1MHz 以下，如此可適用於 Low-IF 或 Direct-Conversion 的系統。為了降低雜訊指數，並且提供足夠的增益在系統前端以壓抑後端的雜訊指數，LNA 要分配最多的電流，預計分配 2-3mA，因為有外加的 C_{ex} ，所以可比上個實作之 LNA 需要更少的電流。混頻器採用次臨界導通偏壓技術，大約分配 0.5mA 即可有正常的頻寬，轉換增益以及線性度。低頻的可變增益放大器，由於操作頻率低，此級雜訊指數的要求也不高，故所需要的電流可以小，大約分配 0.3mA。最後，因為 on wafer 量測，pad 數量不足，無法將四個輸出全部拉出來探測，所以在低頻的可變增益放大器之後還會外加一個雙端轉單端的放大器，此級分配 0.1-0.2mA 即可。

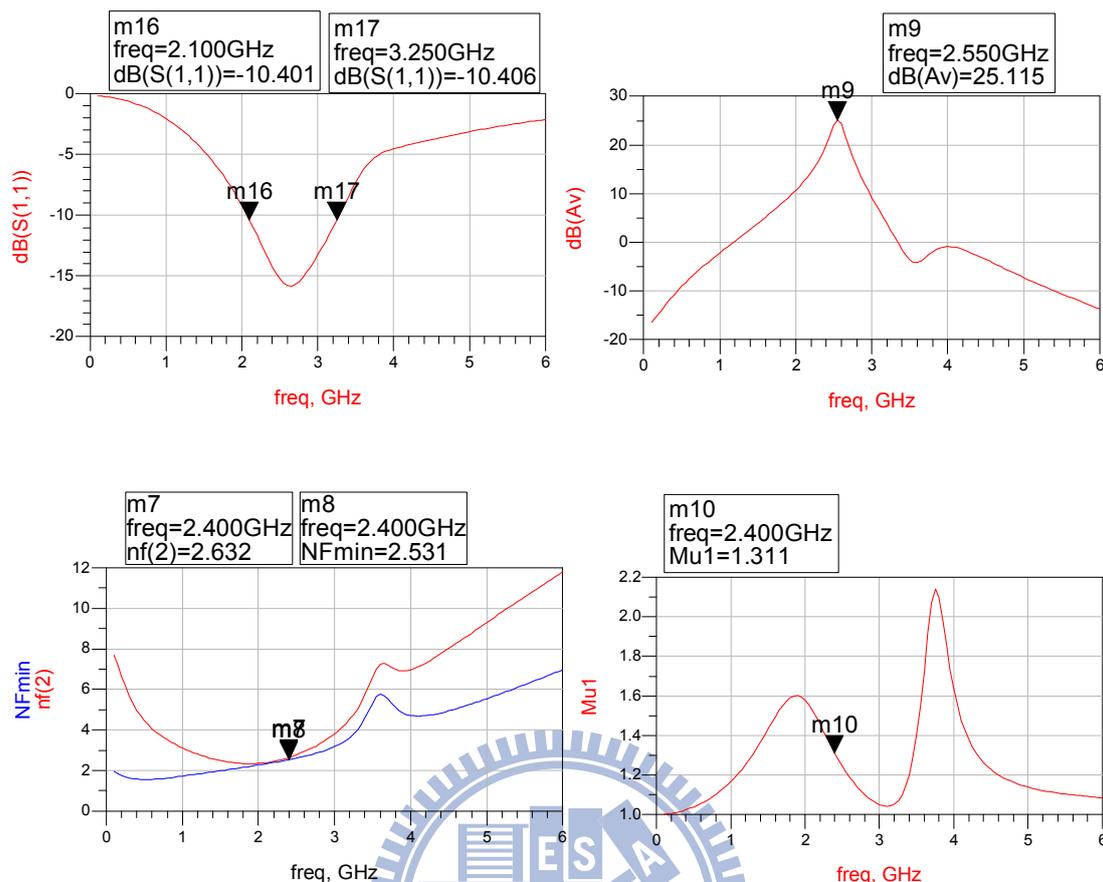
(2) 低雜訊放大器

參考[15]，操作在 2.4GHz 的電晶體，其電流密度在 $20\mu\text{A}/\mu\text{m}$ 和 $10\mu\text{A}/\mu\text{m}$ 的狀況下， NF_{\min} 相差不到 0.1dB，因此，可以在少一半偏壓電流的狀況下， NF_{\min} 還不會上升很多。上個實作選擇電晶體的電流密度在 $20\mu\text{A}/\mu\text{m}$ 附近，顯然有許多電流是浪費的。在此選擇電晶

體的寬度為 $8\mu\text{m}$ ，finger 數為 40，電流為 2.7mA ，電流密度為 $8.4\mu\text{A}/\mu\text{m}$ ，在此電流密度並且外加 C_{ex} 的狀況下， f_t 為 11GHz ，若希望 match 到 50ohm 附近， L_s 大約選在 1nH 附近。和上個時作相比，由於電晶體看入的等效電容變大和 L_s 變大，使得 L_g 變小的情況下也可以達到阻抗匹配，有效的減少了 L_g 的感值，降低 L_g 的雜訊貢獻。各個電晶體和被動元件的大小如圖(2.36)所示，此 LNA 因為沒有單獨下線，不過參考 post-simulation(圖(2.23))的結果可發現，加入 C_{ex} 確實在 NF 及 Gain 差不多的狀況下，降低了電流消耗。在設計上值得注意的是，負載端的 LC tank，其大小選取要配合整體系統考量，因為後級的負載效應往往會嚴重的影響頻率的準確度，所以 tank 的自振頻率通常要偏高一點。



圖(2.36) 考量功率消耗的低雜訊放大器



圖(2.37) 低雜訊放大器模擬圖(50ohm load)

其實 LNA 整合至系統後，因為負載不再是 50ohm，這會影響輸入的阻抗匹配。圖(2.23)是單獨設計 LNA 時的模擬圖，使用 50ohm load。現在考慮 LNA 和混頻器相接，以本實作為例，下一級是接到電晶體的閘極，因此輸出負載看過去是大電阻並聯一個電容，由模擬可將此電阻和電容分別等效成 5k-ohm 和 230fF。將 LNA 的 load 換成此電阻並聯電容後，得到的模擬如圖(2.38)所示。由 Smith chart 可以明顯看出，在輸入匹配電路的共振頻附近，會有轉彎的現象，並且往左邊突出。發生此現象的原因如下：

見圖(2.39)，為了簡化分析，先把輸入阻抗匹配網路去除。由[16]

可知，

$$Z_{in1} = \frac{1}{sC_{gs}} \parallel \left(\frac{r_o + Z_L}{1 + g_m r_o} \right) \quad (2.71)$$

$$Z_{in} = \frac{1}{sC_{gs}} \parallel \left(\frac{1/sC_{gd} + Z_{in1}}{1 + g_m Z_{in1}} \right) \quad (2.72)$$

若是原本單獨設計 LNA 時， Z_L 為 50ohm，則 $Z_{in1} \approx 1/g_m$ 。

現在假設操作在負載 LC tank 的共振頻率，且假設 LC tank 的 Q 值很大， Z_L 很大， Z_{in1} 可以近似成

$$Z_{in1} = \frac{1}{sC_{gs}} \quad (2.73)$$

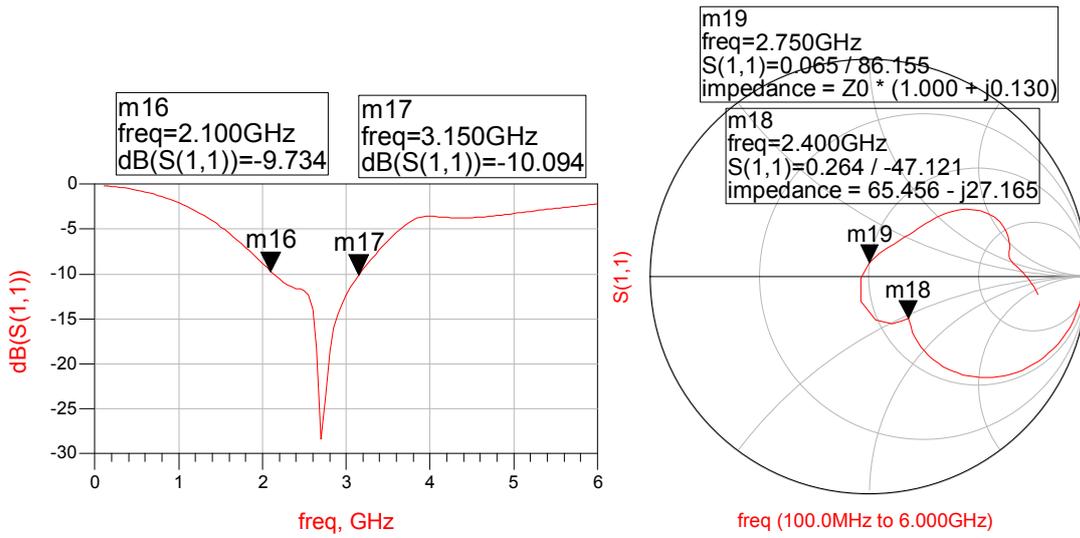
此時，可知 Z_{in} 為

$$Z_{in} = \frac{1}{sC_{gs}} \parallel \left(\frac{1 + C_{gs}/C_{gd}}{g_m + sC_{gs}} \right) \quad (2.74)$$

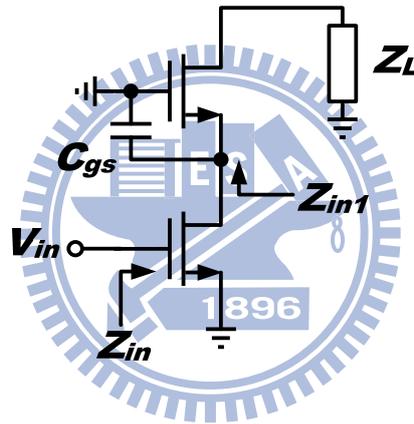
令 $k = 1 + C_{gs}/C_{gd}$ ，則

$$Z_{in} = \frac{1}{sC_{gs}} \parallel \left(\frac{k}{g_m + sC_{gs}} \right) = \frac{k/(1+k)}{sC_{gs}} \parallel \frac{k}{g_m} = \frac{1}{sC_p} \parallel R_p \quad (2.75)$$

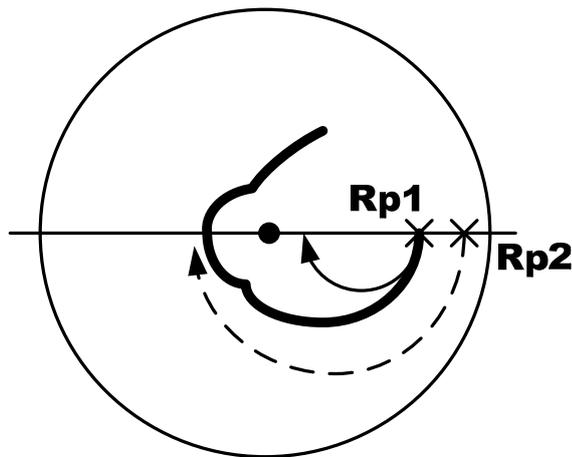
其中 $C_p = [(1+k)/k]C_{gs}$ ， $R_p = k/g_m$ 。也就是說，在共振頻率附近，由於 Z_{in1} 的電容性上升，使得 k 值上升，導致等效的 R_p 變大，等效的 C_p 也變大。此時 Smith chart 的變化可以參考圖(2.40)所示，虛線和細實線相比，等效的 R_p 和 C_p 都較大。無數條細實線和虛線相加組成粗實線，也就是我們得到的模擬結果。



圖(2.38) 低雜訊放大器模擬圖(非 50ohm load)

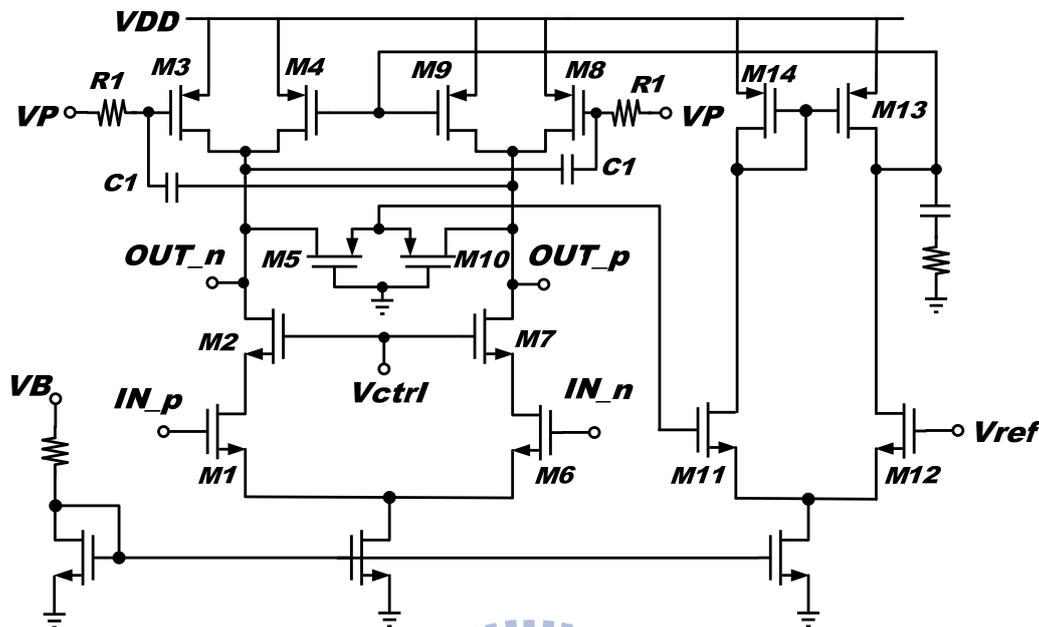


圖(2.39) 負載共振時的低雜訊放大器示意圖



圖(2.40) LC tank 共振頻附近 Smith chart 之變化

(4) 次臨界導通可變增益放大器

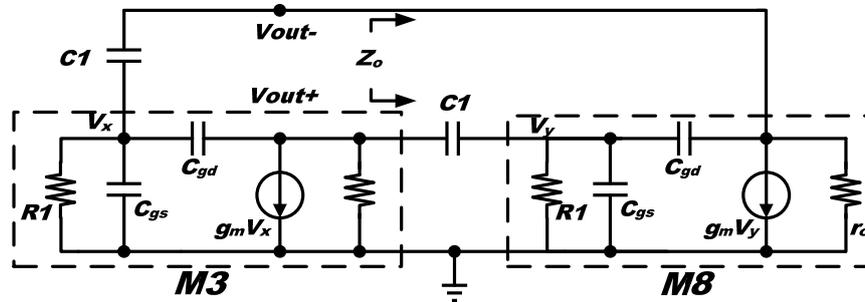


圖(2.42) 次臨界導通可變增益放大器電路圖

由於此部份可使用的電流大約是 0.3-mA，因此採用次臨界導通偏壓技術來達到低電流的目的。但是頻寬和雜訊的問題，變成很大的問題。因為此放大器在接收機的后端，前面有低雜訊放大器和混頻器可以壓抑此放大器貢獻的雜訊，所以頻寬問題才是最需要去解決的。

基本的 cascode 差動放大器，因為共閘級可以減輕米勒效應，頻寬問題可以獲得改善。而且改變共閘級電晶體的閘極偏壓，可以控制輸入級的電晶體之偏壓狀況。當輸入訊號小， V_{ctrl} 給 high，輸入電晶體偏壓在飽和區，因此具有高增益，而且對於小訊號輸入有較低的失真；當輸入訊號大， V_{ctrl} 給 low，輸入電晶體偏壓在三極管區，因此具有低增益，而且對於大訊號輸入有較低的失真。

為了尋求更高的頻寬，因此在負載端設計了一個主動電感(M3, M8, R1, C1)。負載端的等效小訊號模型如圖(2.43)所示。



圖(2.43) 次臨界導通可變增益放大器之負載小訊號等效模型

由小訊號模型可知，輸出阻抗 Z_o 如下[16][17]

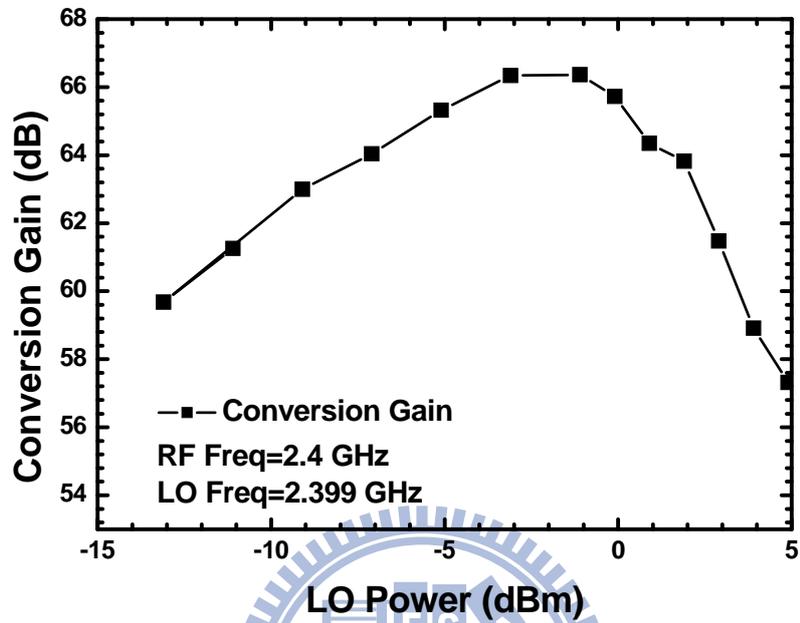
$$Z_o \approx \frac{2r_o \left[1 + sR_1 (C_1 + C_{gd} + C_{gs}) \right]}{D(s)}$$

$$D(s) = 1 + s \left[R_1 (C_1 + C_{gd} + C_{gs}) + r_o (C_1 + C_{gd} - C_1 g_m R_1 + C_{gd} g_m R_1) \right] + s^2 r_o R_1 \left[4C_1 C_{gd} + (C_1 + C_{gd}) C_{gs} \right] \quad (2.76)$$

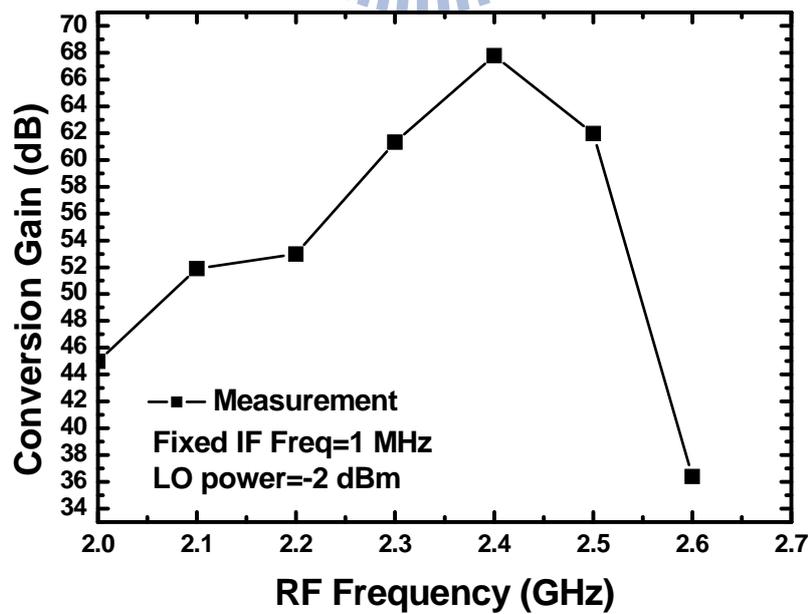
其中， g_m 為轉導， r_o 為輸出電阻， C_{gd} 為閘極-汲極電容， C_{gs} 為閘極-源極電容。

低頻操作時， Z_o 可表示為 $2r_o$ ；操作頻率接近-3-dB 頻率時， Z_o 可近似成(2.73)式，可知有個零點在 $\omega_z = 1/R_1 (C_1 + C_{gd} + C_{gs})$ ，產生 gain peaking 的效果以增加頻寬。

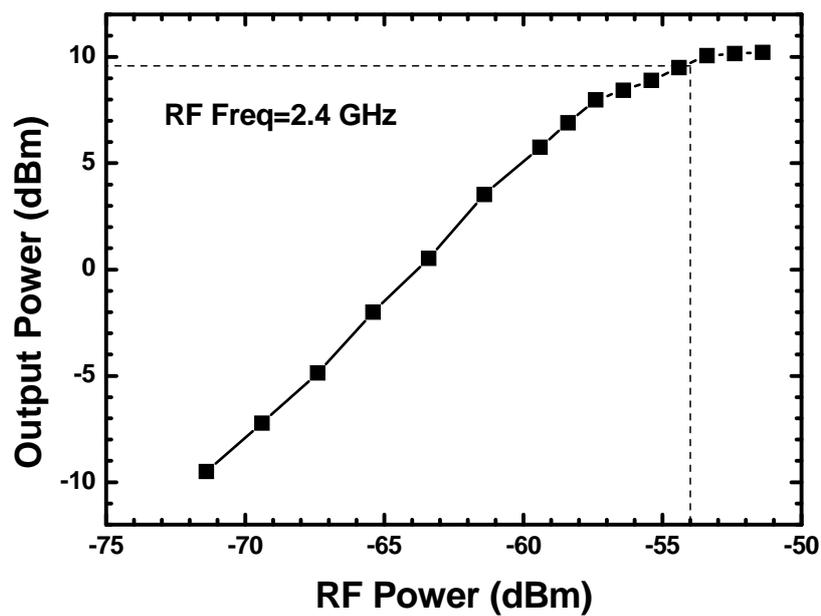
2.7.4 晶片量測結果



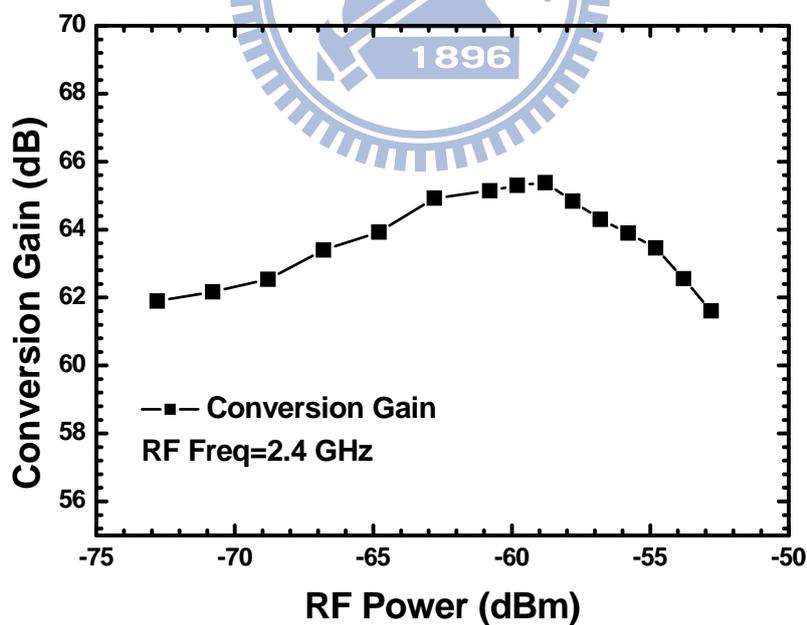
圖(2.44) 轉換增益對 LO 功率



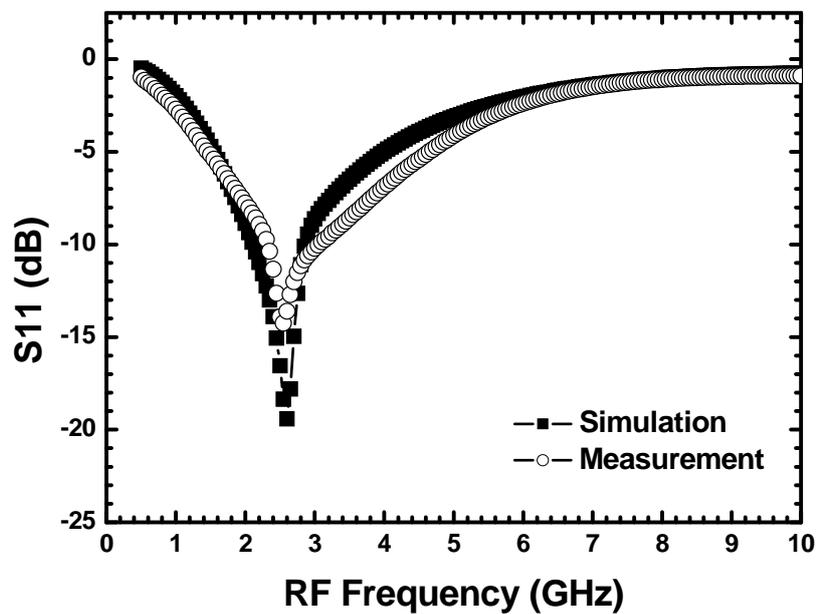
圖(2.45) 轉換增益對 RF 頻率



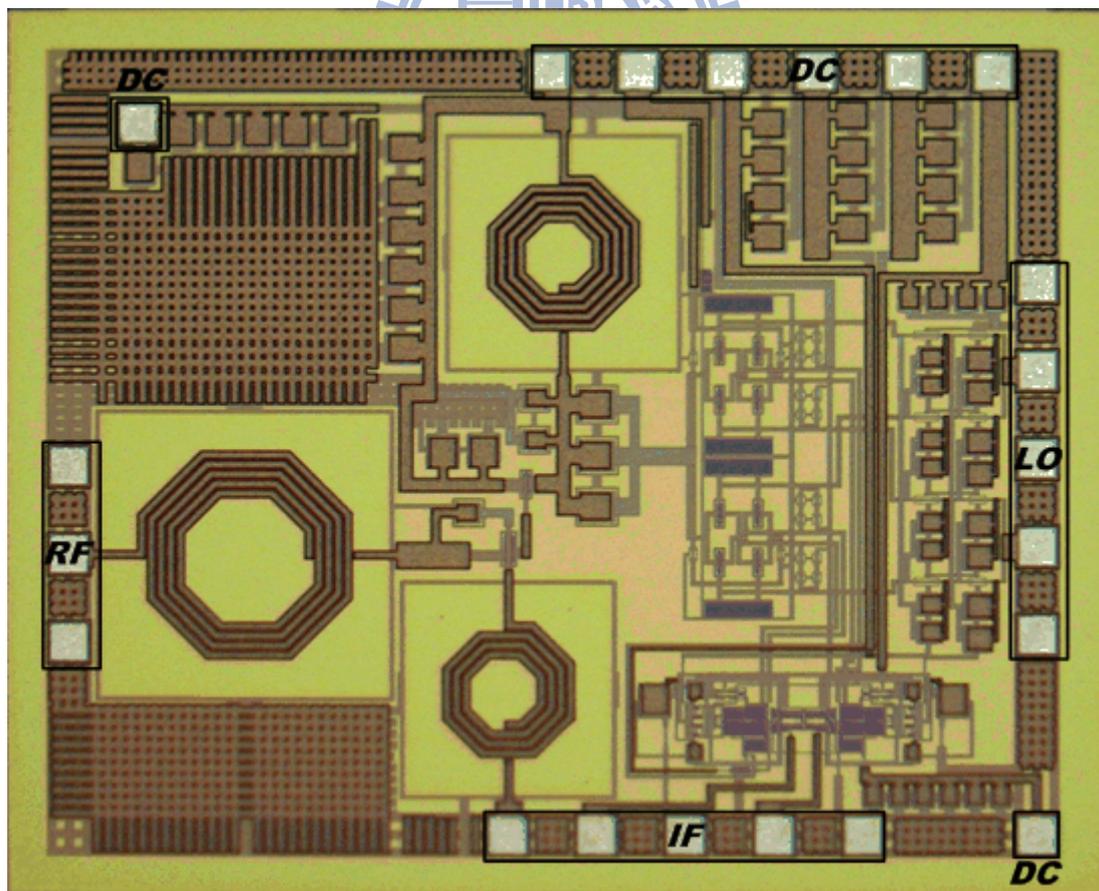
圖(2.46) 輸出功率對 RF 功率



圖(2.47) 轉換增益對 RF 功率



圖(2.48) 輸入返回損耗



圖(2.49) Die Photo (1.1mm × 0.9mm)

2.7.5 結果與討論

本電路採用 CMOS 0.18 μm 製程，晶片照片如圖(2.49) 所示：RF 埠採用 GSG pad，LO 和 IF 埠採用 GSGSG pad，DC 放在電路的三個角落，此晶片面積為 $0.9 \times 1.1 \text{mm}^2$ 。

此電路量測時，特性變異很大，可能有二：由於混頻器的電阻大，製程變異可能會造成的後級 VGA 輸入的直流共模電壓過低，而使得後級放大器的增益過低。此外，原本電晶體閘極對電壓的變化會相當敏感，而本電路外給至混頻器閘極的偏壓，是直接用大電阻給入，並非使用電流鏡來偏壓，更會導致閘極電壓的不準確。現在電路要偏壓在次臨界導通區域，對偏壓精確度的要求會更高，所以用大電阻直接給入直流電壓的方式也會對電路特性影響很大。

轉換增益在量測出來會比模擬稍高，這可能是因為給入的偏壓電流較大所導致。RF 頻寬約為 2.35GHz-2.45GHz，輸入返回損耗小於 -10dB 的頻率範圍在 2.2GHz-3GHz，量測出來的功率消耗維 9mW。各項量測數據和模擬都相當接近。

整體特性整理如表 2.3。

表 2.3 Low-Power Low-Noise Direct-Conversion Receiver with Subthreshold Biasing Techniques (CMOS 0.18- μm) Summary

Item	Post Simulation	Measurement
Supply Voltage (V)	1.5	
Conversion Gain (dB)	65	68
RF Bandwidth (GHz)	2.2-2.6	2.35-2.45
IF Bandwidth (MHz)	100	N/A
NF (dB)	3.4	N/A
IP1dB (dBm)	-54	-54
Input Return Loss (dB)	<-10 (2.1GHz~2.9GHz)	<-10 (2.2GHz~3GHz)
Current Consumption (mA)	4.55	6
Power Consumption (mW)	6.75	9
Chip Size (mm \times mm)	0.9 \times 1.1	

表 2.4 實作一與實作二之比較表 2.4-GHz 低功率接收機文獻比較表

Item	實作一	實作二
Supply Voltage (V)	1.5	
Conversion Gain (dB)	29.5	68
RF Bandwidth (GHz)	1.8-2.7	2.35-2.45
IF Bandwidth (MHz)	10	N/A
IP1dB (dBm)	-26	-54
Input Return Loss (dB)	<-10 (2GHz~3GHz)	<-10(2.2GHz~3GHz)
Current Consumption (mA)	9	6
Power Consumption (mW)	13.5	9
Chip Size (mm \times mm)	1.7 \times 0.9	0.9 \times 1.1

與文獻之比較如表 2.5。

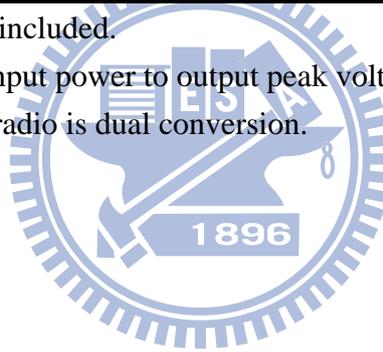
表 2.5 2.4-GHz 低功率接收機文獻比較表

Ref.	[18]	[19]	[20]	[21]	[22]	[23]	[24]	[25]	This work
Process	0.18- μ m CMOS	90nm CMOS	90nm CMOS	0.18- μ m CMOS	0.18- μ m CMOS				
P_{DC} (mW)	9	44	16.2	6.3	9	3.6	8.1	1.4 (*2.6)	9
Voltage Gain (dB)	30	N/A	90	40	N/A	75	**37	43	68
NF (dB)	N/A	5.7	N/A	7.3	<10	12	6	5	N/A
IIP3 (dBm)	-4	-16	N/A	-8	-15	-12.5	-12	-37	N/A
Area (mm ²)	8.75	3.8	13.32	2	3.61	0.35	0.07	2.8	0.99
Image Rejection (dBc)	30	36	N/A	N/A	35	35	32	N/A	N/A
Architecture	Low-IF	Low-IF	*** Low-IF	DCR	Low-IF	Low-IF	Low-IF	Low-IF	DCR

*VCO power consumption included.

** Conversion Gain from input power to output peak voltage.

***The architecture of the radio is dual conversion.



第三章

60-GHz 發射機之元件電 路設計



3.1 前言

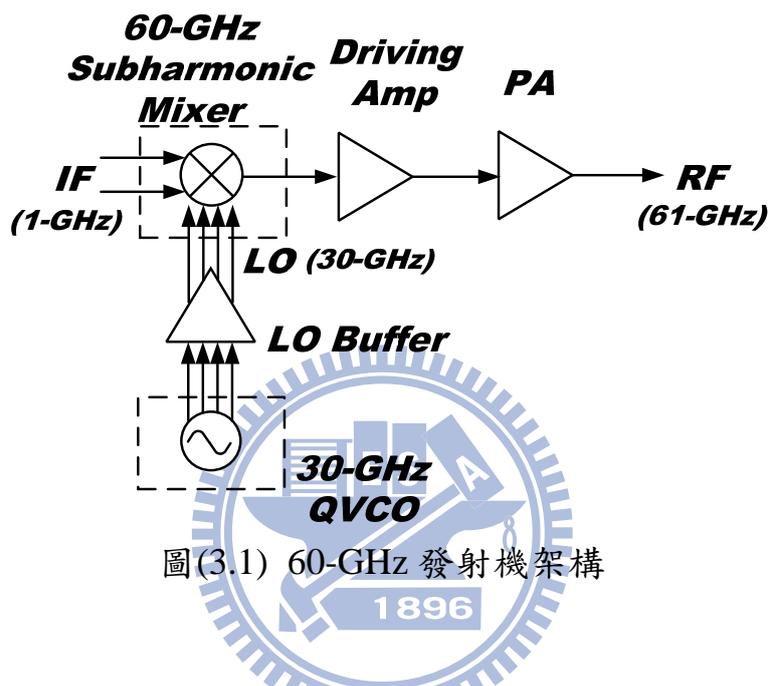
如數位電視影像等需要高資料量傳輸的應用，已逐漸被推廣，未來也將會普及。現今普遍的無線傳輸規格，大多使用 2GHz-6GHz 的頻段，此段頻譜擁擠，使得頻寬不足，導致傳輸資料量不夠大。為了追求更高傳輸量，新的規格開始競爭。2009 年 5 月，由 Atheros、Broadcom、Dell、Intel、LG、聯發科等 15 家公司，組成了一個無線技術聯盟 WiGig(Wireless Gigabit Alliance)，以 60-GHz 頻譜規格來發展無線技術，期望建立傳輸速度達到 1Gb 的無線網路技術。由此來看，規格制定較早的 UWB 規格目前較少公司發展，60-GHz 的規格極有可能取而代之。

隨著 CMOS 製程技術的發展，現今的 90nm 的電晶體，其 f_t 即可突破 100-GHz，且 65nm 的製程技術已成熟，因此選用 CMOS 製程穩定、低功率等優點來發展 60-GHz 的電路是個不錯的選擇。

不過在收發機的設計當中，發射機通常是比較不易設計的部份，對 60-GHz 的系統而言更是如此。因為高頻的元件模型不精準，走線的損耗也大，使得升頻混波器不易有增益，甚至可能會有過大的 loss；在訊號產生器的部份，不僅不易取得振幅夠大的本地震盪訊號，正交相位的取得也不容易。因此，如何實做出高品質的元件電路為本章節之研究重點。

本章節將討論與實作適用於 60-GHz 發射機的兩種元件電路—60-GHz 次諧波升頻混波器和 30-GHz 正交相位壓控振盪器，參考圖(3.1)虛線所框部份。對 60-GHz 的發射機來說，希望降低本地震盪訊號產生的設計難度，故使用次諧波升頻混波器來完成頻移的運

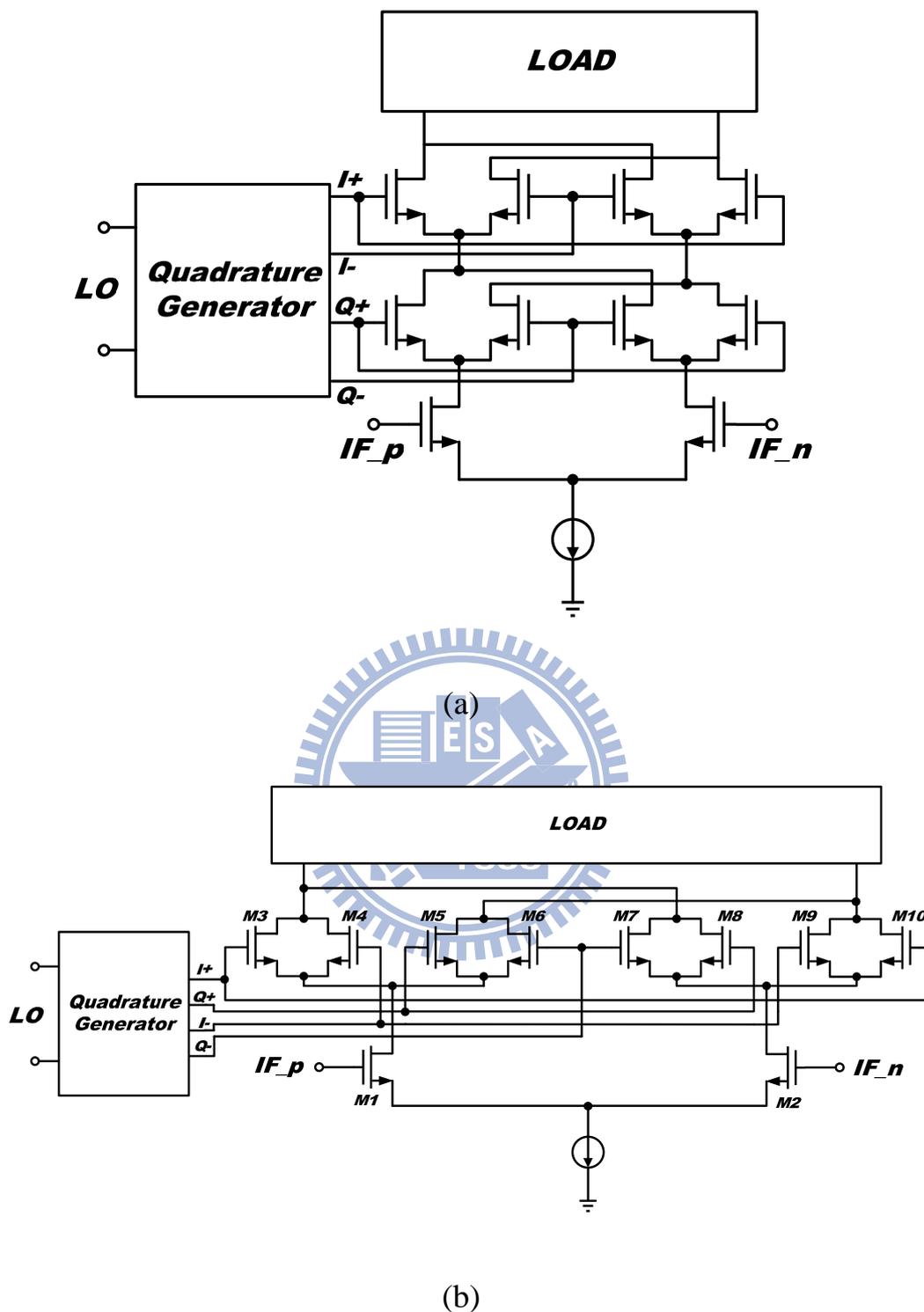
作，如此 LO 的頻率可以設計在 30-GHz 附近。而在製程的選用上，希望能盡量選用較低成本的製程，再配合適當的電路架構與技巧來設計。因為 0.13 μm 的 f_t 可達 80GHz，用來實現這些元件電路相當適合，所以在此採用 0.13 μm 製程來實現。



3.2 60-GHz 次諧波升頻混波器之分析

3.2.1 主動式次諧波升頻混波器

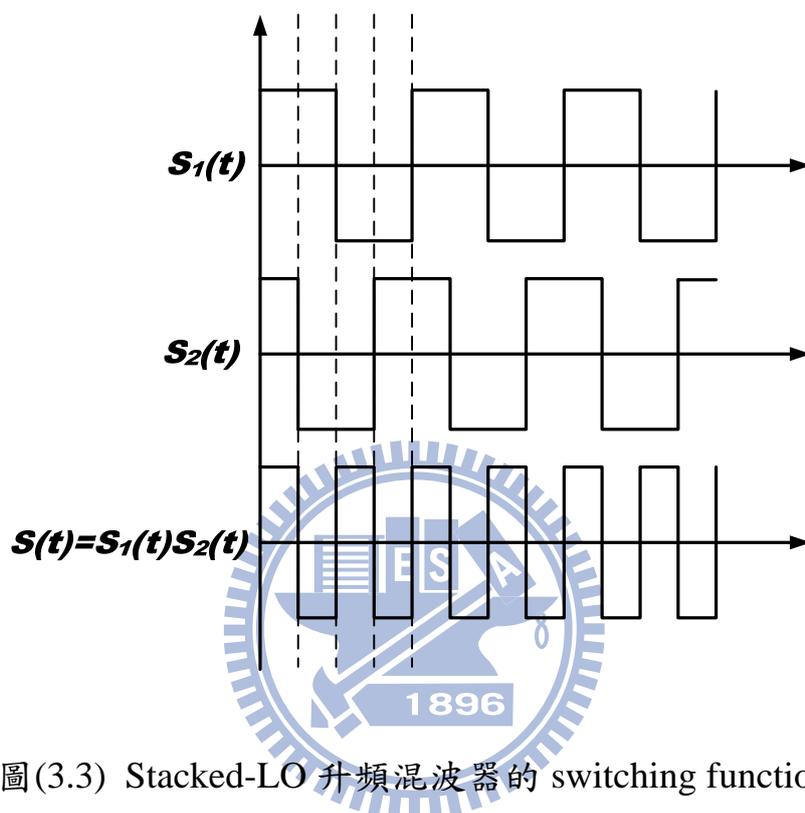
主動式次諧波升頻混波器，大致上可以分成 stacked-LO 和 leveled-LO 兩種架構[1]，見圖(3.2)。



圖(3.2) (a) stacked-LO (b)leveled-LO 次諧波混頻器之簡化架構

Stacked-LO 次諧波升頻混波器的操作原理，是將 LO 訊號搭配正交相位，取 exclusive NOR，產生出 $2LO$ 的訊號，再和 IF 訊號混頻。

參考圖(3.2)(a)，假設上層的 switching function 為 $S_1(t)$ ，下層的 switching function 為 $S_2(t)$ ，由於 $S_1(t)$ 和 $S_2(t)$ 相差90度，可以如圖(3.3)來表示。

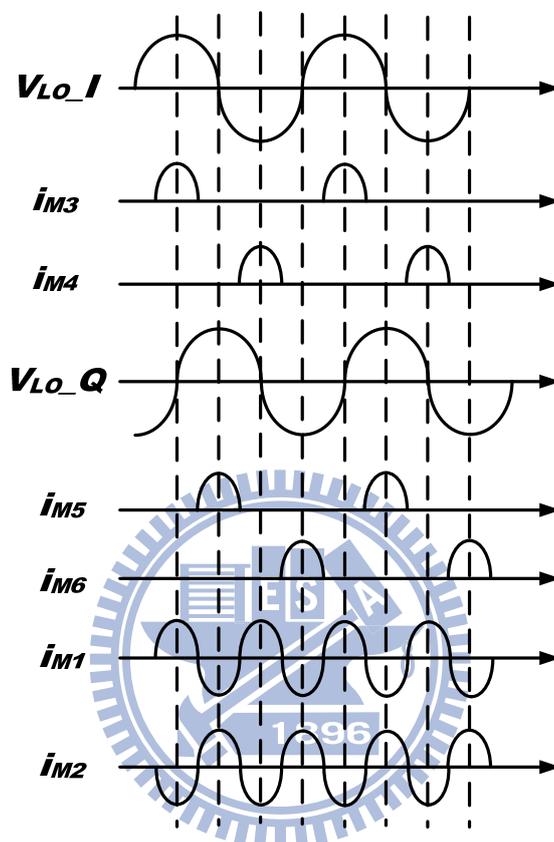


圖(3.3) Stacked-LO 升頻混波器的 switching function

整體的 switching function $S(t)$ 為 $S_1(t)$ 和 $S_2(t)$ 取 exclusive NOR 而得，如圖(3.3)所示。如此 $S(t)$ 的頻率為 $S_1(t)$ (或 $S_2(t)$)的兩倍。

Leveled-LO 的操作是利用電晶體的非線性特性。見圖(3.2)，M3-M4、M5-M6、M7-M8和 M9-M10是汲極相接的源極耦合對 (source-coupled pair)。以 M3-M4為例，當 0° 和 180° 的 LO 訊號輸入這個源極耦合對，會由於汲極相接，使得基頻項的電流訊號被消去，只有偶次諧波項的電流訊號出現在汲極，也就是說，可以產生出 $2LO$ 的電流訊號。同時， 90° 和 270° 的 LO 訊號輸入 M5-M6，也會產生 $2LO$

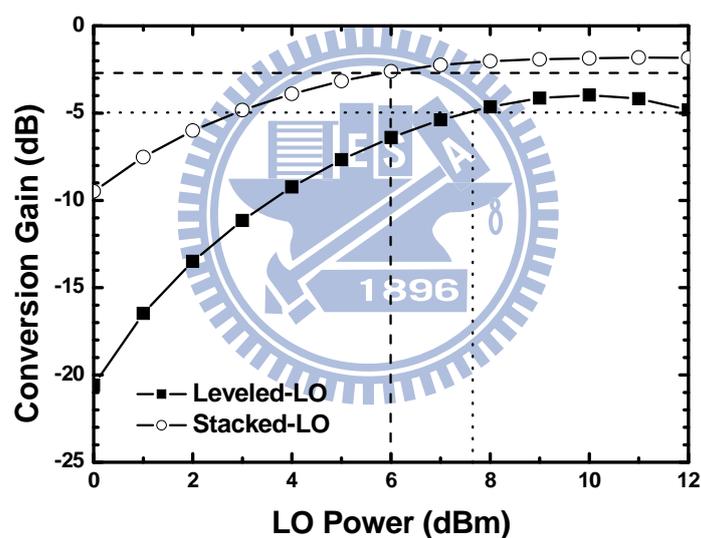
訊號，不過此2LO 訊號會和 M3-M4所產生的2LO 訊號反相。因此，M3-M4和 M5-M6可產生2LO 的差動訊號。各電晶體的電流示意圖如圖(3.4)所示[2]。



圖(3.4) Leveled-LO 混頻器之電流示意圖

因為 stacked-LO 和 leveled-LO 混頻器基本的操作原理不同，使得為達到完全切換所需要的 LO power 不同。如果是 HBT 電晶體來實現次諧波混頻器，stacked-LO 所需要的 LO 電壓跟 HBT 差動對要完全電流切換所需要的電壓差相同，其典型值為 $4V_T$ ($\approx 0.1V$)；而 leveled-LO 是利用電晶體的非線性特性來完成運作，若要使二階項夠大，需要增加許多額外的 LO 電壓[1]，和 staced-LO 相比，所需的 LO power 大約會相差 10dB。故以 HBT 電晶體來實現次諧波混頻器，stacked-LO 架構所需要的 LO power 會明顯的比 leveled-LO 架構還

小。然而，若以 MOS 電晶體來實現，stacked-LO 所需要的 LO 電壓跟 MOS 差動對要完全電流切換所需要的電壓差一樣，其典型值為 $\sqrt{2}V_{ov}$ ($\approx 0.3 \sim 0.7$ V)；而 leveled-LO 同樣是利用電晶體的非線性特性來完成混頻，所需要的 LO 電壓也較 stacked-LO 架構高。但是，見圖 (3.5)，這張圖比較了 stacked-LO 架構和 leveled-LO 架構所需要的 LO power，在此切換級和轉導級選擇一樣的電晶體大小以及偏壓(因此 stacked-LO 的供應電壓較高)，LO 的輸入都是 50ohm termination，並且給理想的差動正交訊號。



圖(3.5) Stacked-LO 架構和 level-LO 架構所需之 LO power 比較圖

圖中為了公平起見，以比轉換增益平坦區小 1dB 所需的 LO power 來比較，可以發現兩者並沒有相差很多，不像以 HBT 來實現，會相差到 10dB 左右。這是由於 HBT 的電晶體元件特性，若是用來實現一般差動對，其電流完全切換所需要的電壓很小，使得 stacked-LO 所需要的 LO power 比 leveled-LO 小很多；反觀使用 MOS，因為 MOS 電

晶體的元件特性，用來實現差動對，其電流完全切換所需的電壓已經不小，使得 stacked-LO 所需要的 LO power 和 leveled-LO 差不多。

就架構上來看，stacked-LO 和 leveled-LO 相比，stacked-LO 堆疊了三層電晶體(不包含電流源)，所以 voltage headroom 比較小，需要較高的供應電壓。而且由於的雜散電容效應，使得 stacked-LO 架構之上層切換級和下層切換級具有電流相位延遲，這會造成一個嚴重的問題：就算輸入的兩個差動 LO 訊號是完美的相差90度，dc-offset 和 isolation 的表現仍然會受限。

上述探討完次諧波升頻混波器的電路核心，但是就高頻的操作來說，更關鍵的部份可能會是如何產生正交相位，以及整體電路最高頻率的輸出端之處理。

3.2.2 高頻正交相位之產生

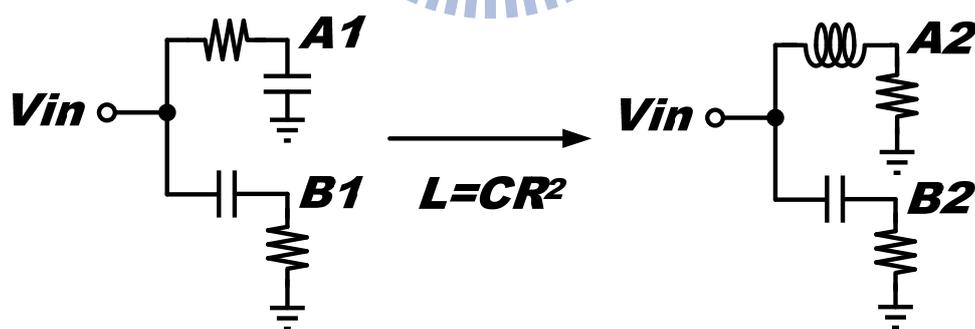
正交相位的產生，大致上有六種方式可以實現。第一種是使用環形震盪器，第二種是用除二電路，第三種是用 RC-CR 多重相位濾波器，第四種是 LR-CR 正交相位產生器，第五種是用四分之一波長耦合器，第六種是用正交相位振盪器[3]。接下來會以適不適用於本章節期望實現的60-GHz 次諧波升頻混波器來探討。

若是用環形震盪器，會由於環形震盪器的相位雜訊表現不佳，鮮少人會採用此電路來作為訊號產生器。

若是用除二電路，則提供除頻器輸入的振盪器必須操作在60-GHz 附近，不易達到低功率消耗及低相位雜訊的設計，而且可以除的動30-GHz 訊號的除二電路，功率消耗也大。

若是用 RC-CR 多重相位濾波器，會由於 CMOS 製程中 RC 值的變異導致正交相位的不準確，而且為了增加頻寬，會選擇串聯多級 RC-CR 多重相位濾波器，這樣不僅增加了許多 power loss，也會因為電阻的增加而使得熱雜訊上升。對 30-GHz 的應用來說，更難以取得大振幅的 LO 訊號，因此後方接上多級的正交相位濾波器似乎不是個好的選擇，而且電阻本身的自振頻率也不適用於此頻段。

若要改善 RC-CR 多重相位濾波器，因為希望提昇頻寬而串聯多級，導致 power loss 過大的問題，可以使用 LR-CR 正交相位產生器 [4]。LR-CR 正交相位產生器的設計概念，其實是由 RC-CR 多重相位濾波器演變而來。見圖(3.6)，RC-CR 多重相位濾波器是藉由 RC 相位超前45度，以及 CR 相位落後45度，達成 A1和 B1兩點相位差90度的效果，同理，藉由天性相位相差90度的 L-R 來取代 R-C，只要滿足 $L=CR^2$ ，圖(3.6)中的 RC-CR 可等效成 LR-CR。



圖(3.6) RC-CR 正交相位產生器與 LR-CR 正交相位產生器

LR-CR 正交相位產生器在 $L=CR^2$ 的時候，會有幾個特點：第一是不論操作頻率為何，A2和 B2的相位差恆為90度，但是振幅差會正比於操作頻率，不易達成寬頻振幅匹配；第二是不論操作頻率為何，

輸入阻抗恆等於 R ，只要 R 等於 50ohm ，可以達成寬頻匹配。但是若想將 LR-CR 正交相位產生器結合於 60-GHz 的次諧波升頻混波器，此特色將會造成很大的問題。因為在高頻操作時(在此大約是 30-GHz 附近)，電晶體的閘極看入之阻抗，受到 C_{gs} 的影響，會看到低阻抗。這使得 LR-CR 正交相位產生器的輸入阻抗很低，此阻抗低到在閘極並聯 50-ohm 也無效，導致 LO 埠無法達到匹配，會需要更大的 LO power，但是想要得到很大的 30-GHz 之 LO power 不太容易，所以會比較希望尋求其他的正交相位產生方式。

微波電路中經常使用的四分之一波長耦合器，在 30-GHz 的應用，經過適當的佈局繞線，其所佔面積尚在可以接受的範圍，相對於多級 RC-CR 多重相位濾波器，其 loss 也較小。然而，若是應用於 60-GHz 次諧波升頻混波器的 LO 埠，同上所述，會由於電晶體閘極在 30-GHz 看入的低阻抗，而非看到 50-ohm ，導致設計上若想達到相同的輸出振幅和準確的輸出正交相位，必須特別小心，而且對於 LO 埠的輸入返回損耗的設計也要多加注意，不過對此應用而言，四分之一波長耦合器卻是可以考慮用來產生正交相位的方法之一。

還有一種產生正交相位的方式，就是使用正交相位振盪器，來直接產生正交相位。對此應用來說，實現一個 30-GHz 的正交相位振盪器再接緩衝級，或許會比實現出一個 60-GHz 振盪器再接上一個除二電路來的省功率。而且目前文獻中所實現的 60-GHz 振盪器，其 FOM 大多不超過 -190 dBc/Hz ，相位雜訊在 1-MHz 頻率偏移處也很少低於 -100dB ，想要有高品質的 60-GHz 訊號還有待研究。相對來說要實現出高品質的 30-GHz 訊號應該會容易一點。不過目前文獻中所記載超

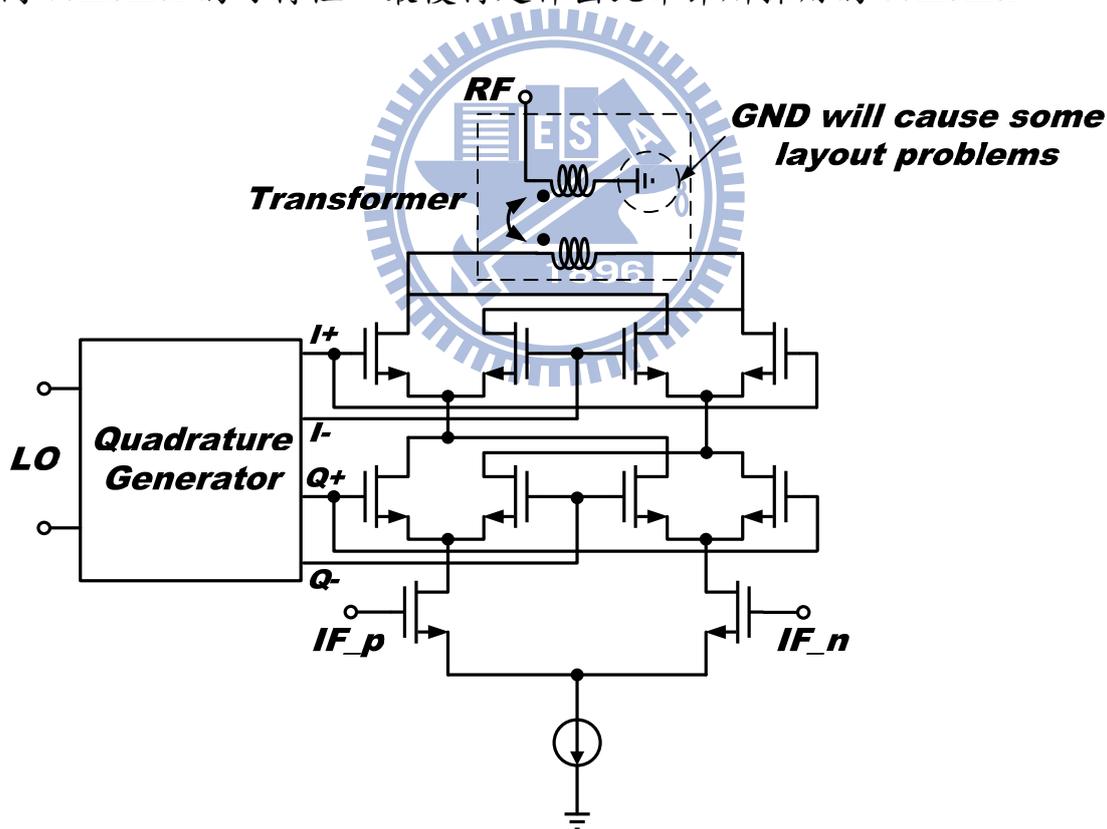
過30-GHz 的正交相位振盪器很少，顯然要實現出低功率、低相位雜訊和準確的輸出正交相位之30-GHz 正交相位振盪器，會是一個挑戰。

3.2.3 輸出 combiner

在此章節主要選用0.13- μm 製程來實現次諧波升頻混波器，受到製程 f_t 的限制，後方要實現驅動放大器，會需要相當大的功率，而且特性不會很好，若要實現功率放大器則會更加困難，因此考慮和其他外加的驅動放大器或是功率放大器作結合。以 TRW 公司的產品為例，全部都是 single-ended 架構，所以在次諧波升頻混波器的輸出負載端，需要實現一個 combiner 來作 RF 的 current combine，以達到 single-end 輸出。同時，single-end 輸出也有助於量測的方便性。

Combiner 的設計會遇見不少的問題，因為此 combiner 操作在 60-GHz，所以主要會利用微波工程的概念，實現被動的 combiner。見圖(3.2)，混頻器的輸出端是電晶體的汲極，因此，看到之輸出阻抗不會是一般微波工程探討的50-ohm，不過可以用並聯的 RC 電路去等效 [12]。所以設計上遇到的第一個問題，就是不能都以 50-ohm termination 來設計被動電路。第二個問題是如何達到寬頻匹配設計，畢竟輸出端還是要作阻抗匹配，以減少和下一級外部電路連接的返回損耗。第三個問題跟製程有關，矽製程基板具有 loss，儘管操作頻率高，走線長度短，但是要盡量縮小化，以降低 loss，不然 RF 電流經過 combiner 的 combine 後，反而使訊號 loss 更大。第四個問題是如何達到寬頻設計，因為混頻器的頻寬很寬，所以會希望頻寬盡量不要被輸出端的被動電路限制住。

整體來說，設計上會遇見的最大問題，還是源自於 combiner 的平衡埠(balanced port)並非50-ohm，這是因為和此埠相接的，是主動式混頻器的LO切換級之電晶體汲極，不像許多過去的文獻，採用 FET mixer，可藉由 LO pumping power 將汲極看入之阻抗改變至50-ohm，使得設計上仍然可以應用50-ohm termination 的狀況。所以在此設計會希望這個 combiner 具有阻抗轉換的效果。藉由模擬可以看出，高頻狀況下，混頻器的輸出端可等效成一個高阻抗的電阻並聯一個電容。如何將電容性負載在高頻時造成的低阻抗轉換至50-ohm，就是 combiner 的設計關鍵。以下將分別討論現有的 combiner，比較各種不同 combiner 的可行性，最後再延伸出此章節所採用的 combiner。



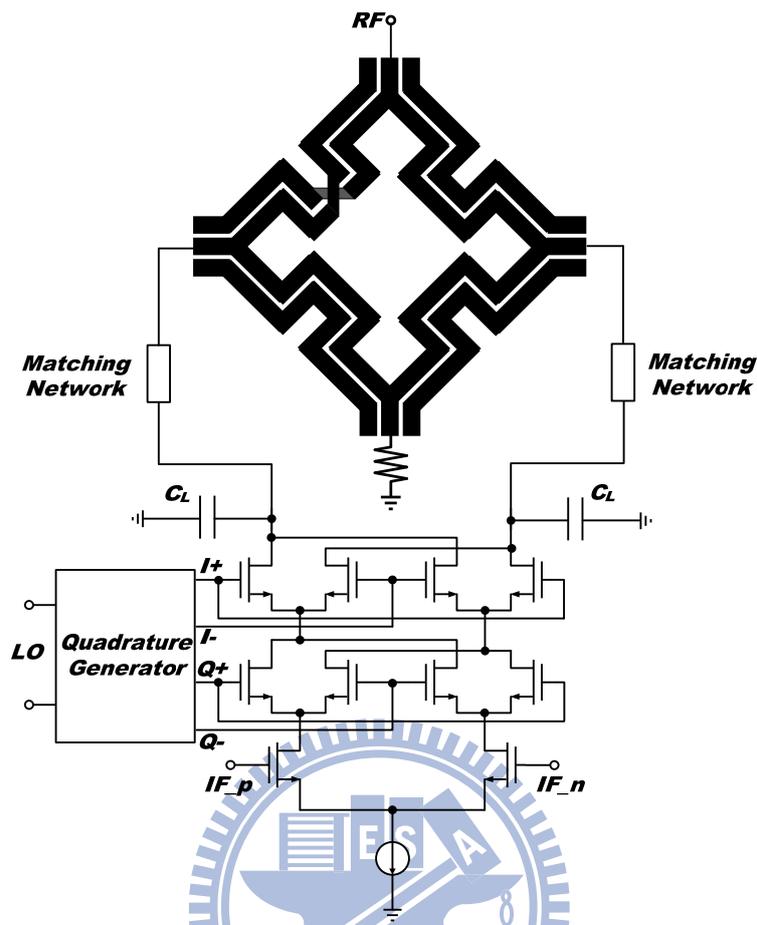
圖(3.7) 利用變壓器作 combiner 之示意圖

(1) 變壓器(Transformer)[5] :

想達成阻抗轉換的目標，可以使用變壓器(transformer)來達成。可是變壓器的自振頻率通常無法超過60-GHz，而且參考圖(3.7)，變壓器會需要接地，然而在 CMOS 製程中，不如 GaAs 製程，具有 back-side ground，故不易取得理想的高頻的地，這點會限制了 layout 上的彈性。上述兩點降低了變壓器的可行性，在此不考慮使用變壓器。

(2) 鼠徑分合波器(rat-race hybrid)[6] :

鼠徑分合波器是經常應用於微波電路的180度分合波器，如果結合相位反轉器，如圖(3.8)所示，使得 layout 架構對稱，更可以具有寬頻的效果。若以50-ohm termination 的狀況來分析鼠徑分合波器，此分合波器主要是由四分之一波長傳輸線所組成，在60-GHz 時，四分之一波長大約是630- μm [39]，經過適當的彎曲，大約也要佔去400 μm ×400 μm ，這對於實現在 ic 上來看，算是消耗了不少的面積。而且 isolated port 需要放置50-ohm，但是在高頻應用上也不容易產生理想的50-ohm 負載。此外，如圖(3.8)所示，此電路操作在60-GHz，等效寄生的 C_L 效應會很明顯，使得鼠徑分合波器的輸入 balanced-port 不為50-ohm，導致鼠徑分合波器的頻寬會大幅縮減。如果要解決這個問題，混頻器核心電路的輸出端要做匹配電路，將輸出端匹配至50-ohm 再與鼠徑分合波器相接。這樣做會使得整體電路的頻寬受到匹配電路的限制，也要付出額外的面積和損耗在匹配電路上。由上述可知，鼠徑分合波器也不適用於60-GHz 次諧波升頻混波器的輸出端。



圖(3.8) 利用鼠徑分合波器作 combiner 之示意圖

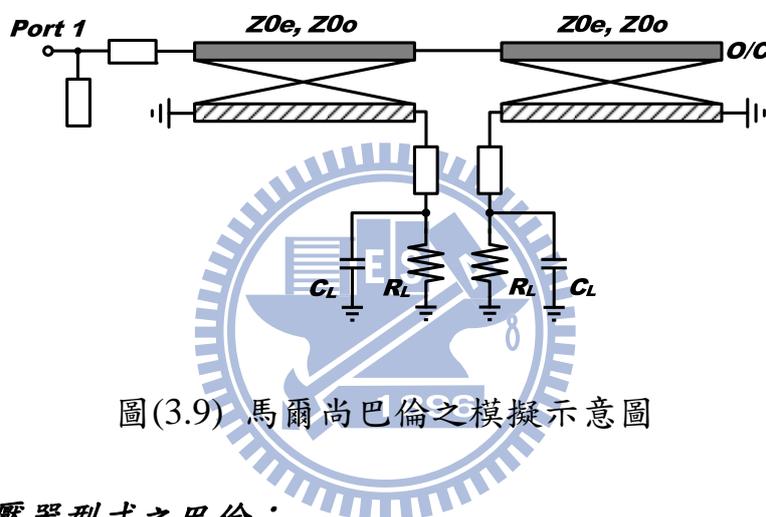
(3) 馬爾尚巴倫 (Marchand Balun)[7] :

馬爾尚巴倫因為 layout 架構簡單，使得 layout 的形狀很具有彈性；用在60-GHz 的應用面積不會太大，因此基板造成的 loss 也不至於過大；而且馬爾尚巴倫的接地端通常和輸出端在同一側，這點可以增加 layout 上的彈性。看起來馬爾尚巴倫似乎會是個適合應用於60-GHz 次諧波升頻混波器的 combiner。

不過現在馬爾尚巴倫要實現在 ic 上，一定要遵守 foundry 廠提供的設計規則 (design rule)，被動電路的合成通常會因此受限。這是因為各層金屬都有最大和最小的寬度限制，也有最小線距的限制，使得我

們可以合成出的特徵阻抗(characteristic impedance)和藕合量(coupling)有限。

因此，為了確認馬爾尚巴倫實現在 ic 上的可行性，可以先以理想的藕合器，組成馬爾尚巴倫來配合模擬驗證。在此以實作一的狀況為例，將電晶體輸出的汲極端用電阻 R_L 及電容 C_L 來等效，此時 R_L 為2500ohm， C_L 為40fF。適當地加入一些傳輸線來幫助阻抗匹配，如圖(3.9)所示，但是，負載為低阻抗，馬爾尚巴倫仍無法達到寬頻匹配。

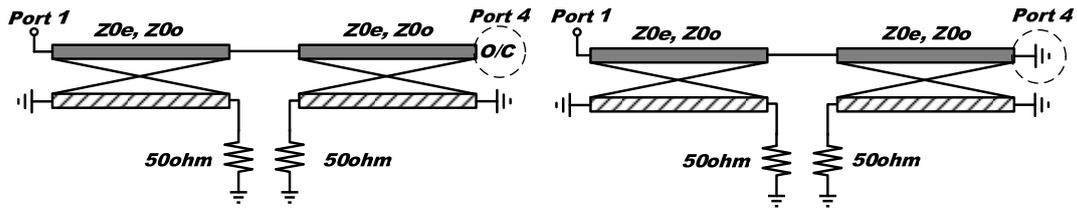


圖(3.9) 馬爾尚巴倫之模擬示意圖

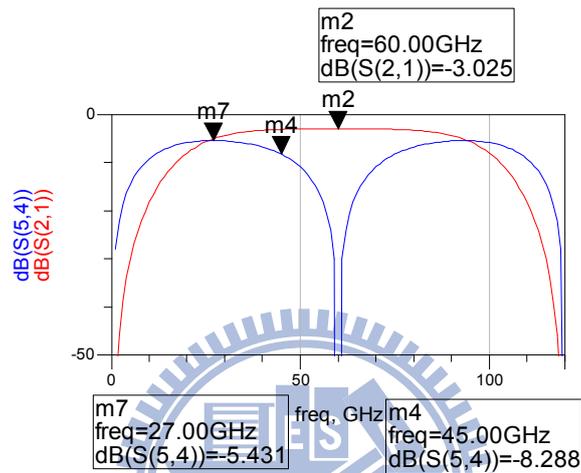
(4) 變壓器型式之巴倫：

以上三種常見的巴倫皆不適合作60-GHz 次諧波升頻混波器的輸出 combiner，因此，在這裡提出變壓器型式的巴倫，來達到寬頻匹配和低損耗的功效。

設計的想法源自於變壓器和馬爾尚巴倫。首先，此 combiner 希望達到阻抗轉換的目的，但是傳統的馬爾尚巴倫，其效果和1:1的變壓器相當類似，只是阻抗轉換比不足，因此無法寬頻匹配。針對這點可以使用變壓器的概念，藉由不同的圈數比達到阻抗轉換。



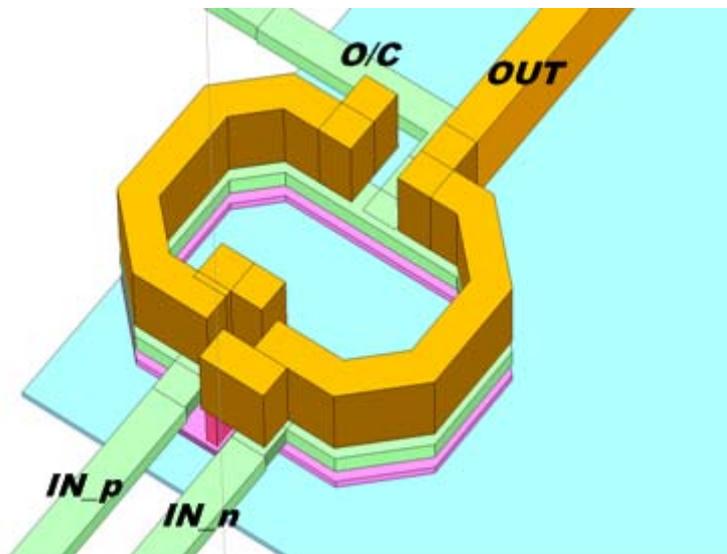
圖(3.10) 馬爾尚巴倫和1:1變壓器之示意圖



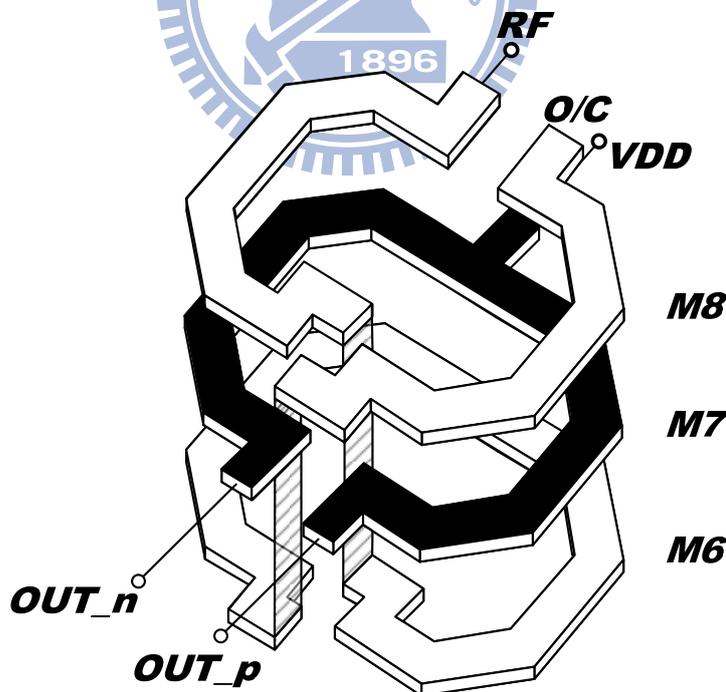
圖(3.11) 馬爾尚巴倫和1:1變壓器之模擬圖

實際上馬爾尚巴倫和1:1變壓器最大的差異，在於和非平衡埠相接的金屬，前者是開路，後者是短路到地，也就是如圖(3.10)之 port 4 (圈選處)。若將圖(3.10)中的四分之一波長耦合器之中心頻率設定在 60-GHz，可得如圖(3.11)之模擬。由此模擬可知，馬爾尚巴倫可以操作在 60-GHz，但是變壓器若想操作在 60-GHz，則四分之一波長耦合器的中心頻率就要設計在 120-GHz 會較為恰當。在此又要多圈數比來阻抗轉換，中心頻率設計在 120-GHz 這麼高頻，會導致線長太短而不易繞線。故 port 4 會選擇開路，近似於馬爾尚巴倫的概念。此外，為了提高耦合量以增加頻寬，耦合器採用 broadside couple 的方式。並

且在巴倫下方鋪上 metal 1 當 ground plane 以降低基板損耗。最後此巴倫的3D 圖如圖(3.12)所示，示意圖如圖(3.13)所示。



圖(3.12) 變壓器型式巴倫之3D 圖



圖(3.13)變壓器型式巴倫之示意圖

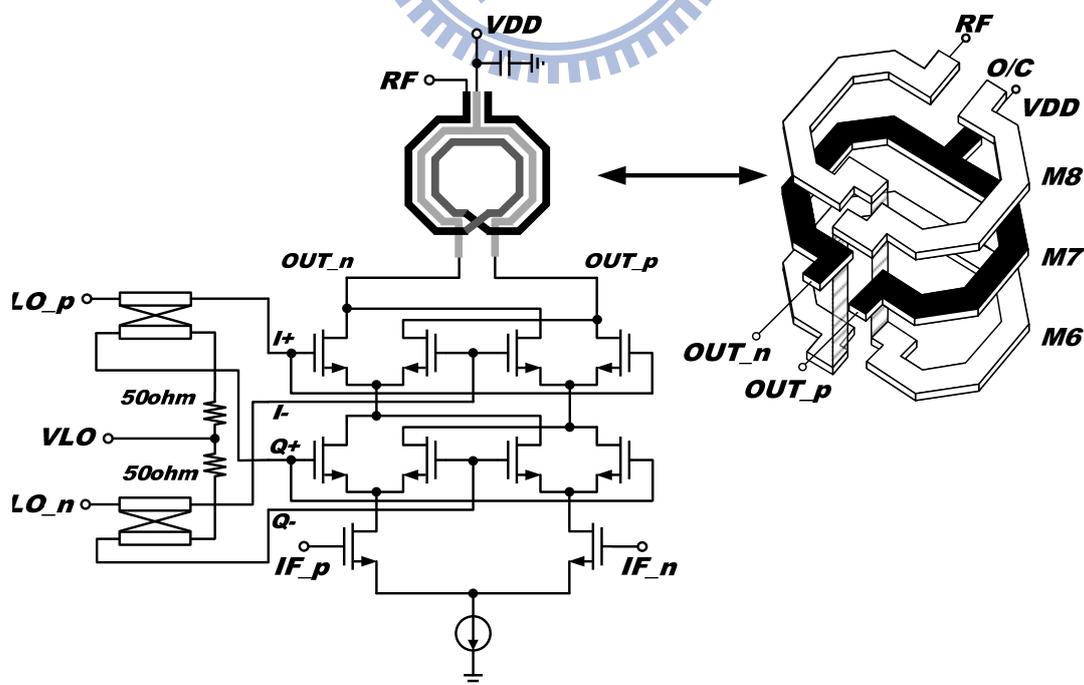
3.3 實作一，60-GHz stacked-LO次諧波升頻混波器 (CMOS 0.13- μm)

3.3.1. 研究動機

60-GHz 的通訊規格即將被制定出來，其高資料傳輸率正是其吸引人之處，但是至今尚未有成熟的產品出現。在此以 CMOS 0.13- μm 製程，來實現一個適用於 60-GHz 發射機系統的升頻混波器。如果選用 fundamental 的混頻器，則 LO 要給 60-GHz 訊號，想得到高品質的 60-GHz 訊號，對振盪器以及驅動放大器的設計是一大挑戰，為了降低對 LO 訊號的要求，選擇使用次諧波混頻器的方式來完成。

3.3.2. 電路設計

整體電路圖如圖(3.14)所示。



圖(3.14) 60-GHz stacked-LO 次諧波升頻混波器整體電路圖

本電路大致上可以分成混頻器核心電路、LO 正交相位產生器及輸出 RF combiner 三個部份，各部份的說明如下。

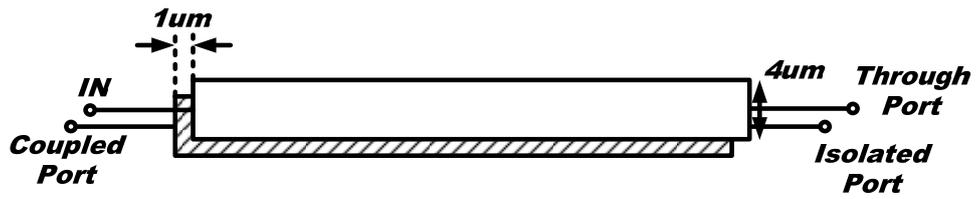
(1) 混頻器核心電路

因為 30-GHz 的 LO power 不易取得，由 3.2.1 節的分析可知，stacked-LO 的所需要的 LO power 會比 leveled-LO 小一點，所以選用 stacked-LO 的架構。

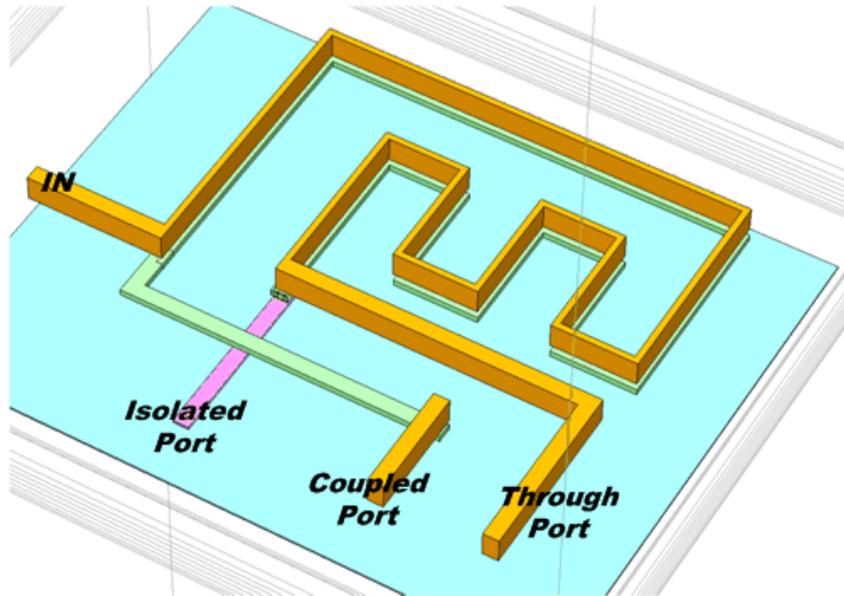
(2) LO 正交相位產生器

以目前的量測設備來說，要產生 30-GHz 的 LO 正交相位相當不容易，所以會選擇在電路裡面實現一個正交相位產生器。由 3.2.2 節的討論可知，使用四分之一波長耦合器，在微波頻段作正交相位產生是不錯的選擇，因此本電路的 LO 正交相位產生器是使用四分之一波長耦合器來完成。

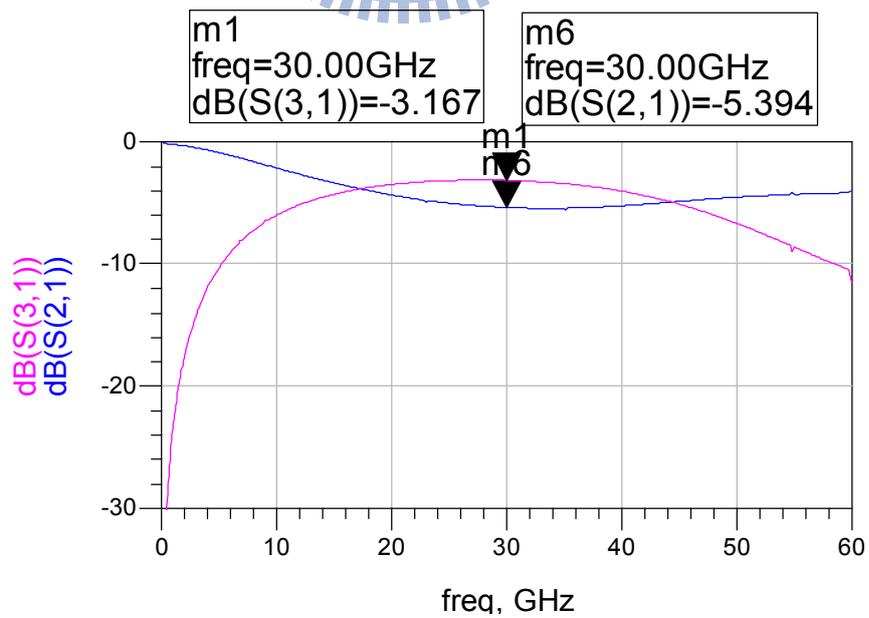
因為四分之一波長耦合器，其特徵阻抗是決定 through port 和 coupled port 之正交相位準確性的關鍵，所以設計上要特別小心。本電路實現的四分之一波長耦合器，希望能具有不錯的 coupling，但是由於 design rule 的限制，故使用 broadside couple 的形式。金屬層選用 metal 7 和 metal 8，是由於這兩層之間的介電層較厚，以及這兩個金屬層具有較小的 loss。因為頻寬的考量，coupling 也不可以過大，所以會將 metal 7 和 metal 8 偏移 $1\mu\text{m}$ 。金屬線的線寬選為 $4\mu\text{m}$ ，並且在下方鋪上 metal 1 作 ground plane[15]。此 coupler 的示意圖如圖(3.15)。3D 圖如圖(3.16)，模擬圖如圖(3.17)。



圖(3.15) 四分之一波長耦合器示意圖



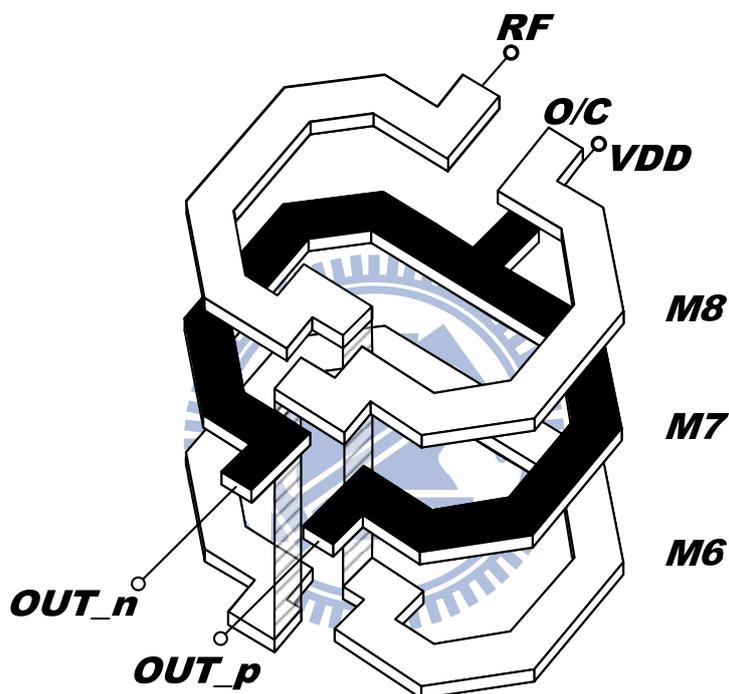
圖(3.16) 四分之一波長耦合器 3D 圖



圖(3.17) 四分之一波長耦合器模擬圖

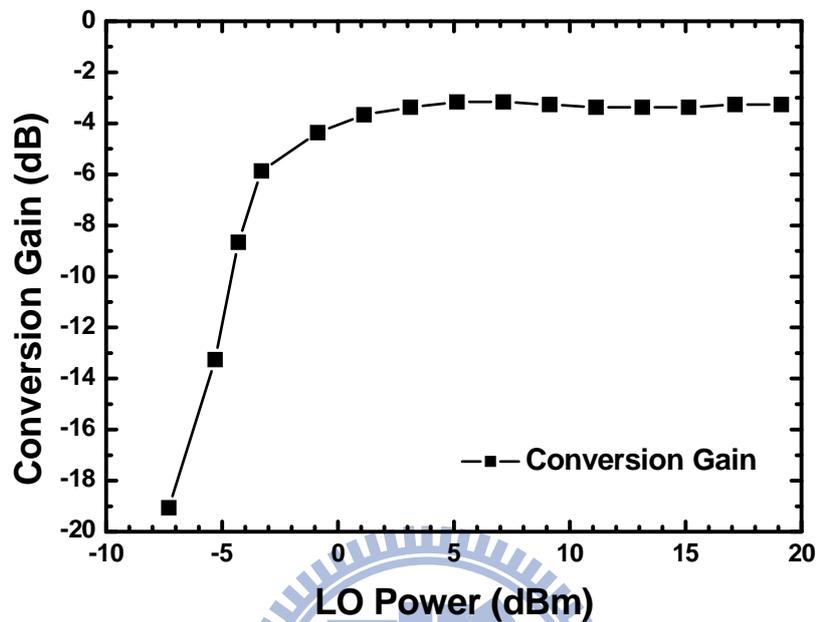
(3) RF combiner

本電路所使用的 RF combiner 是如同 3.2.3 節所述的變壓器形式巴倫，和電路相連接的方式如圖(3.18)所示。一圈金屬線的線長為 $225\mu\text{m}$ ，線寬皆為 $9\mu\text{m}$ ，而且此巴倫下皆有鋪 metal 1 作 ground plane，以減少 loss 並縮小面積。整體巴倫的面積為 $90\mu\text{m}\times 90\mu\text{m}$ 。

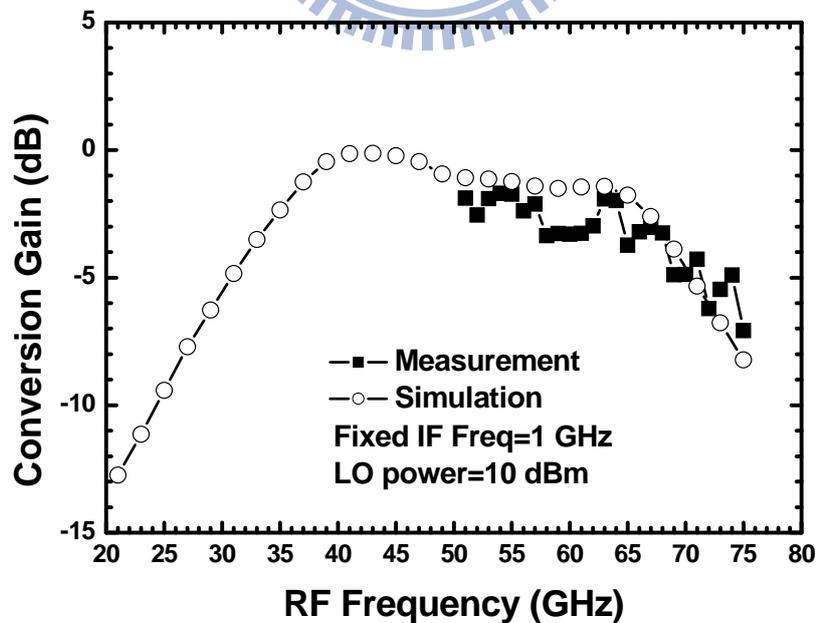


圖(3.18) 變壓器形式之巴倫 3D 圖

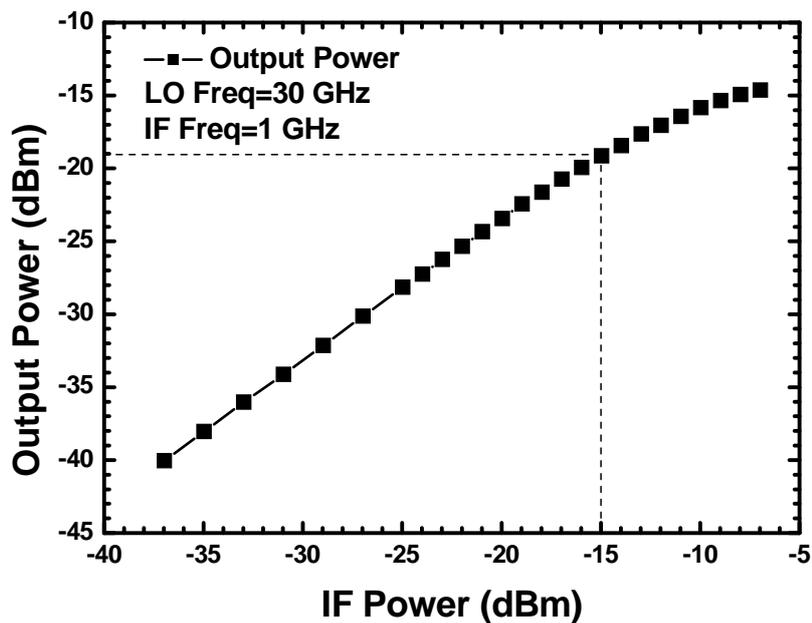
3.3.3. 晶片量測結果



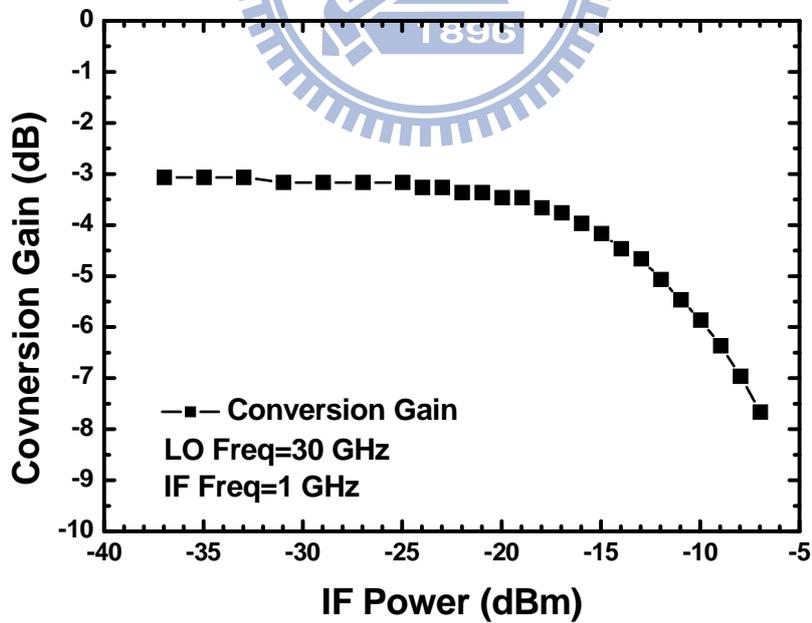
圖(3.19) 轉換增益對 LO 功率



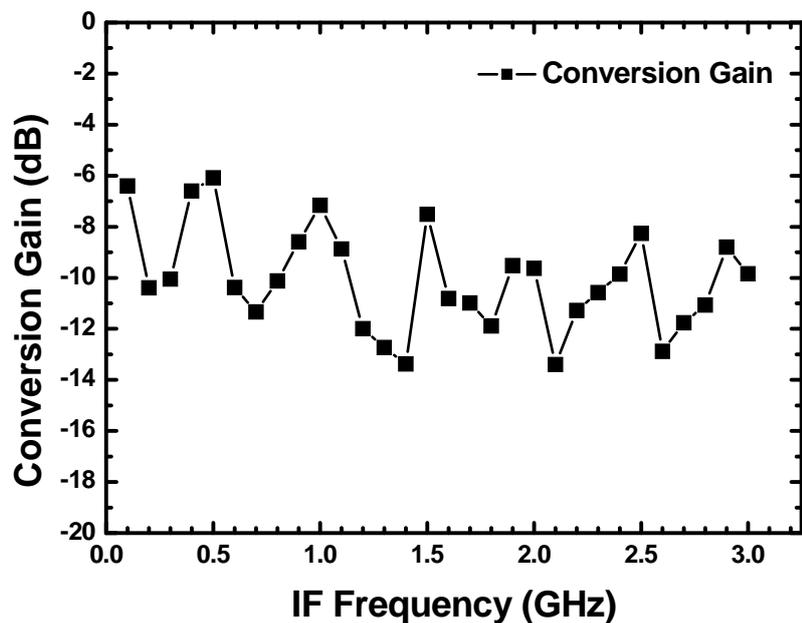
圖(3.20) 轉換增益對 RF 頻率



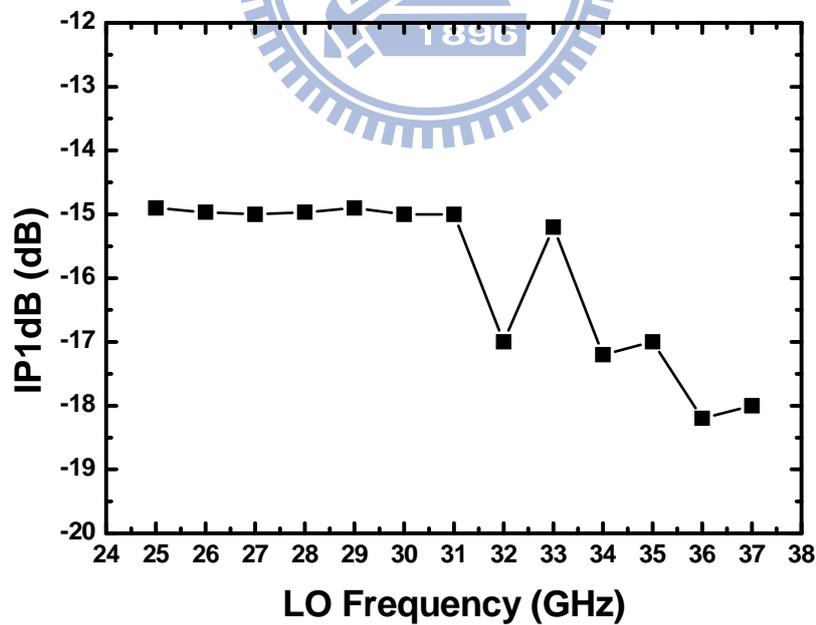
圖(3.21) 輸出功率對 IF 功率



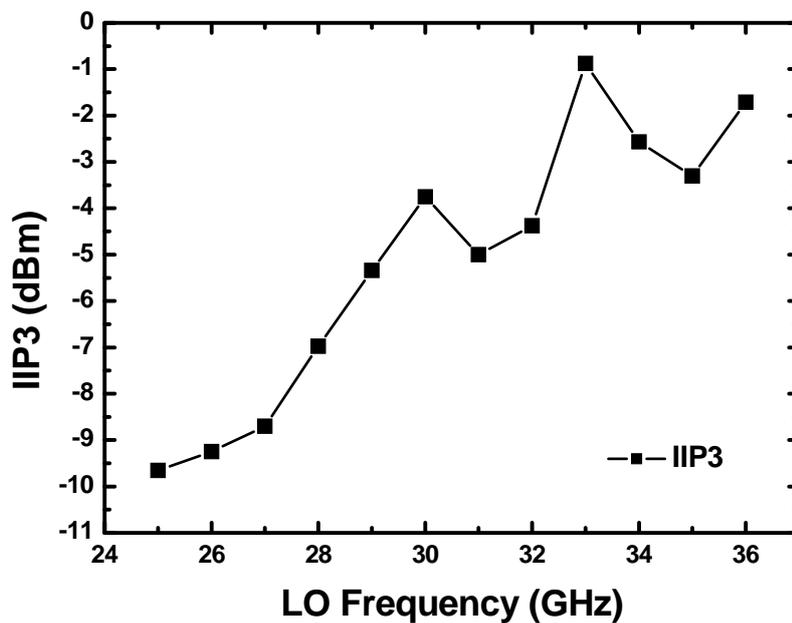
圖(3.22) 轉換增益對 IF 功率



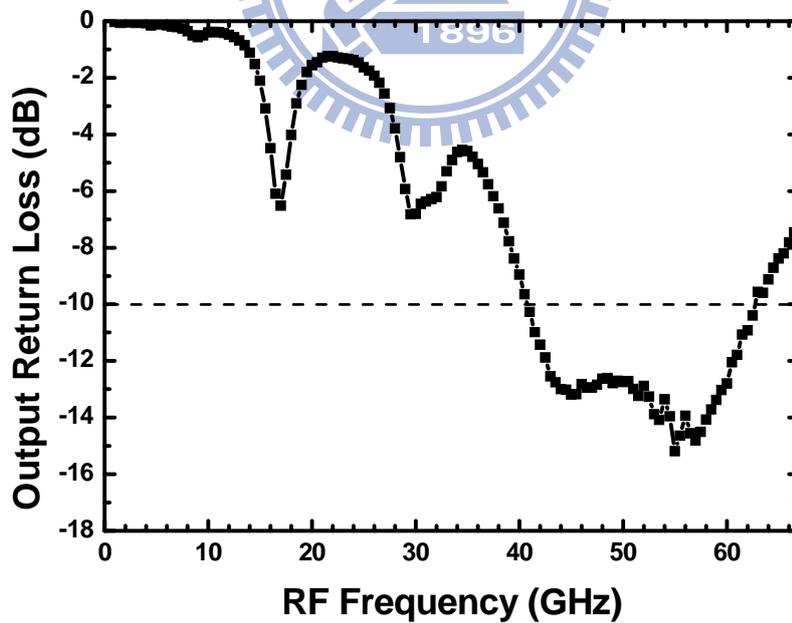
圖(3.23) 轉換增益對 IF 頻率



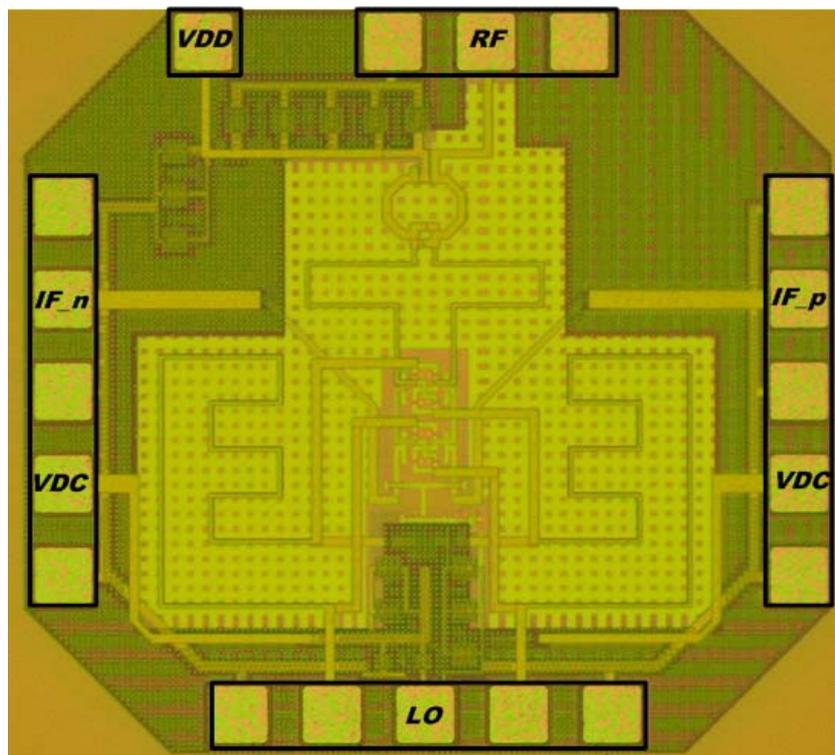
圖(3.24) IP1dB 對 RF 頻率



圖(3.25) IIP3 對 RF 頻率



圖(3.26) 輸出返回損耗



圖(3.27) Die Photo (0.81mm × 0.87mm)

3.3.4. 結果與討論

本電路因為堆疊了四層電晶體，需要 2V 的電壓才可操作。此外，大約需要 8dBm 的 LO power，轉換增益約為 -3dB。IP1dB 為 -15dBm，IIP3 為 -3dBm。RF 頻寬目前由於量測架設問題，因此只量到 V-band 的 data，約為 50GHz-70GHz，相當的寬頻。輸出返回損耗的頻寬大約是 41GHz-62.5GHz，較預期小一點。IF 頻率在 3GHz 附近，轉換增益也沒掉下去，可見 IF 頻寬也相當的寬。

實作的結果和模擬算是相當的接近，可以發現此巴倫確實具有寬頻 combine 的效果，而且因為線長很短，所以 loss 小，又節省面積。整體電路特性的整理如表 3.1。

表 3.1 60-GHz stacked-LO 次諧波升頻混波器整體特性表

Item	Post Simulation	Measurement
Supply Voltage (V)	2	
Conversion Gain (dB)	0	-3
RF Bandwidth (GHz)	32-66	(<50)-70
IF Bandwidth (GHz)	3.1	~3
IP1dB (dBm)	-12	-15
Output Return Loss (dB)	<-10 (42GHz~69GHz)	<-10 (41GHz~62.5GHz)
Current Consumption (mA)	10.7	14
Power Consumption (mW)	21.4	28
Chip Size (mm×mm)	0.81 × 0.87	

和其他文獻的比較如表 3.2。



表 3.2 升頻混波器之文獻比較表

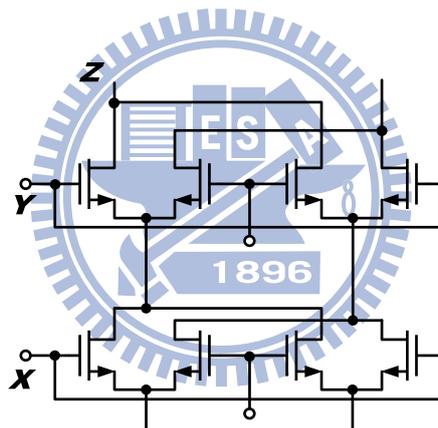
Ref	Topology	Freq[GHz]		LO power [dBm]	CG [dB]	OPI dB [dBm]	LO-RF Iso. [dB]	2LO-RF Iso. [dB]	RF BW [GHz]	P _{dc} (mW)	Tech.
		RF	IF								
This work	Sub-harmonic	61	~3	8	-3	-19	N/A	N/A	(<50)-70	28	0.13- μ m CMOS
[8]	DF, DB Gilbert w/i CT	60	10	5	-6.5	-5	30	N/A	>4	29	65nm CMOS
[9]	DF, DB Gilbert w/i LO buffer	60	1-5	N/A	-4~ -7	N/A	N/A	N/A	N/A	70	90nm CMOS
[10]	SB, Resistive w/i Balun	60	2	9	-13.5	-19	34	N/A	53-62	0	65nm CMOS
[11]	DF, DB, Gilbert w/i LO & RF Baluns	51	11	0	-11	-12	26.5	N/A	N/A	13.2	90nm CMOS
[12]	Sub-harmonic	65	0.005	7	-6 \pm 1.5	-19	50	>50	35-65	75.9	0.13- μ m CMOS
[13]	Fundamental Reflection-Type	-	-	N/A	<-12	N/A	>10	N/A	66.5-86.5	0	pHEMT
[14]	Fundamental Reflection-Type	-	-	-8	<-20	N/A	>20	N/A	50-110	0	GaAs HBT
[15]	Fundamental Reflection-Type	-	-	0	<-13	>5	>40	N/A	20-40	0	0.13- μ m CMOS
[16]	DB Gilbert w/i Balun	50	1	5	-7 \pm 1.5	-25	>40	N/A	35-65	14	0.18- μ m SiGe
[17]	Passive/FET mixer	-	-	0	-14 \pm 1	N/A	>15	N/A	50-70	0	0.15- μ m InGaP/InGaAs pHEMT
[18]	Passive/FET mixer	-	-	7	-9 \pm 1	N/A	>9.8	N/A	62-66	0	GaAs MESFET
[19]	Active	-	-	-1.7	1	-10	>30	N/A	63-65.5	0	0.2- μ m InP pHEMT
[20]	Passive/FET mixer	-	-	1.5	-6~-12	N/A	>30	N/A	30-50	0	0.14- μ m pHEMT
[21]	Passive/Sub/Diode mixer	-	-	12	-10	-16	N/A	8-20	43-46	0	0.18- μ m pHEMT
[22]	Active	-	-	0	2.5 \pm 2.5	-7	30	N/A	12-27	9.8	0.25- μ m 3D SiBJT
[23]	Passive/Sub/Diode mixer	-	-	8	-12.9 \pm 1.1	N/A	N/A	>50	21.6-30.8	0	0.3- μ m GaAs MESFET

DF=differential, DB=double-balanced, SB=single-balanced, CT=current steering

整體電路圖如圖(3.28)所示，本電路大致上可以分成混頻器核心電路、LO 正交相位產生器及輸出 RF combiner 三個部份，各部份的說明如下。

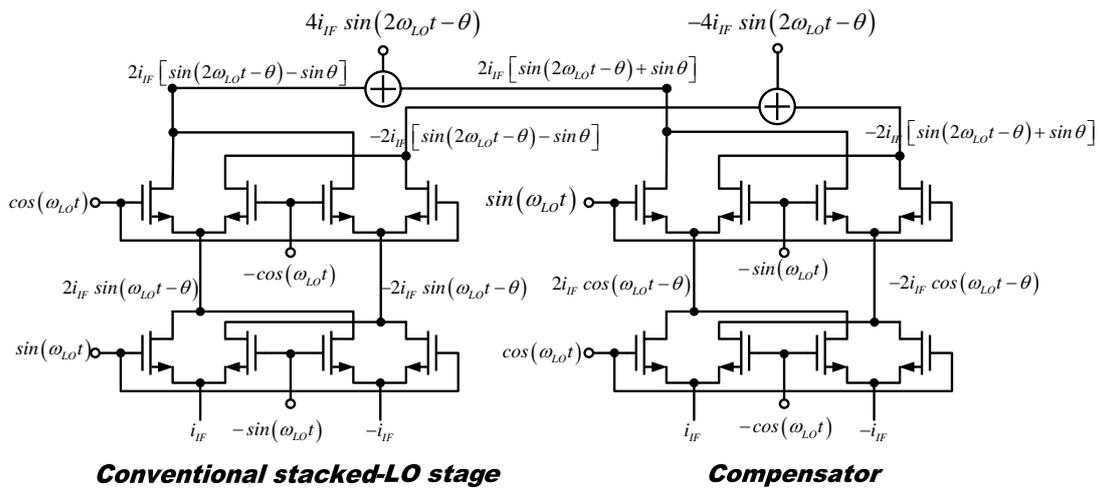
(1) 混頻器核心電路

電晶體的輸出汲極電流和輸入閘極電壓之間會具有一個時間延遲 τ ，當操作頻率越高，這個時間延遲的問題越不能忽略。如圖(3.29)所示，在高頻操作的狀況下，訊號從 X 點到 Z 點會比從 Y 點到 Z 點還要多了一個時間延遲 τ ，而且此時間延遲會貢獻一個相位差 $\theta = \omega\tau$ ，導致輸出端會產生額外的 dc 項($\sin\theta$)。



圖(3.29) 混頻器 cell 的時間延遲問題

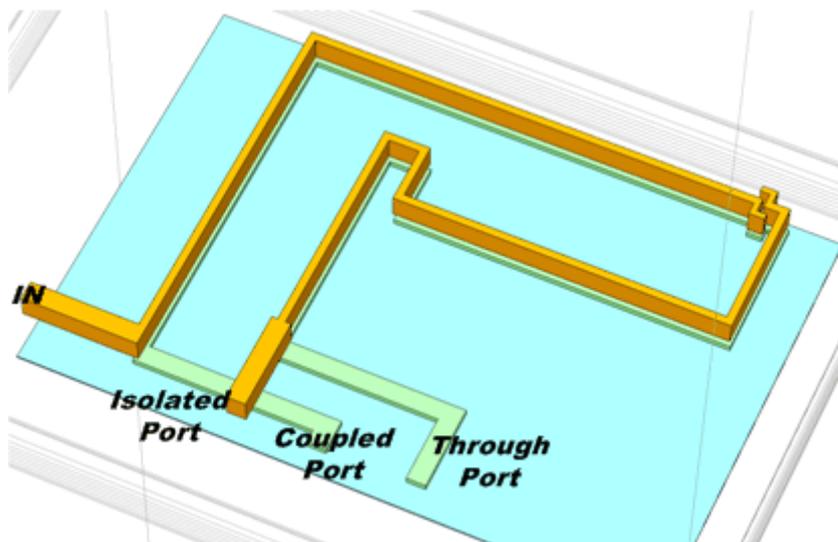
為了解決這個問題，外加了另一個 I/Q 反接的並聯混頻 cell，如圖(3.30)所示[25]。經過簡單的數學分析可知，此電路架構可以消去 $(\pm 2i_{IF} \sin\theta)$ 這一項，改善了隔離度的表現。



圖(3.30) 時間延遲補償的分析圖

(2) LO 正交相位產生器

本電路如同實作一，採用四分之一波長耦合器作 LO 正交相位產生器。不過因為 metal 8 和 metal 7 的金屬厚度分別是 3.3 μm 及 0.8 μm ，這會導致 through port 和 coupled port 的 loss 不一致，讓振幅比較不匹配。因此，如圖(3.31)所示，本電路的四分之一波長耦合器在線長一半的地方換層，希望能讓振幅比較匹配。

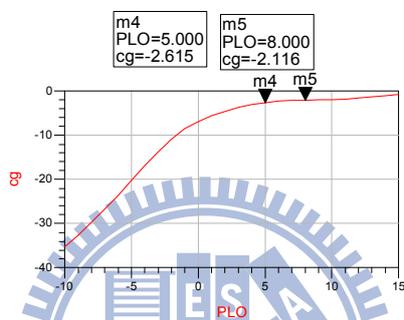


圖(3.31) 四分之一波長耦合器 3D 圖

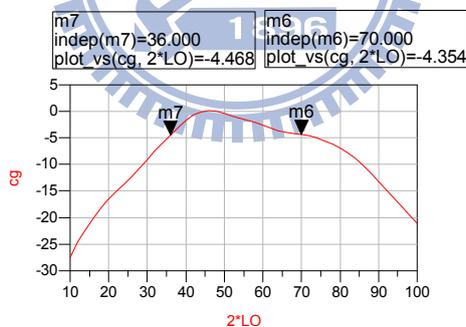
(3) RF combiner

和實作一的 RF combiner 一樣，本電路也採用變壓器形式的巴倫。不過由實作一的量測結果可知，輸出返回損耗的頻寬限制了整體電路可應用的頻率範圍，為了改善此問題，在巴倫的輸出先串了一條 series stub 金屬線，再並聯一條 open stub 金屬線，以幫助阻抗匹配。

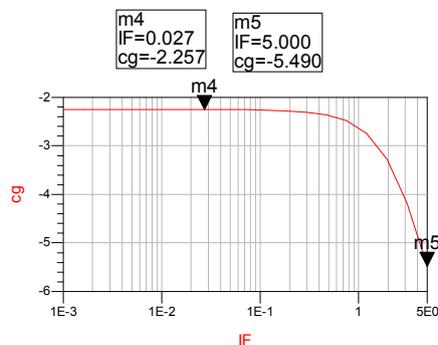
3.4.3. 晶片模擬與部份量測結果



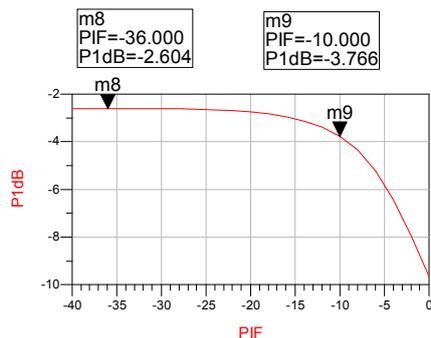
圖(3.32) 轉換增益對 LO 功率



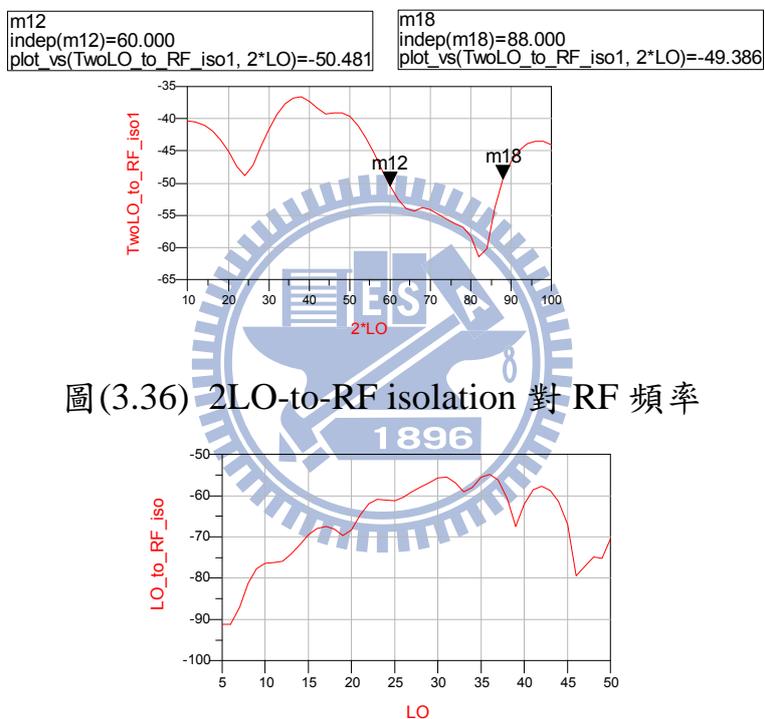
圖(3.33) 轉換增益對 RF 頻率



圖(3.34) 轉換增益對 IF 頻率



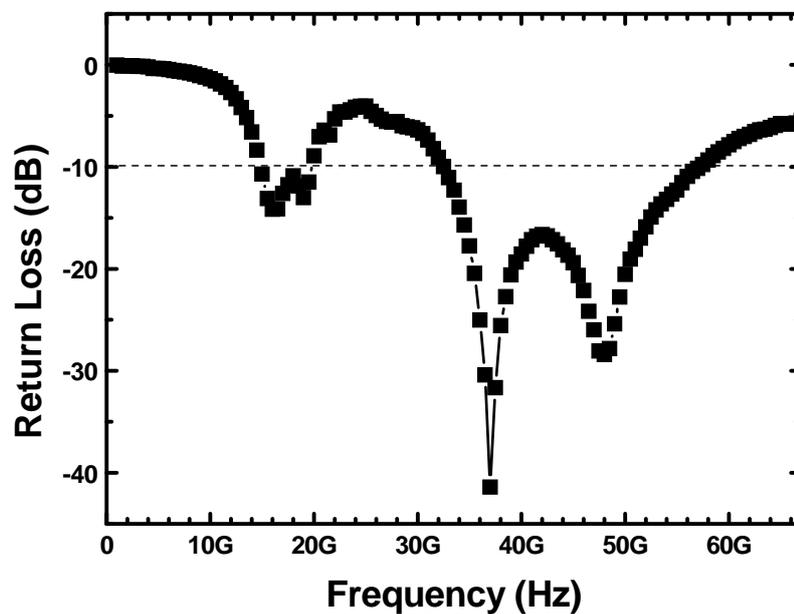
圖(3.35) 轉換增益對 IF 功率



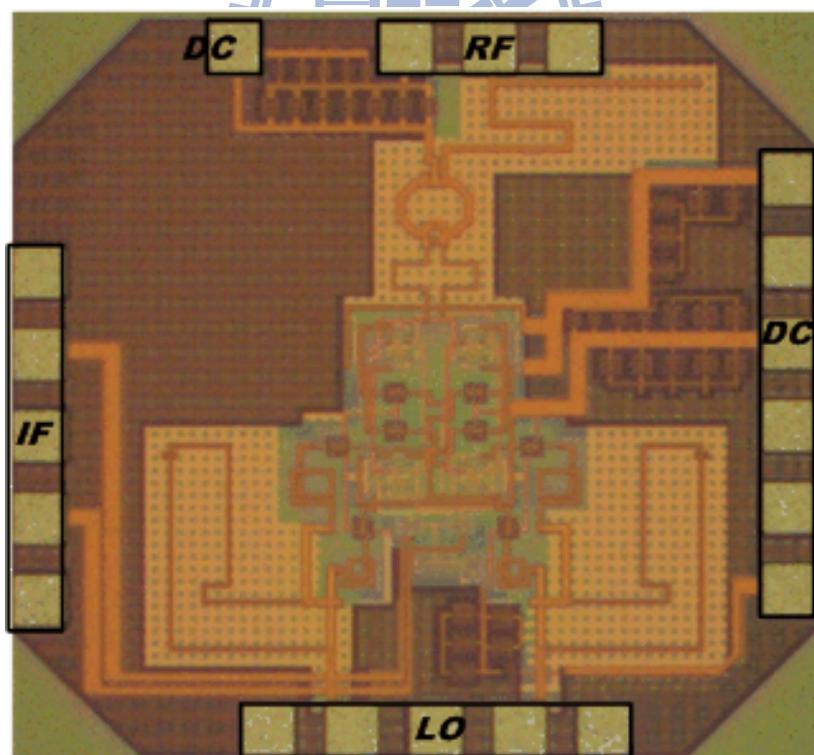
圖(3.36) 2LO-to-RF isolation 對 RF 頻率



圖(3.37) LO-to-RF isolation 對 RF 頻率



圖(3.38) 輸出返回損耗



圖(3.39) Die Photo (0.97 mm × 0.9 mm)

3.4.4. 結果與討論

由模擬結果可知，轉換增益為 0dB，操作電壓為 1.8V，直流消耗 21.78mW，RF bandwidth 為 36GHz-70GHz，IF bandwidth 為 5GHz，輸出返回損耗頻寬為 43GHz-86GHz，IP1dB 為 -10dBm，2LO-to-RF isolation 為 61dB。

和實作一相比，轉換增益、直流消耗、頻寬、線性度等特性都差不多，但是 2LO-to-RF isolation 大幅提昇。整體特性整理如表 3.3。

表 3.3 60-GHz stacked-LO 具有時間延遲補償的次諧波升頻混波器整體特性表

Item	Post Simulation
Supply Voltage (V)	1.8
Conversion Gain (dB)	0
RF Bandwidth (GHz)	36~70
IF Bandwidth (GHz)	5
2LO-to-RF isolation (dB)	61
LO-to-RF isolation (dB)	>50
IP1dB (dBm)	-10
Output Return Loss (dB)	<-10 (43GHz~86GHz)
Current Consumption (mA)	12.1
Power Consumption (mW)	21.78
Chip Size (mm×mm)	0.97 × 0.9

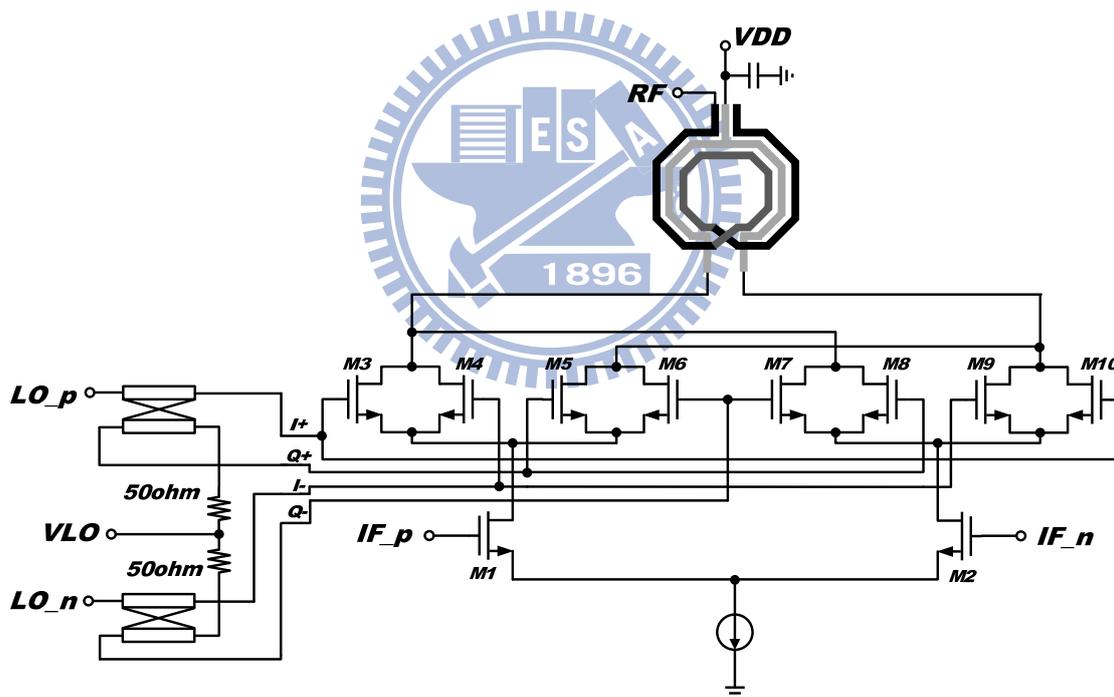
3.5 實作三，60-GHz leveled-LO 次諧波升頻混波器

3.5.1. 研究動機

以 MOS 製作的 leveled-LO 和 stacked-LO 次諧波升頻混波器，所需要的 LO power 差不多，但是 leveled-LO 在多出一點 LO power 的情況下，具有低壓操作，以及良好的 2LO-to-RF isolation 等優點。所以本實作採用 leveled-LO 架構來實現 60-GHz 次諧波升頻混波器。

3.5.2. 電路設計

整體電路圖如圖(3.40)所示。

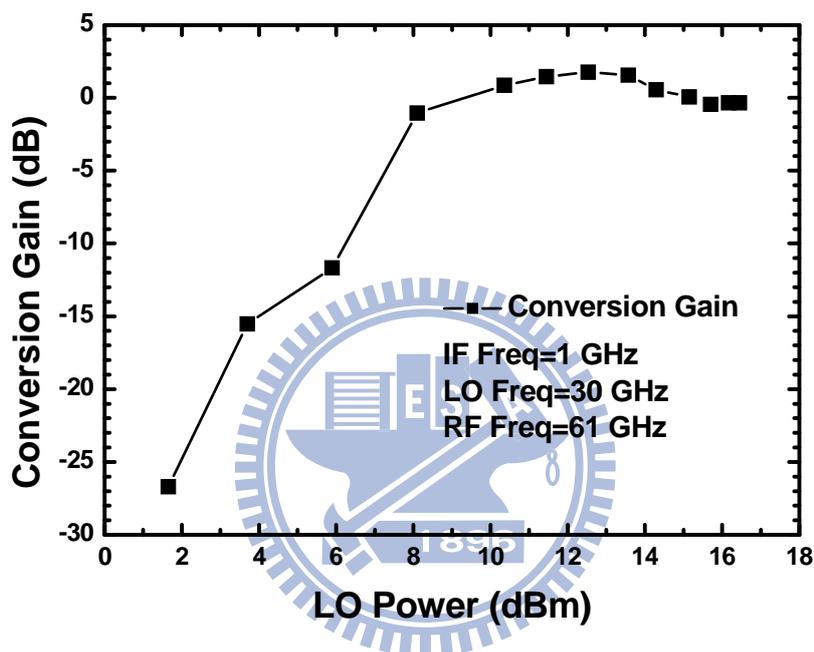


圖(3.40) 60-GHz leveled-LO 次諧波升頻混波器電路圖

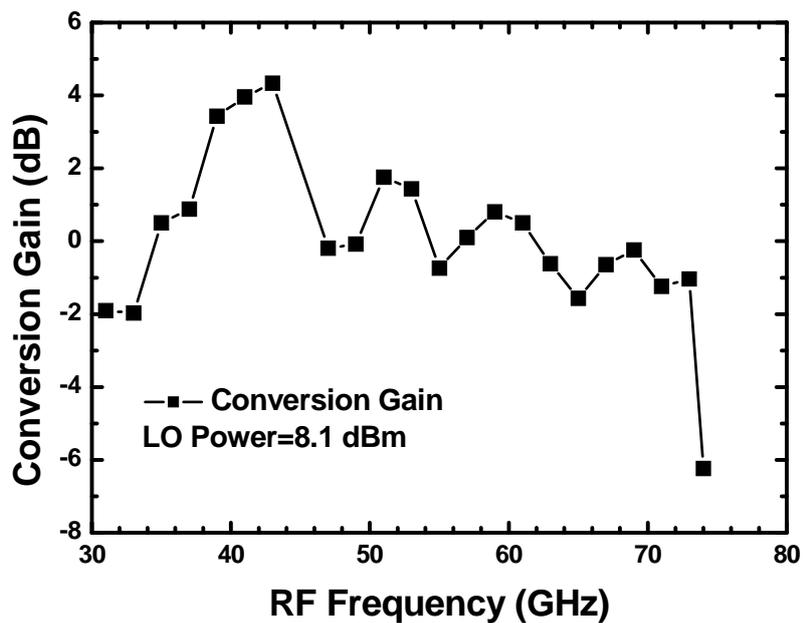
本電路大致上可以分成混頻器核心電路、LO 正交相位產生器及輸出 RF combiner 三個部份，LO 正交相位產生器及輸出 RF combiner 如實作二所述，在此僅針對混頻器核心電路來說明。

因為 stacked-LO 的天性使得 2LO-to-RF isolation 不佳，而且電路 cacode 很多層，操作電壓需要較高，所以在此選用 leveled-LO 的架構，希望得到較佳的 2LO-to-RF isolation 及低壓操作等好處。

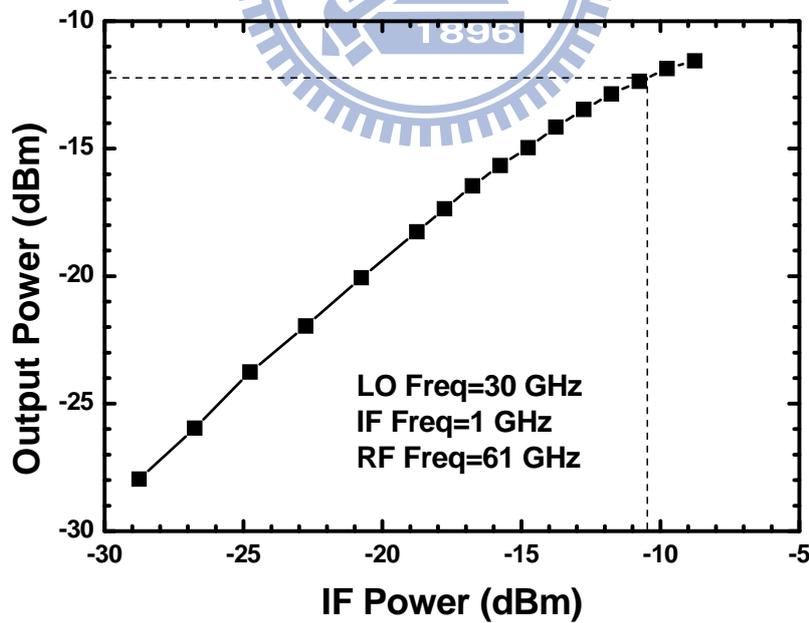
3.5.3. 晶片量測結果



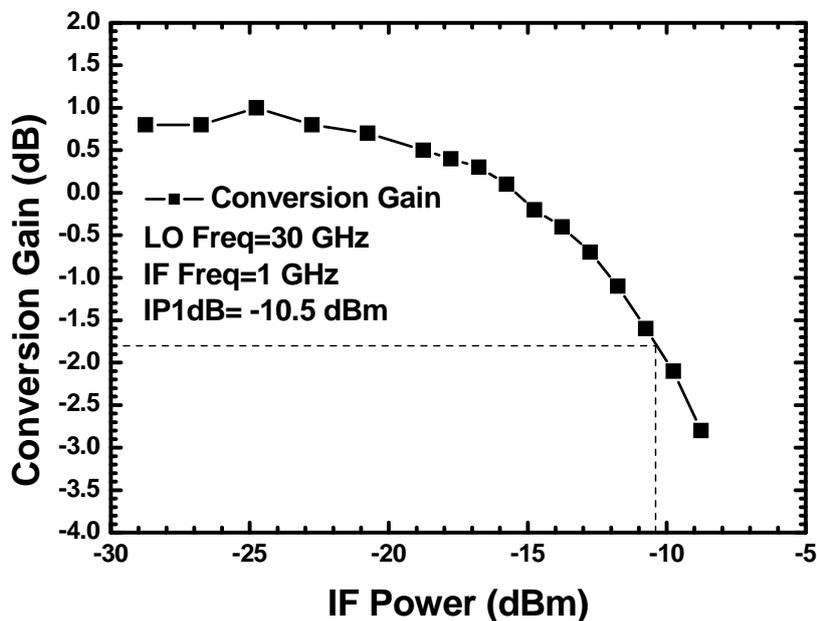
圖(3.41) 轉換增益對 LO 功率



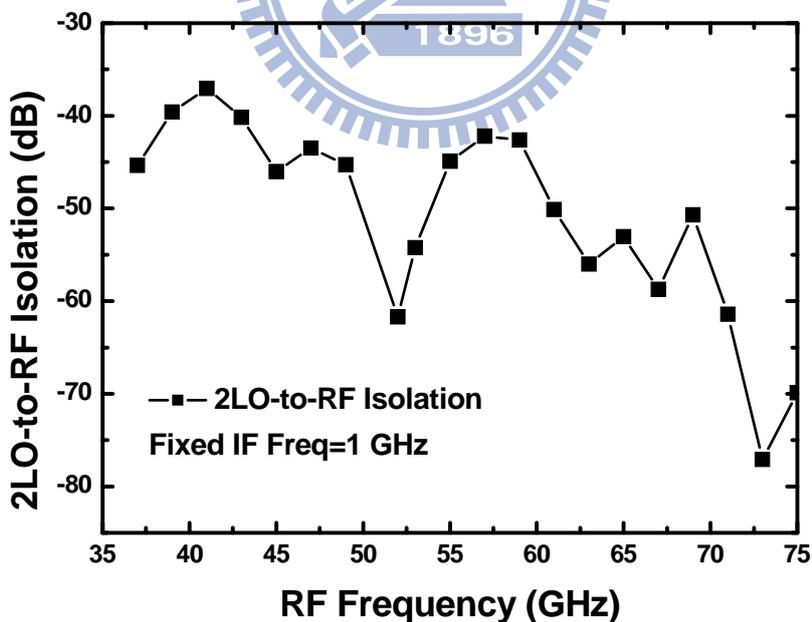
圖(3.42) 轉換增益對 RF 頻率



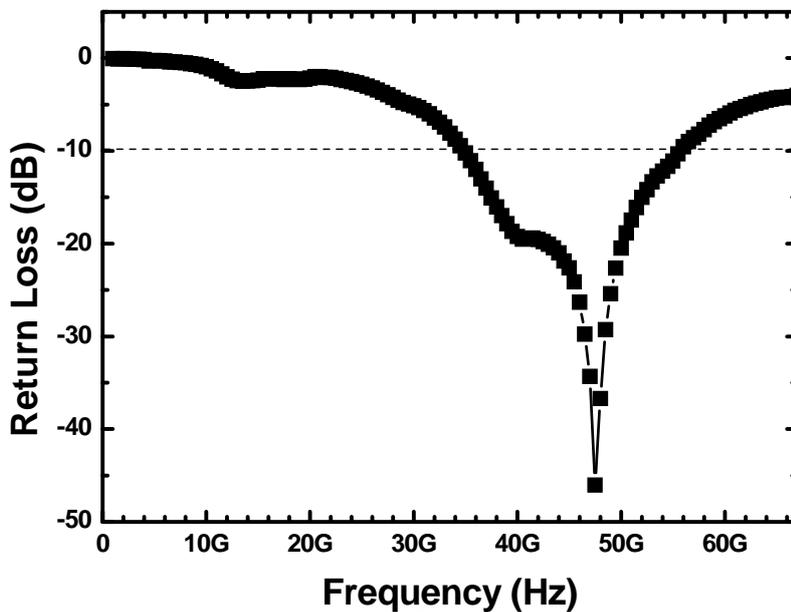
圖(3.43) 輸出功率對 IF 功率



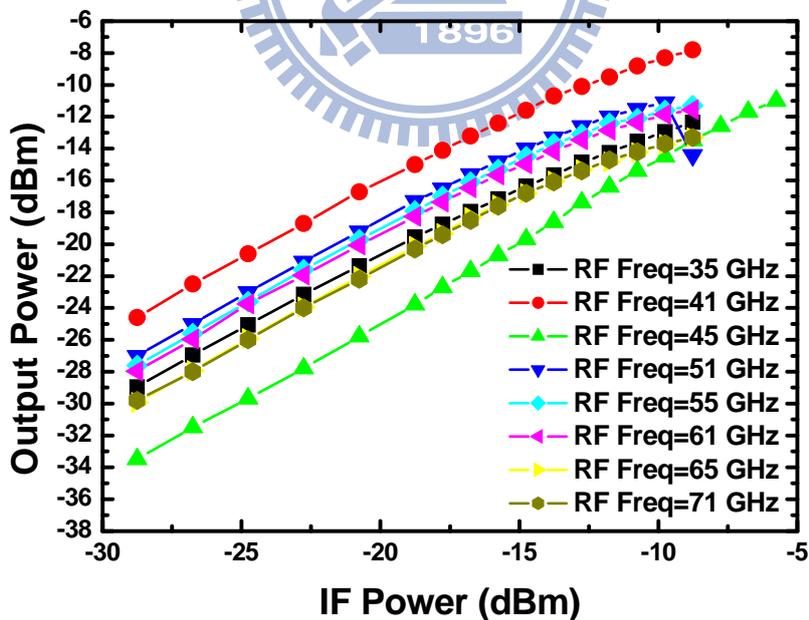
圖(3.44) 轉換增益對 IF 功率



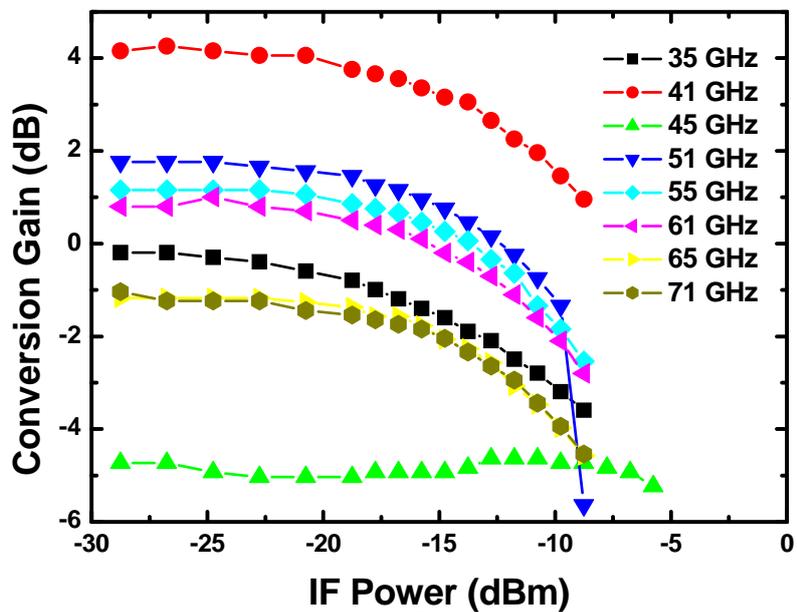
圖(3.45) 2LO-to-RF isolation 對 RF 頻率



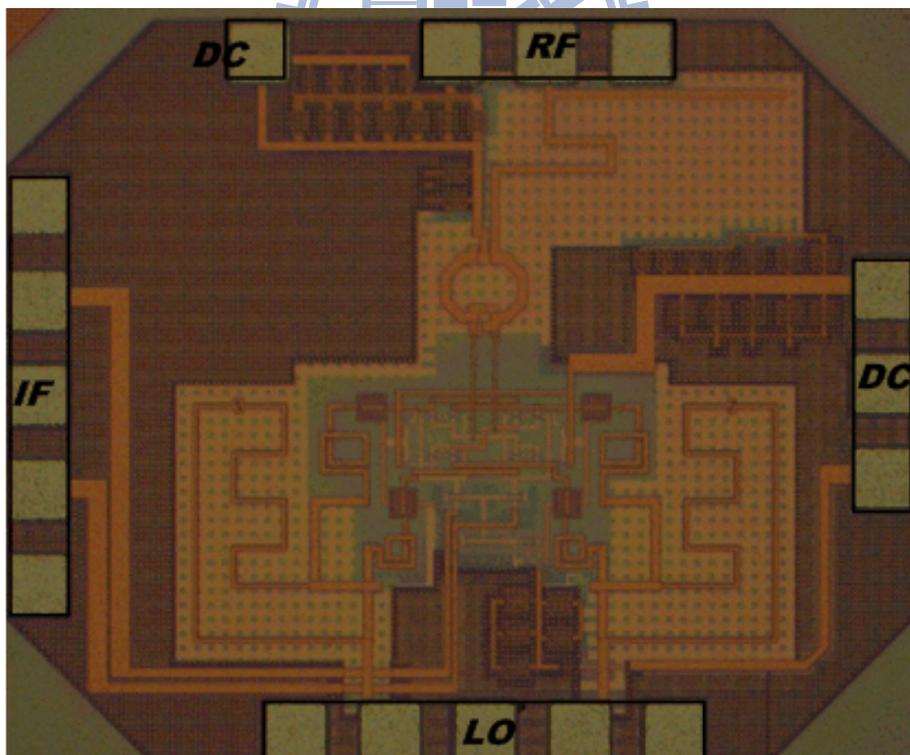
圖(3.46) 輸出返回損耗



圖(3.47) 輸出功率對 IF 功率(不同 RF 頻率)



圖(3.48) 轉換增益對 IF 功率(不同 RF 頻率)



圖(3.49) Die Photo (0.97 mm × 0.8 mm)

3.5.4. 結果與討論

由量測結果可知，leveled-LO 架構的次諧波升頻混波器和 stacked-LO 架構相比，儘管所需要的 LO power 較大，但是因為 cascode 的電晶體較少，可以操作在 1.2V，電流消耗也差不多，故直流功率消耗小很多。轉換增益的大小也差不多，此實作的轉換增益較實做一高一點，約有 1.76dB。此外，2LO-to-RF isolation 的特性好很多，在 RF 頻率為 35-75GHz，幾乎都小於-40dB。IP1dB 為-10.5dBm，也比 stacked-LO 架構好。RF 頻寬為 30~72GHz，代表此電路確實具有寬頻操作的特性。輸出返回損耗小於-5dB 之頻寬為 30~60GHz，此特性較不如預期，可能是因為電晶體的模型在高頻較不準確。以上特性除了 LO power 需要較大之外，大多都跟 stacked-LO 架構不相上下，可見 leveled-LO 架構應用於發射機設計也是相當適合的。整體的特性整理如表 3.4。

表 3.4 60-GHz leveled-LO 次諧波升頻混波器整體特性表

Item	Measurement
Supply Voltage (V)	1.2
Conversion Gain (dB)	1.76
RF Bandwidth (GHz)	30~72
2LO-to-RF isolation (dB)	<-40dB
IP1dB (dBm)	-10.5
Output Return Loss (dB)	<-5 (30GHz~60GHz)
Current Consumption (mA)	12.1
Power Consumption (mW)	14.52
Chip Size (mm×mm)	0.97 × 0.8

3.6 30-GHz正交相位壓控振盪器(CMOS 0.13- μm)

3.6.1 研究動機

在此實現一個 30-GHz 正交相位壓控振盪器，期望能提供上述幾個 60-GHz 次諧波升頻混波器所需之高頻正交相位 LO 訊號。然而，低功率、低相位雜訊及高可條頻率範圍，是壓控振盪器實現上要努力的目標，對於高頻操作的電路更是特別具有挑戰性，也更具有研究的意義。

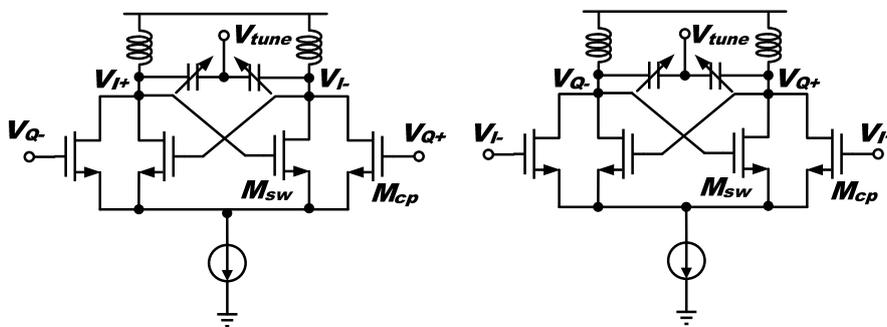
3.6.2 電路設計

(1) 正交相位振盪器的耦合方式

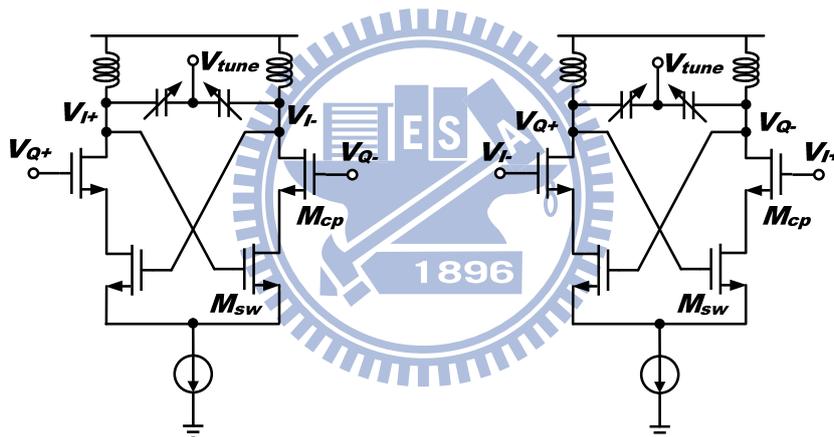
正交相位振盪器的耦合方式，可以分成電晶體耦合(transistor coupling)和電感性耦合(inductive coupling)。

電晶體耦合的方式，可以分成並聯耦合(parallel coupling)、串聯耦合(series coupling)和基極耦合三種。如圖(3.50)所示。並聯耦合要權衡相位雜訊和相位準確度[26][27]，而且並聯的耦合電晶體還會惡化相位雜訊，並且造成額外的功率消耗。若使用串聯耦合的方式[3]，可以減少耦合電晶體貢獻的相位雜訊，但不幸的是，耦合電晶體需要比負電阻電晶體大很多，才可以有最小的相位雜訊貢獻，這樣會對諧振腔造成嚴重的負載效應，降低了震盪頻率和頻率調整範圍。此外，串聯耦合還會因為電晶體接成 cascode 架構，增加了電壓空間，不利於低壓操作。至於基極耦合的方式，雖然可以降低相位雜訊，但是在大幅訊號耦合至基極的時候，很可能會使得基極導通。

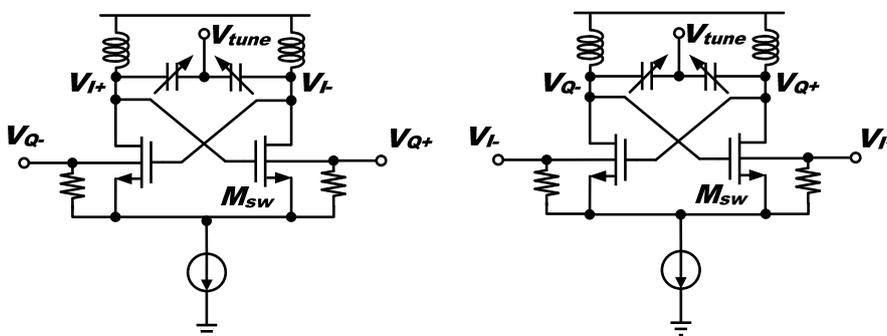
由於電晶體耦合的方式，具有難以避免的顫動雜訊，熱雜訊，雜散電容以及額外的功率消耗，可改用變壓器來作耦合，也就是電感性耦合，以避免上述不好的效應，此外，這個方法還適用於低壓操作。



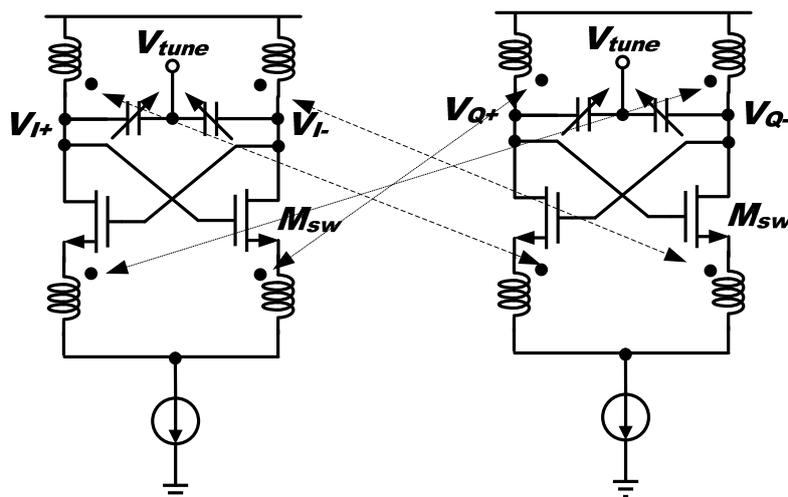
(a)



(b)



(c)



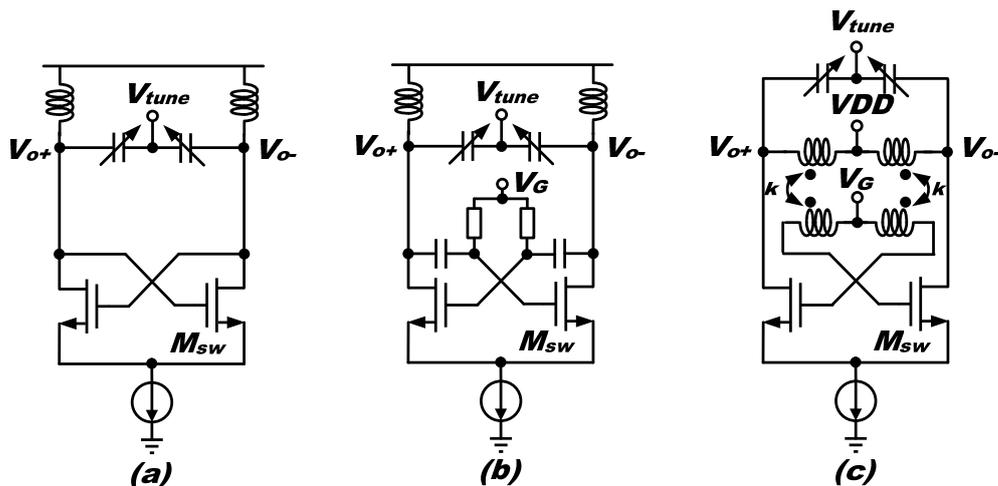
(d)

圖(3.50) 各種不同的正交訊號產生回授方式

(2) 振盪器的回授方式

振盪器的回授方式，大致上可以分成直接回授、電容性回授和電感性回授[28]，如圖(3.51)所示。

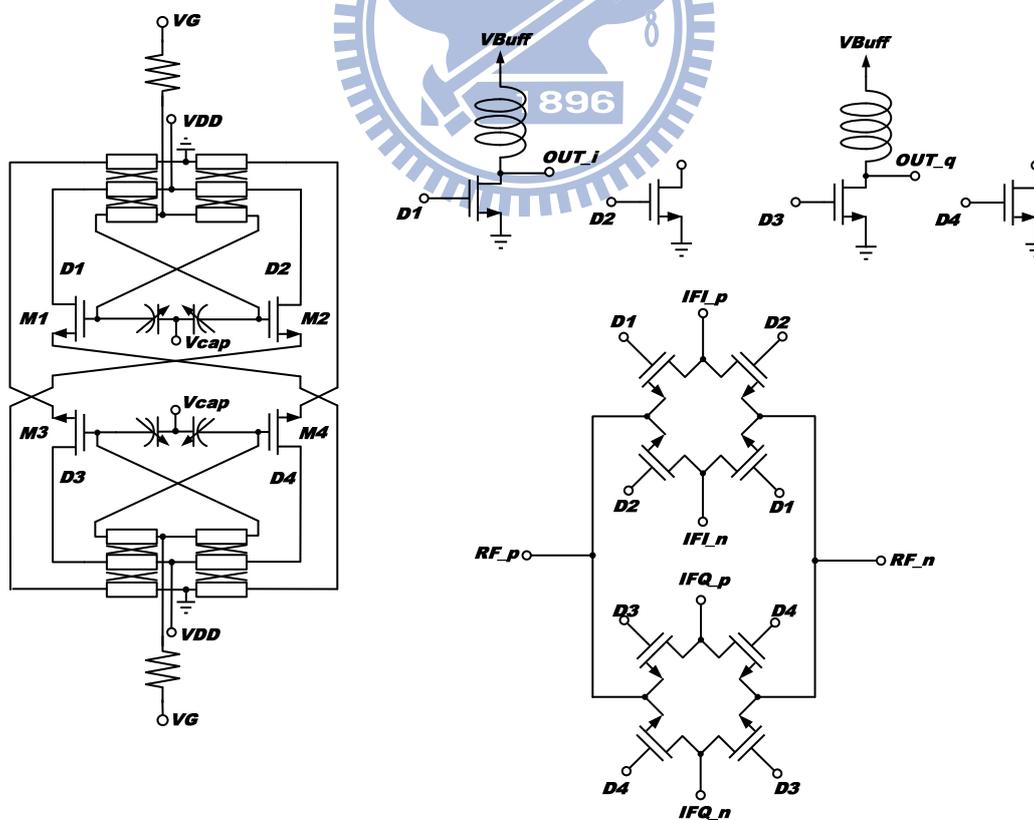
直接回授是最簡單的方式，但是輸出電壓擺幅會受限於閘極-汲極的偏壓，也就是說，如果輸出擺幅過大，會使得電晶體進入三極管區。直觀上，若要解決這個問題，可以把閘極和汲極的偏壓分開，也就是將回授路徑加入電容來分開偏壓，此為電容性回授。如圖(3.51)(b)所示，為了防止電路震盪，會在閘極和偏壓源 V_G 之間加入大電阻或大電感，大電感會造成面積的浪費，通常會選擇加入大電阻，但是此電阻會貢獻相位雜訊。為了解決上面兩個架構的問題，可以採用電感性回授。此架構不僅可以將閘極和汲極的偏壓分開，閘極和偏壓源 V_G 之間也有電感，所以偏壓源 V_G 可以直接接在電感上，不需要加入大電阻來偏壓，減少了電阻貢獻的相位雜訊。



圖(3.51) 各種不同的振盪器回授方式

(3) 電路架構

整體架構如圖(3.52)所示，各部份的說明如下。

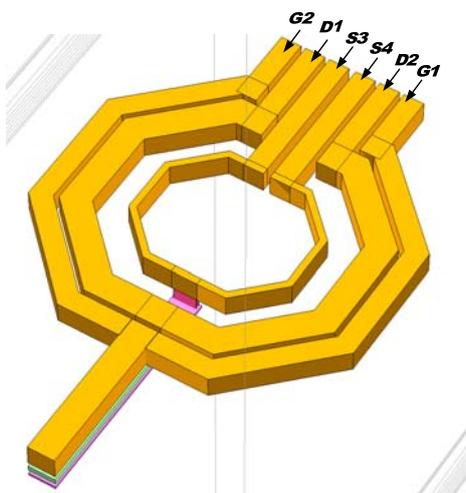


圖(3.52) 30-GHz 正交相位振盪器整體電路圖

A. 三線耦合器

由以上所述，如果正交相位訊號產生的耦合方式和振盪器核心電路部份的回授皆以電感性耦合的方式來達成，對於相位雜訊的改進會有最大的幫助，還可同時達成低壓操作。由汲極端來思考，若要結合上述的兩種電感回授，則汲極要同時電感耦合至本身電晶體的閘極和其他電晶體的源極，也就是說要兩組變壓器才能完成。可以考慮使用一對二的 trifilar balun[5]。但是此處要操作在30-GHz 附近，trifilar balun 多圈的架構可能會造成感值過大，或是寄生電容過大，會大幅縮減頻率可條範圍；而且因為 trifilar 的 layout 架構，會導致和電晶體的連接線過長，在高頻操作會有額外的問題，所以選擇使用和 trifilar balun 相似的微波元件—三線耦合器(three-line coupler)[29]。

三線耦合器可視為圈數比是1:1:1的 trifilar balun，但是藉由耦合係數的改變來達到不同圈數比所具有的阻抗轉換效果。調整三線耦合器各段線的線寬線距，可以改變耦合係數(coupling coefficient)，而調整線長可以得到不同的感值。整體被動部份如圖(3.53)所示。



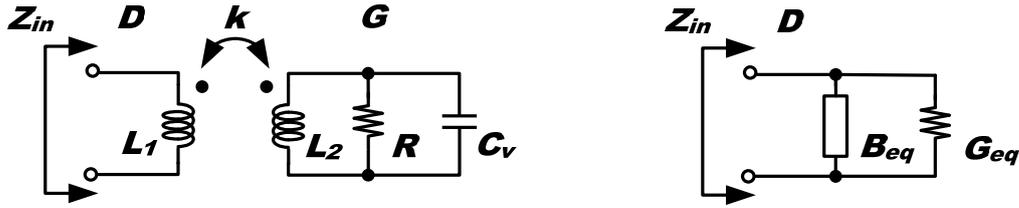
圖(3.53) 三線耦合器

由於振盪器是差動輸出，因此將兩組三線耦合器並聯後再和振盪器相接，中間抽頭處接地或是接直流電壓。

三線耦合器 Layout 架構的說明如下：為了縮小化，將金屬拉線作適當的彎曲。由回授的架構可知，原則上閘極和源極不需要具有耦合效果，因此閘極和源極會選擇放在三線耦合器相距的最遠的兩條線，希望耦合係數最小，而汲極的線會夾在這兩條線中間，如圖(3.53)所示。閘極和汲極需要有不錯的耦合效果，layout 上會將這兩條線盡量靠近，並且選擇其線距為 $2\mu\text{m}$ 。源極因為電感值不需要大，和汲極的耦合量也不需要大，故放置在最內側，並且和汲極相接的金屬線相距 $13\mu\text{m}$ 。和閘極、汲極相接的金屬線長約為 $200\mu\text{m}$ ，和源極相接的金屬線長約 $160\mu\text{m}$ 。閘極和汲極之間的耦合係數約為 0.7 ，汲極和源極之間的耦合係數約為 0.6 ，閘極和源極之間的耦合係數約為 0.5 。

B. 可變電容的放置

可變電容操作在高頻的狀況下，其 Q 值通常不好，以本設計為例，選用 $gr=1$ ， $br=4$ ， $lt=0.5\mu\text{m}$ ， $wt=2\mu\text{m}$ ， $M=2$ 的可變電容，在不同的偏壓狀況下，容值變化約在 80fF 至 20fF ， Q 值在 30-GHz 時為 6 至 21 。若直接將可變電容放在汲極端，負載的 Q 值會直接受限於可變電容。在此，若只將可變電容放在閘極，如圖(3.54)所示，由汲極看入的阻抗如下[30]。



圖(3.54) 閘極看入之等效模型

$$B_{eq} = \frac{1}{j\omega} \frac{R^2(1 - \omega^2 C_v L_2) [1 - \omega^2 C_v L_2 (1 - k^2)] + \omega^2 L_2^2 (1 - k^2)}{R^2 L_1 [1 - \omega^2 C_v L_2 (1 - k^2)]^2 + \omega^2 L_1 L_2^2 (1 - k^2)^2} \quad (3.1)$$

$$G_{eq} = \frac{R k^2 L_2}{R^2 L_1 [1 - \omega^2 C_v L_2 (1 - k^2)]^2 + \omega^2 L_1 L_2^2 (1 - k^2)^2} \quad (3.2)$$

因為操作頻率為30-GHz時，電感值約為0.2nH，容值為20fF，電感電容的諧振頻率為500-GHz，而且k值約為0.7，所以可以作以下的假設：

$$\omega^2 L_2 C_v (1 - k^2) \ll 1 \quad (3.3)$$

因此，

$$G_{eq} \approx \left[\frac{R^2 L_1 + \omega^2 L_1 L_2^2 (1 - k^2)^2}{R k^2 L_2} \right]^{-1} = \left[\frac{R L_1}{L_2} \frac{1}{k^2} + \frac{\omega^2 L_1 L_2 (1 - k^2)^2}{R k^2} \right]^{-1} \quad (3.4)$$

若 $L_1 = L_2 = L$ 並假設 $\omega^2 L^2 \ll R^2$ ，

$$B_{eq} \approx \left[\frac{j\omega L}{1 - \omega^2 C_v L} \right]^{-1} = \left[j\omega L \parallel \frac{1}{j\omega C_v} \right]^{-1} \quad (3.5)$$

$$G_{eq} = \left[R \frac{1}{k^2} + \frac{\omega^2 L^2 (1 - k^2)^2}{R k^2} \right]^{-1} \approx \left[R \frac{1}{k^2} \right]^{-1} \quad (3.6)$$

由以上推導可知，將可變電容只放置在閘極，容值幾乎不變，但是由汲極等效看入的阻值上升，可以提高 Q 值，進而改善相位雜訊。

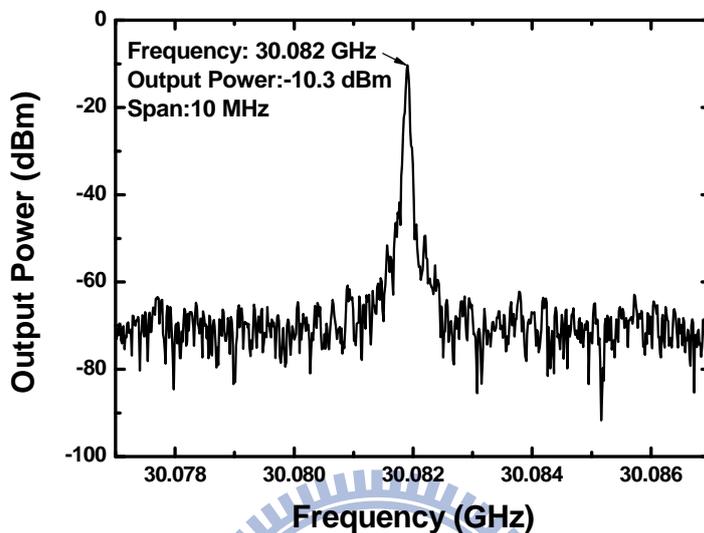
C. 單旁帶被動升頻混波器

對低頻的正交相位振盪器來說，相位準確度的測試可以使用示波器來直接觀察，但是對30-GHz的正交相位振盪器來說，不僅示波器幾乎是無法探測到這麼高頻的訊號，量測時所使用的外部元件也很容易影響整體的相位準確度。因此要設計一個單旁帶被動升頻混波器，藉由計算單旁帶消除比，來換算得知相位誤差。

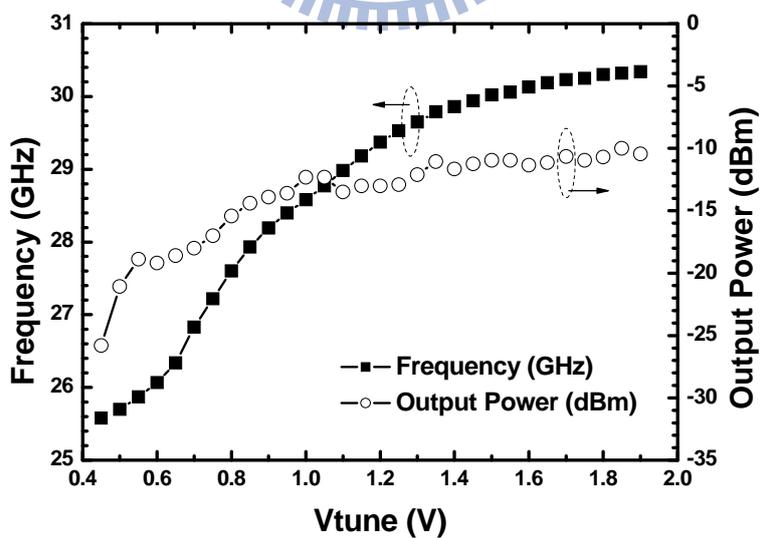
D. 輸出緩衝級

輸出緩衝級採用一般常見的 open-drain buffer，受限於 on-wafer 量測，只能看到兩個端點的輸出，但是為了振幅和相位的平衡，理論上要作四個 open-drain buffer。不過由於電感會佔去大量的面積，因此，沒有接到 PAD 的 buffer 就去掉電感，只藉由調整電晶體大小來使得看入的阻抗和有電感的 buffer 盡量相似。

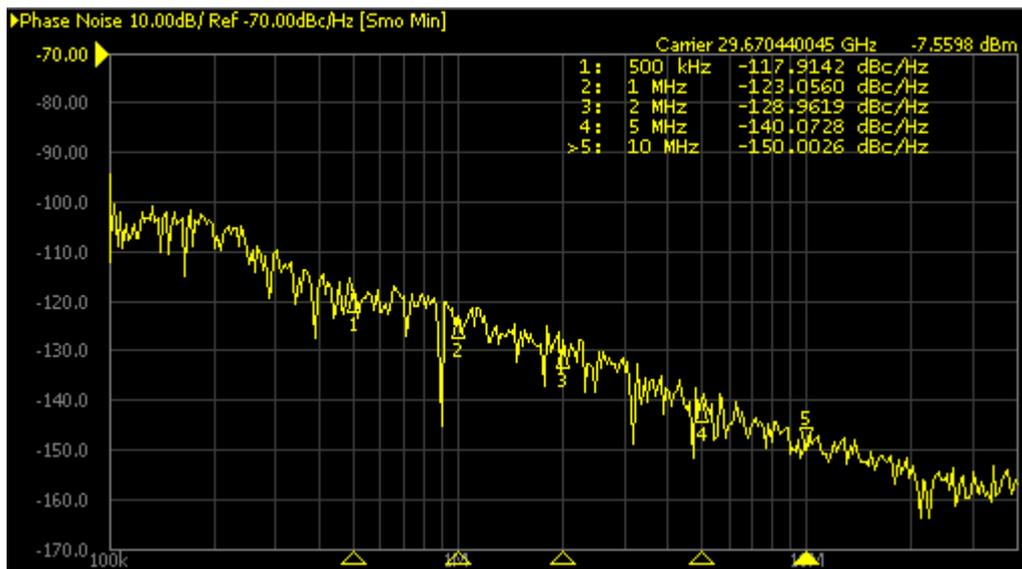
3.6.3 晶片量測結果



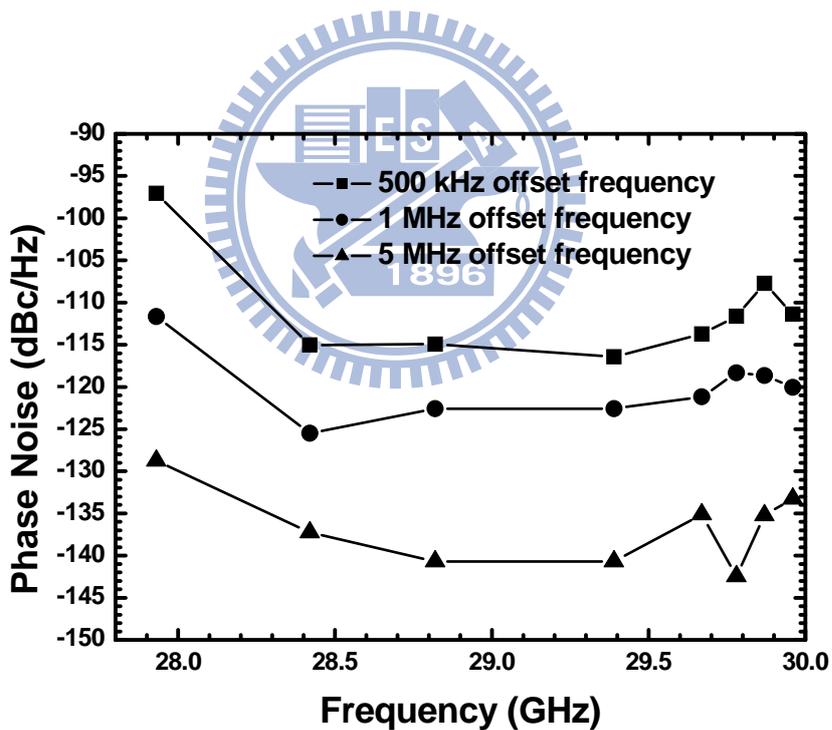
圖(3.55) 輸出功率量測結果



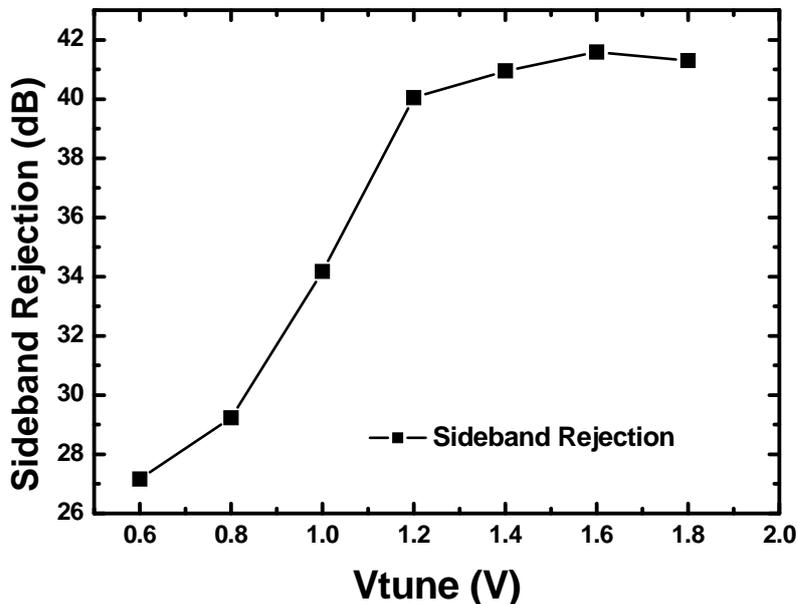
圖(3.56) 頻率和輸出功率對 Vtune 的量測結果



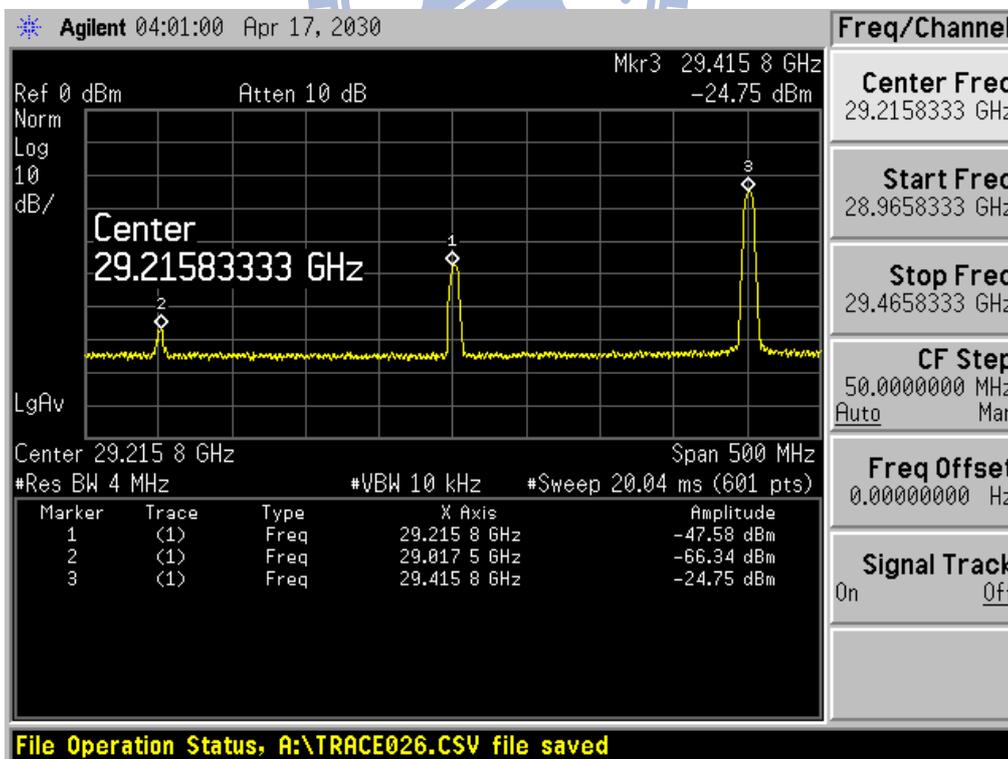
圖(3.57) Phase noise 量測結果



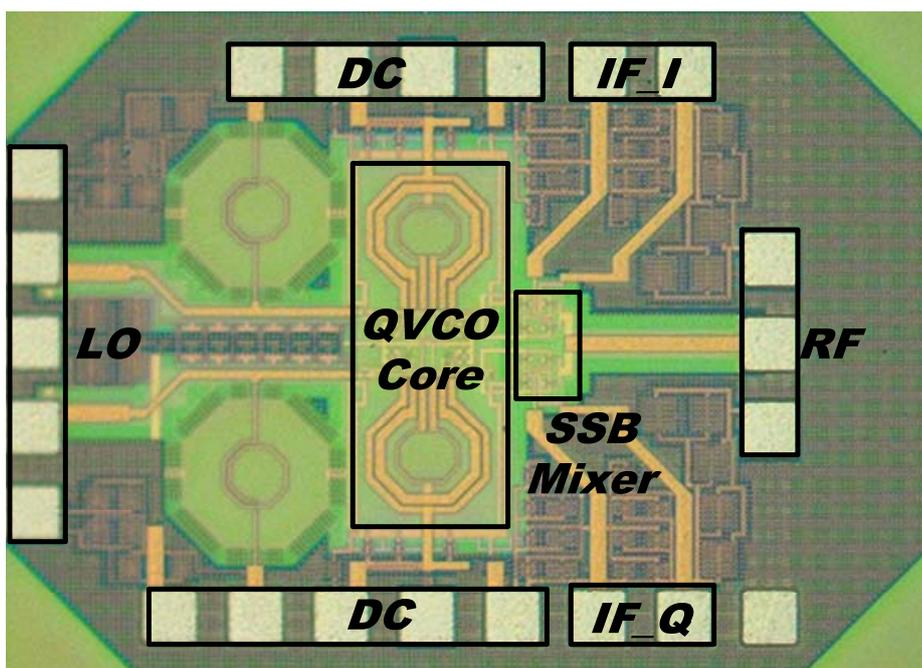
圖(3.58) 相位雜訊對頻率作圖



圖(3.59) 旁帶消除比對 Vtune 作圖



圖(3.60) 旁帶消除比



圖(3.61) Die Photo (die size:1.1 mm × 0.8 mm ,
QVCO core size:0.18 mm × 0.45 mm)

3.6.4 結果與討論

實作結果僅需0.6V 即可操作，電流消耗為12.67mA，整體功率消耗不包括緩衝級為7.6mW。頻率可調範圍是25.58-GHz~30.34-GHz，tuning range 為17%。相位雜訊在29.67-GHz 時為-123dBc/Hz@1MHz offset。模擬所得之單旁帶消除比為54dB。

通常會用 FoM 來衡量振盪器的特性，在此計算下列三種 FoM[30][31][32]。

$$FOM = PN - 20\log\left(\frac{f_o}{\Delta f}\right) + 10\log\left(\frac{P_{cons}}{1mW}\right) = -203.6dBc / Hz$$

$$FOM_T = PN - 20\log\left(\frac{f_o}{\Delta f} \frac{TP}{10\%}\right) + 10\log\left(\frac{P_{cons}}{1mW}\right) = -208.2dBc / Hz$$

$$FOM_{T/V} = PN - 20\log\left(\frac{f_o}{\Delta f} \frac{TP}{10\%} \frac{1V}{\Delta V_t}\right) + 10\log\left(\frac{P_{cons}}{1mW}\right) = -205dBc / Hz$$

其中，各變數代表的意義如下。

Δf = offset frequency

f_o = oscillating frequency

P_{cons} = Power consumption

TP = frequency tuning percentage

ΔV_t = tuning voltage range

整體的特性整理如表3.5。

表 3.5 30-GHz 正交相位壓控振盪器整體特性表

Item	Measurement
Frequency Range	25.58-30.34 GHz
Core Current	12.67mA
Buffer Current	3.2mA
Power Consumption (w/o buffer)	7.602mW
Power Consumption (w/i buffer)	9.522mW
Sideband Rejection	41.6 dB
Phase Noise	-123dBc/Hz@1MHz offset
Output Power	-10.3dBm
FOM	-203.6 dBc/Hz
QVCO Core Size	0.18x0.45 mm ²
Chip Size	1.1x0.8 mm ²

與文獻之比較表如表3.6。

表 3.6 高頻正交相位壓控振盪器文獻比較表

Reference	[27]	[33]	[34]	[35]	[36]	[37]	[38]	This work
Technology	0.18- μ m CMOS	0.25- μ m SiGe	90nm SOI CMOS	0.13- μ m CMOS	0.13- μ m CMOS	InGaP/GaAs HBT	0.4- μ m SiGe	0.13- μ m CMOS
Frequency Range (GHz)	14.8-17.6	30.6-32.6	38-43	44.8-45.8	18.6-20.6	22.07-22.9	24.8-28.9	25.58-30.34
Tuning Percentage (%)	16	6.3	12.5	2.2	10.2	3.3	15.3	17
Supply Voltage (V)	1	5	1.5	1	1.2	3	5	0.6
Core Current (mA)	5	*28	54	40	***24	62.5 (per side)	25.8	12.67
Power Consumption (mW)	5	140	**80	40	32	187.5 (per side)	129	7.602
Sideband Rejection (dB)	38	45	N/A	36	N/A	N/A	N/A	41.6
Phase Noise (dBc/Hz@1M Hz offset)	-110	-97	-87 (@3MHz offset)	-98.9	-102.41	-121.17	-84.2	-123
FOM (dBc/Hz)	-187.6	-165.6	-159.9	-176.1	***-173.5	-185.6	-152.3	-203.6
QVCO Core Size (mm ²)	0.126	0.35	0.015	N/A	N/A	N/A	N/A	0.081
Chip Size (mm ²)	0.69 \times 1.34	1.7 \times 1.2	0.4 \times 0.3	0.85 \times 0.6	N/A	1.1 \times 1.4	0.55 \times 0.45	1.1 \times 0.8

*excluding biasing network

**Including buffer

第四章

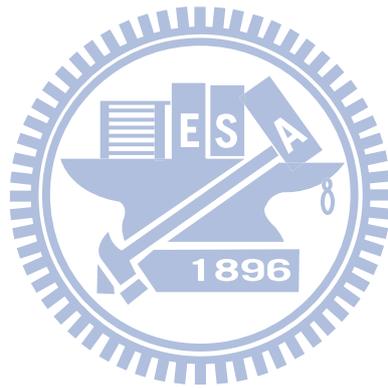
結論



本論文第二章的部份，利用了 TSMC 0.18- μm CMOS 製程實作與量測兩種 2.4-GHz 低功率接收機。第一種結合被動混頻器，第二種結合次臨界導通偏壓技術。兩者的 LNA 特性相似，只是第二個實作的 LNA，功率消耗較小，故此比較的重點，在於混頻器和後級的放大器。被動混頻器不具有直流消耗，顫動雜訊的特性也較佳，但是因為不具有增益，所以後級放大器所需要的雜訊特性要比較好，造成後級的功率消耗增加。而結合次臨界導通偏壓技術的主動式混頻器，因為有增益，後級放大器使用功率消耗小，且雜訊表現較差的 VGA，整體雜訊表現仍可接受。實測結果顯示，兩種接收機的混頻器和後級放大器部份之功率消耗總和相同。不過結合被動混頻器的接收機其顫動雜訊特性佳，但是增益較低，電路的動態範圍較小。因此若想要低功率操作，還是要依據不同的規格選擇適當的架構。

第三章的部份，利用 TSMC 0.13- μm CMOS 製程來實作適用於 60-GHz 發射機的元件電路。因為 60-GHz 訊號源不易取得，所以使用次諧波升頻器。而且因為市售的 TRW 放大器皆為單端輸入，為了能與這些市售元件結合，提出一種變壓器形式的巴倫，放在混頻器的輸出端作輸出結合。混頻器的轉換增益為-3dB；頻寬受限於輸出返回損耗，為 41GHz-62.5GHz，可以達到寬頻操作的目的；整體功率消耗為 28mW，相較其他文獻記載的電路，功率消耗小。為了提供 30-GHz 的訊號源，也實作了一個正交相位振盪器。結合三線耦合器，並且將可變電容只放在閘極，提高了相位雜訊的表現。此振盪器之量測結果如下：操作電壓 0.6V，電流消耗和功率消耗分別是 12.67mA 和 7.6mW，頻率範圍為 25.58GHz-30.34GHz，頻率可調範圍是 17%。相位雜訊在 1MHz 頻率偏移處可達-123dBc/Hz，因此去計算衡量振盪器

特性的 FoM 可知，若不考慮頻率可調範圍，則 $FoM = -203.6 \text{ dBc/Hz}$ ，若考慮頻率可調範圍，則 $FoM = -208.2 \text{ dBc/Hz}$ 。



參考文獻

第一章：

- [1] 廖建興, "無線個人區域網路(WPAN)技術發展與應用概論," 中華民國電子零件認證委員會

第二章：

- [1] D. Manstretta, R. Castello, and F. Svelto, "Low 1/f Noise CMOS Active Mixers for Direct Conversion," *IEEE Trans. Circuits Syst. II*, vol.48, pp. 846-850, Sept, 2001.
- [2] V. Vidojkovic, J. van der Tang, A. Leeuwenburgh, and A. H. M. van Roermund, "A Low-Voltage Folded-Switching Mixer in 0.18- μm CMOS" *IEEE J.Solid-State Circuits*, vol. 40, no. 6, pp.1259-1264, June 2005
- [3] E. A. M. Klumperink, S. M. Louwsma, G. J. M. Wienk, and B. Nauta, "A CMOS Switched Transconductor Mixer" *IEEE J.Solid-State Circuits*, vol. 39, no. 8, pp.1231-1240, Aug 2004.
- [4] M. T. Terrovitis and R. G. Meyer, "Noise in current-commutating CMOS mixers," *IEEE J. Solid-State Circuits*, vol. 34, pp. 772-783, June 1999.
- [5] H. Sjoland, A. Karimi-Sanjaani, and A. A. Abidi, "A merged CMOS LNA and mixer for a WCDMA receiver," *IEEE J. Solid-State Circuits*, vol. 38, pp. 1045-1050, June 2003.
- [6] A. Liscidini, M. Tedeschi, R. Castello "A 2.4 GHz 3.6mW 0.35mm² Quadrature Front-End RX for ZigBee and WPAN Applications," *ISSCC Dig. Tech. Papers*, pp. 370-620, Feb. 2008.
- [7] T. K. Nguyen, C. H. Kim, G. J. Ihm, M. S. Yang, and S. G. Lee, "CMOS low-noise amplifier design optimization techniques", *IEEE Trans. Microw. Theory Tech.*, vol. 52, no. 5, May 2004.
- [8] H. Darabi and A. A. Abidi, "Noise in RF-CMOS mixers: A simple physical model," *IEEE J. Solid-State Circuits*, vol. 35, pp. 15-25, Jan. 2000.
- [9] W. Redman-White and D. Leenaerts, "1/f Noise in Passive CMOS Mixers for Low and Zero IF Integrated Receivers," in *European Solid-State Circuits Conf.*, Villach, Austria, 2001.
- [10] S. Chehrazi, R. Bagheri, and A. Abidi, "Noise in passive FET mixers: A simple physical model," in *Proc. CICC*, Oct. 2004, pp. 375-378.

- [11] J. Lerdworatawee, and W. Namgoong, “Generalized Linear Periodic Time-Varying Analysis for Noise Reduction in an Active Mixer,” *IEEE J. Solid-State Circuits*, vol. 42, no.6, pp. 1339–1351, June 2007.
- [12] C. D. Hull, and R. G. Meyer, “A Systematic Approach to the Analysis of Noise in Mixers,” *IEEE Trans. Circuits Syst. I*, vol.40, no.12, pp. 909-919, Dec. 1993.
- [13] B. G. Perumana, R. Mukhopadhyay, S. Chakraborty, C. H. Lee, and J. Laskar, “A Low-Power Fully Monolithic Subthreshold CMOS Receiver With Integrated LO Generation for 2.4 GHz Wireless PAN Applications,” *IEEE J. Solid-State Circuits*, vol. 43, no.10, pp. 2229–2238, June 2008.
- [14] B. G. Perumana, S. Chakraborty, C. H. Lee, and J. Laskar, “A Fully Monolithic 260- μ W, 1-GHz Subthreshold Low Noise Amplifier,” *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 6, pp. 428–430, June 2005.
- [15] 鄧雅惠, “雙頻帶威福-哈特利鏡像消除接收機與超寬頻LR-CR正交相位降頻器,” 國立交通大學碩士論文, 2008.
- [16] H. D. Lee, K. A. Lee, and S. Hong, “A wideband CMOS variable gain amplifier with an exponential gain control,” *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 6, pp. 1363-1373, June 2007.
- [17] B. Razavi, *Design of Analog CMOS Integrated Circuits*, New York: McGraw-Hill, 2001.
- [18] P. Choi, H. C. Park, S. Kim, S. Park, I. Nam, T. W. Kim, S. Park, S. Shin, M. S. Kim, K. Kang, Y. Ku, H. Choi, S. M. Park, and K. Lee, “An Experimental Coin-Sized Radio for Extremely Low-Power WPAN (IEEE 802.15.4) Application at 2.4 GHz,” *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2258–2268, Dec. 2003.
- [19] W. Kluge, F. Poegel, H. Roller, M. Lange, T. Ferchland, L. Dathe, and D. Eggert, “A Fully Integrated 2.4GHz IEEE 802.15.4 Compliant Transceiver for ZigBee Applications,” *ISSCC Dig. Tech. Papers*, pp. 372–373, Feb. 2006.
- [20] I. Kwon, Y. Eo, S.-S. Song, K. Choi, H. Lee, and K. Lee, “A fully integrated 2.4-GHz CMOS RF transceiver for IEEE 802.15.4,” in *IEEE Radio Freq. Integrated Circuits Symp. Dig.*, San Francisco, CA, Jun. 2006, pp. 275–278.
- [21] T.-K. Nguyen, V. Krizhanovskii, J. Lee, S.-K. Han, S.-G. Lee, N.-S. Kim, and C.-S. Pyo, “A low-power RF direct-conversion receiver/transmitter for 2.4-GHz-band IEEE 802.15.4 standard in 0.18- μ m CMOS technology,” *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 12, pp. 4062–4071, Dec. 2006.
- [22] I. Nam, K. Choi, J. Lee, H.-K. Cha, B.-I. Seo, K. Kwon, and K. Lee, “A 2.4 GHz low-power low-IF receiver and direct-conversion transmitter in 0.18- μ m CMOS for IEEE 802.15.4 WPAN applications,” *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 4, pp. 682–689, Apr. 2007.

- [23] A. Liscidini, M. Tedeschi, and R. Castello, “A 2.4 GHz 3.6mW 0.35mm² Quadrature Front-End RX for ZigBee and WPAN Applications,” *ISSCC Dig. Tech. Papers*, pp. 370-371, 2008.
- [24] M. Camus, B. Butaye, L. Garcia, M. Sie, B. Pellat, and T. Parra, “A 5.4 mW/0.07 mm² 2.4 GHz Front-End Receiver in 90 nm CMOS for IEEE 802.15.4 WPAN Standard,” *IEEE J. Solid-State Circuits*, vol. 43, no. 6, pp. 1372–1383, June. 2008.
- [25] B. G. Perumana, R. Mukhopadhyay, S. Chakraborty, C.H. Lee, and J. Laskar, “A Low-Power Fully Monolithic Subthreshold CMOS Receiver With Integrated LO Generation for 2.4 GHz Wireless PAN Applications,” *IEEE J. Solid-State Circuits*, vol. 43, no. 10, pp. 2229–2238, Oct. 2008.
- [26] N. Poobuapheun, W.-H. Chen, Z. Boos, and A. M. Niknejad, “A 1.5-V 0.7–2.5-GHz CMOS Quadrature Demodulator for Multiband Direct-Conversion Receivers,” *IEEE J. Solid-State Circuits*, vol. 42, no. 8, pp. 1669–1677, Aug. 2007.

第三章：

- [1] T. H. Wu, S. C. Tseng, C. C. Meng and G. W. Huang, “GaInP/GaAs HBT Sub-Harmonic Gilbert Mixers Using Stacked-LO and Leveled-LO Topologies,” *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 5, pp. 880-889, May 2007.
- [2] M. Goldfarb, E. Balboni, and J. Cavey, “Even Harmonic Double-Balanced Active Mixer for Use in Direct Conversion Receivers,” *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1762–1766, Oct. 2003.
- [3] P. Andreani, A. Bonfanti, L. Romano and C. Samori, “Analysis and Design of a 1.8-GHz LO Quadrature VCO,” *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1737-1747, Dec. 2002.
- [4] 李約廷, “雙頻道可調式吉伯特混頻器、雙頻道差動低雜訊放大器與毫米波驅動放大器,” 國立交通大學碩士論文, 2007.
- [5] J. Long, “Monolithic Transformers for Silicon RF IC Design” *IEEE J. Solid-State Circuits*, vol. 35, no. 9, pp. 1368–1382, Sep. 2000.
- [6] T. Tseng *et al.*, “A Silicon Monolithic Phase-Inverter Rat-Race Coupler Using Spiral Coplanar Striplines and Its Application in a Broadband Gilbert Mixer,” *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 8, pp. 1879-1888, Aug. 2008.
- [7] T. Tseng *et al.*, “Monolithic broadband Gilbert micromixer with an integrated Marchand balun using standard silicon IC process,” *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 12, pp. 4362-4371, Dec. 2006.
- [8] A. Valdes-Garcia, S. Reynolds, and Jean-Oliver Plouchart, “60 GHz Transmitter Circuits in 65nm CMOS” *IEEE RFIC*, June 2008.

- [9] S. Voinigescu, *et. al.*, “CMOS SOCs at 100 GHz: System Architectures, Device Characterization, and IC Design Examples”, *IEEE ISCAS*, pp. 1971-1974, May 2007.
- [10] M. Varonen *et. al.*, “V-band Balanced Resistive Mixer in 65-nm CMOS”, *IEEE ESSCIRC*, pp. 360-363, Sept. 2007.
- [11] I. C. H. Lai, Y. Kambayashi, and M. Fujishima, “50GHz Double-Balanced Up-Conversion Mixer Using CMOS 90nm Process”, *IEEE ISCAS*, pp. 2542-2545, May 2007.
- [12] J. H. Tsai, and T. W. Huang, “35-65-GHz CMOS Broadband Modulator and Demodulator With Sub-Harmonic Pumping for MMW Wireless Gigabit Applications”, *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 10, pp. 2075-2085, Oct. 2007.
- [13] D. S. McPherson and S. Lucyszyn, “Vector modulator for W-band software radar techniques,” *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 8, pp. 1451–1461, Aug. 2001.
- [14] H.-Y. Chang, T.-W. Huang, H. Wang, Y.-C. Wang, P.-C. Chao, and C.-H. Chen, “Broad-band HBT BPSK and IQ modulator MMICs and millimeter-wave vector signal characterization,” *IEEE Trans. Microw. Theory Tech.*, vol. 52, no. 3, pp. 908–919, Mar. 2004.
- [15] H.-Y. Chang, P.-S. Wu, T.-W. Huang, H. Wang, C.-L. Chang, and J. G. J. Chern, “Design and analysis of CMOS broadband compact high-linearity modulators for gigabit microwave/millimeter-wave applications,” *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 1, pp. 20–30, Jan. 2006.
- [16] P.-C. Huang, R.-C. Liu, J.-H. Tsai, H.-Y. Chang, H. Wang, J. Yeh, C.- Y. Lee, and J. Chern, “A compact 35-65 GHz up-conversion mixer with integrated broadband transformers in 0.18–mm SiGe BiCMOS technology,” in *2006 IEEE Radio Frequency Integrated Circ. Symp. Dig.*, San Francisco, CA, June 2006, pp. 243-246.
- [17] Y. Mimino, K. Nakamura, Y. Hasegawa, Y. Aoki, S. Kuroda, and T. Tokumitsu, “A 60 GHz millimeter-wave MMIC chipset for broadband wireless access system front-end,” *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 3, pp. 1721-1724, Jun. 2002.
- [18] J. P. Torres, F. Fortes, M. Joao Rosario, J. M. Dieudonne, J. Costa Freire, “Monolithic mixers with MESFETs technology to up and down convert between C and V band,” *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp. Dig.*, pp. 167-170, May 1995.
- [19] A. Orzati, F. Robin, H. Meier, H. Benedikter, W. Bachtold, “A V-band up-converting InP HEMT active mixer with low LO-power requirements,” *IEEE*

- Microwave and Wireless Components Letters*, vol. 13, no. 6, pp.202-204, Jun. 2003.
- [20] S. Gunnarsson, K. Yhland, H. Zirath, “pHEMT and mHEMT ultra wideband millimeterwave balanced resistive mixers,” *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 2, pp. 1141-1144, Jun. 2004.
- [21] K. Hettak, G. A. Morin, and M. G. Stubbs, “A novel miniature multilayer MMIC CPW single sideband CPW mixer for up conversion at 44.5 GHz,” *IEEE Microwave and Wireless Components Letters*, vol. 15, no. 9, pp. 606-608, Sep. 2005.
- [22] K. Nishikawa, K. Kamogawa, T. Nakagawa, B. Piernas, and K. Arakki, “Broadband and compact SiBJT balanced up-converter MMIC using Si 3-D MMIC technology,” *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 1, pp. 87-90, May. 2001.
- [23] H. Hayashi, H. Okazaki, A. Kanda, T. Hirota, and M. Muraguchi, “Millimeter-wave-band amplifier and mixer MMIC’s using a broad-band 45° power divider/combiner,” *IEEE Trans. Microwave Theory and Tech.*, vol. 46, no. 6, pp. 811-819, Jun. 1998.
- [24] T. H. Wu, and C.C Meng, “10-GHz Highly Symmetrical Sub-Harmonic Gilbert Mixer Using GaInP/GaAs HBT Technology,” *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 5, pp.370-372, May 2007.
- [25] J. Y. Su, S. C. Tseng, C. C. Meng, P. Y. Wu, Y. T. Lee, and G. W. Huang, “Ka/Ku-Band pHEMT Gilbert Mixers With Polyphase and Coupled-Line Quadrature Generators,” *IEEE Trans. Microwave Theory and Tech.*, vol. 57, no. 5, pp. 1063-1073, May 2009.
- [26] 權冠璋, “馬爾尚巴倫分波器之混頻器與利用除頻器與震盪器之訊號產生電路,” 國立交通大學碩士論文, 2007.
- [27] A. W. L. Ng and H. C. Luong, “A 1-V 17-GHz 5-mW Quadrature VCO Based on Transformer Coupling,” *IEEE J. Solid-State Circuits*, vol. 42, no.9 , pp. 1933-1941, Sep. 2007.
- [28] M. Zannoth, B. Kolb, J. Fenk and R. Weigel, “A Fully integrated VCO at 2 GHz,” *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1987-1991, Dec. 1998.
- [29] H.-M. Lee, and C.-M. Tsai, “Exact Synthesis of Broadband Three-Line Baluns,” *IEEE Trans. Microwave Theory and Tech.*, vol. 57, no. 1, pp. 140-148, Jan. 2009.
- [30] C.-Y. Yu, W.-Z. Chen, C.-Y. Wu, and T.-Y. Lu, “A 60-GHz, 14% Tuning Range, Multi-Band VCO with a Single Variable Inductor,” *Solid-State Circuits Conference, 2008. A-SSCC '08. IEEE Asian* , vol., no., pp.129-132, 3-5 Nov. 2008

- [31] J.-C. Chien, and L.-H. Lu, "Design of Wide-Tuning-Range Millimeter-Wave CMOS VCO With a Standing-Wave Architecture", *IEEE J. Solid-State Circuits*, vol.42, no. 9, pp. 1942–1952, Sep. 2007.
- [32] J. Kim, J.-O. Plouchart, N. Zamdmer, R. Trzcinski, K.Wu, B. J. Gross, and M. Kim, "A 44 GHz differentially tuned VCO with 4 GHz tuning range in 0.12 μ m SOI CMOS," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, 2005, pp. 416–417.
- [33] W.L. Chan, H. Veenstra, and J.R. Long "A 32GHz Quadrature LC-VCO in 0.25 μ m SiGe BiCMOS Technology," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, vol. 1, pp.538-616, Feb. 2005.
- [34] F. Ellinger, and H. Jackel, "38-43 GHz quadrature VCO on 90 nm VLSI CMOS with feedback frequency tuning," *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 12-17, June 2005.
- [35] H. -Y. Chang, Y. -H. Cho, M. -F. Lei, C. -S. Lin, T. -W. Huang, and H. Wang, "A 45-GHz Quadrature Voltage Controlled Oscillator with a Reflection-Type IQ Modulator in 0.13- μ m CMOS Technology," *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 739-742, June 2006.
- [36] M. Hossain, and A. C. Carusone, "20 GHz Low Power QVCO and De-skew Techniques in 0.13 μ m Digital CMOS," in *Proc. CICC*, Sept. 2008, pp.447-450.
- [37] C.-Y. Kim, J. Yang, D.-W. Kim, and S. Hong, "A K-Band Quadrature VCO Based on Asymmetric Coupled Transmission Lines." *IEEE MTT-S Int. Microwave Symp. Dig.*, pp.363-366, June 2008.
- [38] S. Hackl, J. Bock, G. Ritzberger, M. Wurzer, and A. L. Scholtz "A 28-GHz monolithic integrated quadrature oscillator in SiGe Bipolar Technology," *IEEE J. Solid-State Circuits*, vol. 38, no. 1, pp. 135-137, Jan. 2003.
- [39] T. O. Dickson, M.-A. LaCroix, S. Boret, D. Gloria, "30–100-GHz Inductors and Transformers for Millimeter-Wave (Bi)CMOS Integrated Circuits," *IEEE Trans. Microwave Theory and Tech.*, vol. 53, no. 1, pp. 123-133, Jan. 2005.

Vita

姓 名：陸熙良

性 別：男

出生年月日：民國 73 年 11 月 28 日

籍 貫：台灣省台北市

學 歷：

國立建國高級中學 2000-2003

國立交通大學 電機與控制工程學系 學士 2003-2007

國立交通大學 電信工程學系 碩士 2007-2009

獲 獎：

2008 電信工程學系 書卷獎

2007 電信工程學系 書卷獎

2006 電機與控制工程學系 書卷獎

2005 大三榮獲宗倬章獎學金

2004 大二榮獲倪當賢任銀獎學金

2003 電機與控制工程學系 書卷獎



經 歷：

交通大學	電信系	助教	2007/09-2008/01	射頻積體電路課程助教
交通大學	電信系	助教	2008/02-2008/06	電子學課程助教
交通大學	電信系	實驗課助教	2008/09-2009/01	教授射頻積體電路實驗課

論文題目：

2.4-GHz 低功率接收機與應用於 60-GHz 發射機之 CMOS 電路