

國立交通大學

電信工程研究所

碩士論文

一個應用在 SATA-3.0 且使用環型振盪器的 6GHz 全積體化



A Fully Integrated 6GHz Spread-Spectrum Ring-VCO Clock

Generator for SATA-3.0 Applications

研究生：李鎮宇

指導教授：闕河鳴 博士

中華民國九十九年十一月

一個應用在 SATA-3.0 且使用環型振盪器的 6GHz 全積體化
展頻時脈產生器

A Fully Integrated 6GHz Spread-Spectrum Ring-VCO Clock
Generator for SATA-3.0 Applications

研究生：李鎮宇
指導教授：闕河鳴 博士

Student: Zhen-Yu Li
Advisor: Dr. Herming Chiueh



Submitted to Institute of Communications Engineering
College of Electrical and Computer Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master of Science
in
Communications Engineering

November 2010
Hsinchu, Taiwan

中華民國九十九年十一月

一個應用在 SATA-3.0 且使用環型振盪器的 6GHz 全積體化 展頻時脈產生器

研究生：李鎮宇

指導教授：闕河鳴 博士

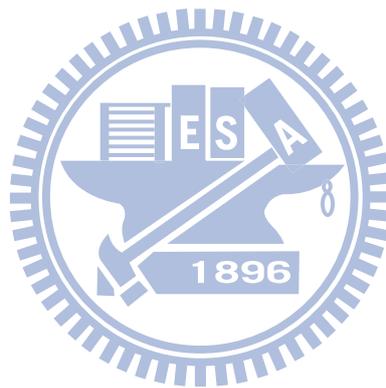
國立交通大學
電信工程研究所
碩士論文

摘要

Serial Advanced Technology Attachment(SATA)已成為最重要的傳輸介面標準之一，其中傳輸量為 6Gb/s 的 SATA-3.0 更是下一代的主流規格。但晶片的時脈速度操作的越來越快，相對的高強度中心時脈信號所造成的電磁干擾(Electro-Magnetic Interference, EMI)現象也更加嚴重。相較於傳統的金屬屏蔽法(Metal Shielding)，展頻時脈產生器(Spread Spectrum Clock Generator, SSCG)是一種更有效降低晶片中 EMI 問題的方法。

本論文在 TSMC-0.18um 1P6M CMOS 製程下，設計出一個可運用在 SATA-3.0 介面的 SSCG。其特色在於使用 Ring-VCO 直接產生 6GHz 時脈取樣，並且搭配三階的 $\Delta\Sigma$ -modulator 展頻調變電路來設計。同時也考量到最後晶片可能的主機板操作環境，針對此點作了 Process Variation、Voltage、Temperature 測試，也就是所謂的 PVT 分析，希望能提升對抗工作環境溫度變異的能力。這樣完成的 SSCG，除了可避開傳統電感的精準製程特性要求外，更可以充分發揮 Ring-VCO 的各種優點:具有架構簡單容易實現，低面積使用，以及具備能夠在任意製程下作平移的條件。最後設計上將整體電路全積體化，對於將來的電路整合有極大的優勢。

在所有晶片量測中，每一顆晶片皆能夠符合 SATA-3.0 所訂立的各項規格要求，而各項常溫狀況下的平均量測結果如下，晶片面積為 $933\mu\text{m}\times 933\mu\text{m}$ ，核心電路面積為 $500\mu\text{m}\times 300\mu\text{m}$ 。晶片操作頻率為 6GHz，工作電壓為 1.8V，功率消耗為 65.658mW(不包含輸出 buffer)，EMI reduction 在 RBW=100K 時為 13.55dB，在 RBW=10K 時為 24.30dB。PLL 鎖定在 6GHz 的 peak to peak jitter 為 16.256ps，rms jitter 為 2.152ps，展頻功能啟動時 peak to peak jitter 為 21.541ps，而在展頻期間任意取 250 個週期的 peak to peak jitter 為 10.106ps。在晶片溫度上升的測試中，只需將電壓調整為 2.0V，PLL 功能值到 125°C 都能夠正常工作產生 6GHz 時脈。



A Fully Integrated 6GHz Spread-Spectrum Ring-VCO Clock Generator for SATA-3.0 Applications

Student: Zhen-Yu Li

Advisor: Dr. Herming Chiueh

SoC Design Lab, Institute of Communications Engineering,
College of Electrical and Computer Engineering, National Chiao Tung University
Hsinchu 30010, Taiwan

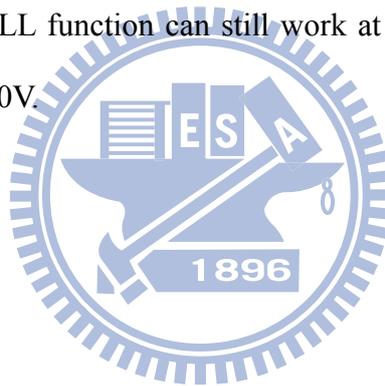
Abstract

The serial advanced technology attachments (SATA) has become one of the most important interface standards, and SATA-3.0 with transmission rate 6 Gb/s is the major specifications in next generation. But when the chip operation clock speed works more rapid, the electro-magnetic interference (EMI) effect caused from high intensity peak energy of center frequency is more seriously too. Compare with conventional metal shielding, spread-spectrum clock generator (SSCG) is a more efficient method to reduce EMI effect in chip.

This thesis tries to design a SSCG can be used for SATA-3.0 in TSMC 0.18um 1P6M CMOS process which using a ring voltage controlled oscillators (Ring-VCO) at 6GHz operating frequency and chose the multi-stage-noise-shaping (MASH 1-1-1) delta-sigma modulator (3^{rd} $\Delta\Sigma$ -modulator) for spread spectrum circuit. Because the design SSCG chip may operate on the motherboard, we also take the PVT analysis about process variation, voltage, temperature, and hope the design chip can compete working conditions about temperature change. The proposed SSCG avoid the inductors with precisely process characteristic so it has the Ring-VCO advantage of simple architecture, low area cost, and can be implemented in any CMOS process. We

also make the chip fully integrated that has advantage of combine circuit in the future.

Finally, this thesis tests the entire design SSCG chip and all of the chip can match SATA-3.0 specifications in the room temperature. The average measurement results are list below. Chip area is $933\mu\text{m}\times 933\mu\text{m}$ and active area is $500\mu\text{m}\times 300\mu\text{m}$. The chip operation frequency is 6GHz and consumes 65.658mW (no including output buffer) with 1.8V supply. EMI reduction is 13.55dB (RBW=100K) and 24.30dB (RBW=100K). The PLL locked on 6GHz clock peak-to-peak (pp) jitter is 16.256ps and rms jitter is 2.152ps. The pp jitter becomes 21.541ps when spread spectrum function work, and the random pp jitter with 250 cycles is 10.106ps. In the chip temperature rise test, the PLL function can still work at 6GHz clock until 125°C by change supply voltage to 2.0V.



致謝

終於走到寫致謝的這一步了，回想這三年多的日子裡，經歷了兩次下線失敗，兩次打回家說要休學，到現在下線晶片能夠正常運作，人生變換真的是難以預料。而一路走過來第一個要感謝的人是我的爸媽。第一次下線失敗的時候，我打電話回家是留著淚的，想說兩年的時間我已經打算放棄了，不想念了，抱歉讓你們失望。你們說沒關係，再試試，直到第二次下線又失敗，這次打回去我心情很平靜，因為看開了，就當是做了兩年半的夢，才 24~25 歲，沒有這張紙也沒什麼了不起，反正碩士多如狗，轉職考公務員也不錯，你們也說好，不要唸了，回家吧。這一路上你們都在我背後支持我面對各項挑戰，而我所帶來的卻是一次又一次讓你們難過的壞消息，真的很謝謝你們，都這把年紀了還要一直為我操心，真的很對不起你們，也謝謝你們。

第二個要感謝的是我的指導教授—闕河鳴老師，其實當初想找你當指導老師是想說大家都是電物出來的，應該會對我比較好，沒想到老師你的標準是人人一致，一致的嚴格，既使到了今天我還是要說，研究所這三年是我這輩子最痛苦的回憶之一，但是我也很清楚，把我從一個對 IC 什麼都不懂，變成一個有能力設計電路而且下線晶片會動的人，是你。你總是在扮黑臉，那是希望我們能在適度的壓力下成長，只是很多情況下我們都沒辦法瞭解你的苦心，所以常常惹你生氣。仔細想想，我們現在身上所具備各項在職場的謀生能力，每一項都是你一點一滴磨出來的，不論以後我用不用的到這些能力，但你對我所付出的心血是我一輩子都會感激的。謝謝你，老師。

最後要感謝的是實驗室的大家，不管是學長姐、同學、學弟妹，抱歉我念太

久了，橫跨老中青六代，所以如果名字都要寫上去就滿了，但是謝謝你們各位對我的幫助以及帶給我的回憶，跟你們一起在實驗室經歷過的種種事情，不管是開心或者悲傷，那都是記錄我人生旅途上的一頁珍貴歷史，謝謝你們。

李鎮宇 寫於 2010/11/16 新竹的夜裡



論文目錄

摘要.....	I
Abstract.....	III
致謝.....	V
論文目錄.....	VII
圖目錄.....	X
表目錄.....	XIV
第一章 序論.....	1
1.1 展頻時脈產生器簡介.....	1
1.2 SSCG 常見的展頻技巧介紹.....	2
1.2.1 VCO 控制電壓調變.....	3
1.2.2 VCO 多相位的輸出時脈調變.....	4
1.2.3 Divider 的除率調變.....	4
1.2.4 整理近年來在 IEEE 上發表的相關作品.....	5
1.3 Ring-VCO 直接產生 6GHz 時脈的 SSCG 設計分析.....	9
1.4 研究動機.....	11
1.5 整體論文組織架構.....	12
第二章 設計挑戰與架構選擇分析.....	13
2.1 規劃設計目標 SSCG 整體架構簡介.....	13
2.2 運用在本論文內的 Ring-VCO 電路挑戰與設計分析.....	14

2.2.1	Ring-VCO 如何提升中心時脈頻率到 6GHz.....	14
2.2.2	如何對抗製程變異帶來的頻率漂移.....	20
2.3	$\Delta\Sigma$ -modulator 架構選擇與分析.....	25
2.4	展頻控制信號(Control Signal)架構選擇與分析.....	32
2.5	其它電路.....	35
2.6	設計結果總結.....	35
第三章 整體電路實現與模擬結果.....		36
3.1	PFD+CP+LF.....	36
3.1.1	PFD(Phase-Frequency Detector).....	37
3.1.2	CP(Charge Pump).....	40
3.1.3	LF(Loop Filter).....	41
3.2	Ring-VCO.....	44
3.3	前置除頻器(Pre-scaler).....	46
3.4	除頻器(Divider).....	46
3.5	三角波產生器(Triangular-generator).....	50
3.6	三階 $\Delta\Sigma$ -modulator.....	52
3.7	CML buffer(Current-Mode Logic buffer).....	54
3.8	展頻時脈產生器(Spread Spectrum Clock Generator).....	55
3.8.1	PLL 鎖定功能驗證.....	56
3.8.2	SSCG 展頻功能驗證.....	58
3.9	模擬數據整理列表與總結.....	61
第四章 晶片量測結果與分析.....		63
4.1	量測平台設置以及 PCB 版設計分析.....	63
4.2	以電池做初步的 PLL 鎖定跟 SSCG 展頻測試.....	67

4.2.1	PLL 鎖定驗證(電池).....	67
4.2.2	SSCG 展頻驗證(電池).....	69
4.2.3	進階效能驗證(電池).....	70
4.2.4	使用電池的量測總結.....	73
4.3	電源供應器與電池差異測試.....	73
4.4	Bias-Tee 電路影響測試.....	75
4.5	CIC 下探針量測.....	78
4.6	所有晶片量測結果整理列表.....	81
4.7	溫度改變對晶片影響的 PVT 測試.....	83
4.7.1	溫度在 25°C 時的測試.....	84
4.7.2	溫度在 70°C 時的測試.....	86
4.7.3	溫度在 125°C 時的測試.....	88
4.7.4	溫度量測統計資料.....	90
4.8	特殊現象討論.....	91
4.9	量測結果總結.....	93
第五章 結論.....		97
參考文獻.....		98



圖目錄

圖 1.1	SSCG 功能示意圖.....	2
圖 1.2	SSCG 的三種展頻技巧介紹.....	3
圖 1.3	表 1.1 中符合 SATA-3.0 規格的 Chip layout.....	8
圖 1.4	[22] 的 Chip die photo 以及頻率對控制電壓的變化特性.....	10
圖 2.1	初步規劃的目標 SSCG 整體架構.....	14
圖 2.2	用負延遲之延遲單元縮減 τ 的基本理論.....	15
圖 2.3	[24] 所採用的 VCO 架構.....	16
圖 2.4	本論文採用的 delay-cell 小電路模型.....	18
圖 2.5	本論文 Ring-VCO 的頻率對電壓特性曲線.....	18
圖 2.6	本論文 Ring-VCO 產生的 6GHz 時脈.....	19
圖 2.7	本論文 Ring-VCO 的 phase noise 模擬結果.....	19
圖 2.8	本論文 Ring-VCO 在不同 Corner 下頻率對電壓特性曲線.....	20
圖 2.9	加大頻率對電壓特性曲線斜率以滿足規格.....	21
圖 2.10	以電壓方式改變電流讓曲線平移以滿足規格.....	22
圖 2.11	VCO 在改變電源後控制電壓對振盪頻率關係圖.....	23
圖 2.12	本論文的 Ring-VCO 在 TT 下改變各種溫度的模擬結果.....	24
圖 2.13	一階數位相位累加器.....	25
圖 2.14	一階數位相位累加器的 Z 轉換分析.....	26
圖 2.15	不同階數的 $\Delta\Sigma$ -modulator 在頻譜分析.....	28
圖 2.16	理想的 $\Delta\Sigma$ -modulator 有最好的 EMI reduction.....	28
圖 2.17	Triangular 與 Chaotic PAM 兩種調變波形的比較.....	29
圖 2.18	本論文所採用的三階 $\Delta\Sigma$ -modulator.....	31

圖 2.19	本論文所採用的 Triangular-generator 電路架構.....	33
圖 2.20	Triangular-generator 的模擬結果.....	33
圖 2.21	三階 $\Delta\Sigma$ -modulator 的模擬結果.....	34
圖 2.22	本論文設計的 SSCG 整體架構.....	35
圖 3.1	本論文設計的 SSCG 整體架構.....	36
圖 3.2	本論文所採用的 PFD 架構.....	37
圖 3.3	PFD 電路架構對應的 layout(23um \times 20um).....	38
圖 3.4	PFD 模擬結果.....	39
圖 3.5	本論文所採用的 CP 電路架構.....	40
圖 3.6	CP 電路架構對應的 layout (28um \times 15um).....	40
圖 3.7	CP 充放電及線性測試.....	41
圖 3.8	本論文所採用的 LF 電路架構及設計準則.....	42
圖 3.9	LF 電路架構對應的 layout (250um \times 280um).....	43
圖 3.10	PFD+CP+LF 的 dead zone 測試.....	44
圖 3.11	本論文所採用的 Ring-VCO.....	44
圖 3.12	VCO 電路架構對應的 layout (53um \times 120um).....	45
圖 3.13	本論文 Ring-VCO 產生的 6GHz 時脈.....	45
圖 3.14	本論文所採用的 Pre-scaler 電路架構.....	46
圖 3.15	本論文所採用的 Divider 電路架構.....	47
圖 3.16	本論文在除頻器前兩級除 2/3 單元所用的電流驅動架構.....	47
圖 3.17	本論文在除頻器後四級除 2/3 單元所用的 TSPC 架構.....	48
圖 3.18	Pre-scaler+Divider 電路架構對應的 layout (170um \times 140um).....	48
圖 3.19	除頻器除率=240 功能驗證.....	49
圖 3.20	本論文所採用的 Triangular-generator 電路架構.....	50
圖 3.21	Triangular-generator 電路架構對應的 layout (93um \times 136um).....	51
圖 3.22	Triangular-generator 的模擬結果.....	51

圖 3.23	本論文所採用的三階 $\Delta\Sigma$ -modulator.....	52
圖 3.24	三階 $\Delta\Sigma$ -modulator 電路架構對應的 layout(180um \times 110um).....	52
圖 3.25	三階 $\Delta\Sigma$ -modulator 的模擬結果.....	53
圖 3.26	(a)本論文所採用的 CML buffer 電路架構.....	54
	(b)針對 CML buffer 的輸出負載做分析.....	54
圖 3.27	本論文最後完成的 SSCG 晶片 layout(933um \times 933um).....	55
圖 3.28	PLL 鎖定在 6GHz 時脈的控制電壓.....	56
圖 3.29	PLL 中心時脈在頻譜上頻率以及強度表現.....	57
圖 3.30	PLL 的峰對峰值抖動(peak-peak jitter)測試.....	57
圖 3.31	展頻功能啟動令 VCO 控制電壓產生三角週期調變.....	58
圖 3.32	展頻過後的 SSCG 輸出時脈頻域分析.....	59
圖 3.33	EMI reduction 測試.....	59
圖 3.34	展頻期間內任意取 250 個週期時脈的 peak-peak jitter.....	61
圖 4.1	晶片量測示意圖.....	64
圖 4.2	探針量測示意圖.....	64
圖 4.3	本論文設計用來量測 SSCG 的 PCB 電路版.....	65
圖 4.4	本論文的 SSCG 晶片 die photo (Chip area : 933um \times 933um).....	66
圖 4.5	量測實境.....	66
圖 4.6	PLL 產生 6GHz 的 VCO output- clock 量測.....	67
圖 4.7	PLL 產生的 fb clock 端量測.....	68
圖 4.8	8192 點+RBW=100K 的 PLL_6GHz 時脈頻譜圖.....	68
圖 4.9	8192 點+RBW=100K 的 SSCG_5.97GHz~6GHz 時脈頻譜圖.....	69
圖 4.10	8192 點+RBW=100K 的 EMI reduction 量測結果.....	69
圖 4.11	8192 點+RBW=10K 的 PLL_6GHz 時脈頻譜圖.....	70
圖 4.12	8192 點+RBW=10K 的 EMI reduction 量測結果.....	70
圖 4.13	Agilent E4407B 的 phase noise 量測.....	71

圖 4.14	PLL 6GHz 時脈 peak to peak jitter 量測.....	72
圖 4.15	展頻功能啟動後的 peak to peak jitter 量測.....	72
圖 4.16	使用電源供應器以及電池對 PLL 功能量測的影響.....	74
圖 4.17	使用電源供應器以及電池對 SSCG 功能量測的影響.....	74
圖 4.18	Bias-Tee 元件對 PLL 功能量測的影響.....	76
圖 4.19	Bias-Tee 元件對 SSCG 功能量測的影響.....	76
圖 4.20	使用電池偏壓 Bias-Tee 來降低雜訊.....	77
圖 4.21	以探針量測 PLL 鎖定功能.....	79
圖 4.22	以探針量測 SSCG 展頻功能.....	79
圖 4.23	Agilent E5052B Signal Source Analyzer 的 phase noise 測試.....	80
圖 4.24	25°C +1.8V 的 PLL 功能驗證.....	85
圖 4.25	25°C +1.8V 的展頻功能驗證.....	85
圖 4.26	70°C +1.8V 的 PLL 功能驗證.....	86
圖 4.27	70°C +2.0V 的 PLL 功能驗證.....	87
圖 4.28	70°C +2.0V 的 PLL 頻譜分析.....	87
圖 4.29	70°C +2.0V 的展頻功能驗證.....	88
圖 4.30	125°C +2.0V 的 PLL 功能驗證.....	88
圖 4.31	125°C +2.0V 的 PLL 頻譜分析.....	89
圖 4.32	125°C +2.0V 的展頻功能驗證.....	89
圖 4.33	125°C +2.2V 的展頻功能驗證.....	90
圖 4.34	從中心頻率 6GHz 逐漸往外增加掃描範圍.....	92
圖 4.35	VCO 的差動輸出 output clock 量測.....	93

表目錄

表 1.1	近年來在 IEEE 上發表的相關論文.....	5
表 1.2	三種不同 VCO 類型的 SSCG 比較表.....	10
表 2.1	PVT 環境變異的等效條件.....	22
表 2.2	根據表 1.1 列出的論文中整理同樣使用 $\Delta\Sigma$ -modulator 的作品.....	29
表 2.3	本論文選擇 $\Delta\Sigma$ -modulator 階數的考量.....	30
表 3.1	待測模擬規格表.....	56
表 3.2	Hspice 以及 Ultra-sim 的 peak-peak jitter 模擬結果比較.....	60
表 3.3	本論文設計的 SSCG 電路模擬結果整理.....	62
表 3.3	SSCG 不同 corner 的模擬結果比較.....	62
表 4.1	使用電池的量測結果.....	73
表 4.2	電池與電源供應器的量測結果差異.....	75
表 4.3	使用 Bias-Tee 的量測結果.....	77
表 4.4	使用 Bias-Tee 與否的量測結果差異.....	78
表 4.5	CIC 下探針的量測結果.....	80
表 4.6	正常情況下的所有晶片量測結果.....	81
表 4.7	金線以及鋁線的差異.....	82
表 4.8	量測平均結果與 SATA-3.0 規格對照表.....	83
表 4.9	溫度變異對晶片影響的統計資料.....	91
表 4.10	將量測結果與近年來在 IEEE 上發表的相關作品做比較.....	93
表 4.11	跟同樣設計在 SATA-3.0 的 SSCG 比較面積使用.....	95

第一章

序論

1.1 展頻時脈產生器簡介

在這個資訊量有爆發性成長的時代，對於高速且大量數據傳輸的需求不斷上升，而近年來，Serial Advanced Technology Attachment(SATA)已成為一種主流的儲存裝置傳輸介面規格，但是隨著傳輸量增加，相對的電路操作速度也會增加，而高速時脈信號所帶來的電磁干擾(Electro-Magnetic Interference, EMI)現象也更加嚴重。這種電磁干擾的主因是來自於時脈中心頻率的高強度峰值功率(Peak Power)，它將會以輻射的方式去影響周圍的其它信號，就好比在高壓電塔的附近使用手機會感覺通話被干擾，這就是一種 EMI 現象。頻率越高則表示能量越強，當然干擾也會更大。而製程技術的進步讓晶片操作的頻率越來越快，如何解決 EMI 問題也更加被重視，以往的金屬屏蔽法(Metal Shielding)已經不適用在解決高速傳輸晶片帶來的 EMI 問題，取而代之的是透過展頻技術來有效降低 EMI 的展頻時脈產生器(Spread Spectrum Clock Generator, SSCG)。

跟使用包覆作法的金屬屏蔽比較，SSCG 是採取從源頭直接降低 EMI，其基本理論可以用圖 1.1 來做說明。

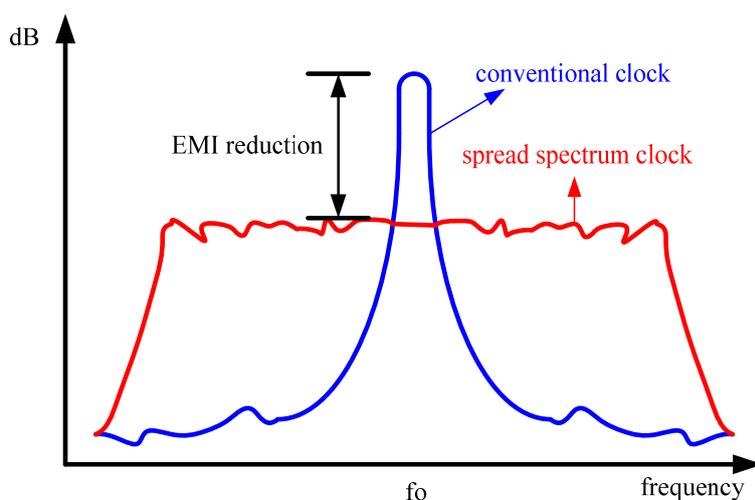


圖 1.1 SSGC 功能示意圖

因為 EMI 是由高速時脈帶來的高強度中心頻率 f_0 所產生，而展頻技術的作法就是週期性的調變時脈中心頻率，使其不再是固定在一種頻率上，而是以平均的方式分布在一段可控制的範圍內，這樣原本位於中心頻率的能量積分過後就會被分散到較寬的頻帶，由於一段時間內總能量是固定的，透過分散後便可令最大的 Peak Power 下降來達到降低電磁干擾的效果。

根據 SATA International Organization(<http://www.sata-io.org>)所制訂的傳輸規格，目前最新一代的主流介面為 SATA-3.0，其傳輸量為 6Gb/s。要操作在這麼高速傳輸的時脈將會帶來嚴重的 EMI 問題，因此本論文的目標為設計出能符合 SATA-3.0 規格[1]的展頻時脈產生電路。

1.2 SSGC 常見的展頻技巧介紹

時脈產生電路主要來說是透過相位與頻率偵測器(Phase and Frequency Detector, PFD)、電流幫浦(Charge Pump, CP)、迴路濾波器(Loop Filter, LF)、電壓

控制振盪器(Voltage Controlled Oscillator, VCO)、除頻器(Divider)等基本的電路組成鎖相迴路(Phase-Lock Loop, PLL)[2]，先產生需要的特定頻率穩定時脈，再結合各種不同的展頻技巧將中心頻率調變成展頻時脈(Spread Spectrum Clock, SSC)，也可以說一個 SSCG 便是由 PLL 與展頻調變電路組合而成。而圖 1.2 所示便是目前常見的三種展頻技巧，將在 1.2.1~1.2.3 小節分別做說明。

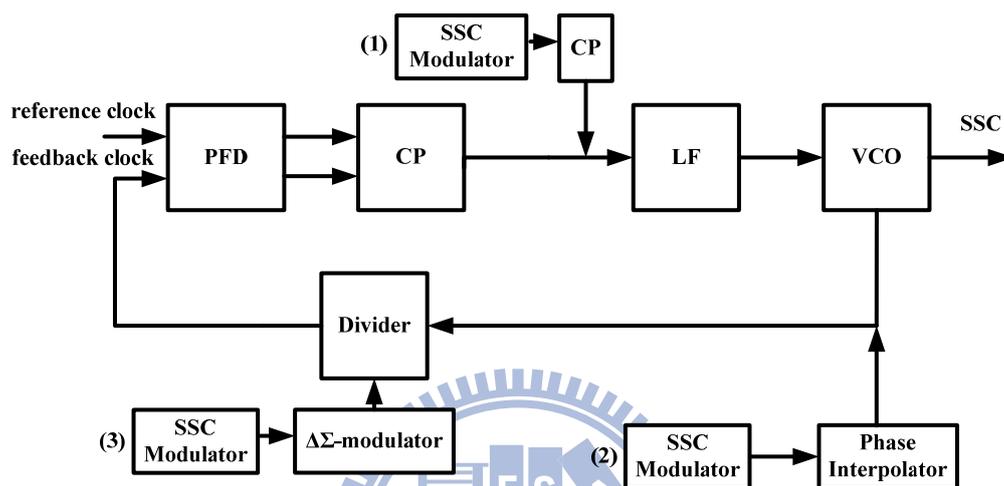


圖 1.2 SSCG 的三種展頻技巧介紹

1.2.1 VCO 控制電壓調變

當 PLL 鎖定時，其 VCO 的控制電壓將會固定而產生特定頻率的時脈，而第一種方法便是透過調變電路直接改變此點電壓值[3]，一般來說會利用外加的 Charge Pump 電路增減流過 Loop Filter 的電流讓 VCO 的控制電壓改變，由於展頻是一種讓時脈中心頻率在特定範圍內做週期變化的技巧，所以只要設定好要改變的外加 Charge Pump 電流大小跟週期便可以得到所需的展頻時脈。這種方法的優點在於調變電路簡單，但是缺點則是不容易掌控調變的精細度，因為 VCO 是非常敏感的電路，控制電壓的微小變化都有可能讓振盪頻率有很大的改變，而 Charge Pump 電流的增減往往並不能十分的準確調整到所需的值，因此這種方法通常不適用在操作時脈很高或者需要精細調變的展頻。

1.2.2 VCO 多相位的輸出時脈調變

第二種方法則是利用 VCO 同頻率但不同相位的輸出時脈，透過相位內插器 (Phase Interpolator) 去組合這些不同相位的時脈而得到新的頻率[4]，同理的只要組合相位的時候是以週期性的變化將頻率控制在某特定範圍內，便可以得到展頻時脈。這種方法的好處是可以結合多相位選擇器 (Multiphase Selector) 以不同相位的低頻時脈組合而得到相當於高頻時脈取樣的效果，也就是說如果要符合 SATA-3.0 的 6Gb/s 傳輸量，也許可以用 6 個不同相位 1GHz 的展頻時脈來操作，這可以減少總體的功率消耗，但是缺點就在於 Phase Interpolator 以及 Multiphase Selector 都是複雜的電路架構，對於不同相位之間的選擇並不能做到很完美切換，因此連帶的在降低 EMI 的表現上並不十分好，而且需要的相位越多，表示 VCO 的數目也會增加，加上這些控制電路使得對面積的需求會相當大。

1.2.3 Divider 的除率調變

第三種方法是屬於頻率合成器 (Frequency Synthesizer) 的一種主流架構，利用改變除頻器的除率讓 PLL 重新鎖定得到新頻率的時脈，當然只要除率為週期性的改變在一個範圍，就能夠得到展頻時脈。而在頻率合成器中最常見的作法便是使用 $\Delta\Sigma$ -modulator 的除小數架構[5]，這種架構的好處是可以用全數位式來製作調變電路，非常容易實現在各種不同的製程上，且數位架構在對抗雜訊以及製程變異上有非常顯著的效果，讓降低電磁干擾的表現 (EMI Reduction) 有非常好的結果，且只要除率小數細微的程度越高，調變精細度也可以做到非常的精準。但是因為除率終究無法做到無限精確，這中間便會產生量化誤差，而為了解決誤差就必須要犧牲面積來增加 $\Delta\Sigma$ -modulator 的階數，提高小數的解析度讓誤差下降，因此在面積以及誤差的考量中要取得平衡。

1.2.4 整理近年來在 IEEE 上發表的相關作品

當然除了上述的方法外，還有其它展頻技巧能夠使用，也有許多設計是將上面的架構做結合，利用彼此的優點來互補。表 1.1 整理了近年來在 IEEE (Institute of Electrical and Electronics Engineers) 上發表運用在不同 SATA 傳輸介面規格 (SATA-1.0=1.5Gb/s, SATA-2.0=3.0Gb/s, SATA-3.0=6.0Gb/s) 的 SSCG 論文。

表 1.1 近年來在 IEEE 上發表的相關論文

(* = simulation results、RBW = Resolution Bandwidth)

	Process	Modulation type	Clock frequency	EMI reductions	Jitter:peak-peak PLL / SSCG	Power VDD
[4] ISSCC2005	0.18um	Multiphase	1.5GHz	9.8dB (RBW=100K)	41.008ps 58.311ps	N/A
[5] ISCAS2005	0.18um	Divider	1.5GHz	23.44dB (RBW=10K)	80ps N/A	55mW 1.8V
[6] ISSCC2005	0.15um	Divider	1.5GHz	20.3dB (RBW=1K)	N/A N/A	54mW 1.5V
[7] CICC2006	90nm	Multiphase	3GHz (LC-VCO)	9.78dB (RBW=100K)	21.1ps 23.8ps	44mW 1V
[8] TCAS II 2007	0.18um	Multiphase	1.5GHz	14.77dB (RBW=100K)	N/A 34.2ps	34.2mW 1.8V
[9] ASSCC2007	0.13um	Divider	1.5GHz	12.6dB (RBW=100K)	N/A N/A	14.4mW 1.2V
[10] CICC2007	0.13um	Divider	1.5GHz	10dB (RBW=100K)	N/A N/A	30mW N/A

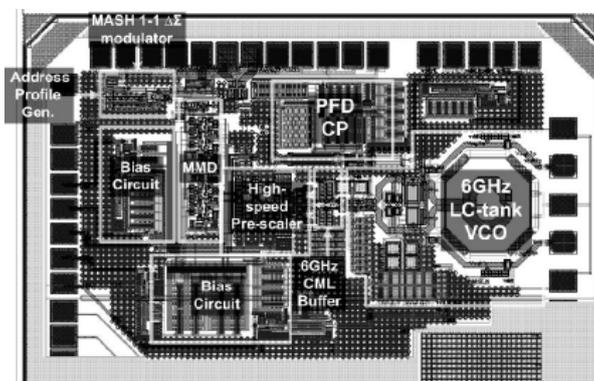
[11] CICC2007	0.18um	VCO & Divider	1.5GHz	19.63dB (RBW=10K)	30ps 35ps	27mW N/A
[12] CICC2008	0.13um	Divider	3GHz	14.5dB (RBW=100K)	N/A N/A	14.7mW 1.2V
[13] CICC2008	0.18um	Divider	1.5GHz	14.2dB (RBW=100K)	27.88ps N/A	40mW 1.8V
*[14] DDECS2008	0.13um	Divider	6GHz (LC-VCO)	15dB	8ps N/A	48mW 1.2V
*[15] SOC2008	0.18um	Divider	6GHz (LC-VCO)	17.3dB	N/A N/A	106mW 1.8V
[16] ESSCIR2008	0.15um	Divider	1.5GHz	10dB (RBW=100K)	N/A N/A	29mW 1.5V
[17] TEMC2009	0.18um	VCO & Divider	1.5GHz	10.14dB (RBW=100K)	30ps 35ps	15.3mW N/A
*[18] ASICON2009	90nm	Multiphase	6GHz (1.2GHz×5)	19.24dB	N/A N/A	N/A N/A
[19] ESSCIRC2009	0.13um	Divider	1.5GHz	10dB (RBW=100K)	N/A N/A	18mW N/A
[20] ASPDAC2009	0.15um	Divider	1.5GHz	10dB (RBW=100K)	N/A N/A	29mW 1.5V
[21] JSSC2009	0.18um	Divider	1.5GHz	10.48dB (RBW=100K)	28.4ps N/A	15mW 1.8V
[22] TCAS I 2010	0.13um	Divider	3GHz	14.5dB (RBW=100K)	N/A N/A	14.7mW 1.2V

從表 1.1 之中可以很輕易的看出兩個現象，首先使用除頻器調變的設計占多數，這是因為這種全數位式調變電路在對抗製程雜訊以及降低電磁干擾上有著較好的表現，再來是 3GHz 以上的設計(SATA-2.0 以上規格)，使用電感電容式共振槽(Inductor-Capacitance tank, LC tank)的振盪器為主流。這也是因為傳統上對於高頻時脈的需求，較穩定的 LC-VCO 架構通常都是首選。

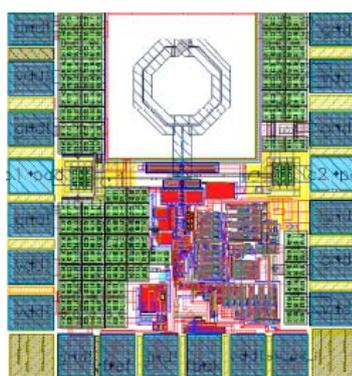
這些列表上的設計作品，雖然展頻的方法以及電路架構上各不相同，但是在運用的介面規格確立之後，大抵上想追求的目標是一致的，除了基本的降低功率消耗、減少晶片面積以外，再來便是有效降低電磁干擾、以及減少時脈的抖動，這當中除了盡量降低 PLL 本身產生的時脈抖動外，也包括了因為展頻過程中頻率不斷的變換所帶來的抖動增加。在開始進入本論文設計之前，先從表 1.1 中，找尋能達到 SATA-3.0 規格的設計，也就是展頻時脈能操作 6Gb/s 傳輸量的 SSCG[14][15][18]，這些電路雖然在展頻技巧上有各自的巧妙，但是卻從設計上發現了一個很重要的思維。

以時脈產生器來說，最重要的電路就是 VCO，而要滿足 6Gb/s 傳輸量，可以使用 LC-VCO 直接產生一個 6GHz 的高速穩定時脈[14][15]；又或者利用環型振盪器(Ring-VCO)提供多個同頻率但不同相位的時脈，以相位選擇器的方式來取樣數據。[18]便是利用了五個工作在 1.2GHz 的不同相位時脈來傳輸。這兩種做法其實各有優缺點，以 LC-VCO 來說，電感非常適合運用在產生高頻時脈的架構上，因為它具有穩定且低雜訊的好處，也就是時脈的抖動比較小，但另一方面來看，電感除了要耗費非常大面積外，也是個需要非常精準製程特性的元件，因此很難配合製程改變而調整。而採用多相位選擇 Ring-VCO，好處在於整體架構並不需要操做在最高速的 6GHz，對於功率的消耗可以減少許多，且跟電感相比，Ring-VCO 很容易在各種 CMOS 標準製程上做轉移，但這種方式需要額外增加 Phase Interpolator 以及 Multiphase Selector 等控制電路，且需要的相位越多，表示

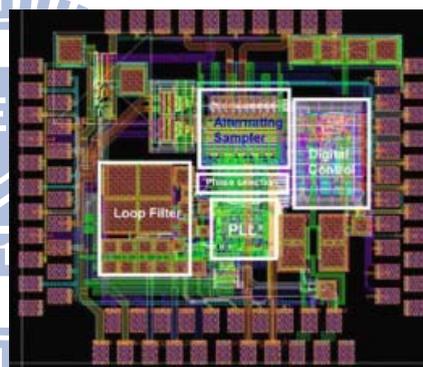
VCO 需要串接更多級，在實做上會增加困難度以及面積使用。從圖 1.3 的圖形來說，可看出[14][15]電感部分佔了很大的面積，而[18]額外負擔的控制電路也是相當龐大複雜。



(a) [14]的 Chip layout



(b) [15]的 Chip layout



(c) [18]的 Chip layout

圖 1.3 表 1.1 中符合 SATA-3.0 規格的 Chip layout

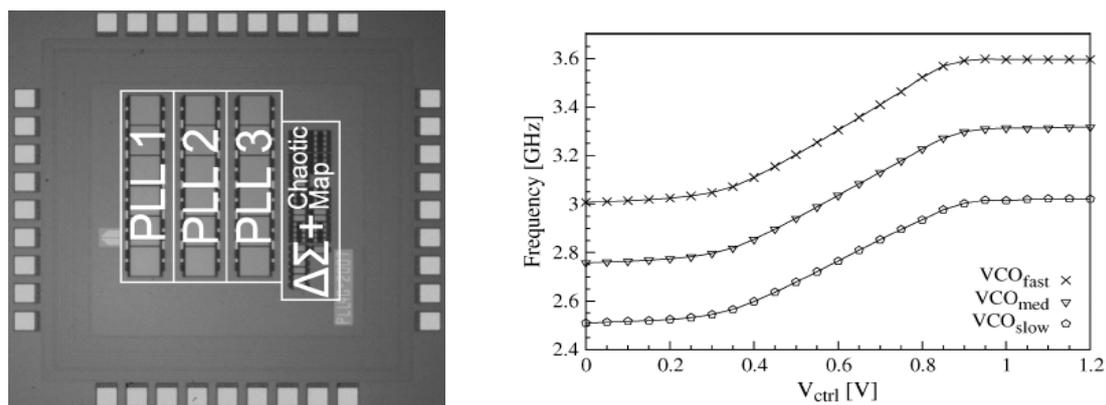
由上述分析可以規劃出若是使用這兩種架構來實現 SSCG 分別會面臨到的考量。採用 LC-VCO，可以得到一個穩定且抖動很小的 6GHz 時脈，在電路設計的複雜度上也會單純許多，但是缺點就在於電感需要耗費相當大的面積，且設計需要非常精準製程特性，一旦面臨到製程轉換便等於是重新設計電路；而多相位選擇 Ring-VCO 可以有效的降低整體功率，但是需要額外負擔的電路會讓設計的困難度提高很多，且效能未必會比較好。討論至此，一個新的疑問出現了，那就是從表 1.1 中找不到一篇用 Ring-VCO 直接產生 6GHz 時脈的 SSCG。

1.3 Ring-VCO 直接產生 6GHz 時脈的 SSCG 設計分析

在 1.2.4 小節的論述分析了目前 SSCG 運用在 SATA-3.0 介面上現有架構所遇到的問題所在，也發現了並沒有人用 Ring-VCO 直接產生 6GHz 時脈的 SSCG 架構，這是因為 Ring-VCO 在面臨產生固定時脈的運用上有兩個很難克服的挑戰。

第一個困難點就是它沒有辦法像 LC-VCO 一樣很輕易的產生高頻時脈，這是因為傳統 Ring-VCO 的振盪頻率有著 $f \propto \frac{1}{N \cdot \tau}$ 的關係式，其中 N 表示延遲單元(delay-cell)的級數， τ 則為單一級延遲單元的延遲時間，而一般來說 delay-cell 要由 PMOS 與 NMOS 共同組成，但是因為 PMOS 的反應時間會比 NMOS 慢上很多，所以會增加整體的延遲時間，讓 Ring-VCO 的振盪頻率受到限制，所以在表 1.1 裡面，只有[12][22](這兩篇為相同作者與設計)這一篇能夠用 Ring-VCO 達到 3GHz 的時脈，其它 3GHz 以上的設計皆採用 LC-VCO，這是因為在高頻設計上 LC-VCO 會比 Ring-VCO 容易達到頻率規格。

第二個困難點在於 Ring-VCO 非常容易受到製程變異(Corner Variation)的影響而改變而原先設定好的頻率，這是因為 Ring-VCO 的振盪頻率跟電流有絕對的關係，當製程變異落在 FF(Fast-Fast)的時候，因為半導體的參雜濃度比較高，讓整體流過的電流上升，因此延遲時間也會縮減讓頻率加快，同樣的當落在 SS(Slow-Slow)時，也會因為參雜濃度下降導致頻率降低，可以從圖 1.4，也就是 [22]的頻率對控制電壓的變化特性觀察到 Corner Variation 對 Ring-VCO 的影響。原先設定好要讓 VCO 產生 3GHz 的時脈，卻因為製程變異的關係，有可能讓 FF 最低頻也超過 3GHz，SS 最高頻也低於 3GHz。相比之下因為 LC-VCO 振盪頻率跟 L 的感值有關，這並不容易因為 Corner Variation 而改變，也因此對於運用在 SATA 介面的 SSCG 這種需要產生穩定又微小變化時脈的要求是比較受歡迎的。



(a) Chip die photo

(b) 頻率對控制電壓的變化特性

圖 1.4 [22]的 Chip die photo 以及頻率對控制電壓的變化特性

當然，每一種架構的選擇都有它的優缺點，在討論過 Ring-VCO 直接產生 6GHz 時脈的困難點後，如果真能夠完成這樣的設計，則它將會有什麼好處？從表 1.2 來看，首先功率消耗上不會比用 LC-VCO 來的差，面積使用因為沒有電感以及相位控制電路，理論上會是最小的，而在時脈抖動上也會跟多相位 Ring-VCO 相同，至於電路複雜性跟 LC-VCO 一樣都是直觀簡單的設計，在製程轉移性上也會因為少了控制電路而比多相位 Ring-VCO 來的更有利。經過這些分析之後，若是能夠解決用 Ring-VCO 直接產生 6GHz 時脈的 SSCG 所面臨的挑戰，這種架構所帶來的好處絕對是值得去嘗試的，也因為如此產生本論文的研究動機。

表 1.2 三種不同 VCO 類型的 SSCG 比較表

	LC-VCO 直接產生 6GHz 時脈取樣	多相位 Ring-VCO 以低頻時脈取樣	Ring-VCO 直接產生 6GHz 時脈取樣
功率消耗	--	低	--
面積使用	大	--	小
時脈抖動	小	--	--
電路複雜性	簡單	困難	簡單
製程轉移性	困難	--	方便

1.4 研究動機

經過 1.3 節的分析之後，訂出了本論文的目标是實現出一個可運用在 SATA-3.0 的 SSCG，且是以 Ring-VCO 直接產生 6GHz 時脈取樣的方式，而主要設計面對的挑戰且必須解決的有以下兩點。

- 如何提升 Ring-VCO 中心時脈頻率到 6GHz (High Operation Frequency)
- 如何對抗製程變易帶來的頻率漂移(Corner Variation)

如果能夠處理好這兩個 VCO 電路的關鍵，那麼本論文所設計的 SSCG，除了可運用在 SATA-3.0 的介面上，還能夠具有低面積、架構簡單有效、且容易轉換製程實現等等的優點。

而除了上面兩個挑戰以外，運用在 SATA-3.0 的 SSCG 在降低電磁干擾、時脈抖動範圍這些效能上評比已經根據[1]而制定了標準範圍，其詳細規格如下：

- 數據傳輸量: 6.0Gb/s(以 6GHz 的時脈做取樣)
- 展頻率(Spread Spectrum Ratio) : 5000ppm(0.5%)
- 調變頻率(Modulation Frequency) : 30KHz~33KHz
- 降低電磁干擾量(EMI Reduction) : >7dB
- Random jitter(rms)@250 cycles : <12ps

在達到這些規格的同時，本論文希望還能夠具有全積體化(Fully Integrated)的特色。這一項雖然在表 1.1 中沒有將其列出比較，但其實這是近年來相當重要的一種設計要求。因為 PLL 內的迴路濾波器常常需要大的電容，加上展頻調變電路的控制信號必須相當精準，因此許多設計在以往為了節省面積或者是控制信號的準確性，而選擇將部份元件做在晶片外部(Off Chip)，但是隨著 System on Chip (SoC)技術的提升，以及電子產品輕薄短小的銷售概念下，Fully Integrated 便成了一种設計趨勢。

至於展頻調變電路的部份，本論文將會採用 1.2.3 節所介紹的 $\Delta\Sigma$ -modulator 架構，這是因為對 VCO 控制電壓調變的方法，在高頻時脈上顯得不夠精細，而多相位時脈調變在 Ring-VCO 直接產生 6GHz 的架構上也不再需要，因此便選擇了全數位式的 $\Delta\Sigma$ -modulator 調變電路，在對抗雜訊以及製程變異上有非常顯著的效果，其降低電磁干擾的優秀表現 (EMI Reduction)，在解決 6GHz 高速時脈所帶來的 EMI 問題裡是非常有效的。同時這種數位調變電路搭配上 Ring-VCO，可以讓整個 SSCG 都能夠實現在任何標準的 CMOS 製程，這是一個非常重要的優勢，因為完整的 SATA 傳輸介面除了展頻電路以外，還包括了時脈資料回復電路 (Clock and Data Recovery, CDR)、資料接受端 (RX-Receive)、資料傳輸端 (TX-Transmit)，因此一個展頻電路若是能夠配合其它電路的製程需求而輕易的轉移製程，那麼對於實現完整的 SATA 傳輸介面可以提供很好的製程相容性。

總結來說，本論文將會在 TSMC-0.18 μ m 1P6M CMOS 製程下做設計，目標是完成一個可運用在 SATA-3.0 的 SSCG，將採取用 Ring-VCO 直接產生 6GHz 時脈搭配 $\Delta\Sigma$ -modulator 的展頻調變電路，期許完成的電路具有小面積、架構簡單、全積體化、能夠實現在任何標準的 CMOS 製程等等特色。

1.5 整體論文組織架構

本論文分為五章，第一章為序論，介紹運用在 SATA-3.0 介面上的展頻電路其功能與基本理論，再來說明目前常見的展頻技巧以及各種相關研究的發展現況，並在其中找出本論文的研究動機以及設計挑戰。第二章則針對設計挑戰作架構上的選擇分析，並以實際的電路模擬證明可行性。第三章為整體電路實現以及模擬結果，第四章為晶片實作後的量測考量以及量測結果，最後在第五章會對本論文的研究結果做結論。

第二章

設計挑戰與架構選擇分析

本章共分六個小節，首先 2.1 節會訂出目標 SSCG 整體的初步架構，再來 2.2 節將會針對 Ring-VCO 如何提升中心時脈頻率到 6GHz，以及如何對抗製程變易帶來的頻率漂移這兩項設計重點去做分析。2.3 節會介紹如何利用 $\Delta\Sigma$ -modulator 來完成除小數架構以達到降低電磁干擾的效果。2.4 節會說明展頻控制信號如何以電路的方式產生。至於其它部份的電路架構，由於具有一定的普遍性且並非本論文的重點，故會在 2.5 節直接以引用出處的方式呈現。最後 2.6 節為本章的設計結果總結。

2.1 規劃設計目標 SSCG 整體架構簡介

根據第一章序論的討論，可以初步將電路整體架構如圖 2.1 的規劃表示出來。在這張架構圖裡可以看到上半部的部份就是一個 PLL 的電路，再搭配下半部實現展頻功能的調變電路以及控制信號，因為本論文的目標為在 TSMC-0.18um 1P6M CMOS 製程下，完成一個可運用在 SATA-3.0 的 SSCG，且採取用 Ring-VCO 直接產生 6GHz 時脈，再搭配 $\Delta\Sigma$ -modulator 的調變電路改變除頻器的除率來完成展頻功能。同時也希望最後整體的電路是全積體化的形式，故將用來控制 $\Delta\Sigma$ -modulator 的展頻控制信號(Control Signal)也以內部電路的實現一起做在晶片裡。

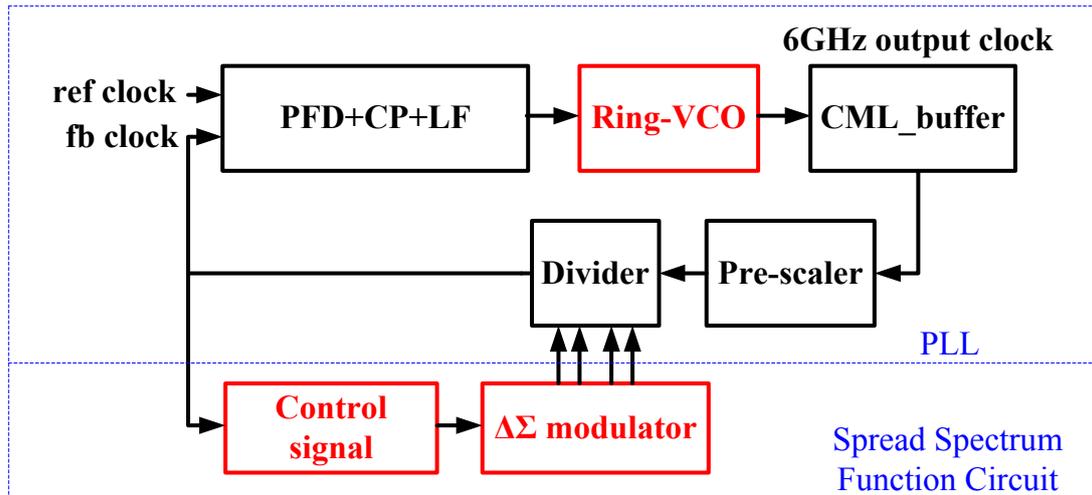


圖 2.1 初步規劃的目標 SSCG 整體架構

2.2 運用在本論文內的 Ring-VCO 電路挑戰與設計分析

之前在 1.3 節分析了以 Ring-VCO 在產生固定高頻時脈的設計上會遭遇的兩個主要問題，分別是如何提升中心頻率，以及 MOS 元件特性受製程變異導致的頻率偏移，以下便開始討論在面對這些困難時的設計方法。

2.2.1 Ring-VCO 如何提升中心時脈頻率到 6GHz

首先要滿足 SATA-3.0 的規格要求，就表示 Ring-VCO 在 TSMC-0.18um 1P6M 這個製程下，中心頻率要能夠達到 6GHz，但是從序論的介紹中已經說明了 Ring-VCO 的振盪頻率有著 $f \propto \frac{1}{N \cdot \tau}$ 的關係式，而延遲單元的延遲時間 τ 往往會取決於 PMOS 的切換時間不夠快速而讓頻率上不去，當然從公式上分析，減少延遲單元的級數 N 也是個增加頻率的方法，不過根據 Barkhausen 振盪準則，電路要能起振， N 至少要兩級以上，且現實設計上往往會因為多相位的需求或者是架構穩定性這些的外部規格考量而增加 N 值。在這次的設計裡並沒有相位上的

特殊需求，不過若是以 $N=2$ 級的架構去實現，其振盪產生的時脈效果不會比架構更穩定的 $N=3$ 級來的好，因此最後在穩定性以及頻率要求中，選取了串接 3 級延遲單元，因此當 N 值確定後，要能提高頻率的方法就是縮減 τ 。

而確定了提升頻率的主要關鍵後，針對以往有對這個議題做研究的各種 IEEE 論文去做分析，並且發現在[23]這篇研究中提出了一項很有效率的方法，它提出縮減 τ 的觀念叫做「負延遲之延遲單元」(Negative Skewed Delay Cell)，基本的理論可以用圖 2.2 的電路來說明。

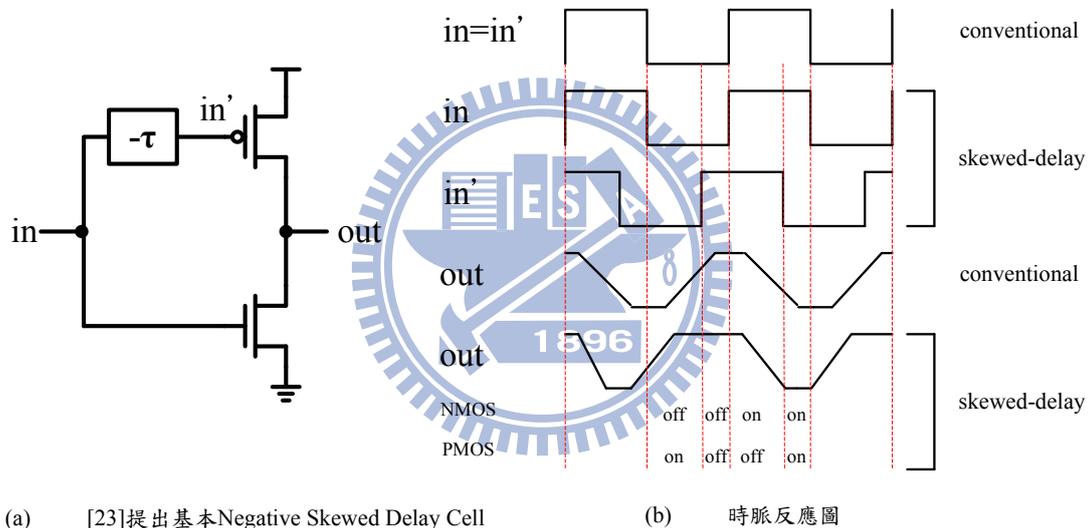


圖 2.2 用負延遲之延遲單元縮減 τ 的基本理論

一般的 delay-cell 例如一個反相器，由於 PMOS 的速度較慢，比較 conventional 信號的 in 端以及 out 端，就可以看到需要一段較長的反應時間讓 PMOS 導通或關閉，而 negative skewed delay cell 的想法是利用一個負延遲的效果使輸入訊號 in 變成 in'，這表示到達 PMOS 的輸入信號 in' 會比 NMOS 的輸入信號 in 快，當輸入點 in 要由 high 變 low 的時候，in' 已經提前變成 low 信號送給 PMOS 讓它反應知道現在要 turn on，等到 in 信號也送給 NMOS 的時候，PMOS 已經花了一段時間反應，因此等於可以馬上跟上 NMOS 的變化；同理的當輸入點 in 要由 low

變 high 的時候，in' 已經提前變成 high 信號送給 PMOS 讓它反應知道現在要 turn off。雖然 PMOS 要花的反應時間還是一樣那麼多，但是因為控制信號 in' 的提前輸入，讓 PMOS 能夠在下一階段轉換之前就先反應，讓它能夠在 NMOS 動作時馬上對應，整體來說就等於縮減了延遲時間 τ 進而提高速度，使這樣的振盪器其最高振盪頻率會比傳統的架構高。更進一步的，在[24]這篇研究中，以同樣的觀念實現了一個 Ring-VCO，架構如圖 2.3 所示。

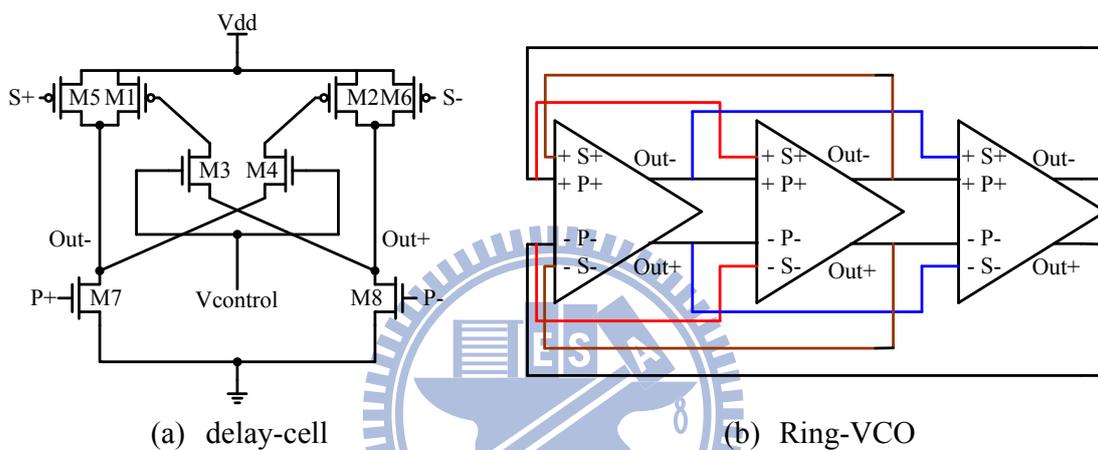


圖 2.3 [24]所採用的 VCO 架構

這是一個採用負延遲技術的雙延遲路徑 Ring-VCO。(a)的電路為[24]所採用的單一級延遲單元，可以看到 PMOS 端的輸入為 S、NMOS 端的輸入為 P，並將三級延遲單元串接成(b)的 VCO 架構。在(b)的電路圖中可以觀察到，每一級的 NMOS 的輸入 P 端都是接到前一級的輸出，但是在 PMOS 的輸入 S 端卻是接到前兩級的輸出，對 Ring-VCO 每一級的輸出時脈而言，其實頻率都是一樣的，只有在相位上有差異，[24]就是利用了這樣的差異，讓相位比較提前的時脈當做控制信號送給 PMOS，實現了負延遲的觀念讓振盪頻率提升。

因為[24]利用這樣的方法所獲得的提升頻率結果是相當好的，所以本次設計中也將引用這樣的架構來完成 Ring-VCO。因此以下便對這樣的架構做了分析。

首先 PMOS 對 M1、M2 形成一個 CMOS latch，而 M3、M4 的 NMOS 交互耦合對這個 latch 的開級電壓做控制，當控制電壓 $V_{control}$ 降低時，latch 的力量也降低，使得 PMOS 輸出的驅動電流增加，導致相位變化更容易，延遲時間縮減，使得振盪頻率上升；反之 $V_{control}$ 上升時，latch 的力量增加，相位變化更困難，頻率自然就會降低，而振盪頻率的式 2.1 可由圖 2.4 的 delay-cell 小電路模型推導。

$$f \propto \frac{1}{N\lambda}$$

$$f \uparrow \text{ with } gm_7 \uparrow \text{ or } gm_5 \uparrow$$

$$f \downarrow \text{ with } gm_2 \uparrow$$

⇒ superposition rule

$$s_n^+ = p_n^- e^{j240^\circ} \quad s^+ = s^- e^{j180^\circ} \quad p^+ = p^- e^{j180^\circ}$$

$$\frac{v_0}{v_{p^+}} = \frac{gm_7}{(G_L - gm_2) + SC_L}, \quad \frac{v_0}{v_{s^+}} = \frac{gm_5}{(G_L - gm_2) + SC_L}$$

$$s^+ = p^- \times e^{j240^\circ} = p^+ \times e^{j240^\circ + 180^\circ} = p^+ e^{j60^\circ} \quad (\text{式 2.1})$$

$$\Rightarrow A(s) = \frac{v_0}{v_{in}} = \frac{gm_7 + \frac{1}{2} gm_5 + \frac{j\sqrt{3} gm_5}{2}}{(G_L - gm_2) + SC_L}$$

$$\Rightarrow H(j\omega) = \frac{\left(\frac{gm_7 + \frac{1}{2} gm_5 + \frac{j\sqrt{3} gm_5}{2}}{G_L - gm_2} \right)^3}{\left(1 + \frac{SC_L}{G_L - gm_2} \right)^3}$$

$$\Rightarrow \text{barkhausen rule } |H(\omega)| = 1$$

$$\Rightarrow f_{osc} = \frac{1}{2\pi} \sqrt{\frac{gm_7^2 + gm_7 \cdot gm_5 + gm_5^2 - (G_L - gm_2)^2}{C_L^2}}$$

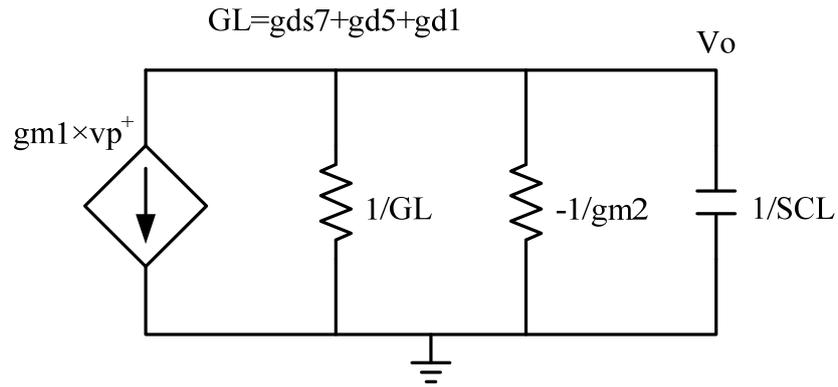


圖 2.4 本論文採用的 delay-cell 小電路模型

最後這個 VCO 電路設計在 TSMC-0.18um 1P6M CMOS 製程下所獲得的 post-sim 模擬結果(layout 請參考圖 3.12)，圖 2.5 為本論文 Ring-VCO 在 Typical-Typical(TT)下的頻率對電壓特性曲線。它的曲線斜率值(Kvco)約為 1GHz/V，表示說當控制電壓有一伏特的變化時，對應的頻率變化約為 1GHz。同時也證明了它能符合一開始設計的目標，產生如圖 2.6 的 6GHz 時脈。

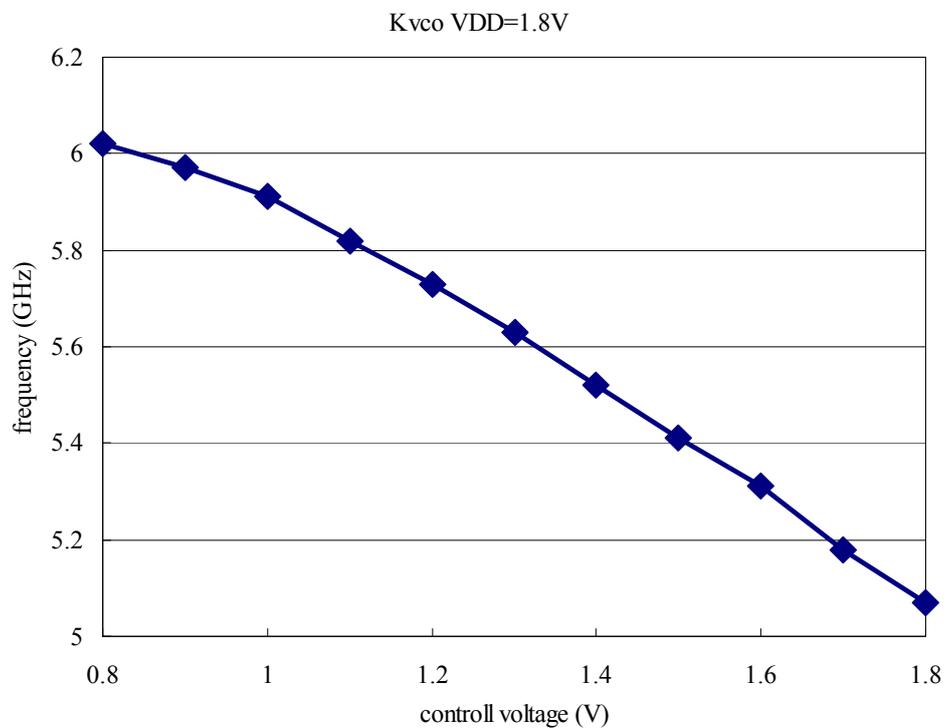


圖 2.5 本論文 Ring-VCO 的頻率對電壓特性曲線

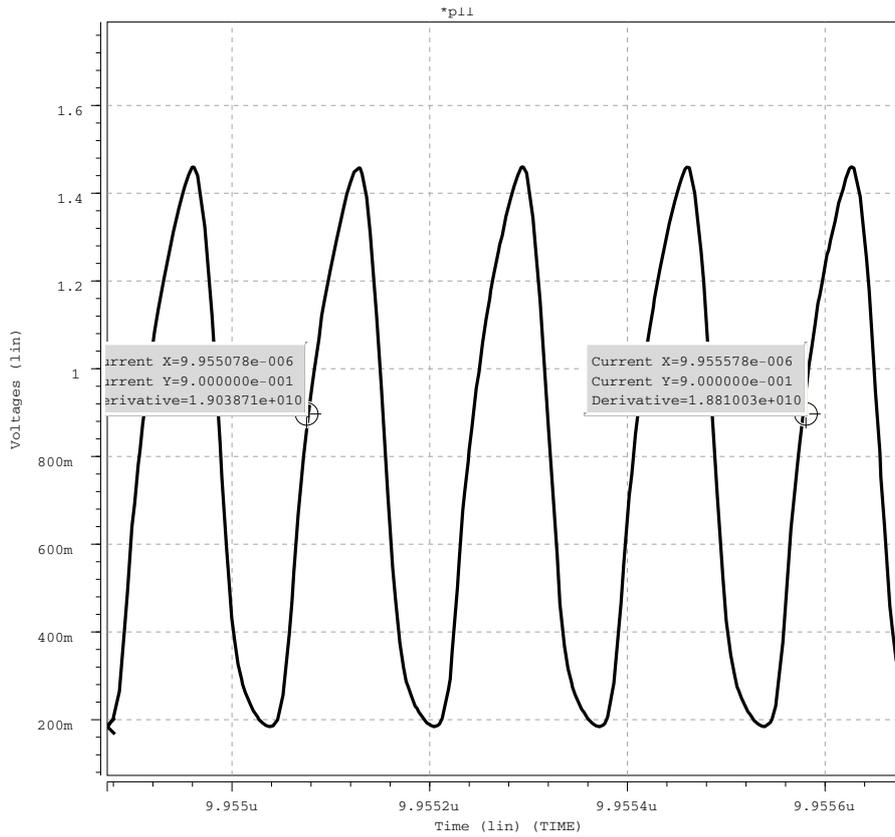


圖 2.6 本論文 Ring-VCO 產生的 6GHz 時脈

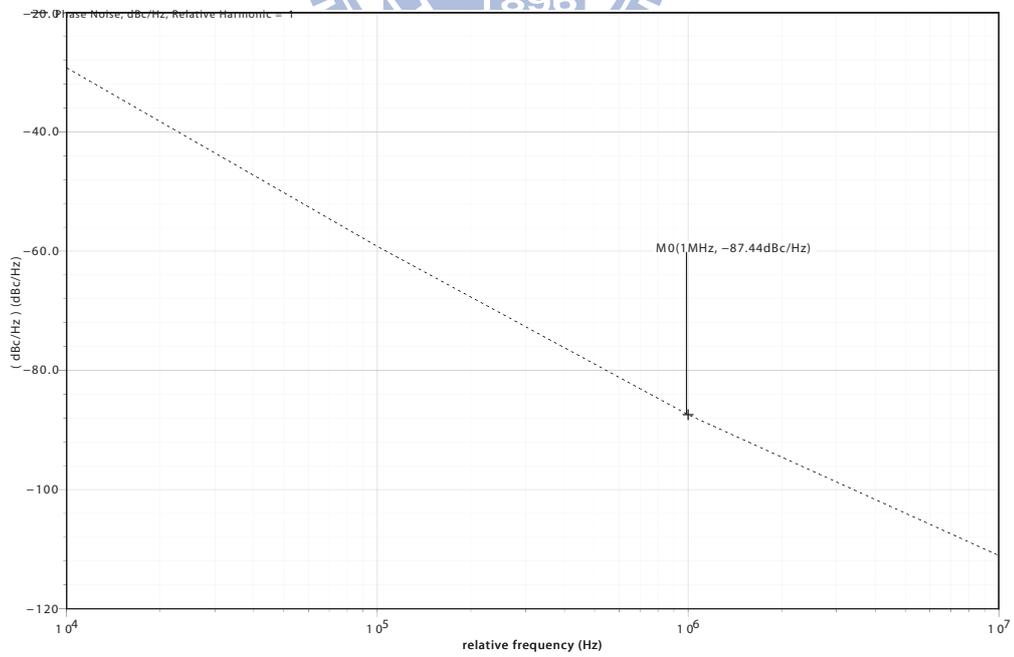


圖 2.7 本論文 Ring-VCO 的 phase noise 模擬結果

而根據[25]理論式 2.2，本論文 Ring-VCO 其距離中心 1MHz offset 的理想 phase noise 為-95.6dBc/Hz，而圖 2.7 是實際用 Spectre-RF 模擬出來的結果，值約為-87.44dBc/Hz。討論至此，本論文已經解決了如何提升 Ring-VCO 中心時脈頻率到 6GHz 的設計挑戰，而下一步，也就是如何對抗製程變異帶來的頻率漂移。

$$L\{f_{off}\} = 10 \cdot \log \left\{ 4 \cdot \frac{\Gamma_{rms}^2}{8\pi^2 f_{off}^2} \cdot \frac{\overline{i_n^2} / \Delta f}{C^2 L V_{pp}^2} \right\} = -95.6 \text{ (dBc / Hz) at 1MHz offset} \quad (\text{式 2.2})$$

2.2.2 如何對抗製程變異帶來的頻率漂移

在第一章序論裡，介紹了[22]因為使用 Ring-VCO，其頻率對控制電壓的變化特性會受到 Corner Variation 的影響，有可能讓 FF 最低頻也超過 3GHz，SS 最高頻也低於 3GHz。不可避免的在本論文中也發生了這樣的情況。圖 2.8 是本次設計 Ring-VCO 在不同 Corner 下頻率對電壓特性曲線，可以看到在 FF、SS 的時候 VCO 會無法達到產生 6GHz 時脈的要求。

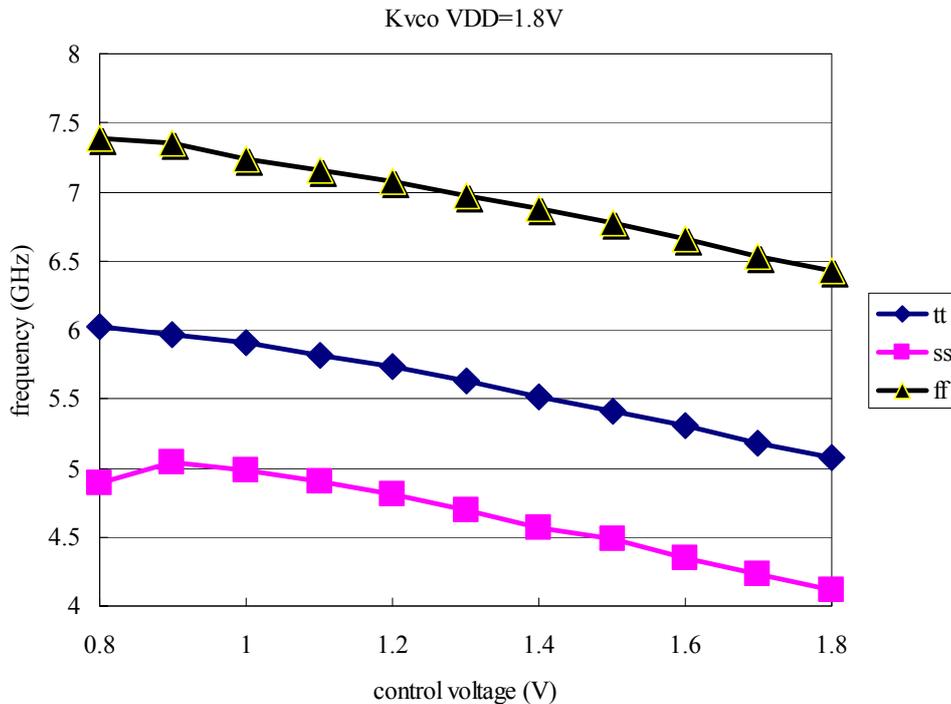


圖 2.8 本論文 Ring-VCO 在不同 Corner 下頻率對電壓特性曲線

其實這是設計 Ring-VCO 無法避免的問題，因為製程一定會有偏移，傳統解決辦法會如圖 2.9 一般，加大頻率對電壓特性曲線斜率。靠產生頻率的範圍夠大，所以令它在每一種 Corner 下都能夠產生所需要的時脈。但這不見得是一種好的解決方法，如圖所見曲線斜率這麼大，只要有一點點的電壓抖動，就會讓頻率有巨幅的改變，所帶來的問題就是電路不穩定以及時脈抖動很高。同時因為要讓斜率增加，在功率的消耗上也會提升不少。

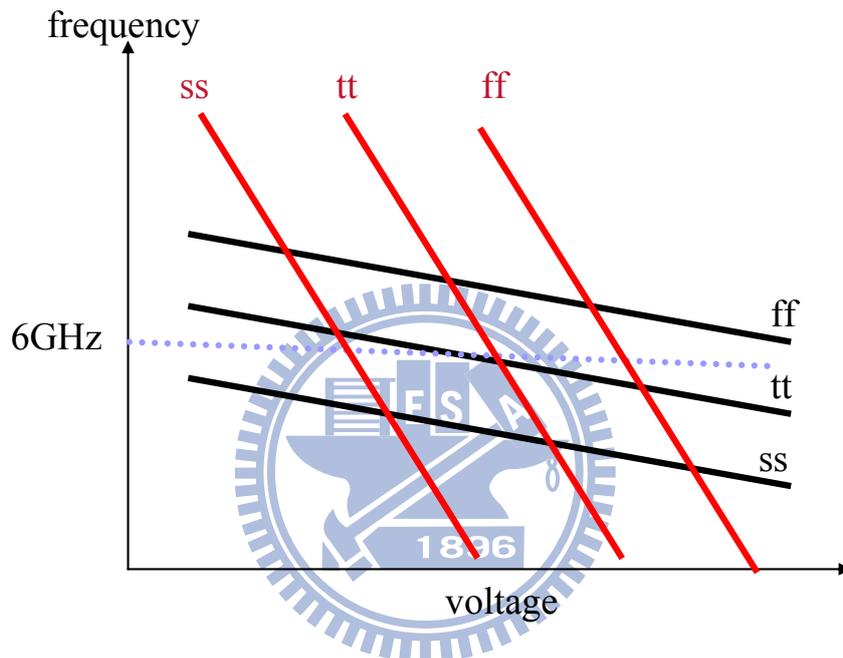


圖 2.9 加大頻率對電壓特性曲線斜率以滿足規格

事實上本論文有另外一種想法，因為根據[26]，也就是超大型積體電路(Very Large Scale Integrated, VLSI)設計理論來說，在開始進行設計電路之前，可以將電路須承受變易條件訂為三種：Supply Voltage、Operating Temperature、Process Variation，也就是所謂的 PVT 分析。其中 Process Variation 這一項其實是可以被人為控制的，因為當晶片能夠大量製造商品化的時候，是可以指定特定的製程生產線，令每一次的製程條件都設成一模一樣，這樣一來就可以令商品的 Process Variation 降到最小，而其中最重要的 Corner 變化，也就是本論文在意的參雜濃度不同導致頻率漂移，根據[26]的理論可以將其等效為表 2.1 的 PVT 分析。

表 2.1 PVT 環境變異的等效條件

Corner	Voltage	Temperature
F	1.98V(+10%)	0°C
T	1.8V(正常)	70°C
S	1.62V(-10%)	125°C

以目前常見的電源=1.8V 的設計為例，其實前面提到過，當 Corner 落在 FF 時，代表的是半導體參雜濃度過高而使得整體電流特性上升，換言之也可以將其等效為電源上升，或者是溫度下降讓電子的移動率(Mobility)增加使其更易傳導而提高電流；同樣的當 Corner 落在 SS 時，代表的是半導體參雜濃度過低而使得整體電流特性下降，也可以視為電源下降，或者是溫度上升讓電子的 Mobility 變小使其電流傳導困難而降低電流。透過這樣的分析就可以知道，其實晶片 Corner 改變是等同於外部環境電壓以及溫度這兩項變異。所以當晶片要實際量產之前，都會附上一份統計資料，裡面紀錄了電壓以及溫度各變異多少時，所帶來了晶片效能改變量，可以讓使用者根據不同環境下做調整讓晶片能正常工作。因此本論文所設計的 Ring-VCO 是採取了如圖 2.10 這樣的觀念。

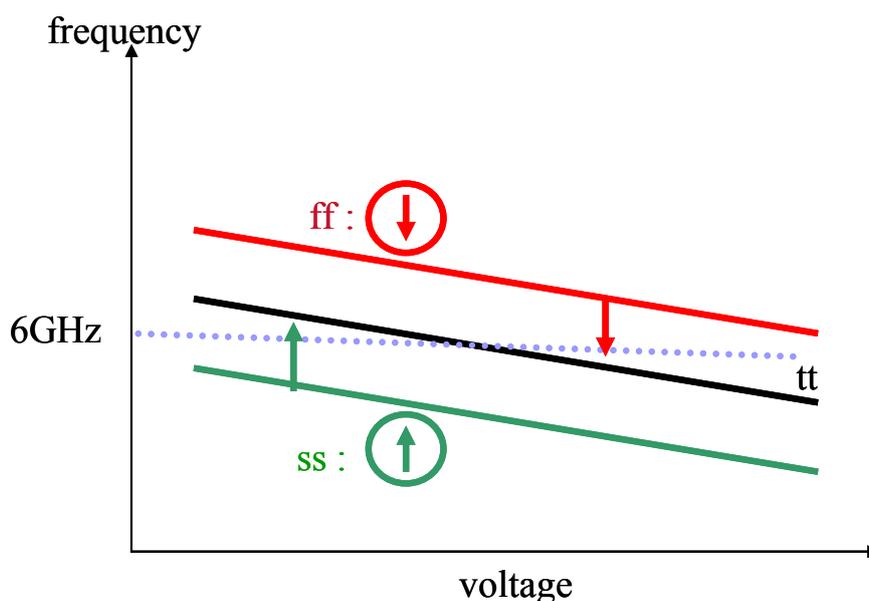


圖 2.10 以電壓方式改變電流讓曲線平移以滿足規格

因為 Corner Variation 對 Ring-VCO 來說其實就是 CMOS 電流的特性改變，在之前的分析中本論文將其等效於溫度以及電源的改變，而真實的晶片工作情況，溫度是無法被控制的，但是電源的供應卻是可以由操作者決定的。如果可以透過一個外部偏壓，在 FF 的時候降低 VCO 的電壓讓電流下降，或者是在 SS 的時候提高 VCO 的電壓讓電流上升，整體上來說就相當於增減電流讓曲線去作平移，這樣就不用加大特性曲線斜率犧牲掉電路的穩定以及時脈抖動品質。

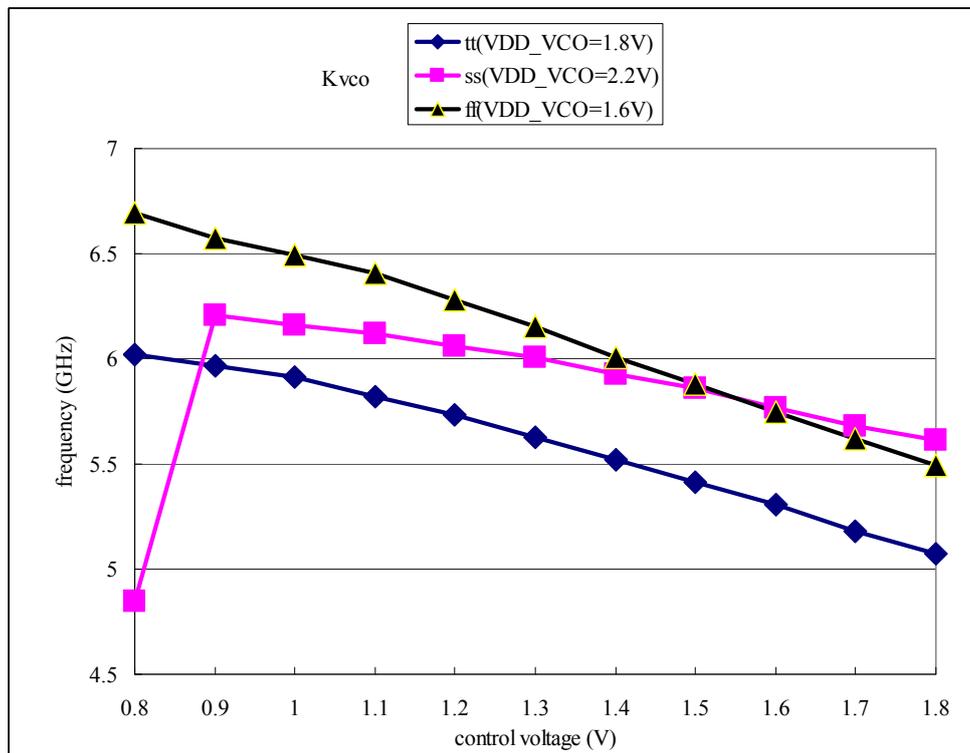


圖 2.11 VCO 在改變電源後控制電壓對振盪頻率關係圖

圖 2.11 的模擬便是在這樣的想法下所設計出來的結果，這樣的想法其實在實際操作上是可以被實現的，因為以本論文設計的 SATA-3.0 介面來說，其晶片實際操作環境是在主機板內，這表示一定有著溫度感測器(Temperature Sensor)以及直流對直流轉換器(DC to DC Converter)這兩種元件的存在，因此只要將 Ring-VCO 的電源獨立接到轉換器上，當溫度上升或下降到某一個特定程度讓 PLL 不再鎖定時，便可以透過溫度感測器判別現在 VCO 的操作溫度，再根據晶

片的統計資料來判別現在可能是落在哪一段工作頻段，便可以透過直流轉換器將電源轉至對應的電壓上，讓 PLL 重新進入鎖定提供時脈。這種作法在許多電路上已經是很成熟的技巧，因此本論文所設計的 Ring-VCO 也在這樣的觀點下，在不同的 Corner 下提供了不同的電源令其能正常工作。

同時在溫度的模擬結果上也呈現了跟 Corner 改變類似的結果，圖 2.12 是本論文的 Ring-VCO 在 TT 下改變各種溫度的模擬結果，可以由圖看到，當溫度為 0°C 的時候，電流特性變好因此整體曲線呈現平行上升的現象，而當溫度逐漸增加的時候，也可以觀測到曲線平移下降的現象，而最高溫 125°C 的結果，跟未改變電源時的 SS 的曲線是非常類似的。調整的幅度方面， 70°C 的曲線需要將電源調整為 2.0V ， 125°C 的曲線則是要調整成 2.2V ，都是主機板內能夠提供的偏壓。

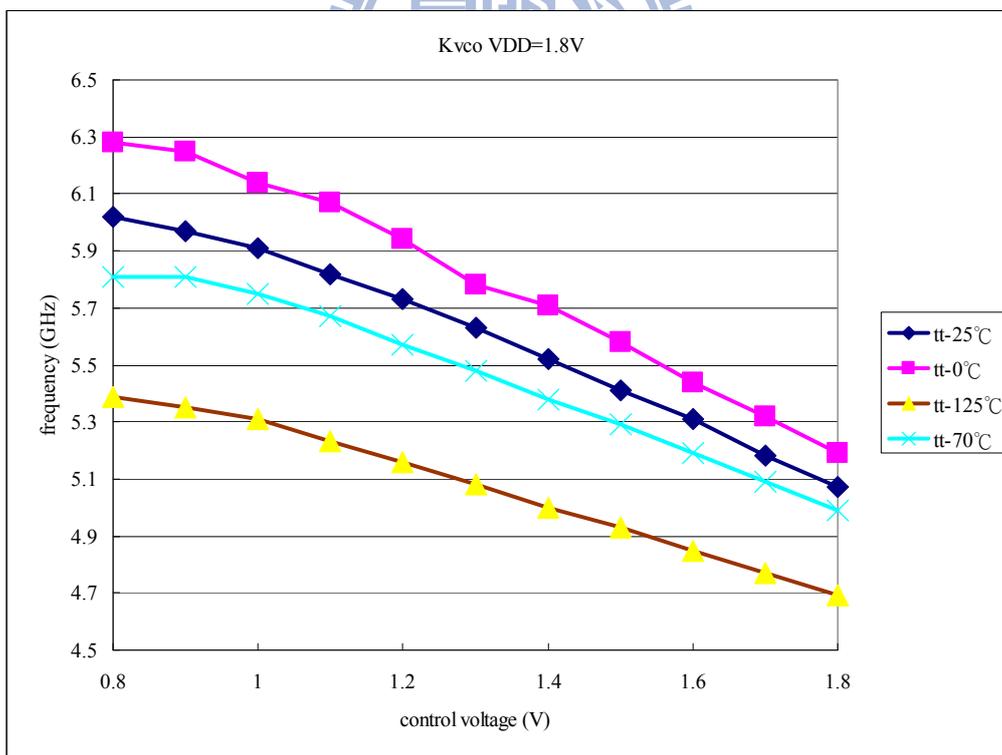


圖 2.12 本論文的 Ring-VCO 在 TT 下改變各種溫度的模擬結果

2.3 $\Delta\Sigma$ -modulator 架構選擇與分析

根據 SATA-3.0 的規格要求，展頻的範圍必須控制在 5000ppm，這意味著當開始展頻後，中心頻率要能從原本的 6GHz，調降至 5.97GHz(6GHz \times 99.5%)。從之前 1.4 節的分析中，本論文決定採取對除頻器調變架構，作法就是改變除頻器的除率，使其工作在 5.97GHz 的頻段。若以圖 2.1 的架構簡圖來說，VCO 產生的 6GHz 時脈會先經過一個前置除頻器(Pre-scaler)，先將頻率除二降為 3GHz，然後再送入一個可控制除率的 Divider，使其最後的回授時脈能跟輸入時脈同頻達到鎖相。以輸入的參考時脈為 25MHz 考量，那麼 Divider 的除率就要設定為 120(3GHz/120=25MHz)。若要將中心頻率降為 5.97GHz，則 Divider 的除率就要改為 119.4，換言之這必須是一個除小數的 Divider 架構。而在目前的除小數技術中，又以 $\Delta\Sigma$ -modulator 的數位式架構最受歡迎，以下將會討論如何設計一個在本次目標中完成除小數架構以達到降低 EMI 的 $\Delta\Sigma$ -modulator。

首先本論文需要的除頻器是需要有除小數功能，一般會透過“除率平均”的方式來完成，好比說目標是除 10.5，那麼除頻器就可以工作在除 10 跟除 11 之間平均切換達到效果。也就是說 $\Delta\Sigma$ -modulator 其實就是一種控制除頻器除率作平均變化的電路。可以圖 2.13 的電路來作說明。

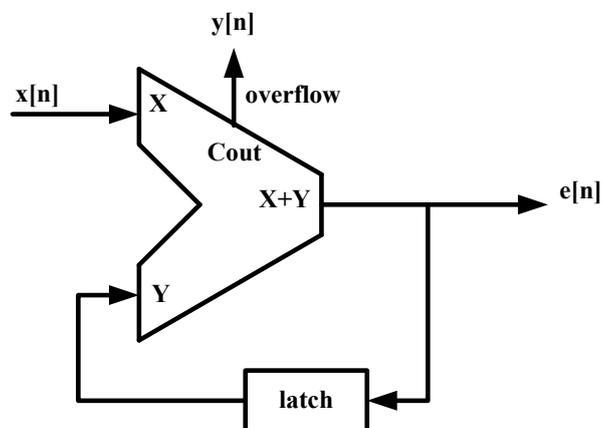


圖 2.13 一階數位相位累加器

這是一個數位相位累加器，進位與否會決定 overflow 輸出是 0 還是 1，利用這樣的變化搭配控制電路去改變 divider 的除率。以除 10.2 為例，將 divider 的除率先設定為 10、因為希望除的小數值為 0.2，則將 0.2 輸入累加器，前四個週期分別累加數值為 0.2、0.4、0.6、0.8，這四個週期的 overflow 輸出階為 0，因此除率為 10 不變；第五個週期累加值為 1，overflow 輸出為 1，則除率變為 11，透過五個週期平均就可以得到 10.2 的小數除率。而這樣的累加器電路，其實就是一個一階的 $\Delta\Sigma$ -modulator，看圖 2.14 的 Z 轉換分析就可以理解這兩者是一樣的。

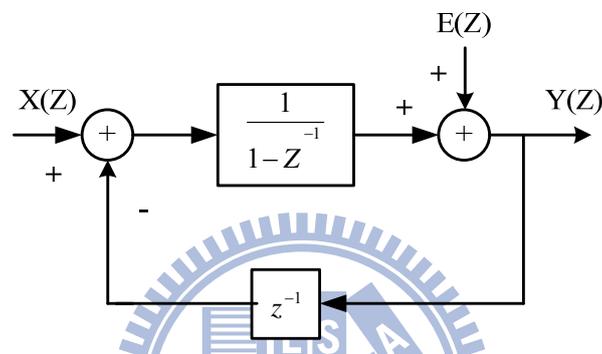


圖 2.14 一階數位相位累加器的 Z 轉換分析

所以透過數位累積器電路便可以實現 $\Delta\Sigma$ -modulator 的架構，當然輸入的訊號也不真的是 0.2 這樣的方式，而是要透過累加器的位元數而定。由於這邊是做降頻的考量，以 120 降 5000ppm 等於 119.4 來說，需要輸入的小數就是 0.6，令 $120 - 0.6$ 等於 119.4，所以對數位累加器的輸入而言，會有著 $0.6 \approx \frac{x}{2^k}$ 的關係，其中 K 為累加器的輸入位元數，X 為輸入的整數數位值，可做式 2.3 的推論。可以得知當 K 為 5 或 6 時，有最接近 0.6 小數的效果，在此選擇 K=5 來實現電路，這是因為 K=6 跟 K=5 的效果雖一樣，但 K=6 會增加電路的面積及功率。

$$\begin{aligned}
 k=1 &\Rightarrow x=1 \Rightarrow \frac{1}{2} = 0.5 & k=4 &\Rightarrow x=10 \Rightarrow \frac{10}{16} = 0.625 \\
 k=2 &\Rightarrow x=2 \Rightarrow \frac{2}{4} = 0.5 & k=5 &\Rightarrow x=19 \Rightarrow \frac{19}{32} = 0.59375 & \text{(式 2.3)} \\
 k=3 &\Rightarrow x=5 \Rightarrow \frac{5}{8} = 0.625 & k=6 &\Rightarrow x=38 \Rightarrow \frac{38}{64} = 0.59375
 \end{aligned}$$

當然在第一章序論也提到過，這種透過除率平均得到小數的方法一定會存在量化誤差，因為對累加器來說，輸出只是輸入的一種推測，藉由 0 或 1 的輸出平均去逼近，但其實瞬間除率是不會等於平均除率的，而這中間的產生的誤差便稱為量化誤差。以一階調變器來說，輸入 0.2，在前四個週期的量化誤差是 0.2、0.4、0.6、0.8 地規律增加，直到第五個週期才把量化誤差以輸出 1 的型式清空，但下五個週期又會重覆一次這樣的循環，這樣規律性的變化將會形成小數指狀突波 (fractional spurs)，這在射頻電路上是很嚴重的問題。因此如何快速的消除量化誤差就是需要去思考的。以二階的調變器 Z 轉換來說： $Y(z) = X(z) + E(z) \cdot (1 - z^{-1})^2$ ，把第一級的量化誤差 $E(z)$ 當成第二級的輸入，藉以累加第一級的 overflow 輸出，能將第一級的量化誤差消除；同理三階的調變器又將第二級的量化誤差當成輸入： $Y(z) = X(z) + E(z) \cdot (1 - z^{-1})^3$ ，也消除了第二級的誤差，對整體而言量化誤差經過了多級的消除，可以有效解決 fractional spurs 的問題。這也就是為什麼需要增加 $\Delta\Sigma$ -modulator 的階數。

再以圖 2.15 來解釋，如果今天用一階的 $\Delta\Sigma$ -modulator 來做 119.4 的除小數，overflow 只能做 0 跟 1 兩種切換，也就是說除頻器只能夠在 119 跟 120 兩種變化作平均，那麼 PLL 產生的時脈就會固定在這兩種頻率上，所以在頻譜上能量都集中在這兩個頻段上，用這樣的方式去算 EMI reduction 會得到比較差的結果，這代表原本的峰值功率跟展頻過後的最大功率相比，其實並沒有降低非常多。如果將 $\Delta\Sigma$ -modulator 的階數增加為二，則表示 overflow 可以輸出 -1~2 四種變化，除率也能夠在四種不同除數下做平均，讓能量能夠更平均的分布在四個頻段，當然三階就能夠有八種變化，階數越多。能量就能夠越平均的分布，相對的對於降低電磁干擾也就更有利。最理想的情況就是階數可以無限多階達到圖 2.16 所表示的圖型，能量完美的平均分布在展頻範圍內，讓峰值功率有最大的降低。

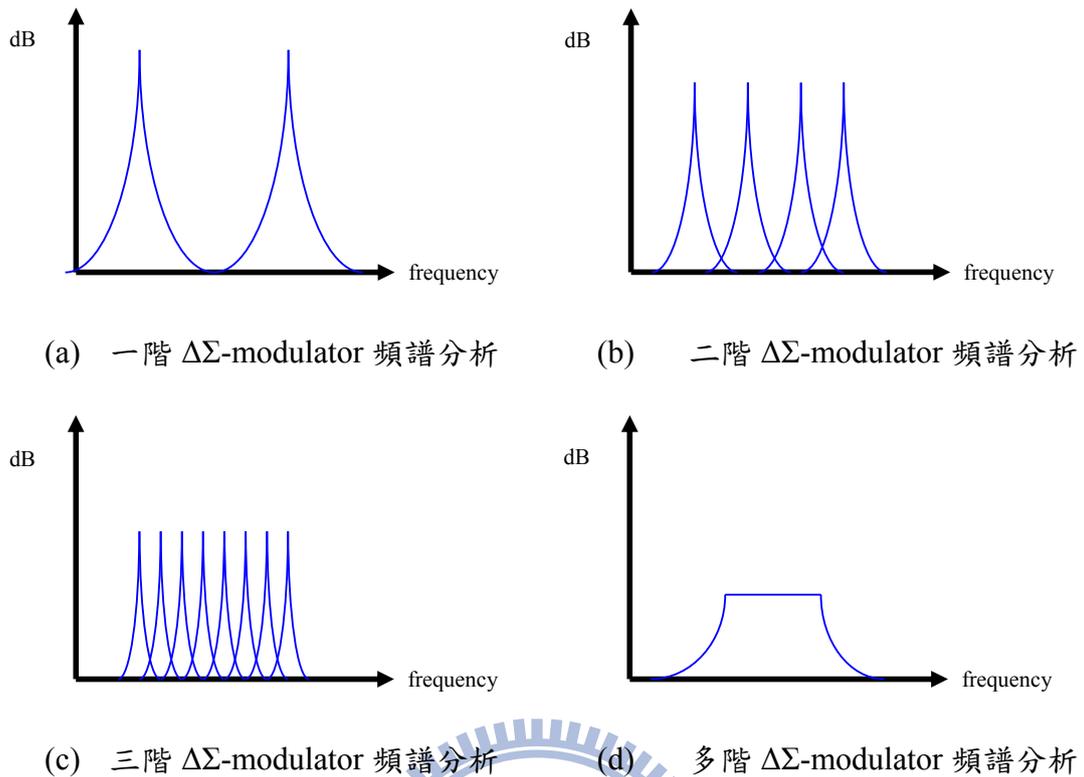


圖 2.15 不同階數的 $\Delta\Sigma$ -modulator 在頻譜分析

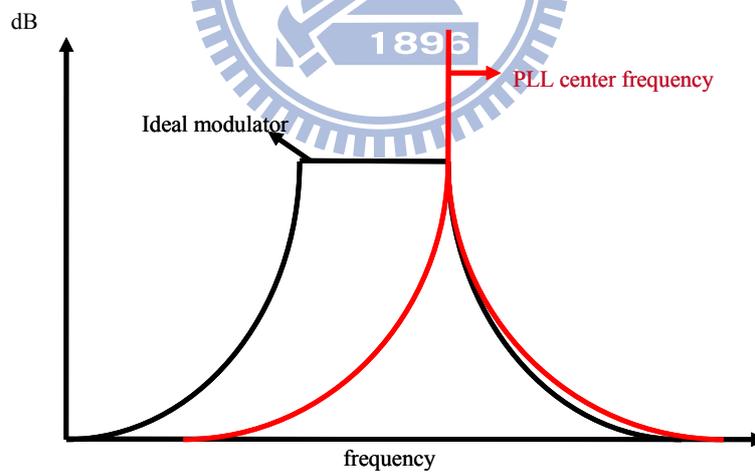


圖 2.16 理想的 $\Delta\Sigma$ -modulator 有最好的 EMI reduction

但事實上是不能做出一個無限多階的 $\Delta\Sigma$ -modulator，除了電路穩定度上的問題以外，面積的增加便是最大的設計限制。因此在 EMI reduction 以及 $\Delta\Sigma$ -modulator 的面積上就必須做取捨。表 2.2 是根據表 1.1 中同樣採取了 $\Delta\Sigma$ -modulator 的設計，但是卻是使用不同階數的 EMI reduction 比較表。

表 2.2 根據表 1.1 列出的論文中整理同樣使用 $\Delta\Sigma$ -modulator 的作品

	Modulation type	EMI reduction / RBW	Modulation profile	Order
[5]	Divider	23.44dB / 10K	Triangular	3
[6]	Divider	20.3dB / 1k	Triangular	3
[9]	Divider	12.6dB / 100K	Triangular	N/A
[10]	Divider	10dB / 100K	Triangular	N/A
[11]	VCO & Divider	19.63dB / 10K	Triangular	2
[12]	Divider	14.5dB / 100K	Chaotic PAM	1
[13]	Divider	14.2dB / 100K	Piecewise linear	3
*[14]	Divider	15dB	Triangular	2
*[15]	Divider	17.3dB	Triangular	2
[16]	Divider	10dB / 100K	Triangular	3
[17]	VCO & Divider	10.14dB / 100K	Triangular	2
[19]	Divider	10dB / 100K	Triangular	N/A
[20]	Divider	10dB / 100K	Triangular	3
[21]	Divider	10.48dB / 100K	Triangular	1
[22]	Divider	14.5dB / 100K	Chaotic PAM	1

可以從表 2.2 其中觀察到兩個現象，首先看到隨著階數的增加，確實在 EMI reduction 的表現上是更好的(相同作品在 RBW=100K 理論上會比 RBW=10K 少 10dB，可用此法作不同設計的歸一化)，這也印證了上述的分析。再來就是在調變型式(Modulation Profile)的選擇上絕大多數的作品是選擇了規律性的三角波 (Triangular)調變，但是[12][22](這兩篇為同一篇)卻是選擇了亂數波型的調變 (Chaotic PAM)，可以從圖 2.17 看出這兩種調變波形的差異。

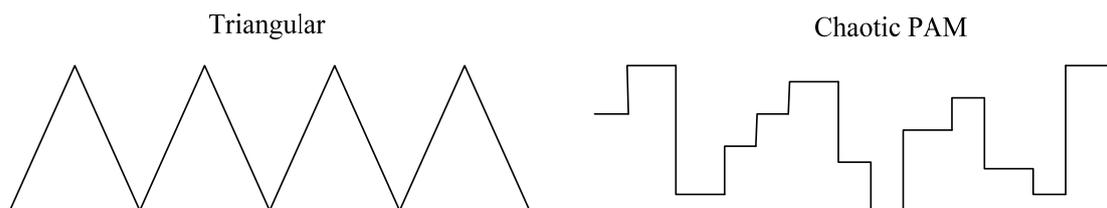


圖 2.17 Triangular 與 Chaotic PAM 兩種調變波形的比較

這兩種調變波形的差異，其實就是之前討論過的增加除頻器除率變化的亂度以快速消去量化誤差，傳統上 Triangular 的調變方法正是因為調變過於規律，所以除率的改變也是規律性的導致頻譜能量太過集中在某些特定頻段，這也是為什麼需要增加 $\Delta\Sigma$ -modulator 的階數來改善 EMI reduction 的原因。而 Chaotic PAM 這種調變波形其變化是由亂數產生的，這表示除率不再是規律的變化，所以可以看到[12][22]雖然 $\Delta\Sigma$ -modulator 的階數只有一階，但是 EMI reduction 卻是非常好的，這便是亂數調變波形所帶來的好處。但是這兩種調變波形其實是一體兩面的，因為雖然 Triangular 需要增加 $\Delta\Sigma$ -modulator 的階數增加亂度，但是大多數作品還是選擇這樣的作法這是因為架構非常簡單，而 Chaotic PAM 雖然減少了 $\Delta\Sigma$ -modulator 的階數，但其本身架構因為要產生亂數波型所以設計上其實會更加困難，在面積消耗以及實際的效能表現也並沒有辦法勝過選擇 Triangular 的作品，因此兩相比較之下，本論文還是選擇了架構簡單實現的 Triangular 調變。

當確立調變波形後，便可以根據表 2.2 的結果與本論文實際電路面積消耗的對照下建立表 2.3 來選擇 $\Delta\Sigma$ -modulator 的階數，可以看到除了四階因為穩定性以及面積暴增的問題導致目前沒有作品使用以外，其它一~三階都各有選擇。本論文最後選擇了三階的 $\Delta\Sigma$ -modulator。

表 2.3 本論文選擇 $\Delta\Sigma$ -modulator 階數的考量

modulator order	max EMI reduction (paper results)		modulator area (by my design)
	Modulation profile=triangular		
	RBW=10K	RBW=100K	
1	N/A	10.48dB	1x
2	19.63dB	10.14dB	2x
3	23.44dB	14.2dB	3X
4	N/A	N/A	>6x

原因是雖然一二階也能夠符合規格要求，且確實面積可以做到更小，但是考量到 6GHz 時脈電磁干擾問題會更加嚴重，應該要在設計者能有餘力下盡量降低，且若是選擇一二階的架構。除率的變化會太過規律，而這樣規律性的變化將會形成小數指狀突波(fractional spurs)，這在電路上是很嚴重的問題，最後在面積的部份，因為已經利用 Ring-VCO 取得了先天上的優勢，所以透過這樣的優勢讓 $\Delta\Sigma$ -modulator 可以選擇較高階的架構來增加品質。圖 2.18 便是最後選擇的三階 $\Delta\Sigma$ -modulator 電路架構圖，其 overflow 可以做 8 種輸出，除率也可以更亂數的選擇以降低小數指狀突波問題，最後設計成能控制除頻器除率在 116~123 等 8 種除率改變，而它的 Z 轉換可如式 2.4 表示。

$$Y(z) = X(z) + E(z) \cdot (1 - z^{-1})^3 \quad (\text{式 } 2.4)$$

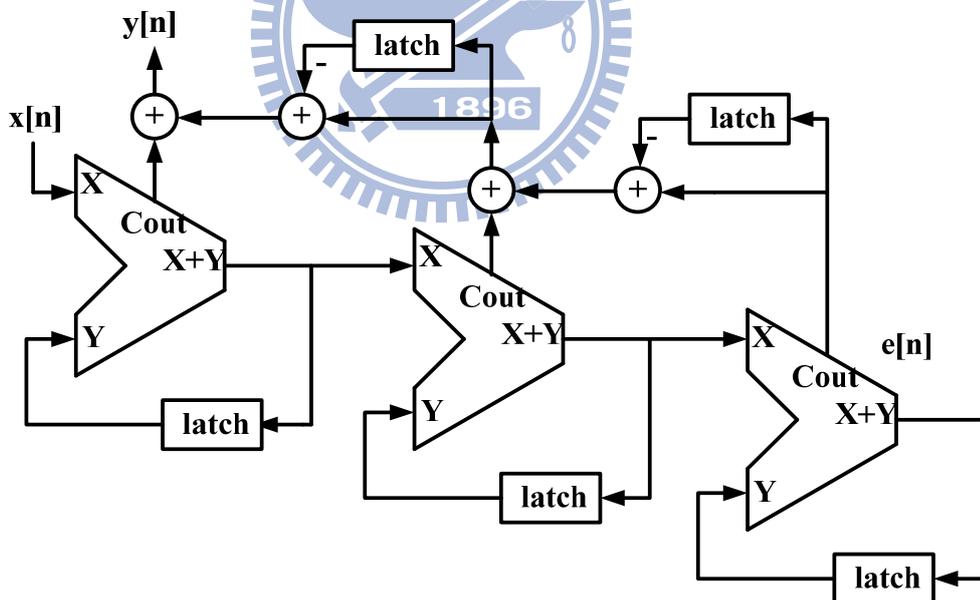


圖 2.18 本論文所採用的三階 $\Delta\Sigma$ -modulator

2.4 展頻控制信號(Control Signal) 架構選擇與分析

本論文的目標是整體電路全積體化，當 $\Delta\Sigma$ -modulator 架構也確定後，希望能將用來控制 $\Delta\Sigma$ -modulator 的展頻控制信號(Control Signal)也以內部電路的實現一起做在晶片裡。由 2.3 節的推導可以知道要達到 5000ppm 的降頻，需要數位值等於 19 當成調變器的 5 位元輸入，但這裡有一個很重要的觀念需要說明，由於展頻電路的中心思想是要調變時脈中心頻率，使其能量頻譜被“平均”展開成較寬的頻帶，換言之總能量是不變的，只是將這相同的能量由原來集中在 6GHz 的狹窄能帶，平均的分布在 5.97GHz~6GHz 這一較寬的能帶，讓原本很強的峰值功率降下來平均分布在每一點。所以並不是固定數位值 19 當輸入即可，這樣只會單純的將中心頻率 6GHz 的功率全數移到 5.97GHz，無法消除 EMI。加上從 2.3 節的討論中已經確定了調變波形是以 Triangular 的型式，所以正確的輸入值是要從 0 開始增加到 19，再以相同的速率降到 0，輸入訊號會是一個 0-19-0 的數位訊號，這樣在頻譜上才會看到中心頻率從 6GHz 降到 5.97GHz(0~19)，再從 5.97GHz 升到 6GHz(19~0)。在這次的設計中選擇引用[5]，也就是圖 2.19 的架構來實現。配合 SATA-3.0 的規格，這樣的一次週期調變要在 30~33KHz 內，所以將回授時脈 25MHz 除 21 來完成($\frac{25MHz}{21 \cdot 19 \cdot 2} = 31.33KHz$)。而實際電路的 post-sim 模擬結果(layout 請參考圖 3.21)如圖 2.20 所示一般，Triangular-generator 產生的五位元訊號[A B C D E]確實在 31.92us 的週期內完成了從[0 0 0 0 0]-[1 0 0 1 1]-[0 0 0 0]這樣的三角變化。

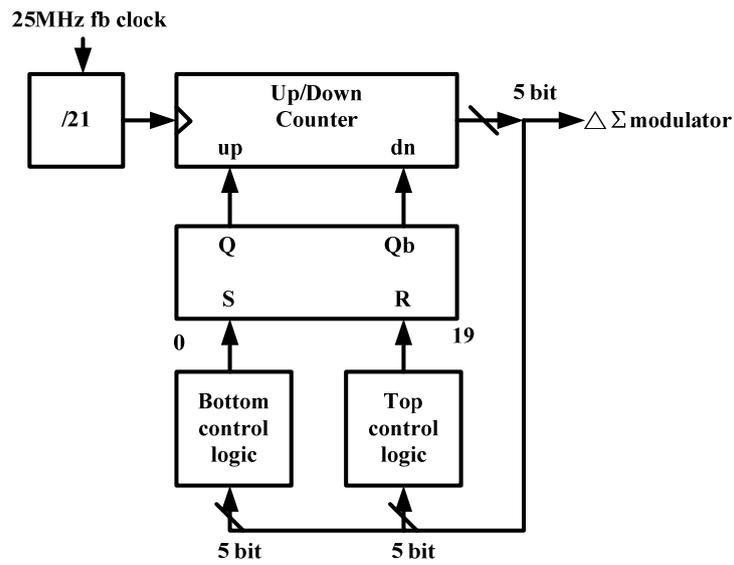


圖 2.19 本論文所採用的 Triangular-generator 電路架構

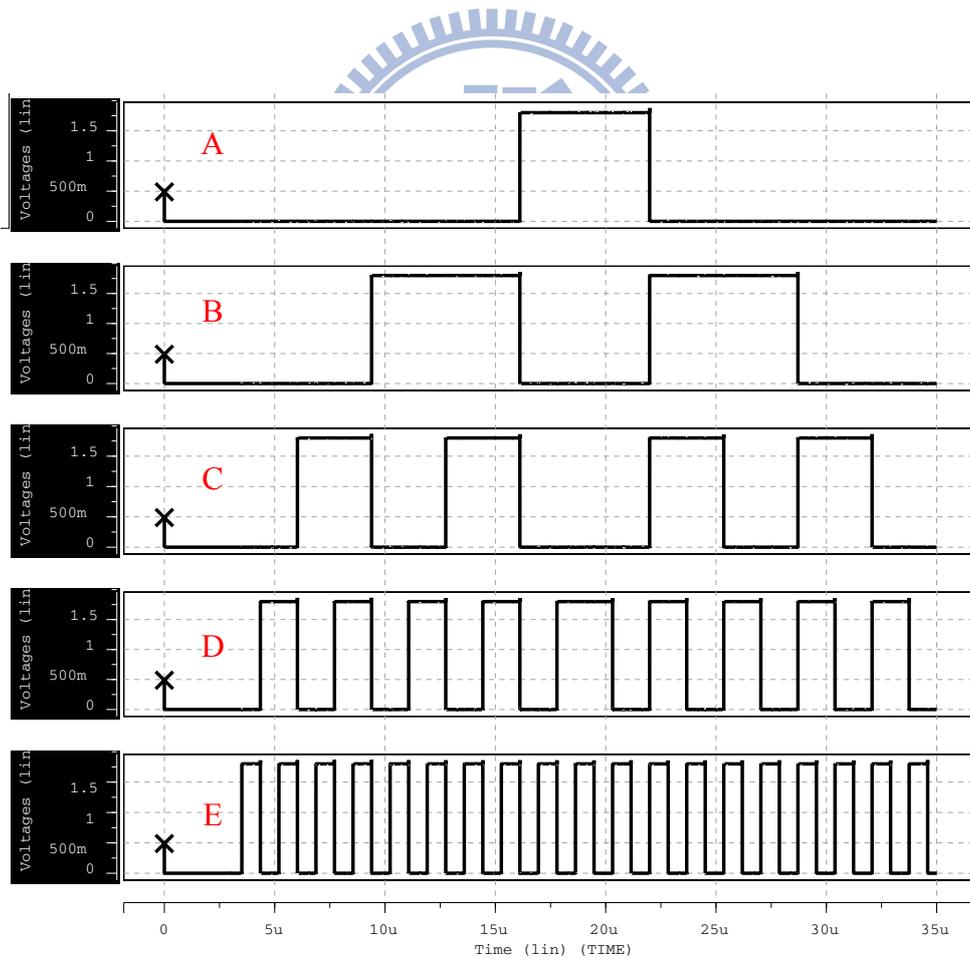
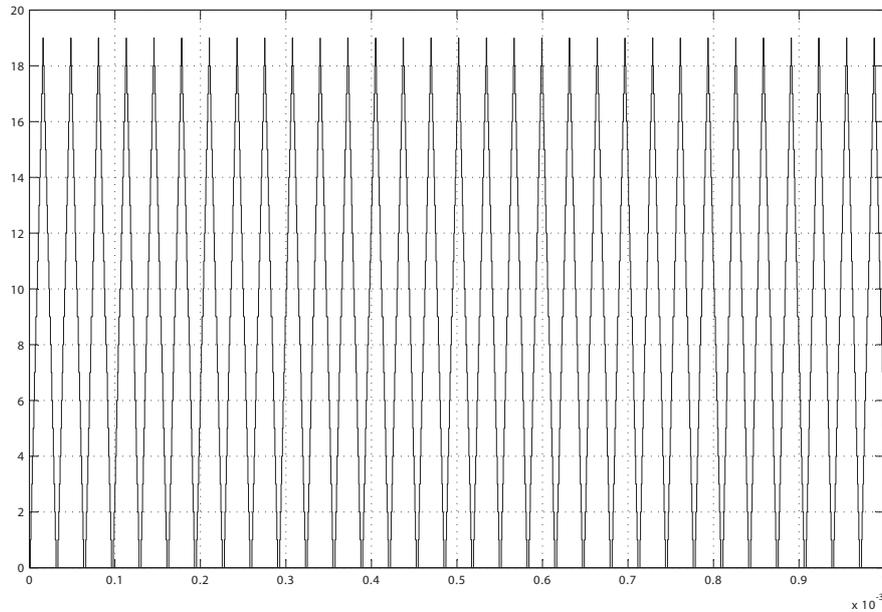
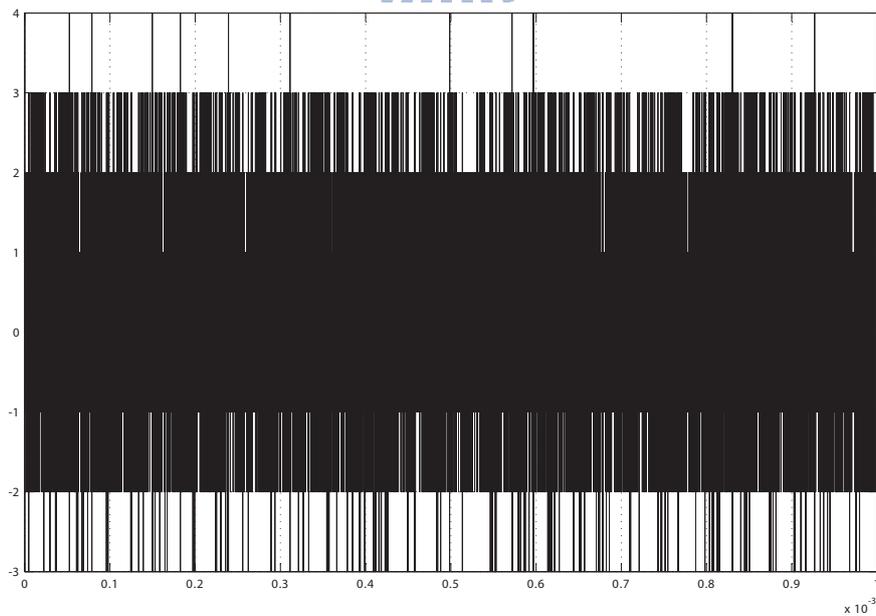


圖 2.20 Triangular-generator 的模擬結果

最後將三階的 $\Delta\Sigma$ -modulator 與展頻控制信號 Triangular-generator 兩者合起來，由圖 2.21 的 post-sim 模擬結果(layout 請參考圖 3.21+圖 3.24)證明了 0-19-0 的 Triangular 以週期 31.92us 不斷輸入三階 $\Delta\Sigma$ -modulator 時，確實可以輸出-3~4 的 8 種變化。



(a) 0-19-0 的 Triangular 以週期 31.92us 不斷輸入三階 $\Delta\Sigma$ -modulator



(b) 三階 $\Delta\Sigma$ -modulator 可以輸出-3~4 的 8 種變化

圖 2.21 三階 $\Delta\Sigma$ -modulator 的模擬結果

2.5 其它電路

分析到這邊，從圖 2.22 可知道本論文已完成了 Ring-VCO、Triangular-generator、 $\Delta\Sigma$ -modulator 這三塊電路。剩下的部份並非本次設計的重點，故在此以引用出處的方式介紹，首先 PFD、CP、LF 的部份由於是 PLL 設計裡面普遍性的一環，在此便不再敘述出處，而前置除頻器(Pre-scaler)的目地是將高速的時脈先降到後端除頻器適合工作的頻率，減少整體消耗的功率，在此選擇了[27]架構，除頻器的部份則是選擇了[28]的多除數架構，本論文會在第三章直接進入電路架構的實作以及模擬結果。

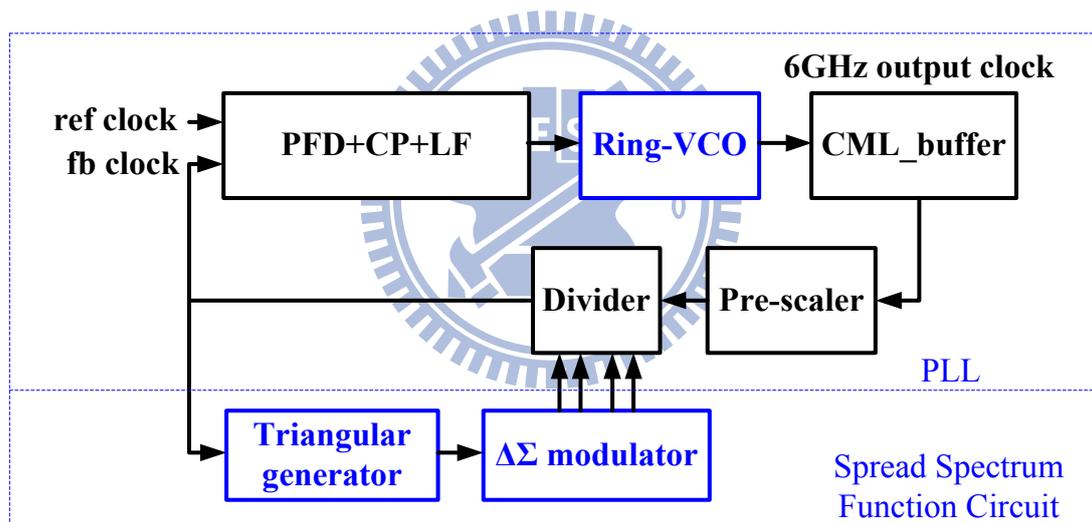


圖 2.22 本論文設計的 SSCG 整體架構

2.6 設計結果總結

在本章已經針對 Ring-VCO、Triangular-generator、 $\Delta\Sigma$ -modulator 這三塊電路不同的規格以及設計挑戰，並完成了電路架構選擇以及 post-sim 模擬結果，各項規格有都符合設計要求，而剩餘的其它電路也在 2.5 節已經選好了架構出處，之後的第三章，將會直接進入電路架構以及模擬結果的討論。

第三章

整體電路實現與模擬結果

從第二章的討論分析中確定架構後，可如圖 3.1 所示將最終的 SSCG 電路架構完整表示出來。而在第二章的最後已經將其它的架構參考出處標出，因此本章便是討論這些電路的實做以及 layout 還有 post-sim 的模擬結果。3.1 節為 PFD+CP+LF，3.2 節為 Ring-VCO，3.3 節為 Pre-scaler，3.4 節為 Divider，3.5 節為 Triangular-generator，3.6 節為 $\Delta\Sigma$ -modulator，3.7 節為 CML_buffer，3.8 節為所有電路合起來的 SSCG 模擬驗證，最後 3.9 節為模擬數據整理列表與總結。

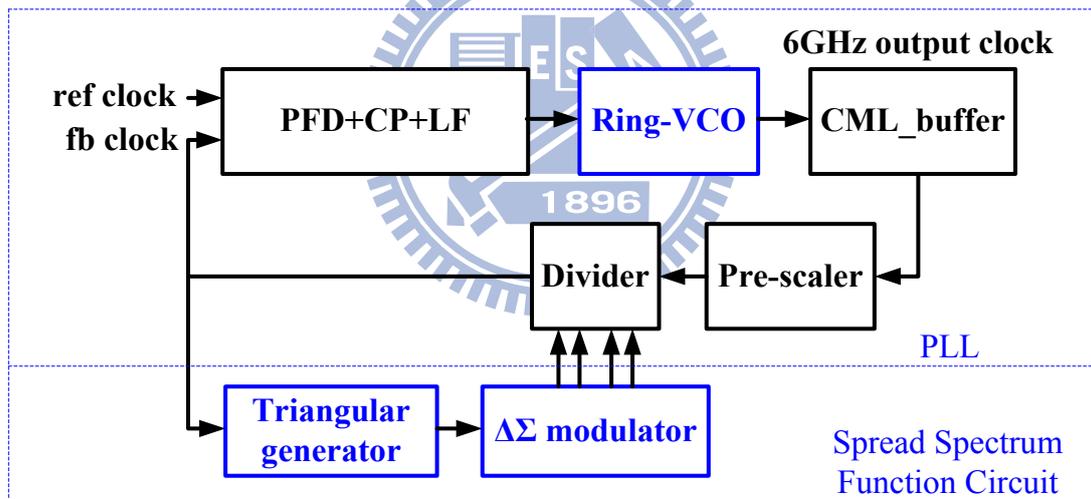


圖 3.1 本論文設計的 SSCG 整體架構

3.1 PFD+CP+LF

這部份的架構是由三個電路所組成的，分別是：PFD、CP、LF。功能在判斷參考時脈(ref clock)與回授時脈(fb clock)兩種時脈間的頻率及延遲所造成的相位差異，進而修正提供給 VCO 的控制電壓改變輸出振盪頻率，讓 PLL 進入鎖定。

3.1.1 PFD(Phase-Frequency Detector)

本論文採用的PFD電路架構如圖3.2所示，由2個半暫存器(Half Transparent Register, HTR)與一個NAND邏輯閘組成。

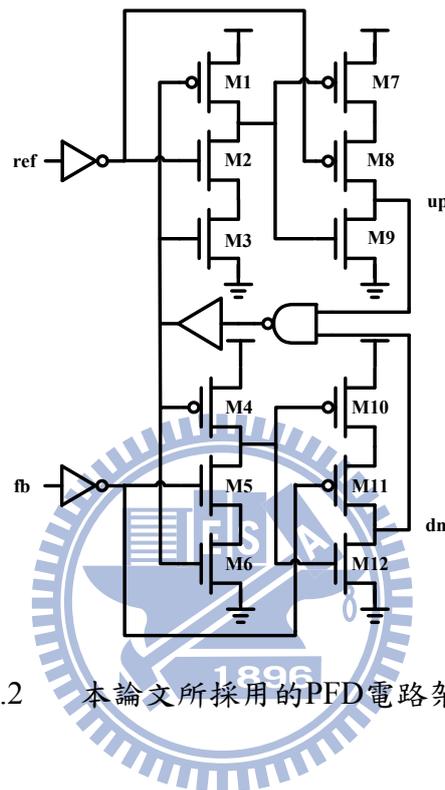


圖3.2 本論文所採用的PFD電路架構

電路作用為當ref clock的相位領先fb clock時，up訊號會設為high，當fb clock的相位領先ref clock時，dn訊號會設為high，所以兩訊號之間的相位差，能被up訊號與dn訊號產生對應的脈衝寬度的方式表現出來，讓下一級的CP電路能根據不同的脈衝寬度而產生充放電流。而這邊需要注意的是由於本論文的Ring-VCO是控制電壓越大頻率越低，電壓越小頻率越高，因此跟正常的反應是相反的，所以PFD的up跟dn信號跟CP接起來的時候是要反向的。圖3.3為PFD對應的layout圖，其面積為23um×20um，圖3.4則是post-sim的模擬結果，由上到下的四種信號分別是ref、fb、up、dn。當(a)情況ref的相位領先fb時，up訊號將會對應脈衝寬度充電，(b)情況fb的相位領先ref時，dn訊號將會對應脈衝寬度放電，(c)情況兩者相位相同時將會進入穩定狀態，由模擬結果可以看到PFD的功能正常。

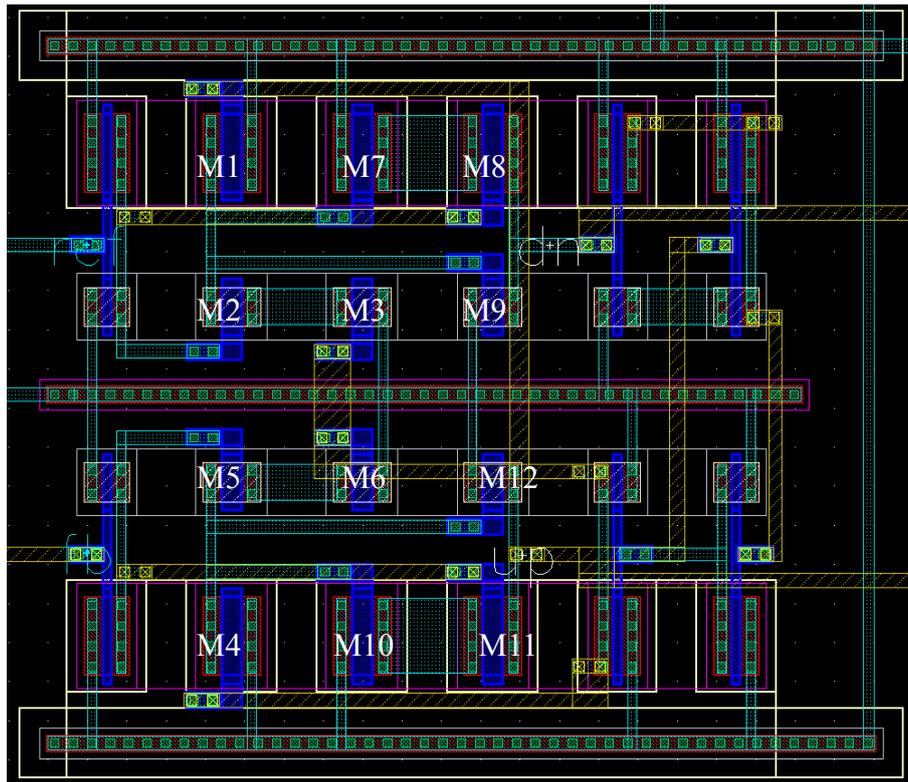
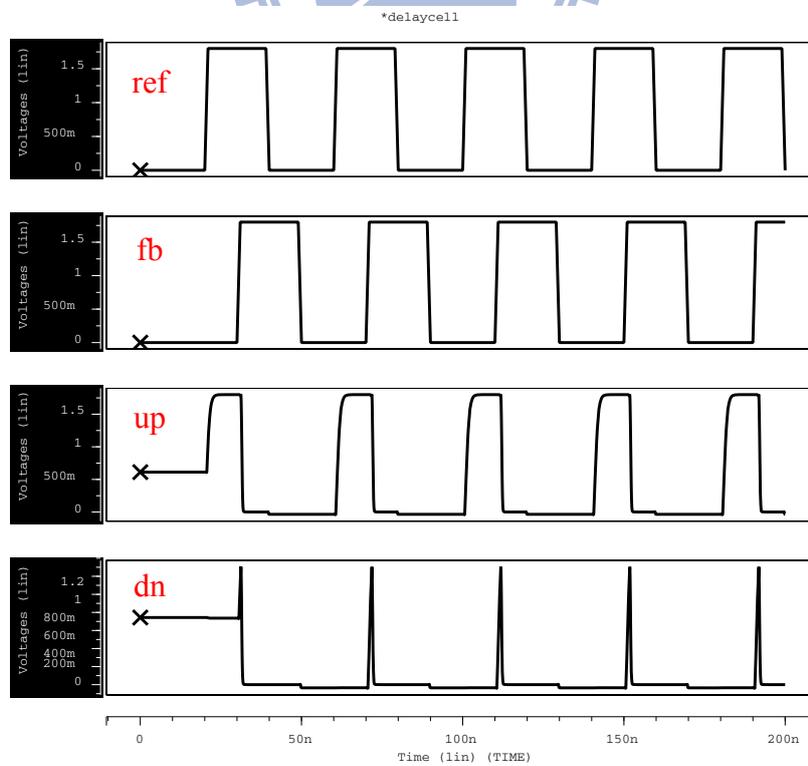
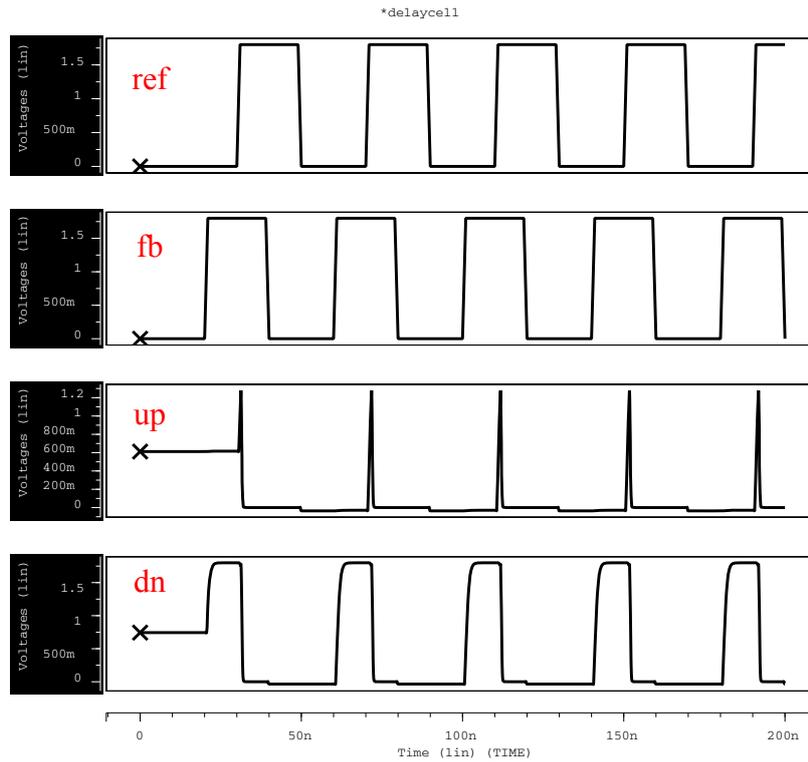


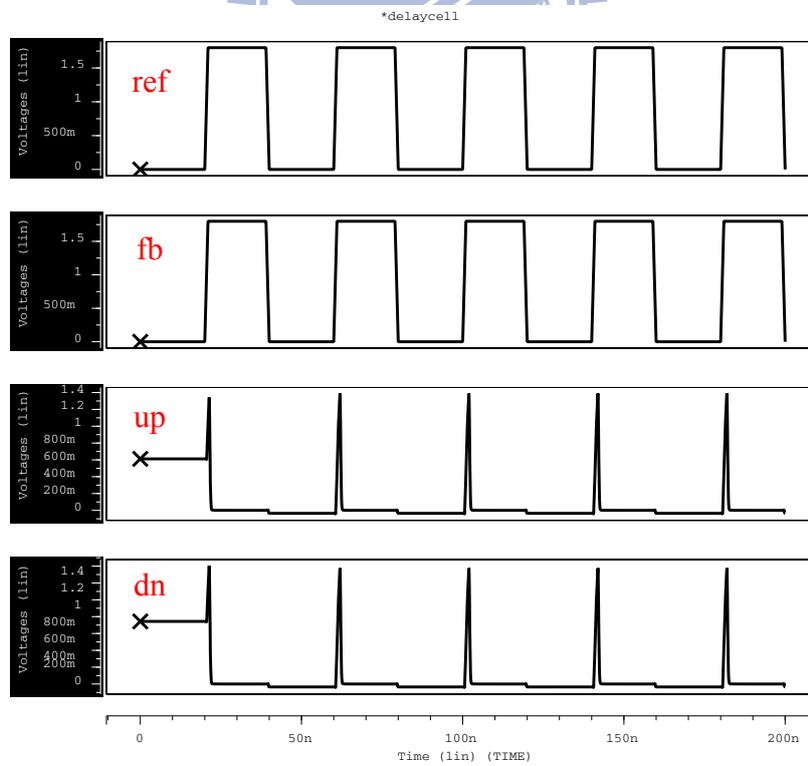
圖3.3 PFD電路架構對應的layout (23um×20um)



(a) ref 的相位領先 fb



(b) fb 的相位領先 ref



(c) ref 與 fb 同相位

圖 3.4 PFD 模擬結果

3.1.2 CP(Charge Pump)

本論文所採用的 CP 電路如圖 3.5 所示，透過接受上一級 PFD 產生的 up 訊號與 dn 訊號的不同脈衝寬度，改變對下一級濾波器充放電流的時間，進而影響 VCO 的控制電壓，調整時脈頻率達到鎖相。圖 3.6 為 CP 對應的 layout 圖，其面積為 $28\mu\text{m}\times 15\mu\text{m}$ 。

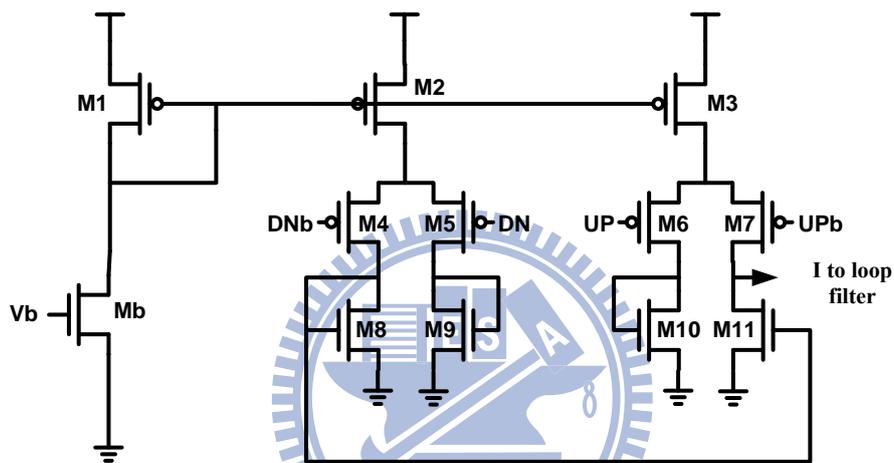


圖 3.5 本論文所採用的 CP 電路架構

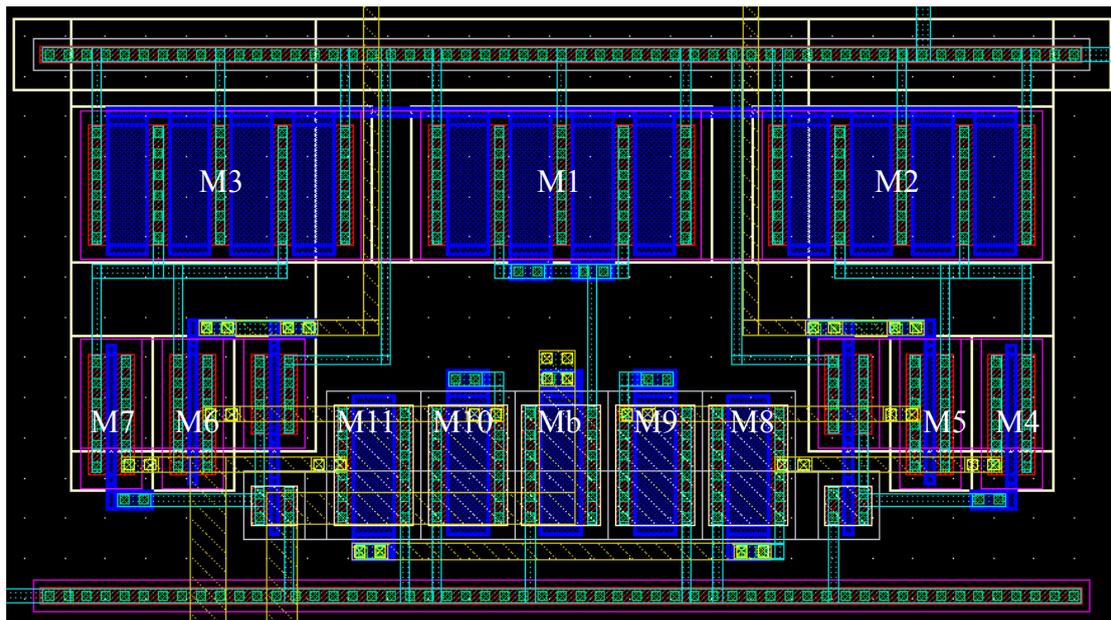


圖 3.6 CP 電路架構對應的 layout ($28\mu\text{m}\times 15\mu\text{m}$)

圖 3.7 則是針對充放電 current mismatch 的模擬結果。電路設計的最大充放電流皆為 100uA，若是以 10% 的誤差來定義線性區間，由圖可知電流正負 10uA 的線性區約落在 0.3V~1.3V，表示 VCO 的控制電壓時要盡量落在此工作區較佳。

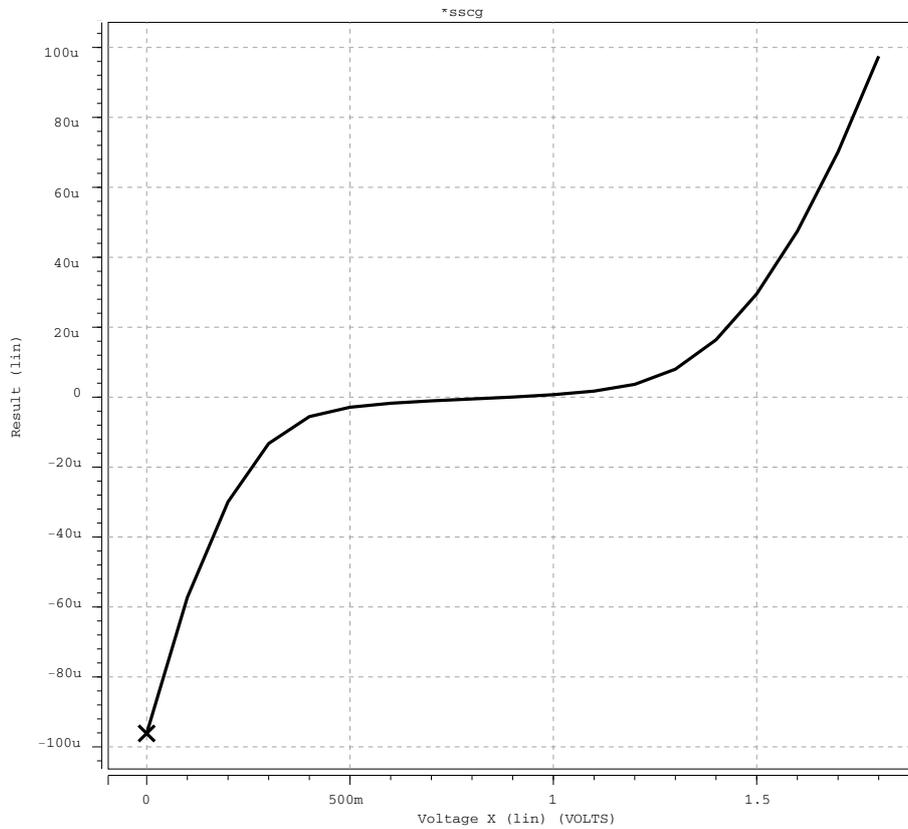
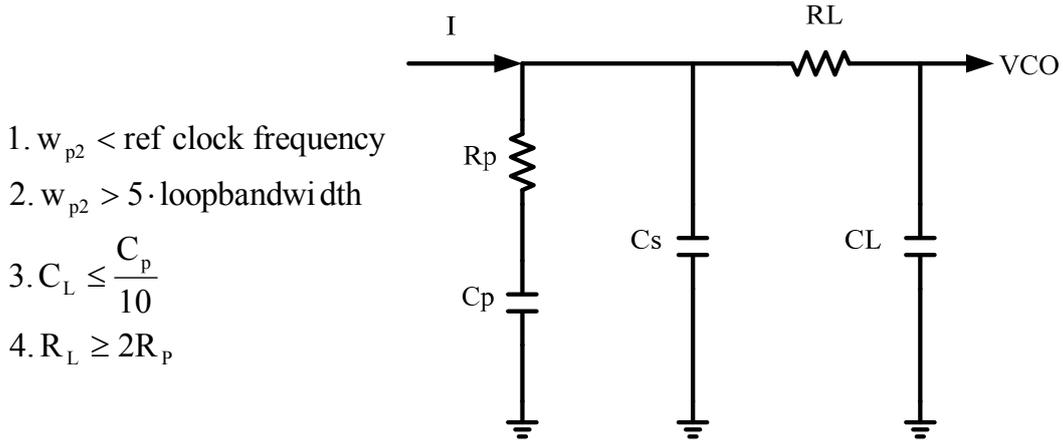


圖 3.7 CP 充放電及線性測試

3.1.3 LF(Loop Filter)

在第二章的討論中，為了在 high EMI reduction 與電路面積中取得平衡，因此選擇了三階的 $\Delta\Sigma$ -modulator，在實務的 PLL 設計上，一般會要求迴路濾波器的階數至少要高於調變器一階，以確保因調變所產生量化雜訊能夠被濾除，但是若階數太高，又會讓 PLL 的穩定變得困難，所以選擇了圖 3.8 的三階 LF，讓整體的 PLL 迴路達到四階。其三階濾波器的轉移函數如式 3.1。



1. $w_{p2} < \text{ref clock frequency}$
2. $w_{p2} > 5 \cdot \text{loopbandwidth}$
3. $C_L \leq \frac{C_p}{10}$
4. $R_L \geq 2R_p$

圖 3.8 本論文所採用的 LF 電路架構及設計準則

$$F(s) = \frac{k_f(s + w_z)}{\frac{1}{w_{p1} \cdot w_{p2}} s^3 + \left[\frac{1}{w_{p1}} + \left(\frac{k_f}{R_p} + 1 \right) \cdot \frac{1}{w_{p2}} \right] s^2 + \left(\frac{k_f \cdot w_z}{R_p w_{p2}} + 1 \right)^2} \quad (式 3.1)$$

$$k_f = \frac{R_p \cdot C_p}{C_p + C_s}, w_z = \frac{1}{R_p C_p}, w_{p1} = \frac{1}{R_p \cdot C_p \cdot C_s}, w_{p2} = \frac{1}{R_L \cdot C_L}$$

當 LF 的架構確定後，由於本論文的目標是將電路全積體化，因此 R 跟 C 會盡量選擇能夠實現在晶片內部的數值，而這會跟整體 PLL 迴路頻寬的選擇有關，迴路頻寬的大小是根據設計者本身想要濾去的雜訊而有所不同。正常來說 PLL 有兩種最主要的雜訊，一為輸入的雜訊，二為 VCO 的雜訊。輸入雜訊一般是由 PFD 以及 Divider 電路所產生的，若是去分析輸入雜訊的頻率響應圖會發現為低通的特性(Low pass)，因此在迴路頻寬的選擇上會盡量降低以抑制輸入低頻雜訊。但是以 VCO 的雜訊頻率響應圖來看，則為高通的特性(Low pass)，在迴路頻寬的選擇上反而是盡量提高以消除高頻雜訊。因此迴路頻寬的數值端看設計者認為哪部分雜訊影響比較嚴重來決定，在本論文中的設計認為 VCO 可能會有比較嚴重的雜訊干擾，因此選擇了增加迴路頻寬，最後選擇了二十分之一的參考時脈，再根據圖 3.8 的設計法則來決定 R 跟 C。最後圖 3.9 為實現的 layout，其面積為 250um×280um。

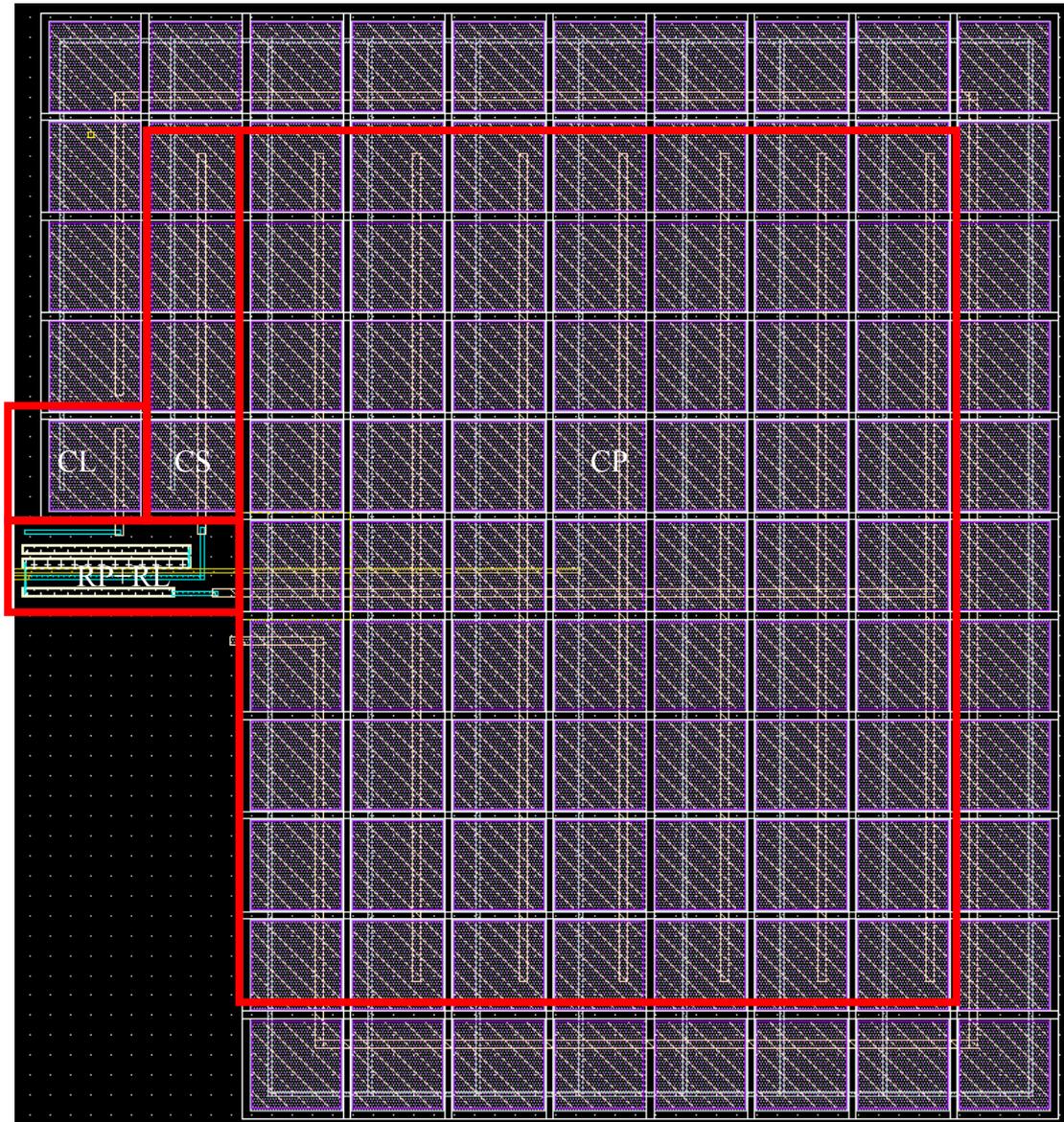


圖 3.9 LF 電路架構對應的 layout (250um×280um)

將 PFD+CP+LF 都接起來後，便可以進行圖 3.10 的死區(Dead Zone)測試。測試的方法是控制 ref 跟 fb 兩種 clock 的相位差異，去觀察 CP 是否能精準的反應出對應的充放電，看看差異到多少的時候才不能真實反應充放電的正確性，而圖 3.10 的模擬結果則顯示當相位差異為 3ps 時，然後是可以正常對應充放電行為，這表示 up 跟 dn 之間的相位差就算只有 3ps 這樣微小的差異，CP 一樣是可以精準的呈現正確充放電動作而不會出現不正常工作的死區(dead zone)。也就是沒有出現 Dead Zone。

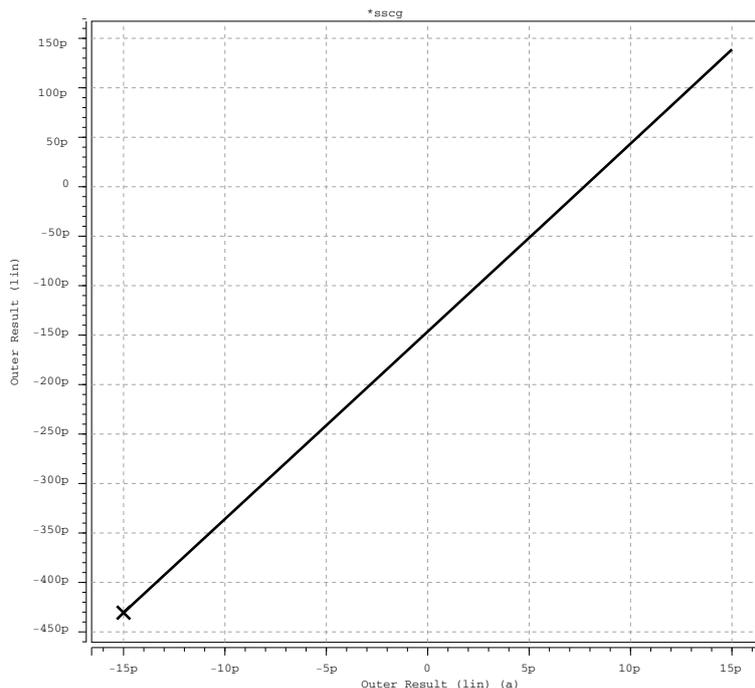


圖 3.10 PFD+CP+LF 的 dead zone 測試

3.2 Ring-VCO

在第二章 2.2 節的討論分析中，選擇了圖 3.11 的架構為本論文所採用的 VCO，主要的功能是產生所需要的 6GHz 時脈，圖 3.12 為對應的 layout，其面積為 $53\mu\text{m} \times 120\mu\text{m}$ 。在圖 3.13 的 post-sim 模擬結果證實了此項功能可運作。

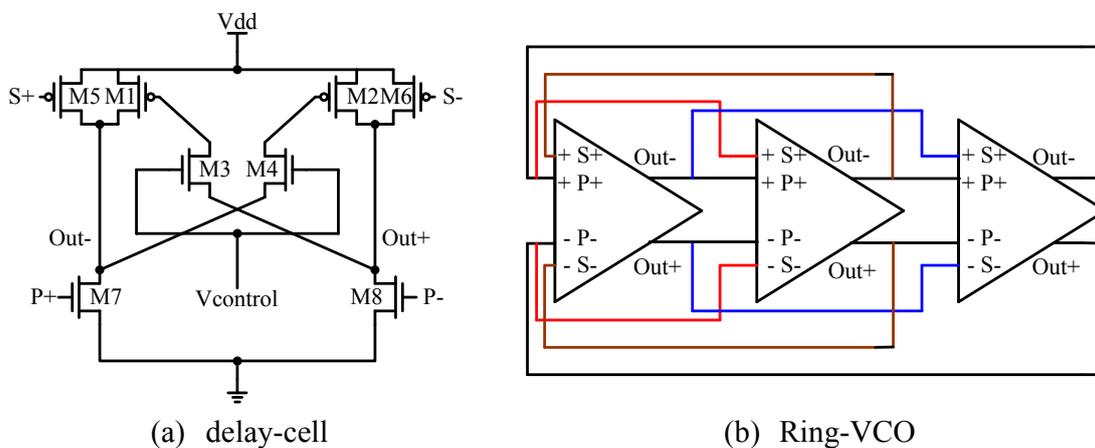


圖 3.11 本論文所採用的 Ring-VCO

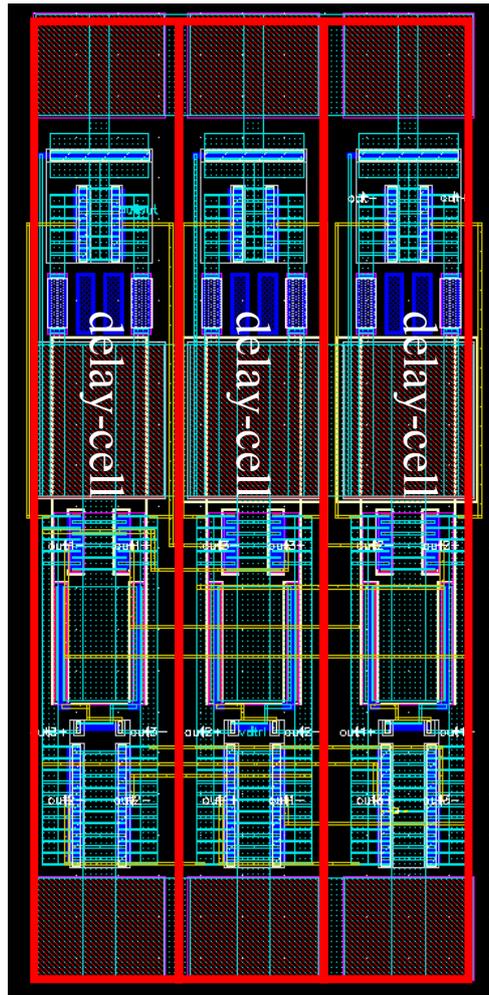


圖 3.12 VCO 電路架構對應的 layout (53um×120um)

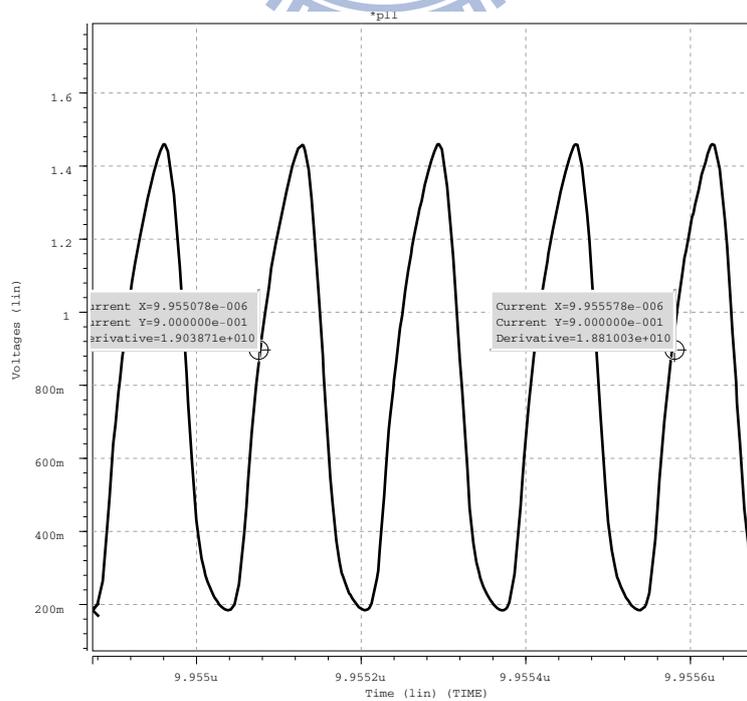


圖 3.13 本論文 Ring-VCO 產生的 6GHz 時脈

3.3 前置除頻器(Pre-scaler)

前置除頻器的目的是先將 VCO 產生的高速 6GHz 時脈除二，降到後端 divider 適合工作的頻率，減少整體消耗的功率，如果讓後端 divider 直接處理 6GHz 的時脈，除了除率要調整到 240 以外(ref clock 25MHz)，電路複雜性增加，功率的消耗也會比用一個 Pre-scaler 加一個除 120 的 divider 來的高。如圖 3.14 所示，將兩個電流驅動型式的 D-latch[27]串在一起，便是一個除二電路。而對應的 layout 以及 post-sim 模擬結果會等除頻器架構介紹完後一併顯示。

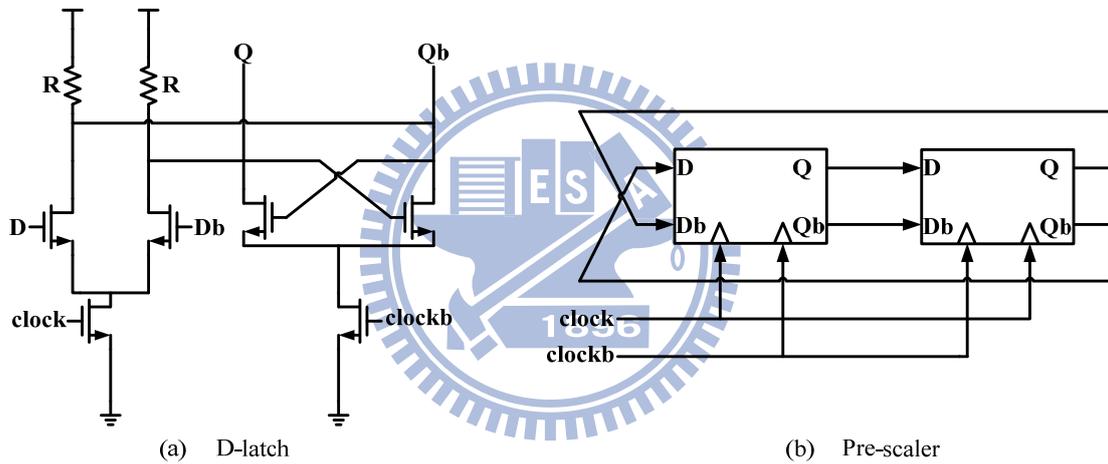


圖 3.14 本論文所採用的 Pre-scaler 電路架構

3.4 除頻器(Divider)

由於本論文需要的除頻器是需要有除小數功能，所以選擇用圖 3.15 的架構來實現除頻器。這是一個多除數除頻器(Multi-Modulus Divider, MMD)，由於 Divider 至少需要除 120 讓 3GHz 的時脈回復到 25MHz，所以用六個除 2/3 單元串接在一起，這樣就可以透過六個控制閘來改變除數，其控制以式 3.2 來表示。

$$N(\text{dividerratio}) = 64 + 2^5 \cdot p_5 + 2^4 \cdot p_4 + 2^3 \cdot p_3 + 2^2 \cdot p_2 + 2^1 \cdot p_1 + 2^0 \cdot p_0 \quad (\text{式 } 3.2)$$

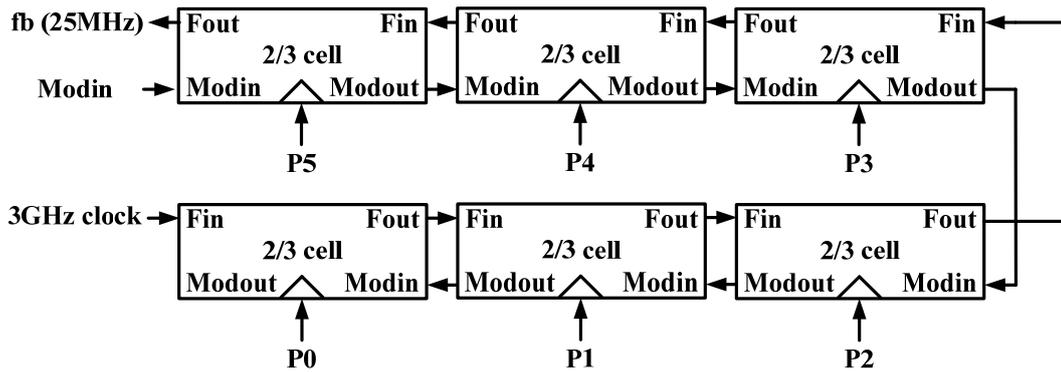


圖 3.15 本論文所採用的 Divider 電路架構

而在電路實現上，這六級的除 2/3 單元中，第一級需要直接面對到 3GHz 的速率，第二級也至少要能工作在 1.5GHz 以上，所以本論文在這兩級 cell 採用了圖 3.16 的電流驅動架構[28]，讓整體操作頻率可以加快，等到第三級以後才用圖 3.17 的 True Single-Phase-Clock(TSPC) latch 的速度較慢的數位架構來節省功率。

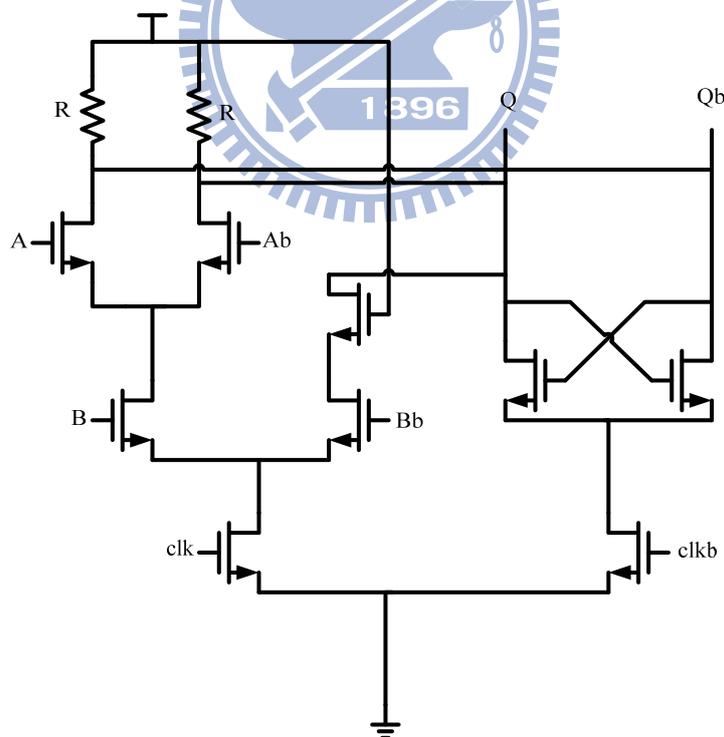


圖 3.16 本論文在除頻器前兩級除 2/3 單元所用的電流驅動架構

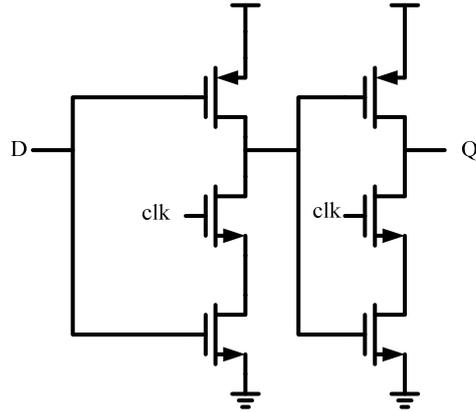


圖 3.17 本論文在除頻器後四級除 2/3 單元所用的 TSPC 架構

當將此 Divider 與 Pre-scaler 結合後，便可以將 VCO 的 6GHz 輸出時脈除 240 而得到 25MHz 的 fb clock，圖 3.18 為對應的 layout 圖，其面積為 170um×140um。

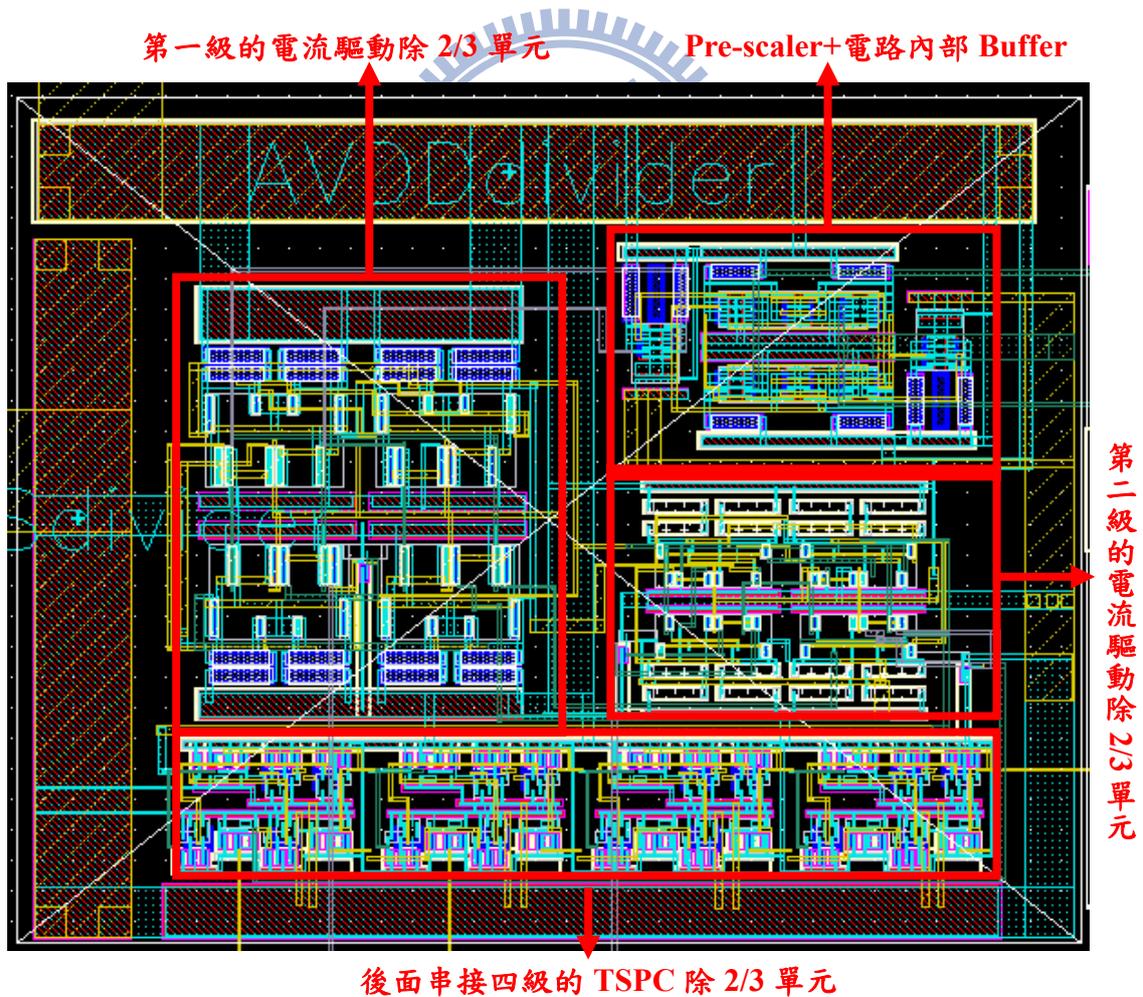


圖 3.18 Pre-scaler+Divider 電路架構對應的 layout (170um×140um)

圖 3.19 為除頻器除率=240 模擬結果。高速時脈在電路之間傳遞時，常因充電時間不完全導致時脈不是一個完整的方波，所以圖 3.19 用一個振幅為 1.0V 頻率為 6GHz 的弦波來模擬 VCO 的輸出，可以看到當輸入一個 VCO 振盪產生的頻率為 6GHz 的 clock，除頻器確實可以將其除成 25MHz 的 fb clock。需要說明的一點是 fb clock 並不是剛好上升下降週期各一半的方波，這是因為除頻方式是由六個除 2/3 單元串連所造成的，但是因為 PFD 電路是以信號上升緣以及下降緣判斷相位差異，所以只要頻率正確就不會造成鎖定錯誤。

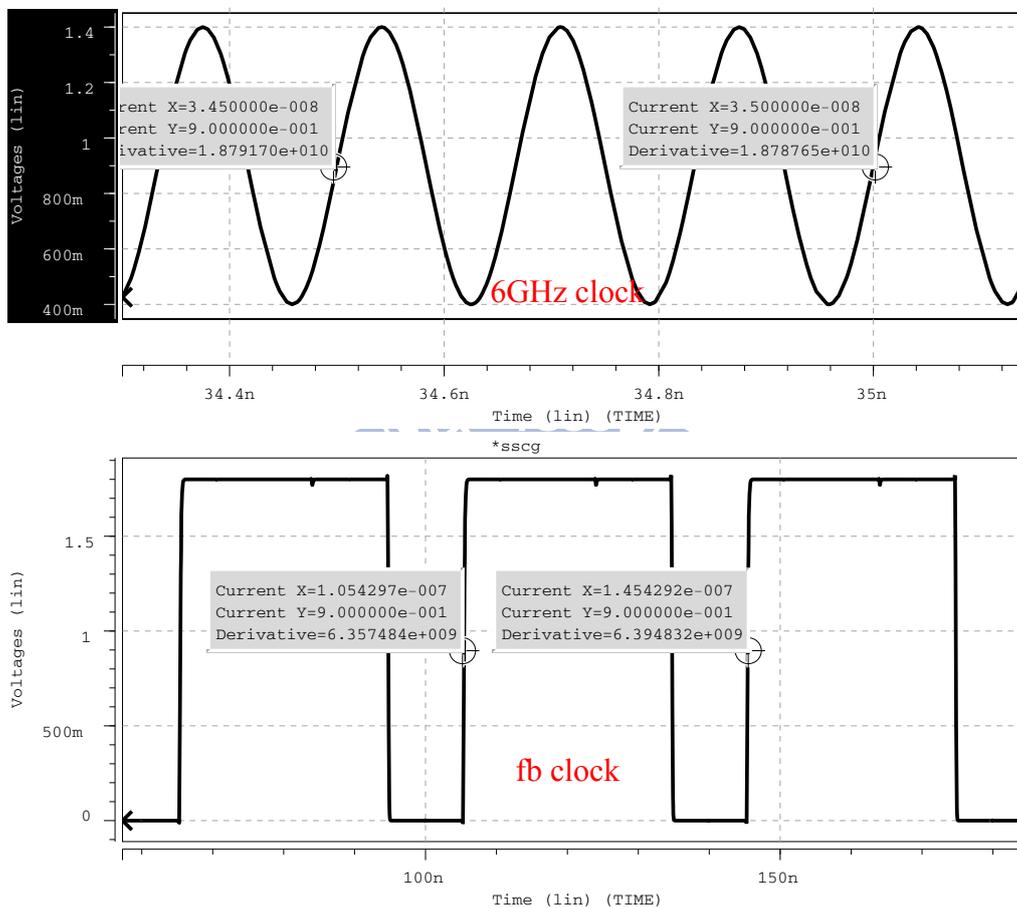


圖 3.19 除頻器除率=240 功能驗證

3.5 三角波產生器(Triangular-generator)

在第二章 2.4 節的討論分析中，選擇了圖 3.20 的架構為本論文所採用的 Triangular-generator，其功能在於能夠產生符合 SATA-3.0 規格要求的週期在 30KHz~33KHz 的調變控制信號，而在 2.4 節中確定了調變波形是以 Triangular 的型式，所以正確的輸入值是要從 0 開始增加到 19，再以相同的速率降到 0，輸入訊號會是一個 0-19-0 的數位訊號，這樣在頻譜上才會看到中心頻率從 6GHz 降到 5.97GHz(0~19)，再從 5.97GHz 升到 6GHz(19~0)。圖 3.21 為對應的 layout，其面積為 93um×136um。而實際電路的 post-sim 模擬結果如圖 3.22 所示，Triangular-generator 產生的五位元訊號[A B C D E]確實在 31.92us 的週期內完成了從[0 0 0 0 0]-[1 0 0 1 1]-[0 0 0 0 0]這樣的三角變化。

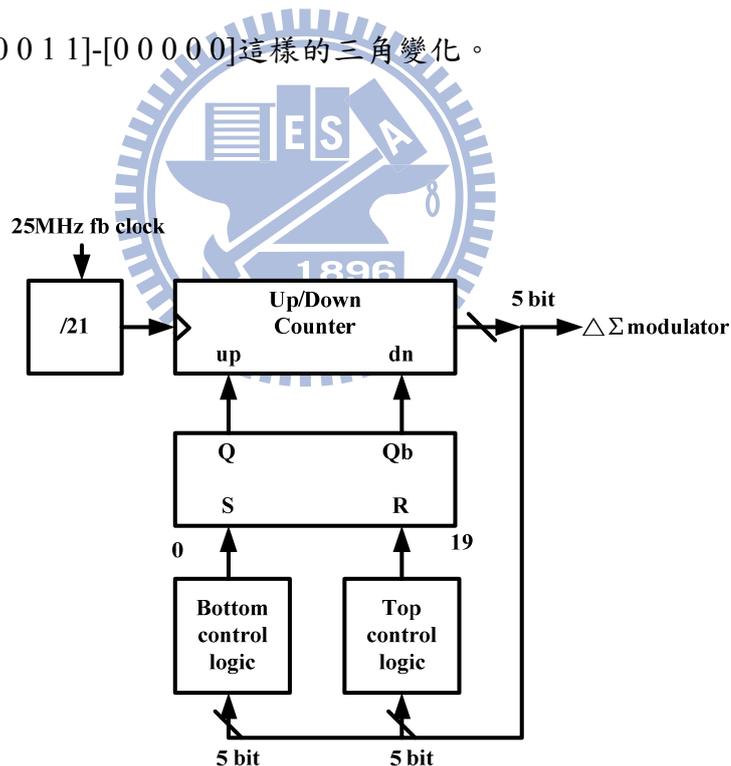


圖 3.20 本論文所採用的 Triangular-generator 電路架構

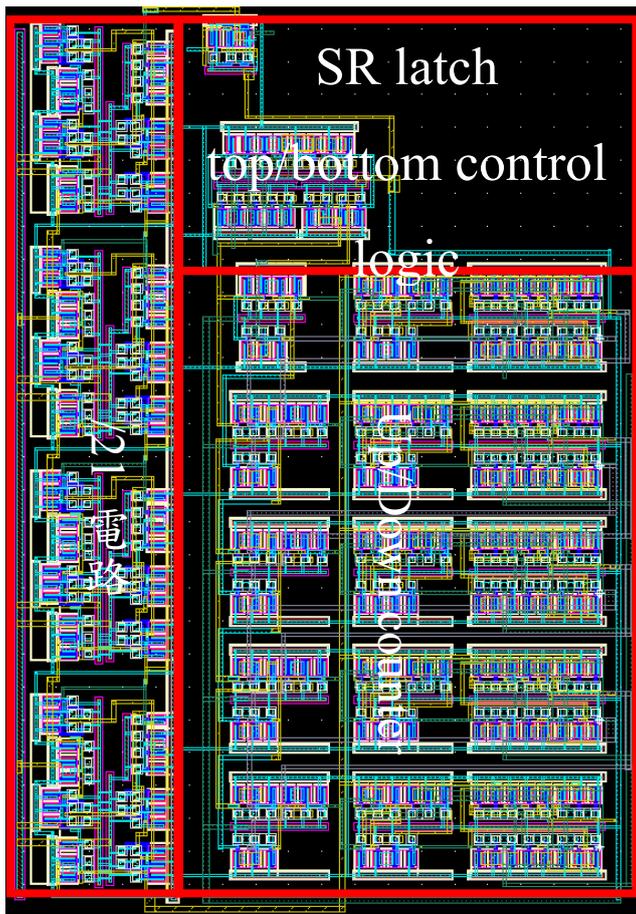


圖 3.21 Triangular-generator 電路架構對應的 layout (93um×136um)

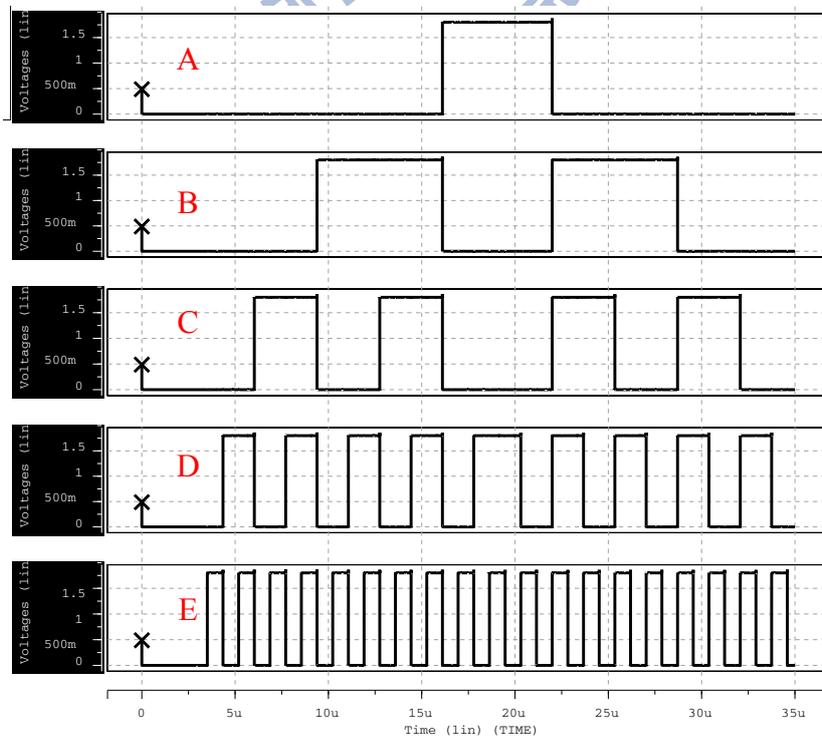
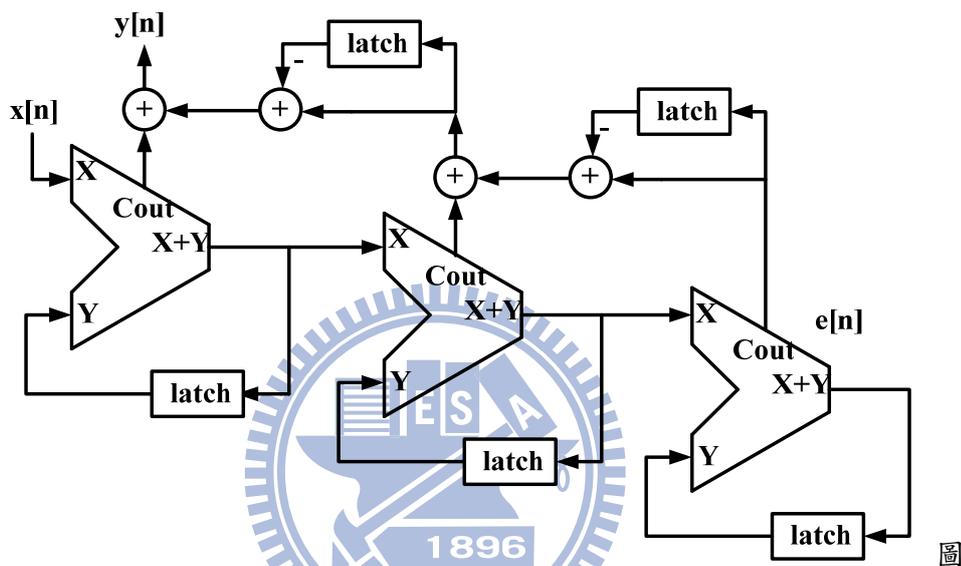


圖 3.22 Triangular-generator 的模擬結果

3.6 三階 $\Delta\Sigma$ -modulator

在第二章 2.3 節的討論分析中，選擇了圖 3.23 的架構為本論文所採用的 $\Delta\Sigma$ -modulator，其功能在於將 modulator-3~4 的 8 種輸出透過除率控制電路進而改變除頻器除率在 116~123 之間變化來達到除小數功能。圖 3.24 為對應的 layout，其面積為 180um \times 110um。



3.23 本論文所採用的三階 $\Delta\Sigma$ -modulator

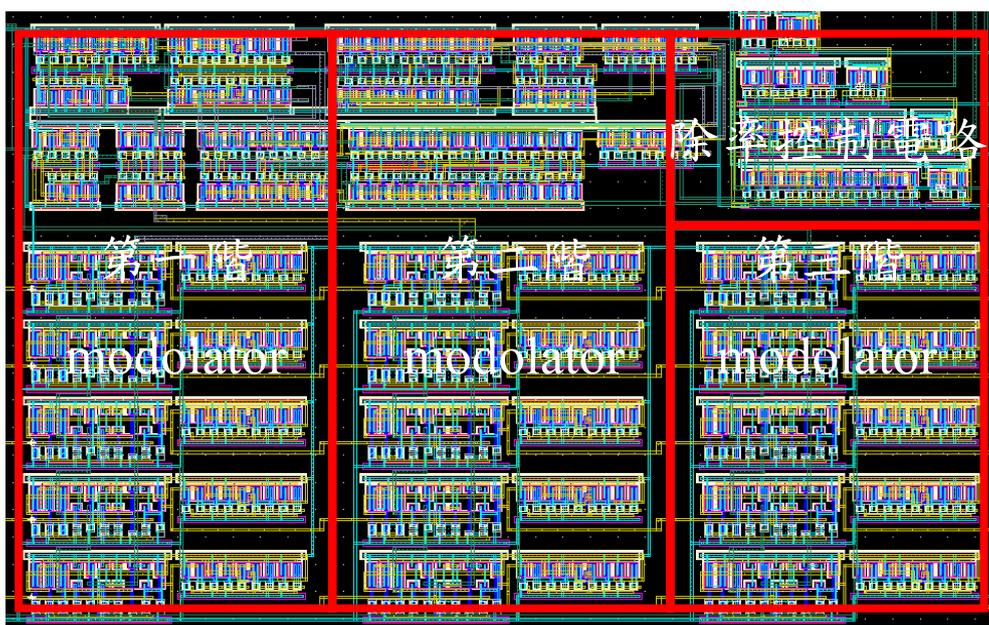
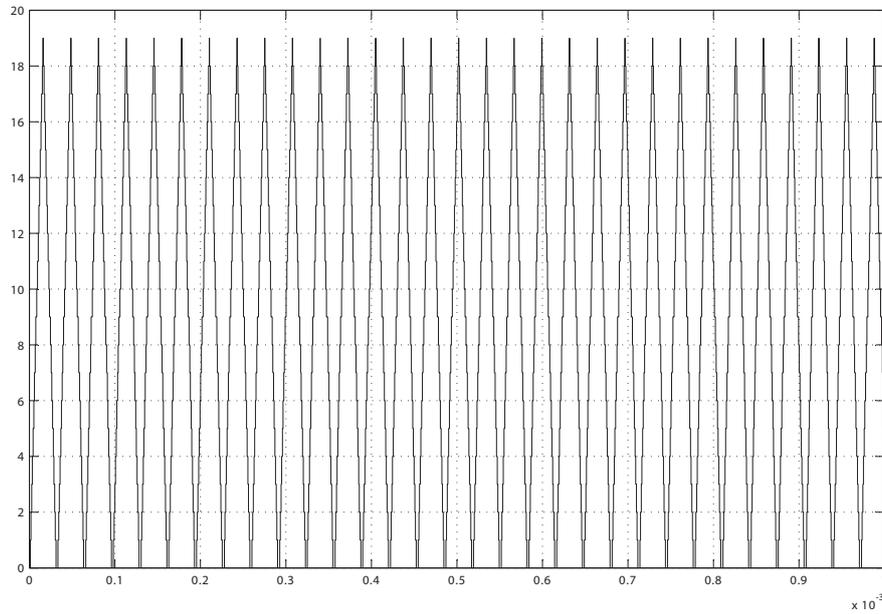
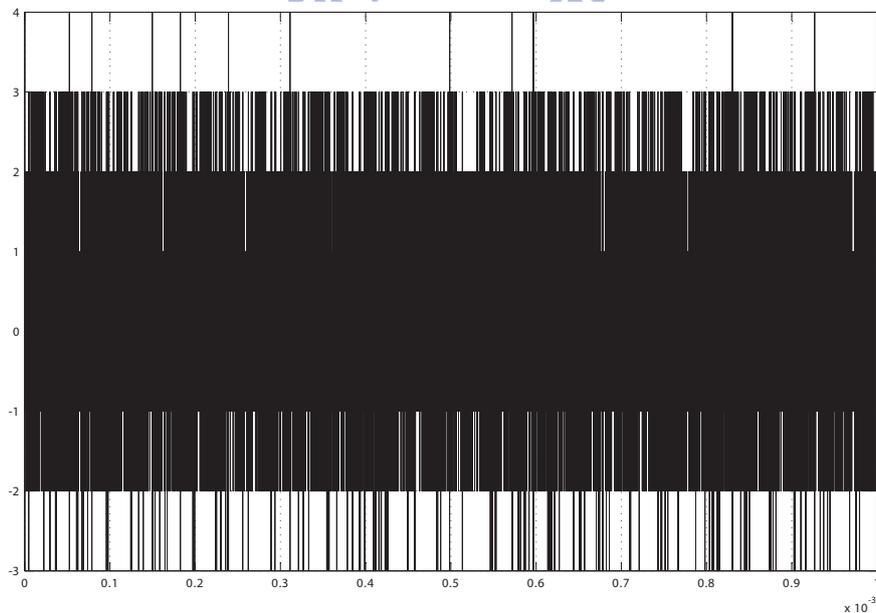


圖 3.24 三階 $\Delta\Sigma$ -modulator 電路架構對應的 layout(180um \times 110um)

最後將三階的 $\Delta\Sigma$ -modulator 與展頻控制信號 Triangular-generator 兩者合起來，由圖 3.25 的 post-sim 模擬結果證明了 0-19-0 的 Triangular 以週期 31.92us 不斷輸入三階 $\Delta\Sigma$ -modulator 時，確實可以輸出 -3~4 的 8 種變化。



(a) 0-19-0 的 Triangular 以週期 31.92us 不斷輸入三階 $\Delta\Sigma$ -modulator



(b) 三階 $\Delta\Sigma$ -modulator 可以輸出 -3~4 的 8 種變化

圖 3.25 三階 $\Delta\Sigma$ -modulator 的模擬結果

3.7 CML buffer(Current-Mode Logic buffer)

由於元件之間通常都需要靠輸出級電路，也就是緩衝器(buffer)來做連結，但當操作頻率太高時，數位式 buffer 如反相器已不敷使用，這時靠電流驅動的類比式 buffer 便派上用場。以圖 3.26(a)就是本論文所採用的緩衝器架構，這種 CML buffer 是先確定下一級要推動的負載電容 C，再透過扭轉速率 Slew rate=電流/電容的概念來設計要靠多少電流來驅動。而考量到高频輸出對外部 PCB 版負載的推動力需要特別分析，所以圖 3.26(b)的圖模擬時脈輸出到外部時可能會遇到的各種負載效應。首先是輸出 PAD 的負載電容，以及 PCB 版上的寄生 RLC 效應，當然高频信號量測時常利用 Bias-Tee 元件做偏壓，雖然這並不是必要的元件負載，但也須考慮進去，最後還需要加上傳輸線的 50 歐姆，必須將這些外部負載都先建立好，才能夠設計出足以推動的緩衝器。而在高频信號量測時會有下探針(Probe)的量測技術選擇，也就是如圖 3.26(b)所顯示處下探針，這樣一來信號便可以只經過輸出 PAD 的負載電容到達儀器。這也是設計輸出級時需考慮到的。

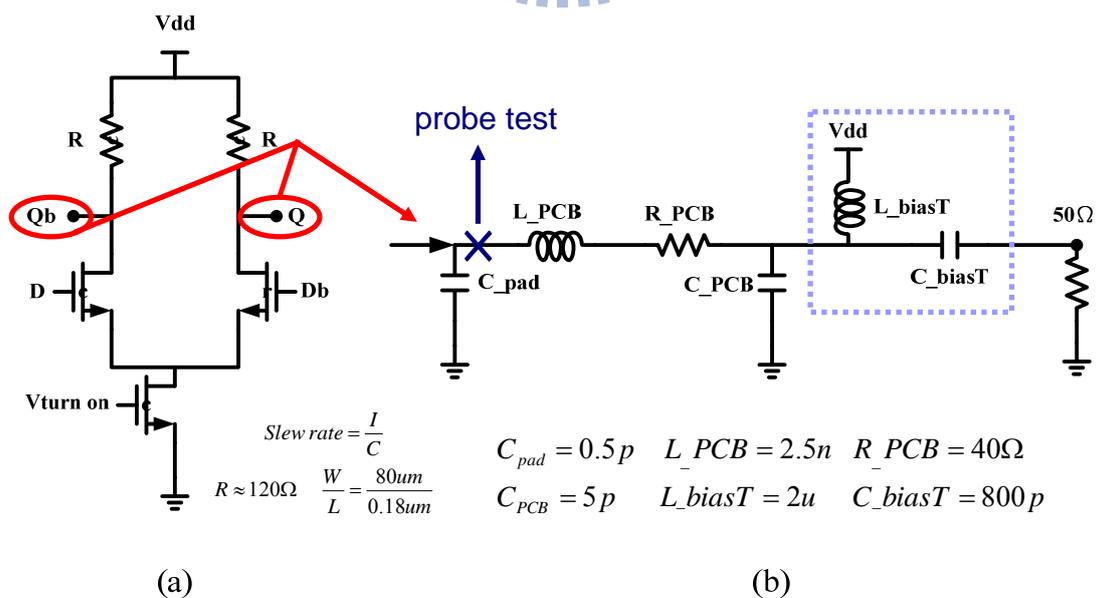


圖 3.26 (a) 本論文所採用的 CML buffer 電路架構

(b) 針對 CML buffer 的輸出負載做分析

3.8 展頻時脈產生器(Spread Spectrum Clock Generator)

將上述的所有電路整合之後，便完成了本次設計的 SSCG 電路，圖 3.27 為完整的晶片 layout 圖，面積為 $933\mu\text{m}\times 933\mu\text{m}$ ，核心(core)面積為 $500\mu\text{m}\times 300\mu\text{m}$ 。在設計上因為有考慮到下探針的需求，因此將 6GHz 差動時脈輸出對放在正上方，而 PAD 之間間距是為了符合探針的尺寸設計，而左右兩方主要是電流源，下方為偏壓點以及輸入信號為主。

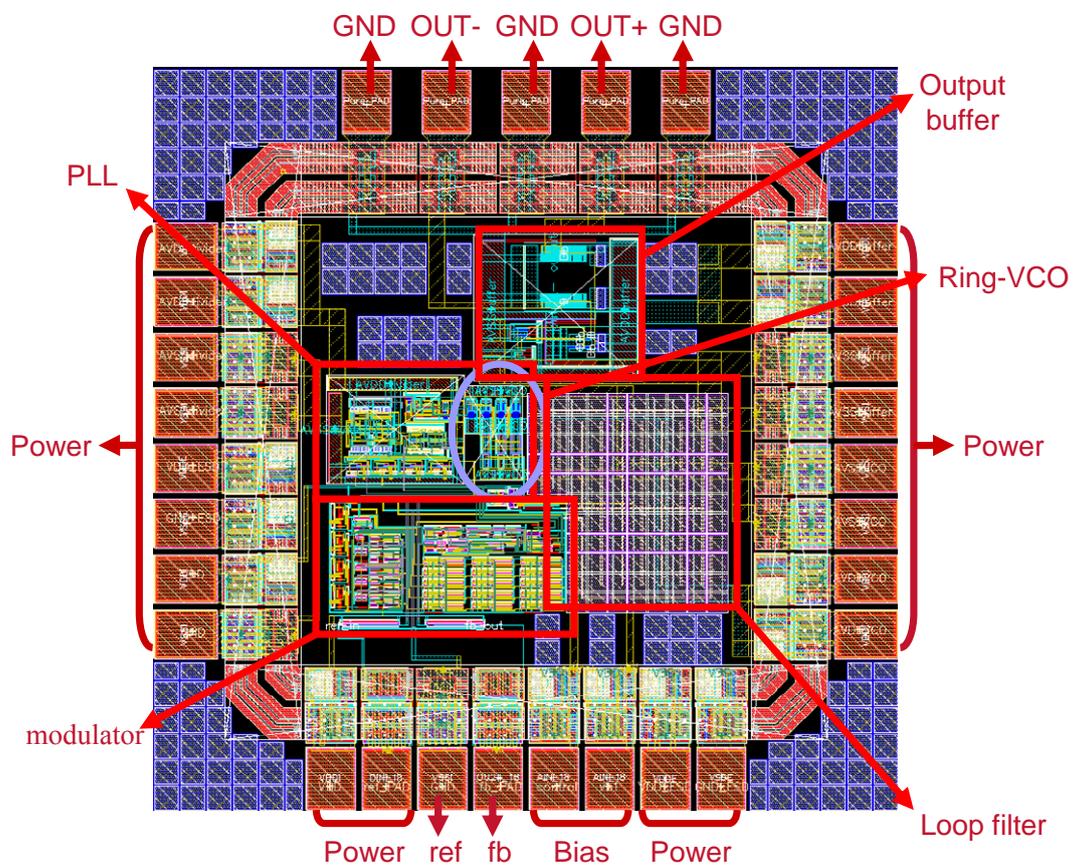


圖 3.27 本論文最後完成的 SSCG 晶片 layout($933\mu\text{m}\times 933\mu\text{m}$)

在 layout 完成之後，可以將待測的模擬結果跟欲比較的 SATA-3.0 規格整理出表 3.1 的規格表，根據待測的各種模擬，以下將分兩小節分別作 PLL 以及 SSCG 的功能驗證。而需要說明的是以下的模擬結果全為 post-sim 的資料。

表 3.1 待測模擬規格表

	Post-sim	Specification
Technology	TSMC-0.18um	
Supply voltage	1.8V	
Frequency	5.97GHz~6GHz	
EMI reduction	待測	>7dB
PLL jitter (pk-pk)	待測	N/A
Random jitter @250 cycle(pk-pk)	待測	<12ps(rms)
Power dissipation	待測	N/A
Chip area	500um×300um (core)/933um×933um (total)	

3.8.1 PLL 鎖定功能驗證

功能驗證的部份首先從 PLL 的鎖定開始，圖 3.28 顯示了 PLL 確實可以鎖定，其控制電壓固定在約為 0.8V，這跟之前 VCO 的模擬結果是符合的。此時整體電路整體功率消耗為 60.43Mw(不含輸出 buffer)。

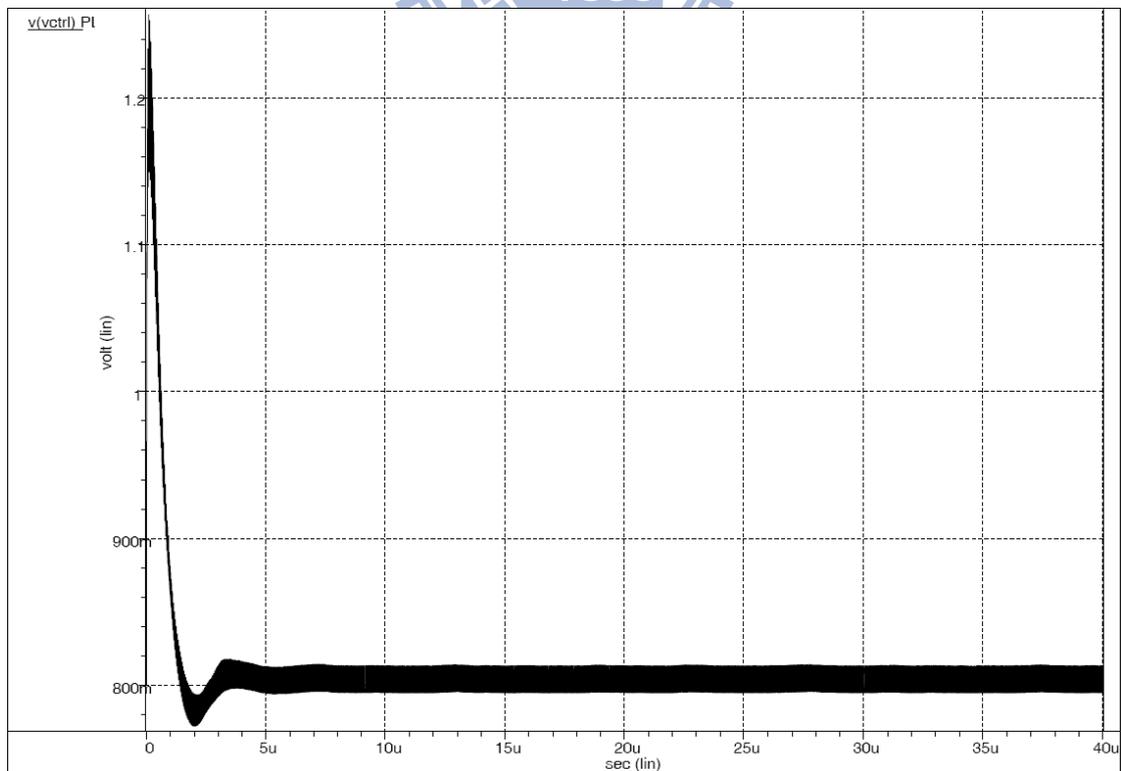


圖 3.28 PLL 鎖定在 6GHz 時脈的控制電壓

此時將 PLL 輸出時脈的資料作傅利葉轉換，便可觀察 PLL 產生的中心時脈頻率以及強度，可以由圖 3.29 的頻域現象看出，PLL 確實將中心頻率鎖在 6GHz。

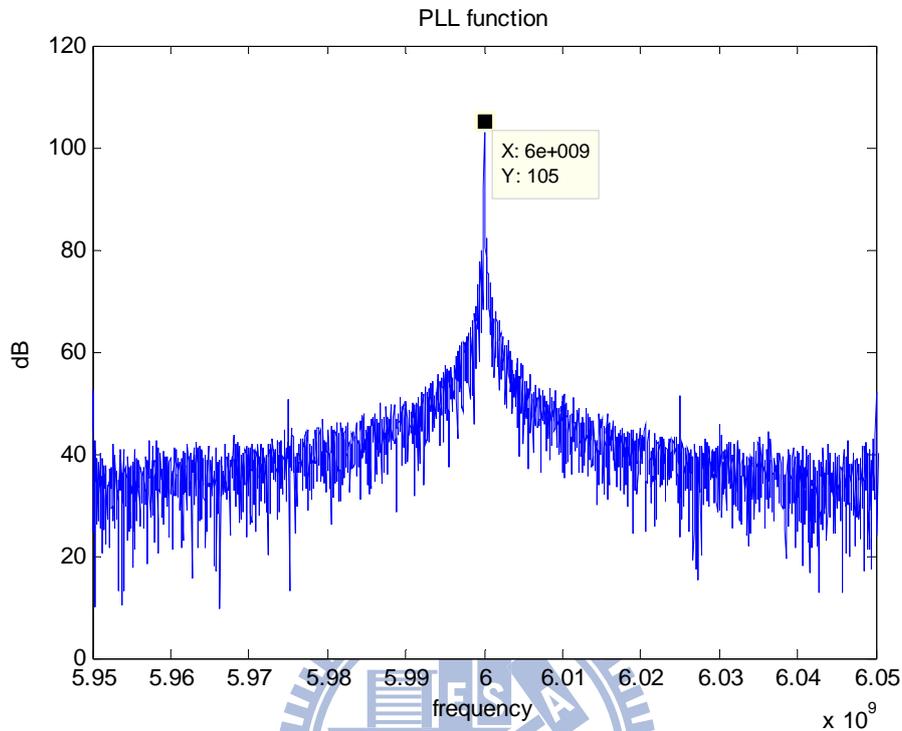


圖 3.29 PLL 中心時脈在頻譜上頻率以及強度表現

圖 3.30 則為產生的 6GHz 時脈峰對峰值抖動(peak-peak jitter)測試，在約三萬個週期的累積下，jitter 值約為 6.16ps。

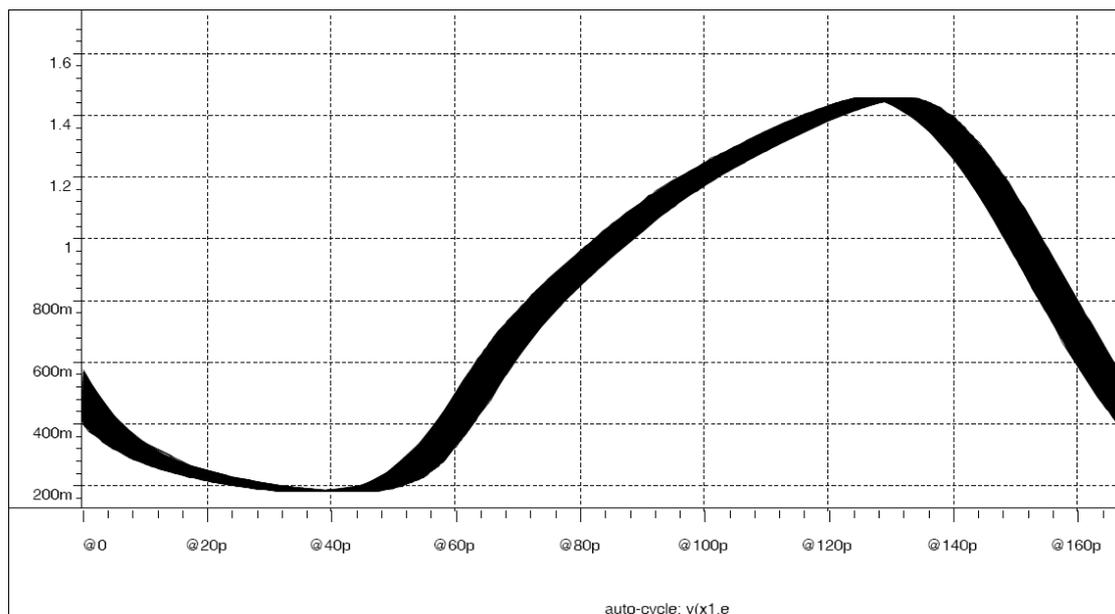


圖 3.30 PLL 的峰對峰值抖動(peak-peak jitter)測試

測試到這邊，已經確定了 post-sim 的 PLL 鎖定功能正常，可以產生所需的 6GHz 時脈，也觀測到了功率消耗以及 peak-to-peak 的 jitter，接下來的 3.8.2 小節便可進行 SSCG 的展頻功能驗證。

3.8.2 SSCG 展頻功能驗證

啟動調變器後，如圖 3.31 所示， $\Delta\Sigma$ -modulator 會週期性的改變除頻器除率進而控制 PLL 重新鎖定，使得 VCO 控制電壓會有週期為 31.92 μ s 的三角調變。

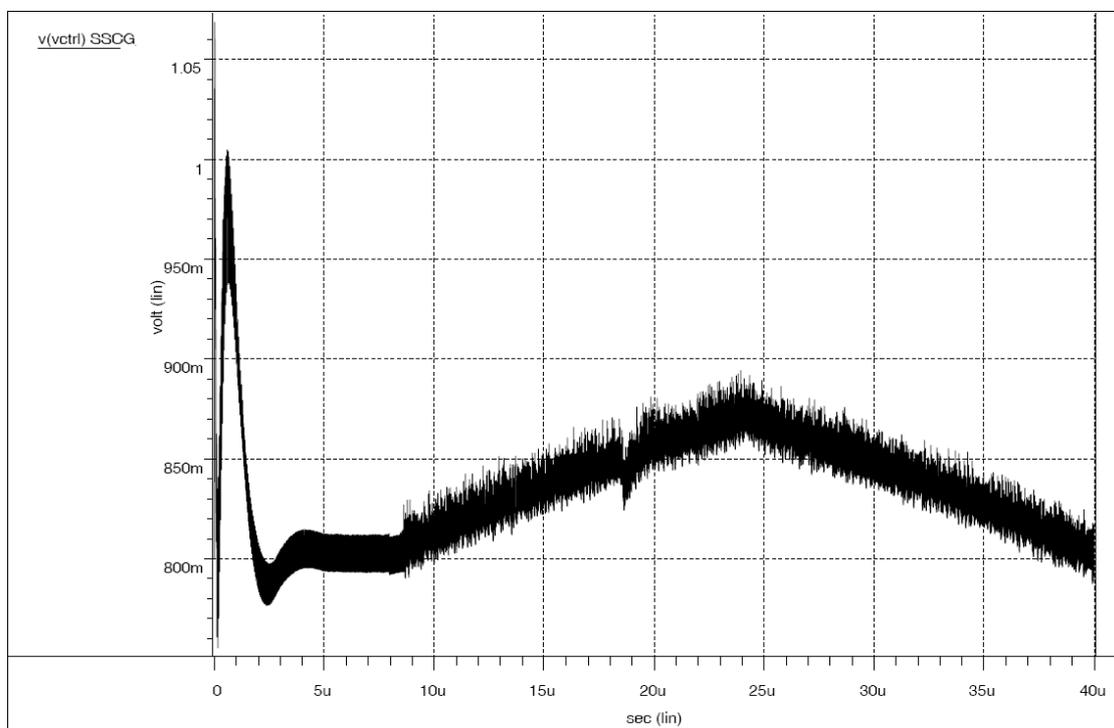


圖 3.31 展頻功能啟動令 VCO 控制電壓產生三角週期調變

在觀測到這樣的現象後，一樣將調變後的輸出時脈做頻域分析，可以得到圖 3.32 證明了展頻功能啟動之後的中心頻率時脈確實降至 5.97GHz~6GHz 這段範圍，而峰值功率也從原先的 105dB 降到了 82.51dB。因此將兩者合起來看便可由圖 3.33 得知此次展頻得到的 EMI reduction 結果為 22.49dB。討論至此可以確定不管是 PLL 的鎖定或者是 SSCG 的展頻，目前在模擬上都是可運作的。

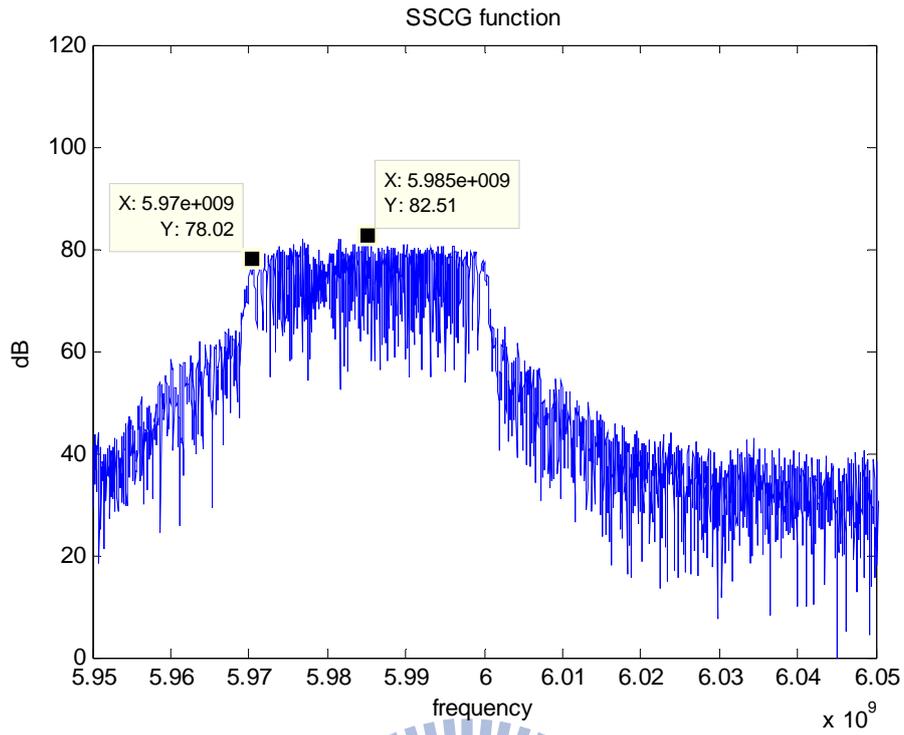


圖 3.32 展頻過後的 SSCG 輸出時脈頻域分析

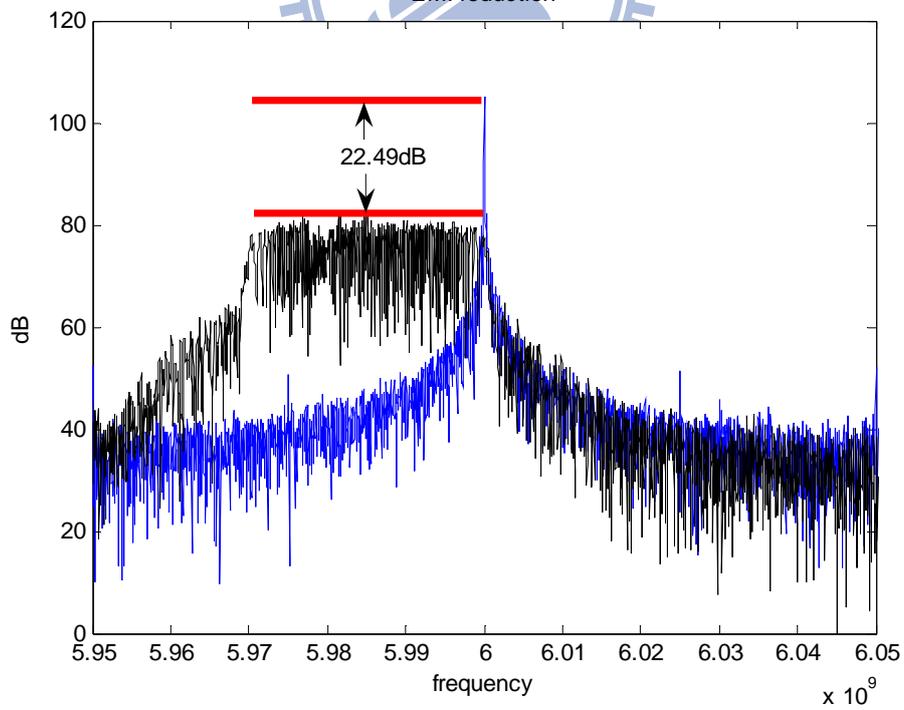


圖 3.33 EMI reduction 測試

在確定了兩項功能正常後，再從表 3.1 的需觀測紀錄的項目中，還剩下在展頻期間的 Random jitter(rms)@250 cycles : <12ps 的要求，這表示展頻期間內任意取 250 個週期時脈，其 rms jitter 的累積結果<12ps 即可合格。而本論文在做這項測試時，需要注明兩個部份，第一是所有的 jitter 模擬結果都是選擇了比 rms 更嚴苛的 peak-peak 最差情況來驗證規格，以確保晶片完成後有更好的結果，第二是模擬 post-sim 的時間其實跟 pre-sim 有非常大的差距，以本論文來說，完整的 SSCG 電路用 Hspice 軟體來模擬 pre-sim 會花 15 天左右，若是換成 post-sim 則會便成 3 個月以上，雖然說可以透過降低 Hspice 的模擬精準度來快速完成 post-sim，但是這樣的作法其實就相等於使用其它精準度較低的模擬軟體，因此本論文加入了 Ultra-sim 這套軟體來輔助模擬，以表 3.2 所示，除了最終電路 SSCG 的 post-sim 結果因為模擬時間過長，沒有辦法呈現 Hspice 的模擬，故以 Ultra-sim 為主外，其餘的結果皆是採取 Hspice。

表 3.2 Hspice 以及 Ultra-sim 的 peak-peak jitter 模擬結果比較

	PLL(30000cycle)		SSCG(250cycle)	
	Hspice	Ultra-sim	Hspice	Ultra-sim
pre-sim	4.97ps	10.77ps	8.36ps	14.37ps
post-sim	6.16ps	13.51ps	9.22ps	15.68ps

首先可以看到在 PLL 測試 jitter 的部分，以 Hspice 來模擬 pre-sim 跟 post-sim 在疊了三萬的週期後的結果其實是相差很少的，表示 jitter 並沒有因為 layout 的寄生效應而變壞太多，若是用 Ultra-sim 來做相同的驗證，可以發現不管是 pre-sim 或 post-sim 都跟 Hspice 有著特定倍率的差距，這是因為兩套模擬軟體精準度的設定不同，因此模擬結果有著倍率上誤差。所以本論文在 Random jitter(rms)@250 cycles : <12ps 這項測試上，是將 Ultrasim 模擬的結果，以實際模擬結果的倍率誤

差反推回去，藉此判斷若是能夠用 Hspice 成功跑完模擬，合理來說其結果是可以在 SATA-3.0 要求的 12ps 內的。圖 3.34 為 Ultrasim 在展頻時任意取 250 個週期所做的 peak-peak 結果。以上述理論推論回去其值約為 9.22ps，可以看到展頻功能確實帶來了 jitter 的增加。

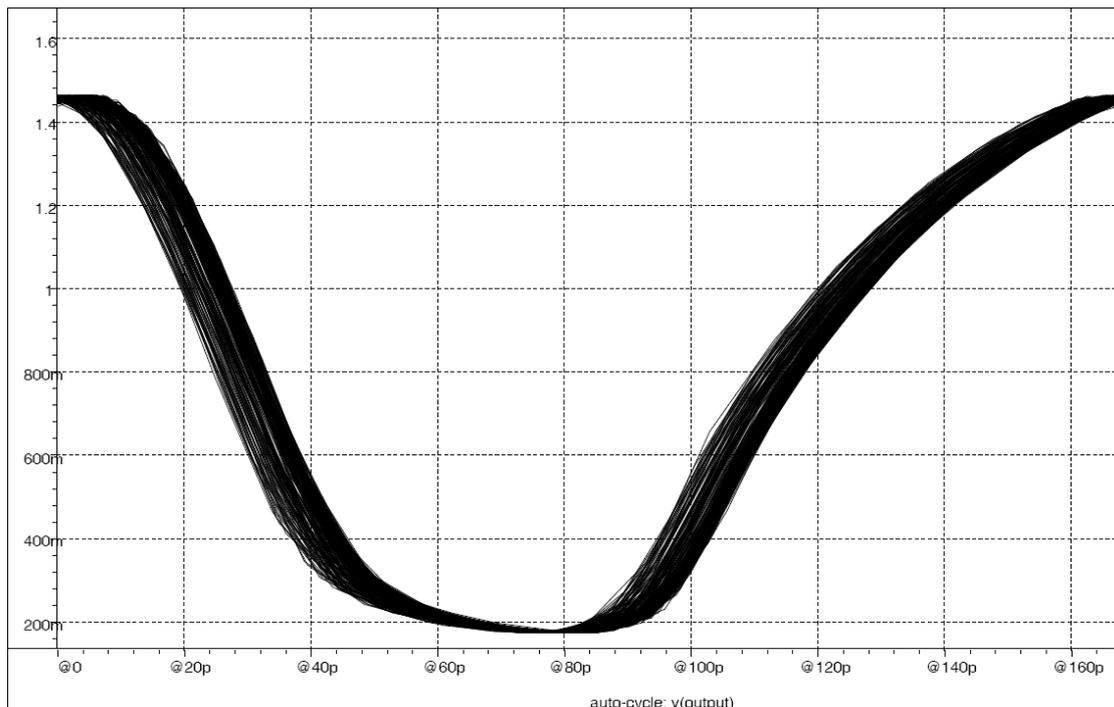


圖 3.34 展頻期間內任意取 250 個週期時脈的 peak-peak jitter

3.9 模擬數據整理列表與總結

從上面的討論中已經可以確定了所有本論文的模擬方法，因此便進行了完整的電路模擬，包括 pre-sim、post-sim 以及 corner 變異。最後表 3.3 整理了本論文設計的 SSCG 完整電路模擬結果，可以看到 pre-sim 跟 post-sim 的差異並不大，且皆有符合一開始定的 SATA-3.0 規格。至於 corner 的變異透過改變電壓的結果，也可以從表 3.4 看到，只要給予 VCO 電路相對的電壓，則展頻功能一樣可以不受 corner 的影響而達到規格要求。

表 3.3 本論文設計的 SSCG 電路模擬結果整理

	Pre-sim	Post-sim	Specification
Technology	TSMC-0.18um		
Supply voltage	1.8V		
Frequency	5.97GHz~6GHz		
EMI reduction	23.1dB	22.49dB	>7dB
PLL jitter (pk-pk)	4.97ps	6.16ps	N/A
Random jitter @250 cycle(pk-pk)	8.38ps	9.22ps	<12ps(rms)
Power dissipation	56.35mW	60.43mW	N/A
Chip area	500um×300um (core)/933um×933um (total)		

表 3.4 SSCG 不同 corner 的模擬結果比較

Corner	tt	ss	ff
VCO supply	1.8V	2.2V	1.6V
EMI reduction	22.49 dB	22.40 dB	21.07 dB
PLL jitter (pk-pk)	6.16ps	8.41ps	6.03ps
Random jitter @250 cycle(pk-pk)	9.22ps	7.67ps	7.73ps
Power dissipation	60.43mW	77.65mW	45.92mW

從進入本章至此，本論文已經在模擬上完成了所設計 SSCG 的 layout 以及所有 post-sim 結果，每一項都能符合當初訂立的 SATA-3.0 規格，因此第四章將會開始進入晶片實作後的各種量測以及結果分析。

第四章

晶片量測結果與分析

本章將進入到晶片的量測結果，由於 PCB 版設計對高頻量測是相當重要的關鍵，因此在 4.1 節本論文會針對量測環境的設置以及對 PCB 版做設計上的考量。4.2 節會先在排除最多外界雜訊的情況下，以理想電源電池作晶片的 PLL 鎖定以及 SSCG 展頻等基本功能的驗證，確保 PCB 設計是否無誤。4.3 節會換成電源供應器再做一次驗證，觀測電源的不同所帶來的影響。4.4 節以及 4.5 節則會對應到之前第三章設計輸出 Buffer 討論時所提到的使用 Bias-Tee 元件以及探針量測。4.6 節則是整合了 4.2 節~4.5 節所有在常溫狀態下的量測結果做整理列表。4.7 節會進入到設計 Ring-VCO 時所提的 PVT 分析，也就是會將晶片做溫度的改變觀察需要調整的電源電壓變化，以及針對量測結果跟一開始設計的目標作討論。4.8 節會對量測時所觀測到的特殊現象做討論，最後 4.9 節會為本章做總結。

4.1 量測平台設置以及 PCB 版設計分析

量測平台的建立可用圖 4.1 做說明。本晶片是採取 TSMC-0.18um 的製程，因此設計時就讓所有電路的輸入電源為 1.8V，而電壓供應器(Keithley 2400 or Battery)提供所需的電源。再來利用石英振盪器(ASD3_25MHz_ECT) 產生 25MHz 的 ref flock。而輸出的時脈部分有分成兩種，一是驗證 PLL 鎖定功能的 fb clock，二是 VCO 的 output-clock。這部份則要有時域跟頻域的分析，時域量測以示波器(Tektronix_DPO 70804)來觀察時脈波形以及 jitter。頻域部份是透過頻譜分析儀(Agilent_E4407B) 來觀察能量強度跟展頻後的 EMI reduction。

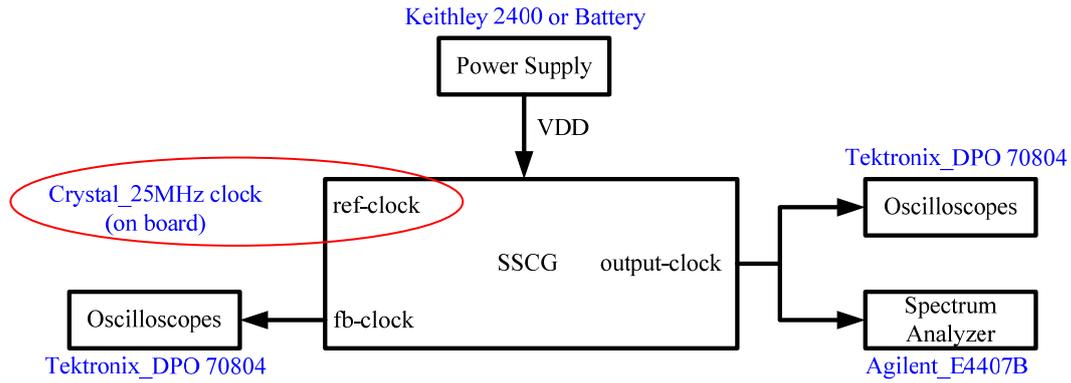


圖 4.1 晶片量測示意圖

當然上面的分析是建立在以 PCB 版量測的思維上，而在 3.8 節呈現電路完整 layout 圖時，也提到本晶片有針對下探針的量測可能進行設計，因此若是有需要，也能夠使用圖 4.2 的方式進行探針量測。在設計上特意將電源線擺放左右兩邊，而所有的偏壓以及輸入信號都在下方，讓上方的 VCO 輸出時脈經由探針直接傳送到儀器，可以避開 PCB 之類的外部負載。相關的儀器設備將可經由國家晶片系統設計中心(National Chip Implementation Center, CIC)商借提供。

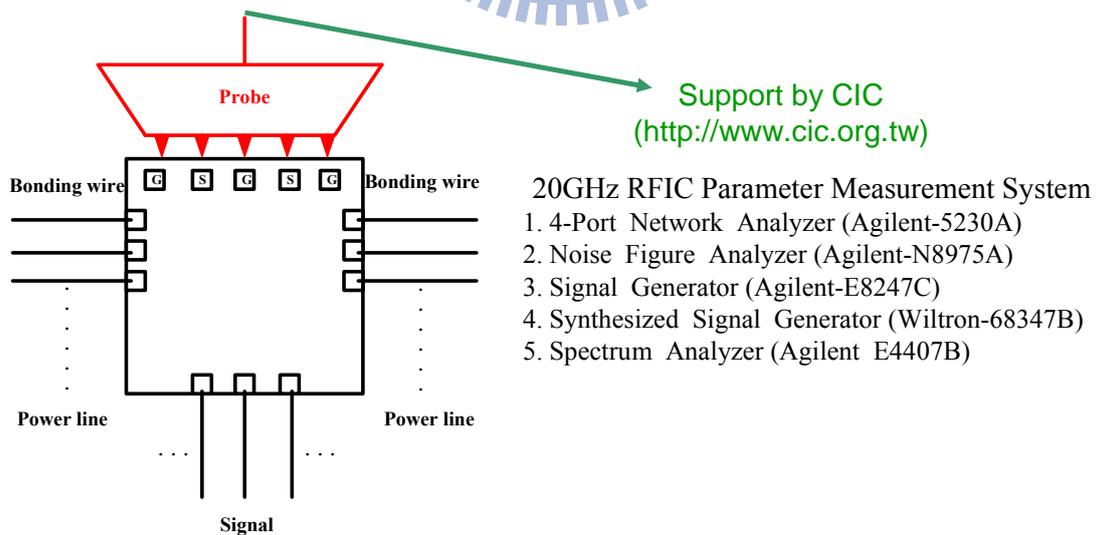


圖 4.2 探針量測示意圖

在確定了上面的量測平台設置後，便可以開始進入 PCB 的設計。圖 4.3 是本論文用來量測 SSCG 的 PCB 版，它是使用 FR4 的四層板，版厚為 8mm。同時也針對了高頻傳輸相當重視的阻抗匹配作了設計，在 VCO 輸出時脈的路徑上作了線寬上的調整(19mil，此數值由廠商提供)，令其輸出負載盡量接近 50 歐姆。

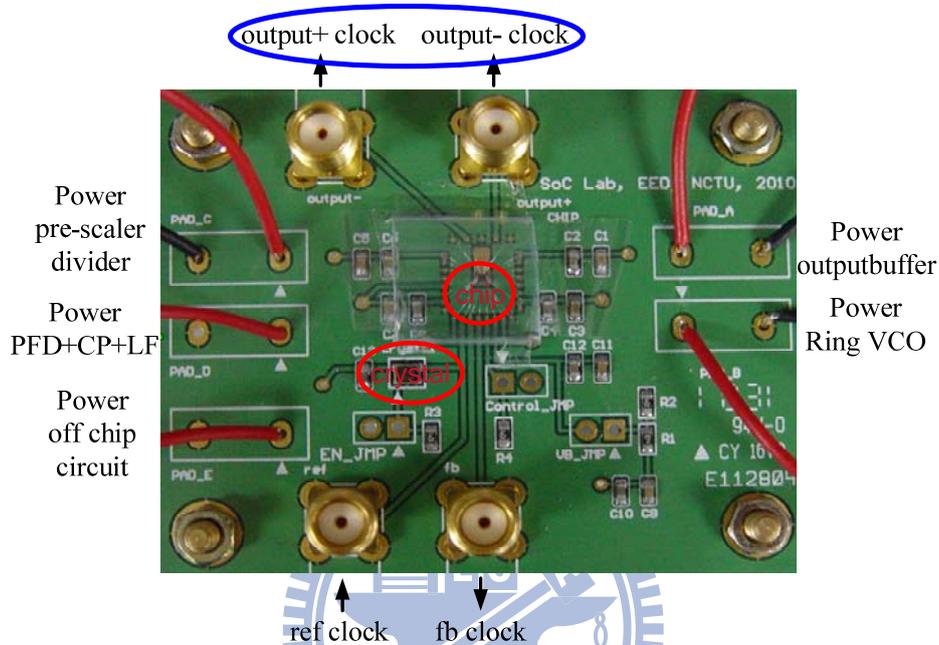


圖 4.3 本論文設計用來量測 SSCG 的 PCB 電路版

從板上可以看到已將各元件的電源線獨立分開放置在兩旁。Output+ - clock 則是 VCO 的 6GHz 時脈差動輸出，可以看到輸出路徑在 PCB 板上並沒有對稱排列，這是本論文量測上的特殊考量。因為雖然設計的 VCO 能夠提供差動輸出對，但是因為 SMA 接頭有一定的佔用空間，若是要求輸出路徑兩端以對稱排列的形式，則不可避免會遇到路徑無法都走直線，一定會有轉折的情況發生，而高頻信號在路徑轉折處會有很大的衰減，考慮到本論文需要量測的 PLL 以及展頻功能只需要一端信號正常便可進行驗證，因此選擇讓 Output-這端在 PCB 版上可以直線傳輸，確保有最好的傳輸品質。在中間擺放晶片處也有對下針 bonding wire 的需求，以廠商提供的規格將間距放大讓探針能順利放入。分析至此，本論文所設計的 PCB 版大致如上所述，因為當時在設計輸出端時已經有針對下針，Bias-Tee

元件等不同的外部負載做考慮，同時也將產生 ref clock 的 crystal 做在版子上，可說只需要提供電源再打開 crystal 便可以開始量測。以下將進入正式的晶片量測，圖 4.4 為最後設計完成的 SSCG 實做晶片 Die photo，而圖 4.5 則為量測實境。

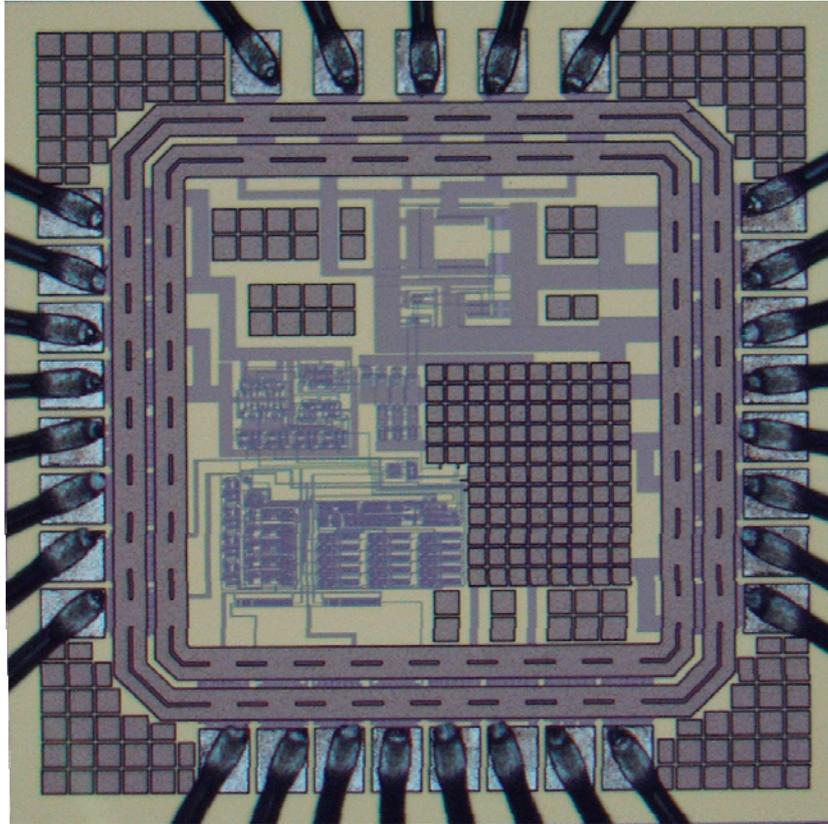


圖 4.4 本論文的 SSCG 晶片 die photo (Chip area : 933umx933um)

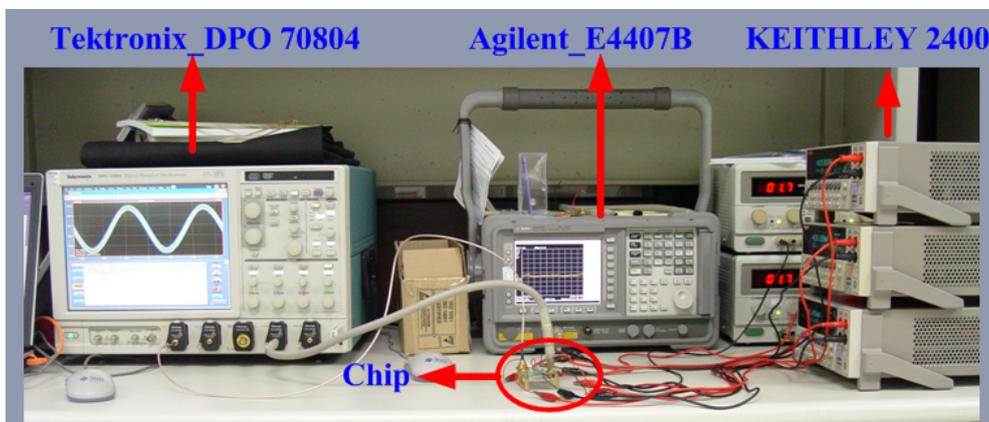


圖 4.5 量測實境

4.2 以電池做初步的 PLL 鎖定跟 SSCG 展頻測試

由於此節是初次進行驗證，所以會盡量降低各種元件的使用以及雜訊的干擾。因此先在 PCB 版上以理想的電源，也就是電池當作供應器，同時也先不使用 Bias-Tee 元件。

4.2.1 PLL 鎖定驗證(電池)

圖 4.6 顯示的是走直線端出來的 VCO output 負端信號，可以看到這確實是一個 6GHz 的時脈信號，其振幅約為 0.25V，rms jitte 約為 2.211ps，而圖 4.7 則為 fb clock 端所觀測到的信號，為 6GHz 時脈經過除頻後要送回跟 ref clock 比對的 25MHz fb clock，至此可以確定 PLL 鎖定功能正確，此時電源為 1.8V，功率消耗為 65.556mW(不含輸出 Buffer)。

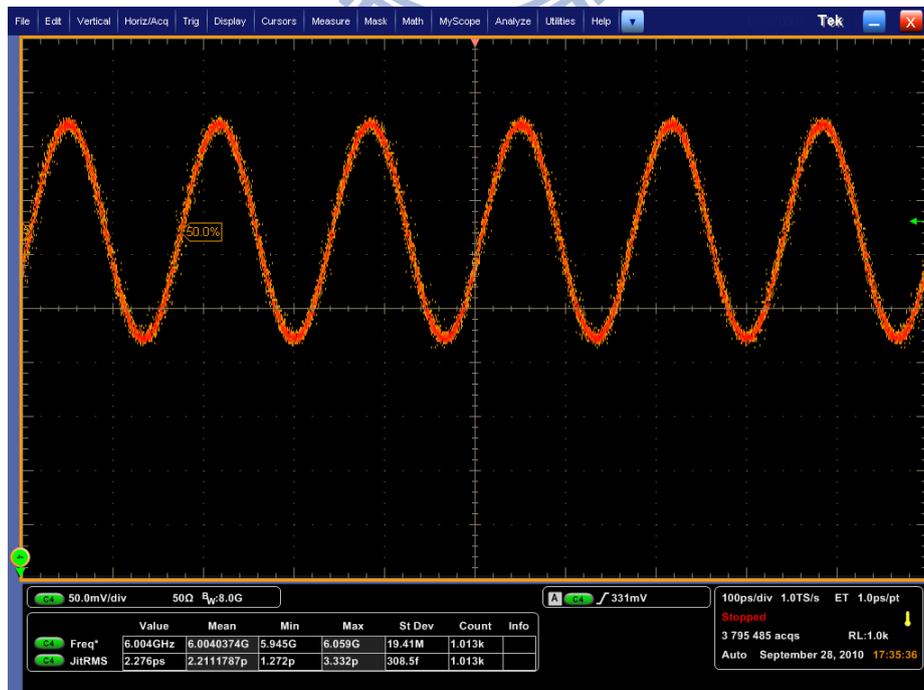


圖 4.6 PLL 產生的 VCO output- clock 量測



圖 4.7 PLL 產生的 fb clock 端量測

在確定了 PLL 鎖定功能正常後，圖 4.8 便將產生的 6GHz 時脈轉換到頻域上觀測，此時儀器設置條件為 8192 點的傅立葉轉換以及 RBW 為 100K，中心能量為 -11.63dBm。接著便是啟動展頻功能來驗證 EMI reduction。

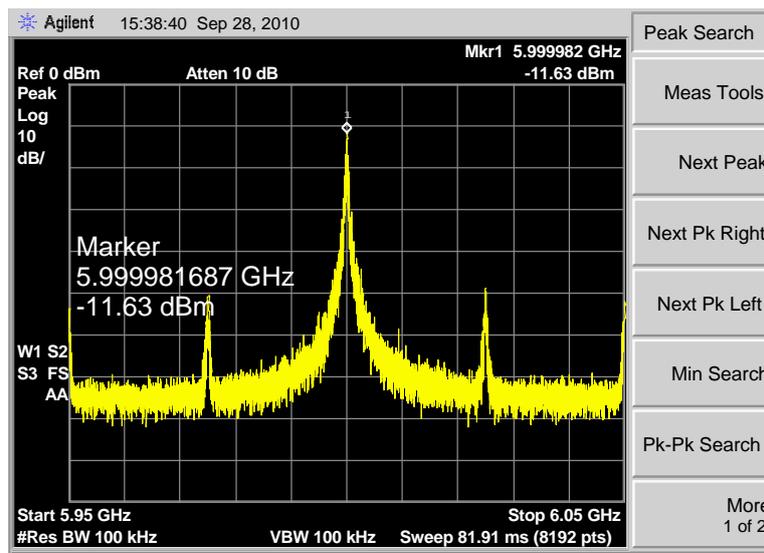


圖 4.8 8192 點+RBW=100K 的 PLL_6GHz 時脈頻譜圖

4.2.2 SSCG 展頻驗證(電池)

當展頻電路啟動時，確實如圖 4.9 所示將中心能量平均分散在 5.97GHz~6GHz 的調變範圍，此時峰值能量軸為-25.65dBm，便可知道在這樣測試條件下，對比可由圖 4.10 得知 EMI reduction 為 14.02dB(25.65dBm-11.63dBm)。到此也確立了 SSCG 展頻功能也是正確的，再來就是更進一步各種效能的驗證。

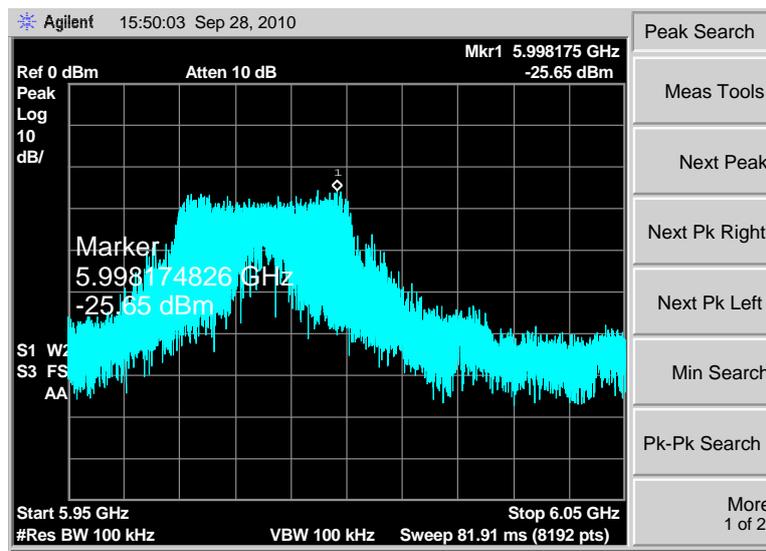


圖 4.9 8192 點+RBW=100K 的 SSCG_5.97GHz~6GHz 時脈頻譜圖

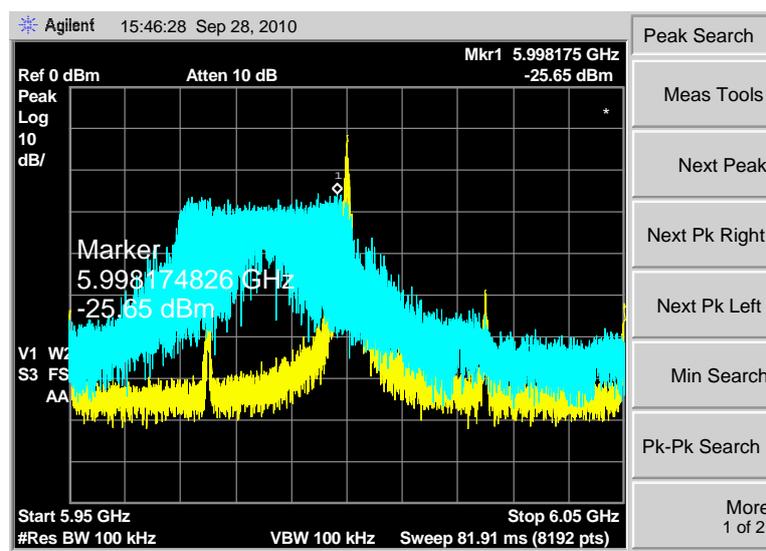


圖 4.10 8192 點+RBW=100K 的 EMI reduction 量測結果

4.2.3 進階效能驗證 (電池)

將測試條件改為 8192 點+RBW=10K，從圖 4.11 以及圖 4.112 的比較下可得知 EMI reduction 為 24.22dB。結果跟 RBW=100K 有著約 10dB 的差異是因為 RBW 的不同會影響儀器選擇積分範圍的大小，而這兩者的積分範圍差了 10 倍，表示積分後的能量也會差 10 倍，故讓整體的 noise floor 下降了約 10dB。

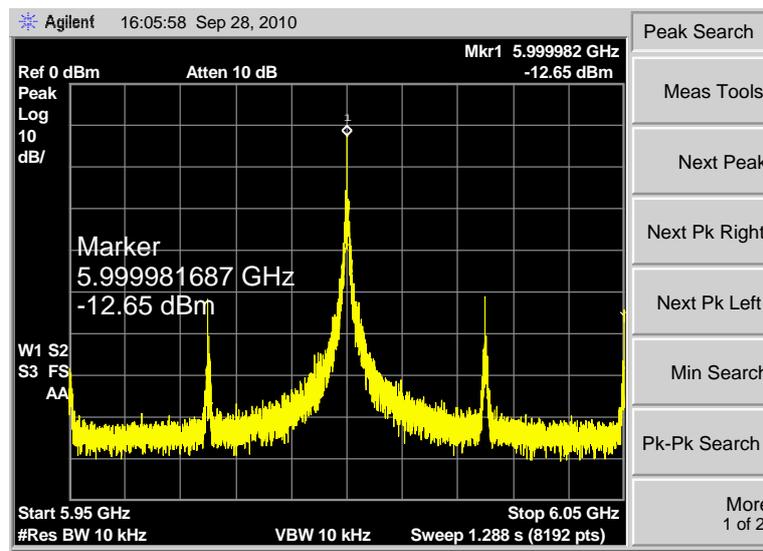


圖 4.11 8192 點+RBW=10K 的 PLL_6GHz 時脈頻譜圖

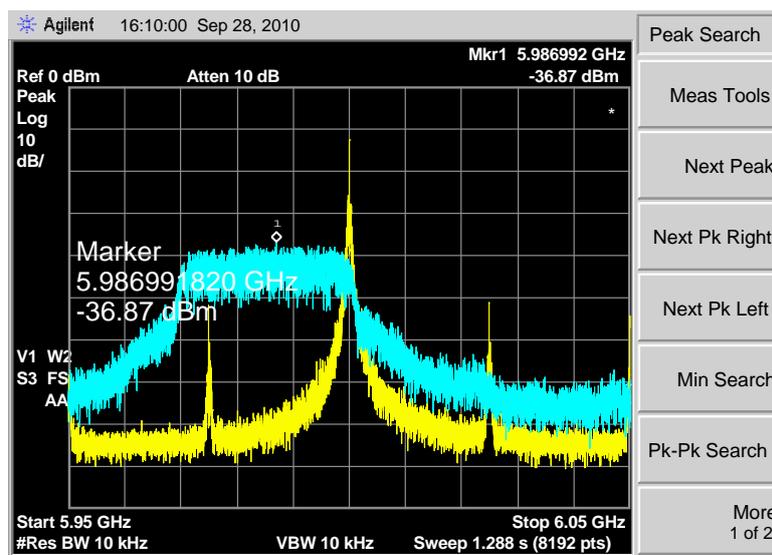


圖 4.12 8192 點+RBW=10K 的 EMI reduction 量測結果

在距離中心頻率 1MHz 偏離的 phase noise 測試中，圖 4.13 是在 Agilent E4407B 儀器上做的測試，在 8192 點+RBW=1K 的情況下看中心頻率根據離它偏離 1MHz 的能量差異，再減去 RBW=1K 的-30dB 能量誤差，結果為-74.41dBc/Hz。

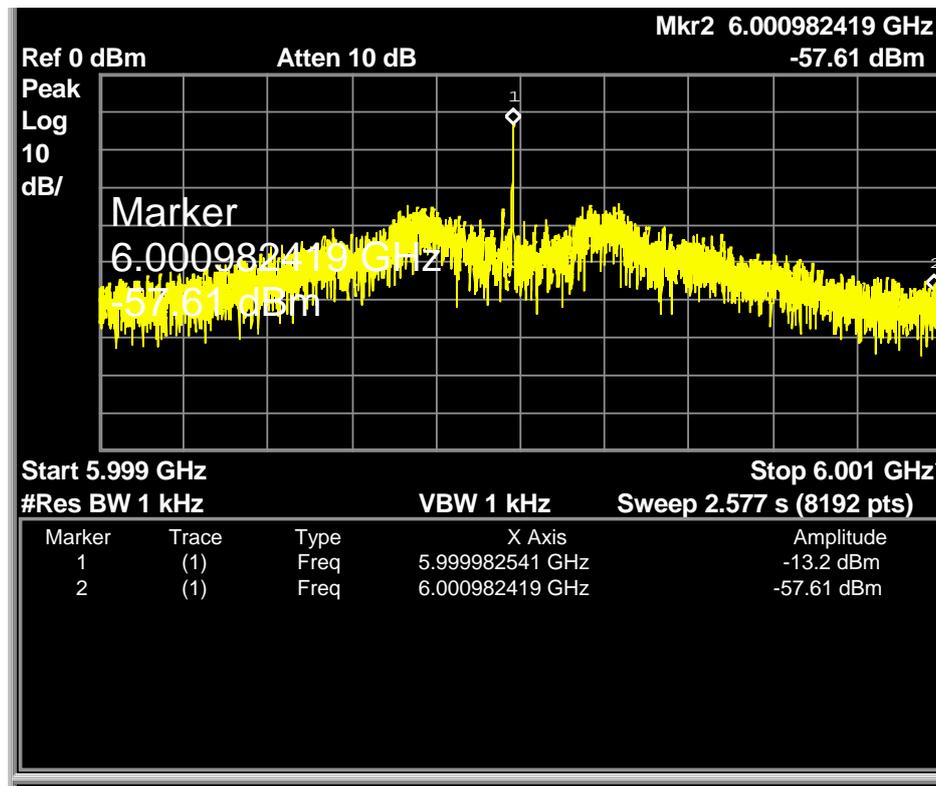
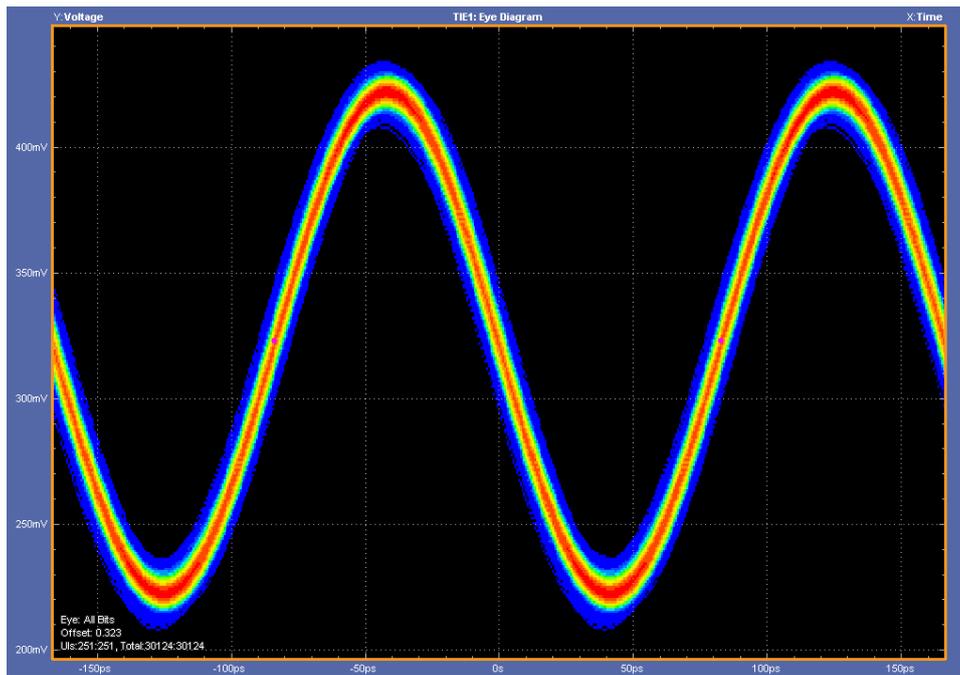


圖 4.13 Agilent E4407B 的 phase noise 量測

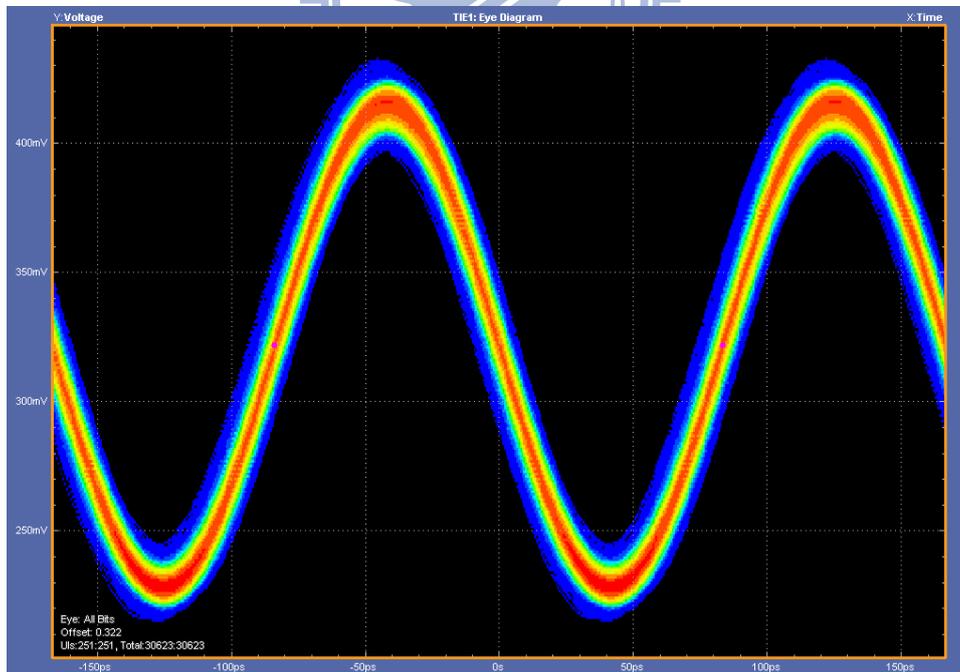
而在 jitter 測試中，圖 4.14 為 PLL 產生的 6GHz 時脈 peak to peak jitter，在累積約 3 萬個週期後，可以發現 jitter 約為 15.938ps。另外一項測試就是當展頻功能產生後，會因為調變的關係造成多少 jitter 的增加，所以圖 4.15 是展頻時一樣也做了約 3 萬個週期的累積，這中間可以發現因為中心頻率是平均在 5.97GHz~6GHz，所以其頻率平均結果約在 5.985GHz，這表示展頻功能是正常運作，同時 peak to peak jitter 約為 19.954ps，兩相比較下，可以說當展頻調變時所帶來的 jitter 增加約為 4ps 左右。而展頻期間內任意取 250 個週期時脈累積的 peak to peak jitter 為 10.924ps，符合了規格的 Random jitter(rms)@250 cycles : <12ps。



Measurement Results

Description	User Name	Mean	Std Dev	Max	Min	p-p	Population	Max-cc	Min-cc
Freq1, Ch4		6.0006GHz	56.760MHz	6.1713GHz	5.7098GHz	461.46MHz	30004	295.01MHz	-306.66MHz
Current Acquisition		6.0003GHz	55.581MHz	6.1070GHz	5.8542GHz	252.79MHz	250	172.99MHz	-173.60MHz
TIE1, Ch4		0.0000s	1.7987ps	7.3487ps	-8.5894ps	15.938ps	30124	8.4616ps	-4.6224ps
Current Acquisition		0.0000s	2.0554ps	5.2925ps	-4.6224ps	9.9148ps	251	4.1470ps	-2.9238ps

圖 4.14 PLL 6GHz 時脈 peak to peak jitter 量測



Measurement Results

Description	User Name	Mean	Std Dev	Max	Min	p-p	Population	Max-cc	Min-cc
Freq1, Ch4		5.9846GHz	60.502MHz	6.1741GHz	5.7178GHz	456.28MHz	30501	337.43MHz	-294.76MHz
Current Acquisition		5.9782GHz	64.456MHz	6.1114GHz	5.8090GHz	302.48MHz	250	214.82MHz	-221.72MHz
TIE1, Ch4		0.0000s	2.2589ps	9.1240ps	-10.830ps	19.954ps	30623	7.6115ps	-5.2113ps
Current Acquisition		0.0000s	2.1294ps	4.5347ps	-6.3896ps	10.924ps	251	4.8431ps	-3.6774ps

圖 4.15 展頻功能啟動後的 peak to peak jitter 量測

4.2.4 使用電池的量測總結

4.2節的量測至此可以確定了在理想電源電池的情況下，本論文設計的SSCG晶片是可以運作的。儀器的傅立葉轉換點數分析最少可做401點最多可做8192點，而在Resolution Band Width(RBW)上選擇了目前在IEEE 各種相關論文最廣為使用的100K以及10K作測試。在隨意挑選兩顆晶片量測後結果如表4.1，跟一開始訂立的SATA-3.0規格對照，晶片確實能夠符合所有規格要求。

表 4.1 使用電池的量測結果

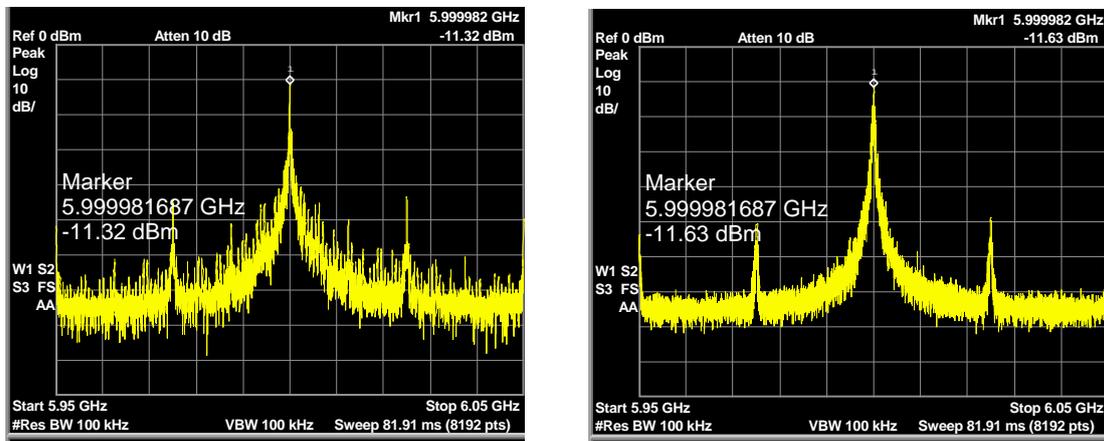
	EMI 8192 100K	EMI 8192 10K	EMI 401 100K	EMI 401 10K	PLL jitter rms	PLL jitter pp	SSCG jitter pp	Random 250cycles jitter(pp)	Power
Chip3 Au	14.02 dB	24.22 dB	14.31 dB	24.36 dB	2.211 ps	15.938 ps	19.954 ps	10.924 ps	65.556 mW
Chip7 Al	14.21 dB	25.00 dB	14.58 dB	24.64 dB	2.238 ps	13.598 ps	21.472 ps	9.438 ps	64.746 mW

其中有兩個地方需要特別註明，首先所有的晶片都是需要打線才能進行量測，因此線材有分為金線(Au)及鋁線(Al)，再來表中紀錄的功率消耗不包含輸出buffer的功率。在確立了PCB版在量測上是可以正常使用之後，接下來的4.3節將會用電源供應器(Keithley)取代電池，測試不同電源所帶來的影響。

4.3 電源供應器與電池差異測試

在此處的量測是為了要比較使用不同的電源供應器是否會有影響，因此在外部條件設定上可說跟4.2小節是一樣的條件，只差在提供電源的儀器不同。

圖 4.16 的(a)為使用電源供應器的頻譜，而(b)則為使用電池的頻譜。可以很明顯看出雖然兩者都可以讓 PLL 鎖在 6GHz 且信號能量強度一致，但明顯使用了電池當電源的頻譜有較好的雜訊表現。

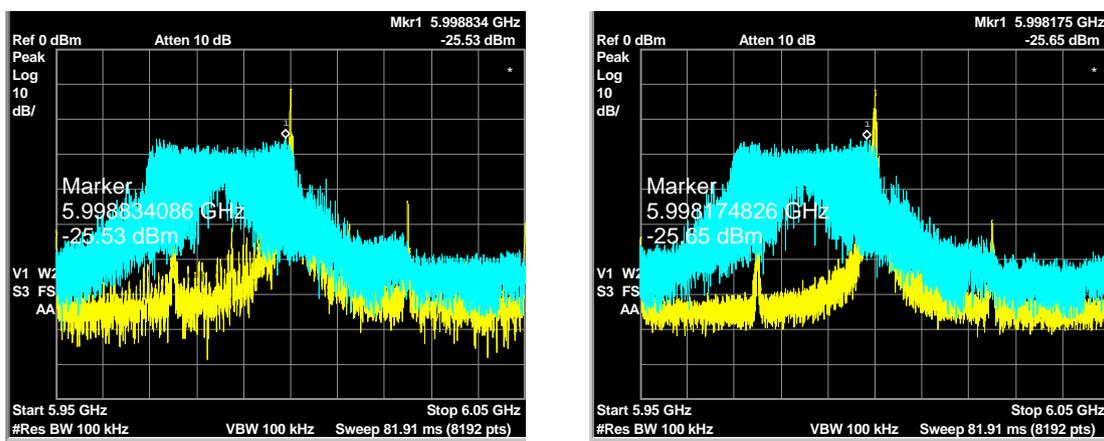


(a) Keithley

(b) Battery

圖 4.16 使用電源供應器以及電池對 PLL 功能量測的影響

但是展頻功能本身只是驗證能量的相對變化，只要調變器本身可以正常工作，雖然雜訊程度有差，但並不會影響到展頻，因此圖 4.17 的量測可以看出不管使用哪種電源，只要是正常調變的情況下，其 EMI reduction 在 8192 點 +RBW=100K 的量測條件下，結果都是相當接近在 13~14dB。



(a) Keithley

(b) Battery

圖 4.17 使用電源供應器以及電池對 SSCG 功能量測的影響

表 4.2 整理了在同一顆晶片(no.3)用 Keithley 所做的所有量測結果跟使用電池的比較表，這兩種的結果其實是差不多的，表示晶片本身受電源影響不大。

表 4.2 電池跟電源供應器的量測結果差異

	EMI 8192 100K	EMI 8192 10K	EMI 401 100K	EMI 401 10K	PLL jitter rms	PLL jitter pp	SSCG jitter pp	Random 250cycles jitter(pp)	Power
Battery	14.02 dB	24.22 dB	14.31 dB	24.36 dB	2.211 ps	15.938 ps	19.954 ps	10.924 ps	65.556 mW
Keithley	14.21 dB	25.32 dB	15.09 dB	25.15 dB	2.062 ps	16.708 ps	21.143 ps	9.295 ps	65.898 mW

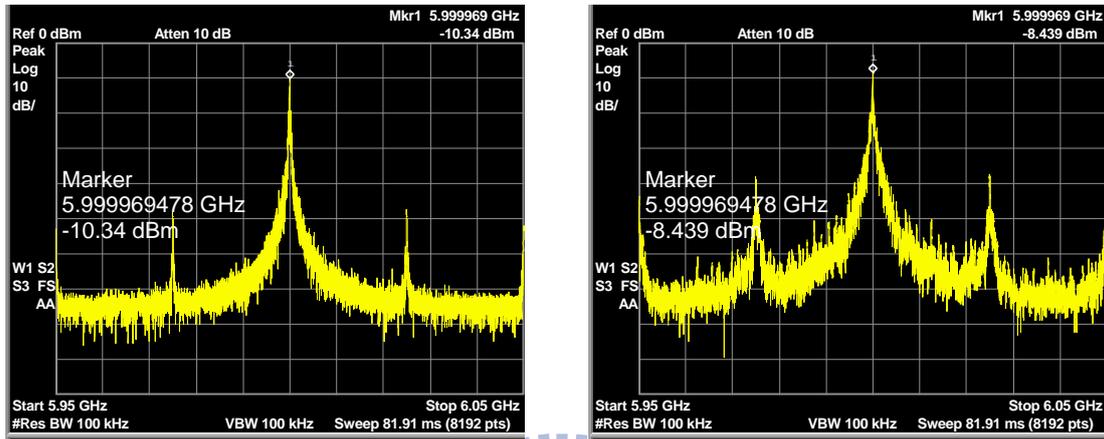
在 4.3 節中經由改變電源的方式確立了本論文設計的晶片不因電源有雜訊而受到太大的影響，因此接下來的所有量測會選擇跟 SATA 系統實際運作的環境，是在雜訊較高主機板內，情況較為接近的 Keithley 當做電源。而在使用的電源確立後，接下來 4.4 節會測試一般在高頻量測中很常使用的 Bias-Tee 偏壓元件，看看其對晶片的影響有多少。

4.4 Bias-Tee 電路影響測試

由於高頻量測時，常會利用可提供偏壓位準的 Bias-Tee 元件來輔助，因此 4.4 節的目的在觀測此元件對本論文晶片的影響，測時條件跟 4.3 節一致，但是會多加上 Bias-Tee 元件。

圖 4.18(a)為不使用 Bias-Tee 的頻譜，而(b)則為使用的頻譜。可以很明顯看出使用 Bias-Tee 元件的量測，因偏壓點的不同而使儀器在徵測信號能量強度上有差異，有使用 Bias-Tee 的頻譜可看出因偏壓點較高相對在頻譜上的強度也較高。

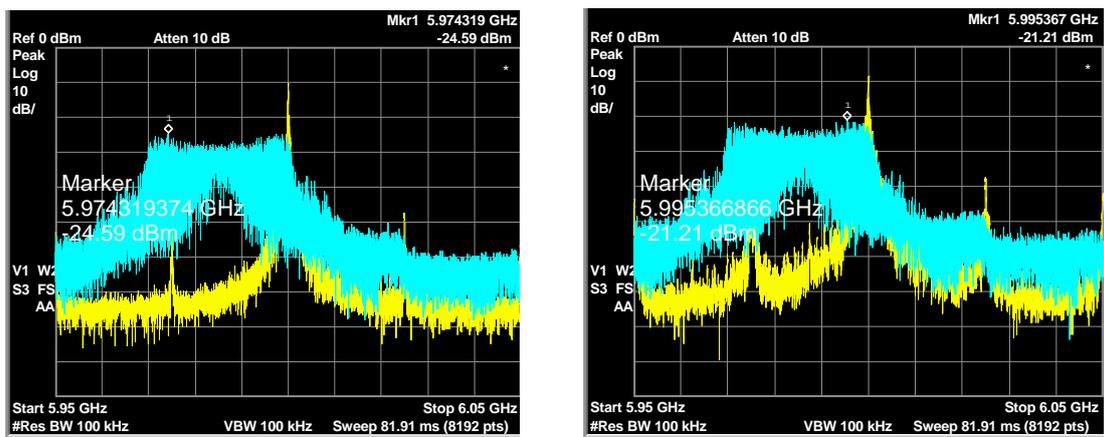
但是雜訊干擾的部份也比較嚴重，這可能是兩個部份所造成的現象，第一是使用 Bias-Tee 讓信號多經過一個元件，傳輸路徑變長對高頻時脈而言雜訊干擾的影響越大，第二是 Bias-Tee 的偏壓電源不夠乾淨，導致 White noise 上升。



(a) Without Bias-Tee (b) With Bias-Tee

圖 4.18 Bias-Tee 元件對 PLL 功能量測的影響

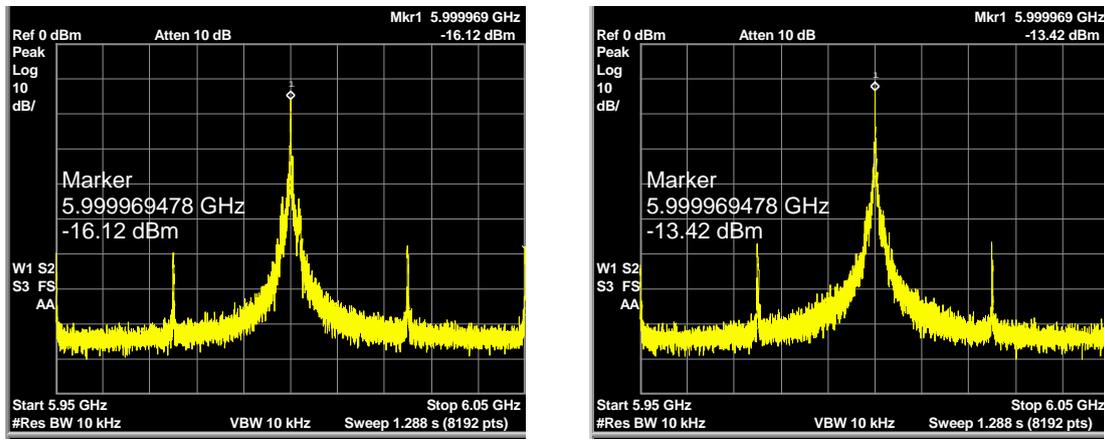
不過展頻功能本身是驗證能量的相對變化，因此圖 4.19 的驗證可以看出不管有無使用 Bias-Tee，只要是正常調變的情況下，其 EMI reduction 的結果會差不多。在 8192 點+RBW=100K 的量測條件下，大多在 13~14dB 這個範圍。



(a) Without Bias-Tee (b) With Bias-Tee

圖 4.19 Bias-Tee 元件對 SSCG 功能量測的影響

當然如果很在意 White noise 的影響，也可以如圖 4.20 所示，使用電池當作 Bias-Tee 的偏壓，從圖形可以觀測到雜訊的影響小了很多。



(a) Without Bias-Tee

(b) With Bias-Tee

圖 4.20 使用電池偏壓 Bias-Tee 來降低雜訊

4.4節的量測至此可以確定了本論文設計的SSCG晶片當初在模擬時對輸出buffer所做的Bias-Tee負載是可以讓晶片運作的。而隨意挑選兩顆晶片量測後結果如表4.3，也都能夠符合所有SATA-3.0規格要求。

表 4.3 使用 Bias-Tee 的量測結果

	EMI	EMI	EMI	EMI	PLL	PLL	SSCG	Random	Power
	8192	8192	401	401	jitter	jitter	jitter	250cycles	
	100K	10K	100K	10K	rms	pp	pp	jitter(pp)	
Chip2	12.77	23.47	13.71	22.64	1.785	16.486	22.871	8.378	65.916
Al	dB	dB	dB	dB	ps	ps	ps	ps	mW
Chip8	13.32	24.11	15.30	24.14	2.195	14.711	22.375	8.777	66.312
Au	dB	dB	dB	dB	ps	ps	ps	ps	mW

表 4.4 整理了在同一顆晶片(no.2)使用 Bias-Tee 元件與否的對照量測，結果證實跟這兩種的結果其實是差不多的，表示晶片本身有無此元件的影響不大。

表 4.4 使用 Bias-Tee 與否的量測結果差異

Bias-Tee	EMI 8192 100K	EMI 8192 10K	EMI 401 100K	EMI 401 10K	PLL jitter rms	PLL jitter pp	SSCG jitter pp	Random 250cycles jitter(pp)	Power
有	12.77 dB	23.47 dB	13.71 dB	22.64 dB	1.785 ps	16.486 ps	22.871 ps	8.378 ps	65.916 mW
無	14.25 dB	24.85 dB	13.98 dB	25.10 dB	2.103 ps	14.753 ps	22.400 ps	9.949 ps	65.502 mW

如同 4.3 節針對電源不同作量測後，發現結果並沒差別，因此使用了雜訊較高貼近真實主機板情況的 Keithley 電源，同樣 4.4 節中也確立了使用 Bias-Tee 與否對本論文設計的晶片也沒有明顯影響，所以在往後的晶片量測中將不再使用此元件，畢竟真實的環境中商用化的產品並不會有可以使用 Bias-Tee 的空間。再來的 4.5 節會進行不同於之前 PCB 量測的另外一種手法，也就是在設計 layout 時曾考慮過的下探針量測。

4.5 CIC 下探針量測

為了量測的完整性，本論文在此節也使用了 CIC 提供的高頻探針量測儀器進行驗證。此時量測的外部環境便是跟 4.3 節條件相同，但是從 PCB 版傳輸信號變成用探針傳輸信號。一般來說探針是為了量測極高頻的信號，不讓外部負載影響信號的輸出，才用探針讓信號不透過 PCB 版直接送入儀器。但事實上這也會根據探針的使用程度不同而大幅影響實際量測結果。

圖 4.21 為下探針的 PLL 功能驗證，在 8192 點+RBW=10K 的條件下，雖然圖形能證明 PLL 確實有鎖定並產生 6GHz 的時脈，但是可以明顯看出雜訊的影響比之前在 PCB 版量測時高上許多。

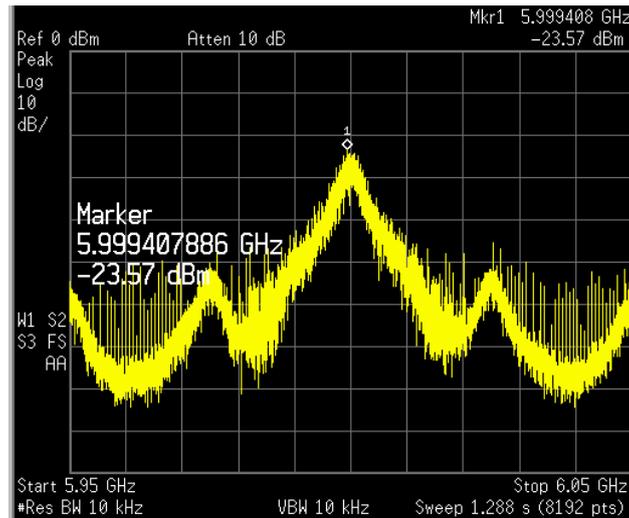


圖 4.21 以探針量測 PLL 鎖定功能

更進一步啟動展頻驗證，圖 4.22 顯示雖然也能夠將頻率展頻至 5.97GHz~6GHz 這段範圍，但是 EMI reduction 只有 6.75dB，這是因為雜訊太高所帶來的影響。而這樣的量測結果對照之前 PCB 版驗證的差異，本論文認為有兩個可能，一是對下探針的設定考慮不夠詳細，二是探針本身是屬於消耗品，也許使用的探針已經有些許毀壞。

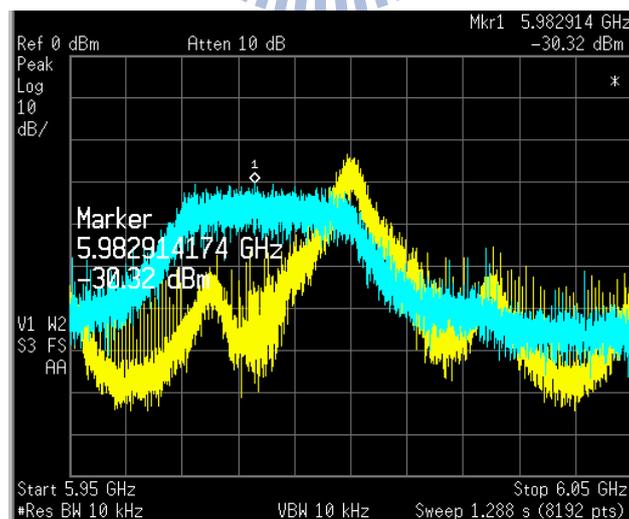


圖 4.22 以探針量測 SSCG 展頻功能

不過另外一項 phase noise at 1MHz 的測試，使用了 CIC 提供的 Agilent E5052B Signal Source Analyzer 進行測試，圖 4.23 顯示為-73.27dBc/Hz，這跟在 PCB 版使用 Agilent E4407B 結果是非常接近的。



圖 4.23 Agilent E5052B Signal Source Analyzer 的 phase noise 測試

表 4.5 是去 CIC 下針所量到的全部結果，雖然下探針結果沒有比用 PCB 好，但是也證實了當初在 PCB 版以及電路 layout 時的下針設計是可以使用的。

表 4.5 CIC 下探針的量測結果

	EMI	EMI	EMI	EMI	PLL	PLL	SSCG	Random	
	8192	8192	401	401	jitter	jitter	jitter	250cycles	Power
	100K	10K	100K	10K	rms	pp	pp	jitter(pp)	
Chip_probe	N/A	6.75	3.02	9.26	N/A	N/A	N/A	N/A	63.306
Au	dB	dB	dB	dB	ps	ps	ps	ps	mW

在這樣的情況下，可以說最後要對所有晶片做量測時，探針的選擇已經被排除了，因此從 4.2 節到 4.5 節的前置測試下確定了最後量測所有晶片的外部條件為在室溫下，用 PCB 版平台以 Keithley 提供 1.8V 電源且不使用 Bias-Tee 元件。

4.6 所有晶片量測結果整理列表

從 4.2 節到 4.5 節可以說是在為完整量測所有晶片所做的前置測試，可以說盡量希望能跟晶片將來實際操作環境做匹配。最後表 4.6 記錄了所有晶片(13 顆)按照此環境下的完整量測結果。其中列表中紀錄的功率消耗都不包含輸出 buffer 的功率，輸出 buffer 平均的功率消耗約為 $28\text{mA} \times 1.8\text{V}$ 。

表 4.6 正常情況下的所有晶片量測結果

	EMI 8192 100K	EMI 8192 10K	EMI 401 100K	EMI 401 10K	PLL jitter rms	PLL jitter pp	SSCG jitter pp	Random 250cycles jitter(pp)	Power
Chip1 Al	12.69 dB	20.67 dB	13.92 dB	20.88 dB	1.914 ps	16.846 ps	23.022 ps	10.972 ps	64.638 mW
Chip2 Al	14.25 dB	24.85 dB	13.98 dB	25.10 dB	2.103 ps	14.753 ps	22.400 ps	9.949 ps	65.502 mW
Chip3 Au	14.21 dB	25.32 dB	15.09 dB	25.15 dB	2.062 ps	16.708 ps	21.143 ps	9.295 ps	65.898 mW
Chip4 Au	13.33 dB	24.51 dB	14.19 dB	24.15 dB	2.095 ps	16.920 ps	19.193 ps	10.872 ps	65.718 mW
Chip5 Al	14.15 dB	24.74 dB	14.38 dB	24.54 dB	2.006 ps	17.847 ps	23.322 ps	10.921 ps	65.664 mW
Chip 6 Al	13.98 dB	24.42 dB	14.98 dB	24.15 dB	2.290 ps	17.406 ps	20.772 ps	10.790 ps	66.060 mW
Chip7 Al	13.87 dB	25.48 dB	14.49 dB	25.12 dB	2.052 ps	15.007 ps	19.215 ps	9.474 ps	65.790 mW
Chip8 Au	14.38 dB	25.38 dB	14.55 dB	25.63 dB	2.353 ps	16.525 ps	21.201 ps	9.884 ps	65.880 mW
Chip9 Al	13.85 dB	25.30 dB	15.01 dB	25.20 dB	2.111 ps	16.686 ps	22.978 ps	9.881 ps	65.502 mW
Chip10 Au	12.74 dB	23.13 dB	14.35 dB	23.13 dB	2.236 ps	16.552 ps	22.857 ps	10.682 ps	65.232 mW
Chip11 Au	13.00 dB	23.25 dB	14.33 dB	22.28 dB	2.302 ps	16.819 ps	21.991 ps	9.772 ps	65.952 mW

Chip12	12.51	24.36	14.27	24.24	2.291	13.512	20.690	9.594	66.132
Al	dB	dB	dB	dB	ps	ps	ps	ps	mW
Chip13	13.22	24.46	14.59	24.12	2.158	15.744	21.245	9.296	65.592
Al	dB	dB	dB	dB	ps	ps	ps	ps	mW
Average	13.55	24.30	14.47	24.13	2.152	16.256	21.541	10.106	65.658
	dB	dB	dB	dB	ps	ps	ps	ps	mW
Standard deviation	0.638	1.266	0.357	1.287	0.128	1.148	1.322	0.621	0.380
	dB	dB	dB	dB	ps	ps	ps	ps	mW

從表 4.6 的紀錄可知道所有晶片的量測結果都可符合 SATA-3.0 的規格，且從標準差的數值看來可以說，本論文這次所得到的晶片可以說是沒有 Process Variation 的，這也對應了在 2.2 節中設計 Ring-VCO 所提出的判斷。而表 4.7 紀錄的是鋁線與金線之間是否會造成差異從兩者的平均結果來看，此影響幾乎是零。最後將所有晶片的量測平均結果跟 SATA-3.0 的各項規格比較下，可以從表 4.8 的結果證實了本次設計確實設計出一個符合 SATA-3.0 規格的 SSCG。

表 4.7 金線以及鋁線的差異

Average	EMI 8192 100K	EMI 8192 10K	EMI 401 100K	EMI 401 10K	PLL jitter rms	PLL jitter pp	SSCG jitter pp	Random 250cycles jitter(pp)	Power
Al	13.57 dB	24.27 dB	14.45 dB	24.17 dB	2.116 ps	15.975 ps	21.706 ps	10.110 ps	65.610 mW
Au	13.53 dB	24.32 dB	14.50 dB	24.07 dB	2.210 ps	16.705 ps	21.277 ps	10.101 ps	65.736 mW

表 4.8 量測平均結果與 SATA-3.0 規格對照表

	Post-sim	Measurement (average)	SATA-3.0 Specification
Technology	TSMC-0.18um		
Supply voltage	1.8V		
Frequency	6GHz		
EMI reduction	22.49dB	RBW100K=13.55dB RBW10K=24.30dB	>7dB
PLL jitter (pk-pk)	6.16ps	16.256ps	N/A
Random jitter @250 cycle (pk-pk)	9.22ps	10.106ps	<12ps(rms)
Power dissipation	60.43mW	65.658mW	N/A
Chip area	500um×300um (core)/933um×933um (total)		

討論到此，目前晶片的情況為已在常溫狀態下完成所有的量測，每一顆晶片都能夠符合 SATA-3.0 的各項規格，可以說本論文已經完成了此次設計的目標，在 TSMC-0.18um 1P6M CMOS 製程下完成一個可運用在 SATA-3.0 的 SSCG，而且根據表 4.6 大量的統計資料下證實了 Process Variation 這件事情在這批晶片中不存在，因此接下來的 4.7 節本論文將進入到更進一步的 V 與 T 變異測試，透過這樣的觀察，讓整體晶片的 PVT 分析留下最完整的資料。

4.7 溫度改變對晶片影響的 PVT 測試

在此節之前的所有量測結果，皆是在室溫下所進行的觀測，而本論文在設計 Ring-VCO 的時候，曾將製程變異對頻率漂移的影響與 PVT 分析做結合，判斷晶片 Corner 改變是等同於外部環境電壓以及溫度這兩項變異。可以在實際量產時附上一份統計資料，裡面紀錄了電壓以及溫度各變異多少時，所帶來了晶片效能改變量，讓使用者根據不同環境下做調整讓晶片能正常工作。因此在設計電路時

選擇相信製程檔的 TT 標準 corner，而量測結果也顯示了本論文設計的晶片確實在電源 1.8V 的情況下便可產生所需的 6GHz 時脈，跟模擬結果是一致的，可說明確實是落在 TT 標準 corner。同時在 4.6 節的所有晶片量測中，也從晶片之間的變異(標準差)，證實了 Process Variation 確實可被控制在穩定的範圍。

這邊所做的便是更進一步的量測，測試外部溫度變異達到相當於晶片 corner 改變而出現異常的程度時，需要調整多少對應的電壓才能讓晶片正常工作，而考量到晶片現實情況最有可能遇到的是溫度上升，因此在以下量測中將以升溫為觀察目標，本論文將會測試三種溫度的差異性，分別是：25°C (常溫)，70°C (主機板內工作溫度)，125°C (商用規格最高溫度)。需要特別說明的是，由於晶片需要放置在特定儀器中改變溫度，因此在量測上從晶片信號出來到頻譜分析儀跟示波器的距離會增加，需要將 SMA 傳輸線提升至 1.8 公尺，這對高頻信號的傳輸來說，振福會有很大的衰減，因此只能進行功能驗證，一些精細的規格便無法量測。而除了溫度以及電源(皆為 Keithley)兩項為變異因素外，其餘的條件皆比照 4.6 節的環境。

4.7.1 溫度在 25°C 時的測試

首先常溫 25°C 下，電源提供 1.8V 時，圖 4.24 為 PLL 產生的 6GHz 時脈圖。可以很明顯看到因為 1.8 公尺 SMA 傳輸線導致信號振幅衰減到約 0.1V 左右，所以不管是 rms 還是 peak to peak jitter 都增加不少，但是 PLL 是可以正常工作產生 6GHz 時脈的。

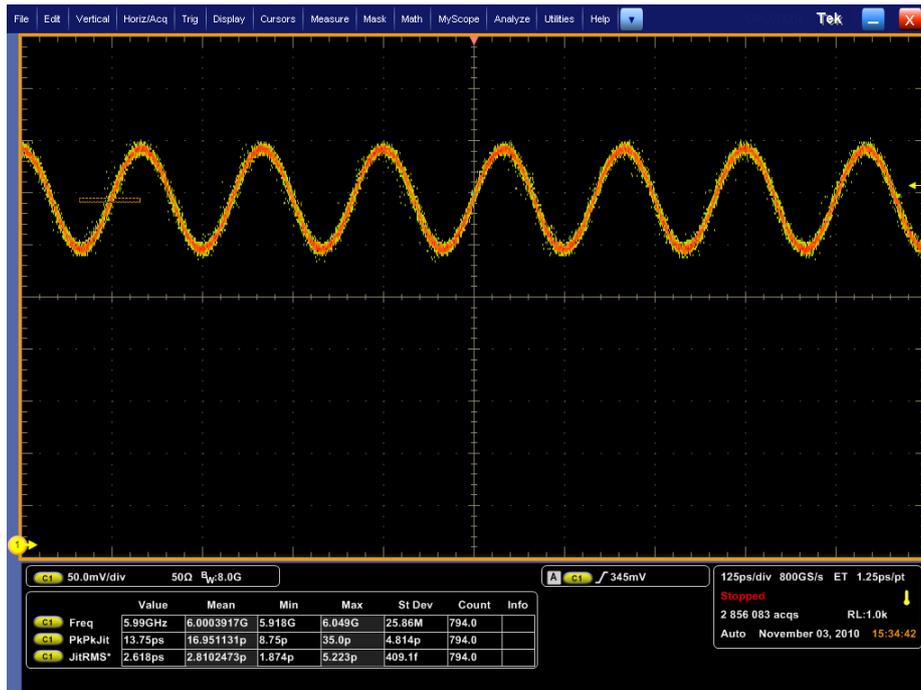


圖 4.24 25°C +1.8V 的 PLL 功能驗證

而圖 4.25 為展頻功能驗證，雖然因為信號振幅變小，導致儀器測到的能量強度變弱，但是因為展頻功能正常，所以在 8192 點+RBW=100K 的條件下，還是有著 12.99dB 的 EMI reduction。可以說這項測試條件跟之前的量測是一樣的，差別只在於 1.8 公尺 SMA 傳輸線所帶來的影響

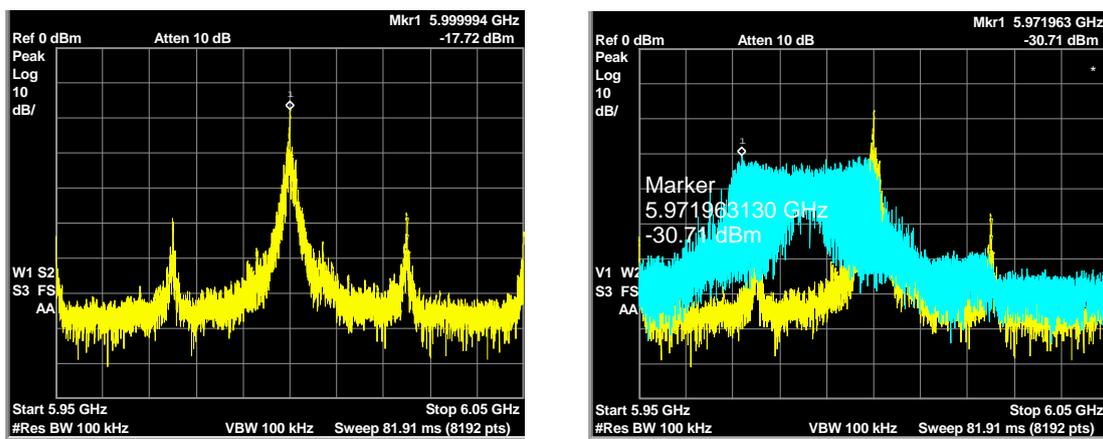


圖 4.25 25°C +1.8V 的展頻功能驗證

4.7.2 溫度在 70°C 時的測試

當溫度提升到 70°C 時，可以從圖 4.26 的現象看到，如果電源還是維持在 1.8V 的話，那麼 PLL 已經無法鎖定而導致產生的時脈偏掉(PLL 在 65°C 前尚可鎖定)。這表示此時外部溫度的上升已經讓晶片對應的 Corner 變化已經無法再支持 6GHz 這個頻段了，此需便需要提高整體電路的電源，讓 PLL 重新進入鎖定。

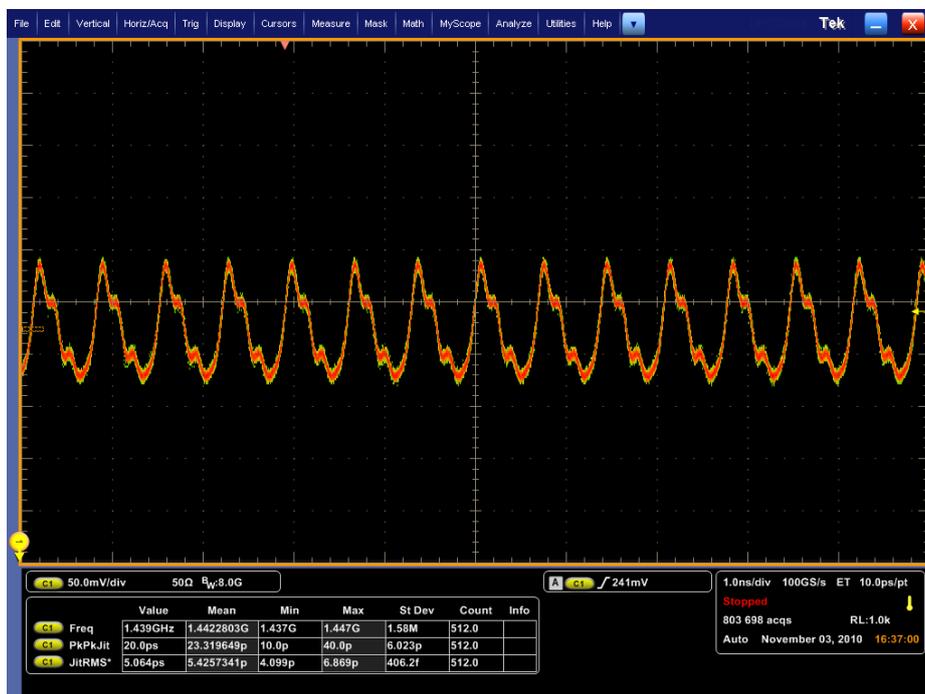


圖 4.26 70°C +1.8V 的 PLL 功能驗證

在這樣的情況下便需要提升整體晶片的電源讓 PLL 重新進入鎖定，測試後得知需要將電源提升到 2.0V 才能夠如圖 4.27 所示讓 PLL 鎖定在 6GHz。而頻譜分析如圖 4.28 所示。

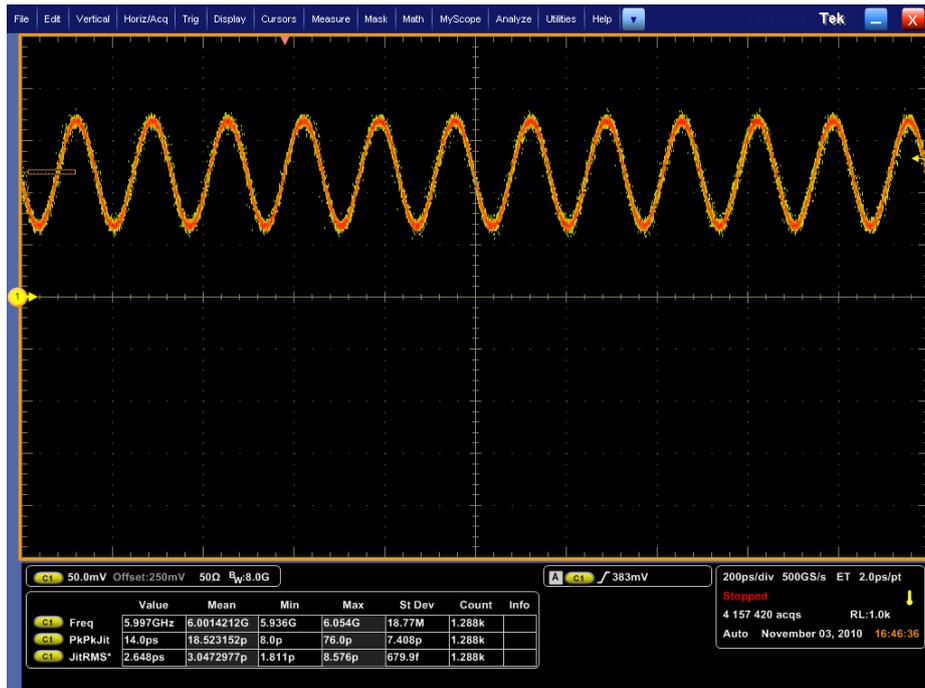


圖 4.27 70°C +2.0V 的 PLL 功能驗證

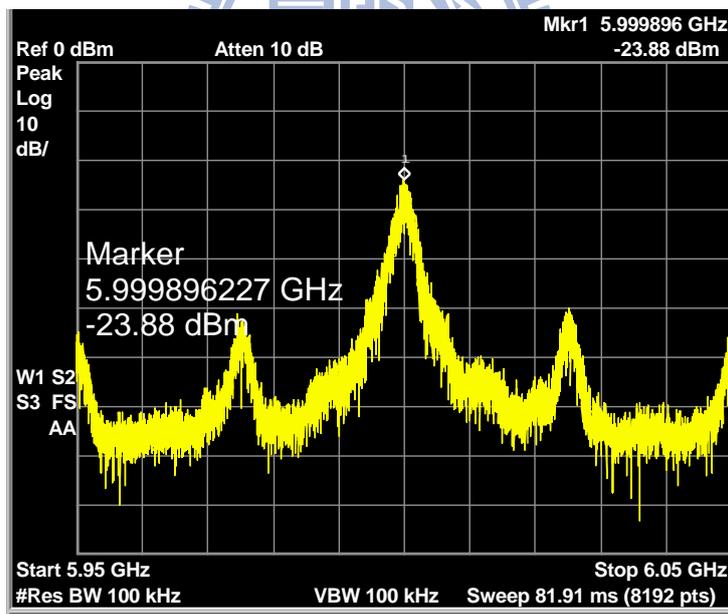


圖 4.28 70°C +2.0V 的 PLL 頻譜分析

在這樣的情況下，圖 4.29 為啟動展頻功能後的頻譜分析，發現調變電路已經無法將中心頻率平均在 5.97GHz~6GHz 範圍內，因此無法再測量 EMI reduction。

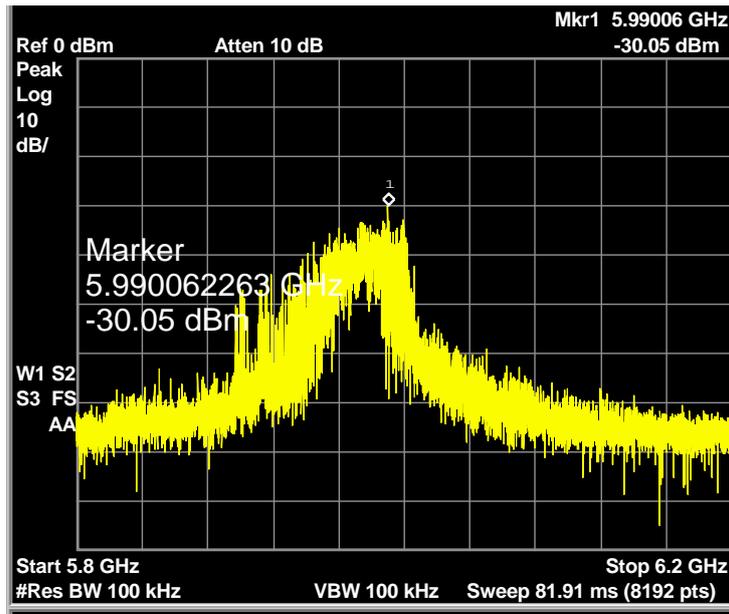


圖 4.29 70°C +2.0V 的展頻功能驗證

4.7.3 溫度在 125°C 時的測試

125°C 的溫度下，電源維持之前 70°C 量測的 2.0V，從圖 4.30-31 可以觀測到 PLL 只需要整體電源提升到 2.0V，即使在商規的最高溫度 125°C 也能鎖定。

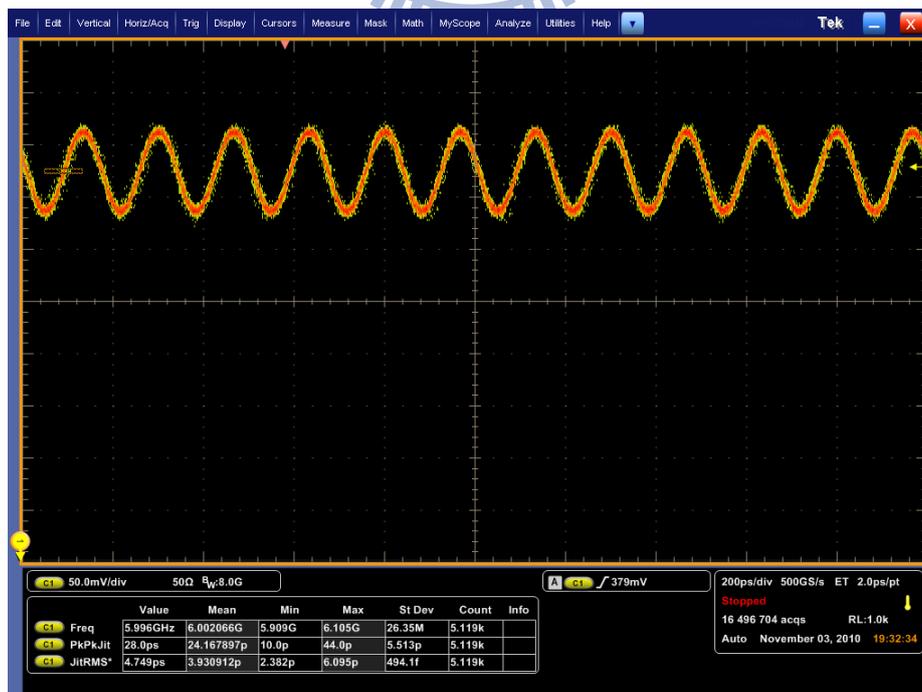


圖 4.30 125°C +2.0V 的 PLL 功能驗證

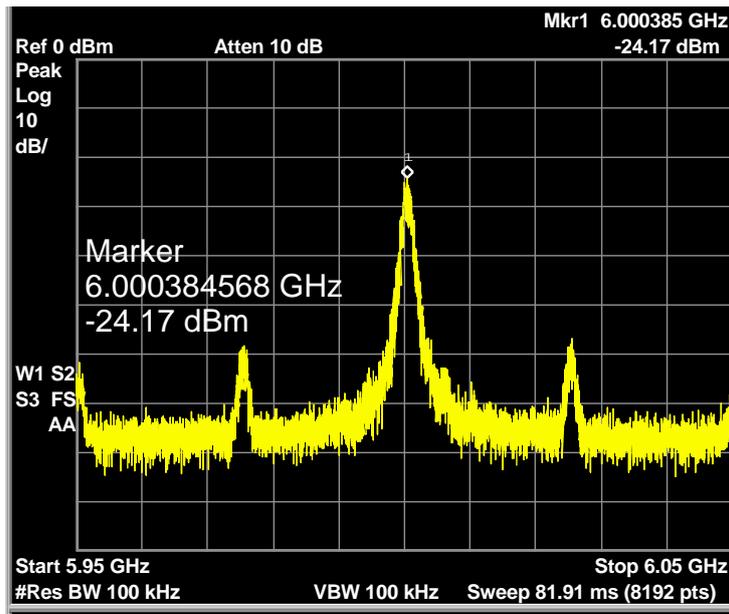


圖 4.31 125°C +2.0V 的 PLL 頻譜分析

當然有了 70°C 展頻測試對照，確實在 125°C 下啟動展頻一樣也是無法正常工作，不管是整體電源為 2.0V 的圖 4.32 還是再提高到 2.2V 的圖 4.33。在這兩張圖中可以看到電壓的改變帶來的是展頻範圍的變化，這表示其實調變電路一直有在工作，只是電壓的提升，讓它失去了將除率控制在限定範圍變化的能力，而不同的電壓讓它改變的除率也不同，不再是以前 1.8V 時的 116~123 等 8 種變化。

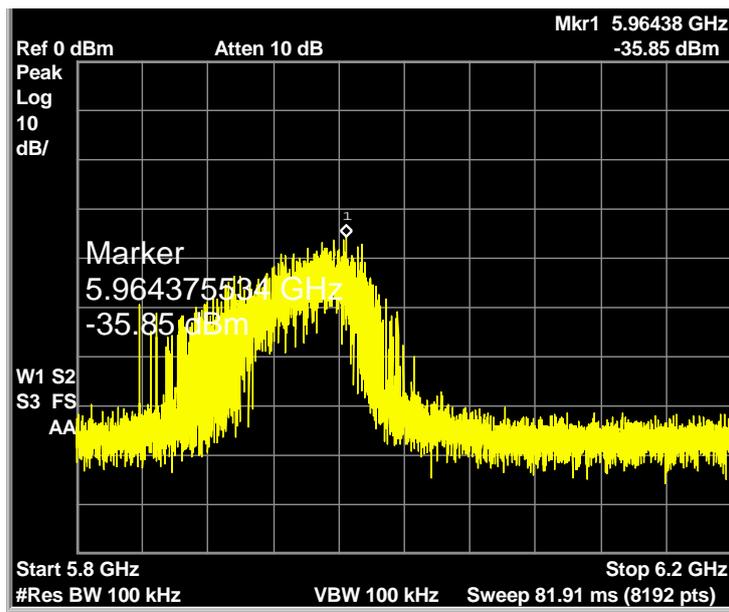


圖 4.32 125°C +2.0V 的展頻功能驗證

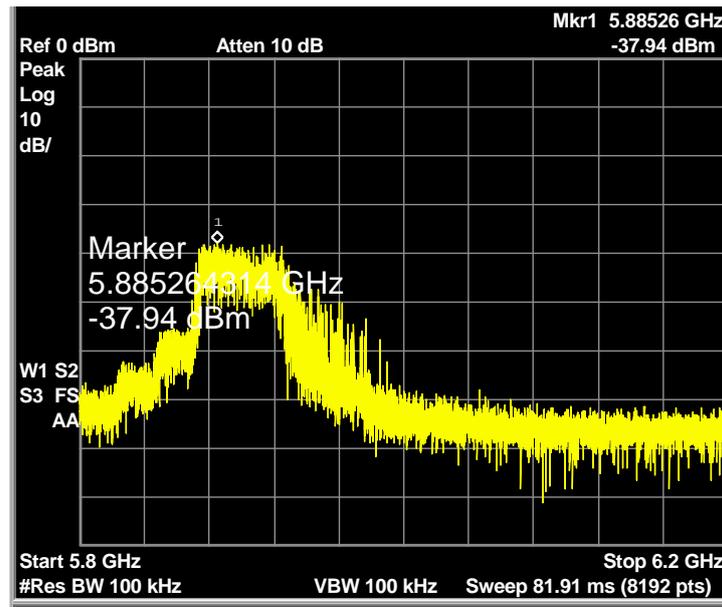


圖 4.33 125°C +2.2V 的展頻功能驗證

4.7.4 溫度量測統計資料

總結所有溫度變異的量測結果可以判斷兩件事情，第一是從 2.22 節模擬溫度變異現象所觀測到的，溫度上升確實會令晶片產生相當於 Corner 改變所帶來的製程漂移導致 PLL 無法鎖定，但也能透過改變整體電壓令晶片回到正常工作區間，這一點在 70°C 的量測中已經被証實，但是可惜的是，第二雖然 PLL 功能可以鎖定，但是 SSCG 的展頻調變電路卻也因為偏壓點設計不對，導致除率改變的範圍異常而失去功能。不過整體結果來看，至少最重要的 PLL 功能可以正常鎖定，表示下一版只需要重新設計好調變電路便可以讓展頻功能也能正常，因為這一塊是全數位電路，對於電壓改變的偏壓修改相對於 PLL 來說並不困難。最後本論文將溫度量測結果整理在表 4.9。

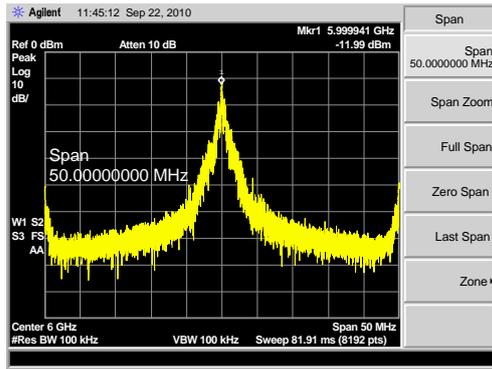
表 4.9 溫度變異對晶片影響的統計資料

溫度	測試功能	電壓	功能紀錄
25°C	PLL 鎖定	1.8V	正常工作
	SSCG 展頻	1.8V	正常工作
70°C	PLL 鎖定	2.0V	正常工作，1.8V 在 65°C 以前可鎖定
	SSCG 展頻	2.0V	失敗
125°C	PLL 鎖定	2.0V	正常工作
	SSCG 展頻	2.0V~2.2V	失敗

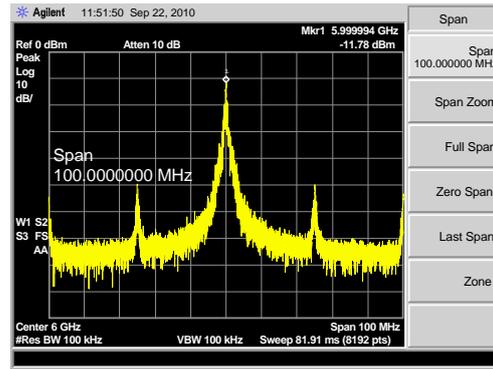
在本論文的 PVT 分析中，看到的量測結果現象確實能夠跟模擬現象做結合，而對應溫度上升所需要改變的電壓值也跟模擬結果大致吻合，而 2.0V 的電壓在主機板內是很容易做到的值，這樣的調整可令 PLL 在 125°C 都還是能夠維持鎖定，只是調變電路需要再針對電壓改變做設計，讓 SSCG 展頻功能也可運作。

4.8 特殊現象討論

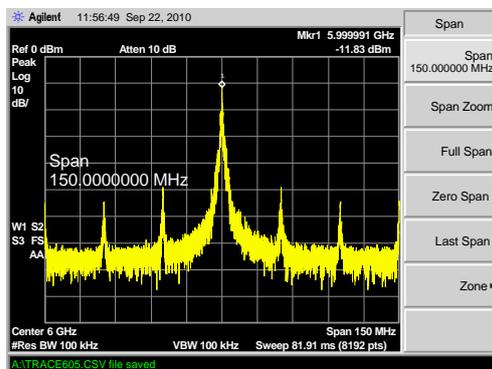
在量測時所觀測到的兩種特殊現象，但因為不影響之前的任何量測，所以在完成所有紀錄後再在此探討。前面量測中觀察到頻譜上有 harmonic tone 的產生，圖 4.34 為中心頻率 6GHz 逐漸往外擴張儀器掃描範圍，可以發現 tone 每隔 25MHz 就會出現一次。這是選用除頻器改變除率調變架構所帶來的效應。以 ref clock 為 25MHz 來說，除率每次變化就會有 25MHz 的相位差異 jitter 進入電路，而這麼大的 jitter 不斷重複輸入便成了 harmonic tone，因此這是架構選擇上帶來的不可避免因素，同時也呼應了之前在設計迴路濾波器頻寬時，提高頻寬雖可抑制 VCO 產生的高頻雜訊，但另一方面來說就無法讓低頻的輸入雜訊被濾去，所以下一版的迴路頻寬應該要在兩者之間取得最佳化設計，好讓此效應能夠降低。



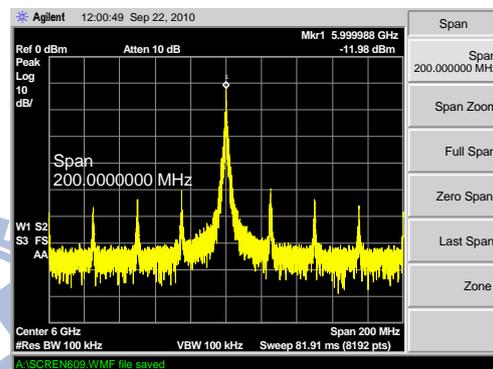
(a) 5.975GHz~6.025GHz



(b) 5.95GHz~6.05GHz



(c) 5.925GHz~6.075GHz



(d) 5.9GHz~6.1GHz

圖 4.34 從中心頻率 6GHz 逐漸往外增加掃描範圍

而另外需要注意的一個地方是，雖然 VCO 有正反相輸出，但是圖 4.17 的結果顯示另外一端的 VCO output 正端輸出振幅衰減的很大。判斷是因為之前設計 PCB 版時，這一端的輸出路徑並非直線因轉折而造成的衰減，但這並不影響量測，本論文設計的 SSCG 只需要一端信號正常便可以運作。不過在確認了輸出路徑的直線與否會對高頻輸出時脈有嚴重的影響，下一版的 PCB 版設計便會將 VCO 串三級的另外兩組輸出也一併拉出觀測，這樣就不用受到 SMA 接頭佔用空間的限制讓兩端都是以直線輸出，進而得到差動輸出可降低雜訊 6dB 的益處。



圖 4.35 VCO 的差動輸出 output clock 量測

4.9 量測結果總結

表 4.10 則是將量測結果與表 1.1 近年來在 IEEE 上發表的相關作品做比較。可以看到本論文在此表中是唯一一篇以 Ring-VCO 產生 6GHz 時脈搭配除頻器調變方法的設計，也是唯一一篇有量測結果(*表示只有模擬結果)並且符合 SATA-3.0 規格的 SSCG。

表 4.10 將量測結果與近年來在 IEEE 上發表的相關作品做比較

	Process	Modulation type	Clock frequency	EMI reductions	Jitter:peak-peak PLL / SSCG	Power VDD
[4] ISSCC2005	0.18um	Multiphase	1.5GHz	9.8dB (RBW=100K)	41.008ps 58.311ps	N/A
[5] ISCAS2005	0.18um	Divider	1.5GHz	23.44dB (RBW=10K)	80ps N/A	55mW 1.8V

[6] ISSCC2005	0.15um	Divider	1.5GHz	20.3dB (RBW=1K)	N/A N/A	54mW 1.5V
[7] CICC2006	90nm	Multiphase	3GHz (LC-VCO)	9.78dB (RBW=100K)	21.1ps 23.8ps	44mW 1V
[8] TCAS II 2007	0.18um	Multiphase	1.5GHz	14.77dB (RBW=100K)	N/A 34.2ps	34.2mW 1.8V
[9] ASSCC2007	0.13um	Divider	1.5GHz	12.6dB (RBW=100K)	N/A N/A	14.4mW 1.2V
[10] CICC2007	0.13um	Divider	1.5GHz	10dB (RBW=100K)	N/A N/A	30mW N/A
[11] CICC2007	0.18um	VCO & Divider	1.5GHz	19.63dB (RBW=10K)	30ps 35ps	27mW N/A
[12] CICC2008	0.13um	Divider	3GHz	14.5dB (RBW=100K)	N/A N/A	14.7mW 1.2V
[13] CICC2008	0.18um	Divider	1.5GHz	14.2dB (RBW=100K)	27.88ps N/A	40mW 1.8V
*[14] DDECS2008	0.13um	Divider	6GHz (LC-VCO)	15dB	8ps N/A	48mW 1.2V
*[15] SOC2008	0.18um	Divider	6GHz (LC-VCO)	17.3dB	N/A N/A	106mW 1.8V
[16] ESSCIR2008	0.15um	Divider	1.5GHz	10dB (RBW=100K)	N/A N/A	29mW 1.5V
[17] TEMC2009	0.18um	VCO & Divider	1.5GHz	10.14dB (RBW=100K)	30ps 35ps	15.3mW N/A

*[18] ASICON2009	90nm	Multiphase	6GHz (1.2GHz×5)	19.24dB	N/A N/A	N/A N/A
[19] ESSCIRC2009	0.13um	Divider	1.5GHz	10dB (RBW=100K)	N/A N/A	18mW N/A
[20] ASPDAC2009	0.15um	Divider	1.5GHz	10dB (RBW=100K)	N/A N/A	29mW 1.5V
[21] JSSC2009	0.18um	Divider	1.5GHz	10.48dB (RBW=100K)	28.4ps N/A	15mW 1.8V
[22] TCAS I 2010	0.13um	Divider	3GHz	14.5dB (RBW=100K)	N/A N/A	14.7mW 1.2V
This work 2010	0.18um	Divider	6GHz (Ring-VCO)	100K/13.55dB 10K/24.30dB	16.256ps 21.541ps	65.658mW 1.8V

表 4.11 跟同樣設計在 SATA-3.0 的 SSCG 相比，因為設計上採用了 Ring-VCO 產生 6GHz 時脈搭配除頻器調變方法，可以看出不管是哪項數據，本論文設計的 SSCG 面積使用都是最小的。

表 4.11 跟同樣設計在 SATA-3.0 的 SSCG 比較面積使用

	Frequency	Process	VCO type	PLL area	Active area	Chip area
*[14]	6GHz	0.13um	LC	N/A	N/A	1.5mm×0.9mm
*[15]	6GHz	0.18um	LC	N/A	0.57mm×0.45mm	N/A
*[18]	1.2GHz×5	90nm	Multiphase	0.0484mm ²	N/A	N/A
This work	6GHz	0.18um	Ring	0.0375mm ²	500um×300um	933um×933um

本論文在 TSMC-0.18um 1P6M CMOS 製程下，設計出一個運用在 SATA-3.0 傳輸介面的展頻時脈產生電路，在所有晶片(13 顆)量測中，每一顆皆能夠符合

SATA-3.0 所訂立的各項規格要求，其晶片面積為 $933\mu\text{m}\times 933\mu\text{m}$ ，而核心電路面積為 $500\mu\text{m}\times 300\mu\text{m}$ 。晶片操作頻率為 6GHz，工作電壓為 1.8V，功率消耗為 65.658mW(不包含輸出 buffer)，EMI reduction 在 RBW=100K 時為 13.55dB，在 RBW=10K 時為 24.30dB。PLL 鎖定在 6GHz 的 peak to peak jitter 為 16.256ps，rms jitter 為 2.152ps，展頻功能啟動時 peak to peak jitter 為 21.541ps，跟 PLL 相比增加了 5.285ps，而在展頻期間任意取 250 個週期的 peak to peak jitter 為 10.106ps，以上的數字為所有晶片常溫下的量測平均結果。而在晶片溫度上升的測試中，只需將電壓調整為 2.0V，PLL 功能值到 125°C 都能夠正常工作產生 6GHz 時脈。

當然本次設計也有四個待改進的地方，首先是在 4.8 節中討論的，頻譜上有 25MHz harmonic tone，雖然這是選擇除頻器調變架構所帶來的不可避免因素，但也有部分原因在於設計迴路濾波器頻寬時，因為本論文認為 VCO 產生的高頻雜訊會是比较需要在意的部份，因此選擇調高頻寬來抑制 VCO 雜訊，但另一方面來說就無法讓低頻的輸入雜訊被濾去，所以才會有這麼嚴重的 harmonic tone。第二個要改進的地方是 PCB 版在 VCO 差動時脈輸出路徑上並沒有做對稱直線，導致有一端 6GHz 時脈無法量測，故喪失了差動輸出可降低雜訊 6dB 的益處。

第三個地方在於跟雖然量測跟模擬結果相比各項數據差不多，唯獨在 PLL peak to peak jitter 有較大的差異，這是因為實際 phase noise 的結果與模擬有一段落差所造成的 jitter 上升。第四個地方在於雖然 PVT 分析中確實能夠改變電源來對抗溫度變異，但是只能看到 PLL 鎖定，調變電路的部份則是因為電壓的提升，讓它失去了將除率控制在限定範圍變化的能力而無法驗證 SSCG 的展頻功能。

以上這四點雖然都是不完美的地方但畢竟不是 SATA-3.0 定的規格之列，因此總結來說，本次設計雖有缺陷之處，但確實本論文在 TSMC-0.18um 1P6M CMOS 製程下，設計出一個能夠運用在 SATA-3.0 傳輸介面的展頻時脈產生電路。

第五章

結論

本論文在 TSMC-0.18um 1P6M CMOS 製程下，完成了一個可運用在 SATA-3.0 介面的展頻時脈產生電路，其中以 Ring-VCO 直接產生 6GHz 時脈取樣搭配三階的 $\Delta\Sigma$ -modulator 展頻調變電路，並且在設計時加入了 PVT 分析。這樣完成的 SSCG 晶片不但量測結果符合了 SATA-3.0 規格，且具有架構簡單容易實現，全積體化，低面積使用，有效降低電磁干擾以及具備能夠在任意製程下作平移的能力，對未來完全整合 SATA-3.0 介面所需的其它電路，具有非常大的優勢。同時從大量量測數據中以及溫度上升的實驗中為本論文所設計的晶片留下最完整的 PVT 分析統計資料。

未來的相關設計本論文認為應該放在幾個地方，首先是在迴路頻寬設計上要針對 25MHz 的 harmonic tone 做抑制。再來是提升 Ring-VCO 的 phase noise 表現，以降低 PLL 的 jitter。接著是在溫度變異時調整電源會令展頻電路無法正常工作，需要設計好調變電路的偏壓點。而在 PCB 版的設計上會改成將三組 VCO 的差動輸出都拉出觀測，好得到差動輸出抑制雜訊的效果。最後的目標會放在繼續將時脈資料回復電路(Clock and Data Recovery, CDR)、資料接受端(RX-Receive)、資料傳輸端(TX-Transmit)等完整 SATA 介面所需的其它傳輸電路，期望最終能夠完整將此傳輸平台實踐出來。

參考文獻

-
- [1] Serial ATA International Organization, "Serial ATA Revision 3.0 Specification," June 2, 2009.
- [2] R. E. Best, Phase-Locked Loops, Second Ed., New York : McGraw-Hill, 1993.
- [3] H. H. Chang, I. H. Hua, and S. I. Liu, "A spread-spectrum clock generator with triangular modulation," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 4, pp. 673-676, April 2003.
- [4] H. R. Lee, O. Kim, G. Ahn, and D. K. Jeong, "A low-jitter 5000ppm spread spectrum clock generator for multi-channel SATA transceiver in 0.18um CMOS," *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, pp. 162-590 Vol. 1, Feb. 2005.
- [5] W. T. Chen, J. C. Hsu, and C. C. Su, "A spread spectrum clock generator for SATA-II," *IEEE International Symposium on Circuits and Systems*, pp. 2643-2646 Vol. 3, May 2005.
- [6] M. Kokubo, et al., "Spread-spectrum clock generator for serial ATA using fractional PLL controlled by $\Delta\Sigma$ modulator with level shifter," *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, pp. 160-590 Vol. 1, Feb. 2005.
- [7] S. Jongshin, et al., "A Low-Jitter Added SSCG with Seamless Phase Selection and Fast AFC for 3rd Generation Serial-ATA," *IEEE Custom Integrated Circuits Conference*, pp. 409-412, September 2006.

- [8] D. S. Shen and S. I. Liu, "A Low-Jitter Spread Spectrum Clock Generator Using FDMP," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 54, no. 11, pp. 979-983, November 2007.
- [9] W. Ping-Ying and C. Shang-Ping, "Spread spectrum clock generator," *IEEE Asian Solid-State Circuits Conference*, pp. 304-307, November 2007.
- [10] T. Kawamoto, et al., "Low-jitter and Large-EMI-reduction Spread-spectrum Clock Generator with Auto-calibration for Serial-ATA Applications," *IEEE Custom Integrated Circuits Conference*, pp. 345-348, September 2007.
- [11] H. Yi-Bin and K. Yao-Huang, "A New Spread Spectrum Clock Generator for SATA Using Double Modulation Schemes," *IEEE Custom Integrated Circuits Conference*, pp. 297-300, September 2007.
- [12] F. Pareschi, et al., "A 3 GHz Spread Spectrum Clock Generator for SATA applications using chaotic PAM modulation," *IEEE Custom Integrated Circuits Conference*, pp. 451-454, September 2008.
- [13] S. Minyoung, et al., "A 1.5 GHz spread spectrum clock generator with a 5000ppm piecewise linear modulation," *IEEE Custom Integrated Circuits Conference*, pp. 455-458, September 2008.
- [14] C. Kuo-Hsing, et al., "A Spread-Spectrum Clock Generator Using Fractional-N PLL Controlled Delta-Sigma Modulator for Serial-ATA III," *11th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems*, pp. 1-4, April 2008.
- [15] H. Hong-Yi, et al., "A 6-Gbit/s SATA spread-spectrum clock generator using two-stage delta-sigma modulator," *IEEE International SOC Conference*, pp. 333-336, September 2008.

- [16] T. Kawamoto and M. Kokubo, "A low-jitter 1.5-GHz and 350-ppm spread-spectrum serial ATA PHY using reference clock with 400-ppm production-frequency tolerance," *34th European Solid-State Circuits Conference*, pp. 174-177, September 2008.
- [17] K. Yao-Huang and H. Yi-Bin, "A Low-Power and High-Precision Spread Spectrum Clock Generator for Serial Advanced Technology Attachment Applications Using Two-Point Modulation," *IEEE Transactions on Electromagnetic Compatibility*, vol. 51, no. 2, pp. 245-254, May 2009.
- [18] L. Chi-Hsien, et al., "A spread spectrum clock generator with phase-rotation algorithm for 6Gbps clock and data recovery," *IEEE 8th International Conference on ASIC*, pp. 387-390, October 2009.
- [19] T. Kawamoto, et al., "Low-jitter fractional spread-spectrum clock generator using fast-settling dual charge-pump technique for Serial-ATA application," *Proceedings of ESSCIRC*, pp. 380-383, September 2009.
- [20] T. Kawamoto and M. Kokubo, "A low-jitter 1.5-GHz and large-EMI reduction 10-dBm spread-spectrum clock generator for serial-ATA," *Asia and South Pacific Design Automation Conference*, pp. 696-701, January 2009.
- [21] L. Sheng-You and L. Shen-Iuan, "A 1.5 GHz All-Digital Spread-Spectrum Clock Generator," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 11, pp. 3111-3119, November 2009.
- [22] F. Pareschi, et al., "A 3-GHz Serial ATA Spread-Spectrum Clock Generator Employing a Chaotic PAM Modulation," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, pp. 2577-2587, 2010.

- [23] L. Seog-Jun, et al., "A novel high-speed ring oscillator for multiphase clock generation using negative skewed delay scheme," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 2 pp. 289-291, February 1997.
- [24] Y. A. Eken and J. P. Uyemura, "A 5.9-GHz voltage-controlled ring oscillator in 0.18-um CMOS," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 1, pp. 230-233, January 2004.
- [25] A. Hajimiri, S. Limotyrakis, T. H. Lee, "Phase noise in multi-gigahertz CMOS ring oscillators," *IEEE Custom Integrated Circuits Conference*, pp. 49-52, May 1998.
- [26] N. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 3rd ed. Reading, Massachusetts: Addison-Wesley, 2005.
- [27] M. Yongsam, et al., "A divide-by-16.5 circuit for 10-Gb ethernet transceiver in 0.13-um CMOS," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 7, pp. 1175-1179, May 2005.
- [28] C. S. Vaucher, et al., "A family of low-power truly modular programmable dividers in standard 0.35-um CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 7, pp. 1039-1045, July 2000.