

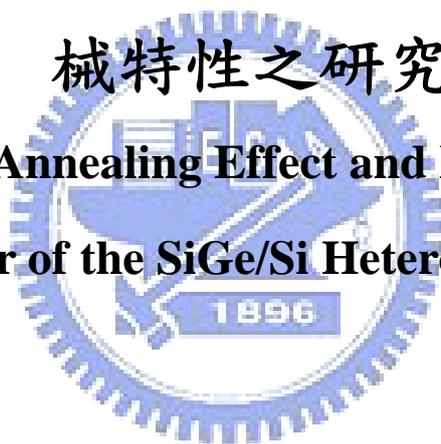
國立交通大學

機械工程學系

碩士論文

矽鍺異質接面結構退火效應與奈米機械特性之研究

The Study of Annealing Effect and Nanoindentation
Behavior of the SiGe/Si Hetero-Structure



研究生：李其澧

指導教授：周長彬 教授

吳文發 博士

中華民國九十八年六月

矽鍺異質界面結構退火效應與奈米機械特性之研究

The Study of Annealing Effect and Nanoindentation Behavior of the
SiGe/Si Hetero-Structure

研究生：李其澧

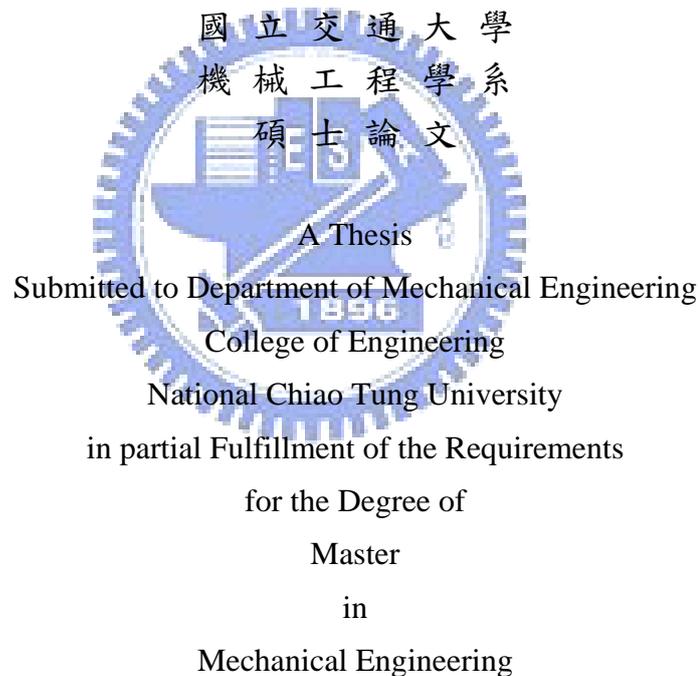
Student：Chi-Li Li

指導教授：周長彬

Advisor：Chang-Ping Chou

吳文發

Wen-Fa Wu



June 2009

Hsinchu, Taiwan, Republic of China

中華民國九十八年六月

矽鍺異質接面結構退火效應與奈米機械特性之研究

學生：李其澧

指導教授：周長彬

吳文發

國立交通大學機械工程學系碩士班

摘要

本論文主要研究將矽鍺薄膜沈積於矽基板上，以合成矽鍺/矽異質接面結構，在學界上稱為虛擬基板(virtual substrate)。利用這種 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構可製作並取代一般常見的矽半導體元件，主要應用於半導體元件異質雙極電晶體(heterojunction bipolar transistors, HBT)、場效電晶體(modulation doped field-effect transistor, MODFET)，甚至近年來 SiGe TFT (Thin Film Transistor) 薄膜電晶體。

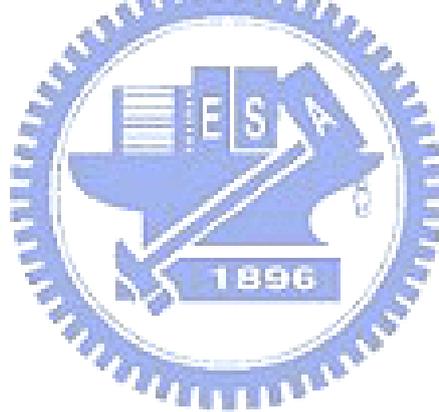
本實驗對矽鍺/矽異質接面結構做奈米機械性質探測與材料分析。首先，利用超高真空化學氣相沈積矽鍺薄膜於矽基板上，形成矽鍺/矽異質接面結構。其次將多組試片分別以不同溫度參數進行退火溫度處理並做初步材料分析，實驗係以原子力顯微鏡分析表面形貌。最後以奈米量測中兩種量測模式為主軸進行研究。

由原子力顯微鏡分析結果顯示，隨著退火溫度的上升，試片表面島狀化結構愈明顯，其表面粗糙度也隨之增加；另外，由 X 光散射分析儀(XRD)之實驗結果顯示，隨著退火溫度的上升，材料的特性波峰產生偏移現象，

顯示鍺成分經由退火而漸漸產生擴散現象。

經由奈米壓痕量測到的數值分析結果顯示隨著退火溫度的上升，結構中的差排密度有增加的趨勢。另外，實驗發現在四次負載-卸負載模式作用力 30mN 下，經 500 度退火 30 分鐘後結構表面開始出現破裂情形(Crack)。本論文研究結果可提供未來矽鍺/矽虛擬基板在退火製程技術及機械可靠度上之應用參考。

關鍵字：虛擬基板、超高真空化學氣相沈積、奈米壓痕、機械性質



The Study of Annealing Effect and Nanoindentation Behavior of the SiGe/Si Hetero-Structure

Student: Chi-Li Li

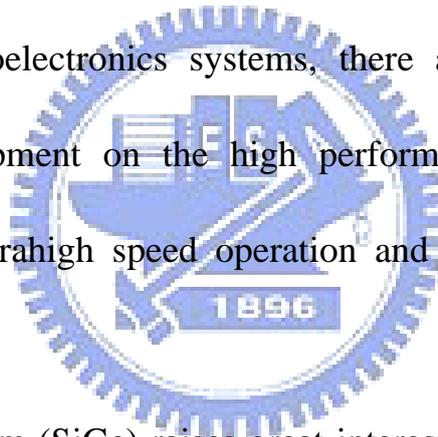
Advisors : Dr. Chang-Ping Chou

Dr. Wen-Fa Wu

Department of Mechanical Engineering
National Chiao Tung University

Abstract

Since new high-quality devices are essential for future highly intelligent information and optoelectronics systems, there are urgent requirements for research and development on the high performance optoelectronic devices which can enable ultrahigh speed operation and excellent electronic transfer characteristics



Silicon germanium (SiGe) raises great interest due to its useful features in many optoelectronic applications, including thin-film transistors (TFTs), modulation-doped field effect transistors (MODFETs), metal-oxide-semiconductor field effect transistors (MOSFETs), hetero-junction bipolar transistors (HBTs), optical modulators, and other applications.

This study examines the structural and nano-mechanical properties of Silicon Germanium ($\text{Si}_{0.8}\text{Ge}_{0.2}$) hetero-structures (that is, virtual substrate) deposited by ultrahigh vacuum chemical vapor deposition (UHVCVD) with

different thermal annealing at 400~600°C for 30 minutes. Through the Berkovich nanoindentation test followed by force mode and continuous stiffness measurement, two topics are included. One is to discuss the annealing effect on Si_{0.8}Ge_{0.2} hetero-structures. Various measurement technologies, including high-resolution X-ray diffraction (HRXRD), atomic force microscopy (AFM), X-Ray photoelectron spectroscopy (XPS), scanning electron microscopy (SEM), and auger electron spectroscopy (AES) analysis, were used to characterize the materials properties of the Si_{0.8}Ge_{0.2} hetero-structures. The other is to discuss the mechanical properties of SiGe hetero-structures on different maximum penetrations. On the continuous stiffness measurement it has been found that the modulus (M) and hardness (H) of SiGe hetero-structures increases from 13.8±0.7GPa to 14.2±0.6GPa with increasing annealing temperature. It is suggested that the dislocations nucleation is produced by lattice mismatch and thermal annealing. On the force mode, it has been found that the hetero-structure was destroyed by 4-cycles loading-unloading and 30mN loads.

Key words : virtual substrate 、ultrahigh vacuum chemical vapor deposition 、 nano-indentation 、 nano-mechanical properties

誌 謝

首先感謝指導教授，國立交通大學機械系周長彬教授與國家奈米元件實驗室副主任吳文發博士對學生的諄諄教導與耐心指導，在學術領域上給予學生自由的發揮空間以及充裕的研究資源，在研究規劃上給予方向指點與建議，使得學生在碩士班學習到獨立研究思考與實驗邏輯訓練，學生永遠銘記在心。此外，也感謝國立勤益科技大學林金雄副教授特地抽空前來為學生論文進行口試。

在此，特別感謝實驗室學長溫華強博士、柏青、孟泓學長協助學習奈米碳管、矽鍺結構和半導體技術等相關知識，在學長們的指導下，接觸了半導體設備與儀器，舉凡設備訓練與文獻傳授指點研究內容的迷津，讓我了解許多奈米材料分析相關的知識以及做人處事上的態度。此外，也感謝實驗室的同儕正昇、凱億、佳杰、安佑，除了研究領域上的交流以外，有了你們，使我的碩士生活是彩色的。也感謝已畢業的實驗室學長們，碩宇、良彥、正中、家豪，感謝學長們在我碩一生涯給與研究和課業上的指點，感謝實驗室學弟妹，貞慈、元駿、肇泓、吉修、明良，有了你們使我碩二研究生涯更熱鬧，也感謝許多在奈米元件實驗室曾經一起為實驗打拼夥伴們。最後，感謝我的父親和已故的母親，辛苦扶養我成長且讓我無憂無慮的關注在學業上。僅以這份論文獻給我愛的父母、家人、朋友以及研究夥伴們，謝謝你們。

總目錄

中文摘要.....	i
英文摘要.....	iii
誌謝.....	v
總目錄.....	vi
表目錄.....	vii
圖目錄.....	viii
第一章 緒論.....	1
1.1 前言.....	1
1.2 研究動機.....	3
第二章 基礎理論與文獻回顧.....	5
2.1 半導體材料介紹.....	5
2.2 現今矽鍺元件發展與應用.....	9
2.3 矽鍺結構生長與合成方法.....	11
2.4 矽鍺結構退火機制介紹.....	18
2.5 奈米壓痕量測系統介紹.....	21
第三章 實驗方法與分析.....	24
3.1 實驗流程.....	38
3.2 實驗與分析儀器.....	39
3.3 實驗步驟.....	42
第四章 實驗結果與討論.....	51
4.1 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構研究摘要.....	51
4.2 經退火處理前後之 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構.....	53
4.3 不同深度下之 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構.....	57
4.4 不同負載下之 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構.....	63
4.5 不同負載參數之 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構AFM壓痕分析圖.....	67
第五章 結論.....	98
第六章 參考文獻.....	101

表目錄

表 2-1 矽、鍺、砷化鎵半導體材料特性比較	37
表 2-2 矽及砷化鎵元件特性比較	37
表 2-3 半導體材料綜合比較	38
表 3-1 超高真空化學氣相沈積系統規格表	48
表 3-2 掃瞄式電子顯微鏡系統規格表	49
表 3-3 原子力顯微鏡規格表	50
表 4-1 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter CSM 100nm綜合數值分析表	96
表 4-2 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter CSM 200nm綜合數值分析表	96
表 4-3 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter CSM 300nm綜合數值分析表	97
表 4-4 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter CSM 400nm綜合數值分析表	97



圖目錄

圖 2-1 半導體材料能隙比較圖	32
圖 2-2 矽鍺層成長於矽基板上時之壓縮形變	32
圖 2-3 化學氣相沈積的五個步驟	33
圖 2-4 薄膜沈積步驟的分解圖	33
圖 2-5 超高真空化學分子磊晶系統	34
圖 2-6 分子束磊晶系統結構示意圖	34
圖 2-7 (a)典型的負載-位移曲線圖以及(b)薄膜經負載及卸載時壓痕形狀剖面	35
圖 2-8 試片表面突起和陷入效應	36
圖 3-1 實驗規劃流程圖	44
圖 3-2 超高真空化學氣相沈積系統	45
圖 3-3 掃瞄式電子顯微鏡	46
圖 3-4 原子力電子顯微鏡	46
圖 3-5 X光繞射儀	47
圖 3-6 奈米壓印測試系統	47
圖 4-1 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構SEM剖面圖	72
圖 4-2 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、退火 400 度、500 度及 600 度之AFM掃描 2D圖(3 μm)	72
圖 4-3 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、退火 400 度、500 度及 600 度之AFM掃描 3D圖(3 μm)	73
圖 4-4 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、退火 400 度、500 度及 600 度之AFM掃描 3D圖(5 μm)	73
圖 4-5 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、退火 400 度、500 度及 600 度之AFM掃描roughness圖(5 μm)	74
圖 4-6 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown XRD圖	74
圖 4-7 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 之XRD分析圖	75
圖 4-8 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 之XRD整合分析圖	75
圖 4-9 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500、an600 之nanoindenter CSM深度-硬度 100nm分析圖	76
圖 4-10 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter CSM深度-硬度 100nm之綜合分析圖	76
圖 4-11 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter CSM深度-楊氏模數 100nm綜合分析圖	77

圖 4-12 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 之XPS-Si 綜合分析圖	78
圖 4-13 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 之XPS-Ge 綜合分析圖	78
圖 4-14 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter CSM深度-硬度 200nm分析圖	78
圖 4-15 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter CSM深度-硬度 200nm綜合分析圖	79
圖 4-16 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter CSM深度-楊氏模數 200nm綜合分析圖	79
圖 4-17 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter CSM深度-硬度 300nm綜合分析圖	80
圖 4-18 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter CSM深度-楊氏模數 300nm綜合分析圖	80
圖 4-19 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter CSM深度-硬度 400nm綜合分析圖	81
圖 4-20 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter CSM深度-楊氏模數 400nm綜合分析圖	81
圖 4-21 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter FM深度-負載 5mN分析圖	82
圖 4-22 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter FM深度-負載 5mN綜合分析圖	82
圖 4-23 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter FM深度-負載 10mN綜合分析圖	83
圖 4-24 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter FM深度-負載 30mN綜合分析圖	83
圖 4-25 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter FM深度-四次負載 5mN綜合分析圖	84
圖 4-26 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter FM深度-四次負載 10mN綜合分析圖	84
圖 4-27 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter FM深度-四次負載 30mN綜合分析圖	85
圖 4-28 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 10mN AFM-2D(5 μm)綜合分析圖	85
圖 4-29 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 10mN AFM-3D(5 μm)綜合分析圖	86
圖 4-30 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 10mN AFM-剖面圖 (5 μm)綜合分析圖	86

圖 4-31 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 10mN AFM-2D(3 μm)綜合分析圖.....	87
圖 4-32 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 10mN AFM-3D(3 μm)綜合分析圖.....	87
圖 4-33 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 10mN AFM-剖面圖 (3 μm)綜合分析圖.....	88
圖 4-34 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 30mN AFM-2D(5 μm)綜合分析圖.....	88
圖 4-35 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 30mN AFM-3D(5 μm)綜合分析圖.....	89
圖 4-36 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 30mN AFM-剖面圖 (5 μm)綜合分析圖.....	89
圖 4-37 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 30mN AFM-2D(3 μm)綜合分析圖.....	90
圖 4-38 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 30mN AFM-2D-2(3 μm)綜合分析圖.....	90
圖 4-39 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 30mN AFM-3D(3 μm)綜合分析圖.....	91
圖 4-40 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM一次負載 30mN AFM-剖面圖 (3 μm)綜合分析圖.....	91
圖 4-41 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM四次負載 10mN AFM-2D(3 μm)綜合分析圖.....	92
圖 4-42 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM四次負載 10mN AFM-2D-2(3 μm)綜合分析圖.....	92
圖 4-43 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM四次負載 10mN AFM-3D(3 μm)綜合分析圖.....	93
圖 4-44 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM四次負載 10mN AFM-cro(3 μm)綜合分析圖.....	93
圖 4-45 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM四次負載 30mN AFM-2D(3 μm)綜合分析圖.....	94
圖 4-46 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM四次負載 30mN AFM-2D-2(3 μm)綜合分析圖.....	94
圖 4-47 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM四次負載 30mN AFM-3D(3 μm)綜合分析圖.....	95
圖 4-48 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構as-grown、an400、an500 和an600 nanoindenter FM四次負載 30mN AFM-cro(3 μm)綜合分析圖.....	95

第一章 緒論

1.1 前言

1.1.1 應變矽(Strain Silicon)技術

由於矽的晶格常數(Lattice Constant)為 5.43\AA ，鍺則為 5.65\AA ，兩者相差約4%，因為鍺晶層之晶格(Lattice)常數較矽晶體長約4.2%，所以矽鍺層需有所形變(Strain)，使其在平面(In-plane)方向的晶格常數縮小以與矽層相同，在成長縱向(Out-of-plane)方向則增加。此種結構的形變的型式稱為壓縮形變(Compressive Strain)。另外一種主要的磊晶結構是將晶格常數較小的薄矽層成長在晶格常數較大的矽鍺層上，使其在平面方向的晶格增長以與矽鍺層相同，在縱向方向則縮小。此種結構的形變的型式稱為擴張形變(Tensile Strain)。此種結構係以矽基板為主體，先行成長一矽鍺緩衝層(Buffer Layer)，一般矽鍺緩衝層的厚度為數微米，其中的鍺含量以漸進的方式增加，以將形變能量控制在矽基板處釋放，並將產生的差排等缺陷侷限在基板內。能量釋放後的緩衝層最表面晶格常數回復無形變(Relaxed)時的狀態，但保持低缺陷密度之後，在於其上成長擴張形變的薄矽層。

1.1.2 複晶矽鍺薄膜技術發展

在各種積體電路應用上，以複晶矽鍺薄膜取代傳統之複晶矽材料之可行性，於近年來已引起廣泛之研究[1-5]。由於複晶矽鍺薄膜與傳統矽製程

技術具有相容性；且相較於矽薄膜，矽鍺薄膜的沈積、結晶、與摻雜質活化可於較低之製程溫度下完成；因此，複晶矽鍺已被應用於製程溫度低於550°C之低溫薄膜電晶體的製造[1]。再者，由於其低電阻係數與可調變之功函數(work function)，p-型複晶矽鍺薄膜在未來深次微米CMOS技術發展上，是相當具有潛力之閘極電極材料[2, 3]。p-型複晶矽鍺薄膜之功函數會隨鍺含量之增加而降低，藉由改變薄膜內之鍺含量，可調整PMOS元件之導通電壓；因此我們可以使用較低的通道摻雜濃度，來達到所需之臨限電壓。此結果可獲得較佳的元件電流驅動能力與增益，並降低截止態之漏電流[4]。另外，硼原子在複晶矽鍺薄膜內，相對於在複晶矽薄膜內，具有較高的活化率與較低的擴散率，可有效地降低MOSFET元件的硼穿透(boron penetration)與閘極空乏效應(poly-gate depletion effect)[5]。目前已知，可用來成長複晶矽鍺薄膜的方法，主要有低壓化學氣相沈積(Low Pressure Chemical Vapor Deposition, LPCVD)[6]、快熱化學氣相沈積(Rapid Thermal Chemical Vapor Deposition, RTCVD)[7]、與超高真空化學氣相沈積(UHV/CVD)[8]等。由於超高真空化學氣相沈積系統具有較高之潔淨度，與較低之製程溫度。在本研究中，將探討以超高真空化學氣相沈積法，成長複晶矽鍺薄膜的製程，並將此製程應用於材料結構性質探討。

1.2 研究動機

由前言敘述可知利用 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構來製作可取代一般常見的矽半導體元件，例如：光偵測器(photodetector)[9]、異質雙載子電晶體(heterojunction bipolar transistors, HBT)[10]、場效電晶體(modulation doped field-effect transistor, MODFET)[11]、熱電子電晶體(hot carrier transistor)[12]、穿隧二極體[13]以及高移動率二維電洞氣體元件(high mobility two dimensional hole gases)[14]，甚至近年來 SiGe TFT (Thin Film Transistor) 薄膜電晶體的蓬勃發展，矽鍺異質接結構在這些半導體元件當中都扮演著舉足輕重的腳色，然而一些相關的矽鍺研究也相當的豐富，其中研究經退火處理的矽鍺研究[15]更是可以顯示出矽鍺薄膜在經過退火處理後，會發生結構上明顯的變化，而其中經由退火所產生的熱應力(thermal stress)與熱應變(thermal strain)，使得 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構中原本既有的晶格差排現象(misfit dislocation)經由熱退火處理後，產生更多的應力釋放(strain-relaxation)而造成的結構差排現象；另外，從相關文獻中^[15]指出 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構經退火處理後，其矽鍺磊晶層表面在高溫下會生成氧化層，且在矽鍺磊晶層與矽基板間介面層中會有層間擴散(inter-diffusion)現象，此擴散現象也直接地影響了 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構介面層中的針狀差排密度(density of threading dislocation)。然而，熱退火處理在半導體元件製程中是不可避免的一項程序，而熱退火所帶來差排密度的改變勢必對

$\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構的電子傳導性能上產生極大的影響。於是產生了本研究的實驗動機，使用奈米壓痕量測技術中的兩種量測模式分別對 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構進行結構差排探測、材料結構分析以及材料機械性質可靠度之研究。

本實驗分成三個主軸進行探討。首先，第一部份是利用超高真空化學氣相沈積法(Ultra High Vacuum Chemical Vapor Deposition, UHVCVD)在六吋矽晶圓(100)上沈積厚度約 $0.3\mu\text{m}$ 之矽鍺磊晶層，備製 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構。第二部份是承接第一部分備製的 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構分別進行不同溫度的退火處理，一般相關文獻中在溫度參數方面大部分選擇較高溫或是快速退火處理(RTA)，結果顯示在溫度高於 700 度時，結構表面會產生明顯島狀化結構以及結構介面層中的差排現象，此兩種現象都是不利於結構性能的主要因素。因此，本實驗特地選擇相較於相關文獻較低的退火溫度(400 ~ 600 度)來進行研究，實驗預計可以在不同退火溫度的參數下進行比較與討論。第三部份是以奈米壓痕量測為主，將分別以力量模式(Force mode)和連續剛性量測模式(Continue Stiffness Measurement)兩種量測模式分別進行材料可靠度及結構差排密度量測，主要是針對一般文獻鮮少在 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構經退火處理前後的機械性質可靠度，以及利用奈米壓痕量測系統反應出結構差排現象，也是本研究核心所在。

第二章 基礎理論與文獻回顧

2.1 半導體材料介紹

2.1.1 半導體材料特性比較

自從半導體工業發明以來，有三種半導體應用在元件的製程上。它們為鍺(Ge)、矽(Si)與砷化鎵(GaAs)。其中鍺是最早使用的半導體，但從 1960 年矽逐漸變成半導體的主流。而砷化鎵在對於特別需求的元件上有其特別的重要特性，尤其是在光電元件及高頻特性上，表 2-1[16]比較這三種半導體的材料特性及優缺點。

表中鍺的能隙最小，而能隙越小代表電子從共價帶躍遷到導電帶的機率越高，飽和電流越大，元件會因電流增加而產生更高的熱耗散。而砷化鎵有相當良好的電子遷移率，電子遷移率(electron mobility)好代表電子在材料中的運算速度，越快代表元件切換速度越快，高頻響應越好。

2.1.1.1 鍺的特性

鍺有兩個吸引人的特性：第一，它在提煉與製程過程中比其它半導體容易。第二，鍺的電子與電洞的遷移率上比在矽中要來得大，高的遷移率代表比較快速的開關與比較高的頻率限制。

而鍺的缺點在於對溫度高度的靈敏，因為它的能隙比較小，這會造成元件的不穩定。產生不穩定是因為高的溫度會增加激發到導帶的電子濃

度，因此電流增加而產生更高的熱耗散，因而增高溫度。更嚴重的問題在於，很難將控制好的雜質含量引入選擇的區域中，由於這樣我們必須在大區域中工作，這就造成載子必須花更長的時間在元件中間運動，這個長的運動時間表示將減低元件的開關速度。

2.1.1.2 矽的特性

矽的優點在於矽在自然界的含量豐富存在於沙與石英中，因此原始材料的成本可以忽略。因為矽有比鍺較寬的能隙，它可以用在高溫度上，所以大大的減少不穩定度。矽元件可以很安全的操作在大約 200°C ，而對於鍺元件安全操作限制在溫度 80°C 。另外矽可以形成很穩定的二氧化矽，這個二氧化矽在元件製造過程中提供一個高特性的絕緣體，提供擴散雜質在選擇的區域中一個原子的位置，因此元件可以做的非常小以增加元件開關的速度。

而矽的缺點是電子遷移率較慢，雜訊比較大，在超高頻元件中會影響元件的特性。

2.1.1.3 砷化鎵的特性

砷化鎵的優點為電子遷移率高的優點大約為矽的五倍，在固定電場下，高的遷移率會有高的載子速度，這個特性提供快速的開關能力，而且砷化鎵的飽和電場比矽來的小，所以砷化鎵產生的能量-延遲比矽小。由砷

化鎵做成的元件基底其寄生電容比較小所以會比矽元件速度快。另外砷化鎵的能隙為直接能隙，光電轉換效能高，可以製作雷射二極體等發光元件。

而砷化鎵的缺點為化合物半導體材料製作困難、成本較高，而且相對於矽與鍺，合成半導體其單晶體比較難長成，而且比較容易產生分解。晶圓製作無法相容於成熟的矽製程，材料本質易碎無法承受大尺寸以降低成本。另外製程複雜度也較高較難控制。半導體材料的特性會直接影響到所製作元件的特性，而元件的結構及運作的方式也會影響到元件的特性。

2.1.1.4 基本元件應用



矽及矽鍺都是矽半導體的製程，基本的矽元件有互補式金氧化半導體 (CMOS) 及雙極性二極體 (BJT)，而矽鍺是矽元件中的異質接面 BJT 元件。砷化鎵半導體的基本元件有金屬半導體場效電晶體 (MESFET)、應變式高速電子移動電晶體 (PHEMT)、異質接面雙極性電晶體 (HBT)，表 2-2、圖 2-1 [17] 整理出這些元件的基本特性比較。

2.1.2 半導體材料綜合比較

以目前最熱門的三種半導體材料矽、鍺和砷化鎵進行各項比較，包括電子移動率、高頻運用、高溫操作、抗輻射性、材料安全性、製程技術、整合程度、成本、崩潰電壓、導熱性、電阻係數及應用領域，繪製如表 2-3 [17] 所示。在製程整合性方面矽及矽鍺都是目前最成熟的半導體製程技術，兩

者在整合上沒有問題，矽鍺只是在矽元件製造的過程中加入鍺的磊晶製程以降低能階梯度一方面加速電晶體的運作另一方面利用鍺較高的電子遷移率來加速電子的移動以增進工作頻率。另外鍺有較低的能隙可以增進電流的增益來達到功率放大的目的。砷化鎵的製程完全不同於矽製程，兩者也無法整合。砷化鎵元件的特性絕大部分決定於磊晶片的品質，當磊晶片送進晶圓製造廠前，元件的特性已被決定，晶圓廠能改變的不多而矽及矽鍺的元件特性完全由晶圓製造廠的製程條件來決定。矽鍺可以結合數位 CMOS 的製程於一顆單晶片裡，而砷化鎵以目前的技術是不可能做到的。

而在導熱性方面，矽鍺元件導熱性較好，這個特性越來越重要是因為元件越來越小，運算速度卻越來越快，因此散熱的問題越來越受到重視，因為元件有一定的溫度操作範圍，砷化鎵本身散熱性較差，而砷化鎵元件又大多設計於高頻高功率的功率放大器，本身即很容易發熱，所以砷化鎵製程裡有一道跟矽鍺很不一樣的製程，晶片背面拋光及曝光蝕刻，目的就是散熱及導線連接。而為了散熱及曝光對準，晶片必須磨的很薄，但是砷化鎵晶片又易碎，因此此段製程相對於矽鍺是困難了許多。另外，在功率轉換方面矽鍺技術兼具砷化鎵高頻、低消耗功率的優點，和矽晶低成本的好處。矽鍺的功率轉換率可以高達六成，高於砷化鎵的四成左右。

2.2 現今矽鍺元件發展與應用

IBM 是全球半導體技術最先進的公司，也是全世界第一個擁有矽鍺量產技術的公司，IBM 已經可以用 0.18 微米的 BiCMOS 製程生產 SiGe 的 HBT 元件，而在 0.18 微米 BiCMOS 製程下，SiGe 的最大震盪頻率(F_{max})可達到 90GHz，代表 SiGe 已經可以應用於 10Gbps 的 SONET 及 2.4GHz 以上頻帶的行動電話領域上；隨著製程的微細化，SiGe 元件的崩潰電壓 BV_{ceo} (breakdown voltage)亦下降到 3V 以內，代表 SiGe HBT 雖然在操作頻率上可以滿足應用的需求，但若要應用在高功率的發送端時，則有其使用上的限制，因此，SiGe 產品線仍以 LNA、T/R、mixer 等接收端為主要應用的領域。而為了改善崩潰電壓過低的特性，IBM 亦推出了高崩潰電壓的 SiGe HBT 元件；該元件在 0.25 微米製程下， BV_{ceo} 可提升至 5.5V、 BV_{cbo} 可提升至 14V，但犧牲的代價則是 F_t 降為 25GHz，限制了可以應用的頻率範圍。矽鍺標準產品包括有低雜訊放大器、電壓控制型振盪器、功率放大器與分離式電晶體等產品，都屬於基本的電路元件，可應用於數位行動電話、呼叫器及其他可攜式通訊系統。

摩托羅拉(Motorola)是世界最大的微控制器(Micro Control Unit; MCU)供應商，摩托羅拉獲德國高階微電子研發中心授權矽鍺碳(SiGe:C) 技術，其新一代 0.18 微米 SiGe:C 技術，擬應用於手機及高速通訊設備的射頻(RF) IC。新 SiGe:C 技術不同於近期發表的 0.18 μ m 矽鍺 (SiGe) 技術，SiGe:

C 技術因具備嵌入式高 Q 值電容及銅電感器 (copper inductor) ，因此可將 DSP、微控制器及 RF 功能整合於同一晶片。

德國博世(MEMS)提出 SiGe 犧牲層蝕刻新技術，德國博世(Robert Bosch GmbH) 開發出了在形成感測器和致動器等 MEMS 元件方面最為基本的犧牲層蝕刻新技術。此次的工藝技術可製作感測器和致動器的可動部分，也可用於封閉，以避免灰塵進入，因此可在形成中空結構時使用。適用於以 SiGe 為犧牲層的蝕刻工藝。也就是說，先在 SiGe 膜上形成矽膜等結構體，再通過蝕刻去除 SiGe 層，加工出想要的結構體。過去大多則是使用 SOI 晶圓，對矽膜下方的 SiO₂ 進行犧牲層蝕刻。該技術在犧牲層中使用多晶 SiGe，在結構體中使用多晶矽，蝕刻氣體則使用 C₁F₃，屬於使用電漿的乾式蝕刻技術。C₁F₃ 對 SiGe 的蝕刻選擇比相對於矽來說高達 5000 左右。在大量去除 SiGe 時無需在矽上形成保護膜。先在矽底板上形成氧化膜，然後再形成 SiGe，最後再形成矽。然後先利用採用 SF₆ 的博世工藝對矽進行蝕刻，直到 SiGe 層，而後利用此次的新工藝，利用 C₁F₃ 有選擇地對 SiGe 層進行蝕刻。

2.3 矽鍺結構生長與合成方法

2.3.1 矽鍺/矽(SiGe/Si)結構

在 SiGe/Si 系統裏，能隙能量的可變性[18-20]和增強載子移動率的潛力[21-24]是研究現象關鍵的地方，而電性(electron property)上兩個主要的決定因素是矽鍺合金的能隙能量隨著鍺在矽鍺合金中含量的增加而減少[18]和在異質界面(heterostructures)處能帶發生的偏移(misfit)[20]。首先由異質界面來探討，如圖 2-2 所示，矽晶格常數(a_{Si})為 0.357nm，鍺晶格常數(a_{Ge})為 0.357nm，因此矽與矽鍺間有 4.2% 的晶格不匹配 (lattice mismatch)，所以當矽鍺成長於矽基板上時，會形成壓縮的應變 (compressive strain)。此應變 (strain) 現象是為了調和兩材質間的晶格不協調，但若矽鍺層的厚度超越了其臨界厚度 (critical thickness)，將產生應力鬆弛和缺陷效應 (defect effect)，顯示了矽鍺厚度對應其應力鬆弛 (strain/relaxation) 反應的關係。另一方面，若在矽基板上成長很厚的矽鍺層，使其鬆弛成虛擬的矽鍺基板 (relaxed virtual substrate, VS)，而在其上就可以成長應變矽 (strained Si) 層或應變矽鍺 (strained SiGe) 層，來提供更好的載子傳輸 (carrier mobility) 特性。

2.3.2 應變矽鍺/應變鬆弛矽鍺 (strained SiGe/relaxed

SiGe)結構

當應變矽鍺(strained $\text{Si}_{1-x}\text{Ge}_x$)層成長於應力鬆弛矽鍺(relaxed $\text{Si}_{1-y}\text{Ge}_y$)層上時，其價電帶的重電洞(能)帶(Heavy-hole band)與輕電洞能帶(Light-hole band)能帶會分離，輕電洞能帶會向上分離，使得能隙(E_g)減小，且等效電洞(equivalent hole)質量亦會變小，進而使得電洞遷移率(hole mobility)變大。隨著鍺濃度比例增加，其能帶間隙會愈來愈小，也會使得異質界面處價電帶偏移能(ΔE_V)變大而可以形成電洞侷限力更佳的深電洞井。

2.3.3 應變矽/應變鬆弛矽鍺(strained Si/relaxed SiGe)

結構



當應變矽(strained Si)層成長於(relaxed $\text{Si}_{1-y}\text{Ge}_y$)層上時，二軸拉力應變(biaxial tensile strain)效應會使得原本在傳導帶的六層衰變能帶(6-fold degenerate band)分別分離成四層(4-fold)與二層衰變能帶(2-fold degenerate band)，而其中二層衰變能帶向下分離，使得能隙(E_g)和等效電子質量皆變小[25]，進而增加了電子遷移率。在不同鍺含量比例的 relaxed $\text{Si}_{1-y}\text{Ge}_y$ 基板情況，其上 strained Si 的能隙會隨著鍺濃度的增加而減少，而傳導帶變化所造成的傳導帶偏移 ΔE_c 也將提供有利於電子傳輸且電子侷限的電子井環境[26]。對於 strained SiGe 在 Si bulk 上時，能帶偏移幾乎都落在價電帶(valence band)而造成好的電洞侷限。當 strained Si 在 relaxed SiGe 基板上

時，其介面能帶偏移則幾乎都落在傳導帶(conduction band)造成好的電子侷限。將 relaxed SiGe 基板上成長 strained SiGe 與 strained Si 層，將能同時提供加強載子侷限的電洞與電子井。

2.3.4 矽鍺沈積系統

本節將簡單介紹矽鍺薄膜沈積部份，經由調變系統的沈積環境，包含反應環境溫度、反應時間、反應氣體流量比。以及介紹比較目前幾種常見的矽鍺成長機制，包括超高真空化學氣相沈積(Ultra High Vacuum Chemical Vapor Deposition, UHVCVD)、分子束磊晶(Molecular Beam Epitaxy, MBE)、液相磊晶(Liquid phase epitaxy, LPE)、固相磊晶(Solid phase epitaxy, SPE)和超高真空(Ultra High Vacuum Chemical Molecular Epitaxy, UHVCME)以下將詳細介紹其中較常見的三種矽鍺製程方法分別為超高真空化學氣相沈積法(UHVCVD)、超高真空化學分子磊晶法(UHCME)和分子束磊晶法(MBE)。

2.3.4.1 化學氣相沈積成長系統

化學氣相沈積(Chemical Vapor Deposition, CVD)是半導體製程中最常見的製程方式，運用在矽鍺的生長上也是有相當多種方式，如常壓化學氣相沈積(Atmospheric Pressure Chemical Vapor Deposition, APCVD)、低壓化學氣相沈積(Low Pressure Chemical Vapor Deposition, LPCVD)、快速升溫化學氣相沈積(Rapid Thermal Chemical Vapor Deposition, RTCVD)、低能量等離

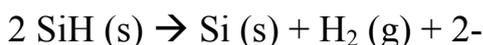
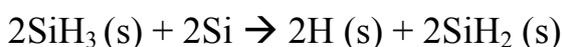
子體增強化學氣相(Low Energy Plasma Enhanced Chemical Vapor Deposition, LEPECVD)、超高真空化學氣相沈積(Ultra High Vacuum Chemical Vapor Deposition, UHVCVD)、超高真空低壓化學氣相沈積(Ultra High Vacuum-Low Pressure Chemical Vapor Deposition, UHV-LPCVD)，而這些化學氣相沈積系統最主要的差異在於製程的溫度及壓力，系統原理則是大同小異。

而化學氣相沈積的原理主要是將反應物分子通過加熱區，使其發生化學反應，而在基材(Substrate)表面沈積的一種薄膜沈積方法。由於化學氣相沈積系統安裝簡易，成本低廉，其生成薄膜光滑緻密、均勻(uniform)，效果良好，且不受基板形狀大小的限制，可大量生產。目前在半導體工業上其薄膜所需求的緻密性高，是目前在半導體工業上是一個常用沈積薄膜的方法。如圖2-3所示，一個典型的化學氣相沈積反應機構分解圖，可分為五個步驟，首先反應氣體通入反應器時，因為濃度差的關係使得反應氣體以擴散的方式，經過邊界層傳到晶片表面，如圖2-4(a)。接著反應氣體被吸附在晶片表面，如圖2-4(b)。進而藉著晶片所提供的能量使得部份的氣體在晶片表面產生化學反應，產生固態的產物沈積在晶片上，如圖2-4(c)。而未參與反應的氣體及反應的副物(By-Products)從晶片脫附(Desorption)，進而通過邊界層進入主氣流，如圖2-4(d)。最後，未參與反應的氣體被CVD設備的真空系統所抽離，如圖2-4(e)。

2.3.4.2

超高真空化學氣相沈積系統

超高真空化學氣沈積(UHVCVD)在非常低壓環境下的CVD製程，大多低於 10^{-6} Pa (約為 10^{-8} torr)。是一種熱壁式(hot-wall)的加熱方式，由一種或一種以上的氣體在固體表面上反應而產生固態產物，以矽甲烷(SiH_4)為反應氣體在晶片(Wafer)上沈積多晶矽薄膜。而晶片上之所以可以產生薄膜，出始於佈滿在晶片上的許多氣體分子或其他粒子，例如原子團(Radical)和離子等。這些粒子可能因為發生化學反應，而產生固態粒子，然後沈積在晶片的表面上，或是因為經歷表面擴散運動而失去部份的動能之後，被晶片表面所吸附(Absorbed)進行沈積。薄膜沈積的機構，依發生的順序，如圖2-4所示可分為五個步驟：(a)長晶(b)晶粒成長(c)晶粒聚集(d)縫道填補(e)沈積膜的成長。使用氣體 SiH_4 與 GeH_4 ，在高溫下通入腔體，進行化學反應，其製程化學反應式如Gates等人在1990年所提出的矽(Si)反應式：

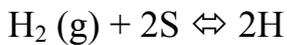


而B. Cunningham等人在1991年所提出的鍺(Ge)反應式：





將上述矽與鍺兩反應式結合可得：



其中S為基板(substrate)表面反應點。其反應分解出的氣體 H_2 ，大部份會被真空系統抽離，留下矽與鍺反應生成複晶矽鍺於晶片上。

2.3.4.3

超高真空化學分子磊晶系統

超高真空化學分子磊晶系統(ultra high vacuum chemical molecular epitaxy, UHVCME)相較於超高真空化學氣相沈積(UHVCVD)系統是屬於冷壁式(cold-wall)反應系統，利用水冷式(water-cooled)冷壁不鏽鋼反應腔、分離式噴嘴(separate)、製程氣體(doping gas)和電腦控制氣體轉換盒(computer-controlled gas switching box)所組成的磊晶系統。此系統有五種主要的製程氣體如 Si_2H_6 , GeH_4 , B_2H_6 , PH_3 , Cl_2 和吹除氣體氮氣(N_2)，而反應物的氣體流率都被密封金屬集中流量控制器(metal-sealed mass flow controller, MFC)精密的控制著。主腔體的壓力控制在約 1×10^{-7} Pa下，加熱速率約每分鐘150度的沈積生長速率。機台如圖2-5所式。

2.3.4.4 分子束磊晶系統

分子束磊晶系統(molecular beam epitaxy, MBE)是由J.R Arthur和A.Y Cho在1969年首先發展出來，是一種歸類於物理氣相磊晶(PVD)的技術，利用在超高真空($\text{pressure} < 10^{-10}$ torr)環境下，加熱對於蒸鍍源瓶(effusion cell)控溫精密掌握材料源蒸鍍其分子，氣體分子在成長腔體內的平均自由路徑(mean free path)大於蒸鍍源至基板之間的距離，可視為使蒸鍍物質以分子束依直線行走而直接到達基板進行磊晶成長。由於分子束磊晶系統要求達到超高真空，對於材料源的純度也要求達到至少6N(99.9999%)，故具有防止其他雜質污染的最大優點。分子束磊晶系統在磊晶過程中可利用反射式高能電子繞射(reflected high energy electron diffraction, RHEED)圖形之明暗振盪頻率來觀察磊晶層成長的速度，因此可精準的控制各層磊晶層的厚度。其結構示意圖如圖2-6。

2.4 矽鍺結構退火機制介紹

熱退火效應(thermal annealing effects)在矽鍺製程中扮演著重要的角色，由前述文獻介紹可知，矽鍺異質接合結構常被運用在 HBT、MOSFET 和 TFT 等半導體製程中。因此，退火機制在製程整合技術中是必然的一道程序，然而不同退火製程技術也對矽鍺結構有不同的效果產生，以下我們將介紹退火機制對於矽鍺結構產生的影響以及幾種常見的退火技術。

2.4.1 矽鍺結構退火機制原理

退火機制發展以來已經大量被運用在矽鍺結構的研究中，依前述文獻介紹中可知，影響矽鍺異質接合結構的性能，最主要是觀察結構中的針狀差排密度(threading dislocation density)以及結構缺陷(structure defect)的分布，而退火機制的熱應力(thermal stress)所產生的熱應變(thermal strain)勢必對矽鍺異質接合結構中原本已經存在的晶格不匹配(lattice mismatch)產生決定性的影響，文獻中說明退火所產生的層間擴散(interdiffusion)對矽鍺異質接合結構最主要的影響，在於應變釋放(strain relaxation)機制和鍺濃度含量(Ge composition)的改變，亦或對矽鍺結構表面因熱應變而產生晶粒尺寸(crystalline size)上的變化，導致結構表面粗糙度(roughness)隨之發生變化。

從蒐集的文獻中[28]研究顯示熱退火對矽鍺異質接合結構 Si/Si_{0.8}Ge_{0.2} 有幾點重要的研究發現，在 1000 度的高溫下使得矽鍺磊晶層(SiGe epilayer)

和矽基板(silicon substrate)之間發生層間擴散(interdiffusion)，而在能量散射 X 光光譜分析(energy-dispersive X-ray spectroscopy, EDS)下發現氧原子因層間的擴散作用而進入矽鍺晶層表面；另外在高解析的 X 光繞射分析中(high-resolution X-ray diffraction, HRXRD)發現，隨著退火溫度的上升矽鍺層的特性波峰會往高繞射角偏移(shift)的趨勢；然而，由於熱退火產生的熱應變使得層間平均晶粒(average grain size)隨之熱退火溫度的上升而變大，且結構中介面層間的黏著力(interfacial adhesion strength)也會隨著退火溫度上升而增加。其他相關矽鍺結構經退火研究在 XRD 分析中如文獻[29]。許多相關文獻都顯示在 XRD 分析中矽鍺異質接面結構都有鍺擴散的現象產生，其中發生的情形又會隨著溫度、時間和通入氣體而有所不同。

2.4.2 矽鍺退火技術介紹

退火技術在矽鍺異質接合結構上的運用主要取決於製程參數，而退火參數包括通入氣體、製程溫度、製程壓力、升溫時間、升溫速率和持溫時間等。就通入氣體而言，又可以分為氮氣(N₂)、氧氣(O₂)、氫氣(H₂)和壓縮空氣(CDA)等氣體；而依製程壓力可分為常壓(atmospheric pressure)、低壓(low pressure)、高壓(high pressure)和超高真空(ultra high vacuum)等條件；依升溫速率又可分為快速退火(rapid thermal annealing)、一般退火(thermal annealing)等。

而文獻中指出退火製程參數對於矽鍺異質接合結構常常會有決定性

的影響[30]，文獻中表示在矽鍺退火製程中通入氧氣和氮氣能有效的減少矽鍺異質接合結構中因晶格不匹配而產生的缺陷空乏區(voids)，藉由氧原子和氮原子經高溫退火後經擴散填入缺陷空隙(interstitial defects)中，以降低矽鍺異質結構本身的缺陷體積，達到品質更好的矽鍺異質接合結構。



2.5 奈米壓痕量測系統介紹

壓痕技術由於能夠容易且迅速地操作故已經被廣泛地運用在材料的機械性質量測。在20世紀初Brinell就利用球狀探針對材料的塑性做壓痕測試[31-32]。在發展出各種不同的壓痕及微壓痕測試之後，Brinell測試方法就迅速地被業界採納運用[32]。傳統的壓痕測試是利用光學量測壓痕。在過去二十幾年的時間，壓痕領域已經延伸到奈米的尺度範圍，其已經可以發展出能夠在壓痕過程中連續量測負載和位移的關係[33-35]。現今負載可以小至奈米牛頓以及最小位移趨近0.1奈米的尺度且可以被精確地量測。另一方面，楊氏係數(elastic modulus)於1970年代被發現可以經由負載-位移曲線中得到[36]，因此大大地推進壓痕測試方法。在最近幾年，材料於奈米尺度下擁有尺寸效應(size-dependent)[37-38]，其機械性質研究開始引起注意。其部分原因在於奈米複合材料的發展和奈米厚度薄膜於微小化工程的應用[39]，另外部分原因在於小體積下新穎的探測機械性質方法的發展。奈米壓痕機已成熟為探測小體積材料機械性質的探測工具。壓痕負載-位移資料包含了大量的資訊例如硬度和彈性係數等機械性質，不用傳統的光學量測方法就可獲得。奈米壓痕機也可以去估計傳統壓痕所量測不出的超薄膜之破裂韌性。在擁有切向力感測器下，奈米刮痕和磨耗測試可以在漸增負載下執行[40-46]。鑽石由於高硬度和彈性模數故是最常被用在壓痕探針頭，進而避免探針頭本身的形變導致量測誤差。對於在最小尺寸

下探測如硬度和彈性模數等性質，Berkovich三角錐壓痕探針相對於Vickers和Koop探針是較被廣泛使用的，其因在於三角錐形狀較利於磨成尖端。

2.5.1 硬度與彈性模數的量測原理發展

2.5.1.1 Sneddon's壓痕公式發展

最早的壓痕技術是由Sneddon's經由實驗分析而得，而Sneddon's的理論是根據材料力學中的材料受力變形理論所推演而來的，而此理論的基本假設為壓痕初始抬針時的接觸面積維持常數，而當時Sneddon's所使用壓痕量測的探針頭為有彈性的圓柱體平坦探針[47]，因此Sneddon's分析出壓痕負載力P和壓痕深度h之間的推導式為(2.1式)：

$$P = \frac{4\mu a}{1-\nu} h \quad (2.1)$$

其中a為圓柱體壓痕頭的半徑(the radius of the cylinder)， μ 為材料力學中的剪力模數(shear modulus)，而 ν 為材料的浦松比(Poisson's ratio)。其中注意接觸圓的面積A(the area of the contact circle)為 πa^2 也就是接觸投影到表面的面積，而剪力模數 μ 可以和彈性模數E可以導出材料力學中的關係式 $E=2\mu(1+\nu)$ ，接著將P和h的關係式進行微分可以得到(2.2)式：

$$\frac{dP}{dh} = \frac{2}{\sqrt{\pi}} \sqrt{A} \frac{E}{(1-\nu^2)} \quad (2.2)$$

由2.2式可以觀察出E(elastic modulus)可以直接由初始卸附載曲線的斜率來取得，如此一來浦松比可以被合理的估測出來且接觸面積的獨立量測也可以同時取得。此時，在將材料力學中的虎克定律考慮進來，如(2.3)式：

$$\frac{1}{E_r} = \frac{(1 - \nu^2)}{E} + \frac{(1 - \nu_i^2)}{E_i} \quad (2.3)$$

其中 E_i 為壓痕探針頭本身的有限彈力常數， ν_i 為壓痕頭的浦松比，如此一來壓痕所造成的變形也將考慮到量測深度中，那將方便我們去定義實際減少的彈性模數(reduced modulus)， E_r 。根據Stillwell和Tabor[48]的理論推導，將2.3式帶入2.2式可得2.4式如下：

$$\frac{dP}{dh} = \frac{2}{\sqrt{\pi}} \sqrt{A} E_r \quad (2.4)$$

Sneddon's 表示2.4式僅適用於符合平坦的圓柱體探針(flat cylindrical punch)。但實際上一般用於負載-卸負載壓痕技術大多並不是平坦的探針頭，而是方形或三角錐金字塔形(Vickers or Berkovich indenters)。儘管如此，2.4式一直以來時常被用在主要的證明至少在初始卸負載曲線的部分是呈線性的，表示是平坦探針頭所展現的行為。之後Doerner和Nix兩位學者為了證實Sneddon的理論是正確的，他們去進行了不同材料的壓痕量測實驗[49]，實驗發現除了部分金屬是呈線性分佈以外，其他材料則是非線性，甚至有部分金屬也是呈現非線性分佈，為奈米壓痕量測技術又增添了一份色彩。

在壓痕技術下最常量測的機械性質就是硬度(Hardness, H)和彈性模數

(Elastic, E)。當探針壓入試片時，彈性和塑性變形會同時發生，壓痕會類似於探針頭的形狀。當壓痕機抬針時，只有彈性位移的部份會恢復[31]。圖2-7展示典型的負載-位移曲線圖以及薄膜經負載及卸載時的壓痕形狀剖面圖。圖中 h_{max} 表示在最大負載 P_{max} 時的深度， h_c 定義為壓痕探針在負載下與試片的接觸深度， h_f 是在完全卸載後的最終位移。S為卸載曲線上部實驗量測而得的剛性(stiffness)。奈米壓痕硬度是最大負載除以壓痕的投影接觸面積，也就是說材料在負載下所能支撐的平均壓力。從負載-位移曲線可以得到硬度為(2.2)式：

$$H = \frac{P_{max}}{A} \quad (2.2)$$

A為投影接觸面積。另外試片之彈性模數可以從初始卸載斜率，即剛性 $S=dP/dh$ 中得到。而S可另外由Sneddon[47]推導的(2.3)公式來表示：

$$S = 2\beta\sqrt{\frac{A}{\pi}}E_r \quad (2.3)$$

β 為根探針頭幾何形狀有關的常數(Berkovich為1.034)[34]， E_r 為變形模數(reduced elastic modulus)，由於Tabor和Stillwell較早的的壓痕實驗觀察到，非剛性壓痕器(non-rigid indenter)對於負載-位移行為的影響，可藉由定義一個變形模數，有效地加以考慮，方程式(2.4)為

$$E_r = \frac{1-\nu^2}{E} + \frac{1-\nu_i^2}{E_i} \quad (2.4)$$

E和 ν 分別為試片之彈性模數和浦松比(Poisson' ratio)， E_i 和 ν_i 則為壓痕

探針頭之彈性係數和浦松比。對於鑽石而言， $E_i=1141\text{GPa}$ 且 $\nu_i=0.07$ [30, 34]。

從(2.3)和(2.4)式中可得知，為了求出E值，必須要先知道剛性S和投影接觸面積A。Oliver和Pharr[34]發現卸載曲線通常為Doerner和Nix所述為非線性[50]，可以用指數形式(2.5)來表示：

$$P = B(h - h_f)^m \quad (2.5)$$

在此B和m為經驗常數。而剛性S可以將(4)式中最大深度 $h=h_{\max}$ 對時h做微分可得到(2.6)式：

$$S = \left(\frac{dP}{dh}\right)_{h=h_{\max}} = Bm(h_{\max} - h_f)^{m-1} \quad (2.6)$$

另外在已知探針頭幾何形狀的情況下，投影接觸面積可以為壓痕接觸深度的函數。以Berkovich為例：

$$A_c = 24.56h_c^2 \quad (2.7)$$

但實際上探針頭並非是完美的形狀，因此必須有所修正為(2.8)式：

$$A_c = 24.56h_c^2 + C_1h_c^1 + C_2h_c^{1/2} + C_3h_c^{1/4} + \dots + C_8h_c^{1/128} \quad (2.8)$$

C_1 至 C_8 為常數，右式首項表示為完美之Berkovich探針，其他項則為探針鈍化之修飾因子[34]。

接觸深度可以由(2.9)式得到：

$$h_c = h_{\max} - \varepsilon \frac{P_{\max}}{S} \quad (2.9)$$

ε 為根據探針幾何形狀而定的常數(Berkovich為0.75)。

2.5.2 奈米壓痕量測效應

2.5.2.1 基材效應

一般薄膜材料可分為軟膜硬基底和硬膜軟基底兩種，通常在軟膜硬基底的情況下，薄膜硬度值不易受基材影響，反之硬膜軟基底則需壓痕深度需遠小於膜厚，以避免基底效應的發生。至於避開效應的膜厚比例為多少，許多文獻所提之範圍無一定值，目前尚無統一標準，僅整合範圍約為10%-30%

2.5.2.2 尺寸效應

在作壓痕試驗時，一般都預期施以不同的荷重或壓入不同的深度會得到相同的硬度值，但實際量測時卻發現不是如此，此即壓痕大小效應。有一些原因可解釋此現象，如接觸面的不確定性、表面氧化層的生成所致、試片表面因加工所造成的殘留應力及應變硬化、或是接觸面積函數的計算誤差等。Nix and Gao[53]以塑性應變硬化的理論，得到硬度隨壓痕深度變化的特徵公式如下

$$\frac{H}{H_0} = \sqrt{1 + \frac{h^*}{h}} \quad (2.10)$$

2.5.2.3 表面粗糙度效應

試片的表面若是非常粗糙時，探針尖端與試片表面的接觸便不是單一的接觸，而是多點的接觸，由於多點接觸的面積較小，因此形成荷重所造成的位移比單一接觸時還大的誤差，如此會使得接觸面積被高估，連帶使得到的硬度及彈性係數值變小。若要降低表面粗糙度效應對壓痕實驗的影響，除了使試片表面更平坦，壓痕尺寸亦或是壓痕深度相對於表面粗糙度必需非常大，很多文獻都指出表面粗糙度對實驗的影響。根據粗糙度理論，粗糙度必須小於壓痕深度的 20%，以避免粗糙度對材料機械性質的影響。

2.5.2.4 熱漂移效應

在奈米壓痕量測系統中，造成熱漂移(thermal drift)效應的原因有兩種，一為材料塑性流動造成的潛變(creep)效應，另一為環境的溫度與儀器本身因操作時發熱，都可能使系統的組件產生熱膨脹，熱膨脹將在數據中被放大，成為試件中明顯的位移，造成誤差，但操作時間越久，儀器溫度會趨於穩定，而且實驗室有空調設備，所以熱漂移現象會減少。通常實驗儀器可在每次壓痕實驗時，在施加荷重前，可設定儀器量測熱漂移率 D_{rift} ，通常漂移距離與時間呈現線性的情形，故修正修正熱漂移位移公式如下

$$D = D_0 \pm D_{rift} t \quad (2.11) \text{ 其中 } t$$

為經過時間， D_0 為未經過熱漂移修正之位移， D 為經熱漂移修正後之位移，

一般儀器都可以設定熱漂移率，若超過所預設的值則儀器不做動，以確保實驗的準確性，等到熱漂移率低於預設值才開始實驗。如不考慮熱漂移效應，許多儀器也提供設定等待時間，在等待時間過後才開始實驗。

2.5.2.5 凸起和陷入效應

使用 Oliver 和 Pharr[34]的理論作實驗，對大多數的材料來說，其精確度可達 10%，但是做壓痕實驗時，常會發生擠出現象(pile-up)與沈陷現象(sink-in)，如圖 2-8 所示，此兩種現象所造成接觸的面積計算誤差，最高可達 50%。Oliver 和 Pharr 的理論是描述純彈性的接觸，其理論只包含了沈陷現象而不包含擠出現象，是由於擠出現象會使實驗時得到的接觸面積減少，導致得到錯的機械性質，但是真實的材料為彈塑性的接觸，不論擠出現象或沈陷現象都會影響實驗所得的機械性質。許多分析結果顯示，不論發生擠出現象或沈陷現象，在 $h_f / h_{max} < 0.7$ 時，影響較小， h_f 是最後壓痕的深度，而 h_{max} 為實驗中探針最大的位移，若是 $h_f / h_{max} > 0.7$ ，且又發生擠出現象，則實驗結果誤差較大。

2.5.2.6 黏著效應

部分材料在壓痕過程中，可能會和探針黏著在一起，造成實驗的誤差。為避免探針與試片產生黏著效應，在進行壓痕試驗時，通常會在初始時負載震盪三次，主要是為了消除黏滯性對荷重上升時的影響，其中卸載到最

大荷重的 10%，當震盪完三次後保持 10%的負載，以避免系統熱膨脹影響，之後再增加荷重，在將負載位移資料記錄分析。且實驗時量測不同區域，以避免樣品的區域效應，以及壓痕與壓痕之間的距離大於壓痕大小的 3~5 倍，以避免應變硬化。

2.5.3 奈米壓痕量測校正

2.5.3.1 探針面積函數校正

探針面積函數的校正為壓痕試驗最重要的步驟，也是影響實驗結果最重要的因素。實際的鑽石探針尖端曲率半徑約為 100~200 奈米，且隨著使用時間越久，產生磨耗越多，會造成面積函數的改變，而當尖端鈍化導致與原來形狀有所偏差時，就需要透過標準試片定期校正，一般可使用 Oliver 和 Pharr 所提出的壓痕器校正方法，且使用熔凝石英(fused quartz)為標準片，並假設彈性係數為一常數(72Gpa，減化模數為 69.6Gpa，硬度約為 10Gpa，波松比為 0.17)，即不隨著壓痕深度而改變。對一個幾何角錐壓痕(Berkovich)，其接觸面積的投影和接觸壓痕的深度關係如 2.8 式

$$A_c = 24.56h_c^2 + C_1h_c^1 + C_2h_c^{1/2} + C_3h_c^{1/4} + \dots + C_8h_c^{1/128} \quad (2.8)$$

若為三角錐壓痕(Berkovich)時，則其值為 24.56，但若對角度為 90°之立方體壓痕其值為 2.598。C₁~C₈是為了修正探針尖端誤差，使計算之正向投影面積更接近真實的壓痕面積。由不同的荷重所得到的接觸面積的投影(A)

與接觸壓痕深度(h_c)代入上式，做多項式的曲線回歸(Curve fitting)，面積函數即可得知。通常在實驗開始之前，以 fused quartz 做 50~10000 μ N 共 11 次的壓痕試驗，並以此數據做接觸面積函數校正。探針的尖端若是有灰塵等東西，亦會影響實驗結果，此時需以棉花棒沾酒精擦拭，或以一低彈性且軟的材料如鋁材做壓痕實驗來除去髒東西，以保持探針之清潔，接著再做接觸面積函數的校正。一般在壓痕實驗之前及結束後都須再使用 fused quartz 標準片測試，即以標準片做壓痕測試，測其減化模數是否接近標準值，以確定實驗數據正確與否，若是誤差太大，則需重新做接觸面積函數的校正。

2.5.3.2

機械撓性校正

因機器本身在做壓痕動作時，所量測到的位移量為試片以及壓痕儀本身機械結構的變形量，而壓痕試驗後皆由壓痕深度來計算楊氏係數，所以壓痕深度值，對實驗相當重要的，所以必須扣除機器本身的變形量以求得精確的實驗數據，故實驗前，必須先量測出機械結構本身的撓性，再將此值設定於換能器的補償參數中，以得到更精確的實驗數據值。

2.5.3.3

靜電力校正

奈米壓痕儀的荷重是由靜電力所產生，但因為致動器之中央電容板以支撐彈簧懸掛於上下電容板間，在鑽石探針壓入的過程中，一部分的荷重

會於彈簧所吸收；對於硬的材料而言，荷重幾乎都施加於材料上，但對於軟的材料而言，一部分的荷重會為彈簧所吸收。為了扣除彈簧力的效應，以一靜電力常數描述。在進行靜電力常數校正過程中，必須使真正施加於材料的荷重能夠扣除彈簧效應。靜電力常數校正過程必須在鑽石探針遠離樣品時，即中央電容板能自由移動的情況下，施加荷重造成支撐彈簧形變。此過程稱為 Air indent。此時觀察荷重-位移曲線，若無法完全扣除支撐彈簧的效應，會呈現線性行為（虎克定律），即斜率為正，此時需調整靜電力常數，使得呈現水平線，即荷重不隨位移而變化。市面上一些較大型壓痕儀器可以自動進行靜電力校正，但非常費時，以人工方式校正可解省許多時間。



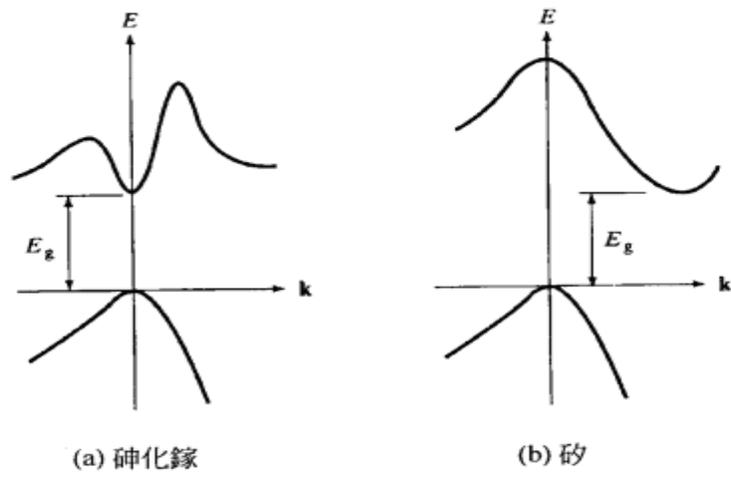


圖 2-1 半導體元件能隙比較[17]

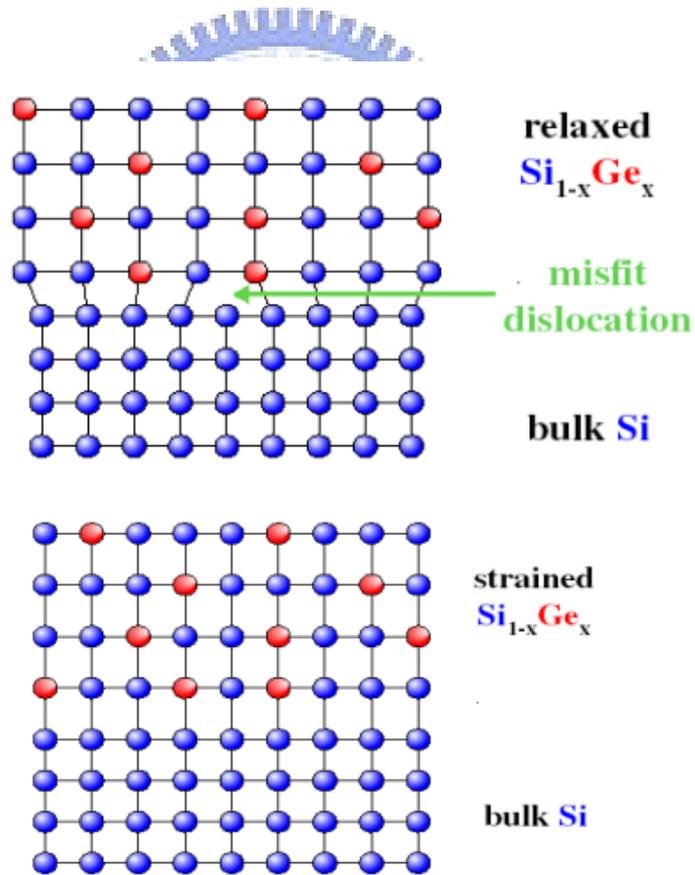


圖2-2 矽鍺層成長於矽基板上時之壓縮形變

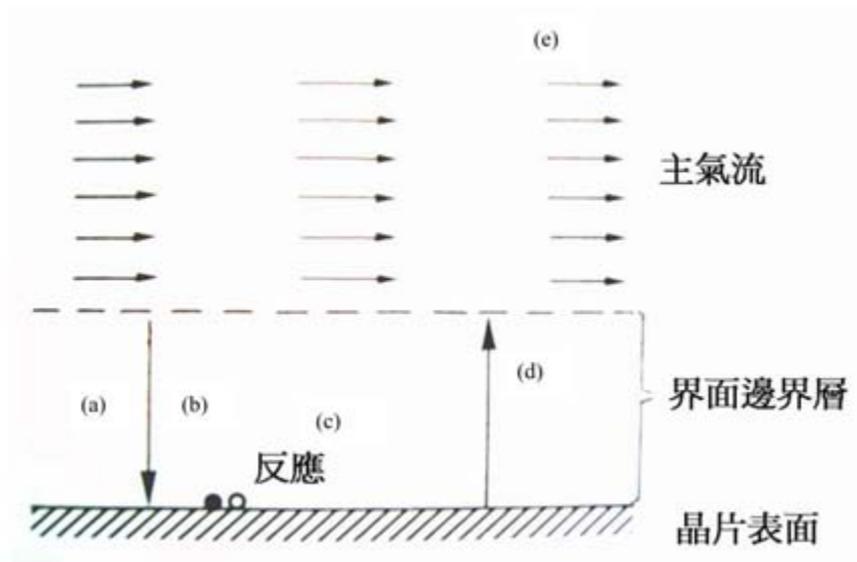


圖2-3 化學氣相沈積的五個步驟

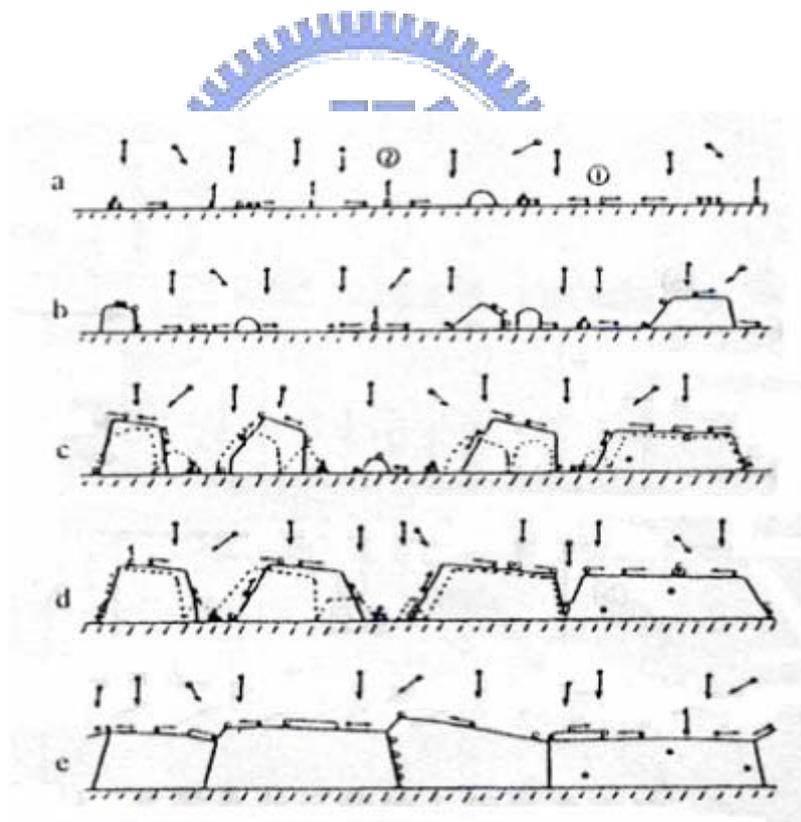


圖2-4 薄膜沈積步驟的分解圖：(a)長晶 (b)晶力成長 (c)晶粒聚結 (d)逢道填補 (e)沈積薄膜的成長

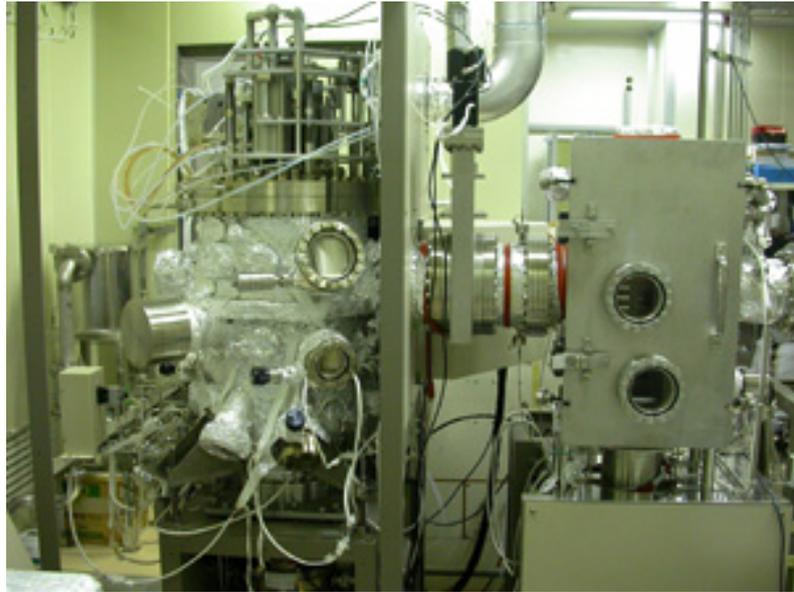


圖2-5 超高真空化學分子磊晶系統

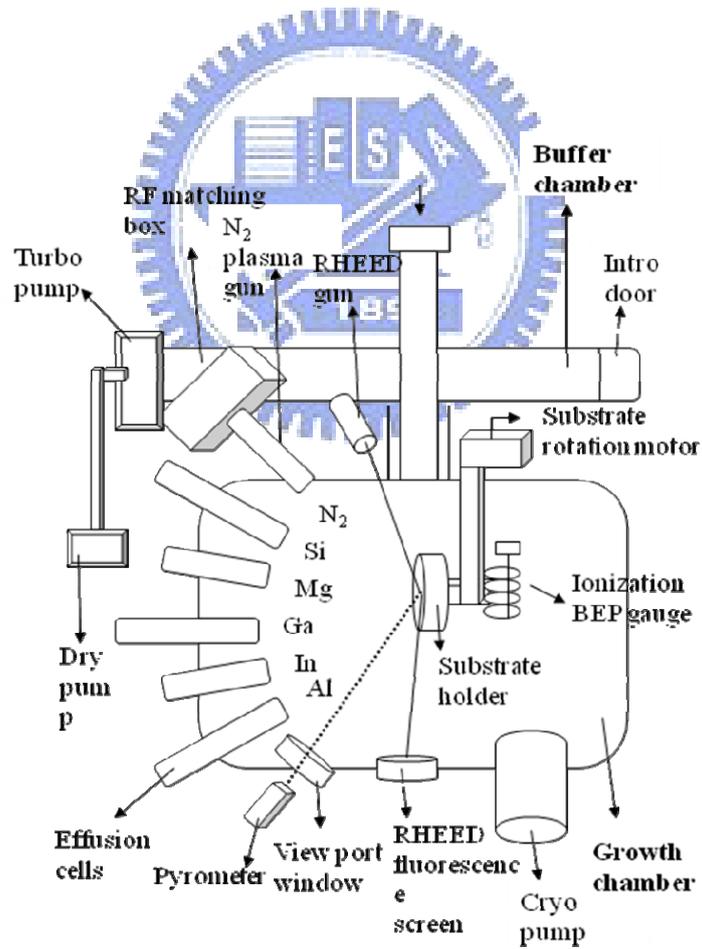


圖2-6 分子束磊晶系統結構示意圖

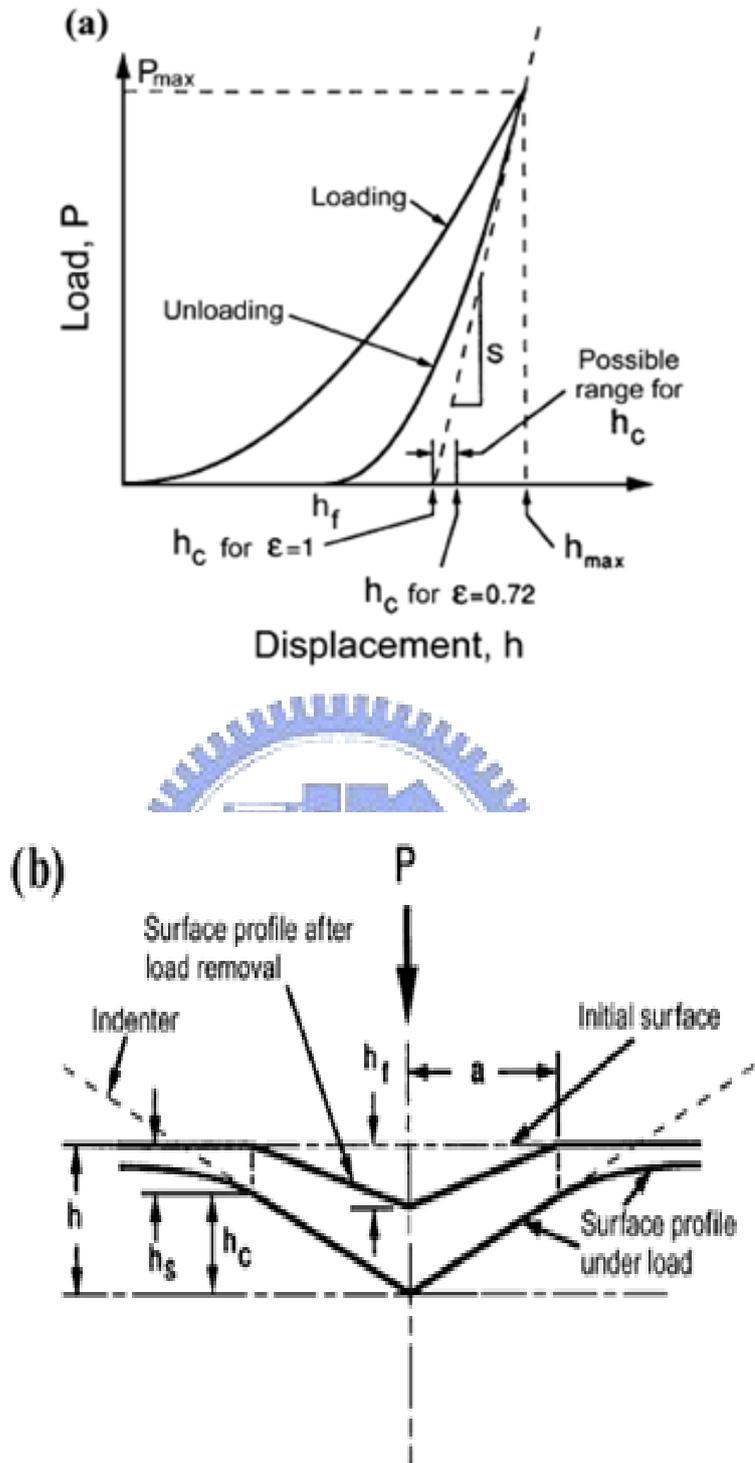


圖 2-7 (a)典型的負載-位移曲線圖以及(b)薄膜經負載及卸載時壓痕形狀

剖面圖

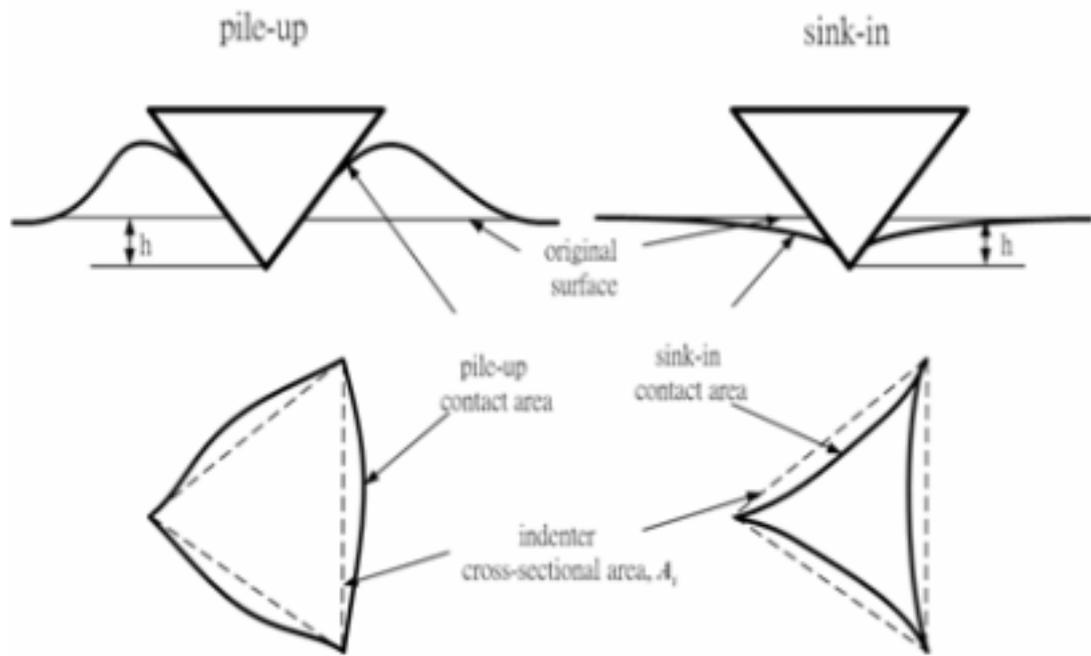


圖 2-8 試片表面突起和陷入效應



表 2-1 矽、鍺、砷化鎵半導體材料特性比較[17]

矽、鍺、砷化鎵半導體材料特性比較

	鍺	矽	砷化鎵
半導體	元素	元素	化合物
能隙	0.67eV	1.12eV	1.42eV
能隙種類	間接能隙	間接能隙	直接能隙
電子遷移率(倍)	3	1	5

表 2-2 矽及砷化鎵元件特性比較[17]

矽及砷化鎵元件特性整理

矽元件		
	CMOS	BJT
元件大小	小，基極度高，元件微縮能力強，可增快運作速度。	大
電流放大效能	小，單載子運動。適合做訊號處理。	大，雙載子運動，適合做電流驅動放大元件。
速度	慢，電場感應式通道，電子易受干擾，影響速度。	快，電流直接趨動，反應快。
運用	數位邏輯 IC	類比 IC 功率 IC RF IC

砷化鎵元件			
	MESFET	pHEMT	HBT
元件尺寸	大	中	小
頻率運用範圍	中	高	中
雜訊	中	低	中
成本	低	高	高
負閘極電壓	Yes	Yes	No
技術	成熟	成長中	成長中
主要運用	高頻元件	超高頻元件	功率放大元件

表 2-3 半導體材料綜合比較[17]

	砷化鎵(GaAs)	矽(Si)	矽鍺(SiGe)
電子移動率	High	Low	Medium
高頻運用	Excellent	Poor	Good
高溫操作	Good	Poor	Poor
抗輻射性	High	Medium	Medium-High
材料安全性	Poisonous	Safe	Safe
製程技術	Maturing	Mature	Maturing
整合程度	Low	High	High
成本	High	Low	Low
崩潰電壓	High	Low	Low-medium
導熱性	Poor	Good	Good
電阻係數	High	Low	Low
其他	無合適氧化物、易碎	可生成 SiO ₂ 、不易碎	可生成 SiO ₂ 、不易碎
主要應用領域	RF IC	Digital Circuit	RF IC

第三章 實驗方法與分析

3.1 實驗流程

本實驗為矽鍺薄膜奈米機械性質之研究，第一部份利用超高真空化學氣相沈積系統(UHV-CVD)在矽基板上沉積厚度約300nm的矽鍺薄膜，找出最佳合成參數使薄膜厚度均勻分布。第二部份欲經由後段常壓退火爐管 (Atmospheric Anneal Furnace)，進行不同溫度(400~600°C)之退火處理，實驗探討不同退火溫度參數對矽鍺薄膜之影響。第三部份探討機械特性與結構差排密度探測，將以壓痕系統之原子探針，直接對異質接面結構表面，進行奈米壓痕壓縮實驗。第四部份為實驗的材料分析，本實驗將使用多種分析儀器進行分析，目的為佐證實驗準確性，實驗儀器包括掃描式電子顯微鏡(Scanning Electron Microscope, SEM)、原子力電子顯微鏡(Atomic Force Microscope, AFM)、X光繞射儀(X-Ray Diffraction, XRD)、穿透式電子顯微鏡(Transmission Electron Microscope, TEM)。實驗流程如圖3-1。

3.2 實驗與分析儀器

3.2.1 實驗材料

(1) 基材(substrate)：P型(100)矽晶圓基板

(2) 通入氣體：矽化氫(SiH_4)：50sccm、鍺化氫(GeH_4)：20sccm、硼化氫(B_2H_6)：50sccm、氮氣(N_2)、氫氣(H_2)、壓縮空氣(CDA)

3.2.2 實驗儀器

矽鍺超高真空化學氣相沉積系統(UNAXIS SiGe UHVCVD)

實驗設備如表3-1，實驗儀器規格如圖3-2



3.2.3 分析儀器

3.2.3.1 掃描式電子顯微鏡(SEM)

掃描式電子顯微鏡以電子束對試片做掃描，主要偵測信號為二次電子(secondary electrons)、反射電子(backscattered electrons)、穿透電子(transmitted electron)等，儀器如圖3-3。

1. 型號與規格：參照表3-2

2. 儀器功能：主要用來觀察試片表面或縱切面形貌(topography)影像觀察及其他電性性質分析。

3.2.3.2 原子力顯微鏡(AFM)

相較於其他方式的顯微鏡，此法不需要光源、電子束，其操作方式是利用一支極細的探針，沿材料表面進行掃描，過程中穿隧電流(tunneling current)因為表面高低起伏不同而變化成像，經電腦運算可得材料表面的三維圖形，如圖3-4。

1. 型號與規格：參照表3-3

2. 儀器功能：提供試片表面3D的圖形、表面粗糙度等。

3.2.3.3 X光繞射儀(XRD)

晶体是由原子或原子團在空間中以規則排列而成的固体，X-ray 進入晶体時，會被原子散射，當存在某種相位關係(相位差)兩個或兩個以上散射波相互疊加後，就會產生繞射現象。X光繞射儀就是利用偵測器收集繞射訊號強度，得到待測樣品的繞射圖譜(Diffraction Pattern)，此繞射圖譜一般來說是以繞射強度對繞射角作圖，將此繞射圖譜經過結晶面標定過程後，便可得到待測樣品的結晶結構，最大特點為非破壞性量測。

系統規格及型號：

(1) 機型：PANalytical X'Pert Pro (MRD)

(2) X-ray 光源：銅靶 ($K\alpha$; $\lambda = 0.154 \text{ nm}$)

(3) Detector：正比計數器(Proportional Counter)

- (4) Beam size : 20 mm Height × 3 mm Width
 - (5) 試片尺寸 : 0.5 cm × 0.5 cm 到 8 吋晶片
 - (6) $\omega/2\theta$ 最高分辨率 : 0.0001°
 - (7) 操作環境 : 大氣 1 atm
 - (8) 第一光學模組 : X-ray Mirrors, The Hybrid Monochromator, Cross Slit Collimator (X-ray lens)
 - (9) 第二光學模組 : Parallel Plate Collimator (PPC).
- 系統主要分 5 個部份 : (1) X 光管 ; (2) 第一光學模組 ; (3) Sample Cradle ; (4) 第二光學模組 ; (5) 偵測器。(結構如圖 3-5 所示)

3.2.3.4 奈米壓印測試系統 (Nanoindentation)

儀器為 MTS 奈米壓痕系統 (Nano Indenter XPW SYSTEM)，如圖 3-6 所示。可針對 12 吋晶圓以下的試片進行奈米壓痕測試 (Nanoindentation) 及奈米刮痕測試 (Nanoscratch) 以及表面形貌量測與磨耗測試，可進行多種物理特性的量測，如硬度、彈性模數、斷裂韌性、試片表面摩擦係數、刮痕臨界負載及量化的試片表面形貌，功能可用於微電子元件檢測、半導體檢測、鍍層檢測、相片膠捲檢測、醫療儀器檢測、磁性儲藏介質檢測等。

3.3 實驗步驟

3.3.1 試片準備

以P型(100)矽晶圓為基板，經RCA清洗流程後，以矽鍍超高真空化學氣相沈積系統(Ultra High Vacuum Chemical Vapor Deposition, UHVCVD)在矽晶圓上沈積約300nm矽鍍薄膜，即完成試片準備。

3.3.2 後段常壓退火處理

- (1) 首先將鍍好矽鍍薄膜的試片放入腔體(chamber)載台上，關閉反應室門與開通氮氣閥門。
- (2) 設定製程所需溫度與時間，本實驗將進行不同溫度之退火處理，時間則固定為 10 分鐘。
- (3) 開啟電源供應器鈕進行加熱，當溫度到達指定溫度時，開始計時 10 分鐘，等所需時間到達時，將試片取出，即完成退火處理。

3.3.3 試片分析

利用掃電子顯微鏡觀察試片合成矽鍍薄膜之斷面，觀察其厚度、均勻性，並比較經退火處理前後矽鍍薄膜之表面型貌變化情形。原子力電子顯

微鏡則用以分析矽鍺薄膜表面粗糙度，並比較經退火處理前後之差異。X光繞射儀是用以觀察矽鍺薄膜經退火前後，進行晶格優選方向特性波峰、波長繞射強度、繞射圖譜和繞射位置等分析。奈米壓痕量測則是量測比較不同層數與不同退火溫度參數的機械性質和附著能力。



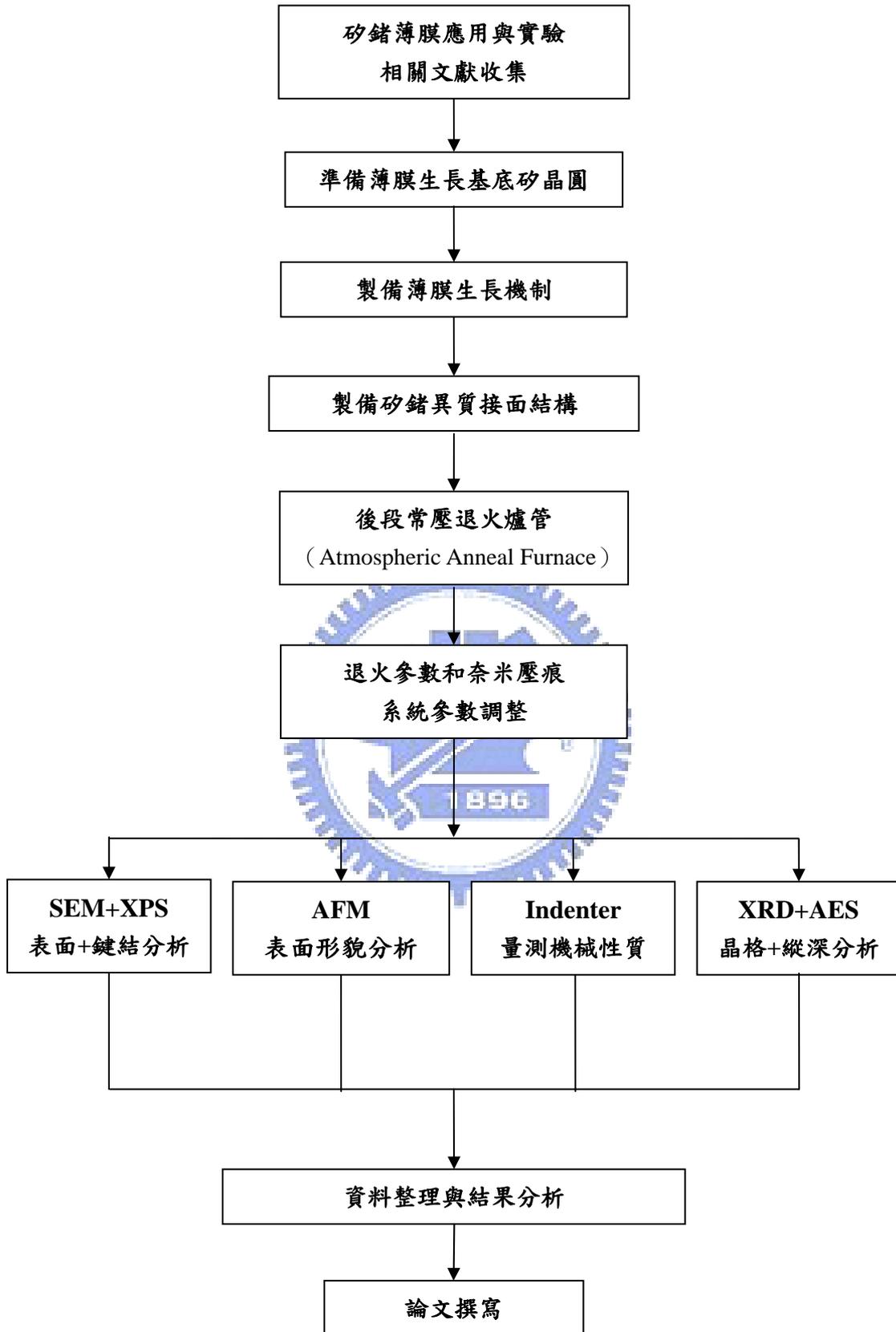
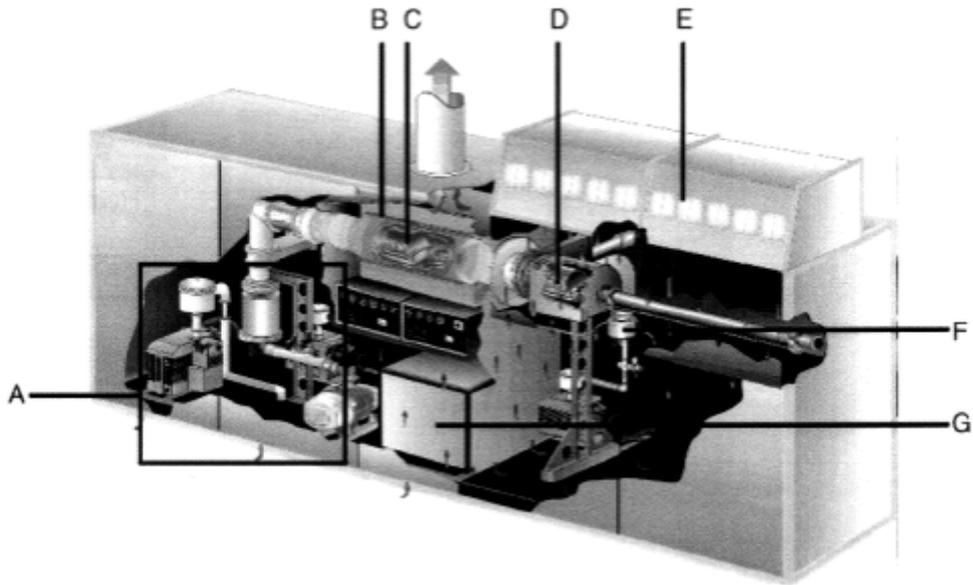


圖 3-1 實驗規劃流程圖



Overview picture

- A Pumping station
- B Furnace
- C Reactor tube
- D Load lock
- E Clean air module (flow box)
- F Pumping system for load lock
- G Gas box

Not shown in the picture are the assemblies:

- PC control center
- Control cabinet

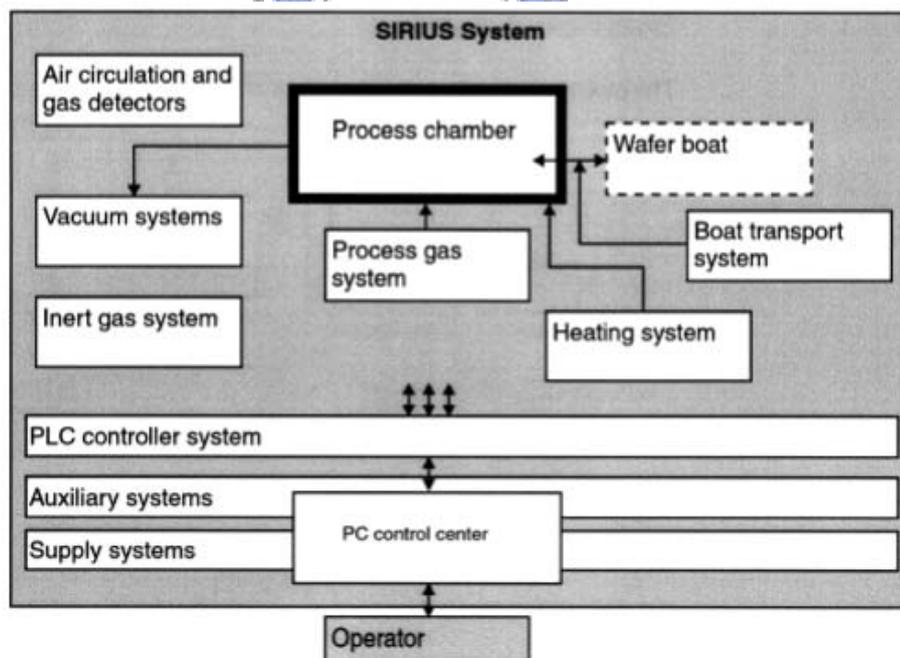


圖 3-2 超高真空化學氣相沈積系統



圖 3-3 掃瞄式電子顯微鏡

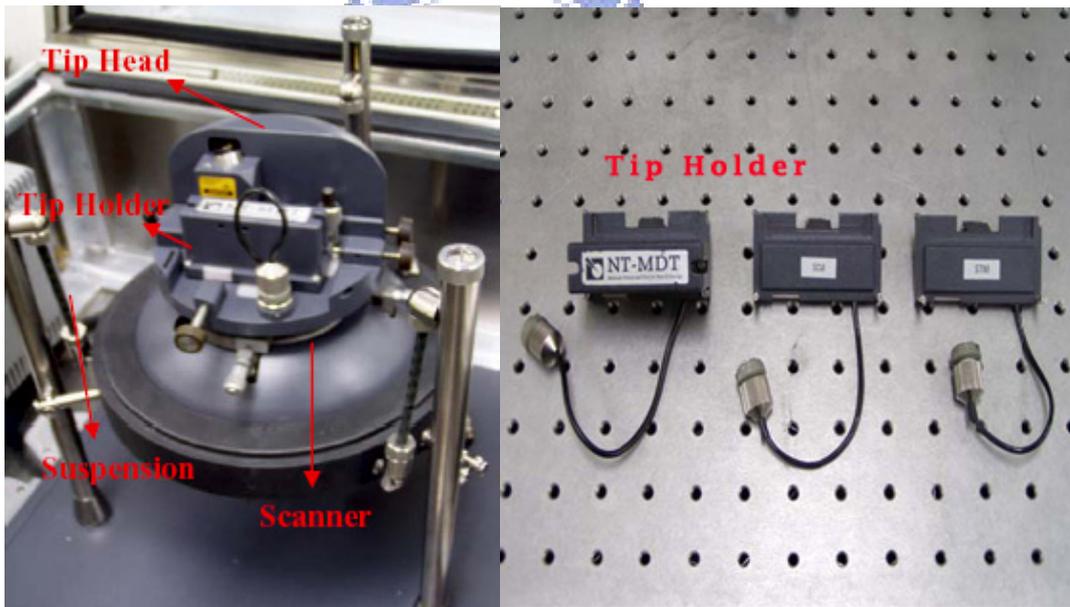


圖3-4 原子力電子顯微鏡



圖3-5 X光繞射儀



圖 3-6 奈米壓印測試系統

表3-1 超高真空化學氣相沈積系統規格表

Tech. data for reactor tube	Value	Comments
Material for reactor tube	quartz glass	double walled
Max. working temperature	600°C	
Working pressure	0.001–0.5 mbar	
Dimension of reactor tube		
Inner diameter	approx. 270 mm	
Outer diameter	approx. 300 mm	
Length of outer jacket	approx. 1100 mm	
Total length of tube	approx. 1601 mm	

Influencing variable	Value	Comments
Coating rate	1–10 Å/min	Process-dependant
Layer thickness	500–1000 Å	Process-dependant
Coating uniformity	$\leq \pm 0.2\%$	
Number of wafers per cycle (batch size)	max. 35	including monitor and filler wafers
Pumpdown time for empty load lock	max. 1 min	to $8 \cdot 10^{-3}$ mbar at 80 °C
Time for building up epitaxy coating	Depending on process	
Time for changing wafer boat	approx. 8 min	Depending on working speed of operating personnel or robot

Gas type	Gas consumption
Silane SiH ₄	approx. 50 sccm
Germane GeH ₄	approx. 20 sccm
Diborane B ₂ H ₆	approx. 50 sccm
spare	approx. 100 sccm (He)
spare	approx. 100 sccm(H ₂)

表 3-2 掃瞄式電子顯微鏡系統規格表

系統規格	規格說明
型號	電子顯微鏡(SEM)
機型	HITACHI S-4000
電子槍	冷陰極場發射電子源(CCFE)
加速電壓	0.5~30Kv
解析度	1.5nm
放大倍率	X20~X300000
最大試片尺寸	Airlock chamber : 75mm(直徑) x 25mm(高度) Sample chamber : 100mm(直徑)
可觀察範圍	25mm×25mm
傾斜	-5~+45°
旋轉	360°
可偵測訊號	二次電子影像，x-ray Mapping
真空度	2×10^{-7} Pa(電子源)

表 3-3 原子力顯微鏡規格表

系統規格	規格說明
型號	原子力顯微鏡
機型	Digital Instruments DI 5000
掃描面積	100X100 μm^2 (max)
試片尺寸	可接受小於 8inch 晶圓
解析度	XY 平面 2nm，Z 軸 0.01nm



第四章 實驗結果與討論

4.1 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構研究摘要

利用超高真空氣相沈積法在矽基板上沈積矽鍺磊晶層厚度約 300nm 後，使用奈米壓痕量測系統進行研究。本實驗結果主要分為三個重點，第一， $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構表層，根據文獻指出[54]， $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構表面經高溫熱退火處理後會有氧元素進入表層，本研究相較於文獻的退火溫度屬於較低溫退火，因此，研究除了觀察結構表面是否在相對低溫環境下也會有氧元素摻雜的現象，其次利用奈米壓痕連續剛性量測進行深度分析結構表面，探測深度約 100nm。第二， $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構中 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 矽鍺磊晶層，根據相關文獻指出[55]， $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構因為晶格間的 4.2%不匹配所產生的差排現象是本研究的主要核心，利用奈米壓痕連續剛性量測，探測深度約 200nm，實驗初步估計晶格不匹配所產生的差排會使得結構整體機械性質上升，然而，差排的產生是影響 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構在半導體元件性能最主要的關鍵，因此本研究搭配奈米壓痕來進行差排密度的探測，期望能從機械材料性質角度進一步地切入研究的關鍵核心。第三， $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構的介面層，也就是 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 磊晶層與矽基層的交界，根據相關文獻研究指出[56]， $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構的介面層中會有針狀差排(threading dislocation)產生，此針狀差排由 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 磊晶層深入穿透至矽基層，此針狀差排密度也是影響矽鍺

結構性能的關鍵因素，因此我們利用奈米壓痕連續剛性量測，量測深度約 300nm，進行介面層上的針狀差排量測，實驗初步估計針狀差排密度會反應在奈米壓痕探測數據上。

最後，實驗除了運用奈米壓痕量測技術外，也搭配其他材料分析技術，如掃描式電子顯微鏡(SEM)，觀察 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構厚度及材料表面形貌等；原子力電子顯微鏡(AFM)，利用原子級探針掃描試片表面形貌以及搭配奈米壓痕觀察壓痕形貌變化分析；歐傑電子縱深分析(AES)，利用歐傑電子放射至材料所需探測深度，歐傑電子經試片反射回接收器可得到材料分析數據，目的是分析 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構經退火後的層間擴散(inter-diffusion)；X光散射分析儀(XRD)，利用 X光進行材料晶格探測分析，目的是觀察 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構經退火後錯浓度的擴散以及材料布拉格角度的改變和材料特性波峰強度分析等；化學分析電子儀(XPS)，光電效應，藉由 X-Ray 光束照射在樣品表面，可收集到樣品表面數層原子內的光電子，分析此光電子的能量可得到相關的化學組態以及化學成分分析的資訊，分析材料化學鍵結，目的是要分析結構表面經常壓退火後的化學鍵結。

以下為各個實驗分析結果與討論。

4.2 經退火處理前後之 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構

4.2.1 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構厚度分析

首先，經由 UHVCVD 沉積 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構，由圖 4-1 掃描式電子顯微鏡剖面圖可見結構中 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 磊晶層約為 310nm。此厚度為 SEM 掃描下所得，後續實驗會再以 XRD 加以驗證 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 磊晶層厚度。然而，此厚度也超過了結構臨界厚度(critical thickness)[57]範圍，其結構中的差排效應也遵循著 Modified Frank-Read mechanism (MFR)發展機制[58]，因此實驗可以做進一步有效的探討其應力鬆弛機制以及差排密度的形成，以及在不同溫度的常壓退火下之影響與變化。

4.2.2 經退火前後結構AFM分析

本實驗將準備好的 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構試片數個，分別進行 400、500 及 600 度常壓退火處理和不經退火共四組試片，根據相關文獻蒐集[59]比較，文獻中在超高真空環境(UHV)下進行退火 900°C，才有明顯的錯島狀物形成，反觀本實驗在常壓退火 600 度即有明顯錯島狀物形成，造成此現象差異主要有幾個原因，退火環境壓力、通入氣體、製程時間等。實驗結果利用原子力電子顯微鏡進行試片表面掃描如下所示。

首先，從圖 4-2AFM-2D 掃描圖整體趨勢顯示，實驗可以得到幾個觀察重點：第一，結構差排密度隨著退火溫度上升而增加，圖中白色線條部分(高

度較高)即為結構的差排部分，由相關文獻可知[60]，此為矽鍺異質界面結構表面的特有交叉格子狀差排(crosshatched dislocation)，也就是由介面層中矽與鍺的晶格不匹配產生的差排現象(misfit dislocation)[61]，根據文獻[62]研究指出造成表面產生格子狀差排結構的主要原因是由於矽鍺結構中的鍺不會與氧發生反應，而矽則會與氧生成二氧化矽，因此介面層中的鍺會被分別推擠至表層和矽基板中，分別形成表面的格子狀差排(crosshatched dislocation)和推向矽基板的針狀差排(threading dislocation)[63]。然而，再進一步的退火處理後使得差排密度有明顯增加的趨勢，對於此現象本實驗後續會再以 XRD 以及奈米壓痕量測加以搭配證明。第二，結構表面鍺島狀物(Ge island)的產生[64]，圖中 as(未經退火)部分可觀察出並沒有任何島狀物的形成，然而到了 an400(經退火 400 度)可以觀察到明顯的小塊白色區域，為島狀物開始形成的趨勢，接著在 an500(經退火 500 度)可觀察到原本 an400 中的小塊白色區域已聚結為凸起的白色小點，最後在 an600(經退火 600 度)部分，已經有明顯且相當密集的島狀物形成。接著，AFM-3D 圖部分如圖 4-3 所示，可以更明顯的看出整體結構表面起伏情形，隨著退火溫度的增加，其結構島狀化的趨勢更顯著，差排現象也明顯的增加。

另外，我們也將掃描的範圍增加，目的是為了觀察在更大的範圍下，結構變化趨勢是否有所變化。如圖 4-4 所示，在 $5\mu\text{m}$ 的掃描面積下我們可以觀察到，除了白色條狀差排部分有增加的趨勢，其差排寬度也有變寬的趨

勢，且整體島狀化的趨勢也更清楚了。

在整體粗糙度方面，圖 4-5 為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 AFM-roughness 數據，在 as 部分粗糙度為 0.966nm，an400 部分為 0.546nm，an500 部分為 1.473nm，an600 部分為 6.585nm，除 an400 部分整體粗糙度是隨著退火溫度上升而增加的，其原因實驗初步推估為島狀物的形成所致；然而在 an400 部分，實驗估計由於島狀物尚未形成且差排部分因為退火的關係而平坦化，使得在較低溫的 400 度退火下粗糙度較低。

4.2.3 經退火前後結構 XRD 分析

圖 4-6 為未經退火的 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構的 XRD 圖，從 XRD 分析數據中可以證實本實驗試片材料的成分比例，結構共 2 層，第 0 層為矽基板厚度約 600nm，第 1 層為 $\text{Si}_{1-x}\text{Ge}_x$ 層，鍺含量約 21%，厚度約 308nm。圖 4-7 為 4 個參數的 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 XRD 分析圖，從整體觀察來看，首先 XRD 圖上有兩個明顯的波峰(peak)，其中右邊較高的波峰為矽 $\text{Si}(001)$ ，左邊較低的為鍺(Ge)，而從四個參數圖下分析數據觀察其應力釋放程度，由晶格不匹配(mismatch)所產生，期數據分別為：Mismatch (if strained)—8635ppm (as-grown)、7943ppm(an400)、7860ppm(an500)、7028ppm(an600)，數據顯示隨著溫度上升，其在應變狀態下晶格不匹配的濃度會降低，這表示越高的退火溫度可以修補結構中的晶格不匹配情形，但是相對所產生的代價卻是使得結構中的應變釋放能力也降低了：Mismatch (if relaxed)—

15246ppm(as-grown) 、 14028ppm(an400) 、 13882ppm(an500) 、 12415ppm(an600)，然而，應力釋放能力降低會使得結構中的差排缺陷無法藉由應力釋放機制來消除，而使得結構中的差排不減反增。

另外，我們觀察數據中材料成分濃度的趨勢，Strained composition 分別為： $\text{Si}_{0.7713}\text{Ge}_{0.22869}$ (as-grown)、 $\text{Si}_{0.7891}\text{Ge}_{0.2109}$ (an400)、 $\text{Si}_{0.79124}\text{Ge}_{0.20876}$ (an500)、 $\text{Si}_{0.81279}\text{Ge}_{0.18721}$ (an600)，數據呈現明顯的趨勢，隨著退火溫度上升，鍺濃度成分下降，而矽濃度成分上升。也就是說，隨著退火溫度的增加，結構中鍺會慢慢擴散掉，使得整體濃度成分下降。根據相關文獻顯示 [65]， $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構經高溫退火會產生層間擴散(inter-diffusion)的現象，在本實驗中得到驗證。

為了清楚的顯示四個參數的變化趨勢，實驗將圖 4-7 中的四個 XRD 曲線圖繪製成圖 4-8。圖 4-8 為綜合比較圖，在圖中左邊的鍺波鋒(Ge peak)有明顯的偏移(shift)產生，波鋒由原本布拉格角約 67.9 度漸漸向右邊約 69.2 度的矽波鋒偏移，表示 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構中的鍺含量漸漸減少，相對的矽含量增加，此偏移現象恰為圖 4-7 中數據的證明，由於鍺濃度隨著退火溫度上升而降低，造成 XRD 的曲線圖(rocking curve)發生偏移現象。然而，圖中右邊矽波鋒相較之下沒有明顯的偏移現象產生。

4.3 不同深度下之 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構

實驗利用奈米壓痕量測系統進行差排密度的探測，本章節討論使用奈米量測中的連續剛性量測 Continuous Stiffness Measurement (CSM)，探測深度分別為 100、200、300 和 400nm，實驗結果如下。

4.3.1 奈米壓痕量測深度 100nm 圖形分析

首先，探測深度 100nm 如圖 4-9，圖中整體觀察可見四個溫度參數下結構 CSM 曲線都呈現相當平穩的狀態，並無太大起伏，因此圖 4-10 將四個參數繪製成綜合比較圖，圖中明顯可見經退火 400 度的 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構呈現整體硬度最高，反觀退火 600 度硬度最低，實驗初步估計在壓痕深度 100nm，因為深度較淺的關係結構硬度值受表面氧化物及島狀物影響甚大，然而，根據相關文獻[65]顯示 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構經高溫退火後在表面會形成一層氧化物。此外，圖 4-11 為壓痕量測深度 100nm 的深度-楊氏模數圖綜合比較圖，其整體趨勢如同圖 4-10 的深度-硬度，楊氏模數隨著硬度值而變化，表示材料受壓痕過程中並沒有發生明顯的塑性變形[66]。然而，本實驗為了確認在相對於文獻較低退火溫度下是否也有氧化層形成，進行 XPS 材料分析如圖 4-12，XPS 分析矽(Si)元素圖，觀察圖中四個參數的波峰可以發現，隨著退火溫度上升其曲線左邊波峰強度明顯增加，而左邊波峰(約 104 處)所顯示的鍵結為二氧化矽(SiO_2)，且退火 600 度

(藍色曲線部分)的波峰強度明顯比 500 和 400 度來的更強大，而未經退火的試片則分布在 an400 及 an500 之間，也就是說經退火 500 度以上會增強二氧化矽的鍵結強度；另外，圖中右邊波峰(約 99.4 處)也是呈現溫度越高，波峰強度越強的趨勢，而右邊波峰所顯示的鍵結為矽鍺化氫(SiGe:H)，而未經退火的試片則是分布在 an500 及 an600 之間，也就是說經退火 600 度以上會增強矽鍺化氫鍵結強度。

圖 4-13 為 XPS 分析鍺(Ge)元素圖，從綜合比較圖可以觀察到在未經退火(黑色曲線部分)時，左邊產生一個小波峰，經文獻搜尋得知此為氧化鍺(GeO)鍵結，在退火 400 度(紅色部分)也有微凸波峰，但在退火 500 和 600 度此為小波峰幾乎消失殆盡，也就是說隨著退火溫度升高氧化鍺(GeO)波峰會被慢慢消除至完全消失，相較於氧化矽波峰是呈現一個相反的趨勢，本實驗初步推估此現象與鍺成分擴散濃度降低有關(因退火所導致)。

最後，表 4-1 為 Si_{0.8}Ge_{0.2}/Si 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 100nm 綜合數值分析表。從表中可以明顯得知經退火 400 度的試片的硬度值最大為 15.0±0.8GPa，次之為未經退火 14.8±0.7 GPa，再者為退火 500 度 14.7±0.5 GPa，最後為退火 600 度 14.5±0.4 GPa，呈現退火溫度越高，結構硬度值越低的趨勢；在楊氏模數(Young's Modulus)部分，退火 400 度的試片的楊氏模數值最大為 204.3±10.3GPa，次之為未經退火 203.8±10.7 GPa，再者為退火 500 度

203.7±9.5GPa，最後為退火 600 度 201.8±11.6GPa，整體趨勢大致跟隨著硬度值的變化，表示材料並沒有發生明顯的塑性變形。

4.3.2 奈米壓痕量測深度 200nm 圖形分析

圖 4-14 為四個參數在奈米壓痕量測 CSM 模式深度 200nm 下的深度-硬度圖，因為 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 磊晶層厚度約為 300nm，因此，深度 200nm 大約是在 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 磊晶層中心，也就是結構差排最多的部分，這也是本實驗的實驗核心。從圖中可以觀察出從退火溫度 400 度開始在曲線一開始的地方有微微突起的小波峰，在 500 及 600 度也有相同的現象，甚至有更明顯的波峰，此波峰的出現恰好證明前節實驗所提及的表面氧化層(如 XPS 實驗結果)，此氧化層的生成使得結構整體硬度突然提升，在此得到一個有力的證實。另外，將四個參數匯集成圖 4-15，可以觀察到硬度上明顯的趨勢，也就是隨著退火溫度提高，其結構硬度值上升，因為其探測深度恰為結構差排成核所在，因而在此得到一個合理的推測，由於退火溫度的提升而使得差排密度的增加，因而使得整體結構硬度值提升。本實驗的目的也是希望能將半導體材料結構性質探測與奈米壓痕量測技術做結合，未來期望能將結構品質可靠度的技術融入半導體產業中，將製程中因熱應力或封裝應力所造成的損失降低。而圖 4-16 為相同條件下之深度-楊氏模數曲線圖，曲線一開始呈現與深度-硬度曲線相同的趨勢，但是到後半段也就是深度較深的地方，則是沒有明顯的趨勢出現，且結構也是沒有明顯塑性變形產生。

最後，表 4-2 為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 200nm 綜合數值分析表。從表中可以明顯得知經退火 600 度的試片的硬度值最大為 $14.2 \pm 0.6 \text{ GPa}$ ，次之為退火 500 度 $14.0 \pm 0.4 \text{ GPa}$ ，再者為退火 400 度 $13.9 \pm 0.6 \text{ GPa}$ ，最後為未經退火試片 $13.8 \pm 0.7 \text{ GPa}$ ，呈現退火溫度越高，結構硬度值越高的趨勢，恰與壓痕深度 100nm 有相反趨勢；在楊氏模數(Young's Modulus)部分，退火 600 度的試片的楊氏模數值最大為 $198.8 \pm 11.2 \text{ GPa}$ ，次之為未經退火 $198.5 \pm 12.7 \text{ GPa}$ ，再者為退火 500 度 $197.9 \pm 10.1 \text{ GPa}$ ，最後為退火 400 度 $196.1 \pm 11.5 \text{ GPa}$ ，整體趨勢和硬度值有些微不同，但大致上相同，表示材料並沒有發生明顯的塑性變形現象。

4.3.3 奈米壓痕量測深度 300nm 圖形分析

圖 4-17 為為四個參數在奈米壓痕量測 CSM 模式深度 300nm 下的深度－硬度曲線圖，壓痕深度 300nm 恰為 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 磊晶層厚度，觀察其曲線趨勢可以發現隨著溫度越高其硬度值越低，對照前章節的實驗結果， $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構經退火後會在 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 磊晶層和矽基材間發生層間擴散，因此本實驗初步估計，因為此層間擴散作用使得鍺擴散到矽基板中，而使得介面層中的差排現象產生影響：退火溫度越高，層間擴散效應越明顯(如 XRD 實驗結果)；擴散效應越明顯，層間差排密度越低(因為鍺濃度越低，差排缺陷越少 [67])；差排密度越低，結構整體硬度值越低。因此，在壓痕深度

300nm 下溫度越高，結構硬度值越低得到證明。圖 4-18 為四個參數在奈米壓痕量測 CSM 模式深度 300nm 下的深度—楊氏模數曲線圖，和深度—硬度圖有相同的曲線趨勢，且沒有明顯的塑性變形產生。

最後，表 4-3 為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 300nm 綜合數值分析表。從表中可以明顯得知經退火 400 度的試片的硬度值最大為 14.0 ± 0.5 GPa，次之為未經退火 13.9 ± 0.7 GPa，再者為退火 600 度 13.7 ± 0.3 GPa，最後為退火 500 度 13.6 ± 0.6 GPa，大致呈現退火溫度越高，結構硬度值越低的趨勢，壓痕深度 100nm 的趨勢相同，但與壓痕深度 200nm 相反；在楊氏模數(Young's Modulus)部分，退火 400 度的試片的楊氏模數值最大為 196.2 ± 5.3 GPa，次之為退火 500 度 192.9 ± 11.7 GPa，再者為未經退火 192.7 ± 10.7 GPa，最後為退火 600 度 191.9 ± 10.6 GPa，整體趨勢大致跟隨著硬度值的變化，表示材料並沒有發生明顯的塑性變形。

4.3.4 奈米壓痕量測深度 400nm 圖形分析

圖 4-19 為四個參數在奈米壓痕量測 CSM 模式深度 400nm 下的深度—硬度曲線圖，此深度已超過 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 磊晶層(300nm)到矽基板，因此，整體結構硬度值會趨近矽基板，而使得四個參數所得到的硬度不會相差太多。相較於圖 4-20 之 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 CSM 深度—楊氏模數 400nm 綜合分析圖也是同樣的趨勢，此現象正好證明了矽基板的結構硬度值大於

Si_{0.8}Ge_{0.2} 磊晶層。

最後，表 4-4 為 Si_{0.8}Ge_{0.2}/Si 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 400nm 綜合數值分析表。從表中可以明顯得知經退火 400 度的試片的硬度值最大為 13.6±0.3 GPa，次之為退火 500 度 13.5±0.7 GPa，再者為退火 600 度 13.3±0.3GPa，最後為未經退火 13.1±0.5GPa，大致上呈現退火溫度越高，結構硬度值越低的趨勢，壓痕深度 300nm 的趨勢相同，但與壓痕深度 200nm 相反；在楊氏模數(Young's Modulus)部分，退火 500 度的試片的楊氏模數值最大為 191.6±6.3GPa，次之為退火 400 度 190.0±4.8GPa，再者為未經退火 188.0±5.4GPa，最後為退火 600 度 183.0±6.2GPa，整體趨勢與硬度值的變化趨勢不同，表示材料因為壓痕深度已經接觸矽基材而可能使材料從原本彈性變形轉變為彈塑性變形所致。

4.4 不同負載下之 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構

實驗設定不同負載去模擬半導體材料受到後段製程(封裝製程)或是退火製程中的外部應力(熱應力)，期望能藉此模擬出半導體材料(尤其是基材)承受外部應力時的可靠度。此外，實驗也分別設定單次負載和複數負載，目的是模擬材料受多次熱處理時所產生的熱能累積(thermal budget)。實驗結果如下。

4.4.1 一次負載下之不同力道奈米壓痕圖

圖 4-21 為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-負載 5mN 分析圖，首先從圖中整體觀察來說，在 5mN 的負載力下大約會得到 150nm 左右的壓痕深度。接著，我們觀察負載曲線(上升曲線部分)上的斷點數(曲線不連續點)，可以發現從未經退火隨著退火溫度越來越高到 600 度時，初始負載曲線上面的段點數有越來越多的趨勢，從相關文獻蒐集中提到此不連續的斷點稱為 pop-ins[68]，此 pop-in 現象產生的原因為材料體積突然增加，意味著材料結構中有缺陷(空洞區)的產生；反觀到本實驗曲線上所呈現的趨勢，隨著退火溫度上升初始負載曲線上的 pop-ins 越多間距也越大，表示退火溫度越高結構表層的氧化層也越多，然而氧化層是含有空洞的結構層，使得整體結構強度下降。將圖 4-21 繪製成圖 4-22 可見除了曲線上的斷點數差異外，在整體結構變化上並沒有

明顯的差異，意味著此壓痕力道下經退火溫度的改變不會對 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構產生明顯的影響。

圖 4-23 為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-負載 10mN 綜合分析圖。對照圖中在 10mN 壓痕負載下其壓痕深度約為 215nm，綜合比較圖趨勢和圖 4-22 相當類似，四組試片並無明顯差異。圖 4-24 為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-負載 30mN 綜合分析圖。對照圖中在 30mN 壓痕負載下其壓痕深度約為 370nm，綜合比較圖趨勢和圖 4-22、4-23 相當類似，四組試片並無明顯差異。

4.4.2 四次負載下之不同力道奈米壓痕圖

在奈米壓痕複數負載作用下，實驗最常觀察的重點為遲滯現象 (Hysteresis Phenomena) [69]，根據文獻指出，遲滯現象的僅發生於複數負載模式下，並指出此現象的發生是由於壓力所造成的相變化 (phase transformation)，使得材料晶格形狀發生變化，連帶著體積減少了 22% 並且影響了負載時壓痕的深度位移。且隨著壓痕負載力的增加，遲滯現象所造成的曲線重疊面積也隨之增加，此現象表示薄膜經由負載力作用後已發生劇烈的相變化 (phase transformation)。

在本實驗結果中發現，實驗設定的三個負載作用力 (5、10 和 30mN) 下，四個結構參數皆有遲滯現象產生，此實驗結果表示 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結

構因為本身的結構特性，因為晶格不匹配所產生的差排缺陷以及經熱退火製程的影響，使得結構表層的氧化層影響、結構 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 磊晶層中的差排缺陷、磊晶層和基材介面層的層間擴散影響，種種的因素都是造成複數負載曲線產生遲滯現象的原因。

圖 4-25 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-四次負載 5mN 綜合分析圖。在四次負載曲線圖中很明顯的可以觀察到在相同 5mN 負載下，四個參數卻有不同的壓痕深度，圖中紅色及黑色曲線分別為退火 400 度及未經退火試片，深度約為 155nm 左右；而藍色及綠色曲線分別為退火 600 度和退火 500 度試片，壓痕深度約為 142nm 左右。此結果顯示，退火溫較高的參數再受到相同負載作用(5mN)下會得到較淺的壓痕深度，表示材料在較高溫退火下會得到較好的機械可靠度；反之，退火溫度較低甚至為經退火壓痕深度較深，而機械強度較低。

圖 4-26 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-四次負載 10mN 綜合分析圖。在 10mN 負載作用下顯示與 5mN 有些微不同的結果，圖中顯示在相同負載下藍色曲線(退火 600 度)的壓痕深度最淺，其次為綠色(退火 500 度)，再者為紅色(退火 400 度)及黑色(未經退火)，結果顯示在 nanoindenter FM 深度-四次負載 10mN 參數設定下，隨著退火溫度越高，其結構機械強度越好。

圖 4-27 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600

之 nanoindenter FM 深度-四次負載 30mN 綜合分析圖。在 30mN 負載作用實驗結果又與前兩個參數有所不同，其結果顯示相同負載下壓痕深度由淺到深分別為藍色(退火 600 度)、紅色(退火 400 度)、黑色(未經退火)和綠色(退火 500 度)，其中特別在藍色曲線部分與其他三個參數又特別不同，在卸負載曲線上約 300nm 左右，也就是約為介面層深度的地方，曲線產生一小段斜率突然改變，在相關文獻中稱為 elbow[70]，其原因為材料體積突然發生膨脹且產生相變化，發生原因與 pop-ins 類似。實驗初步推測在退火 600 度時由於結構介面層發生較嚴重的層間擴散作用，使得介面層中材料體積突然增加所導致的。



4.5 不同負載參數之 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構之 AFM壓痕分析圖

本實驗除了利用奈米壓痕量測 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構的機械性質和探測差排密度外，也結合奈米壓痕(nanoindenter)以及原子力電子顯微鏡(AFM)，觀察結構在受外力破壞時，結構 2D 表面的破壞情形、結構斷面粗糙度分析和表面 3D 材料分析，期望能藉此結合兩種量測方式來觀測出結構的表面可靠度分析。

4.5.1 一次負載下不同力道之奈米壓痕AFM分析圖



圖 4-28 和圖 4-31 分別為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 10mN AFM-2D($5\mu\text{m}$ 和 $3\mu\text{m}$)綜合分析圖。首先，從四張圖中可以明顯的觀察到矽鍺結構的表面特徵，crosshatch 差排，也就是格子狀的差排結構，隨著退火溫度的上升差排結構密度有增加的趨勢。另外，在退火 500 度的部分，奈米壓痕開始出現折層結構(folder)[71]。

圖 4-29 和圖 4-32 分別為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 10mN AFM-3D($5\mu\text{m}$ 和 $3\mu\text{m}$)綜合分析圖。

圖 4-30 和圖 4-33 分別為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、

an500 和 an600 之 nanoindenter FM 一次負載 10mN AFM-剖面圖 (5 μ m 和 3 μ m)綜合分析圖。從 AFM 剖面分析我們可以觀察到結構表面任兩點的高低差，本實驗觀察重點為奈米壓痕對結構所造成壓痕深度以及壓痕造成的表面堆積現象 (pile-up)。從 5 μ m 壓痕深度數據來看分別為：as-grown(62.113nm)、an400 (59.447nm)、an500(53.763nm)、an600(49.533nm)，整體呈現趨勢為隨著退火溫度上升奈米壓痕所造成結構的深度越淺，意味著結構強度因退火而提升，此結果也符合前述奈米壓痕 CSM-200nm 模式下的實驗結果；另外，從壓痕所造成結構堆積的深度來看：as-grown(10.033nm)、an400(12.335nm)、an500(9.042nm)、an600(9.905nm)，其中以退火 400 度的堆積結構最高，退火 500 和 600 度較低，實驗結果顯示結構除了因為退火處理的關係使得結構機械強度增加，且也因退火處理使得材料延展性降低了。

圖 4-34 和圖 4-37、圖 4-38 分別為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 30mN AFM-2D(5 μ m 和 3 μ m)綜合分析圖。從圖中可以觀察壓痕斜面部分的結構折層現象會隨著退火溫度上升而增加的趨勢，此現象意味著因為退火處理結構中產生了差排現象，然而這些差排現象使得結構產生折層可以由此實驗觀察得知。圖 4-35 和圖 4-39 分別為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 30mN AFM-3D(5 μ m 和

3 μm)綜合分析圖。從 3D 圖中可以觀察結構上壓痕邊緣明顯的起伏情形，以及壓痕斜面上的折層現象。

圖 4-36 和圖 4-40 分別為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 30mN AFM-剖面圖 (5 μm 和 3 μm)綜合分析圖。從 3 μm 壓痕深度數據來看分別為：as-grown(122.08nm)、an400 (102.08nm)、an500(97.069nm)、an600(103.46nm)，從數據上分析來觀察經退火處理後結構壓痕所造成的深度變淺，此實驗結果意味著結構強度會因退火而提升。另外，從壓痕所造成結構堆積的深度來看：as-grown(22.614nm)、an400(13.933nm)、an500(33.911nm)、an600(26.625nm)，其中以退火 500 度的堆積結構最高，退火 400 度較低，實驗結果推測差排結構的形成會影響結構表面因壓痕造成的堆積現象。

4.5.2 四次負載下不同力道之奈米壓痕AFM分析圖

本實驗設置四次負載模式目的是為了觀察 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構在經由退火處理後，整體結構之機械可靠度，從相關文獻中可以得知，半導體材料，由其是扮演基材角色的材料結構，最容易因為製程上需要大量重複的退火處理後殘留的熱應力(thermal budget)，而殘留在結構中的熱應力所產生的應變使得結構受到破壞，往往是結構性能降低的主因；另外，在後段電子封裝製程中，也有類似的情形，材料常常不免會受到多重封裝應力作用，外部所施加的應力對結構造成破壞，進而影響半導體元件的性

能。而本實驗所設置的多重負載模式即是模擬結構受外部應力作用時其結構表面變化觀察。實驗結果如下：

圖 4-41 和圖 4-42 為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 10mN AFM-2D($3\mu\text{m}$)綜合分析圖。圖中我們主要觀察負載所造成的壓痕周圍凸起部分(pile-up)，以及壓痕內部的摺線部分，圖中明顯可以觀察出隨著退火溫度上升壓痕周圍的 pile-up 明顯增加，從圖 4-44 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 10mN AFM-cro($3\mu\text{m}$)綜合分析圖，去觀察 pile-up 所造成的高度，我們可以得到數據上(綠色數字部分)的變化分別為：as-grown(9.442 nm)、an400(7.485nm)、an500(13.190 nm)、an600(12.949 nm)，從數據上觀察經退火處理後結構所造成的 pile-up 較退火前來的高，除了 an400 以外，此現象實驗初步估計與退火時產生的氧化層(SiO_2)有關，氧化層為附生產物硬度與附著力較矽鍺磊晶層來的差，因此在壓痕負載時較易被推擠造成堆積。

圖 4-43 為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 10mN AFM-3D($3\mu\text{m}$)綜合分析圖。從 3D 立體圖可以更容易觀察結構表面 pile-up 的起伏情形。

圖 4-45 和圖 4-46 為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 30mN AFM-2D($3\mu\text{m}$)綜合分析圖。從

整體來觀察，可以明顯觀察到在 an500 參數部分結構發生嚴重損壞，由此可知，實驗可以初步估計 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構退火處理後在四次負載模式力道 30mN 作用下，結構無法抵擋此外加應力而造成結構破壞。圖 4-47 為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 30mN AFM-3D($3\mu\text{m}$)綜合分析圖，從 3D 立體圖中可以更明顯觀察到經退火 500 度結構受破壞的表面情形。圖 4-48 為 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 30mN AFM-cro($3\mu\text{m}$)綜合分析圖。圖中經退火 500 度的 pile-up 數據有明顯的突出，表示結構已經受到損壞，使得結構表面不完整。



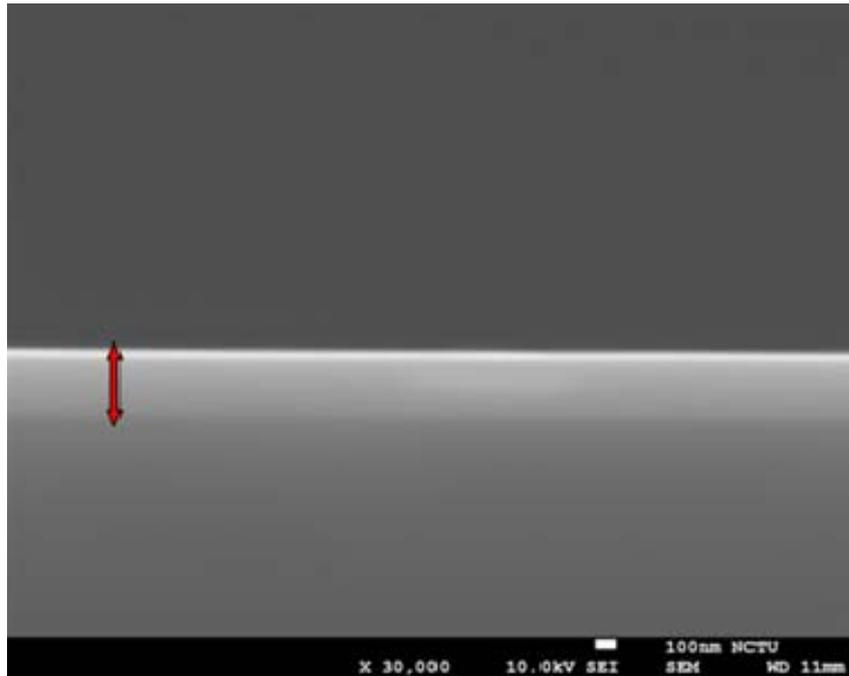


圖 4-1 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 SEM 剖面圖

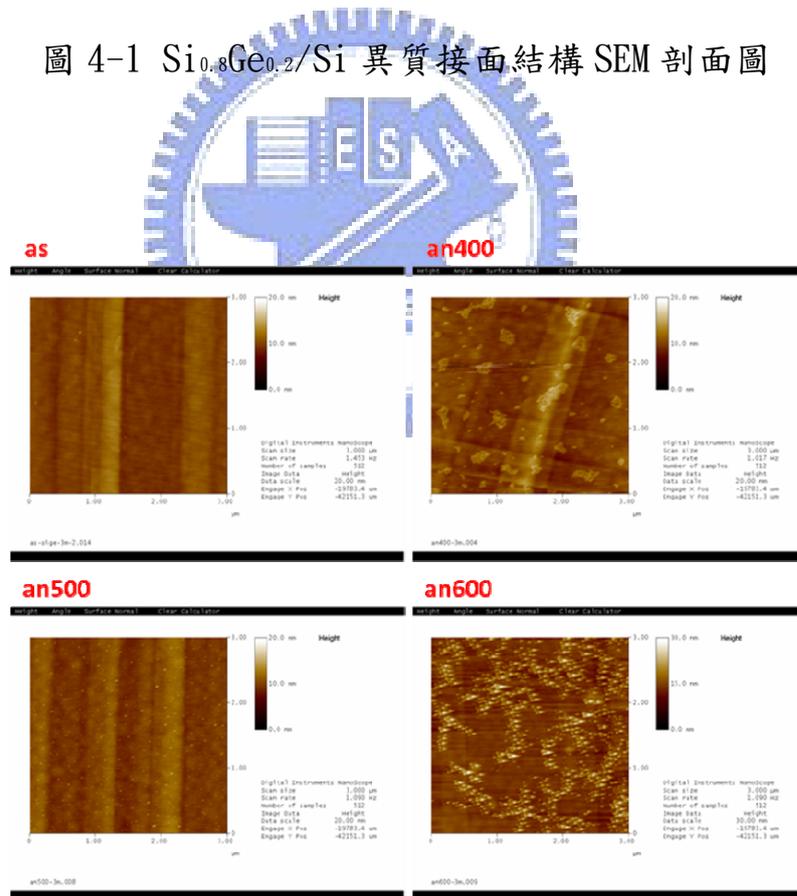


圖 4-2 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、退火 400 度、500 度及 600 度

之 AFM 掃描 2D 圖(3 μm)。

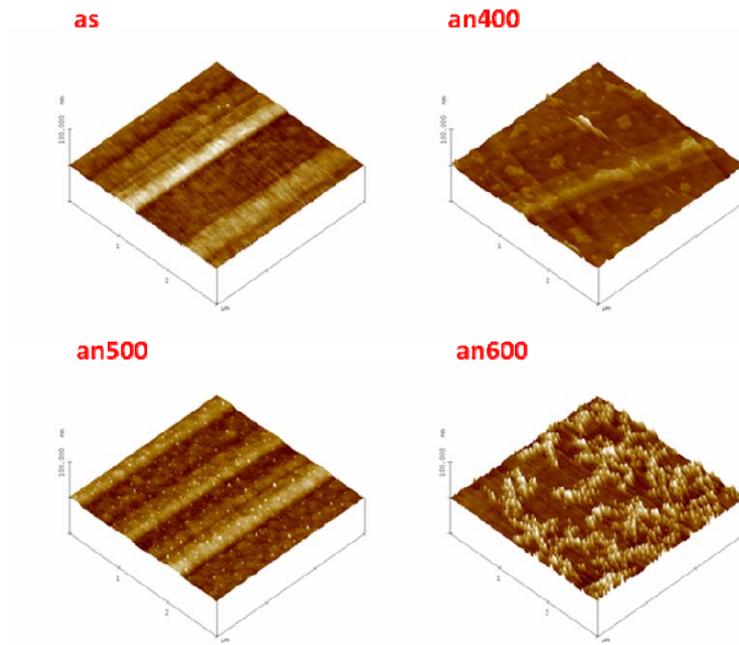


圖 4-3 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、退火 400 度、500 度及 600 度之 AFM 掃描 3D 圖 ($3\mu\text{m}$)。

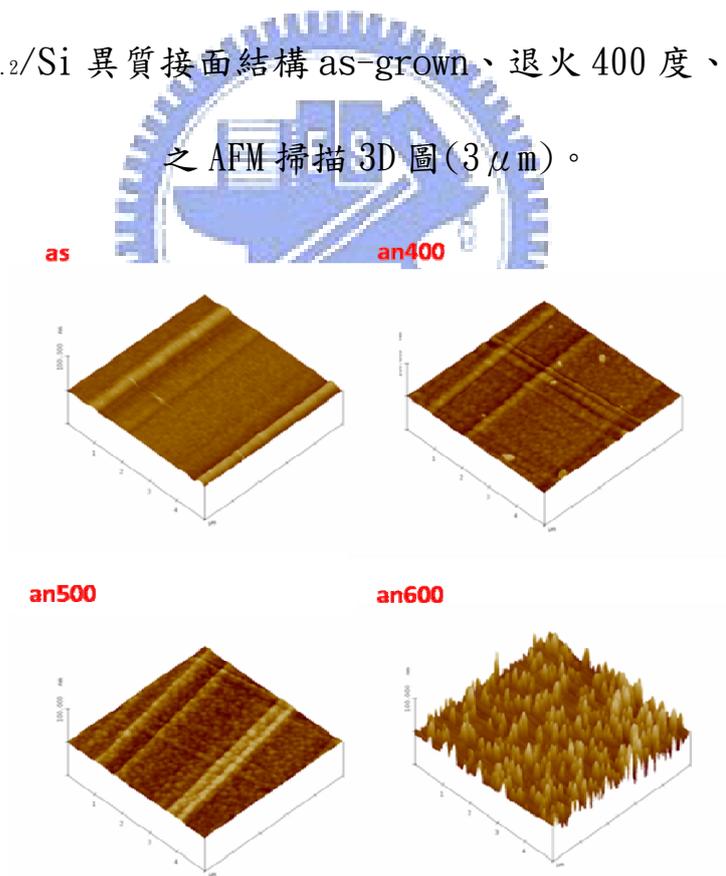


圖 4-4 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、退火 400 度、500 度及 600 度之 AFM 掃描 3D 圖 ($5\mu\text{m}$)。

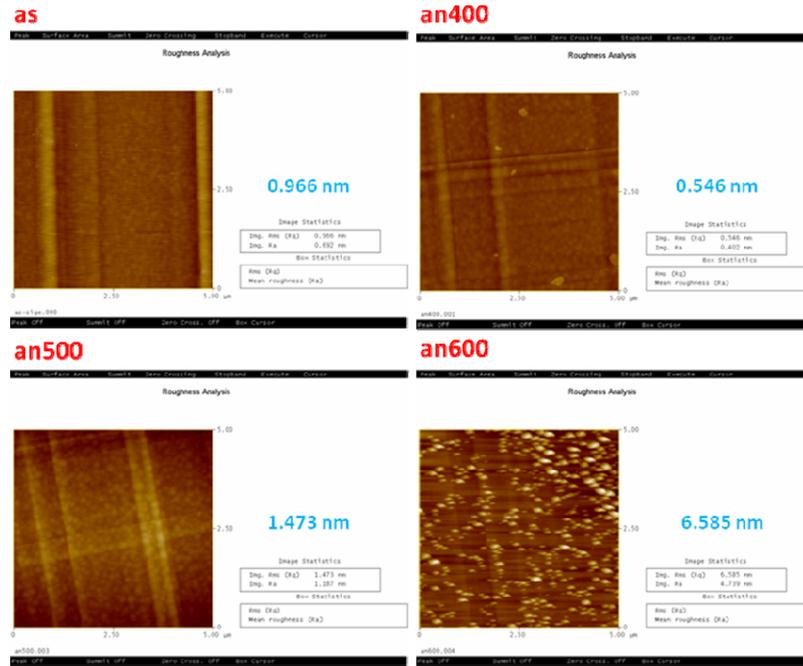


圖 4-5 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、退火 400 度、500 度及 600 度之 AFM 掃描 roughness 圖 ($5\mu\text{m}$)。

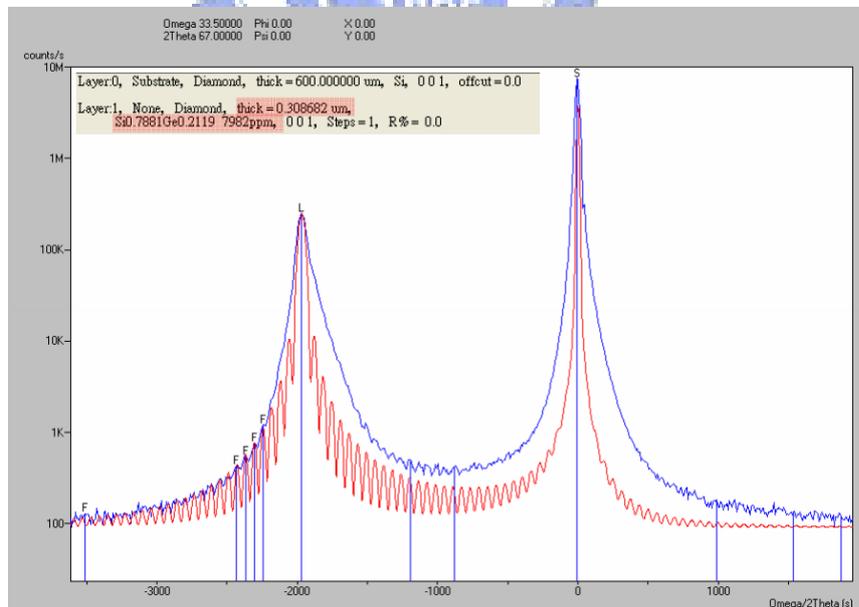


圖 4-6 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown XRD 圖。

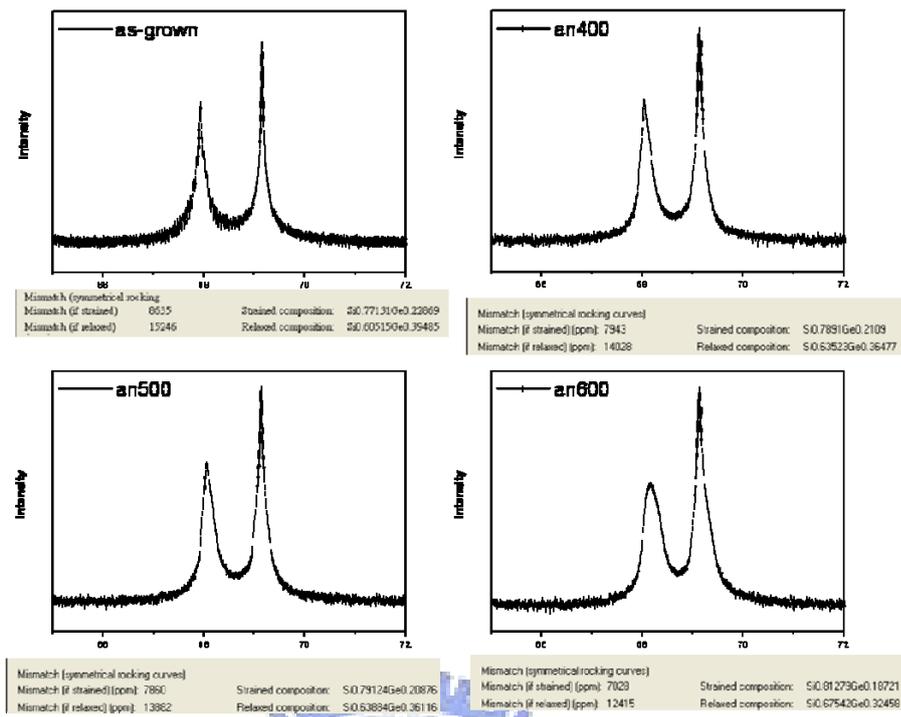


圖 4-7 Si_{0.8}Ge_{0.2}/Si 異質接面結構 as-grown、an400、an500 和 an600 之 XRD



分析圖。

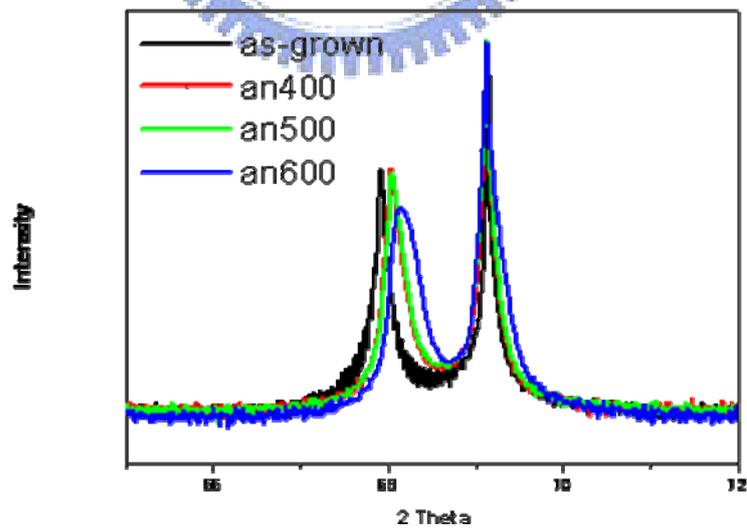


圖 4-8 Si_{0.8}Ge_{0.2}/Si 異質接面結構 as-grown、an400、an500 和 an600 之 XRD

整合分析圖。

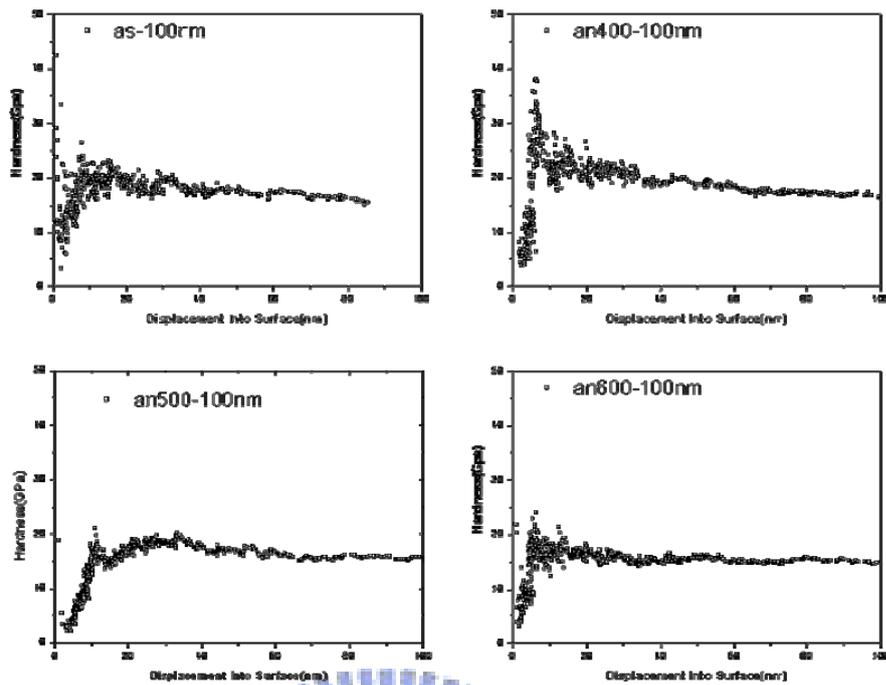


圖 4-9 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 深度-硬度 100nm 分析圖。

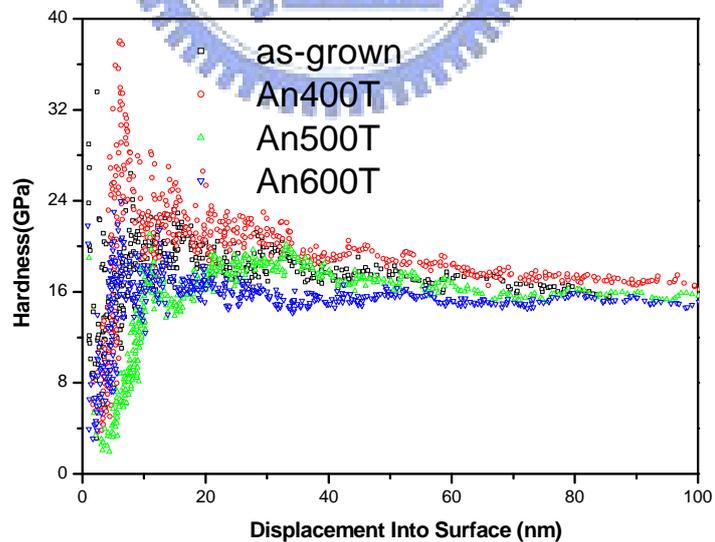


圖 4-10 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 深度-硬度 100nm 綜合分析圖。

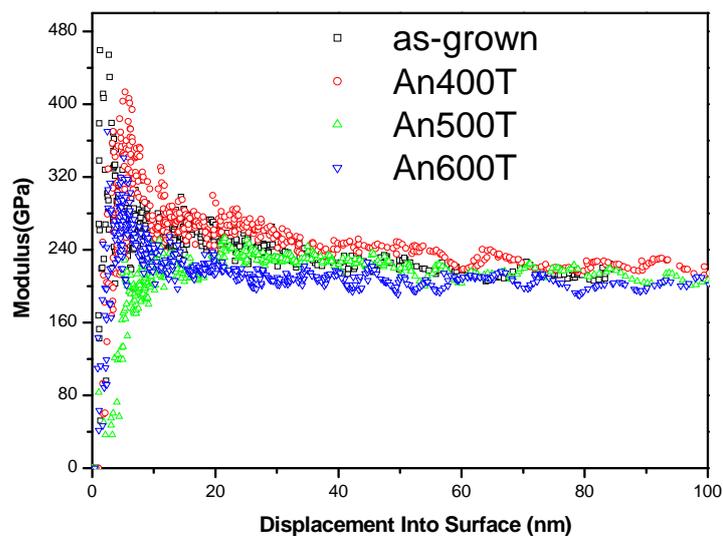


圖 4-11 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 深度-楊氏模數 100nm 綜合分析圖。

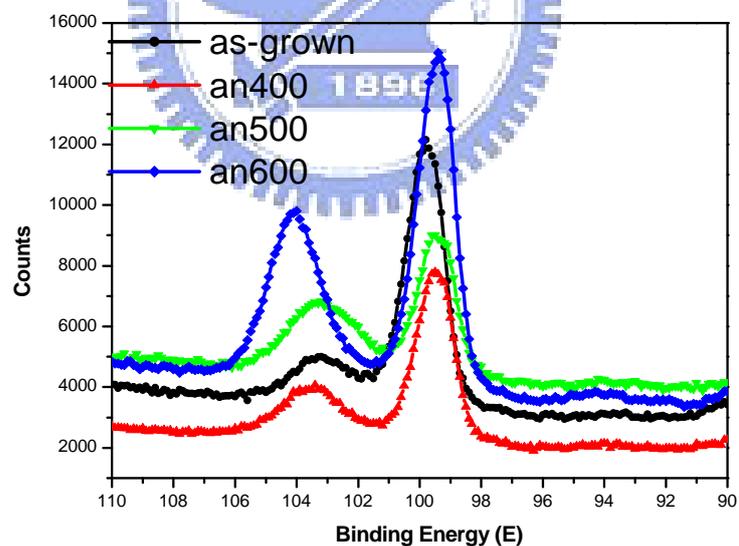


圖 4-12 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 XPS-Si 綜合分析圖。

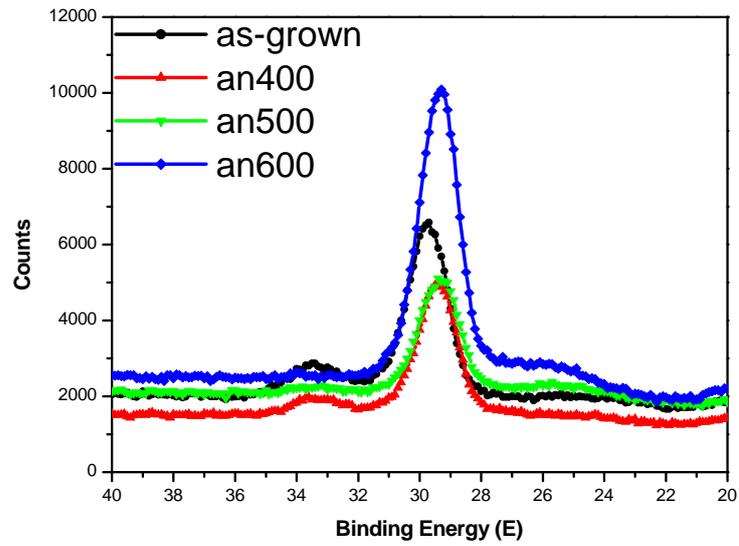


圖 4-13 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之

XPS-Ge 綜合分析圖。

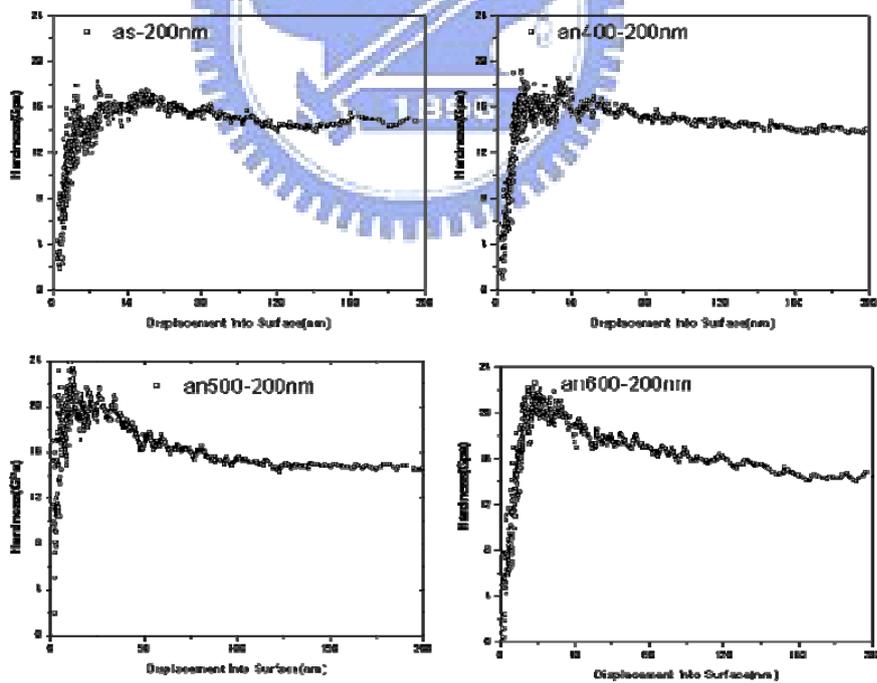


圖 4-14 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之

nanoindenter CSM 深度-硬度 200nm 分析圖。

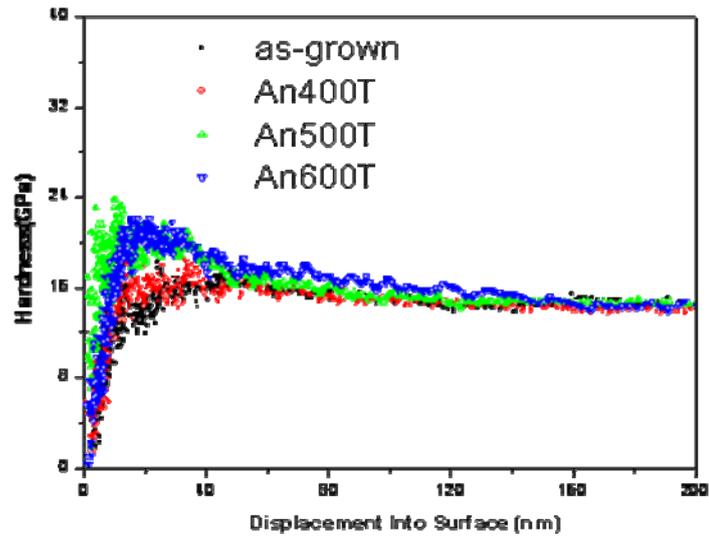


圖 4-15 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 深度-硬度 200nm 綜合分析圖。

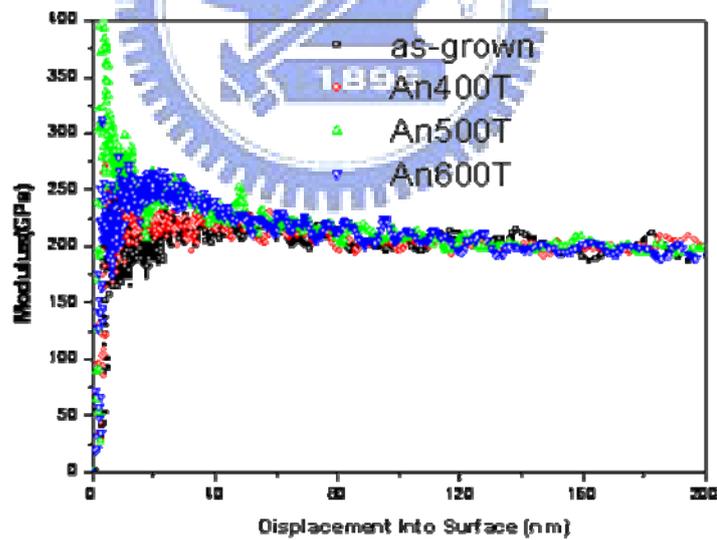


圖 4-16 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 深度-楊氏模數 200nm 綜合分析圖。

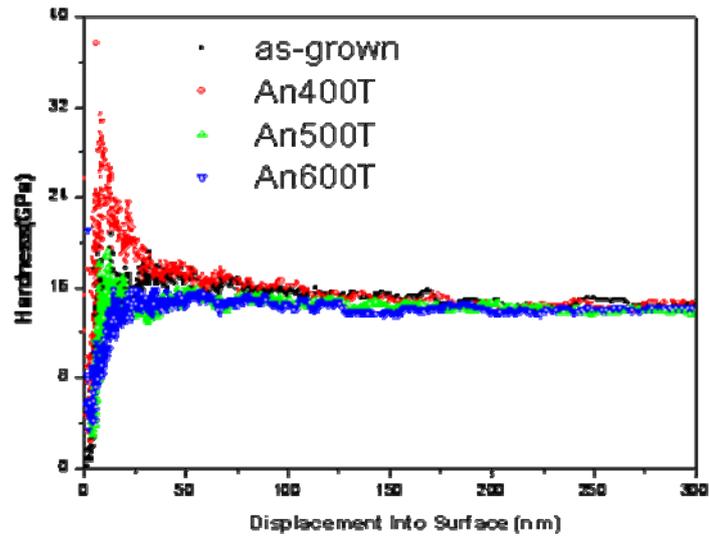


圖 4-17 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 深度-硬度 300nm 綜合分析圖。

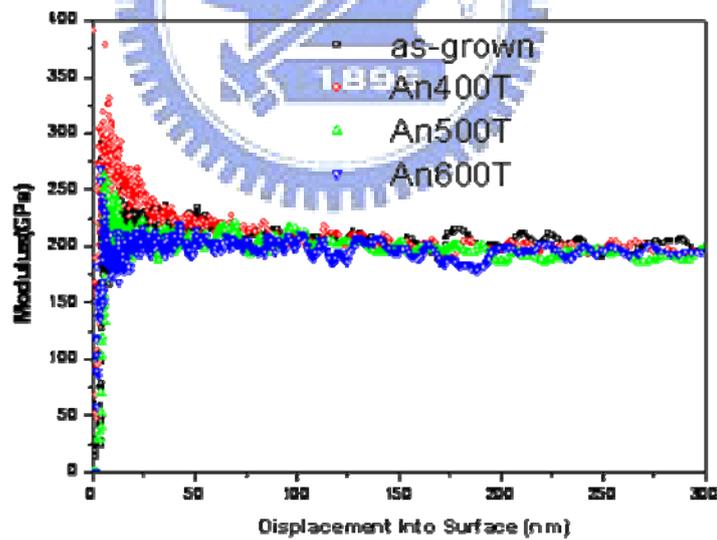


圖 4-18 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 深度-楊氏模數 300nm 綜合分析圖。

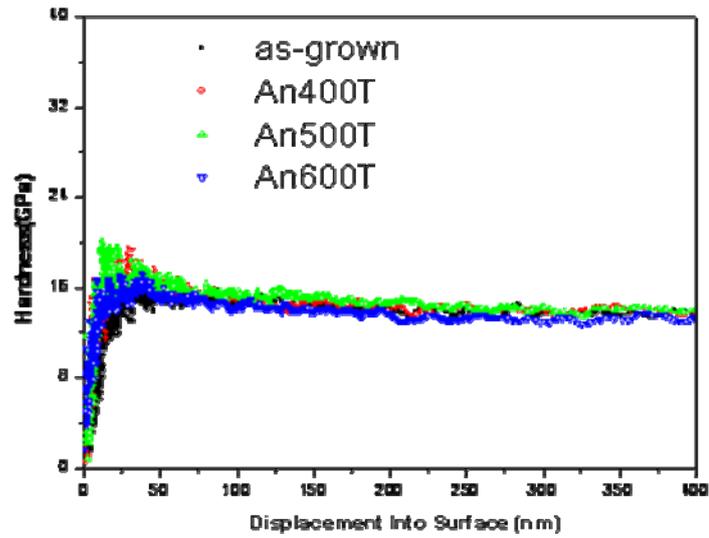


圖 4-19 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 深度-硬度 400nm 綜合分析圖。

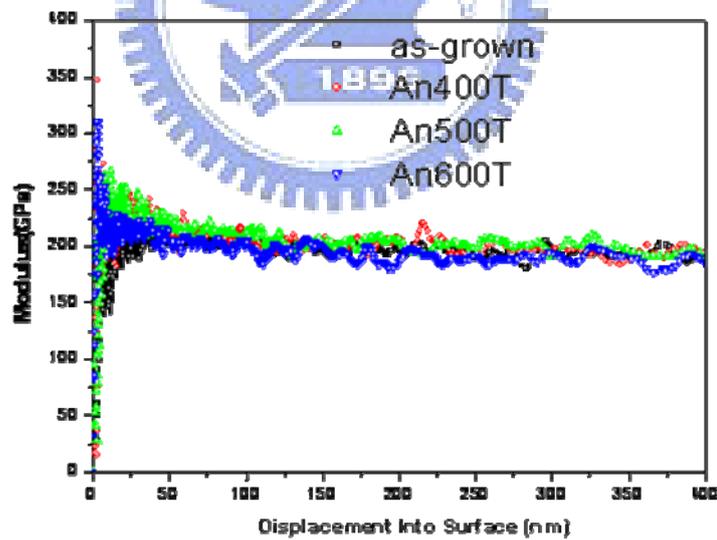


圖 4-20 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 深度-楊氏模數 400nm 綜合分析圖。

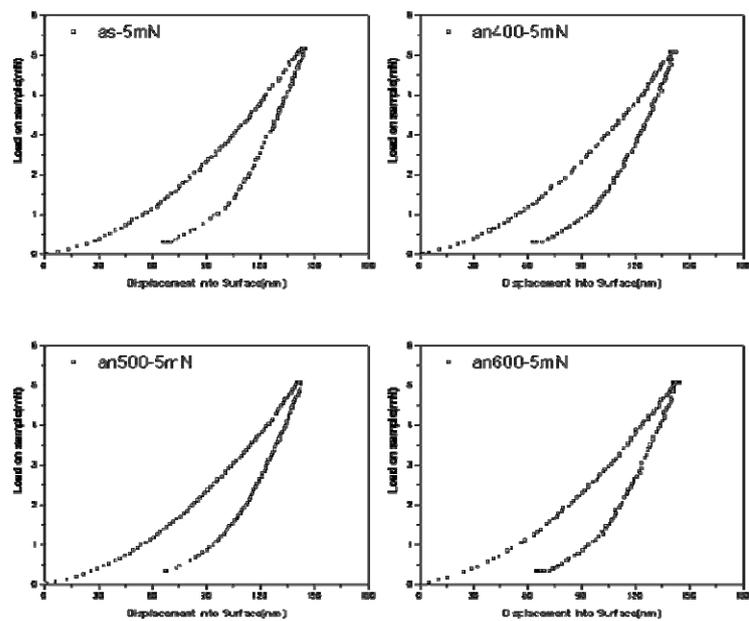


圖 4-21 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-負載 5mN 分析圖。

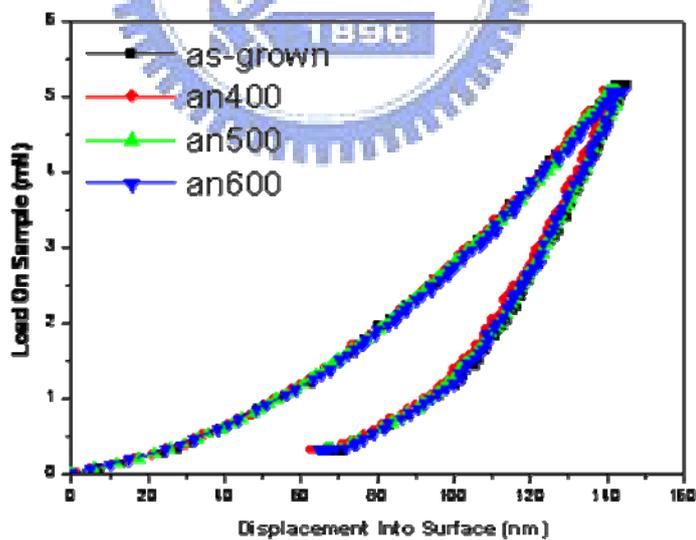


圖 4-22 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-負載 5mN 綜合分析圖。

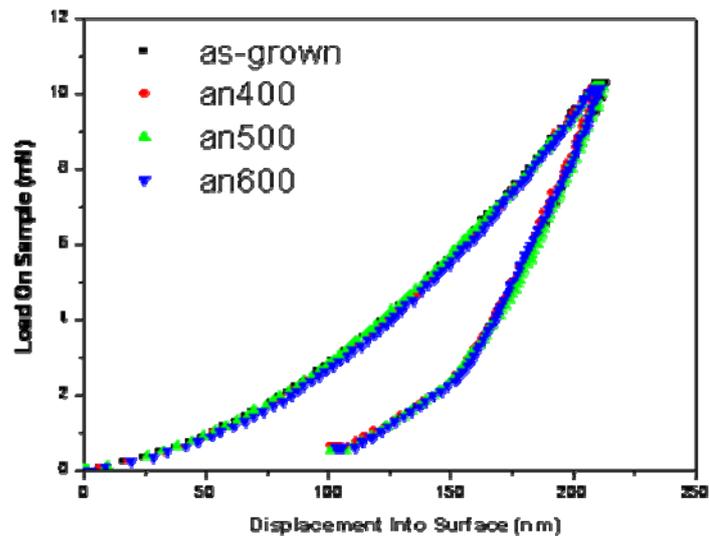


圖 4-23 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-負載 10mN 綜合分析圖。

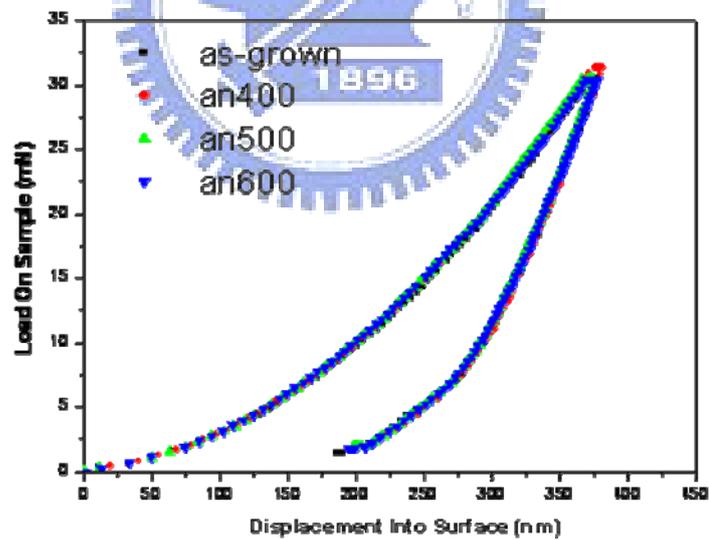


圖 4-24 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-負載 30mN 綜合分析圖。

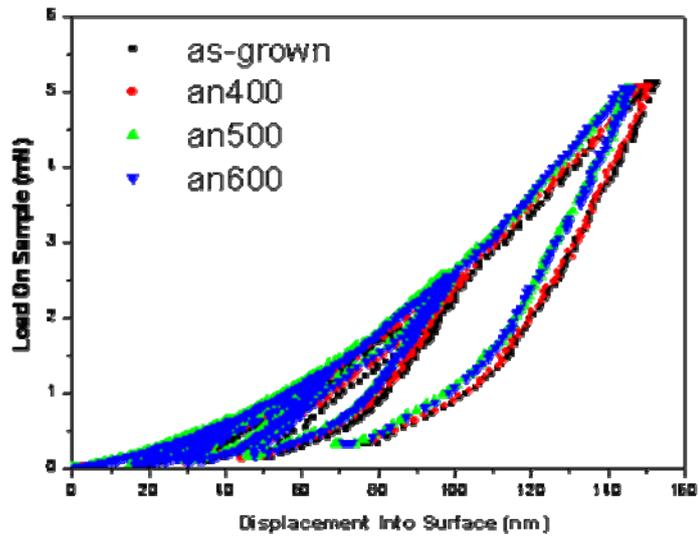


圖 4-25 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-四次負載 5mN 綜合分析圖。

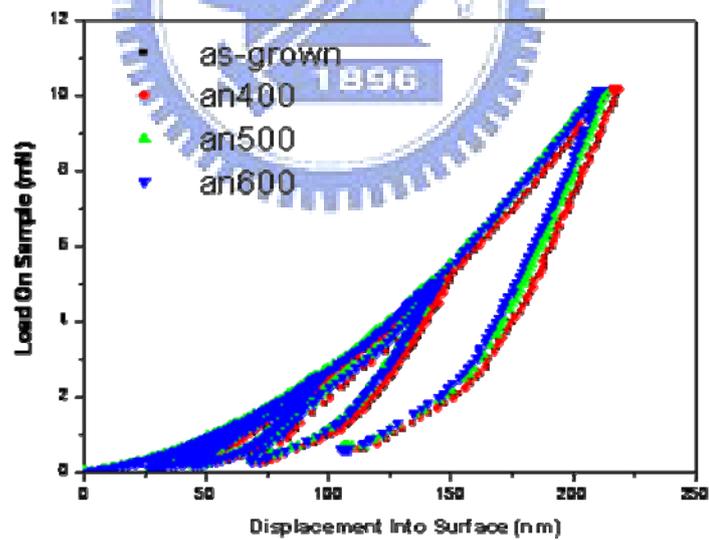


圖 4-26 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-四次負載 10mN 綜合分析圖。

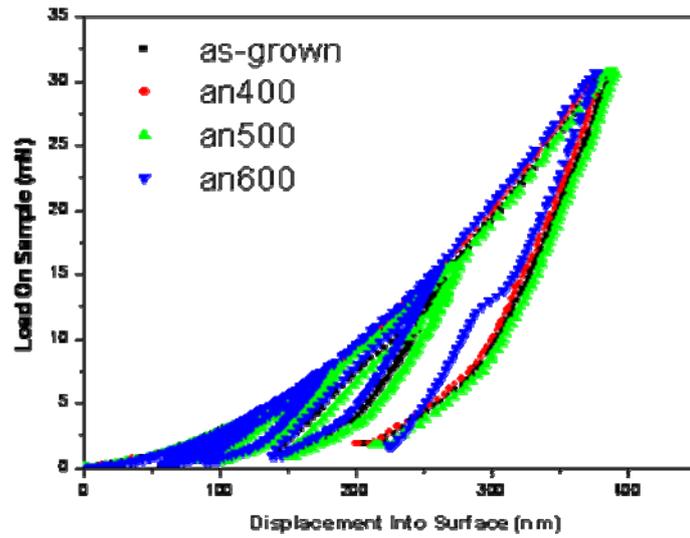


圖 4-27 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 深度-四次負載 30mN 綜合分析圖。

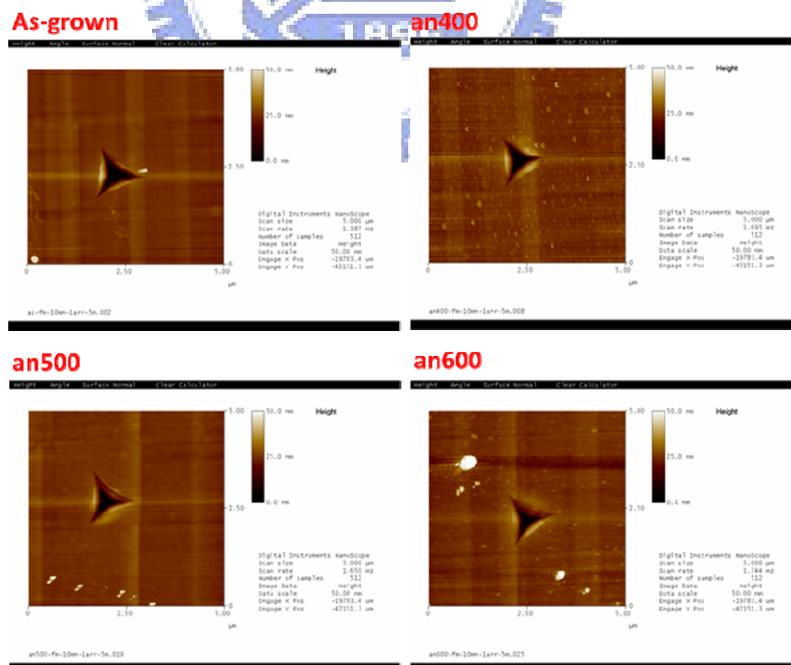


圖 4-28 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 10mN AFM-2D($5\mu\text{m}$)綜合分析圖。

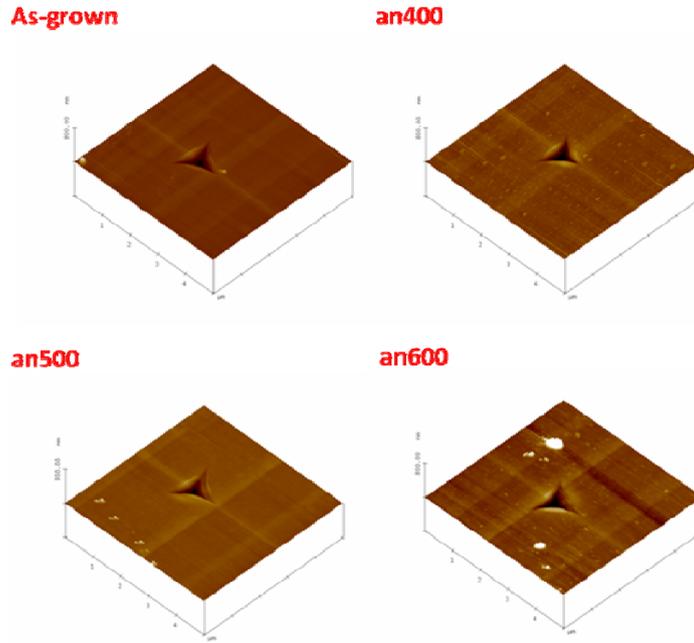


圖 4-29 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 10mN AFM-3D(5 μm) 綜合分析圖。



圖 4-30 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 10mN AFM-剖面圖 (5 μm) 綜合分析圖。

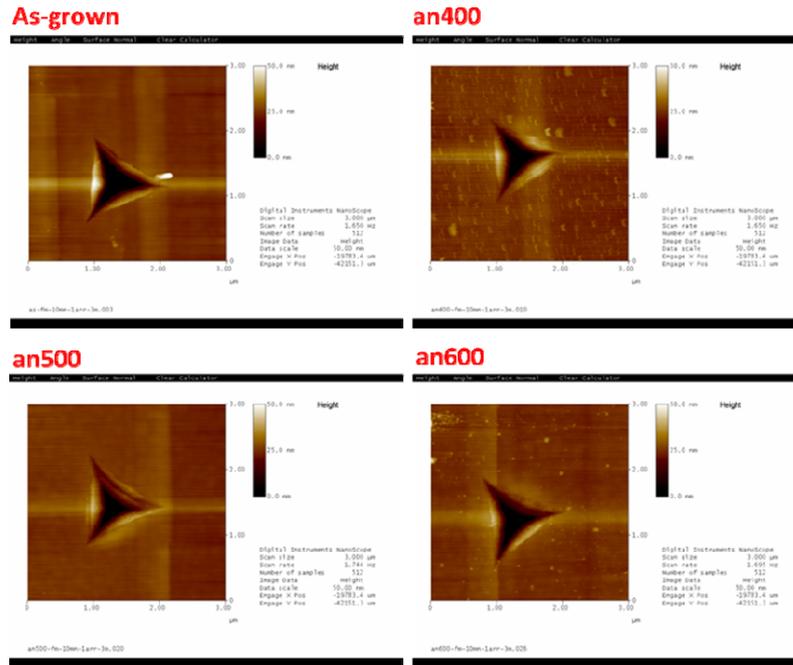


圖 4-31 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 10mN AFM-2D($3\mu\text{m}$)綜合分析圖。

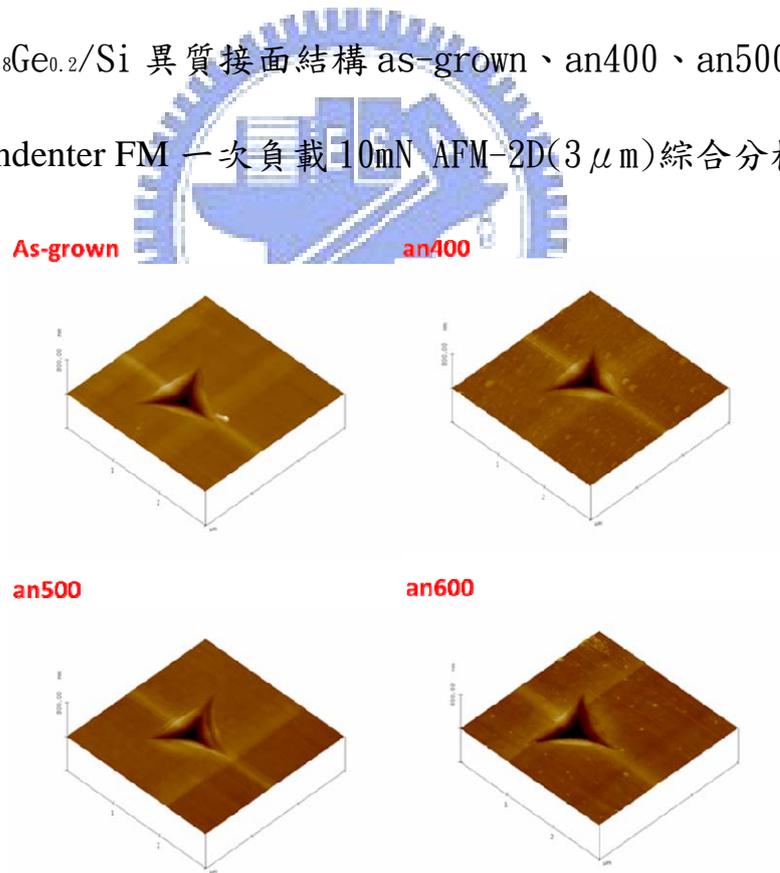


圖 4-32 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 10mN AFM-3D($3\mu\text{m}$)綜合分析圖。

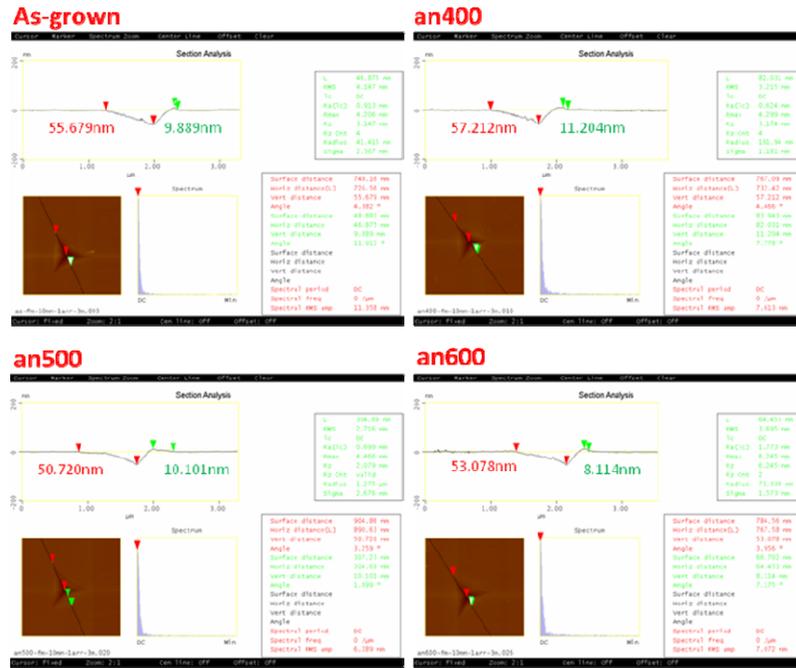


圖 4-33 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 10mN AFM-剖面圖 ($3\mu\text{m}$) 綜合分析圖。

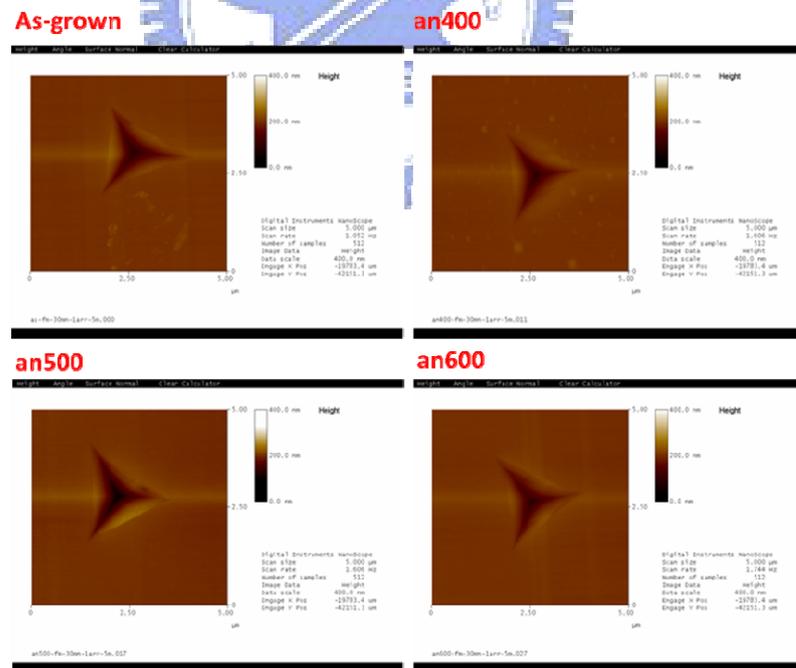


圖 4-34 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 30mN AFM-2D($5\mu\text{m}$) 綜合分析圖。

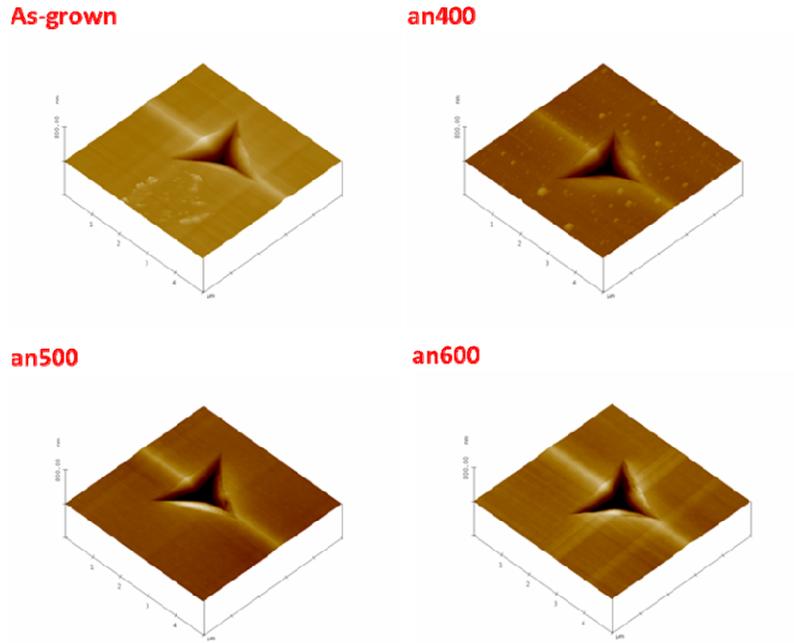


圖 4-35 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 30mN AFM-3D(5 μm) 綜合分析圖。

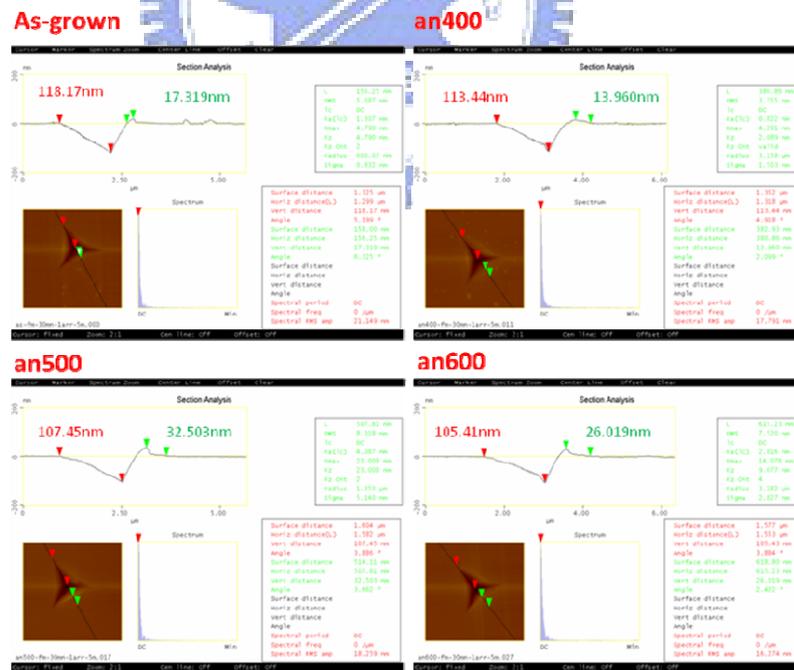


圖 4-36 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 30mN AFM-剖面圖 (5 μm) 綜合分析圖。

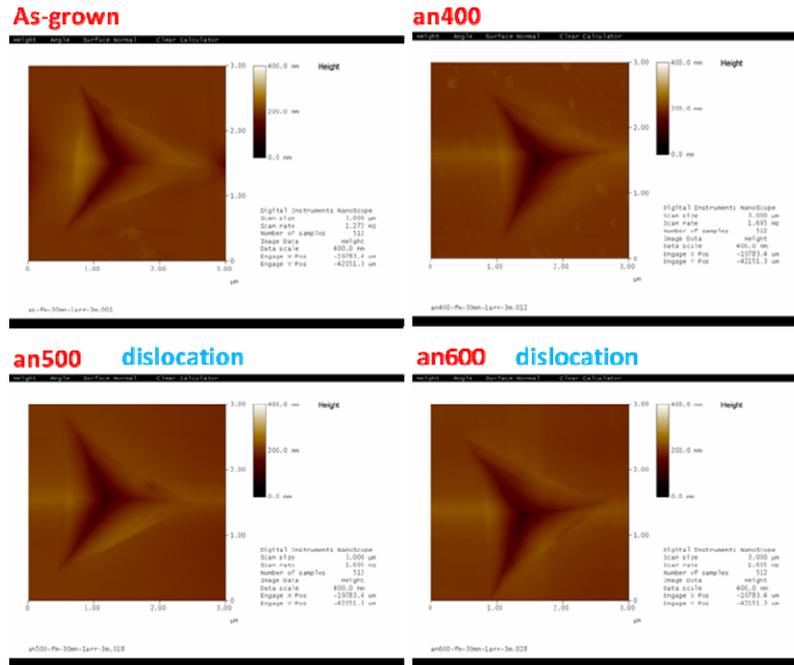


圖 4-37 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 30mN AFM-2D(3 μm) 綜合分析圖。

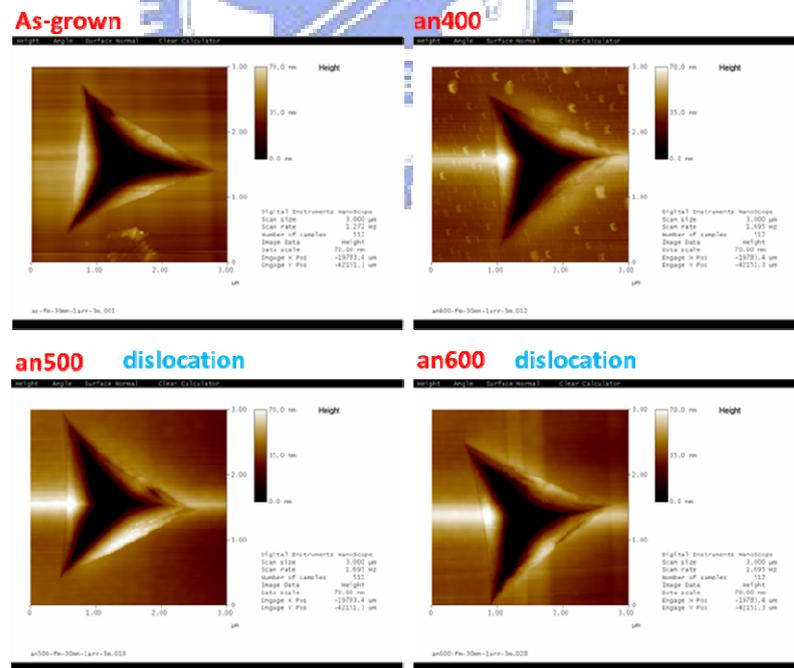


圖 4-38 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 30mN AFM-2D-2(3 μm) 綜合分析圖。

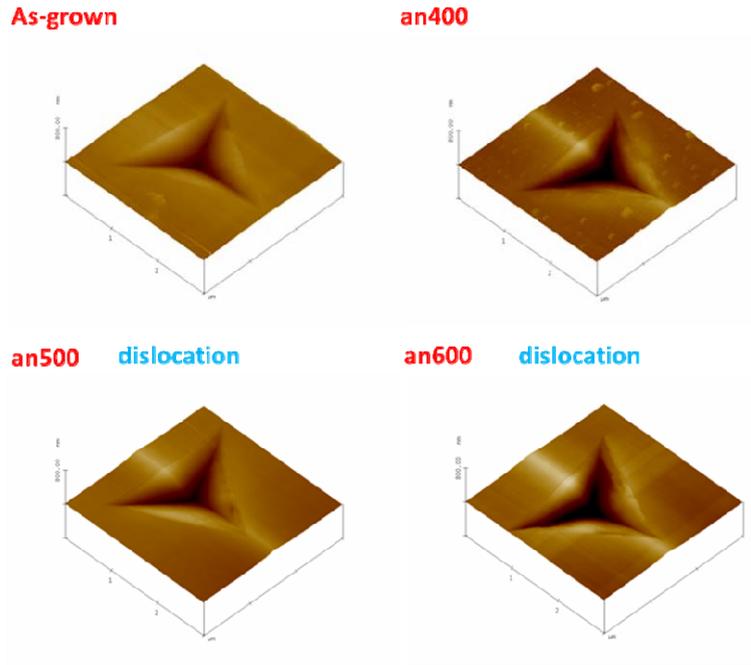


圖 4-39 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 30mN AFM-3D($3\mu\text{m}$)綜合分析圖。

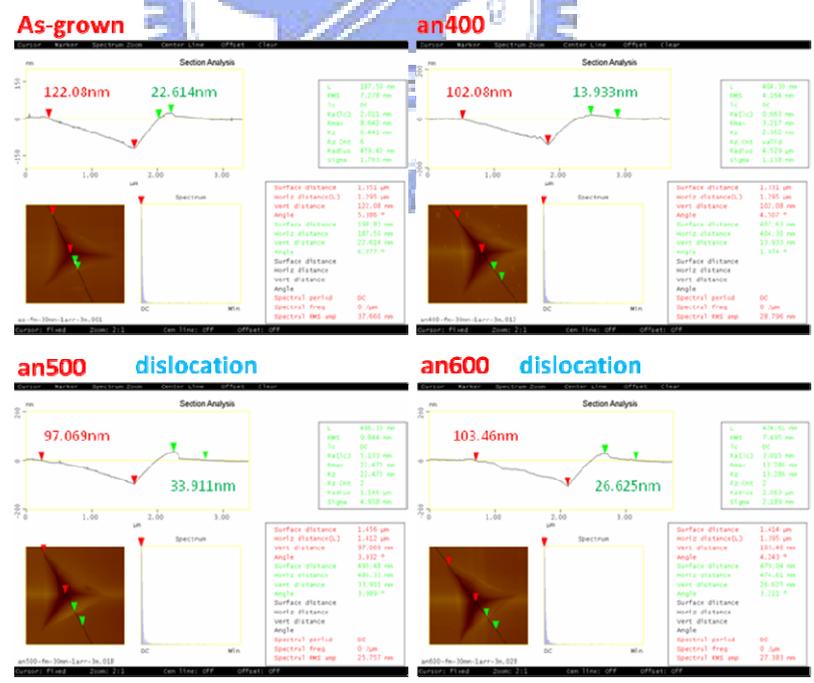


圖 4-40 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 一次負載 30mN AFM-剖面圖 ($3\mu\text{m}$)綜合分析圖。

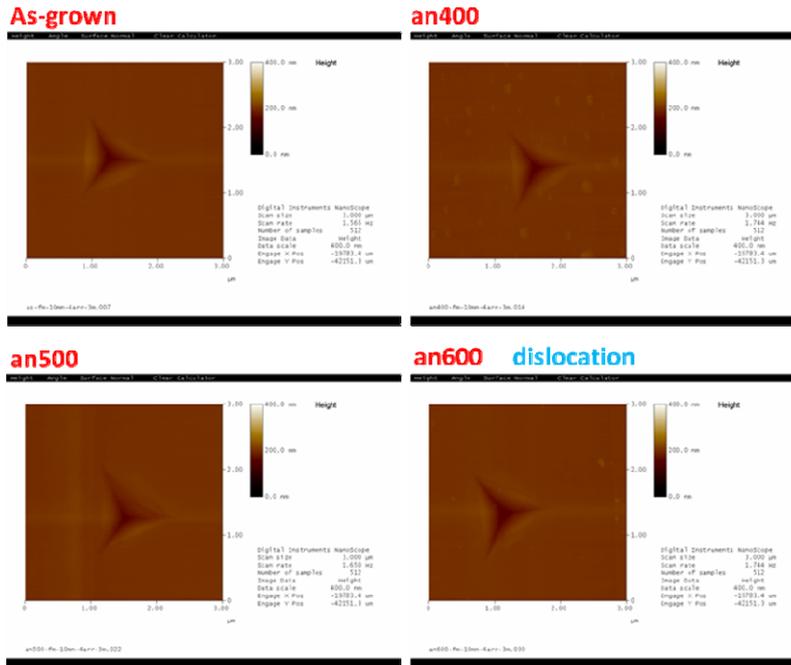


圖 4-41 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 10mN AFM-2D(3 μm) 綜合分析圖。

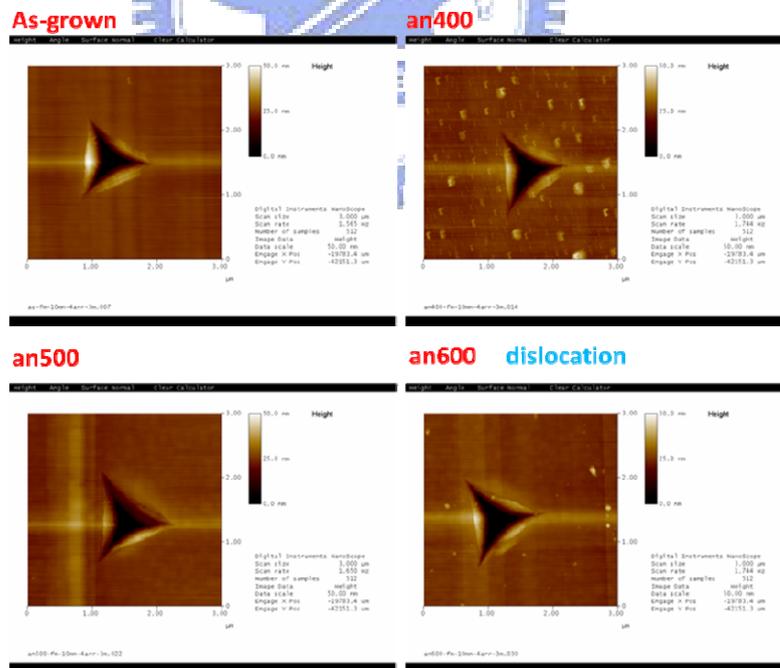


圖 4-42 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 10mN AFM-2D-2(3 μm) 綜合分析圖。

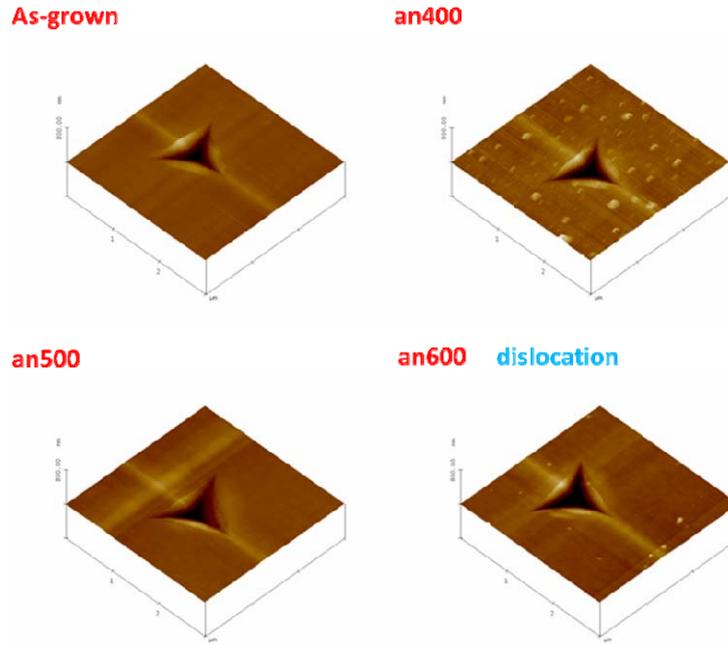


圖 4-43 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 10mN AFM-3D($3\mu\text{m}$)綜合分析圖。

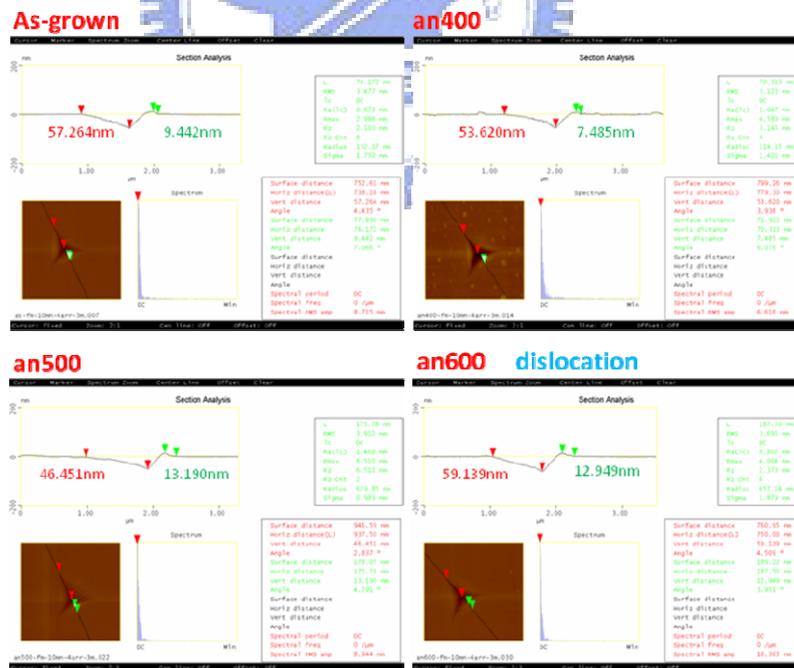


圖 4-44 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 10mN AFM-cro($3\mu\text{m}$)綜合分析圖。

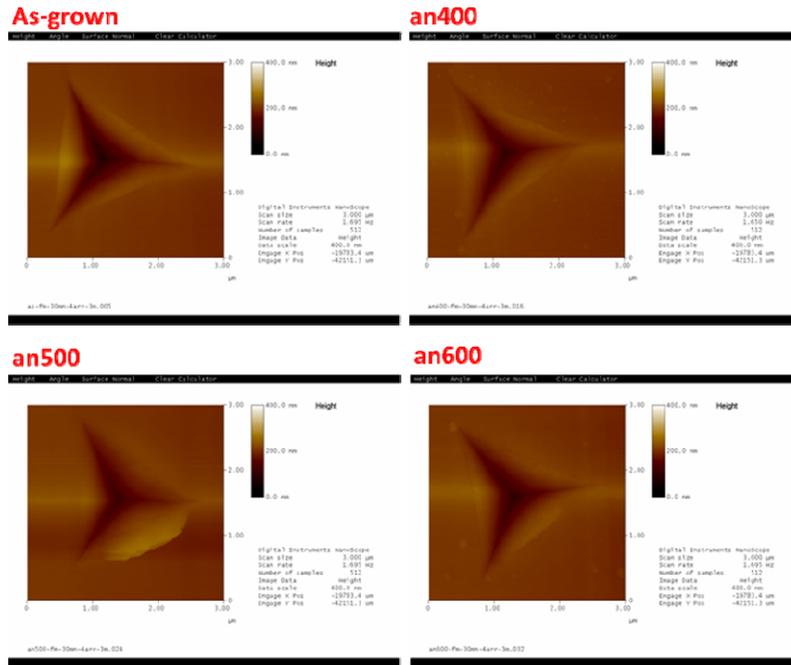


圖 4-45 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 30mN AFM-2D($3\mu\text{m}$)綜合分析圖。

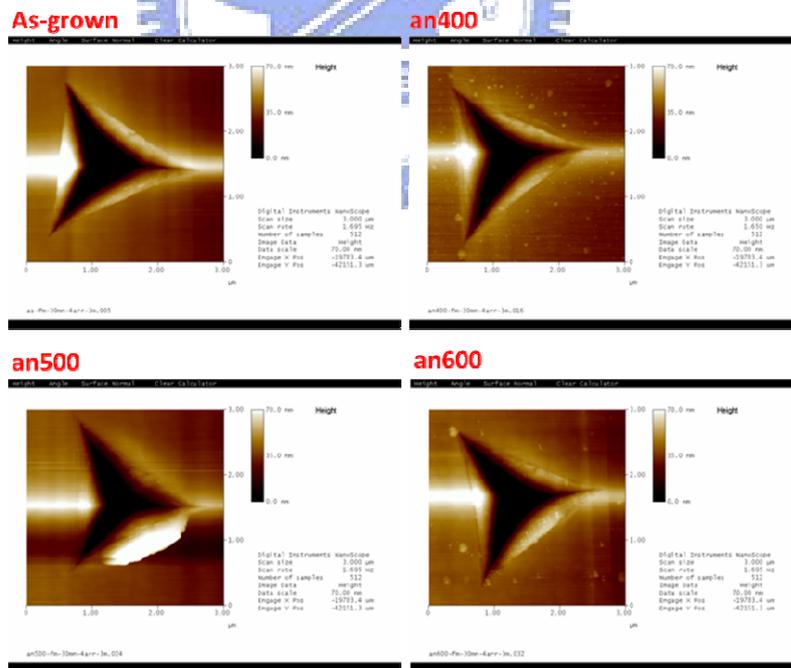


圖 4-46 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 30mN AFM-2D-2($3\mu\text{m}$)綜合分析圖。

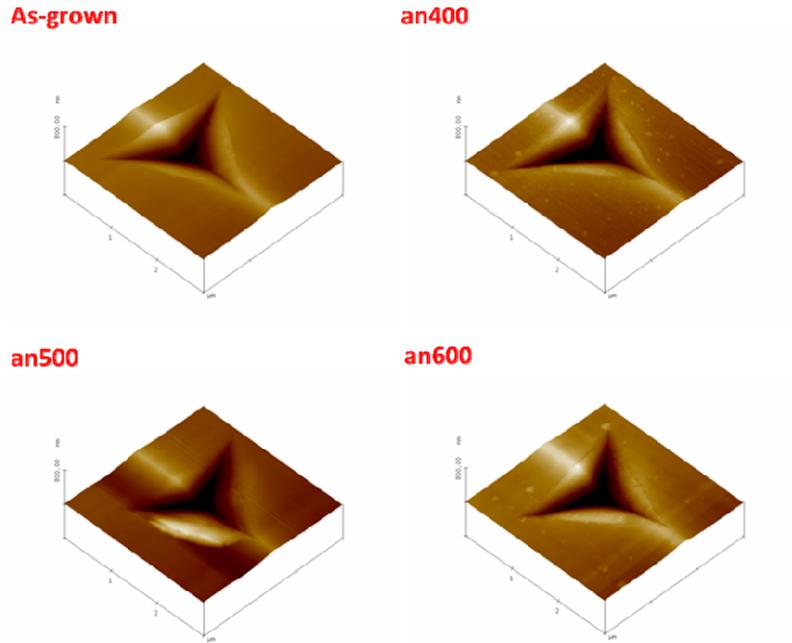


圖 4-47 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 30mN AFM-3D($3\mu\text{m}$)綜合分析圖。

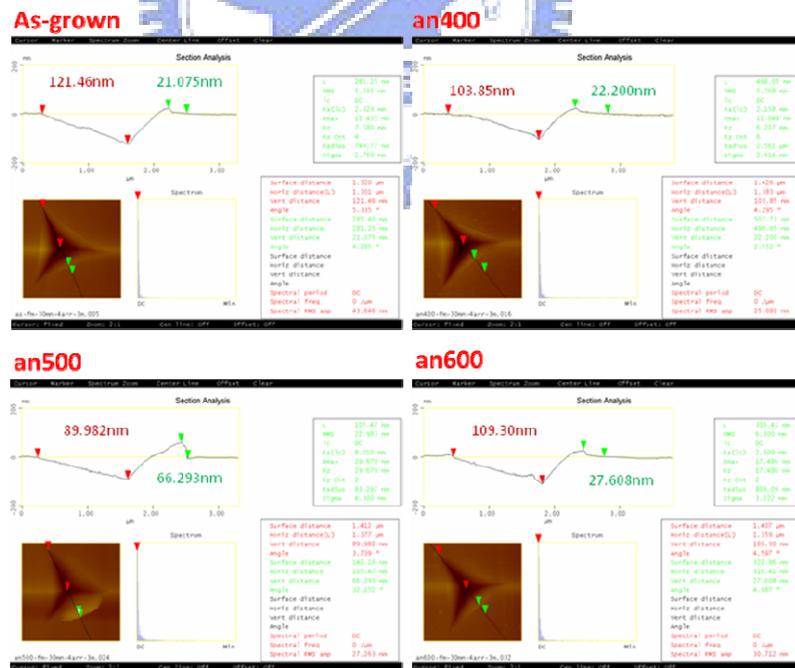


圖 4-48 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter FM 四次負載 30mN AFM-cro($3\mu\text{m}$)綜合分析圖。

Sample	Depth (nm)	Hardness (GPa)	Modulus (GPa)
SiGe-as	100	14.8±0.7	203.8±10.7
SiGe-an400	100	15.0±0.8	204.3±10.3
SiGe-an500	100	14.7±0.5	203.7±9.5
SiGe-an600	100	14.5±0.4	201.8±11.6

表 4-1 Si_{0.8}Ge_{0.2}/Si 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 100nm 綜合數值分析表。

Sample	Depth (nm)	Hardness (GPa)	Modulus (GPa)
SiGe-as	200	13.8±0.7	198.5±12.7
SiGe-an400	200	13.9±0.6	196.1±11.5
SiGe-an500	200	14.0±0.4	197.9±10.1
SiGe-an600	200	14.2±0.6	198.8±11.2

表 4-2 Si_{0.8}Ge_{0.2}/Si 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 200nm 綜合數值分析表。

Sample	Depth (nm)	Hardness (GPa)	Modulus (GPa)
SiGe-as	300	13.9±0.7	192.7±10.7
SiGe-an400	300	14.0±0.5	196.2±5.3
SiGe-an500	300	13.6±0.6	192.9±11.7
SiGe-an600	300	13.7±0.3	191.9±10.6

表 4-3 Si_{0.8}Ge_{0.2}/Si 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 300nm 綜合數值分析表。

Sample	Load (nm)	Hardness (GPa)	Modulus (GPa)
SiGe-as	400	13.1±0.5	188.0±5.4
SiGe-an400	400	13.6±0.3	190.0±4.8
SiGe-an500	400	13.5±0.7	191.6±6.3
SiGe-an600	400	13.3±0.3	183.0±6.2

表 4-4 Si_{0.8}Ge_{0.2}/Si 異質接面結構 as-grown、an400、an500 和 an600 之 nanoindenter CSM 400nm 綜合數值分析表。

第五章 結論

本論文實驗主要是探討 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構在常溫以及常壓低溫退火下的研究觀察，相較於一般文獻都著重於在較高退火溫度(600~1000°C)而言，本實驗在退火製程溫度方面屬於較低溫(400~600°C)製程。因此，針對相對於低溫的退火條件下，實驗結合奈米壓痕量測系統—連續剛性量測模式(CSM)，期望能由奈米壓痕量測系統中的回饋數據中得到實驗所預期的觀測現象，本實驗歸納出以下幾結論：

- (1) 首先，在不同退火溫度參數部份，由實驗 X 光散射分析儀(XRD)觀測下，實驗結果顯示從 XRD 的 rocking curve 曲線可以觀察到隨著退火溫度的上升，圖中特性波峰慢慢偏向矽基材，此現象表示由於退火效應使得結構中產生了鍺擴散作用，結構中的鍺成分慢慢向矽基材擴散；此外也可以從 XRD 數據分析中得到一個大略的趨勢，隨著退火溫度的上升，結構中應變鬆弛的情形下降了，也就是說退火溫度增加使得結構的應變能力下降，應變能力降低使得結構中的差排缺陷增加是可以預見的。另外，在原子力電子顯微鏡(AFM)的觀察下，隨著退火溫度的上升，結構表面的島狀結構(island structure)形成越趨明顯，且隨著奈米壓痕量測系統的回饋顯示，結構表面的格子狀差排密度(crosshatched dislocation)也有增加的趨勢。
- (2) 第二部分為奈米壓痕量測，本實驗使用連續剛性量測模式(CSM)分別

在四種負載深度下進行探測，首先，在 100nm 深度部分，由於此深度較接近表面，因此實驗數據結果受表面氧化層影響甚大，隨著退火溫度上升，結構的硬度值下降，實驗初估由於隨著退火溫度上升，結構表面氧化層越厚，使得結構有較低硬度值。此外，實驗為證明表面氧化層的存在，使用 X 射線光電子能譜分析(XPS)，分析結構表面化學鍵結，結果顯示隨著退火溫度增加，結構表面二氧化矽(SiO_2)鍵結強度上升，由此得證；反之，結構表面氧化鍺(GeO)鍵結波峰是下降的。

其次，在深度 200nm 部分，此深度位於結構中心，其目的是檢測結構中的差排密，實驗結果顯示隨著退火溫度的增加，結構中經奈米壓痕量測所回饋出來的機械硬度值隨之上升，此回饋數據表示著結構中的差排密度的上升。最後在深度 300nm 和 400nm 部分，由於結構厚度約為 300nm 因此在奈米壓痕量測機制中，已有基材效應的影響，加上結構中的針狀差排密度影響，使得結構中僅有些微差距。

- (3) 第三部分為奈米壓痕量測系統力量控制模式，實驗分別進行單次負載以及複數負載作用。首先，在單次負載部分曲線圖中在不同退火溫度參數下並沒有明顯的差異；反之，在複數負載模式作用力 30mN 下曲線中發現不連續段點，此現象為結構中產生相變化(phase transformation)或是有差排缺陷產生所致
- (4) 第四部分為奈米壓痕量測結合原子力電子顯微鏡掃描，本實驗目的為

觀察結構經奈米壓痕作用後的表面破壞情形。首先，在單次負載部分，在 30mN 的負載下結構呈現隨著退火溫度升高壓痕斜面的褶層變多的趨勢，結構壓痕中褶層變多表示結構中的差排密度越高，在此實驗得到證明。再者，四次負載部分，同樣的在 30mN 負載下，經退火 500°C 結構表面有明顯的破壞情形，顯示結構在此參數下將會無法承受而產生損壞。

實驗未來研究可以進一步加強經奈米壓痕量測所回饋出的機械特性，如能有效轉換為相對結構的差排密度，將會有助於了解此矽鍺/矽異質界面結構的研究，此構想主要是想從最根本的材料機械性質進一步去連結探討材料的差排結構量測，如能有效完成此實驗將是在奈米量測技術上一個新發現。

參考文獻

- [1] T.-J.King, and K.C. Sara swat, IEDM Tech. Digest,567 (1991).
- [2] T.-J.King, J.R.Pfiester, J.D.Shott, J.P.MccVittie, and K.C.Sara swat, IEDM Tech.Digest, 253 (1990).
- [3] P.-E.Hellberg, S.-L.Zhang,and.S.Petersson,Electron.Device Lett. 18,456(1997).
- [4] Y.V.Ponomarev,C.Salm,J.Schmitz,P.H.Woerlee,P.A.Stolk,and D.J.G ravestein,IEDM Tech.Digest,829(1997).
- [5] W.C.Lee,T.-J.King,and C.Hu, Electron.Device Lett.,20,9(1999).
- [6] J.Holleman,A.E.T.Kuiper,andJ.V.Verweij,J.Electro chem.Soc.,140,1717(1993).
- [7] M.Sanganeria,D.T.Grider,M.C.Ozturk,and.Wortman,J.Electron.Mater.,21,614(1992).
- [8] H.C.Lin,T.G.Jung,H.Y.Lin,C.Y.Chang,T.F.Lei,P.J.Wang,R.C.Deng,J.Lin,and C.Y.Chao,J.Appl.Phys.,74,5395 (1993).
- [9] H.M. Manasevit, I.S. Gergis, and A.B. Jones, Appl. Phys. Lett. 41, 464 (1982)
- [10] S.S Iyer, G.L. Patton, S.L. Delage, S. Tiwari, and J.M.C. Stork, Proceedings of the 2nd Si-MBE Conference, 114 (1988)
- [11] T.P. Pearsall and J.C. Bean, IEEE Electron Device Lett. 7, 308 (1986)
- [12] S.S. Rhee, G.K. Chang, T.K. Carns and K.L. Wang, Appl. Phys. Lett.56, 1061 (1990)
- [13] H.C. Lin, D.Landheer, M. Buchanan and D.C. Houghton, Appl. Phys. Lett. 52, 1809 (1988)
- [14] R.People, J.C. Bean, D.V. Lang, A.M. Sergent, H.L. Stormer, K.W. Wecht, R.T. Lynch and K. Baldwin, Appl. Phys. Lett. 45, 1231 (1984)
- [15] Yuan-Ming Chang, Ching-Liang Dai, Tsung-Chieh Cheng, Che-Wei Hsu, Applied Surface Science, 254 (2008)
- [16] 半導體元件-東華書局
- [17] From the technology comparison and market trend to study SiGe process development on RF IC, 黃鎮球(2002)
- [18] R.People, Phys. Rev., vol. B32, pp. 1405, 1985.
- [19] C. G. Van de Walle and R. M. Martin, Phys. Rev., vol.B34, pp. 5621, 1986.
- [20] R. People and J. C. Bean, Appl. Phys. Lett., vol. 48, pp. 538, 1986.
- [21] A. Levitas, Phys. Rev., vol. 99, pp. 1810, 1955.
- [22] M. Glicksman, Phys. Rev. III, pp. 125, 1958.
- [23] J.A. Moriarty and S.Krishnamurthy, J. Appl. Phys. vol. 54, pp. 1892 ,1983.
- [24] G. C. Osboum, IEEE J. Quantum Electron. QE-22, pp. 1677, 1986.
- [25] G. van de Walle and R. Martin, Phys. Rev. B34, pp. 5621, 1986.
- [26] Kern Rim, Judy L. Hoyt, and James F. Gibbons, IEEE Trans. Electron Devices, vol. 47, pp. 1406-1415, 2000.
- [27] Appl.Phys.Lett. 59,(1991) 3574.
- [28] Yuan-Ming Chang, Ching-Liang Dai, Tsung-Chieh Cheng, Che-Wei Hsu, Applied

- Surface Science 254 (2008) 3105–3109
- [29] Shuqi Zheng, M. Kawashima, M. Mori, T. Tambo, C. Tatsuyama, Thin Solid Films, 508 (2006) 156 – 159
- [30] D. A. Abdulmalik . P. G. Coleman . H. Z. Su . Y. M. Haddara. A. P. Knights J Mater Sci: Mater Electron (2007)
- [31] Tabor D, Oxford Univ. Press, 1951.
- [32] Bhushan B, Handbook of micro/nanotribology (2nd ed), Boca Raton : CRC Press, 1999
- [33] Tabor D, Philos Mag A, 74, 1207–1221, 1996.
- [34] Pethica JB, Hutchings R, Oliver WC, PhilosMag A, 48, 593-606, 1983.
- [35] Oliver WC, Pharr GM, J Mater Res, 7,1564-1583, 1992.
- [36] Pharr GM, Mater Sci Eng, A, 253,151-159, 1998.
- [37] Bulychev SI, Alekhin VP, Shorshorov MKh, Ternovskii AP, Shnyrev GD, Zavod Lab, 41,1137-1140, 1975.
- [38] Bhushan B, Kulkarni AV, Bonin W, Wyrobek JT, Philos Mag A , 74, 1117-1128, 1996.
- [39] Bhushan B. Chemical, Diamond Relat Mater, 8,1985-2015, 1999.
- [40] Bhushan B, Gupta BK, Azarian MH, Wear, 181-183,743-758, 1995.
- [41] Bhushan B, Li X, J Mater Res, 12,54-63, 1997.
- [42] Bhushan B, Theunissen GSAM, Li X, Thin Solid Films, 311, 67-80, 1997.
- [43] Li X, Bhushan B, Wear, 220, 51– 58, 1998.
- [44] Li X, Bhushan B, J Mater Res, 14,2328– 2337, 1999.
- [45] Li X, Bhushan B, Z Metallkd, 90, 820– 830, 1999.
- [46] Li X, Bhushan B, Thin Solid Films, 340, 210–217, 1999.
- [47] Sneddon IN, Int J Eng Sci, 3, 47– 56, 1965.
- [48] N.A. Stillwell and D. Tabor, Proc. Phys. Soc. Lond. 78, 169(1961).
- [49] M. F. Doerner and W. D. Nix, J. Mater. Res. 1, 601 (1986).
- [50] Doerner MF, Nix WD, J Mater Res, 1, 601–609, 1986.
- [51] T. An, M. Wen, C.Q. Hu, H.W. Tian, W.T. Zheng, 494, 324-328, (2008)
- [52] Xiaodong Li, Bharat Bhushan, 48, 11-36, (2002)
- [53] Nix, W.D., and Gao, H., J. Mech. Phys. Solids. 3, 46, p411~425, 1998.
- [54] Yuan-Ming Chang, Ching-Liang Dai, Tsung-Chieh Cheng, Che-Wei Hsu, Applied Surface Science 254 (2008) 3105–3109.
- [55] H. Watakabe, T. Sameshima, H. Kanno, T. Sadoh, M. Miyao, Appl.Phys. 95 (2004) 6457.
- [56] E.A. Fitzgerald, S.B. Samavedam, Thin Solid Films 294 (1997) 3.
- [57] D.C. Houghton, J. Appl. Phys. 70 (1991) 2136.
- [58] F. K. LeGoues, B. S. Meyerson, J. F. Morar, and P. D. Kirchner, J. Appl.Phys. 71, 4230 1992.
- [59] Evidence of Ge island formation during thermal annealing of SiGe alloys, (1997).
- [60] H. Chen, Y. K. Li, C. S. Peng, H. F. Liu, Y. L. Liu, Q. Huang, J. M. Zhou, and Q.-K.

- Xue, Phys. Rev. B 65, (2002).
- [61] Yu.B. Bolkhovityanov, O.P. Pchelyakov, L.V. Sokolov, S.I. Chikichev, Semiconductors 37 (2003) 493.
- [62] Kunhuang Cai, Cheng Li *, Yong Zhang, Jianfang Xu, Hongkai Lai, Songyan Chen, Applied Surface Science 254 (2008) 5363–5366
- [63] E.A. Fitzgerald, S.B. Samavedam, Thin Solid Films 294 (1997) .
- [64] R. Hull and J. C. Bean, Germanium Silicon: Physics and Materials Academic, New York, 1999.
- [65] Kunhuang Cai, Cheng Li *, Yong Zhang, Jianfang Xu, Hongkai Lai, Songyan Chen, Applied Surface Science 254 (2008) 5363–5366
- [66] W.C. Oliver, G.M. Pharr, J. Mater. Res., Vol. 19, No. 1, Jan 2004
- [67] Kunhuang Cai, Cheng Li *, Yong Zhang, Jianfang Xu, Hongkai Lai, Songyan Chen, Applied Surface Science 254 (2008) 5363–5366.
- [68] J.E. Bradby, J.S. Williams, J. Wong-Leung, M.V. Swain, and P. Munroe, Appl. Phys. Lett. 77, 3749 (2000).
- [69] T.Y. Tsui, G.M. Pharr, W.C. Oliver, C.S. Bhatia, R.L. White, S. Anders, A. Anders, Mater. Res. Soc. Symp. Proc. 383 (1995) 447.
- [70] D J Oliver¹, J E Bradby¹, J S Williams, M V Swain and P Munroe Nanotechnology 19 (2008) 475709 (8pp)
- [71] R. Bhowmick, R. Raghavan, K. Chattopadhyay, U. Ramamurty, Acta Mater. 54 (2006) 4221.

