

國立交通大學
材料科學與工程學系

碩士論文

應用於相變化記憶元件之摻雜鍺-銻-銻薄膜及其性質



**Characteristics of Doped-GeSbTe Thin Films Applied to
Phase-change Random Access Memory Devices**

研究生：蔡旻鎔 (Min-Chuan Tsai)

指導教授：謝宗雍 博士 (Dr. Tsung-Eong Hsieh)

中華民國 98 年 8 月

應用於相變化記憶元件之摻雜銻-銻-銻薄膜及其性質研究

**Characteristics of Doped-GeSbTe Thin Films Applied to
Phase-change Random Access Memory Devices**

研究生：蔡旻鎔
指導教授：謝宗雍 博士

Student: Min-Chuan Tsai
Advisor: Dr. Tsung-Eong Hsieh



A Thesis

Submitted to Department of Materials Science and Engineering
Collage of Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of Master of Science
in Materials Science and Engineering
National Chiao Tung University
Hsinchu, Taiwan, Republic of China

中華民國 96 年 8 月

應用於相變化記憶元件之摻雜銻-銻-銻薄膜及其性質研究

學生：蔡旻鎔

指導教授：謝宗雍 博士

國立交通大學 材料科學與工程學系

摘 要

本研究探討應用於相變化記憶體（Phase-change Random Access Memory，PRAM）之銻-銻-銻（GeSbTe，GST）材料摻雜銻（Cerium，Ce）元素後之結構與性質變化。 X 光繞射分析（ X -ray Diffraction，XRD）顯示摻雜能穩定非晶態 GST 以及抑制再結晶後六方晶（Hexagonal）GST 相之形成。電子顯微鏡（Transmission Electron Microscopy，TEM）之觀察顯示，Ce 摻雜會使結晶態 GST 之晶粒細化，元素分布（Element Mapping）則發現 Ce 在 GST 中均呈勻分布，故 Ce 原子係以固溶態摻雜於 GST 中，此亦符合等升溫實驗發現相變化再結晶溫度（Recrystallization Temperature， T_c ）與活化能（Activation Energy， E_a ）隨著 Ce 摻雜濃度增加而上升之結果；但 Ce 摻雜達 10% 貼靶濺鍍濃度時，退火之 GST 中可能出現介金屬相（Intermetallic Compound，IMC）而使 E_a 值下降。實驗最重要之發現為 Ce 之摻雜不會改變非晶態與多晶態 GST 之電阻比值（ R -Ratio $\approx 10^5$ ），尤其不會使非晶態 GST 之電阻率下降，有助於維持訊號之對比清晰度，此一發現對 PRAM 材料開發將有重要意義。恆溫實驗配合 Johnson-Mehl-Avrami（JMA）理論探討 GST 薄膜之相變化機制變化，發現摻雜使相變化維度下降，推測其為異質成核（Heterogeneous Nucleation）效應所致，但 Ce 摻雜大幅升高成長活化能而使恆溫相變化活化能（ ΔH ）升高。資料保存時間（Retention Time）之分析顯示發現 Ce 摻雜濃度越高，資料保存效果愈佳。

PRAM 元件之應用發現臨界轉換電壓（Threshold Voltage， V_{th} ）雖隨 Ce 之摻雜濃度升高而上升，但 Ce 摻雜之 GST 薄膜確實可應用於 PRAM 元件之製作。

Characteristics of Doped-GeSbTe Thin Films Applied to Phase-change Random Access Memory Devices

Student: Min-Chuan Tsai

Advisor: Dr. Tsung-Eong Hsieh

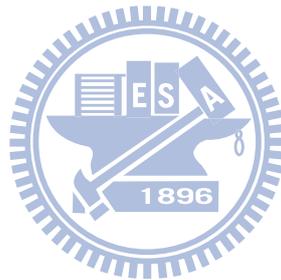
Department of Materials Science and Engineering, National Chiao Tung University

Abstract

This study investigates the microstructure and property changes of cerium (Ce)-doped GeSbTe thin films applied to phase-change random access memory (PRAM). *X*-ray diffraction (XRD) showed that Ce doping may stabilize the amorphous GST and inhibit the emergence of hexagonal GST phase after annealing. Transmission electron microscopy (TEM) revealed Ce doping causes the grain refinement in GST. The element mapping depicted a uniform distribution of Ce in all types of GST films, indicating that Ce atoms reside in GST in solid-solution form. Kissinger's analysis found that the recrystallization temperature (T_c) and the activation energy (E_a) of doped-GST increase with the increase of Ce content. However, intermetallic compound (IMC) likely formed in crystalline GST with Ce concentration exceeded 10% area coverage ratio and thus led to the decrease of E_a . A significant result observed in this part of study is that the Ce doping does not alter the resistivities of amorphous and crystalline GSTs and hence the resistivity ratio (R -ratio) remains the same at about 10^5 . This greatly benefits the preservation of signal contrast as well as the high-density signal storage and will be a distinguishing finding in recent development of PRAM materials. Isothermal experiment in conjunction with Johnson-Mehl-Avrami (JMA) analysis revealed that Ce doping suppresses the dimensionality of phase-change process in GST. This is attributed to the heterogeneous nucleation effects occurring during the phase-change process. The retention time analysis found that the retention time increases with the increase of Ce

doping amount in GST.

In the study of PRAM device applications, it was found that the threshold voltage (V_{th}) of device containing doped-GST increases with the Ce content. It nevertheless illustrates that the Ce-doped GST films are indeed feasible to PRAM device fabrication.



誌 謝

每次前往奈米國家實驗室 (NDL) 做實驗時，都會在圖書館旁邊的水池那邊看到『飲水思源』四個大字。兩年來在實驗室裡學習到的一切，不論是待人處世、實驗構想、邏輯分析或分析技巧，對我來說真是受益無窮。

論文研究絕非一人所能獨力完成，我要感謝實驗室的每一個人，在我有需要的時候都願意伸出手來幫助我。謝謝郁仁學長教導我許多實驗方法及技巧；感謝賀昌及泱濡學長在我覺得有困惑時，都能給予我適時的引導；還有百樂、小 A 學姊、Roger、胤誠、玟娟及我們的超級助理角頭，感謝妳/你們的陪伴與鼓勵，讓平常的生活中充滿了許多的樂趣。我還必須要感謝徐雍鎣老師實驗室的陳韋達學長，我的 TEM 照片幾乎都是他幫我拍的，真的是很謝謝他。

同時我還必須感謝同步輻射中心的徐嘉鴻博士，感謝徐博士的幫助讓我在 XRD 的分析上無後顧之憂。還有感謝閱康科技在 TEM 上面的幫助，在此由衷的感謝。

最後，謹以此論文獻給我的雙親，他們廿十餘年來持續的鼓勵及支持成就了今天的我。

目 錄

摘 要.....	i
Abstract.....	ii
誌 謝.....	iv
目 錄.....	v
圖目錄.....	vii
表目錄.....	x
第一章 緒 論.....	1
第二章 文獻回顧.....	3
2-1、記憶體元件的發展.....	3
2-2、PRAM 之原理.....	6
2-3、Ovonic Switch.....	13
2-4、GST 之摻雜 (Doping)	14
2-5、PRAM 元件結構.....	18
2-6、Kissinger 分析.....	22
2-7、JMA 理論.....	23
2-8、研究動機.....	28
第三章 實驗方法及步驟.....	29
3-1、實驗流程.....	29
3-2、試片製備.....	29
3-3、Ce 之摻雜.....	30
3-4、即時電性量測.....	30
3-5、XRD 分析.....	31
3-6、TEM 與元素 Mapping 分析.....	32
3-7、ICP-MS 成分分析.....	32
3-8、XPS 分析.....	32
3-9、Kissinger 分析.....	32
3-10、JMAK 分析.....	33
3-11、Retention Time 分析.....	33
3-12、Ovonic Switch 性質分析.....	33
第四章 結果與討論.....	36
4-1、ICP-MS 成分分析.....	36
4-2、XRD 分析.....	36
4-3、TEM 與 EDX 元素分佈分析.....	40
4-4、XPS 分析.....	47
4-5、Kissinger 分析.....	56
4-6、JMA 分析.....	62

4-7、Retention Time 分析	67
4-8、電性分析	71
第五章 結 論.....	73
未來研究與展望.....	75
附 錄.....	76
參考文獻.....	79



圖目錄

圖 2-1、PRAM 記錄原理[1]。	4
圖 2-2、MRAM 記錄示意圖[2-3]。	4
圖 2-3、FeRAM 記錄示意圖[4-5]。	5
圖 2-4、RRAM 記錄示意圖[6-7]。	5
圖 2-5、NRAM 記錄原理示意圖[8-9]。	6
圖 2-6、資料寫入 (Write) 及擦拭 (Erase) 之示意圖[12]。	8
圖 2-7、冷卻速率在 TTT 曲線圖中與鼻端相對位置之示意圖[12]。	9
圖 2-8、各種相變化記錄材料之發展狀態[12]。	10
圖 2-9、(a) 成核型材料及 (b) 成長型材料之結晶相變化過程示意圖[13]。	11
圖 2-10、不同溫度狀態下之結構示意圖[14-15]。	11
圖 2-11、電阻率跟溫度之關係圖[16]。	12
圖 2-12、FCC 介穩相中原子排列方式[12、17]。	12
圖 2-13、Ge-Sb-Te 三元相圖及 GeTe-Sb ₂ Te ₃ 擬二元合金線位置[18]。	13
圖 2-14、臨界轉換及記憶轉換之 <i>I-V</i> 曲線[19]。	13
圖 2-15、(a) 摻雜 N ₂ 或 Mo 之 GST 電阻率隨溫度變化之曲線圖[41]；(b) 摻雜 SiO ₂ 之 GST 之電阻率隨溫度變化圖[38]。	16
圖 2-16、(a) 摻雜 Si、N ₂ 後，電阻率隨溫度變化之曲線圖[37]；(b) 摻雜不同濃度 B 後，其電阻率隨溫度變化之曲線圖[39]。	16
圖 2-17、(a) Bi 及 (b) Sn 摻雜對 GST 之電阻性質的影響[42]。	17
圖 2-18、平面結構之 PRAM 示意圖[45]。	18
圖 2-19、環形結構 PRAM 示意圖[45]。	19
圖 2-20、(a) 環形及平面 PRAM 結構下電極接觸面積之比較；(b) 寫入電流之比較[46]。	19
圖 2-21、熱阻型 PRAM 結構示意圖[11]。	20
圖 2-22、邊緣接觸型 PRAM 元件結構示意圖[46]。	20
圖 2-23、U 型溝槽 PRAM 結構示意圖[46]。	21
圖 2-24、元件大小與擦拭功率、擦拭時間的關係圖[45]。	21
圖 2-25、相變化於有限尺寸效應示意圖[69]。	25
圖 2-26、橢圓型成長示意圖[69]。	26
圖 2-27、典型 JMA 圖形[71]。	27
圖 2-28、孕核時間與溫度之關係圖[71]。	27
圖 2-29、重新定義起始時間 $\tau = 0$ 之 JMA 圖形[71]。	28
圖 3-1、實驗流程圖。	29
圖 3-2、即時電性量測系統之架構示意圖。	31
圖 3-3、環形結構之 PRAM 元件製作流程。	34

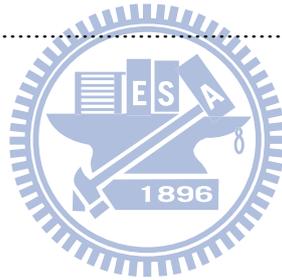
圖 4-1、GST 中之 Ce 摻雜濃度隨貼靶數目之變化圖。	37
圖 4-2、不同 Ce 摻雜濃度，初鍍 GST 之 XRD 圖譜。	38
圖 4-3、不同 Ce 摻雜濃度，200°C 退火 30 分鐘之 GST 之 XRD 圖	38
圖 4-4、不同 Ce 摻雜濃度，250°C 退火 30 分鐘之 GST 之 XRD 圖	39
圖 4-5、不同 Ce 摻雜濃度，300°C 退火 30 分鐘之 GST 之 XRD 圖	39
圖 4-6、不同 Ce 摻雜濃度，350°C 退火 30 分鐘之 GST 之 XRD 圖（否為 FCC 與 HCP 之混合相？如是，須以不同符號標出區分之）	40
圖 4-7、不同 Ce 摻雜濃度，400°C 退火 30 分鐘之 GST 之 XRD 圖譜。（是否為 FCC 與 HCP 之混合相？如是，須以不同符號標出區分之）	40
圖 4-8、(a) 無摻雜與 Ce 摻雜濃度為 (b) 3% (c) 5% 與 (d) 10% 貼靶濺鍍面積比之初鍍 GST 薄膜之明視野 (Bright-field, BF) TEM 形貌圖。	41
圖 4-9、經 300°C，30 分鐘退火之 (a) 未摻雜與 Ce 摻雜濃度為 (b) 1% (c) 3% (d) 5% (e) 7% 與 (f) 10% 貼靶濺鍍面積比之 GST 薄膜之 TEM 形貌；左邊圖為 BF 影像，右邊圖為 DF 影像。（下頁續）	42
圖 4-10、TEM 繞射環圖形。	44
圖 4-11、未摻雜 Ce、非晶態 GST 薄膜退火前 Ge、Sb 及 Te 元素 Mapping 圖。	45
圖 4-12、未摻雜 Ce、非晶態 GST 薄膜退火後 Ge、Sb 及 Te 元素 Mapping 圖。	46
圖 4-13、Ce 摻雜之貼靶濺鍍面積比為 5% 之 GST，退火前（非晶態）Ge、Sb、Te 及 Ce 元素之 Mapping 圖。	46
圖 4-14、Ce 摻雜之貼靶濺鍍面積比為 5% 之 GST，退火後（結晶態）Ge、Sb、Te 及 Ce 元素之 Mapping 圖。	47
圖 4-15、不同 Ce 摻雜濃度之 GST 中之 Ge_{3d} 、 Sb_{3d} 、 Te_{3d} 及 Ce_{3d} 軌域之 XPS 圖譜。	48
圖 4-16、 Ge_{3d} 軌域 curve fitting 之結果。	49
圖 4-17、 $Sb_{3d_{3/2}}$ 軌域 curve fitting 之結果。	50
圖 4-18、 $Sb_{3d_{5/2}}$ 軌域 curve fitting 之結果。	51
圖 4-19、 $Te_{3d_{3/2}}$ 軌域 curve fitting 之結果。	52
圖 4-20、 $Te_{3d_{5/2}}$ 軌域 curve fitting 之結果。	53
圖 4-21、 $Ce_{3d_{3/2}}$ 軌域 curve fitting 之結果。	54
圖 4-22、 $Ce_{3d_{5/2}}$ 軌域 curve fitting 之結果。	55
圖 4-23、文獻中 CeTe、CeSb 之 3d 鍵結能位置圖[75]。	56
圖 4-24、不同溫升速率及不同摻雜濃度 GST 薄膜之電阻率對溫度曲線。（續上頁）	58
圖 4-25、等升溫實驗之 $\ln \frac{\Phi}{T_c^2}$ 對 $\frac{1}{T_c}$ 圖。	61
圖 4-26、GST 之 E_a 及 T_c 隨 Ce 摻雜濃度之變化。	62

圖 4-27、相變化成核理論的四個過程。.....	63
圖 4-28、不同 Ce 摻雜濃度的 GST 試片的結晶分率隨時間變化之關係。.....	64
圖 4-29、不同 Ce 摻雜濃度的 GST 試片的 $\ln(-\ln(1-x))$ 對 $\ln t$ 圖。.....	65
圖 4-30、不同摻雜濃度 $\ln K$ 對 $\frac{1}{T}$ 之圖形。.....	66
圖 4-31、未摻雜 Ce 之 GST 的 $\ln t_{\frac{1}{2}}$ 對 $\frac{1}{kT}$ 圖。.....	67
圖 4-32、Ce 摻雜濃度為 1% 貼靶濺鍍面積比之 GST 的 $\ln t_{\frac{1}{2}}$ 對 $\frac{1}{kT}$ 圖。.....	67
圖 4-33、Ce 摻雜濃度為 3% 貼靶濺鍍面積比之 GST 的 $\ln t_{\frac{1}{2}}$ 對 $\frac{1}{kT}$ 圖。.....	68
圖 4-34、Ce 摻雜濃度為 5% 貼靶濺鍍面積比之 GST 的 $\ln t_{\frac{1}{2}}$ 對 $\frac{1}{kT}$ 圖。.....	68
圖 4-35、Ce 摻雜濃度為 7% 貼靶濺鍍面積比之 GST 的 $\ln t_{\frac{1}{2}}$ 對 $\frac{1}{kT}$ 圖。.....	69
圖 4-36、Ce 摻雜濃度為 10% 貼靶濺鍍面積比之 GST 的 $\ln t_{\frac{1}{2}}$ 對 $\frac{1}{kT}$ 圖。.....	69
圖 4-37、圖 4-23 至 4-28 之 Retention Time 量測總結。.....	70
圖 4-38、不同 Ce 摻雜濃度之 GST 的 $I-V$ 曲線。.....	72



表目錄

表 2-1、各式記憶體之比較[11]。	7
表 2-2、PRAM 的研發概況。	8
表 2-3、各摻雜元素對結晶溫度及活化能之影響[20、25、29、34-39、41、43]。	17
表 2-4、既往文獻報導的上、下電極材料[47-55]。	21
表 2-5、GST 之 T_c 與 E_a 值表列[13、16、24、25、59-61]。	22
表 2-6、Avrami 指數與成長幾何形狀的關係[66]。	24
表 4-1、ICP-MS 對 Ce 摻雜之 GST 薄膜成分分析結果。	36
表 4-2、不同 Ce 摻雜濃度之 GST 在不同升溫速率時之 T_c 值。	59
表 4-3、不同 Ce 摻雜濃度之 GST 活化能 E_a 。	61
表 4-4、不同 Ce 摻雜濃度之 GST 試片之 Avrami 指數。	66
表 4-5、不同 Ce 摻雜濃度之 GST 的資料保存 10 年所能承受的最高溫度與活化能 E_a^f 值。	71



第一章

緒 論

硫屬合金化合物 (Chalcogenides)，也就是俗稱的相變化記錄材料 (Phase-change Recording Media)，早期是應用在光記錄儲存方面，其利用非晶-結晶之相變化 (Amorphous-to-Crystalline Phase Transition) 的轉換，產生不同的光反射性質來達到資料儲存的效果。因為其具有高讀寫速率以及非揮發 (Non-volatile) 的特性，同時具有動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM) 及快閃記憶體 (Flash Memory) 的優點，近年來已被應用在記憶體元件，即所謂之相變化記憶體 (Phase-change RAM, PRAM) 之製作，也被看好是下一世代的新型記憶體。PRAM 製程簡單，其製程步驟跟現有之 DRAM 幾乎是一樣的，不需開發新製程。當然相變化記錄材料也有一些缺點須克服，像是提升熱穩定性、減少元件操作電流、提升循環覆寫次數 (Cycle Time) 等。

本論文實驗以貼靶濺鍍法 (Target-Attached Sputtering Method) 將鈾 (Cerium, Ce) 元素摻雜到銻-銻-銻 ($\text{Ge}_2\text{Sb}_2\text{Te}_5$, GST) 相變化記錄薄膜內，再以自組的即時電性量測系統 (*In-situ* Electrical Property Measurement System) 分析 Ce 摻雜對 GST 薄膜相變化行為之影響，以 Kissinger 與 Johnson-Mehl-Avrami (JMA) 理論計算其結晶活化能 (Activation Energy, E_a)、及恆溫相變化活化能 (ΔH) 變化，並探討其成長維度的關係及資料保存時間 (Retention Time)。電性量測結果顯示 Ce 之添加幾乎不會改變非晶態與結晶態 GST 薄膜之電阻值，即所謂之電阻比值 (*R-ratio*) 維持不變，此一發現與既往文獻對摻雜元素降低 *R-ratio* (尤其降低非晶態 GST 之電阻值) 之報導迥異，有助於維持訊號之對比清晰程度及高儲存密度元件之應用，對 PRAM 材料之開發預期由重要意義；當添加濃度越高時，相變化結晶溫度 (Recrystallization Temperature, T_c) 也隨之升高， E_a 值及 Retention Time 亦有升高的趨勢，Retention Time 之增加有利於資料之記錄

與保存。

穿透式電子顯微鏡（Transmission Electron Microscopy，TEM）被用來觀察不同摻雜濃度的 GST 薄膜之內部微觀結構變化，其結果顯示添加 Ce 能以固溶強化機制有效地抑制晶粒成長，達到晶粒細化之效果。但當 Ce 摻雜濃度到達 10% 貼靶面積比時，過量之摻雜導致經退火後的 GST 中疑似有介金屬相（Intermetallic Compounds，IMCs）產生，微觀結構的改變使得 E_a 值下降，亦顯示 Ce 之摻雜濃度有一上限。

本論文研究亦製備一個環狀結構（Ring-shaped Structure）的 PRAM 元件來量測相變化所需之臨界轉換電壓（Threshold Voltage， V_{th} ），其發現 V_{th} 隨 Ce 摻雜濃度之增加而增加， V_{th} 的存在亦證實此一摻雜薄膜應用於 PRAM 元件的可行性。



第二章

文獻回顧

2-1、記憶體元件的發展

隨著時代及科技的發展，各種儲存媒體都朝著快速且高容量的方向不斷的進步。其中最常見的也是目前使用最廣泛的記憶體，不外乎就是靜態隨機存取記憶體（Static Random Access Memory，SRAM）、動態隨機存取記憶體（DRAM）及快閃式記憶體。SRAM 及 DRAM 乃屬於揮發性記憶體（Volatile Memory），在讀寫過程中需供給一定的電流來保存資料。快閃式記憶體屬於非揮發性記憶體，不需供給電流就可以永久保存資料，但其有需要微秒（ μsec ）寫入時間的缺點。為了同時具有快速的讀取速度及非揮發的特性，各種新世代的記憶體遂蘊育而生，如相變化記憶體（PRAM）、磁阻式記憶體（Magnetoresistive Random Access Memory，MRAM）、鐵電記憶體（Ferroelectric Random Access Memory，FeRAM）、電阻式記憶體（Resistive Random Access Memory，RRAM）、奈米碳管記憶體（Nano Random Access Memory，又稱為 CNT Memory）等。

PRAM 係利用硫屬合金，即 Ge、Sb、Te 等元素組成之合金，做為元件之核心記錄材料，利用加熱使其產生結晶相與非晶相之轉換，利用兩相之間的電阻值差異來達成記錄之目的。PRAM 紀錄原理如圖 2-1 所示。

MRAM 的操作原理建立於巨磁阻（Giant Magneto-Resistance，GMR）或穿隧磁阻（Tunneling Magneto-Resistance，TMR）效應上，當電流由一磁性金屬薄膜穿過中央之非磁性金屬薄膜而到另一磁性金屬薄膜時，如果二磁性金屬薄膜具有相同的磁化方向，則整體電阻較小；反之，若二磁性金屬磁化方向相反，電子穿過三層薄膜時將受到較多的散射，因而電阻較高，利用此磁阻特性產生之高低電阻值差異來做為 0 與 1 記憶之效果，MRAM 紀錄原理如圖 2-2 所示。

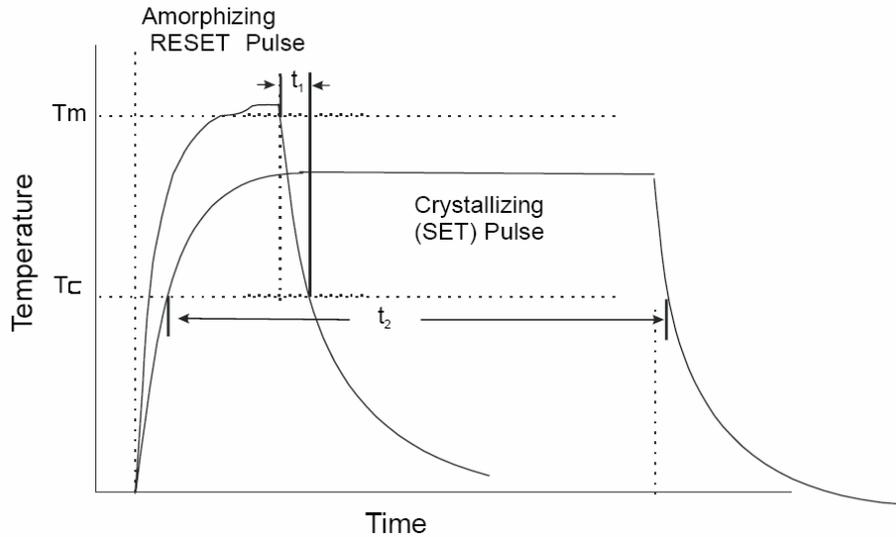


圖 2-1、PRAM 記錄原理[1]。

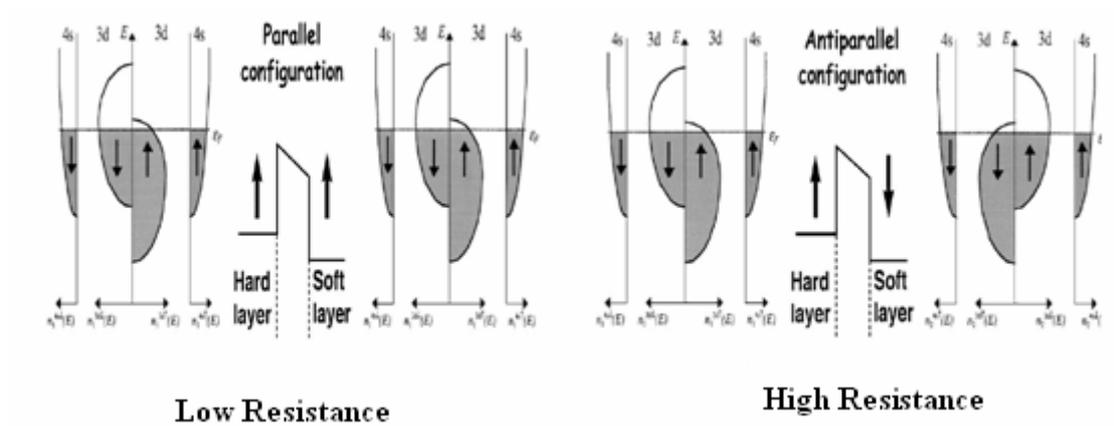


圖 2-2、MRAM 記錄示意圖[2-3]。

FeRAM 係利用鐵電材料具有焦電（Pyroelectricity）、壓電性（Piezoelectricity）、高的電光係數（Electro-optical Coefficient）及高介電常數（Dielectric Constant）等多種特性進行資料記錄，在實際應用上，從壓電、焦電陶瓷元件到各式的電容器都有非常廣泛的應用。FeRAM 其原理是利用鐵電薄膜的電滯效應進行電荷儲存功能。鐵電薄膜在沒有外界電壓的情況下，因晶體原子結構相對位置的不對稱性產生自發極化（Spontaneous Polarization）現象，該自發性極化的方向會隨著電場方向改變而改變，以提供 0 與 1 的兩種狀態來達到記錄之效果；FeRAM 記錄原理如圖 2-3 所示。

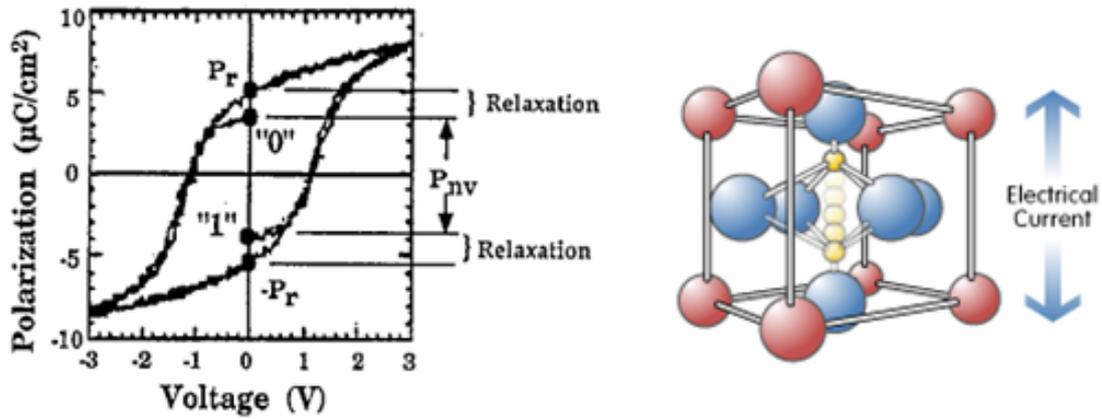


圖 2-3、FeRAM 記錄示意圖[4-5]。

RRAM 為近年來最被廣泛討論及研究的記憶體之一。其記憶原理是利用外加一個正或負電壓使其產生電阻值之差異來達到記錄之效果。當我們施加一個外加正電壓且此電壓已超過電阻轉換之臨界電壓時，其電阻將會轉換成低電阻的狀態，反之，當我們施加一個負電壓時，其電阻將會轉換成高電阻的狀態。利用此高低電阻之差異來作為 1 與 0 之記憶效果；RRAM 記錄原理如圖 2-4 所示。

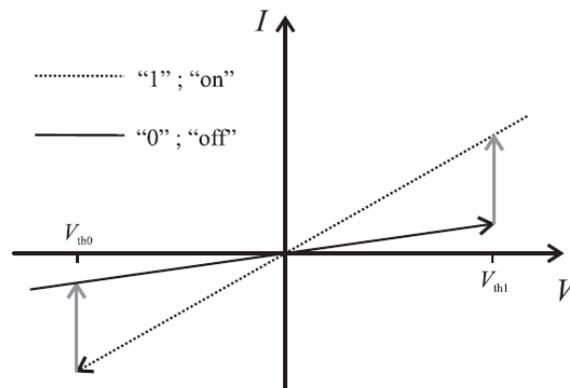


圖 2-4、RRAM 記錄示意圖[6-7]。

NRAM 或 CNT Memory 為 Nantero 公司的獨有技術。NRAM 的原理是在兩個上電極間設置若干條奈米碳管，碳管下端亦有個較低的電極，若在兩上端電極施加一低電壓，碳管會呈現緊繃的狀態，不會與下電極接觸，上下電極不會有電流通過。反之，施加一高電壓碳管將會下垂與下電極接觸，電流會通過。因此利

用此碳管的鬆緊狀態來作為 0 與 1 之區別，以達到記錄的效果；NRAM 記錄原理如圖 2-5 所示。

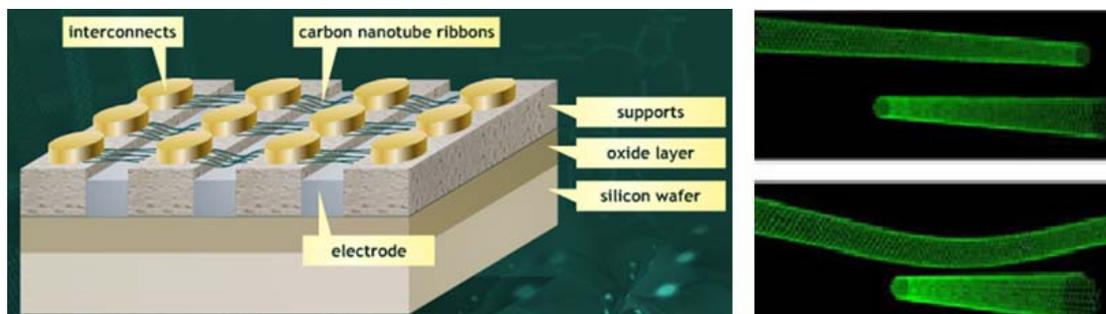


圖 2-5、NRAM 記錄原理示意圖[8-9]。

表 2-1 為目前最常見之各式記憶體發展的特性比較，其中包含了上敘所提及的 PRAM、MRAM 及 RRAM 還有目前市面上最常見的 DRAM、SRAM 及 Flash 等，其分別對其元件大小、揮發特性、讀寫時間、相對成本之多寡以及是否為破壞性讀取等特性做了一系列之比較。

PRAM 發展時程可回溯到 1966 年由 Ovshinsky 首先發現 Chalcogenides 的特殊性質[10]，之後國際各大電子公司，如 IBM、Intel、Philips、Hitachi、Samsung 等，均投入相當的人力與財力研發 PRAM 元件，國內如旺宏等公司近年亦積極投入 PRAM 研究；表 2-2 為主要電子公司發表之 PRAM 元件使用的材料、容量與壽命等規格。

2-2、PRAM 之原理

Chalcogenides 之記錄功能係在 1960 年由 S.R. Ovshinsky 首先發現[10]，故 PRAM 又被稱為 OUM (Ovonic Universal Memory)，為利用化合物中的結晶態與非晶態之間的電阻值差異來做為記錄效果。訊號寫入和消除的方式是利用電流加熱或是脈衝的方式，使其由非晶態轉換成結晶態達到寫入的效果，反之，欲消除的話必須施予一更大的能量使其由結晶態再轉換成非晶態的狀態，達到消除的目的，其原理已如圖 2-1 所示。

當我們在記錄操作時，欲由非晶態轉換成結晶態時，即由 0 轉變為 1 時，所施予之能量範圍必須介於 Chalcogenides 之熔點 (Melting Point, T_m) 以下, T_c 以上, 保持一段時間使其發生結晶, 來達到寫入 1 之效果; 反之, 欲由 1 轉變為 0 時, 所需施予之能量範圍必須大於 Chalcogenide 之 T_m 以上, 使其由結晶狀態轉換成短程有序之液態, 然後快速冷卻 (或淬火, Quench), 讓原子來不及成為長程週期排列, 維持在非晶態而達到記錄消除之目的。

表 2-1、各式記憶體之比較[11]。

	DRAM	SRAM	FLASH	PRAM	MRAM	RRAM
Cell Size	Small	Large	Small	Small	Small	Small
Volatile/Nonvolatile	Volatile	Volatile	Nonvolatile	Nonvolatile	Nonvolatile	Nonvolatile
Endurance (read/write)	∞/∞	∞/∞	$1E^6/\infty$	$>1E^{12}/\infty$	$>1E^{12}/\infty$	$>1E^{12}/\infty$
Read	Destructive	Partial Destructive	Non-Destructive	Non-Destructive	Non-Destructive	Non-Destructive
Director Over Write	Yes	Yes	No	Yes	Yes	Yes
Bit/Byte Write/Erase	Yes	Yes	Block	Yes	Yes	Yes
Write/Read/Erase Time	50 ns/50 ns /50 ns	8 ns/8 ns /8 ns	1 μ s/1-100 ms /60 ns	10 ns/50 ns /20 ns	30 ns/30 ns /30 ns	10 ns/20 ns /30 ns
Read Dynamic Range	100-200 mV	100-200 mV	Delta Current	10X-100XR	20%~40%R	?
Transistor	Low Performance	High Performance	High Voltage	High Performance	High Performance	High Performance
CMOS Logic Compatibility	Bad	Good	OK, but require high V	Good, but require high V	?	OK
New Material	Yes	No	No	Yes	Yes	Yes
Scalability Limits	Capacitor	6T	Tunnel oxide	Litho	Current Density	?
Multi-bit Storage	No	No	Yes	Yes	No	Yes
Relative Cost per Bit	Low	High	Medium	Low	?	Low

表 2-2、PRAM 的研發概況。

公司	製程	材料	容量	I_{Reset}	電極/記錄材料 接觸面積	生命期
IBM	N/A	Doped GeSb	N/A	0.09 mA	60 nm ²	3×10 ⁴
Intel	90 nm	Ge ₂ Sb ₂ Te ₅	128 Mb	0.4 mA	400 nm ²	10 ⁸
Samsung	90 nm	Ge ₂ Sb ₂ Te ₅ -N	512 Mb	0.3 mA	1000 nm ²	10 ⁶
Philips	N/A	Doped SbTe	N/A	0.1 mA	225 nm ²	10 ⁶

圖 2-6 為資料寫入 (Write) 及擦拭 (Erase) 之示意圖，當我們施予一高能量的雷射或脈衝時，因其能量所產生相對應之溫度已經超過材料的 T_m ，將會使原子的排列呈現短程有序的狀態 (即非晶態)，在脈衝或雷射消除的同時，相當於是做了淬火 (Quench) 的效果，只要冷卻速度夠快，不要碰到相變化 C 型曲線的鼻部區域，如圖 2-7 所示，就不會有結晶相的產生，使得在一般常溫下可以出現非晶態，而達到消除訊號之目的。至於要寫入訊號時，只需降低雷射或脈衝的能量，使其能量所產生相對應之溫度介於 T_c 以上， T_m 以下，就可使原子利用熱運動擴散，形成長程有序的原子排列，來達到紀錄效果。

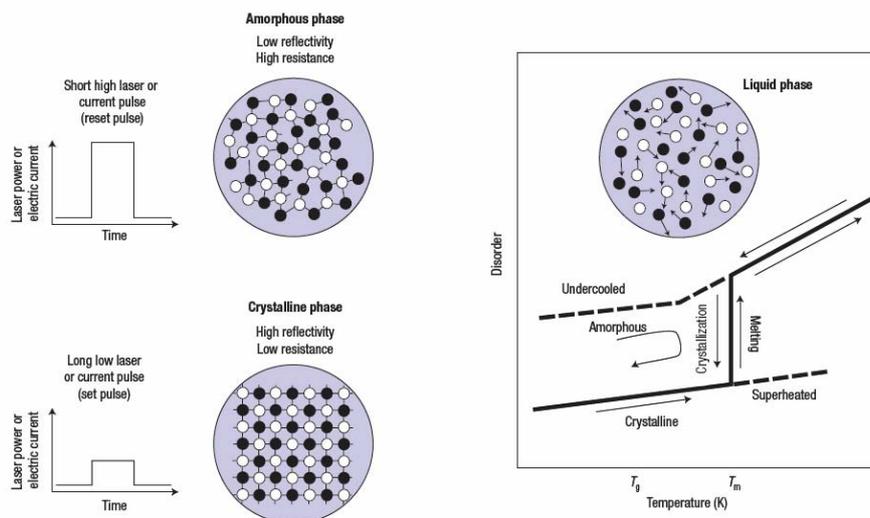


圖 2-6、資料寫入 (Write) 及擦拭 (Erase) 之示意圖[12]。

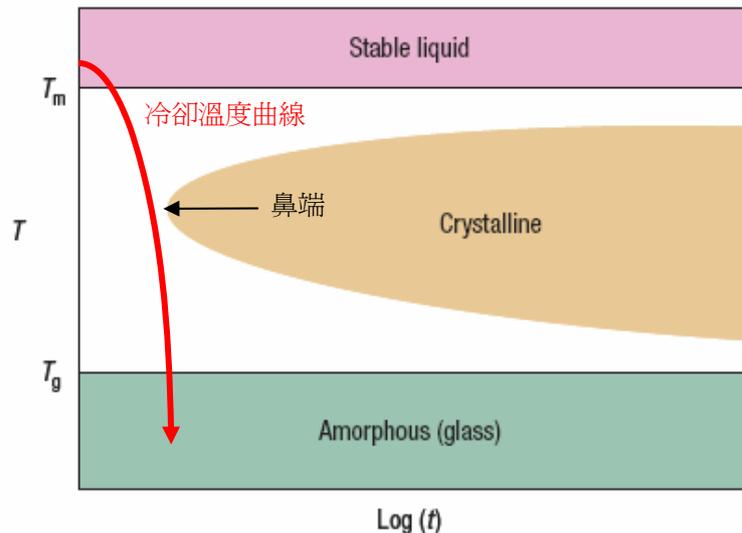


圖 2-7、冷卻速率在 TTT 曲線圖中與鼻端相對位置之示意圖[12]。

應用於 PRAM 之 Chalcogenides 材料須有幾個特性上之考量：

- (1) 材料之 T_m ：一般希望 T_m 儘量不要超過 600°C 。因為在擦拭訊號時必需要超過材料之 T_m 使其成為非晶態；若 T_m 過高，擦拭時所需之能量也就跟著越高。
- (2) 非晶態與結晶態之 R -ratio： R -ratio 越大，記憶效果越明顯，也可運用於多階記憶體 (Multi-stage Memory)。一般來說 R -ratio 至少要大於 10^2 在讀取訊號時才不會有問題。
- (3) 材料之 E_a ： E_a 至少要大於 2 eV ，而且在室溫下非晶態之結晶速率愈快愈好； E_a 若小於 2 eV ，原子在常溫下利用熱運動越過能障 (Energy Barrier) 之機率會隨著時間之增加而增加，使原本應該處於非晶態的區域轉換成結晶態機率增加，資料保存效果也就隨之劣化。
- (4) 相變化速率：相變化速率越快越好。搭配著中央處理器 (Central Processing Unit, CPU) 的處理速度越來越快，若記憶體記錄速度也能越來越快且兼具非揮發的特性，則對下世代電子產品將產生重大的影響。一般來說，要達到快速記憶之效果相變化速率至少要小於 100 nsec 。
- (5) 覆寫循環次數：為達重複記錄的要求，其覆寫循環次數必須至少大於 10^6

次才足以運用於記憶體上。

在相變化記錄材料方面，目前是以 GeSbTe 合金、SbTe 合金以及 AgInSbTe (AIST) 合金最被廣泛研究。特別是 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (以下簡稱為 GST) 合金最被眾研究者所看好且期待成為記憶體之材料。大部分的記錄材料都是以這三種合金為基地，然後再靠著改變成分比例或是藉由摻雜其它合金元素來改善其特性。圖 2-8 為各成分比例的相變化記錄材料發展狀態。

相變化紀錄材料若是根據成核速率的快慢來分類，可分為兩大類：一為成核型材料 (Nucleation-dominated) 另一為成長型材料 (Growth-dominated)。成核型材料顧名思義，在結晶過程中具有快速成核的特性，如： $\text{Ge}_1\text{Sb}_4\text{Te}_7$ 、 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) 等，而成長型材料則是在相變化過程中具有快速成長的特性，此材料大多以 SbTe 合金為基礎作摻雜，如： AgInSbTe 、 GeInSbTe 等。成核型材料在結晶時，會先是非晶區的中間形成小小的結晶核，然後成長擴散開來。而成長型材料在結晶時，會從結晶相與非晶相的介面開始，往曲率中心移動完成結晶，不會有結晶核的產生；成核型材料及成長型材料之結晶相變化過程如圖 2-9 所示。

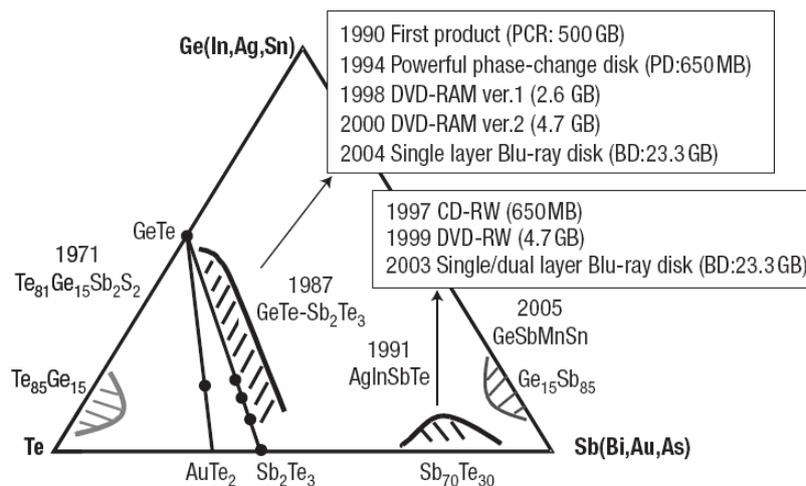


圖 2-8、各種相變化記錄材料之發展狀態[12]。

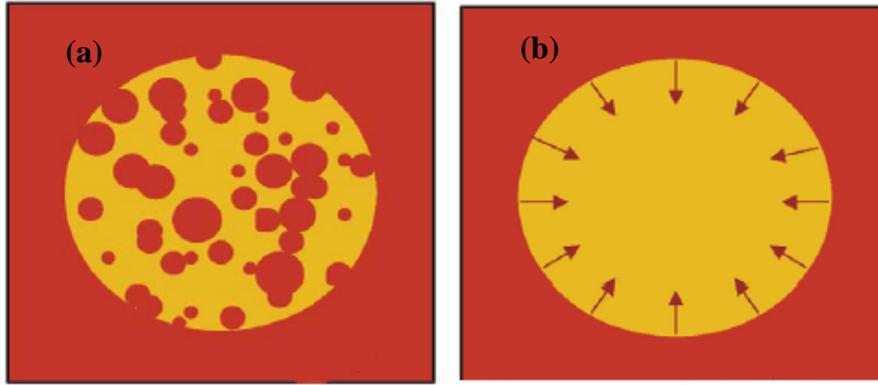


圖 2-9、(a) 成核型材料及 (b) 成長型材料之結晶相變化過程示意圖[13]。

由於 GST 具有高的熱穩定性 ($E_a > 2 \text{ eV}$)、快速結晶的特性 (結晶速率 $\leq 50 \text{ nec}$) 以及高覆寫次數 ($\geq 10^5$) 而成為 PRAM 中最常見的材料。GST 具有兩種結晶結構，一為介穩態的面心立方 (Face-centered Cubic, FCC) 結構，另一為高溫穩定相的六方晶 (Hexagonal) 結構[14、15]。如圖 2-10 所示，在剛鍍製完時，GST 一般為非晶態，當加熱至 200°C 時，其會由非晶態轉換成 FCC 相，進一步加熱至 400°C 時，則會由 FCC 相轉變為六方晶相。由圖 2-11 電阻率對溫度的變化圖中，在 150 及 350°C 會有一段陡峭的電阻率改變，此乃結構上的變化而導致電阻率會有急遽的下降。

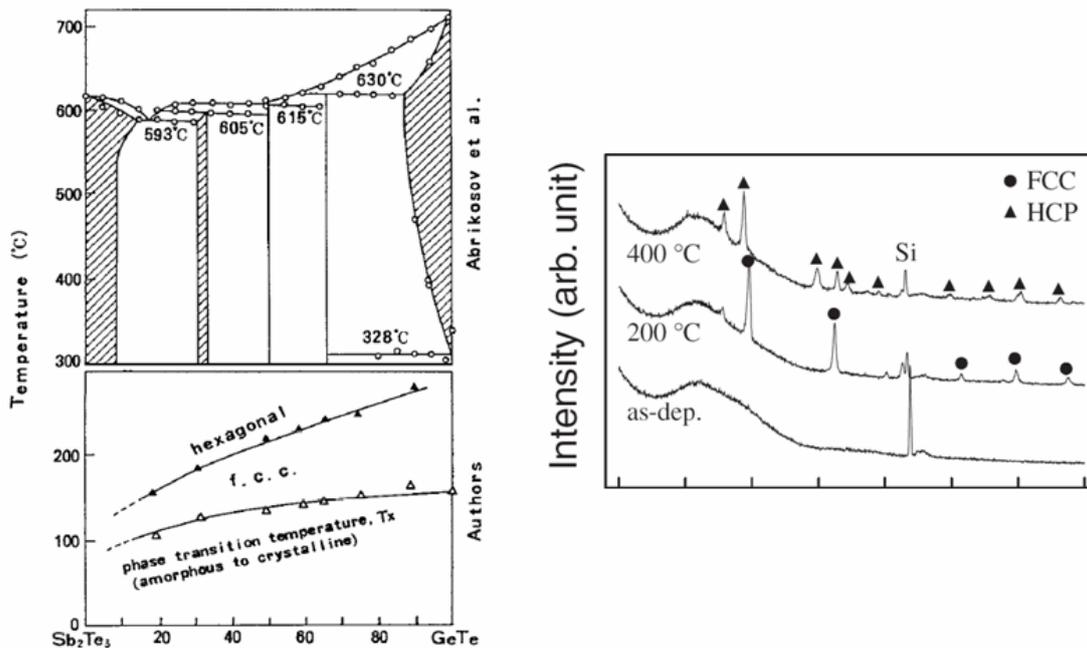


圖 2-10、不同溫度狀態下之結構示意圖[14-15]。

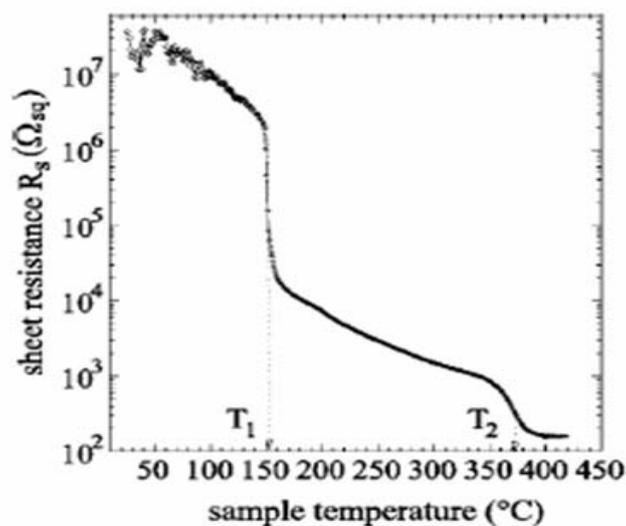


圖 2-11、電阻率跟溫度之關係圖[16]。

Yamada[12]提出 GST 的原子在 FCC 介穩相中之排列方式，如圖 2-12 所示。其中 Te 原子佔據了 4a 的位置，Ge、Sb 與 20%的空位 (Vacancy) 佔據了 4b 的位置。即 Te 原子作 FCC 排列，Ge、Sb 與 20%的空位則填入 FCC 的八面體格隙 (Octahedral Site, O-site) 中。

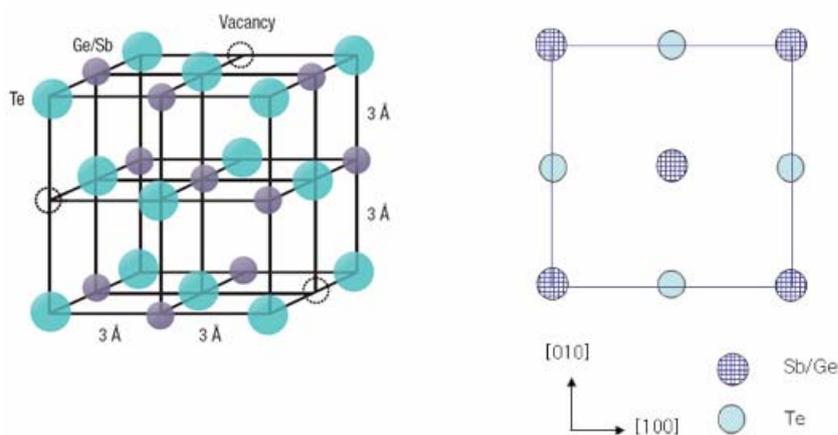


圖 2-12、FCC 介穩相中原子排列方式[12、17]。

一般我們只探討第一階段的相變化反應，即由非晶相轉變成 FCC 相間的反應。一般認為 GST 會具有快速的結晶速率乃是因為此合金成份會沿著擬二元合金線 (見圖 2-13)，快速產生 $\text{GeTe-Sb}_2\text{Te}_3$ 的成分，即使合金比例稍有偏差仍不

至於產生相分離，而達到快速結晶的效果。

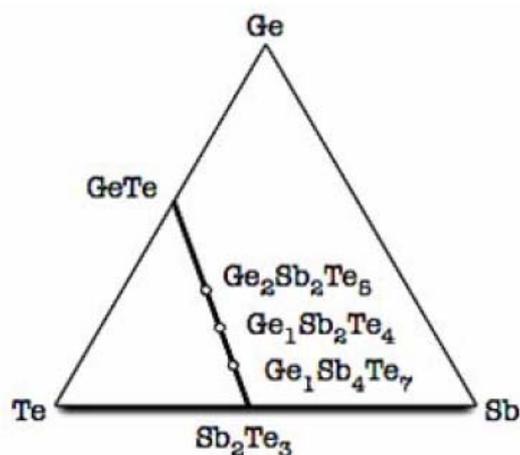
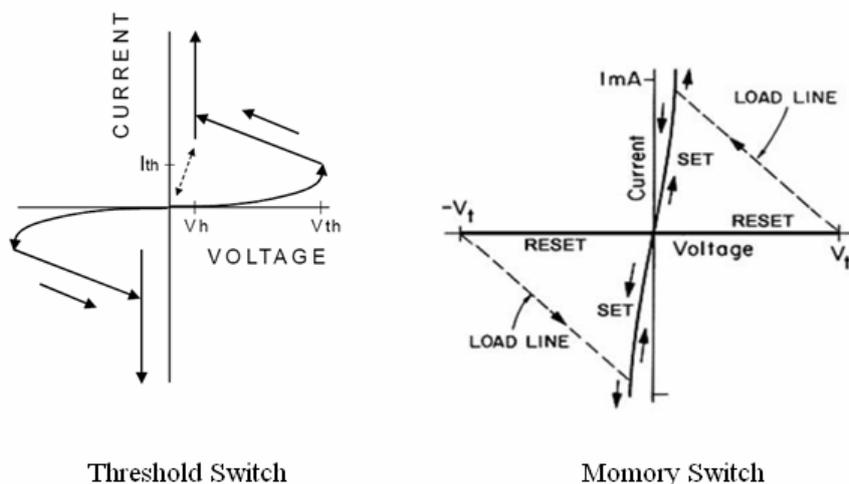


圖 2-13、Ge-Sb-Te 三元相圖及 GeTe-Sb₂Te₃ 擬二元合金線位置[18]。

2-3、Ovonic Switch [10、19]

含硒 (Se)、Te 等週期表第六族元素之 Chalcogenides 會有存在一種臨界轉換的現象，此種轉換的現象可以根據是否需要給予一臨界電壓來區分，可分為臨界轉換 (Threshold Switch) 跟記憶轉換 (Memory Switch) 兩種，如圖 2-14 所示。



Threshold Switch

Momory Switch

圖 2-14、臨界轉換及記憶轉換之 $I-V$ 曲線[19]。

記憶轉換跟臨界轉換最大的差異就在於記憶型材料由低導電度轉換至高導電度時，不需要一個最小之臨界電壓維持著就可以一直保持在高導電度的狀態，

而臨界型材料則否。根據 Kastner、Adler 和 Fritzsche 等人所提出之 KAF 模型，Chalcogenides 中的懸鍵（Dangling Bond）是不穩定的，會自發分解成兩個最低能量的缺陷對，其總反應式為：



其產生之缺陷對 C_3^+ 、 C_1^- 又稱為補捉中心（Trap Center）。在低導電度狀態下，電壓增加所產生的載子會被 Trap Center 所捕捉，不會有大電流的產生。當 Trap Center 達到飽和時，載子跟 Trap Center 之間的效應受到破壞，瞬間會有大的電流流過。當到達高導電度區時（即大電流流過），記憶型材料會發生結構上的改變，一直維持在高導電度的狀態，而臨界型材料則是形成了一個高載子濃度的通道（Filament），為維持此通道（Filament）的存在必須要提供一個臨界電壓，否則通道會消失，又回到了低導電度的狀態。

一般而言，臨界型材料所做出來之記憶體元件只有單穩態（Monostable Switches）之狀態，電流消失後即回覆到原先狀態，但記憶型材料所做出來之記憶體元件具有雙穩態（Bi-stable Switches），可以在結晶與非晶下作穩定之交換。

GST 是屬於記憶型材料的類型，當我們施加一個電壓大於其臨界轉換所需的最小電壓時，其結構會發生改變，由低導電度狀態轉換為高導電度的狀態，當外加電壓消失時，依然是維持在高導電度的狀態，不會隨之而消失。

2-4、GST 之摻雜（Doping）

改善 Chalcogenides 的特性，如 T_c 、覆寫次數、轉換電流大小等有許多的方法，其中最簡單也最有效的方法就是摻雜微量合金元素，也是目前最多人使用的方法。利用氣體反應式濺鍍，如氮（ N_2 ）和氧（ O_2 ）[20-31]已經有許多研究者討論過。摻雜的目的最主要就是要增加合金之 T_c 、熱穩定性，提升 Retention

Time。早期之摻雜主要都是運用於相變化光碟（Phase-change Optical Disks），用於提升光反射率之對比，如鉍（Bi）[32]、錫（Sn）[33-34]、銦（In）[35]、銀（Ag）[36]之添加皆可有效提升結晶相與非晶相之間的光對比，使訊號讀寫更清楚。但鉍（Bi）、錫（Sn）、銦（In）、銀（Ag）之添加對 T_c 之影響則非常有限。能夠有效提升 T_c 及循環覆寫次數的添加物首推 N_2 ，其歸因於 N_2 會在晶界形成氮化物析出，使晶粒細化，抑制了再結晶的進行[15、25]； O_2 之添加亦是如此[21-24]。近年之研究亦有人添加矽（Si）[37]、二氧化矽（ SiO_2 ）[38]、硼（B）[39]、鐵（Fe）、鋅（Zn）[40]、氟（F）[20]等，但其已經不是為光記錄媒體之應用，而是轉而作為 PRAM 之應用。

相關文獻發表至今除了 N_2 摻雜外，其 R -ratio 都會隨著雜質元素之添加而下降，沒有辦法同時讓 T_c 有明顯的增加且 R -ratio 保持在原本之值。圖 2-15 (a) 為摻雜 Mo 及 N_2 之 GST 電阻率對溫度的變化[41]，由圖可知摻雜 Mo 後因非晶態 GST 的電阻下降而使 R -ratio 下降，其數量級由未摻雜的 10^5 左右降到了 10^3 ，雖然 T_c 增加了，但是訊號的對比清晰度卻大打折扣。 N_2 的添加一般會同時增加非晶態與結晶態 GST 的電阻率，對 R -ratio 影響較小， T_c 的上昇可改善了材料的熱穩定性，有利於資料之記錄與保存。圖 2-15 (b) 為 GST 摻雜 SiO_2 的電阻率對溫度圖，其 R -ratio 也有發生下降的現象，一般來說未摻雜之 GST 其 R -ratio 數量級大約為 10^5 左右，摻雜了 SiO_2 之後下降到了 10^3 左右的大小。

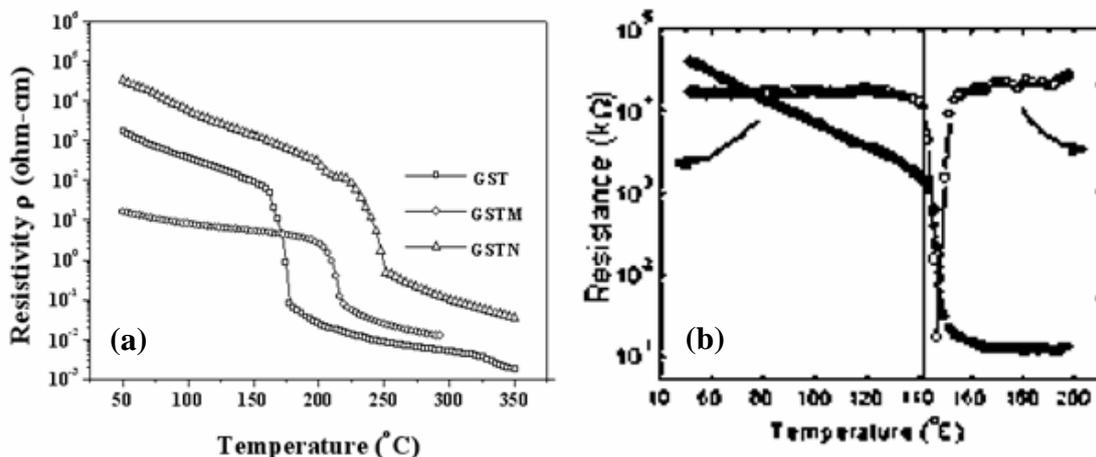


圖 2-15、(a) 摻雜 N₂ 或 Mo 之 GST 電阻率隨溫度變化之曲線圖[41]；(b) 摻雜 SiO₂ 之 GST 之電阻率隨溫度變化圖[38]。

Si、B 之添加雖然會使 T_c 上升，但其 R -ratio 亦會隨 Si、B 之添加量上升而發生下降的現象，如圖 2-16 所示。圖 2-16 (a) 為摻雜 Si 元素之 GST 電阻率隨溫度的變化曲線。摻雜 Si 元素之後，其 R -ratio（只比較第一階段由非晶相轉換為 FCC 相之相變化的電阻比值）會由 10^5 降至 10^4 左右。圖 2-16 (b) 為 GST 摻雜不同濃度之 B 原子之片電阻對溫度變化圖，隨 B 原子摻雜量越高，片電阻比值明顯地下降，B 含量過高時其比值幾乎降為零，此將使訊號讀取發生困難。

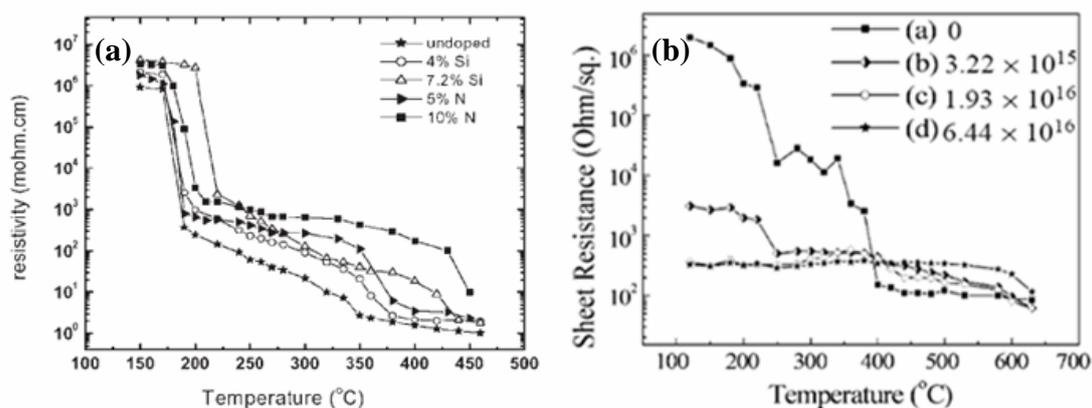


圖 2-16、(a) 摻雜 Si、N₂ 後，電阻率隨溫度變化之曲線圖[37]；(b) 摻雜不同濃度 B 後，其電阻率隨溫度變化之曲線圖[39]。

Bi 及 Sn 的添加對於早期在光碟上的應用助益頗大，因為 Bi 或 Sn 添加後可以有效的提升光對比，讓光訊號增強，使光碟資料讀取上可以更清晰。而 Bi、Sn 之添加，應用於電的特性上卻產生相反的效果。 T_c 會隨 Bi、Sn 添加量增加，而下降，使資料無法長時間儲存。Bi、Sn 添加量增加亦使 R -ratio 下降，使在資料判讀之困難度增加，圖 2-17 為不同濃度的 Bi 及 Sn 的摻雜對電阻性質之影響。

一般而言，摻雜適量的 N₂ 可以使 T_c 上升、 E_a 上升，並使 R -ratio 保持在幾乎相同級數的大小，對 PRAM 上的操作有很大的改善。O₂、SiO₂、Mo、Si 的添

加雖然可以使 T_c 及 E_a 上升，但是其 R -ratio 皆有下降的現象，使資料在判讀上的困難度增加。Bi、Sn 之添加雖然可以提升光對比，對光碟上的應用有一定程度的幫助，但在電這方面的運用會造成 T_c 的下降以及 R -ratio 的大幅下降，亦使得資料判讀困難度大增。

一般來說，只要摻雜後 T_c 有發生上升的趨勢，其所對應之 E_a 同樣也會有上升的趨勢，反之亦然；表 2-3 為 GST 摻雜不同合金元素所產生之結晶溫度差異 ΔT_c 及活化能差異 ΔE_a 之比較。

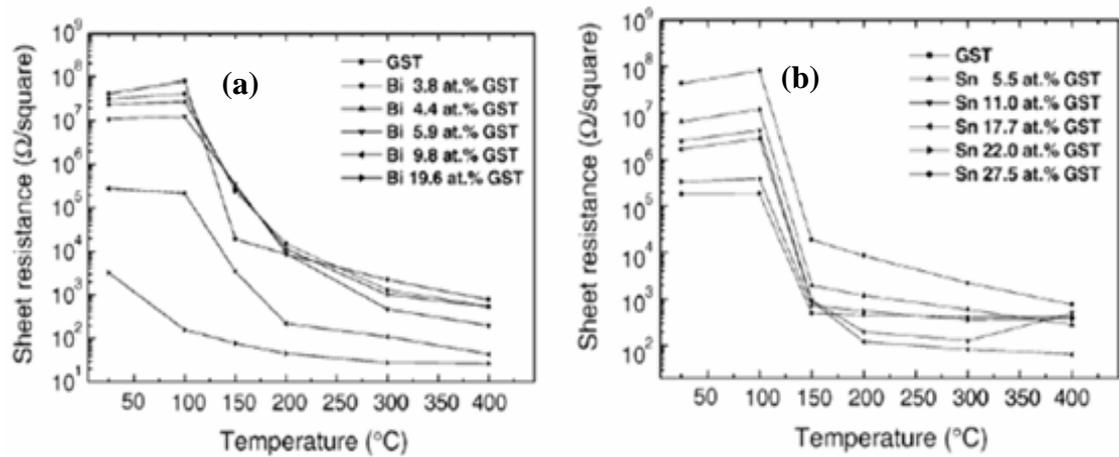


圖 2-17、(a) Bi 及 (b) Sn 摻雜對 GST 之電阻性質的影響[42]。

表 2-3、各摻雜元素對結晶溫度及活化能之影響。

摻雜元素	量測方法	R -ratio	ΔT_c ($^{\circ}\text{K}$)	ΔE_a (eV)	參考文獻
11.8 at.% N	DSC	10^5	77	1.66	29
12.8 at.% O	DSC	10^4	40	0.56	25
6.92 at.% Sn	DSC	10^3	-6.1	---	34
4 at.% Si	DSC	10^4	10	0.55	37
9 at.% Fe	穿透率	---	50	-0.99	20
12 at.% Zn	穿透率	---	109	2.95	20
4.4 at.% Bi	穿透率	10^3	-2	-1.51	32
6 at.% F	電阻率	---	-7	1	20
3 at.% SiO ₂	DSC	10^3	10	1.2	38
B	電阻率	10^1	---	---	39
3.20 at.% Mo	電阻率	10^3	35	1.7	41
3 at.% In	穿透率	10^4	2	---	35
0 ~ 3 at.% Ag	DSC	---	5 ~ 20	1.9 ~ 2.7	36

Se	DSC	10^3	---	2.65	43
Ni	DSC	10^1	---	2.43	43

$$(\Delta T_c = T_{c-doped} - T_{c-pure} ; \Delta E_a = E_{a-doped} - E_{a-pure})$$

本實驗室早期亦利用了鈦 (Ti)、釩 (V)、鎢 (W)、鎳 (Ni)、鉬 (Mo)、銦 (In) 等元素之摻雜來改善相變化光碟之記錄性質[44]，其發現微量之 Mo 摻雜能促進晶粒細化防止相分離，且 T_c 會隨著 Mo 之添加量上升而上升[41]，有助於提升覆寫次數及長時間的資料保存。

2-5、PRAM 元件結構

PRAM 的轉換電流大小會跟發生相變化的區域大小 (即面積) 有關。當接觸面積越大，欲使其發生相變化所需的電流也就越大，所以在元件的設計上就會希望其轉換接觸面積越小越好，已達到降低轉換電流的目的。一般元件結構根據不同的製程步驟及接觸面積可分為以下幾類：

- (1) 平面結構 (Simple Planar Structure)：如圖 2-18 所示，Chalcogenide 熔融區被侷限在絕緣層上方之區域，元件大小跟絕緣層厚度大小有關。此元件結構為最簡單之結構，但其轉換電流卻是所有元件中最大的一種。

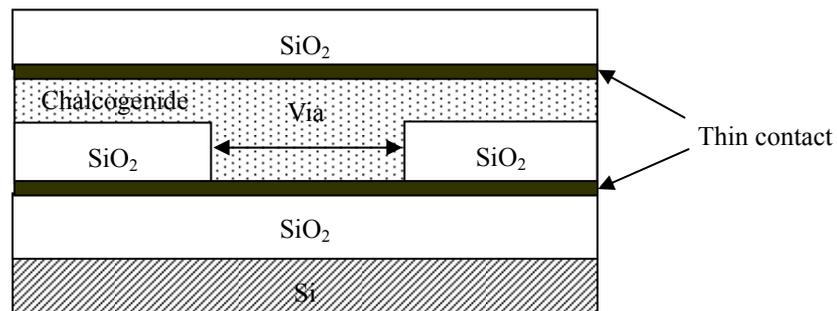


圖 2-18、平面結構之 PRAM 示意圖[45]。

- (2) 環形結構 (Ring-shaped Structure)：如圖 2-19 所示，元件之下電極與 Chalcogenide 接觸產生一個環形接觸面積，此接觸面積也就是相變化發生的區域，因其限制在下電極附近，大幅減少了相變化之體積，也使轉換電流大幅下降。

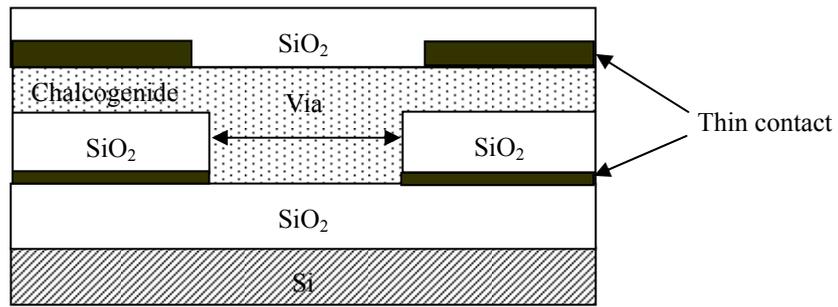


圖 2-19、環形結構 PRAM 示意圖[45]。

平面結構跟環形結構最大差異在於下電極接觸面積的大小，平面結構下電極接觸相變化區域的面積較大，需要較大的電流來發生相變化，而環形結構下電極接觸相變化區域的面積較小，只需要較小的電流就可發生相變化。圖 2-20 (a) 為平面結構跟環形結構下電極接觸面積之比較。圖 2-20 (b) 為相變化時所需輸入之電流大小比較。

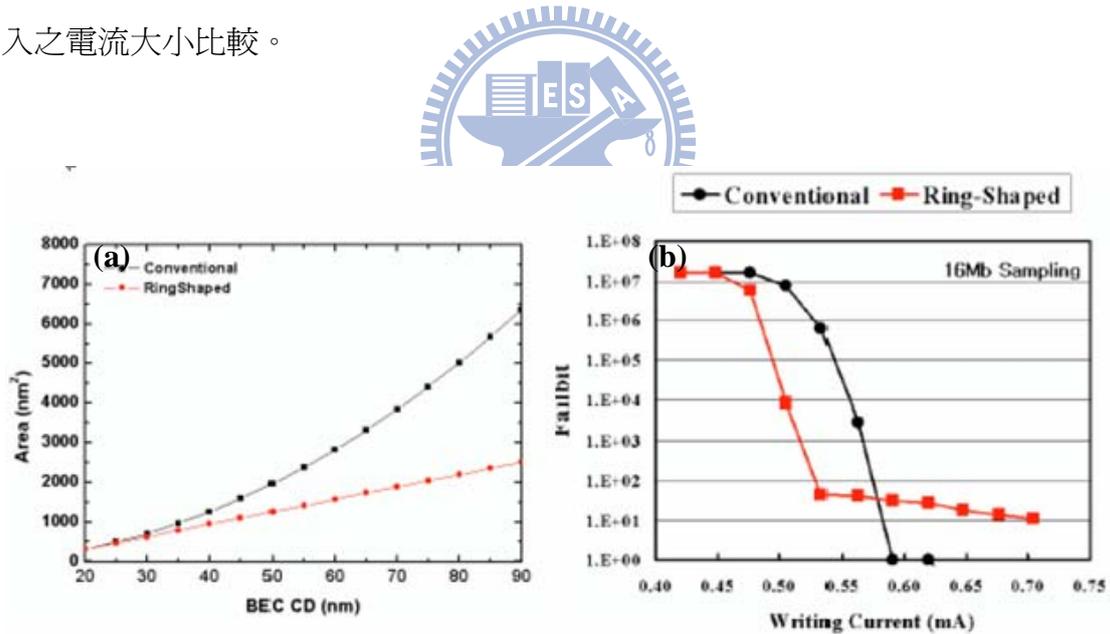


圖 2-20、(a) 環形及平面 PRAM 結構下電極接觸面積之比較；(b) 寫入電流之比較[46]。

(3) 熱阻型結構 (Heater Structure)：如圖 2-21 所示，元件之下電極為一個高電阻值之材料，利用下電極作為加熱的熱阻絲，其加熱範圍僅介於下電極上方，使其上方的 Chalcogenide 熔化成非晶相，可降低相變化時消耗之功率。

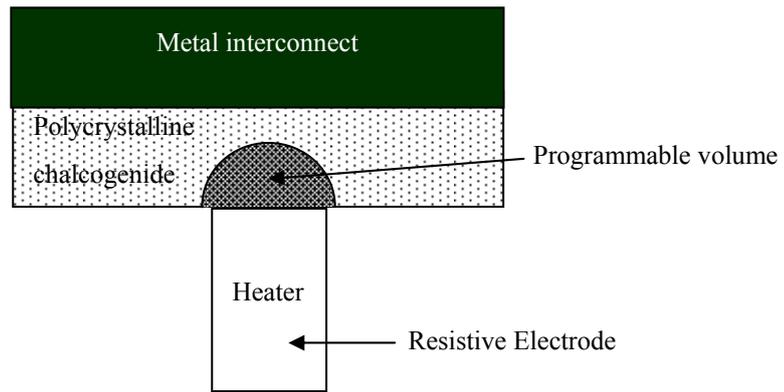


圖 2-21、熱阻型 PRAM 結構示意圖[11]。

- (4) 邊緣接觸型結構 (Edge Contact Structure)：其為熱阻型結構之進化版，利用下電極之厚度控制元件的相轉換區域，使相轉換區域減少，主要轉換區一樣在下電極，此方法可再進一步縮小程序化的體積，邊緣接觸型 PRAM 元件結構如圖 2-22 所示。

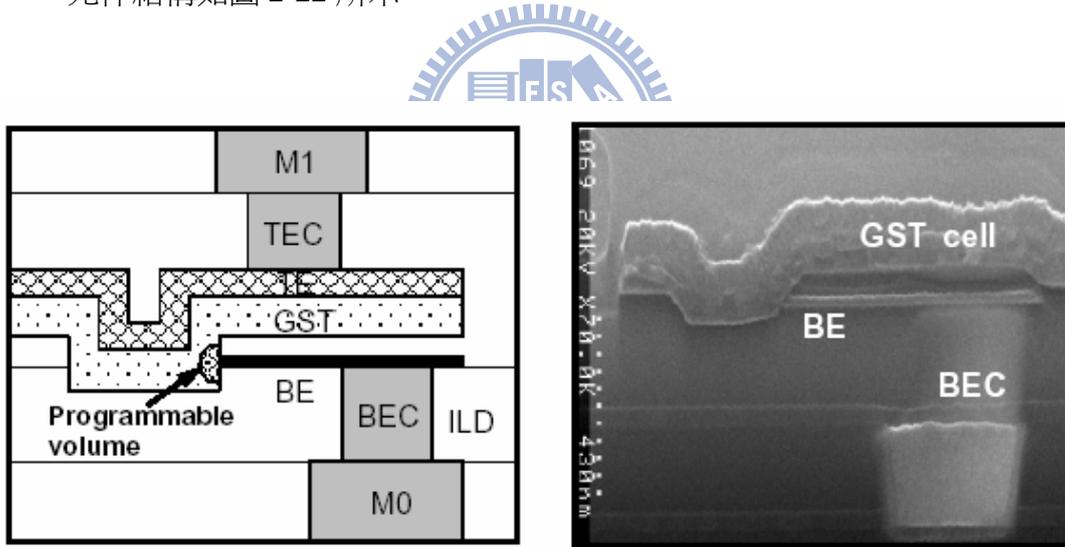


圖 2-22、邊緣接觸型 PRAM 元件結構示意圖[46]。

- (5) U 型溝槽結構 (U-trench Structure)：同熱阻型結構原理，僅結構設計上不同，如圖 2-23 所示。

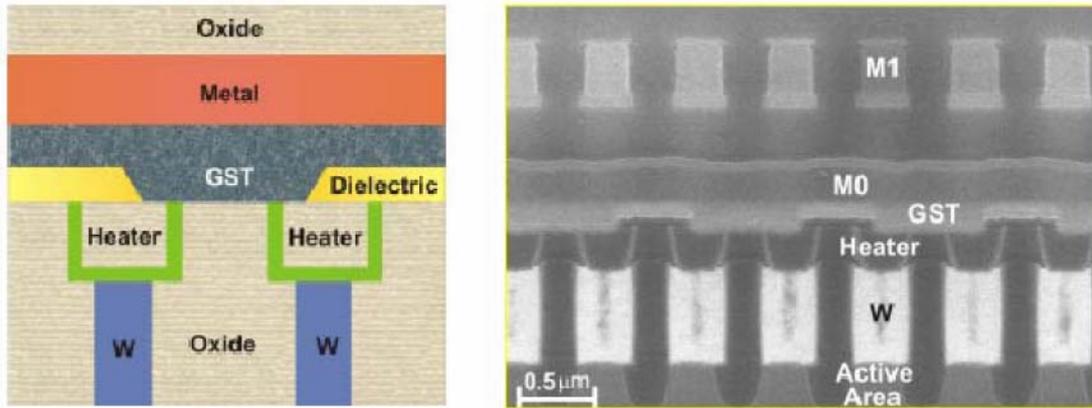


圖 2-23、U 型溝槽 PRAM 結構示意圖[46]。

元件結構的發展趨勢都是朝著越小的相變化接觸面積來發展，接觸面積越小相對所需寫入或擦拭電流也就跟著越小，如圖 2-24 所示。

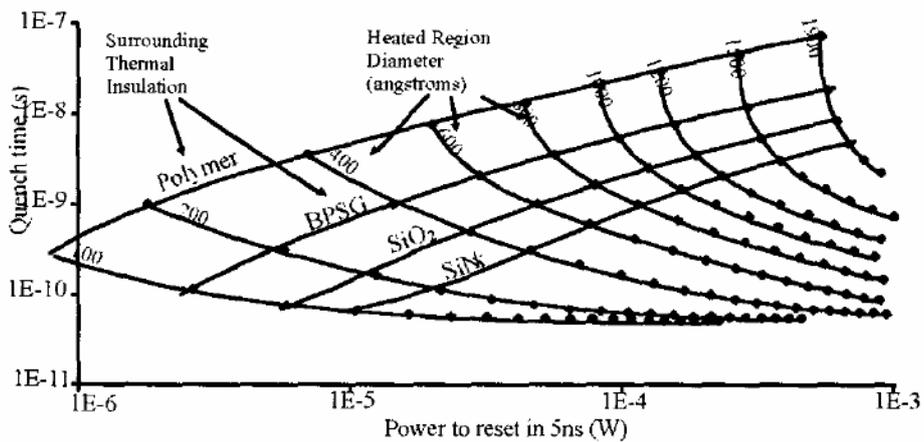


圖 2-24、元件大小與擦拭功率、擦拭時間的關係圖[45]。

元件轉換電流除了跟接觸面積有關之外，亦跟所使用的上下電極、絕緣層材料有重要的關係，也是重要的研究課題，表 2-4 為文獻中曾發表過的電極材料。

表 2-4、既往文獻報導的上、下電極材料。

記錄材料	下電極	上電極	參考文獻
Ge ₂ Sb ₂ Te ₅	Ti/AlN	TiW	47
Ge ₂ Sb ₂ Te ₅	TiW	TiW/Al	48
Ge-Sb-Te	Poly-Si	---	49
Ge-Sb-Te	TiN	---	50

Ge-Sb-Te (N)	W	TiN	51
Ge ₂ Sb ₂ Te ₅ (Sn)	W	TiW	52
Ge-Sb-Te (O)	W	W	53
Ge _x Te _{1-x}	Ni	Sb/Al	54
Si ₂ Sb ₂ Te ₅	TiN	Al	55

2-6、Kissinger 分析

Kissinger (1956) 導出了一個計算相變化反應的活化能的公式[41、56-58]：

$$\frac{d\left(\ln \frac{\Phi}{T_{\max}^2}\right)}{d\left(\frac{1}{T}\right)} = -\frac{E_a}{k_B} \quad (2-2)$$

式 (2-2) 中， T_{\max} = 反應速率最大時的溫度， Φ = 升溫速率 $\left(\frac{dT}{dt}\right)$ ， k_B = Boltzmann 常數 (1.38×10^{-23} J/atom·°K)。求出不同的升溫速率實驗對應之 T_{\max} ，再畫出 $\ln \frac{\Phi}{T_{\max}^2}$ 對 $\frac{1}{T_{\max}}$ 的圖，連接不同升溫速率的數據點之直線斜率即為 $-\frac{E_a}{k_B}$ ，而可求得活化能 E_a 。

由既往文獻[13、16、24、25、59-61]可知，GST 由非晶態轉換為 FCC 相之 T_c 大約介於 150 至 170°C，其溫度之差異主要來至不同升溫速率所致，一般而言升溫速率越快 T_c 會有延遲的現象，其 E_a 大約是介於 2 至 2.5 eV，如表 2-5 所列。

表 2-5、GST 之 T_c 與 E_a 值表列。

量測方法	T_c (°C)	E_a (eV)	參考文獻
DSC	143	2.23	13
DSC	162	2.36	59
DSC	160	2.99	25
DSC	152	2.08	24
DSC	170	2.28	16
電阻率	150	2.24	60
光穿透率	160	2.51	61

2-7、JMA 理論

JAM 理論係由 W.A. Johnson、R.F. Mehl 與 M. Avrami 等人提出[62-67]，其為恆溫相變化過程中生成物體積比例 (Volume Fraction) 隨時間變化的表示。JMA 分析的推導基於下列三點假設：

- (1) 等溫的相轉換過程；
- (2) 均質成核 (Homogeneous Nucleation)；
- (3) 成長速率只與溫度有關，與時間無關。

在短暫時間內，JAM 理論導出在 α 基地相中產生 β 相的體積分率 x ($x \ll 1$) 可表示為

$$x = \frac{V_{\beta}}{V} = \frac{\pi}{3} \dot{N} \dot{G}^3 t^4 \quad (2-3)$$

式 (2-3) 中 V = 總體積， \dot{N} = 單位體積的成核速率， \dot{G} = 成長速率。

若考慮延伸體積 $V_{\beta e}$ (Extended Volume) 之效應，體積分率 x 可表示為

$$\frac{V_{\beta e}}{V} = x = 1 - \exp\left(-\frac{\pi}{3} \dot{N} \dot{G}^3 t^4\right) = 1 - \exp(-kt^n) \quad (2-4)$$

式 (2-4) 為 JMA 方程式。 k 為反應速率常數，其與成核與成長速率有關； n 為 Avrami 指數，其與成長維度有關。其中 k 可表示為：

$$k = k_0 \exp\left(-\frac{\Delta H}{k_B T}\right) \quad (2-5)$$

式 (2-5) 中 k_0 為 JMA 參數， k_B 為 Boltzmann 常數， ΔH 為成核與成長的活

化能。成核與成長速率與溫度有關，其關係有如 (2-6) 與 (2-7) 式所示：

$$\dot{N} = N_0 \exp\left(-\frac{E_n}{k_B T}\right) \quad (2-6)$$

$$\dot{G} = G_0 \exp\left(-\frac{E_g}{k_B T}\right) \quad (2-7)$$

N_0 與 G_0 為成核與成長的參數， E_n 與 E_g 分別為成核與成長的活化能。比較式 (2-5)、(2-6) 與 (2-7) 可知

$$\Delta H = E_n + 3E_g \quad (2-8)$$

一般而言，可將成核與成長的活化能表示為

$$\Delta H = E_n + (n - 1)E_g \quad (2-9)$$



表 2-6 為 Avrami 指數與成長幾何形狀的關係。Avrami 指數之範圍與維度之關係為： $1 \leq n \leq 2$ 為一維成長 (One-dimensional Growth)； $2 \leq n \leq 3$ 為二維成長 (Two-dimensional Growth)； $3 \leq n \leq 4$ 為三維成長 (Three-dimensional Growth) [68]。

表 2-6、Avrami 指數與成長幾何形狀的關係[66]。

第二相形成機制	幾何形狀	成核速率	Avrami 指數 (n)
介面反應控制 (Interface control)	Plate	Rapid ; depletion	1
	Cylinder	Rapid ; depletion	2
	Sphere	Rapid ; depletion	3
	Sphere	Constant	4
擴散控制 (Diffusion control)	Plate	Rapid ; depletion	1/2
	Cylinder	Rapid ; depletion	1
	Sphere	Rapid ; depletion	3/2

	Sphere	Constant	5/2
--	--------	----------	-----

在 JMA 中探討著均質成核之等溫的相變化過程，然而，Weinberg[68]等人提出三種延伸情況亦應加入 JMA 理論中考慮：

- (1) 有限尺寸效應 (Finite Size Effect) 及非均勻成核 (Non-uniform Nucleation)；
- (2) 異向性顆粒形成 (Anisotropic Particle Formation)。
- (3) 過渡成核 (Transient Nucleation)。

在 JMA 中探討中假設相變化為成長與成核為無限 (Infinite) 的狀態，而在實際上，大部分的相變化發生於有限 (Finite) 的空間，而有著異向性之非均勻成核產生 (見圖 2-25)，以二維空間為例，其一方向可使晶粒無限的延伸成長，但另一方向則受到厚度侷限影響，圖中顯示晶粒於厚度 ξ 之 V_{ξ} 區成長，晶粒於 C 區中成核及成長，當其繼續成長時，則必須往 B1 與 B2 區域延伸，而受到厚度 ξ 之有限空間的影響，使相變化速率受到削弱，因此，隨著 ξ 的遞減而使有限尺寸效應增加。

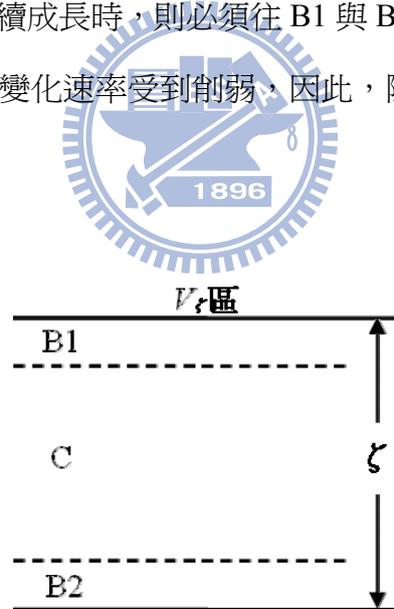


圖 2-25、相變化於有限尺寸效應示意圖[69]。

Weinberg 等人討論異向顆粒之相變化形成時，提出利用二維成長之成長形狀假設為橢圓作探討，其主軸為快速成長，而次軸為緩慢成長，而有著兩種形式的橢圓圖形，如圖 2-26 所示，A 標記為入侵者 (Aggressor)，其可從原點 (Origin) 隨著時間而成長，而 B 標記為潛在性的阻礙者 (Blocker)，其會阻礙 A 的成長路

徑及相變化，此情形會產生屏蔽效應（Shielding Effect）使相變化速率降低，當 Avrami 指數低至一維相變化時，則有預成核（Pre-nucleated）的情況產生，而使屏蔽效應增加而降低相變化速率。Birnie III 等人指出成長速度慢的情況下，會有著屏蔽效應的影響，而成長速度快則否，且亦觀察出形狀對於相變化速度的影響，其相變化快慢依序為矩形、橢圓形及菱形[70]。

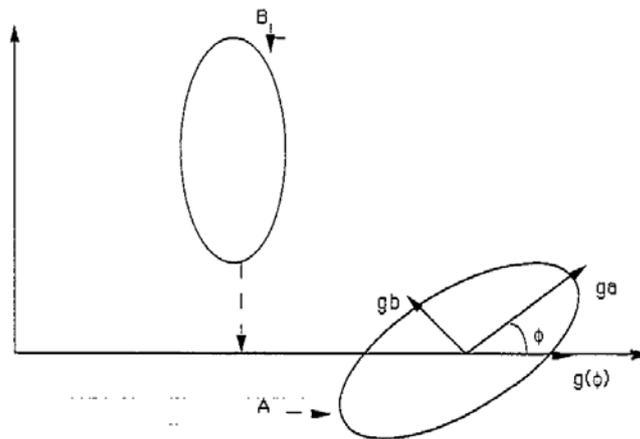


圖 2-26、橢圓型成長示意圖[69]。

Weidenhof[69]等人提出利用光反射率變化求取 Avrami 指數，利用式 (2-10) 求得結晶分率，將結晶分率對時間轉化為 $\ln\{-\ln[1-x(t)]\}$ 對應 $\ln t$ 之關係圖，圖中之斜率為 Avrami 指數，而 Y 軸的截距為 $\ln k$ 。在不同溫度下退火之試片，利用式 (2-5) 求得 ΔH 。

$$x(t) = \frac{R(t) - R_a}{R_c - R_a} \quad (2-10)$$

式 (2-10) 中之 $x(t)$ 為表示結晶分率， $R(t)$ 表示為隨時間變化的反射率， R_a 為完全非晶相之反射率， R_c 為完全結晶相反射率。圖 2-27 為典型 JAMK 圖形，在此圖中發現有兩階段的變化，起初之非線性區域定義為孕核期，此段斜率對 Y 軸之截距不固定，其表示 k 不是定值，亦代表著成核速率不固定。當時間經過 τ 後，

曲線呈現為線性， k 不再隨時間變化，代表成核速率穩定，故定義 τ 為孕核時間，其會隨著溫度愈低而增加，如圖 2-28 所示。

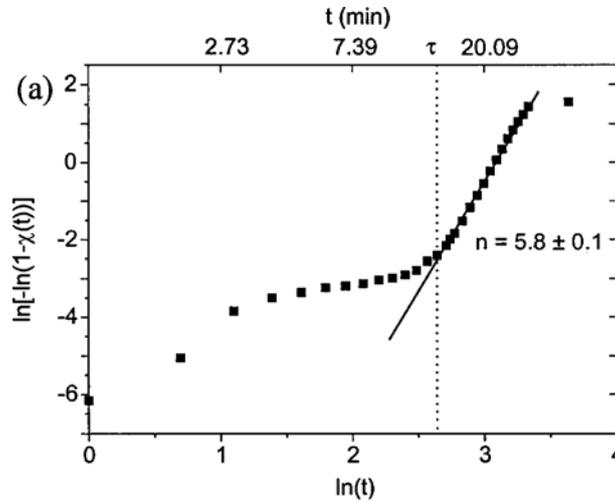


圖 2-27、典型 JMA 圖形[71]。

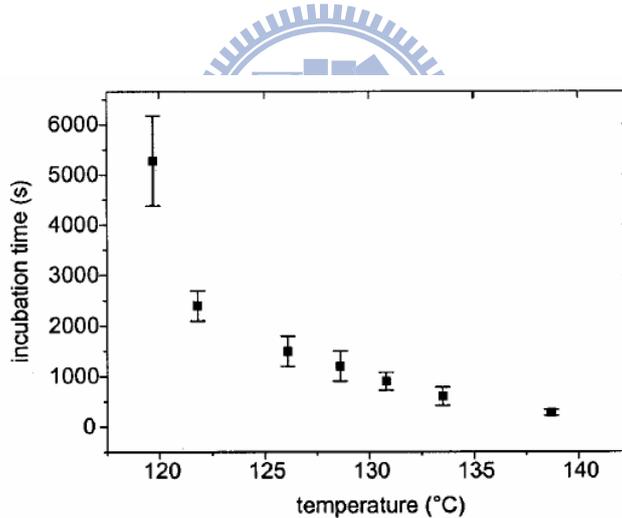


圖 2-28、孕核時間與溫度之關係圖[71]。

圖 2-27 中所求得之斜率為 Avrami 指數值，Weidenhof 等人就此現象，而提出了兩種 JMA 圖形之時間定義的見解：

- (1) 定義相變化之起始點時間為 $t = 0$ ，此點為試片即時達到所需溫度的時間。
- (2) 忽略小部份材料在 $t < \tau$ 時之結晶，而定義 τ 為相變化的開始。

將 $\tau = 0$ 定義為相轉化的起始點，即孕核時期後的階段，其成核速率穩定；

經過重新定義起始時間點後，使原本較高 Avrami 指數值明顯的下降，如圖 2-29 所示。

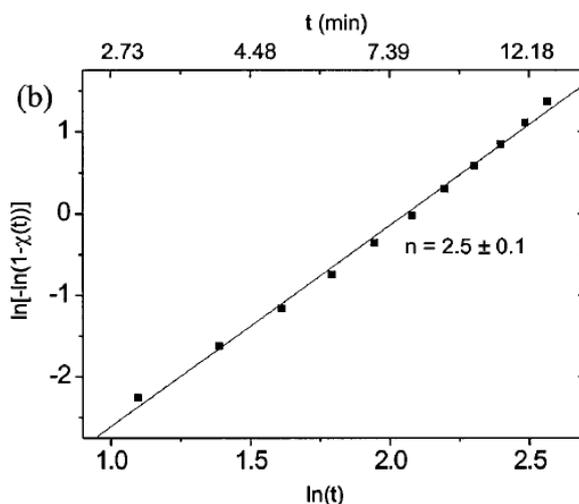


圖 2-29、重新定義起始時間 $\tau = 0$ 之 JMA 圖形[71]。

2-8、研究動機

相變化記錄材料之摻雜及其對物理性質之影響是近幾年來相當受到重視的一項研究，但是真正能夠大幅提升其特性的摻雜元素卻極少。從既往文獻中發現，當 GST 在經過多次循環記錄之後，Te 元素會發生偏析 (Segregation) 而使得相變化從可逆 (Reversible) 變成了不可逆 (Irreversible)，而使記憶效果消失。故開發新型的元素摻雜以期對 GST 之改質有更明顯之效果，本論文研究選擇在負電度 (Electronegativity, χ) 與 Ge、Sb 與 Te 有相當差距的金屬元素進行摻雜，期望能藉此達到抑制 Te 偏析之效果，並藉此改善其 T_c 、Retention Time 等性質，亦藉由一簡易的環型 PRAM 元件來量測相變化轉換所需之臨界電壓 (V_{th})，以驗證其應用於 PRAM 之可行性。

第三章

實驗方法及步驟

3-1、實驗流程

實驗方法及步驟如圖 3-1 所示。

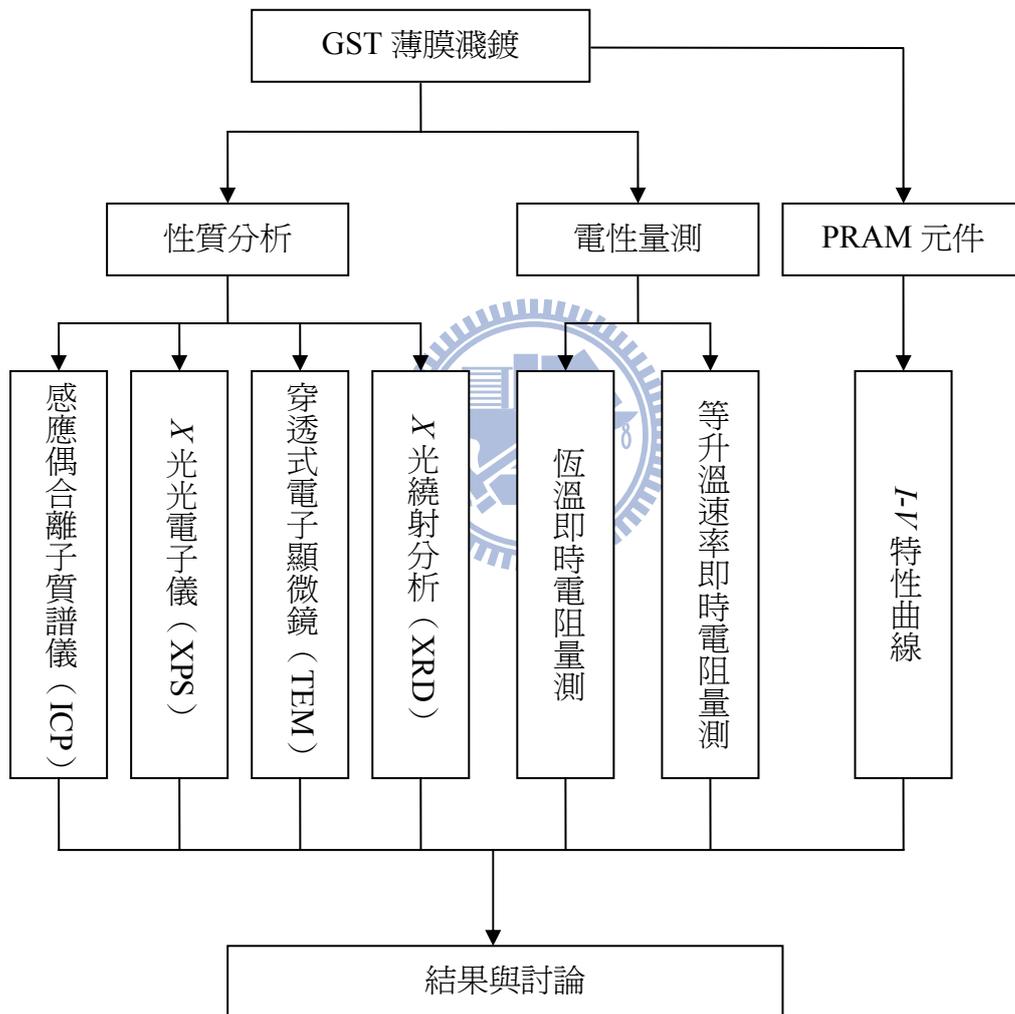


圖 3-1、實驗流程圖。

3-2、試片製備

n-型、(100) 矽晶圓先以溼式氧化法 (Wet Oxidation) 長成一層約 500 nm

厚的矽氧化物層，其目的為防止電性量測時所產生的漏電現象。經氧化過後，以鑽石筆將矽晶圓切成 1.5 cm×1.5 cm 大小的試片做為薄膜濺鍍時之基板。GST 薄膜濺鍍係以自組的六靶濺鍍機進行，系統之背景壓力小於 2.0×10^{-6} torr，工作壓力為 3.0 mtorr；濺鍍時使用射頻磁控濺鍍（RF Magnetron Sputtering），靶材為購自 Tosima 公司所之 3 吋 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 靶，濺鍍功率為 50 W，薄膜厚度控制在 150 nm。工作氣體為 Ar，流量為 10 sccm。

3-3、Ce 之摻雜

摻雜是利用貼靶濺鍍法[72]進行，Ce 薄片（購自 Alfa Aesar，0.25 mm 厚，純度 99.9%）先切成 0.6 cm×0.6 cm 之大小，一個 Ce 金屬片面積約為 1%靶材面積，本實驗利用不同的 Ce 貼靶數目（1、3、5、7 與 10 片）完成不同 Ce 濃度之摻雜，將已切好之 Ce 金屬片對稱地置於 GST 靶上，濺鍍時 Ce 將隨著 GST 一起被濺鍍而成為摻雜之 GST 薄膜。



3-4、即時電性量測

GST 薄膜試片鍍製完成後，即置入自組之即時電性量測系統做升溫或恆溫實驗，即時電性量測系統之架構如圖 3-2 所示。

電性量測於真空環境中進行。使用機械幫浦將真空腔（1）抽至約 60-70 mtorr，再通入氬氣（Ar），如此重覆 3-4 次，再抽氣，以確保腔體內部的氧氣存量低到不足以氧化試片。

試片置於真空腔體中的銅製加熱平台（2）上，下方以溫控器控制鹵素燈管加熱，並在銅製平台之腹部置入一 K-type 熱電偶（3），以確保實驗溫度之準確性。片電組之量測是由並排且等距的四根探針所量測，最外側的 A 和 D 探針由 Keithley 2400 電源供應器供應固定的電流，而 B 和 C 探針量測此兩點間的電位差。利用電阻率（Resistivity, ρ ）與電流（ I ）、電位差（ V ）的關係式：

$$\rho = \frac{Vd\pi}{\ln 2} \quad (3-1)$$

計算出電阻率並記錄電阻率又時間的關係，(3-1)式中 d 為膜厚， π 為圓周率[73]。

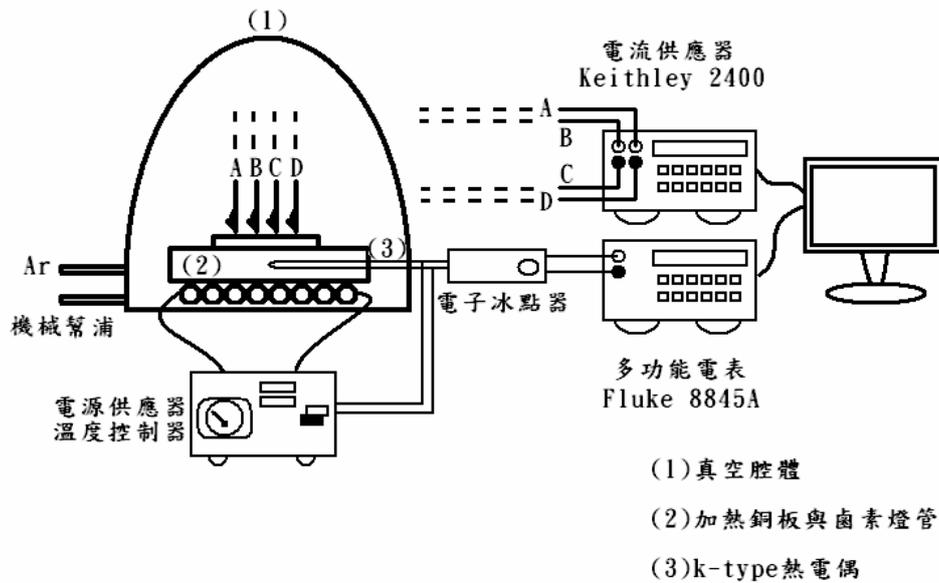


圖 3-2、即時電性量測系統之架構示意圖。

3-5、XRD 分析

XRD 試片分析之作法如同電性量測之方法，將已鍍製完之 GST 試片利用 $5^{\circ}\text{C}/\text{min}$ 的升溫速率，並且保持真空腔體的真空度在 60-70 mtorr，來回抽氣以確保腔體內部的氧氣存量低到不足以氧化試片，之後在升溫至不同退火溫度持溫 30 分鐘後，利用國家同步輻射研究中心 (National Synchrotron Radiation Research Center, NSRRC) 的 X 光繞射儀 (X-ray Diffractometer, M18XHF, Material Analysis and Characterization SRA) 做低掠角入射繞射 (Grazing-angle Incidence Diffraction) 分析，X 光來自 Cu-K α 輻射 ($\lambda = 0.1504 \text{ nm}$)，工作電流與電壓分別為 200 mA 及 50 kV，入射角度為 1° ，掃描角度範圍由 20 至 80° ，掃描速度為 $3^{\circ}/\text{min}$ 。

3-6、TEM 與元素 Mapping 分析

將 GST 薄膜鍍製在 KBr 錠上，利用 KBr 易溶於水之特性，將 KBr 溶解於去離子水中並用 500 mesh 銅網將之撈起 GST 薄膜即成爲 TEM 試片。利用 Jeol 2100 及 Philips Tecnai F-20 TEM 進行微觀結構觀察，並以 TEM 所附之能量散射光譜儀（Energy Dispersive Spectroscopy, EDX, Genesis）進行元素 Mapping 以觀察摻雜之 Ce 的分佈。元素 Mapping 部份係委託閎康科技（Materials Analysis Technology Inc.）進行，在 Mapping 時先選定一個區域，利用 HADF（High Angle Annual Dark Field）偵測器來偵測高角度的環形暗場相，偵測到後選定欲分析之區域，利用 TIR 軟體來進行 EDX 元素 Mapping。範圍設定上一般 x 軸有 100 個 Pixel，而 y 軸是作等比例的變化，每個點的擷取時間爲 0.5 秒。

3-7、ICP-MS 成分分析

將沉積在玻璃基板上之 GST 薄膜，利用感應耦合電漿質譜分析儀（Inductively Coupled Plasma Mass Spectrometer, ICP-MS, Perkin Elmer, SCIEX ELAN 5000）進行成分分析，以獲得貼靶數目所對應之 Ce 摻雜濃度關係。

3-8、XPS 分析

利用 X 光光電子儀（ X -ray Photoelectron Spectroscopy, XPS, Microlab350, VG Scientific）來分析摻雜 Ce 原子所產生之鍵結狀態，以分析 Ce 原子是否有與 GST 中之各元素產生化學反應抑或僅是一固溶之雜質元素（即不參與化學鍵結反應）。圖譜之曲線配湊（Curve Fitting）係利用 XPSPEAK41 軟體進行之，利用已知的資料庫輸入後，軟體即會自動產生最有可能的結果來作曲線配湊。

3-9、Kissinger 分析

將已鍍製完之試片以六個不同的升溫速率（1、2.5、5、10 及 16°C/min）加熱，記錄時間對溫度、時間對電阻的關係，並將此兩組記錄轉換成溫度對電阻的

關係。取得 ρ - T 曲線後，利用微分的方式求得 $\frac{d\rho}{dT}$ - T 曲線，得到電阻率最大的溫度，也就是 Kissinger 方程式中的 T_{\max} ，將此溫度定義為 T_c ，再利用 Kissinger 方程式求得活化能 E_a 。

3-10、JMAK 分析

結晶分率的計算方法是將試片以恆溫退火，記錄電阻率隨時間的變化，再將之轉換為結晶分率。恆溫溫度是以 $5^\circ\text{C}/\text{min}$ 時的結晶溫度往下降 10°C 作為恆溫退火之溫度。將試片以 $5^\circ\text{C}/\text{min}$ 的速度升溫到所設定的溫度，記錄電阻率對時間的變化。利用 Percolation 公式 $x(t) = \frac{R(t) - R_a}{R_c - R_a}$ (即式 (2-10))，將電阻率轉換成結晶分率，代入 JMA 理論計算 Avrami 指數 (n)

3-11、Retention Time 分析[74]

Retention Time 之量測與恆溫實驗相似，其係將試片置於即時電性量測系統中，在一固定之加熱溫度下量測電阻率隨時間的變化，記錄其電阻率降至初始值的一半時所需要的時間 ($t_{1/2}$ = Time of Failure)，之後改變試片加熱溫度，重複上述實驗並記錄對應之 $t_{1/2}$ ，假設 $t_{1/2}$ 隨溫度之變化關係符合 Arrhenius 方程式，

$t_{1/2} = t_0 \times \exp\left(\frac{E_a^f}{k_B T}\right)$ ，則由 $\ln t_{1/2}$ 對 $\frac{1}{k_B T}$ 圖之斜率即可求得 E_a^f 。測試溫度是選擇

T_c 以下 30°C 範圍內的四個溫度進行之。

3-12、Ovonic Switch 性質分析

環型 PRAM 元件製程步驟之六大步驟如圖 3-3 所示，其敘述如下：

- (1) 先在 Si 晶圓上用濕式氧化法長一層厚度約為 500 nm 的二氧化矽 (SiO_2)，其目的是為了防止在量測電性時的漏電現象。

- (2) 在已氧化過的 Si 晶片上鍍上一層約為 100 nm 的鈦/鎢 (W/Ti) 合金做為下電極。
- (3) 將鍍製完下電極之試片利用電漿輔助化學氣相沉積法 (Plasma Enhance Chemical Vapor Deposition, PECVD) 再鍍上一層約 100 至 150 nm 厚的 SiO₂, 此層之 SiO₂ 主要目的是為了要增加相變化區域的界面電阻以達到降低轉換電壓或電流的需求。
- (4) 鍍完 PECVD 後, 利用 BOE (Buffer Oxide Etcher) 溶液來蝕刻出一個直徑大小為 100 μm 的相變化區域。
- (5) 將相變化區域鍍製上欲量測之 Ce 摻雜 GST 相變化薄膜。
- (6) 鍍上一層約 150 nm 厚之 W/Ti 合金做為上電極。

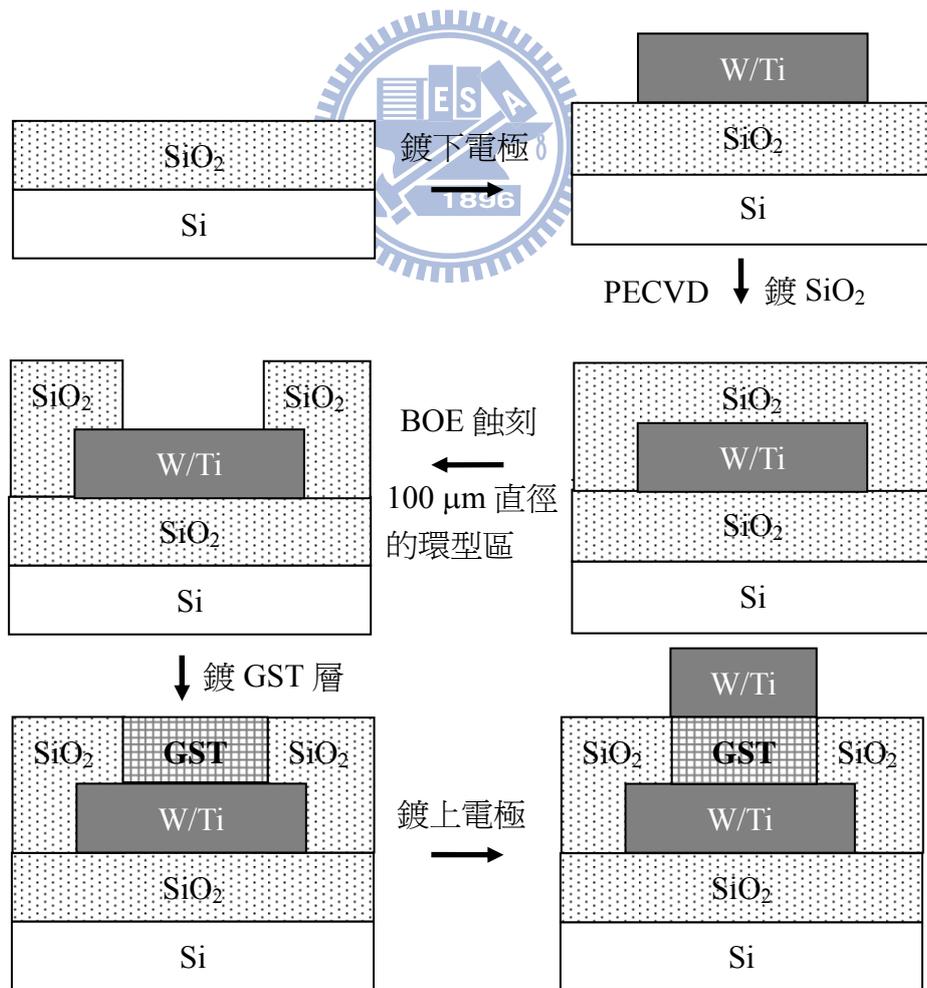
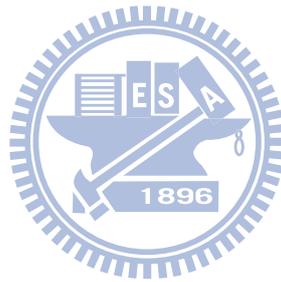


圖 3-3、環形結構之 PRAM 元件製作流程。

I - V 特性量測係利用 HP 4156B 半導體參數分析儀 (Semiconductor Parameter Analyzer)，量測 100 μm 圓型孔洞 GST 相變化區域所需之電壓及電流大小，並利用 Double Switch 的方式來回掃兩次，電壓量測範圍為 0 至 8V。



第四章

結果與討論

4-1、ICP-MS 成分分析

本研究以貼靶濺鍍法製作摻雜 Ce 之 GST 薄膜，Ce 片與靶材面積比分別為 0、3、5、7 及 10%，以 ICP-MS 對 Ce 摻雜之 GST 薄膜進行濃度分析之結果如表 4-1 所示。

圖 4-1 所示為 Ce 摻雜濃度隨貼靶數目之變化，可看出 Ce 摻雜濃度隨貼靶數之增加而增加，其呈一正比的關係。由上述未摻雜 Ce 的 GST 之 ICP-MS 分析結果換算 $\text{Ge:Sb:Te} = \frac{9.37}{72.64} : \frac{16.4}{121.76} : \frac{38.32}{127.67} = 1:1.04:2.33 = 2:2.08:4.66$ ，Ge:Sb:Te 已極接近靶材之理想化學劑量比 2:2:5。

表 4-1、ICP-MS 對 Ce 摻雜之 GST 薄膜成分分析結果（單位：ppm/at.%）。

貼靶面積比 (%)	Ge	Sb	Te	Ce
0	9.37/22.9	16.40/23.8	38.32/53.3	0
1*	NA	NA	NA	NA
3	3.64/19.5	7.44/23.4	18.21/54.6	0.87/2.4
5	3.81/17	9.37/22	22.91/56	2.31/5.3
7	3.40/14.3	9.77/24.3	22.32/53	3.96/8.6
10	3.85/16	9.16/22.3	20.96/49.4	5.70/12.3

*低於 ICP-MS 之偵測極限，無法準確測出 Ce 之濃度。

4-2、XRD 分析

利用不同退火溫度來觀察 Ce 摻雜濃度對 GST 結構變化之影響。各成分試片分別以 5°C/min 之升溫速率升溫至 200、250、300、350 及 400°C，持溫 30 分鐘後爐冷降到室溫，再以 XRD 分析 GST 結構上之變化；XRD 分析結果如圖 4-2 至 4-7 所示。

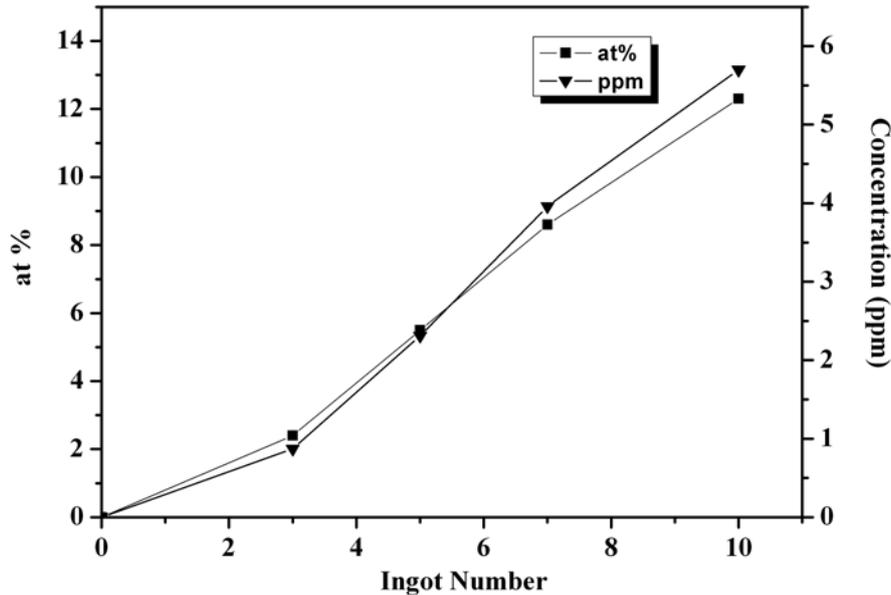


圖 4-1、GST 中之 Ce 摻雜濃度隨貼靶數目之變化圖。

圖 4-2 顯示初鍍之 GST 薄膜，無論 Ce 摻雜濃度為何，均維持非晶態；圖 4-3 至 4-7 顯示經 200°C 以上之退火後，純 GST 薄膜轉為 FCC 相[30、36、39、41、78]，升溫至 350°C 後，則轉變為六方晶相 (JCPDS 89-2233)。至於摻雜 Ce 之 GST 薄膜，由 XRD 繞射峰之高度變化可知，Ce 摻雜濃度愈高，結晶相愈不容易出現，要使 GST 結晶即須提高退火溫度，此一結果顯示 Ce 之摻雜可以穩定非晶態之 GST。圖 4-6 與 4-7 同時顯示，Ce 摻雜之 GST 薄膜經 350 與 400°C 退火後亦不會轉變為六方晶相，顯然 Ce 之摻雜亦能抑制六方晶相的出現。

XRD 圖譜亦顯示，在相同退火條件下，當 Ce 摻雜濃度越高時，繞射峰之半高寬愈寬，由 Scherrer 公式[76]可推測得知 Ce 摻雜具有細化晶粒之效果，此一結果亦將由以下之 TEM 分析證明之。

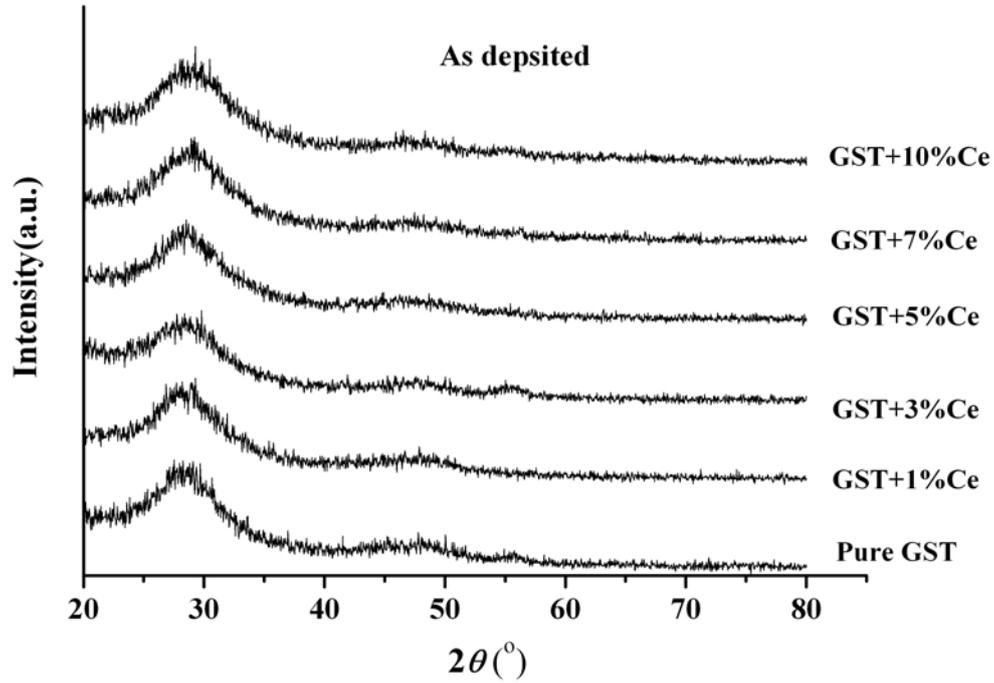


圖 4-2、不同 Ce 摻雜濃度，初鍍 GST 之 XRD 圖譜。

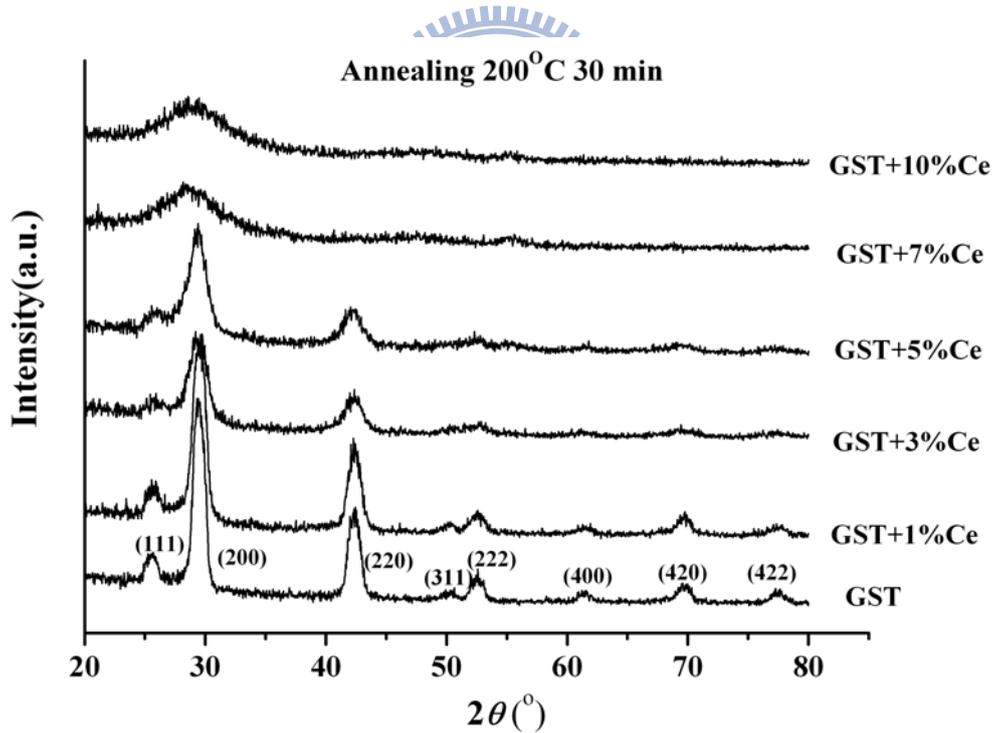


圖 4-3、不同 Ce 摻雜濃度，200°C 退火 30 分鐘之 GST 之 XRD 圖譜。

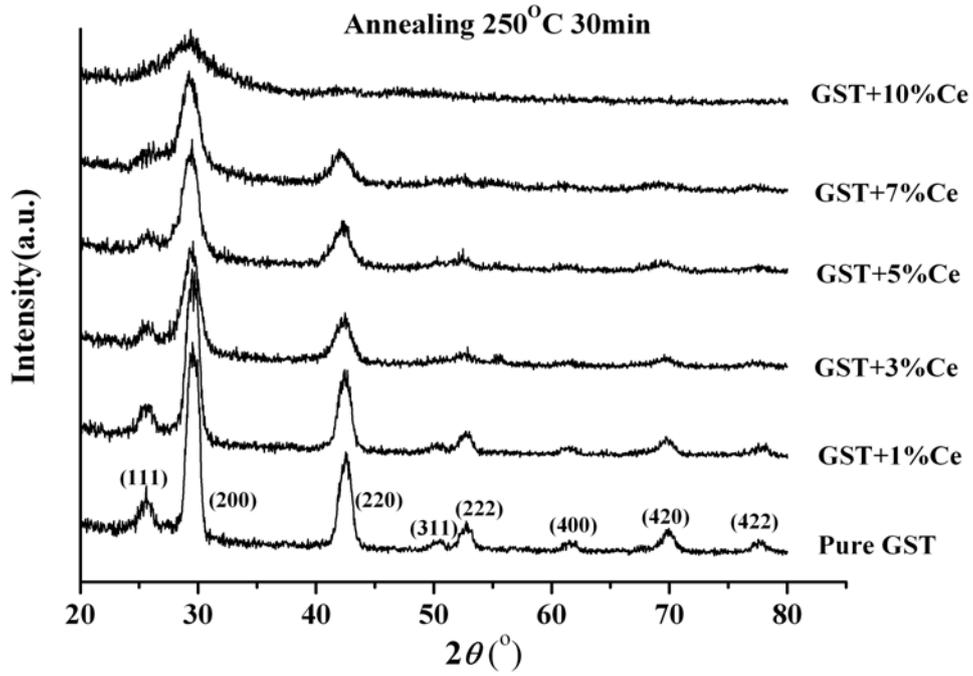


圖 4-4、不同 Ce 摻雜濃度，250°C 退火 30 分鐘之 GST 之 XRD 圖譜。

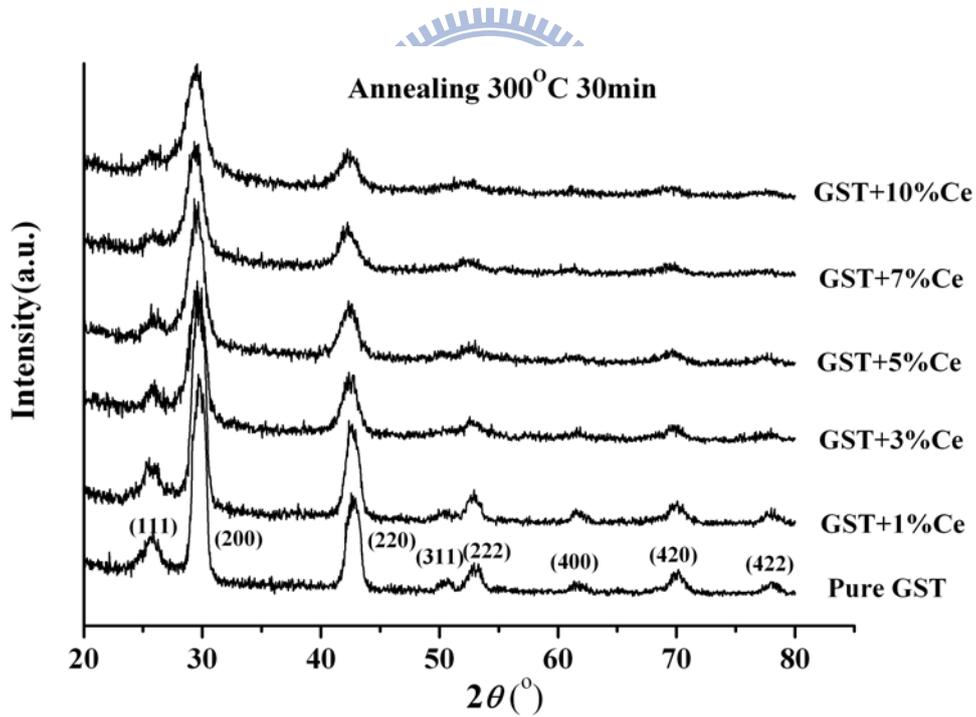


圖 4-5、不同 Ce 摻雜濃度，300°C 退火 30 分鐘之 GST 之 XRD 圖譜。

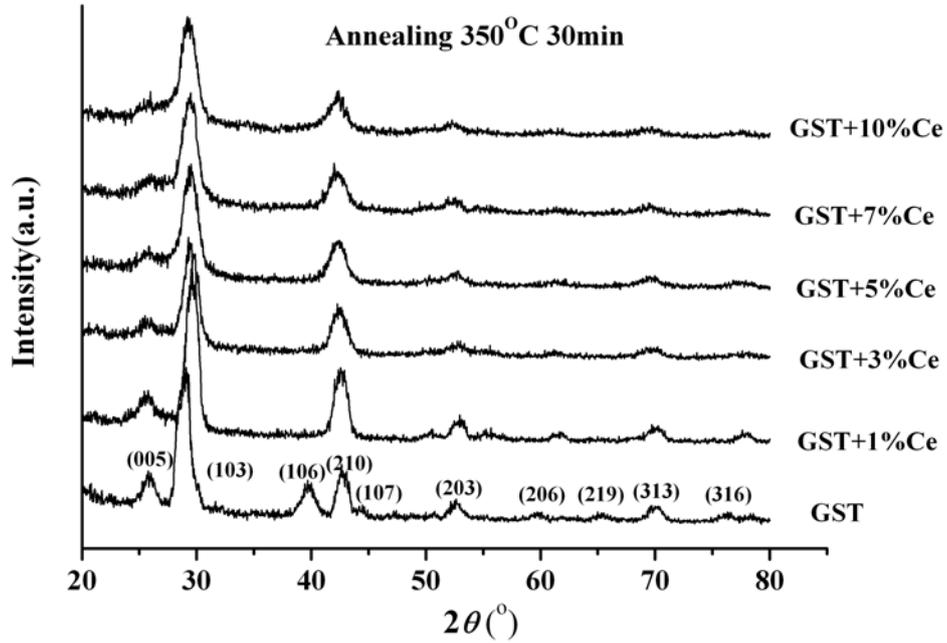


圖 4-6、不同 Ce 摻雜濃度，350°C 退火 30 分鐘之 GST 之 XRD 圖譜。

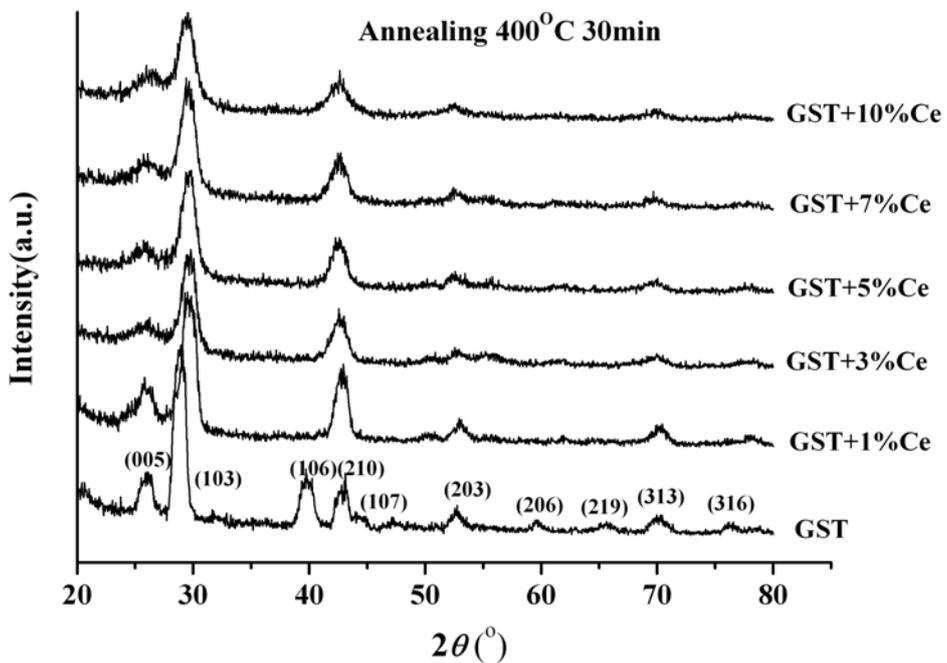


圖 4-7、不同 Ce 摻雜濃度，400°C 退火 30 分鐘之 GST 之 XRD 圖譜。

4-3、TEM 與 EDX 元素分佈分析

TEM 分析之目的在對不同 Ce 摻雜濃度 GST 之薄膜內部微觀結構進行直接之觀察。由圖 4-8 (a) 至 (d) 可知，不論 Ce 摻雜濃度為何，在退火前 GST 皆

為非晶態，此一結果與先前 XRD 分析之結果吻合。

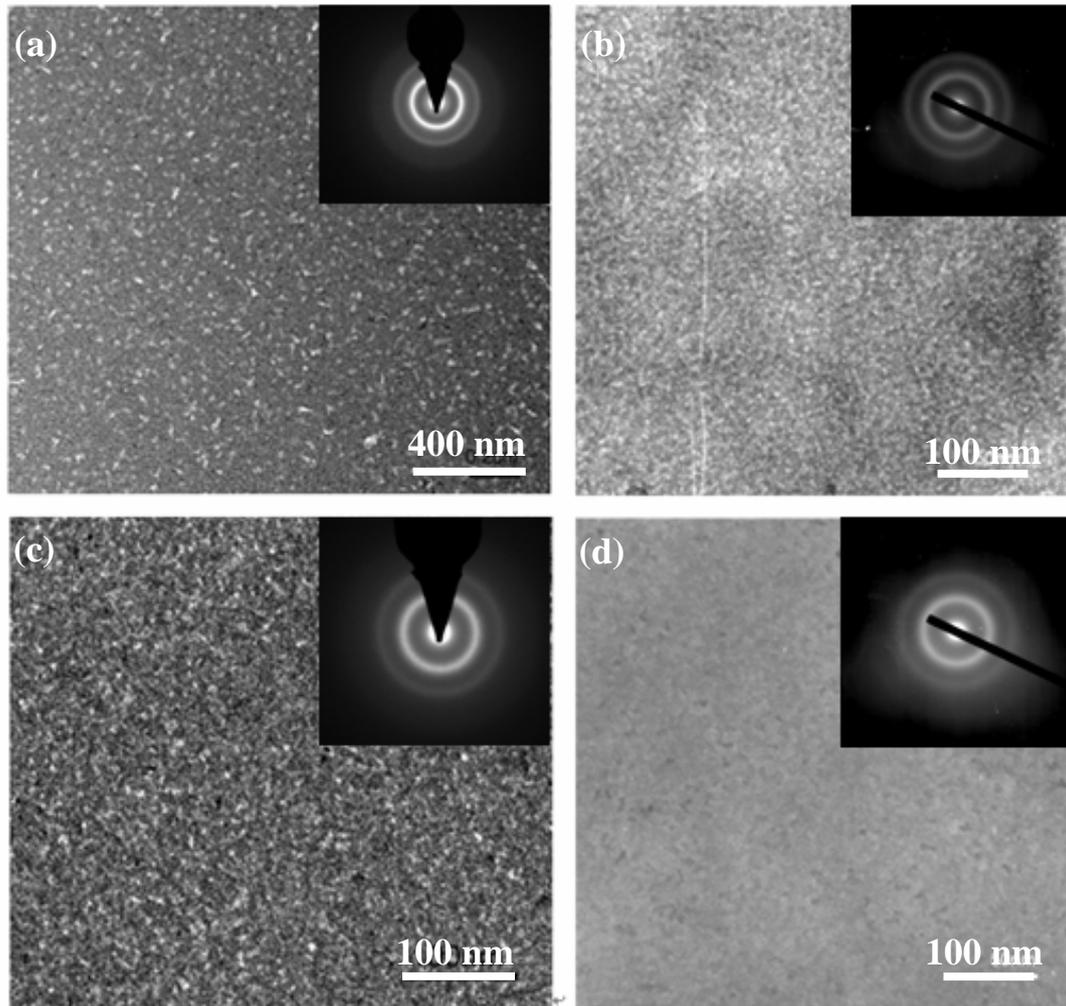


圖 4-8、(a) 無摻雜與 Ce 摻雜濃度為 (b) 3% (c) 5% 與 (d) 10% 貼靶濺鍍面積比之初鍍 GST 薄膜之明視野 (Bright-field, BF) TEM 形貌圖。

圖 4-9 (a) 至 (f) 為經 300°C, 30 分鐘之退火, 不同 Ce 摻雜濃度之 GST 薄膜之 TEM 微觀結構圖; 左邊圖為 BF 影像, 右邊圖為暗視野 (Dark-field, DF) 影像; 圖 4-10 為圖 4-9 (c) 所附之擇區電子繞射圖 (Selected Area Electron Diffraction, SAED) 對應之 Miller 指標分析, 其驗證結晶態之 GST 為 FCC 相。

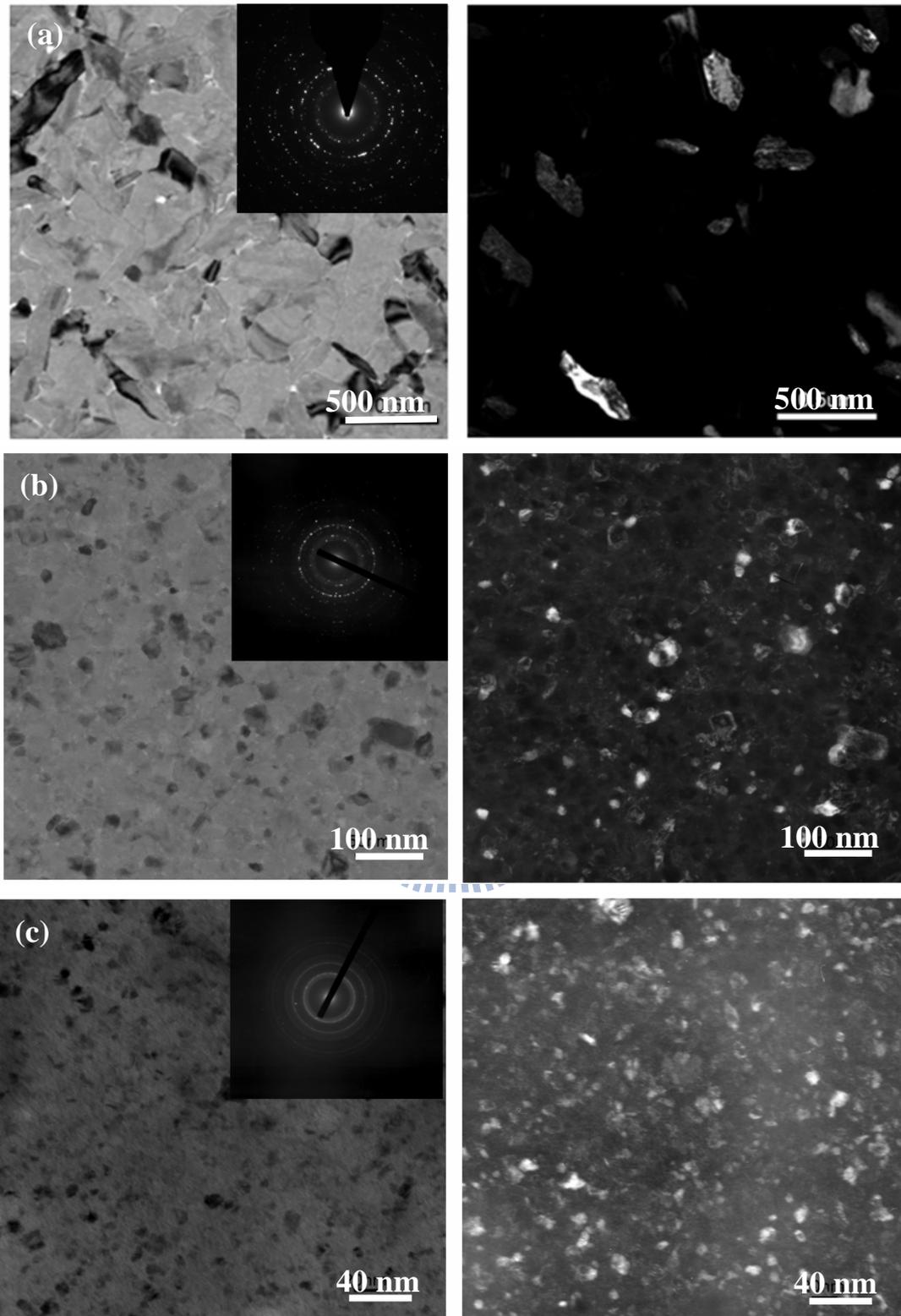


圖 4-9、經 300°C，30 分鐘退火之 (a) 未摻雜與 Ce 摻雜濃度為 (b) 1% (c) 3% (d) 5% (e) 7%與 (f) 10%貼靶濺鍍面積比之 GST 薄膜之 TEM 形貌；左邊圖為 BF 影像，右邊圖為 DF 影像。(下頁續)

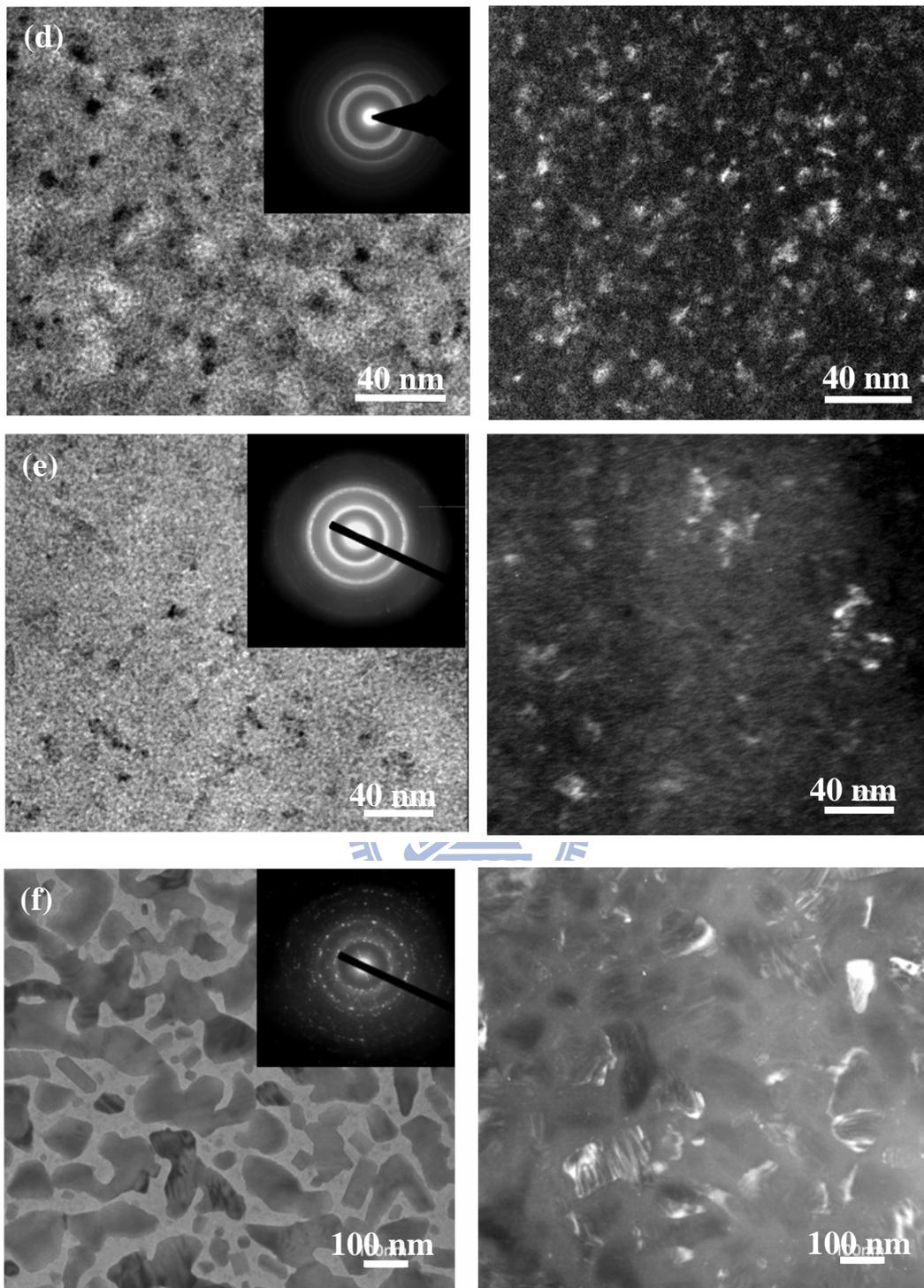


圖 4-9、經 300°C，30 分鐘退火之 (a) 未摻雜與 Ce 摻雜濃度為 (b) 1% (c) 3% (d) 5% (e) 7% 與 (f) 10% 貼靶濺鍍面積比之 GST 薄膜之 TEM 形貌；左邊圖為 BF 影像，右邊圖為 DF 影像。(續上頁)

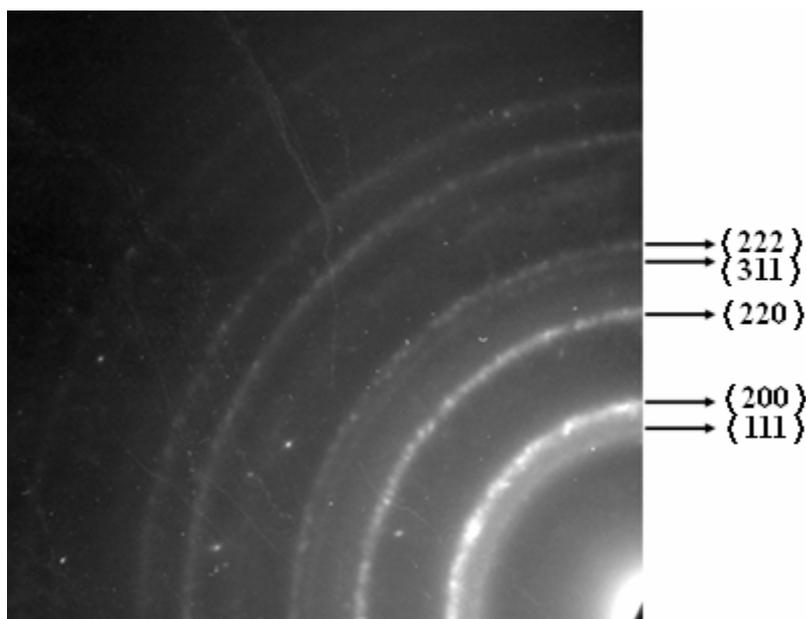


圖 4-10、圖 4-9 (c) 所附之 SAED 圖對應之 Miller 指標分析。

經 300°C，30 分鐘之退火會使 GST 轉換為結晶態，由圖 4-9 可知，當 Ce 摻雜濃度越高時，GST 中的晶粒愈小 (DF 影像能更清楚地分辨晶粒細化現象)，未摻雜的 GST 試片之晶粒大小大約為 100 nm，摻雜至 Ce 貼靶濺鍍面積比為 3% 時，其晶粒大小縮小至約 20 至 30 nm 左右，當濃度高至 Ce 貼靶濺鍍面積比為 7% 後，其晶粒已經小至約 10 nm，故 Ce 之摻雜能有效地抑制晶粒成長，亦印證了先前 XRD 分析之結果。既往的研究亦發現添加 N、O 會使 GST 之晶粒細化 [21-31、51]，Ce 之添加亦有相同的效果，一般推測晶粒細化可增加循環覆寫次數 [51]，Ce 之添加是否有相同的效果有待後續電性研究驗證之。

TEM 觀察中之突兀者為 Ce 貼靶面積比 10% 之試片形貌，圖 4-9 (f) 之 BF 與 DF 圖均顯示由許多不規則狀之粗晶鑲嵌於一基底結構組成，SAED 圖亦出現點狀之繞射環，亦印證此一粗晶結構之存在，而圖 4-5 所示之 XRD 圖譜卻顯示其為細晶結構且無二次相產生，此顯然有所矛盾，其是否因低掠角 XRD 實驗時偵測器之路徑所限以至於完整的繞射訊號遺失應更進一步驗證之。由附錄之 Ce-Ge、Ce-Sb 與 Ce-Te 之二元合金相圖可知，在 400°C 以下 Ce、Ge、Sb 與 Te 彼此之固溶度均極低，由圖 4-9 (f) 之 TEM 形貌推測，Ce 摻雜達 10% 貼靶面積比時可能已超越其在 GST 中之固溶度，過飽合之 Ce 於是與 Ge、Sb 或 Te 反應

形成 IMC 相，由相圖知可能之 IMC 相為 α -CeGe_{2-x}、CeSb₂ 或 CeTe₃（依之後的 XPS 分析，最有可能者為 CeSb₂ 或 CeTe₃）；因此圖 4-9 (f) 之 TEM 形貌極可能為固溶 Ce 之 GST 與上述 IMC 之混合結構，至於 IMC 之種類為何則有待後續研究鑑定之。此一結果是否破壞 GST 之記錄能力亦有待研究，唯之後的 Kissinger 與 Retention Time 分析顯示此一 Ce 摻雜之 GST 的活化能 E_a 與 E_a^f 值均已偏離上升趨勢而下降，顯然 Ce 貼靶濺鍍面積比為 10% 之摻雜已過量，故 Ce 對 GST 之摻雜有一上限。

EDX 元素分佈分析係為了解 Ce 在 GST 中是否有偏析之行爲，圖 4-11 及圖 4-12 為未摻雜 Ce 的 GST 薄膜，退火前、後之 Ge、Sb 及 Te 元素 Mapping 圖；圖 4-13 及圖 4-14 分別為 Ce 貼靶濺鍍面積比為 5% 之 GST，退火前、後 Ge、Sb、Te 及 Ce 元素之 Mapping 圖。

元素 Mapping 的結果顯示，在非晶態 GST 中，Ge、Sb、Te 及 Ce 的元素皆為均勻分布，並無顯著之偏析行爲，結晶態中 GST 似乎形成富 Ge 相與富 SbTe 相，但 Ce 仍維持均勻分布。此意味著無論 GST 之結晶結構為何，Ce 原子均以固溶 (Solid Solution) 之形式存於 GST 晶格中，故推測在退火過程中，Ce 係以固溶強化之機制使 GST 之晶粒產生細化，此亦可由原子半徑大小之比較獲得此一結論 ($r_{\text{Ce}} = 0.185 \text{ nm}$ ，大於 $r_{\text{Ge}} = 0.125 \text{ nm}$ 、 $r_{\text{Sb}} = 0.145 \text{ nm}$ 與 $r_{\text{Te}} = 0.140 \text{ nm}$)。

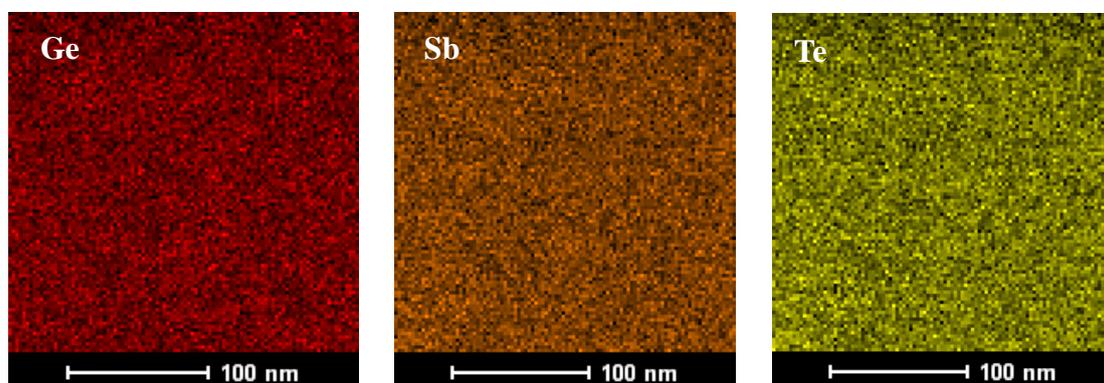


圖 4-11、未摻雜 Ce、非晶態 GST 薄膜退火前 Ge、Sb 及 Te 元素 Mapping 圖。

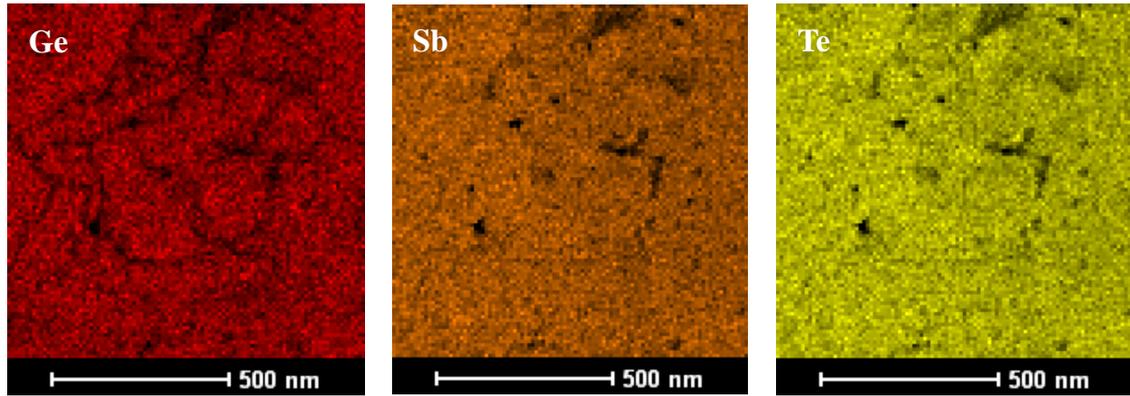


圖 4-12、未摻雜 Ce、非晶態 GST 薄膜退火後 Ge、Sb 及 Te 元素 Mapping 圖。

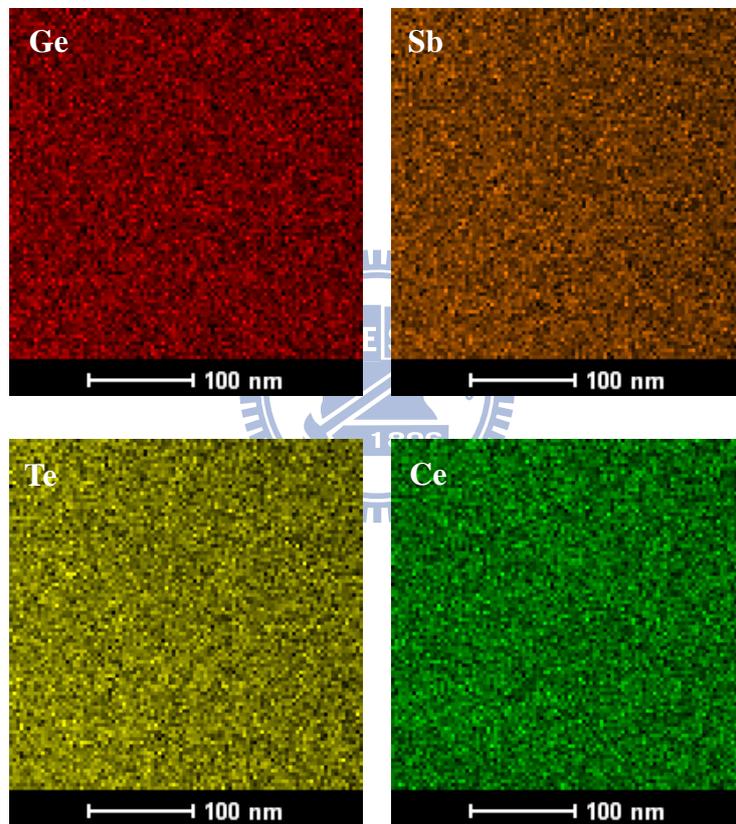


圖 4-13、Ce 摻雜之貼靶濺鍍面積比為 5% 之 GST，退火前（非晶態）Ge、Sb、Te 及 Ce 元素之 Mapping 圖。

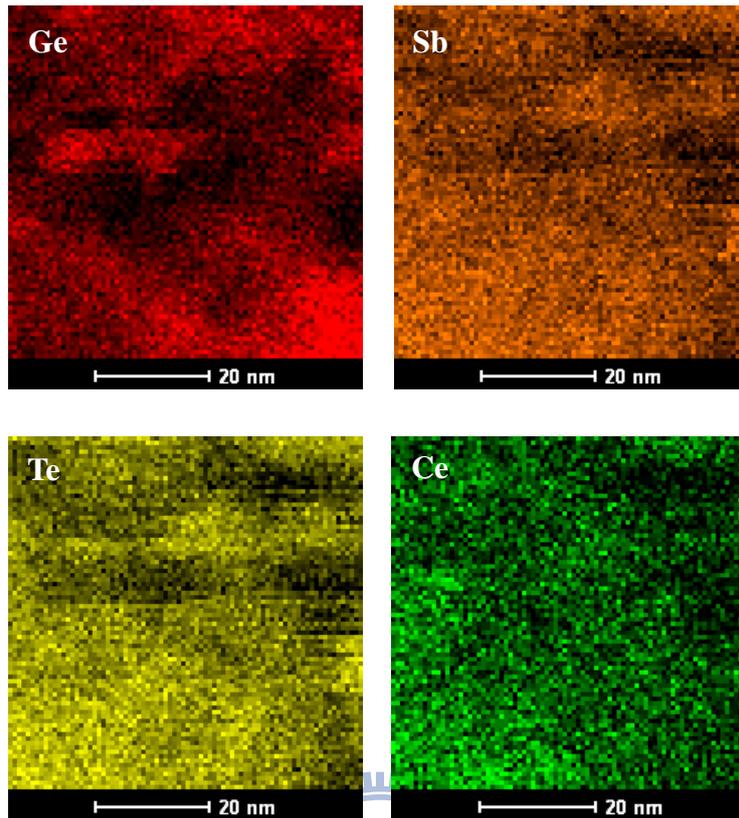


圖 4-14、Ce 摻雜之貼靶濺鍍面積比為 5% 之 GST，退火後（結晶態）Ge、Sb、Te 及 Ce 元素之 Mapping 圖。

4-4、XPS 分析

XPS 分析之目的在判斷出 Ce 是否與 GST 中之元素發生鍵結反應，並欲藉由 XPS 圖譜判斷出是和那個元素發生鍵結反應。圖 4-15 為不同 Ce 摻雜濃度之初鍍與經 300°C、30 分鐘退火之 GST 中之 Ge_{3d} 、 Sb_{3d} 、 Te_{3d} 及 Ce_{3d} 軌域之 XPS 圖譜。圖 4-16 至 4-22 分別為 Ge_{3d} 、 $\text{Sb}_{3d3/2}$ 、 $\text{Sb}_{3d5/2}$ 、 $\text{Te}_{3d3/2}$ 、 $\text{Te}_{3d5/2}$ 、 $\text{Ce}_{3d3/2}$ 與 $\text{Ce}_{3d5/2}$ 軌域之 XPS 圖譜曲線配湊之結果。

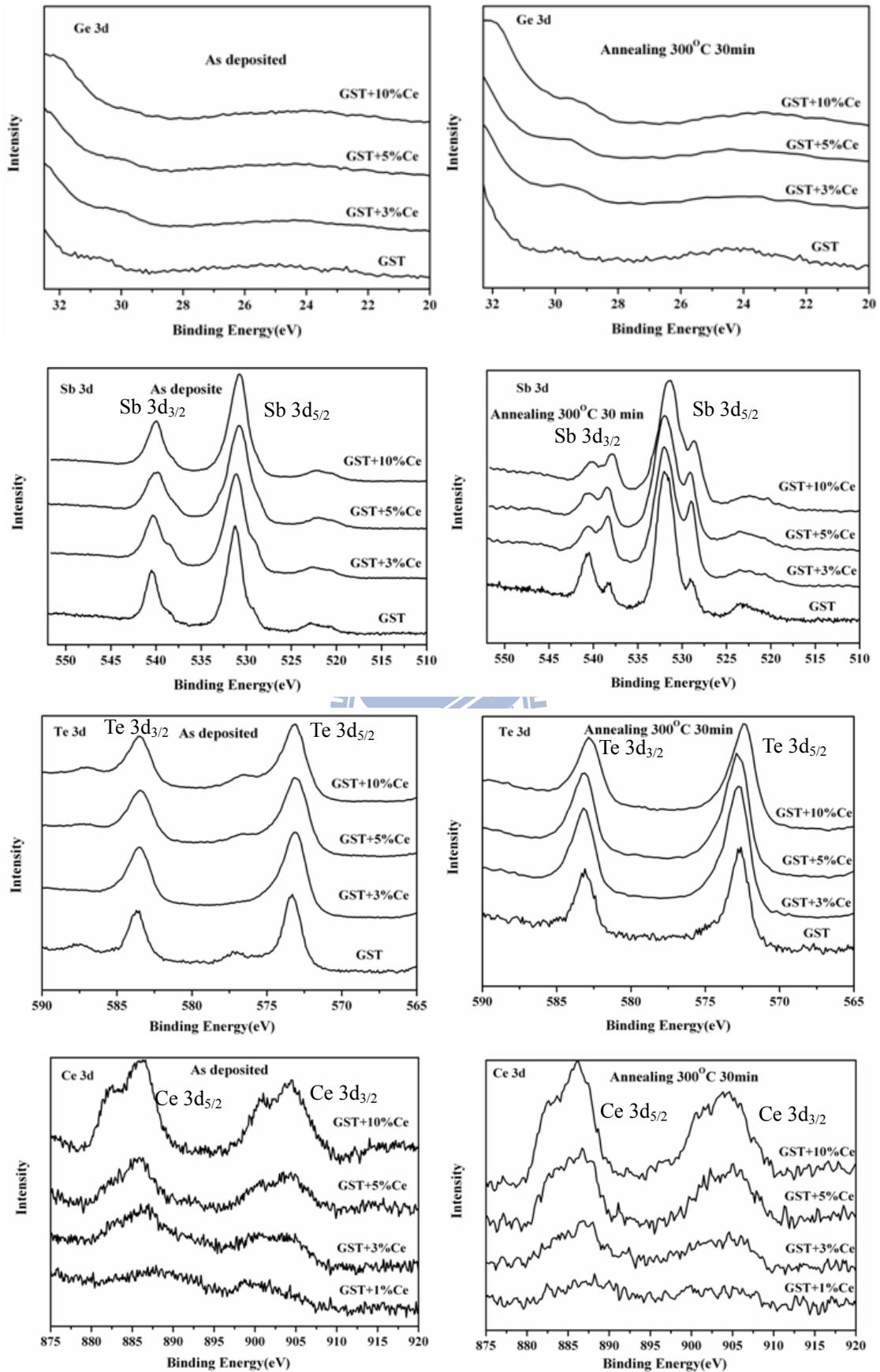


圖 4-15、不同 Ce 摻雜濃度之 GST 之 Ge_{3d} 、 Sb_{3d} 、 Te_{3d} 及 Ce_{3d} 軌域之 XPS 圖譜。

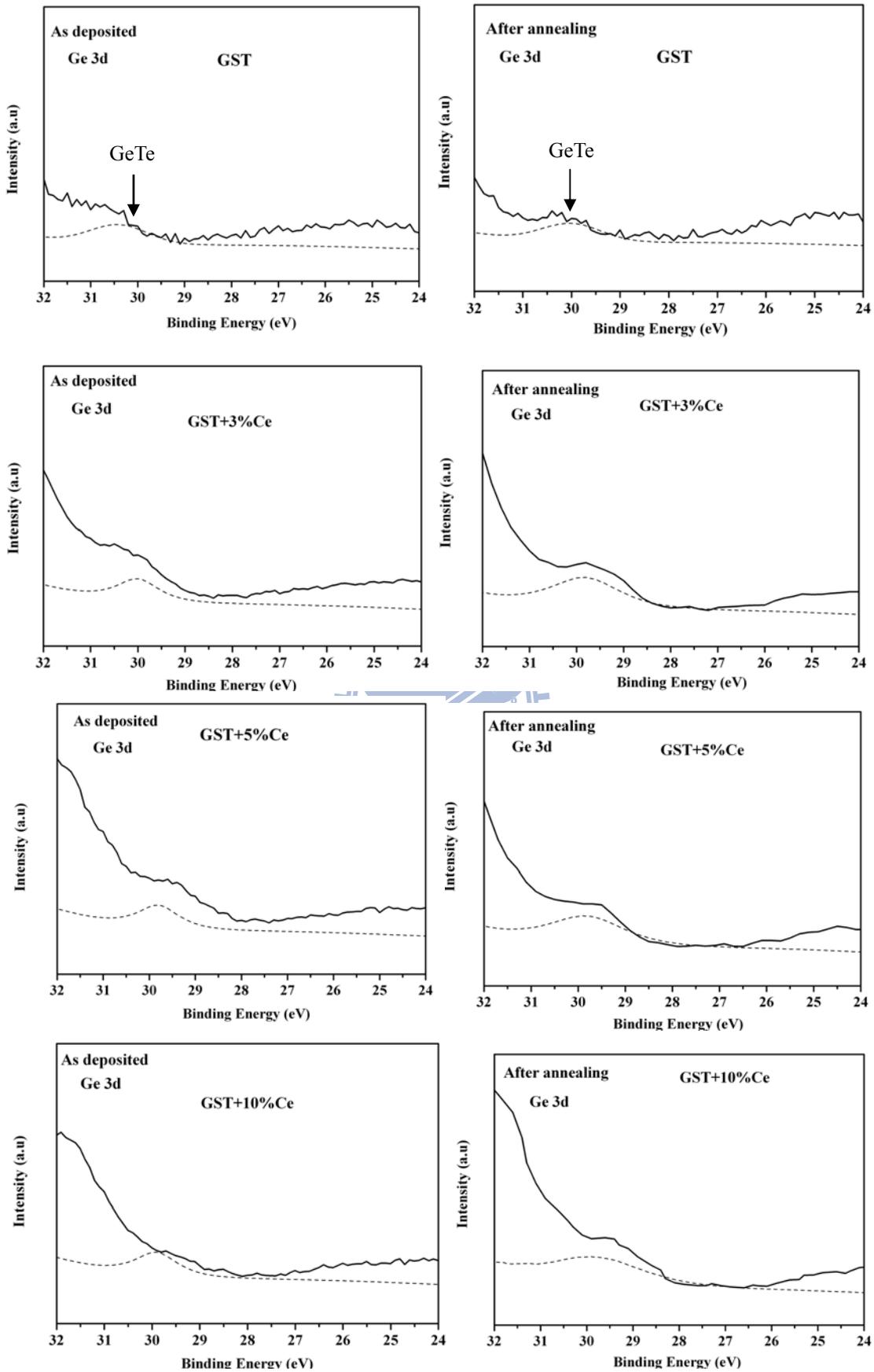


圖 4-16、Ge_{3d} 軌域 XPS 圖譜曲線配湊之結果。

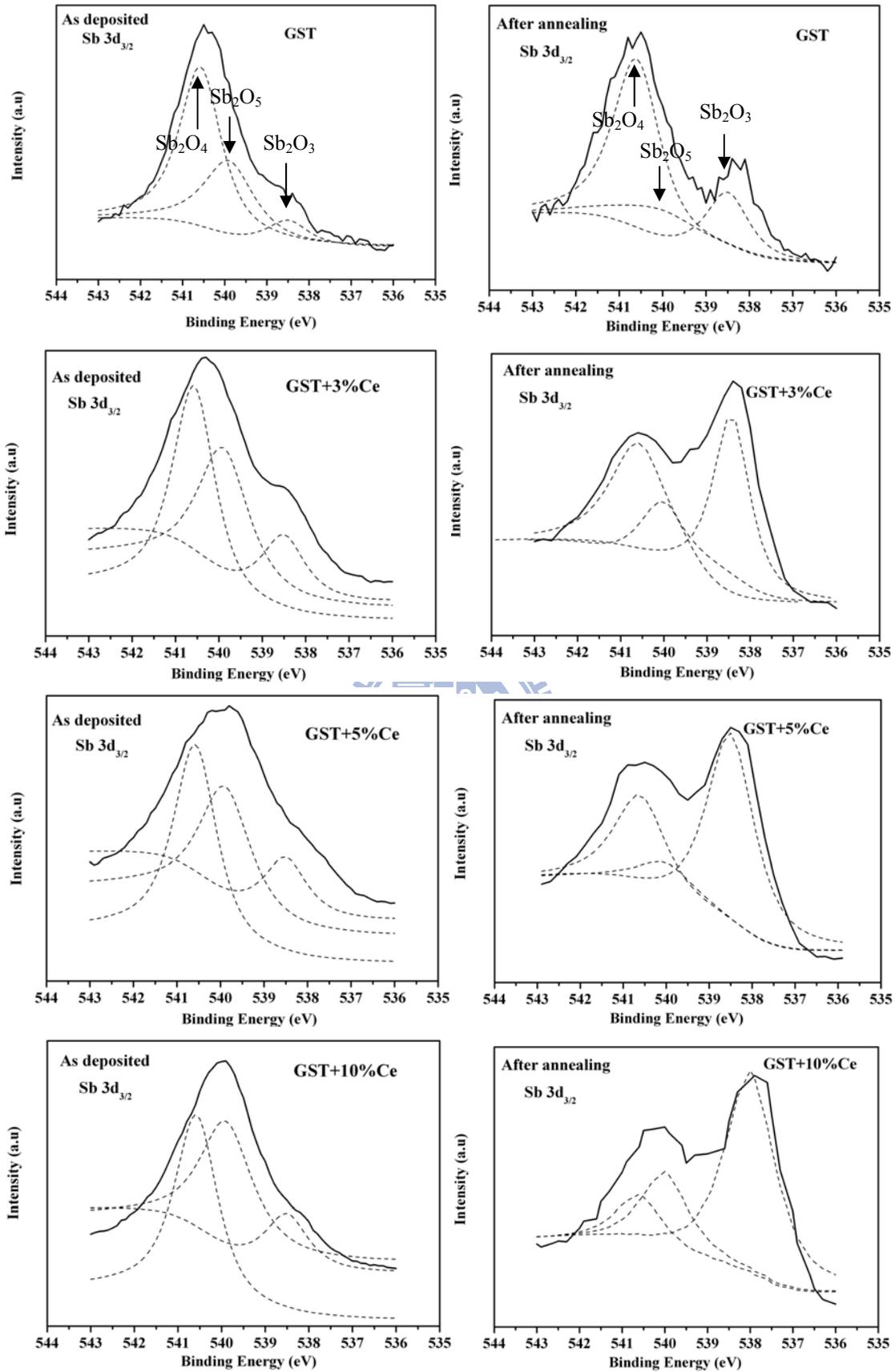


圖 4-17、Sb_{3d_{3/2}}軌域 XPS 圖譜曲線配湊之結果。

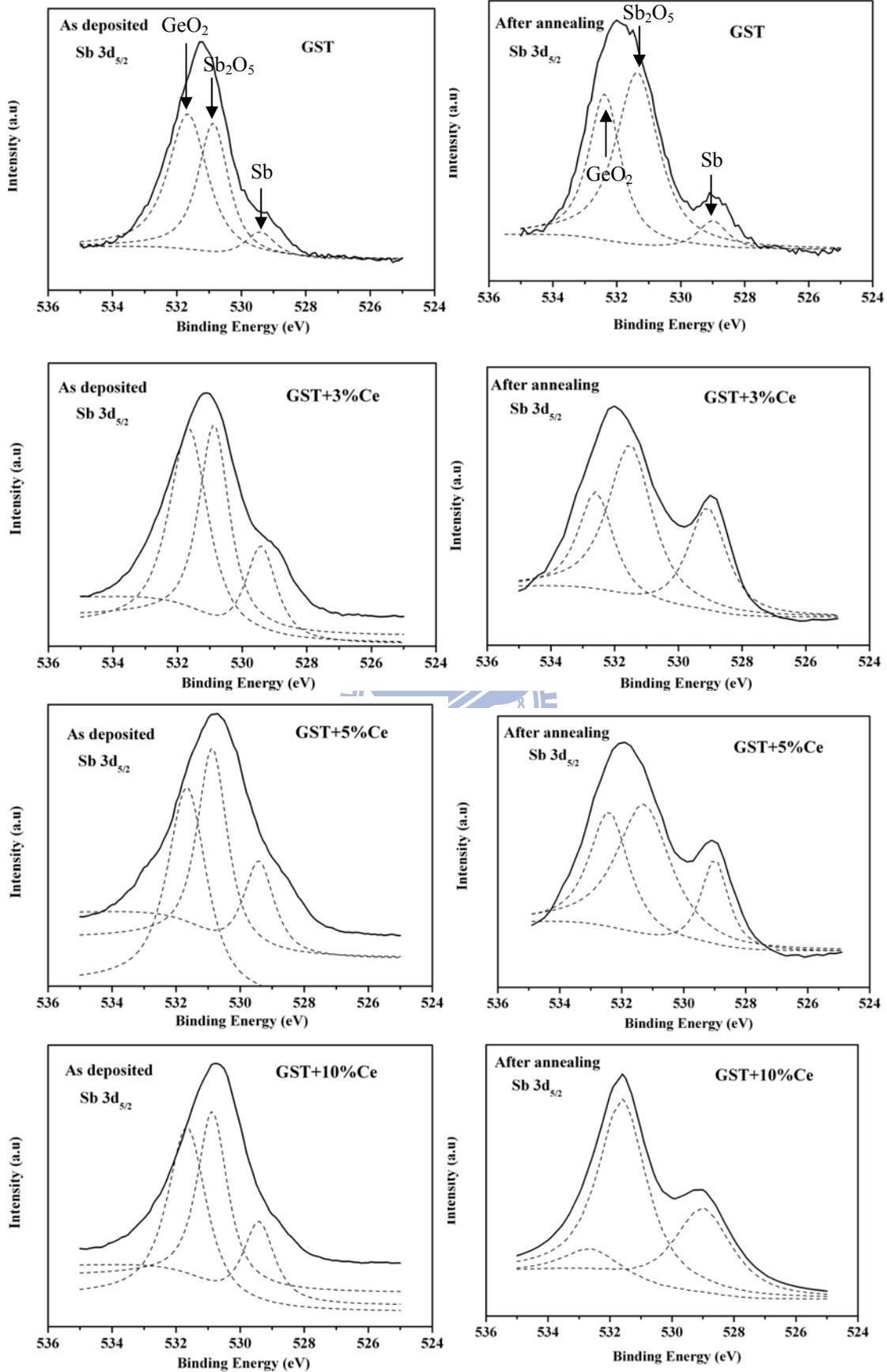


圖 4-18、Sb_{3d5/2} 軌域 XPS 圖譜曲線配湊之結果。

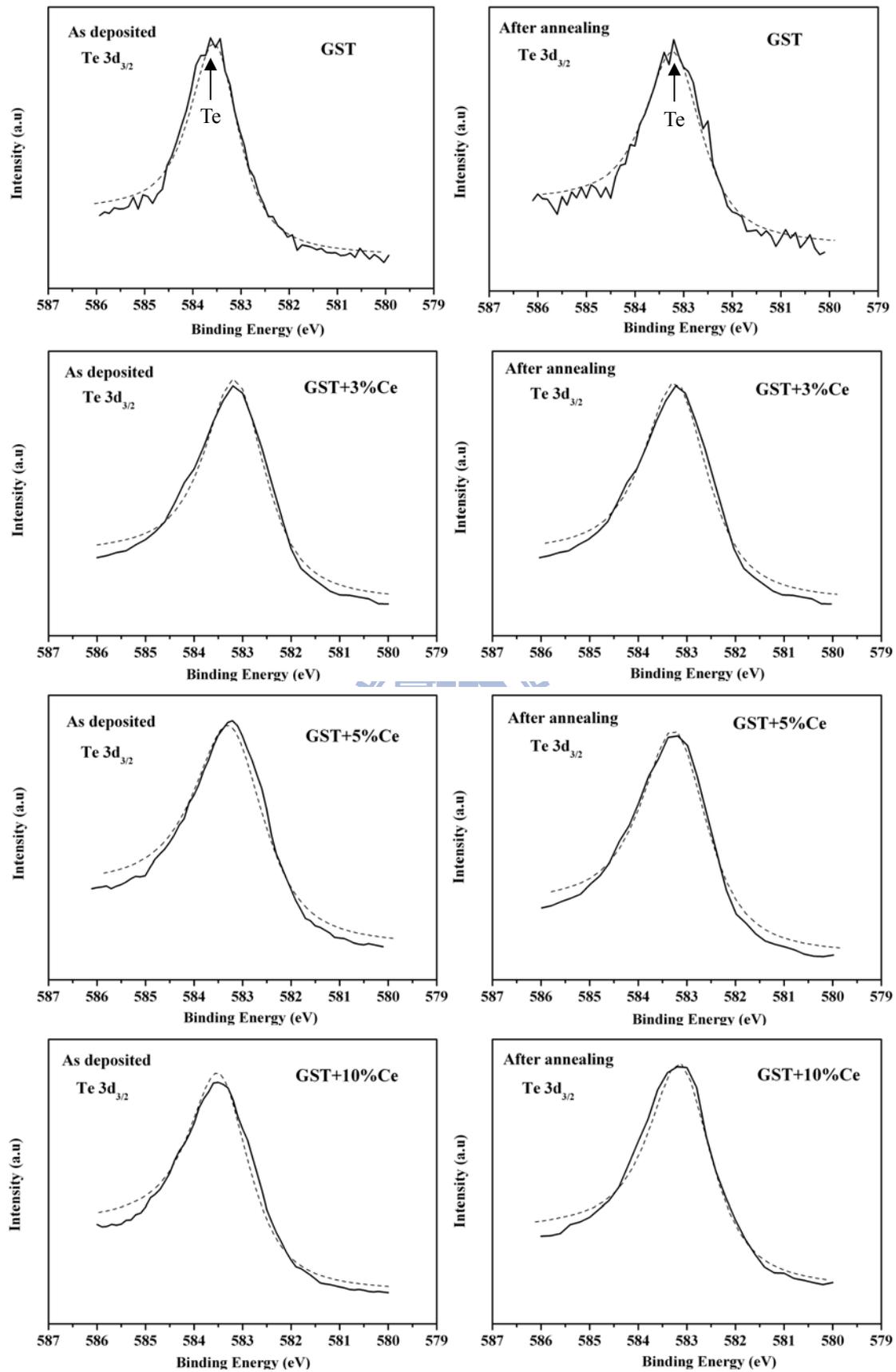


圖 4-19、Te_{3d_{3/2}} 軌域 XPS 圖譜曲線配湊之結果。

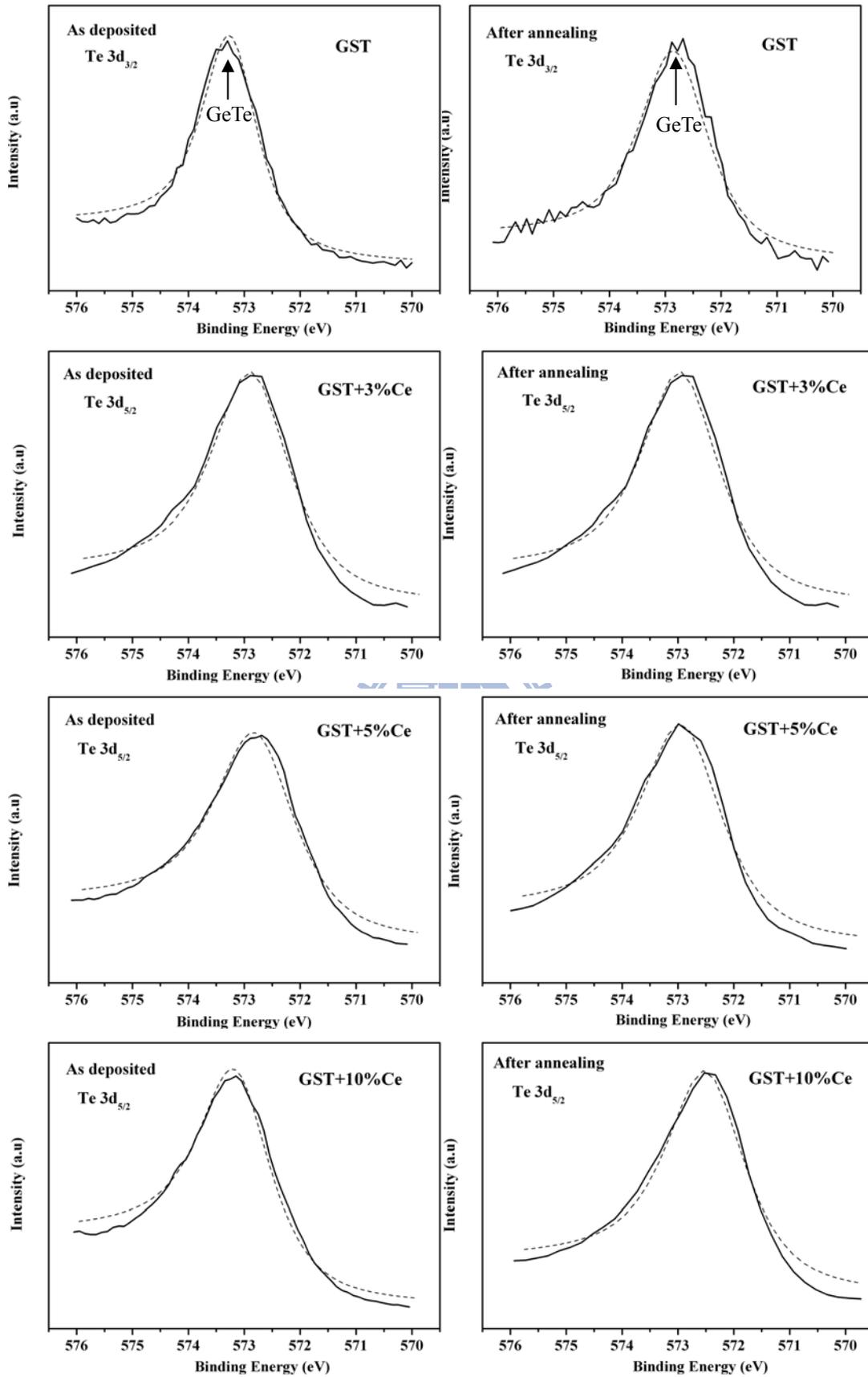


圖 4-20、 $\text{Te}_{3d_{5/2}}$ 軌域 XPS 圖譜曲線配湊之結果。

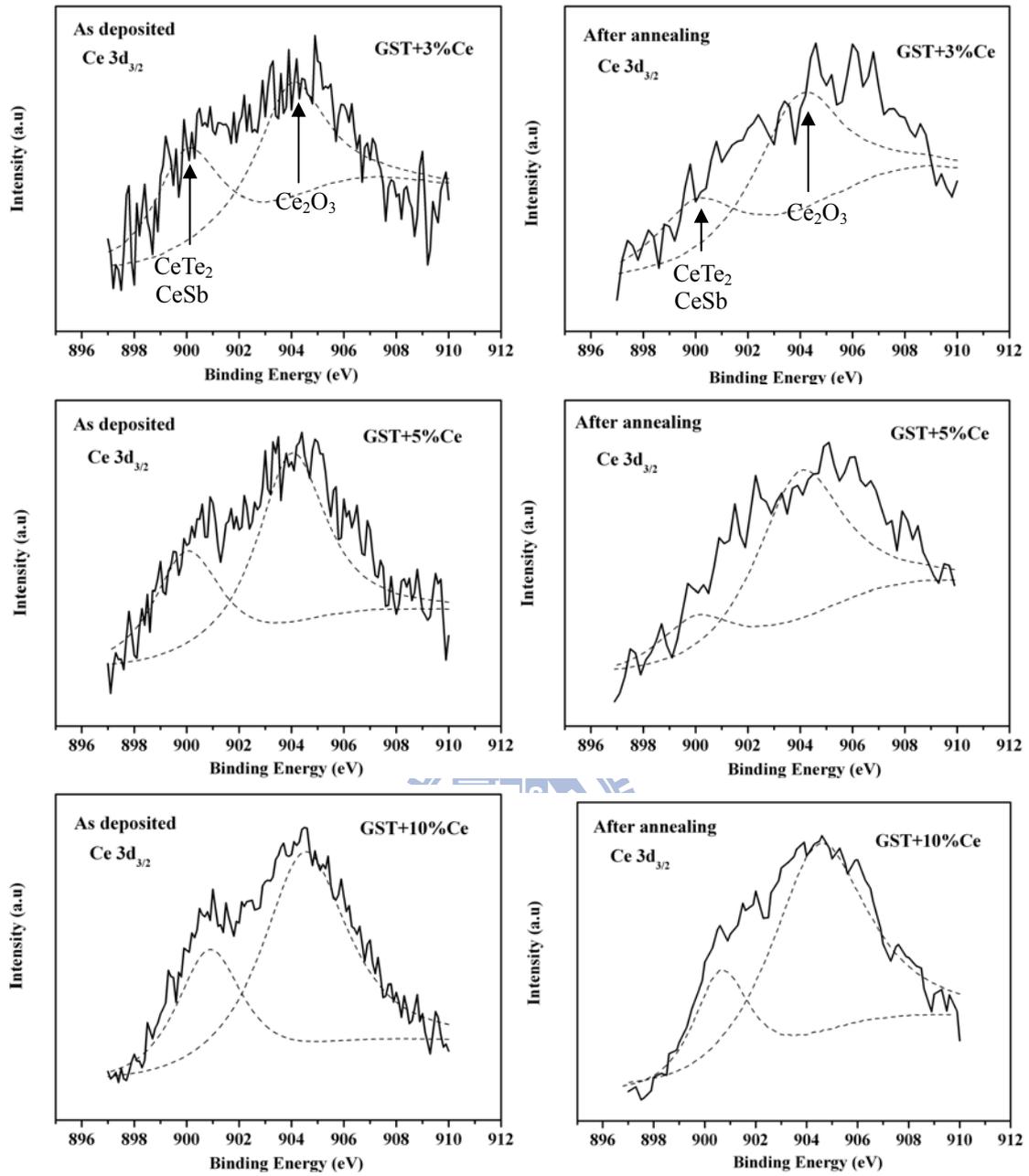


圖 4-21、 $Ce_{3d_{3/2}}$ 軌域 XPS 圖譜曲線配湊之結果。

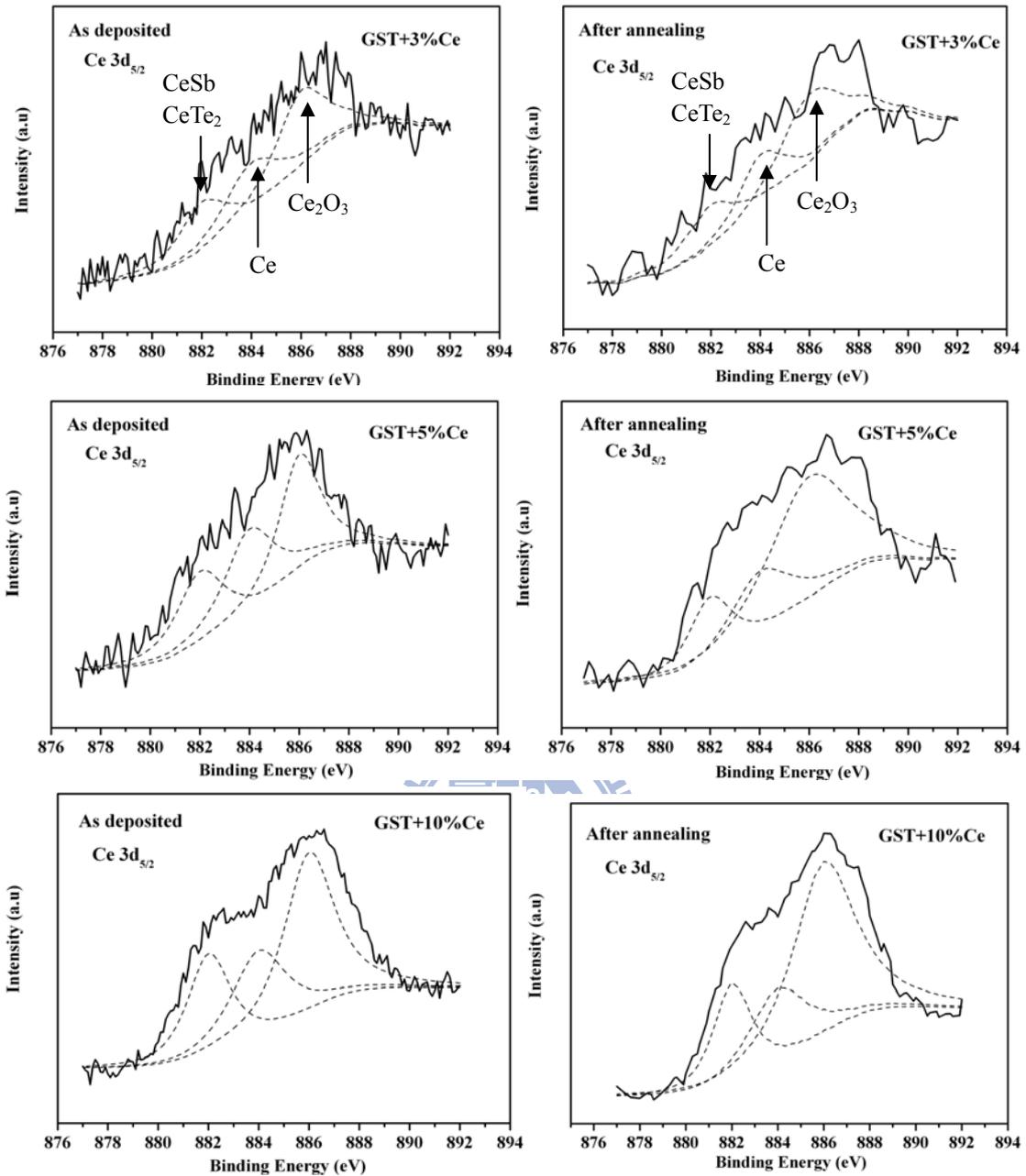


圖 4-22、 $Ce_{3d_{5/2}}$ 軌域 XPS 圖譜曲線配湊之結果。

從 XPS 圖中可知 Ce 在非晶態 GST 中已有特定之鍵結產生，例如，在 Ce 摻雜為 3% 貼靶面積比之試片中，圖 4-21 之 $Ce_{3d_{3/2}}$ 軌域圖譜與圖 4-22 之 $Ce_{3d_{5/2}}$ 軌域圖譜分別在與在 900 與 882 eV 處出現之峰值則分別顯示了 Ce-Te 與 Ce-Sb 鍵結的存在，隨著 Ce 摻雜濃度的升高，兩種鍵結的數量有增加的趨勢；在退火後的試片中，這兩種鍵結亦存在。但依既往之研究報導(見圖 4-23)，Ce-Te 與 Ce-Sb 鍵結能之位置十分相近，故無法準確判別何者為主要之鍵結。

XPS 的圖譜配湊分析同時顯示各種氧化物的存在，如 GeO_2 (532 eV)、 Sb_2O_5 (531 eV)、 Sb_2O_3 (534 eV)、 Sb_2O_4 (541 eV)、 Ce_2O_3 (886 eV) 等，此可能為熱處理過程中試片氧化所致。

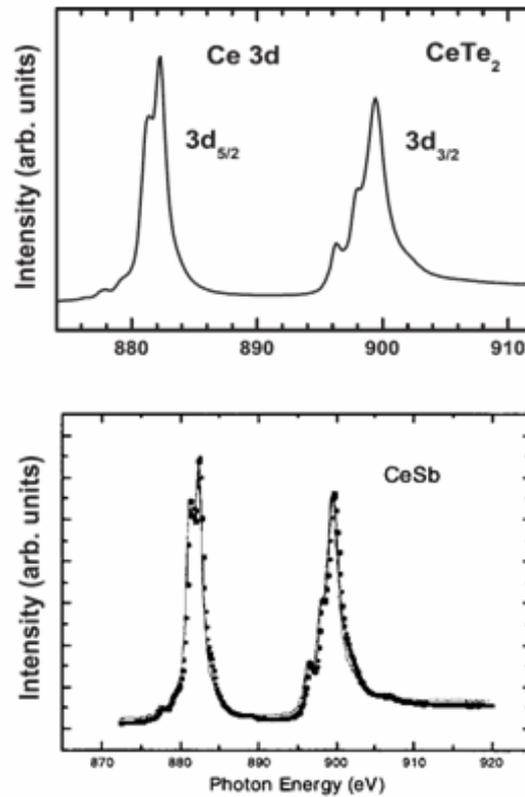


圖 4-23、文獻中 CeTe 、 CeSb 之 $3d$ 鍵結能位置圖[75]。

4-5、Kissinger 分析

本實驗在不同的升溫速率 (1、2.5、5、10 及 $16^\circ\text{C}/\text{min}$) 下量測電阻率對溫度之變化，利用微分法求出電阻率對溫度變化之最大點，將其定義為 T_c ，再將不同升溫速率對應之 T_c 帶入 Kissinger 方程式，即式 (2-2)，求出活化能 E_a 。圖 4-24 為不同 Ce 摻雜濃度之 GST 薄膜在不同加熱速度下所測得之電阻率隨溫度變化之原始數據圖，利用微分法所求得之 T_c 整理如表 4-2 所列。

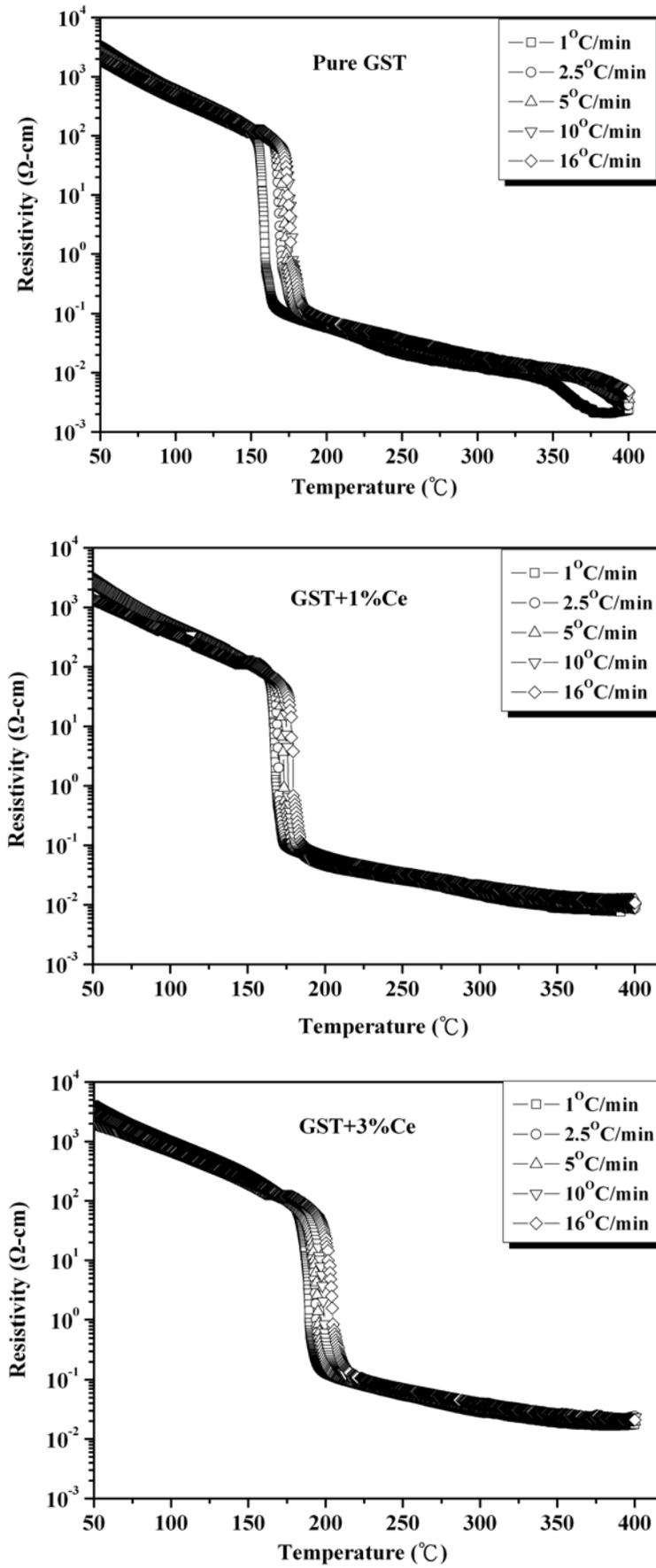


圖 4-24、不同溫升速率及不同摻雜濃度 GST 薄膜之電阻率對溫度曲線。(下頁續)

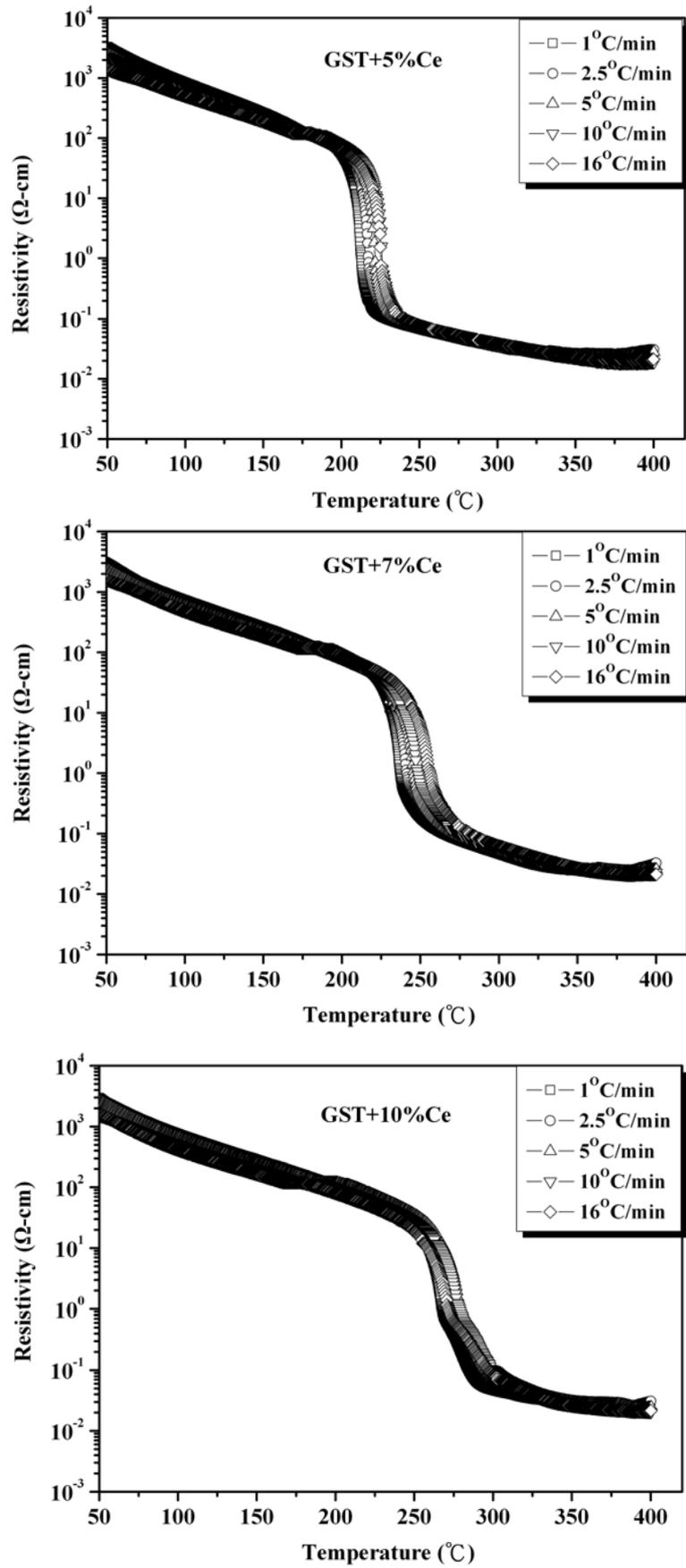


圖 4-24、不同溫升速率及不同摻雜濃度 GST 薄膜之電阻率對溫度曲線。(續上頁)

表 4-2、不同 Ce 摻雜濃度之 GST 在不同升溫速率時之 T_c 值。

Ce 摻雜濃度 (貼靶面積比%)	升溫速率 ($^{\circ}\text{C}/\text{min}$)	T_c ($^{\circ}\text{C}$)
0	1	159
	2.5	168
	5	173
	10	177
	16	177
1	1	167
	2.5	170
	5	173
	10	176
	16	179
3	1	189
	2.5	193
	5	195
	10	199
	16	202
5	1	212
	2.5	217
	5	221
	10	226
	16	225
7	1	236
	2.5	241
	5	245
	10	247
	16	254
10	1	280
	2.5	290
	5	291
	10	298
	16	285

由表 4-2 可知，當 Ce 摻雜濃度越高時，所對應之 T_c 也越高，推測其原因為，Ce 以固溶狀態摻雜於 GST 晶格中，由固溶強化 (Solid Solution Strengthening) 的原理[67]，原子尺寸的差異 (見 4-3 節所列) 所引發的應力場阻礙了原子的重

新排列而提高了 T_c ；另一個可能原因為 Ce 是負電度 (Electronegativity) 較低的元素 ($\chi_{Ce} = 1.12$)，與負電度較高的 Ge ($\chi_{Ge} = 2.01$)、Sb ($\chi_{Sb} = 2.05$)、Te ($\chi_{Te} = 2.10$) 等可產生鍵結能較強的離子鍵結，此擾亂了 GST 中原來之分子鍵結，異種鍵結的導入成為再結晶過程中鍵結重整的阻礙因而提高了 T_c 。

圖 4-24 顯示 Ce 的摻雜除能提高 T_c 之外，最重要的特徵是，無論 Ce 之摻雜濃度為何，退火前之電阻率 (即 GST 仍為非晶態時) 並無明顯降低，其室溫電阻率依舊是維持在約 $10^3 \Omega\text{-cm}$ ，因退火後之電阻率 (即 GST 仍為結晶態時) 亦無所改變，故所有摻雜試片之 R -ratio 均能維持在 10^5 左右，並不如既往文獻報導之元素摻雜會提高非晶態 GST 導電率而使 R -ratio 下降[20-44]。此一與既往研究迥異之現象顯示 Ce 之摻雜不僅可提升 T_c ，亦可維持記錄訊號之對比清晰度，此一發現對 PRAM 材料與高儲存密度元件之開發預期將有重大意義。

目前 XPS 分析結果仍不足以說明為何 Ce 摻雜不會改變非晶態 GST 之電阻性質，我們推測是因為 Ce 之電子組態 (Electronic Configuration) 為 $[\text{Xe}]4f^1 5d^1 6s^2$ ，其有許多內層未填滿電子的空軌域 (即 f 與 d 軌域) 可供非晶態 GST 中之自由電子填入，此一捕捉電子之侷限效應使得非晶態 GST 之電阻率不致下降。

圖 4-24 亦顯示 Ce 的摻雜對結晶態 GST 的電阻特性亦無重大影響，此一結果與既往研究 N_2 之摻雜意亦不相同， N_2 之摻雜咸認會在 GST 中產生微細之氮化物 (Nitrides)，其會造成晶粒細化，晶界 (Grain Boundary) 數目因而增加，雖然結晶會改善電阻性質，但氮化物與晶界均會造成電子傳導過程中的散射，因而結晶態 GST 會因 N_2 之摻雜而提高其電阻性質[15、25]。之前的 TEM 分析已顯示 Ce 摻雜會造成退火之 GST 的晶粒細化，故 Ce 之摻雜顯然也應造成 GST 電阻率的上升，但圖 4-24 並未呼應此一結果。我們推測其成因可能為 Ce 並非偏析於 GST 之晶界中，固溶在晶格中的 Ce 其外圍 s 軌域的可提供兩個自由電子，載子數目的增加抵銷了晶界對電子散射作用，加上 s 軌域無方向性，其提供之能帶重疊作用，使 Ce 摻雜的結晶態 GST 的電阻率不至大幅提高。

以上提出之 Ce 摻雜對非晶態與結晶態 GST 之電阻之影響係依目前分析成果

所做之推測，真正成因皆有待深入研究。圖 4-24 的結果顯示除了原子大小之差異、負電性之差異、二次相之形成等原因之外，摻雜元素的電子組態應也是影響 GST 電氣性質的因素之一，我們相信摻雜元素的電子組態會影響 GST 能帶結構與內部鍵結，因而造成物理性質的變化，此將是未來值得再深入研究的題目之一。

將升溫速率 (Φ) 及結晶溫度 (T_c) 代入 Kissinger 方程式 (式 (2-2))，由圖 4-25 之斜率計算得相變化活化能 E_a ，如表 4-3 所列。圖 4-26 所示為 GST 之 E_a 及 T_c 隨 Ce 摻雜濃度之變化，其顯示當 Ce 摻雜濃度越高時， E_a 值越高，其成因應與之前解釋 T_c 增高之原因相同。

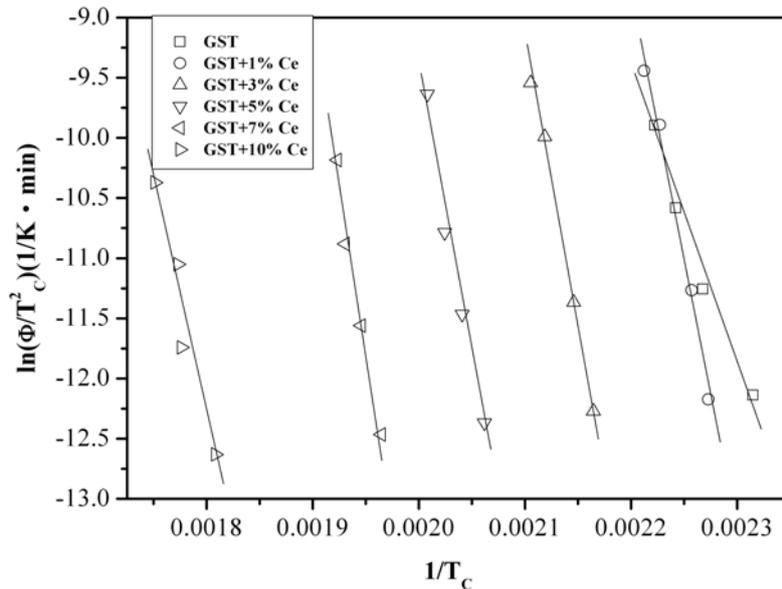


圖 4-25、等升溫實驗之 $\ln \frac{\Phi}{T_c^2}$ 對 $\frac{1}{T_c}$ 圖。

表 4-3、不同 Ce 摻雜濃度之 GST 活化能 E_a 。

Ce 摻雜濃度 (貼靶面積比%)	E_a (eV)
0	2.05
1	3.91
3	4.03
3	4.3
7	4.53
10	3.4

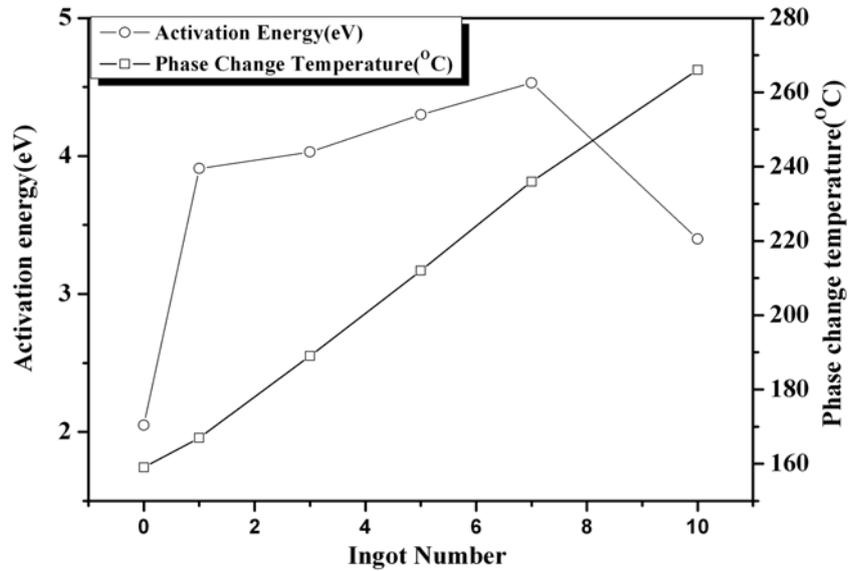


圖 4-26、GST 之 E_a 及 T_c 隨 Ce 摻雜濃度之變化。

圖 4-24 顯示，當 Ce 摻雜濃度為 10% 貼靶面積比時，其電阻率對溫度變化之曲線開始出現兩段相變化的特徵；表 4-3 與圖 4-26 同時顯示，此一 GST 試片之 E_a 值開始下降； E_a 值的突變意即相變化的機制發生改變，Ce 摻雜的固溶強化機制應該不再適用於解釋 Ce 摻雜濃度為 10% 貼靶面積比之 GST 的結晶結構形貌，此亦從圖 4-9 (f) 之 TEM 影像得到佐證；如前述，我們推測 Ce 摻雜濃度為 10% 貼靶面積比之 GST 之再結晶過程中可能因 Ce 之過飽合而產生 IMC 相，故其 E_a 值偏離 Ce 摻雜濃度為 7% 貼靶面積以下試片之 E_a 值上升趨勢而下降。

4-6、JMA 分析

相變化的過程包含了潛伏期 (Incubation Period)、穩定成核期 (Steady-state Nucleation)、成長 (Growth) 與粗化 (Coarsening) 四個階段，如圖 4-27 所示。

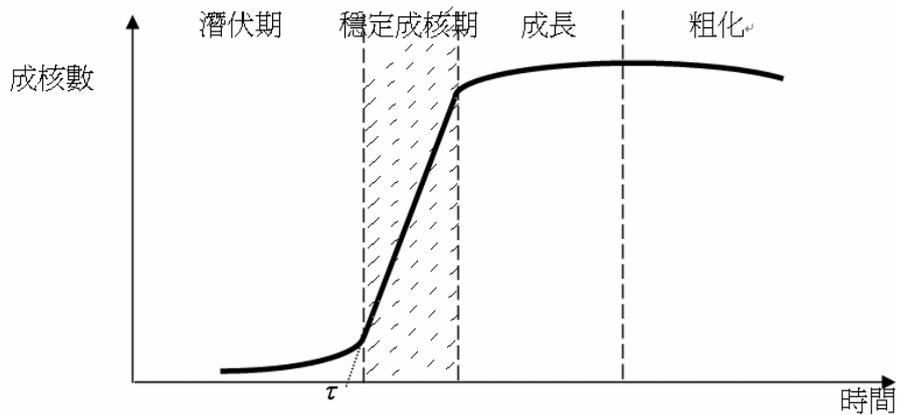


圖 4-27、相變化成核理論的四個過程。

不同起始時間 τ 值之選擇會造成 Avrami 指數 (n) 之重大差距。Weidenhof[69] 之研究利用試片到達恆溫溫度之瞬間設為 τ 值，其所算出之 n 值遠大於 JMAK 理論預期範圍，此歸咎於潛伏期成核速度為時間之函數所致。亦可由 $x = 1 - \exp(-kt^n)$ 知 $k = \frac{4\pi}{3} \dot{N} \dot{G}^3$ ，若 k 為時間的函數則在繪製 $\ln\{-\ln[1-x(t)]\}$ 對 $\ln t$ 時，其 y 軸截距（即 $\ln k$ ）會隨時間（即 $\ln t$ ）而變，因而影響 n 值。故為了消除潛伏期所造成之影響，我們在做 JMAK 分析時，起始點 τ 是定在相變化進入穩定成核時當做起點，在這段範圍內 $\ln\{-\ln[1-x(t)]\}$ 對 $\ln t$ 的切線斜率及截距皆為一個定值， n 值才能正確地求得。

圖 4-28 為不同 Ce 摻雜濃度的 GST 試片的結晶分率隨時間變化之關係圖；圖 4-29 為不同 Ce 摻雜濃度的 GST 試片的 $\ln(-\ln(1-x))$ 對 $\ln t$ 圖，由圖 4-29 之斜率計算所得之 n 值如表 4-4 所列，其顯示 n 值隨 Ce 摻雜濃度的上升而下降。

GST 元素摻雜濃度越高， n 值下降的趨勢在摻雜 O_2 與 N_2 的 GST 研究中亦被觀察到[29、77]，此一結果我們歸因於異質成核效應。在 JMAK 理論推導假設相變化以均質成核（Homogeneous Nucleation）的過程進行，但摻雜提供了異質成核優先位置，而促成相變化循異質成核之途徑進行，此一效應因新相會在晶界或缺陷位置優先成核，一般會降低成核活化能 (E_n)，也會改變成長活化能 (E_g) 或新相成長時之維度，故 n 值會因摻雜而改變。本實驗室在先前摻雜 Mo[78]元

素的 GST 研究亦發現相似的現象，隨著 Mo 摻雜的濃度升高， n 值有下降的趨勢。

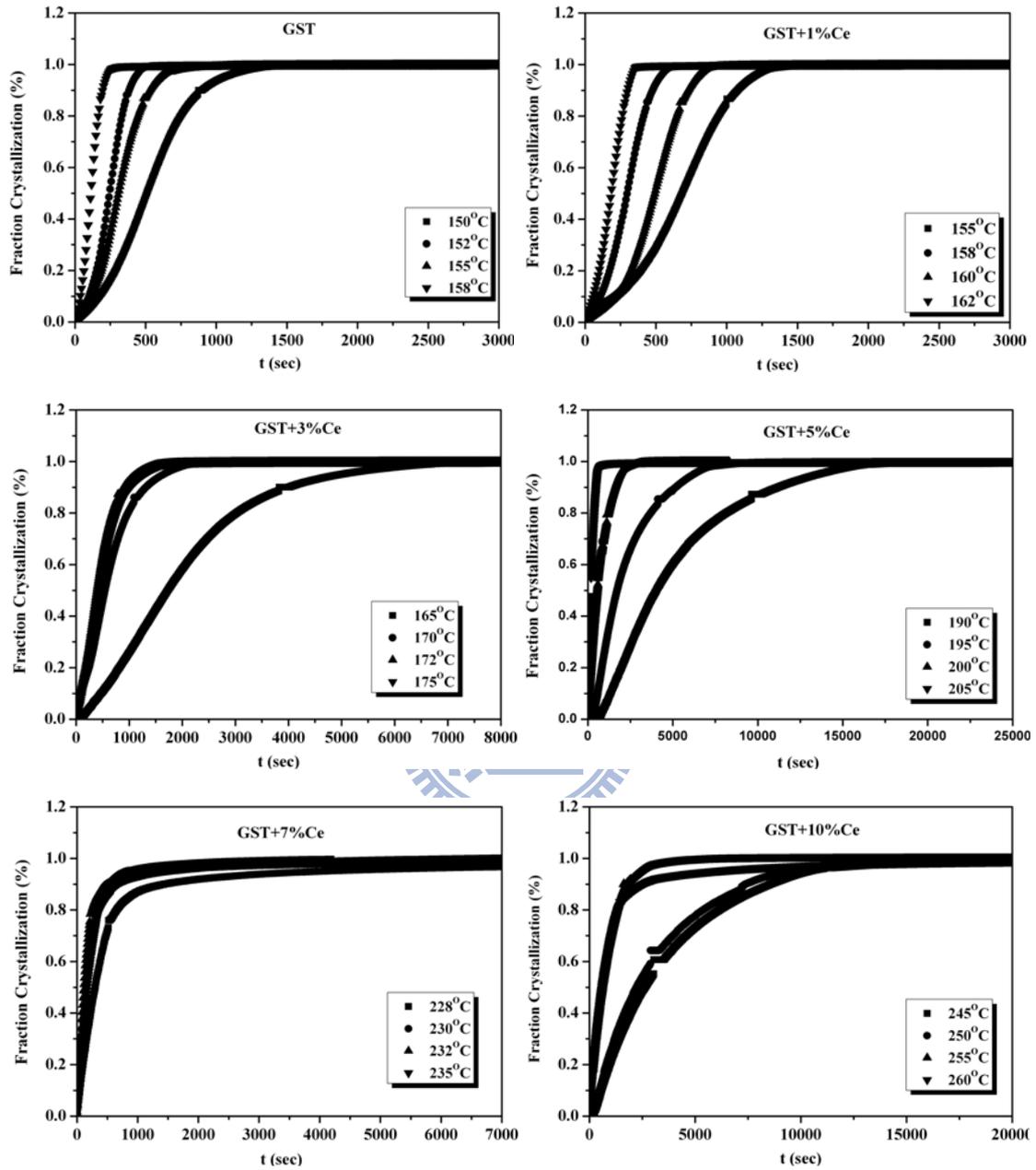


圖 4-28、不同 Ce 摻雜濃度的 GST 試片的結晶分率隨時間變化之關係。

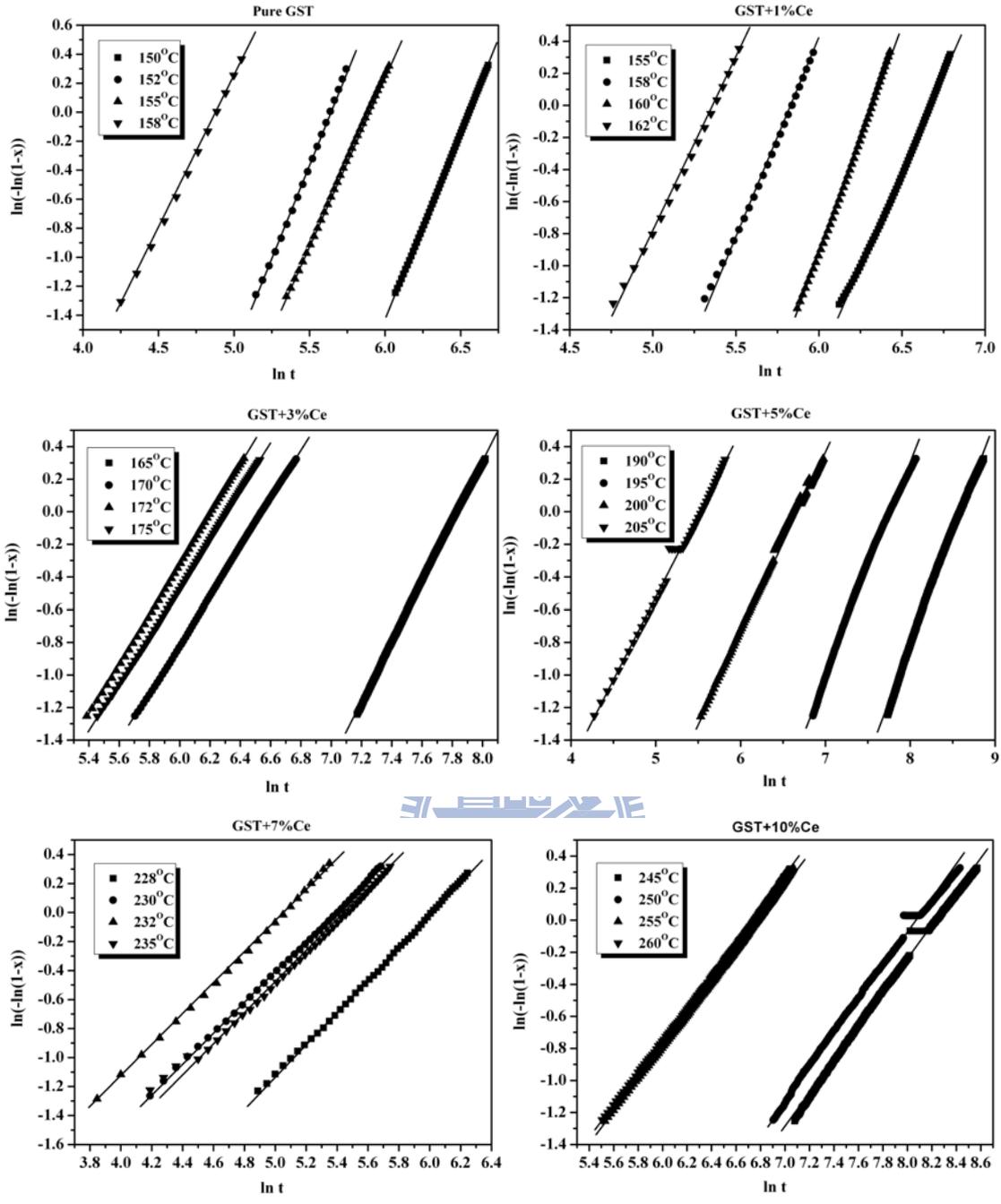


圖 4-29、不同 Ce 摻雜濃度的 GST 試片的 $\ln(-\ln(1-x))$ 對 $\ln t$ 圖。

表 4-4、不同 Ce 摻雜濃度之 GST 試片之 Avrami 指數。

Ce 摻雜濃度 (貼靶面積比%)	Avrami 指數 (n)	ΔH (eV)
0	2.42	8.9
1	2.44	10.4
3	1.60	12.6
5	1.19	9.5
7	1.07	11.6
10	1.02	6.3

圖 4-30 為擷取圖 4-29 之 y 軸截距 K 所繪製之 $\ln k$ 對 $\frac{1}{T}$ 圖，其斜率代表著活化能 ΔH 值，如表 4-4 所列。 ΔH 值為 E_n 跟 E_g 之總和 (見式 (2-8) 與 (2-9))，若 GST 之再結晶係循異質成核過程進行，相變化理論顯示 E_n 值會降低，且依式 (2-9) 所示， n 值之下降亦有利於 ΔH 值之下降，但表 4-4 卻顯示 Ce 的摻雜提高了 ΔH 值，由此可推論得 Ce 的摻雜大幅提升了 E_g 值；XRD 分析結果顯示著 Ce 的添加可穩定非晶態 GST，Kissinger 分析也顯示了 T_c 與 E_a 值之升高，摻雜於 GST 中的固溶 Ce 原子導致了離子鍵結，此闡釋 Ce 的摻雜形成了再結晶過程的阻礙，也印證了其所導致的固溶強化效應。

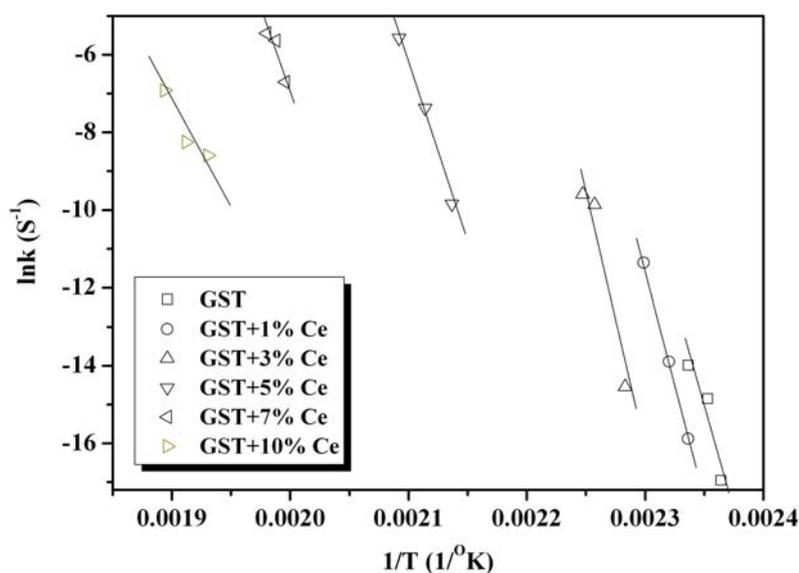


圖 4-30、不同摻雜濃度 $\ln k$ 對 $\frac{1}{T}$ 之圖形。

4-7、Retention Time 分析

圖 4-31 至 4-36 為不同 Ce 摻雜濃度之 GST 試片之 Retention Time 量測結果，圖 4-37 則為圖 4-31 至 4-36 之總結。

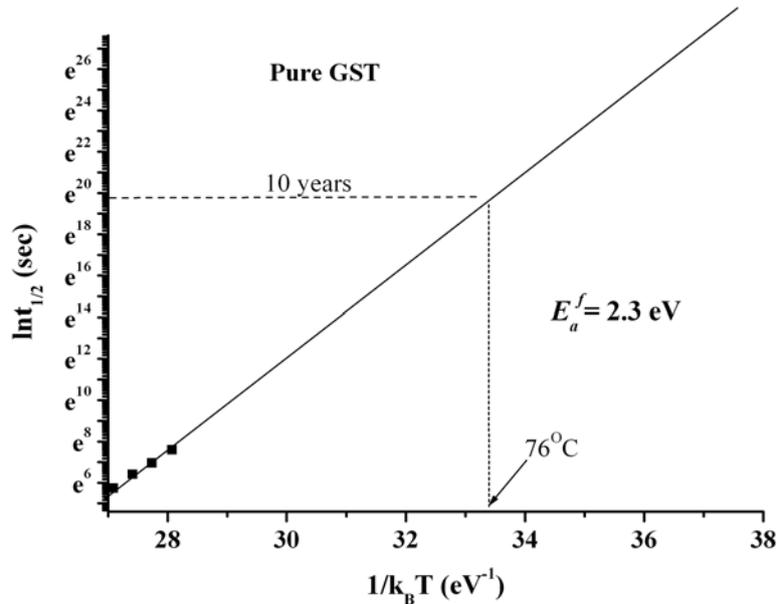


圖 4-31、未摻雜 Ce 之 GST 的 $\ln t_{1/2}$ 對 $\frac{1}{k_B T}$ 圖。

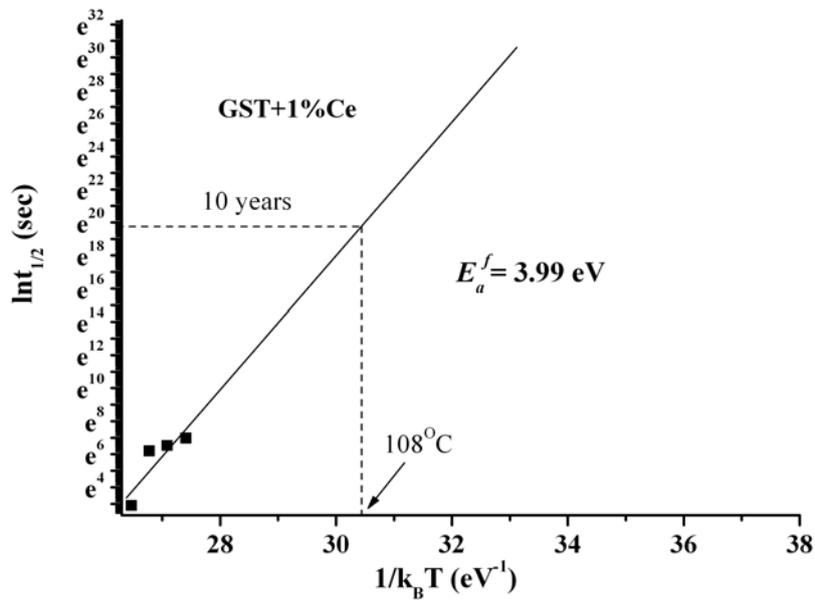


圖 4-32、Ce 摻雜濃度為 1% 貼靶濺鍍面積比之 GST 的 $\ln t_{1/2}$ 對 $\frac{1}{k_B T}$ 圖。

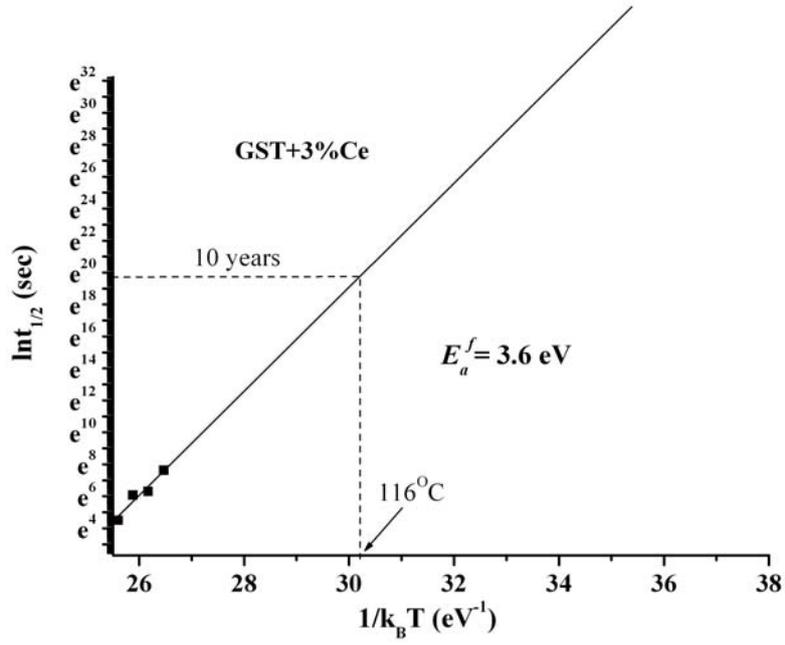


圖 4-33、Ce 摻雜濃度為 3% 貼靶濺鍍面積比之 GST 的 $\ln t_{1/2}$ 對 $\frac{1}{k_B T}$ 圖。

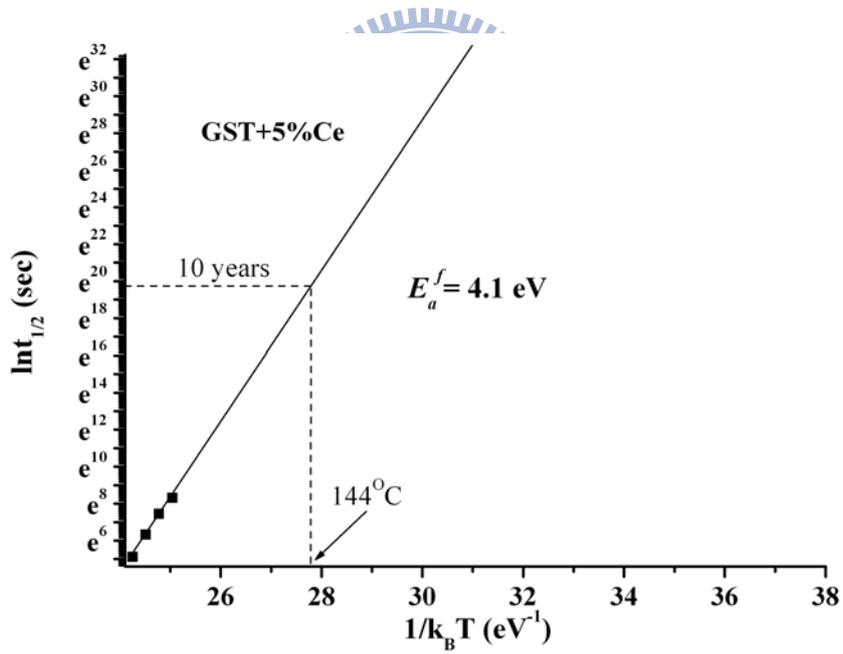


圖 4-34、Ce 摻雜濃度為 5% 貼靶濺鍍面積比之 GST 的 $\ln t_{1/2}$ 對 $\frac{1}{k_B T}$ 圖。

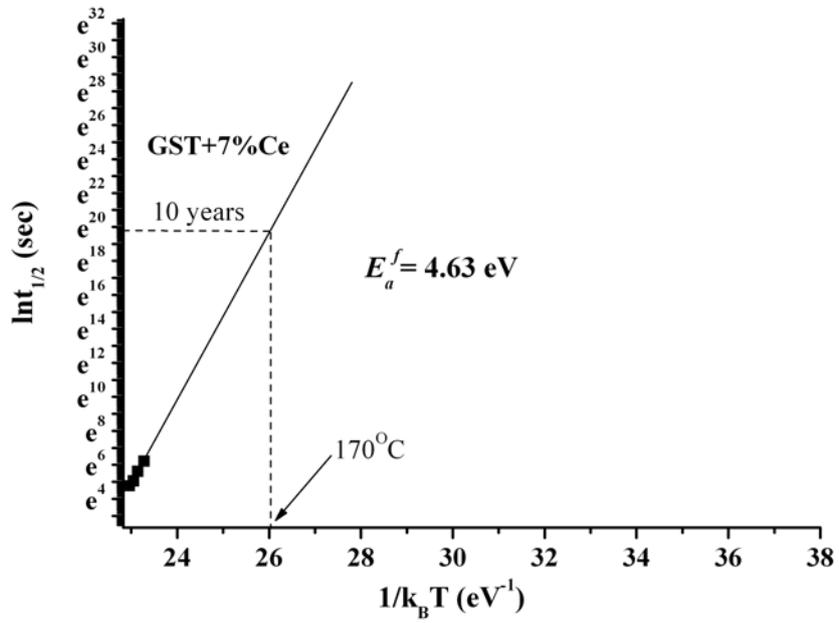


圖 4-35、Ce 摻雜濃度為 7% 貼靶濺鍍面積比之 GST 的 $\ln t_{1/2}$ 對 $\frac{1}{k_B T}$ 圖。

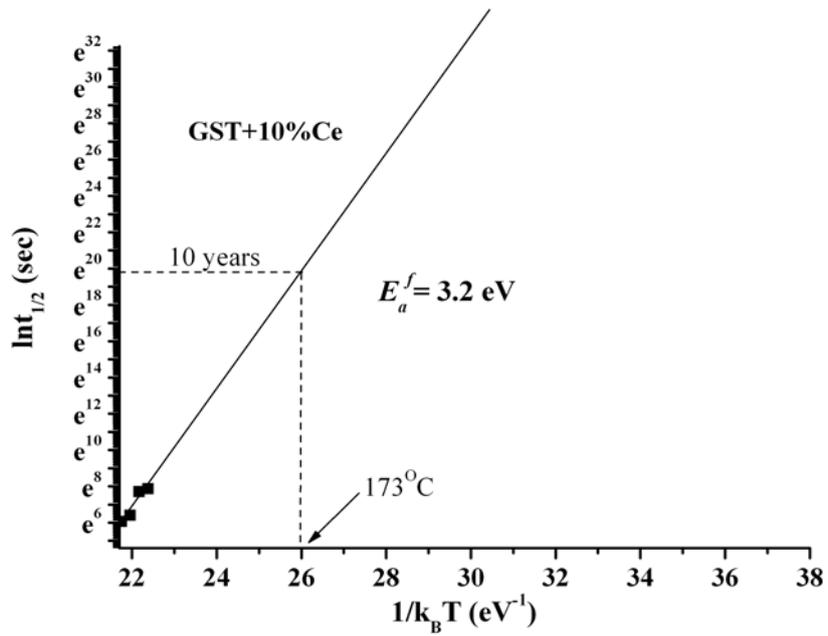


圖 4-36、Ce 摻雜濃度為 10% 貼靶濺鍍面積比之 GST 的 $\ln t_{1/2}$ 對 $\frac{1}{k_B T}$ 圖。

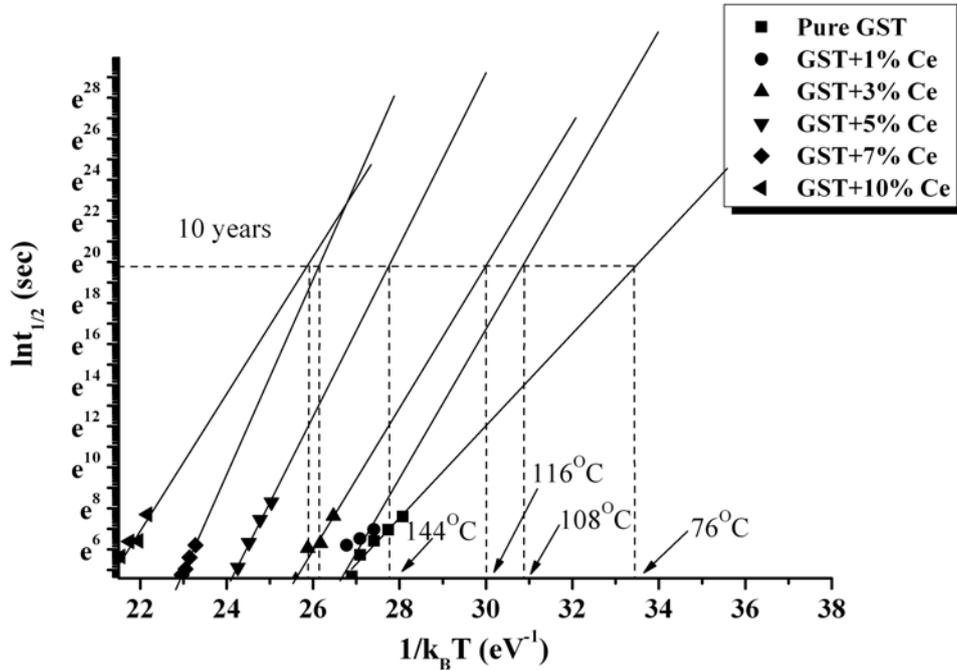


圖 4-37、圖 4-31 至 4-36 之 Retention Time 量測總結。

由圖 4-31 至 4-36 可看出 Ce 摻雜濃度越高時，在相同失效時間下（假設為 10 年），GST 所能容忍的溫度也就越高；例如，使用未摻雜之 GST 只能在 76°C 以下的環境溫度下保存記錄資料 10 年，但使用 Ce 摻雜濃度為 7% 貼靶濺鍍面積比之 GST 在 170°C 以下的環境溫度下保存記錄資料 10 年，此一結果顯示 Ce 摻雜可以有效地提升資料保存能力與保存時間，應用於 PRAM 中時可提升元件所能承受之溫度。表 4-5 為不同 Ce 摻雜濃度之 GST 的資料保存 10 年所能承受的最高溫度與活化能 E_a^f 值之表列。

Arrhenius 方程式， $t_{1/2} = t_0 \times \exp\left(\frac{E_a^f}{k_B T}\right)$ ，所算出來之活化能 E_a^f 代表結晶時

所需克服之活化能障的大小， E_a^f 越大，結晶所需克服之活化能也就越大，記錄保存效果也就越好，越不易失效。反之， E_a^f 越小，記錄保存效果愈差，在高溫環境下原子之熱擾動能克服較低的 E_a^f 而使記錄保存失效。

表 4-5、不同 Ce 摻雜濃度之 GST 的資料保存 10 年所能承受的最高溫度與活化能 E_a^f 值。

Ce 摻雜濃度 (貼靶面積比%)	E_a^f (eV)	資料保存 10 年所能承受的最高溫度 (°C)
0	2.3	76
1	3.99	108
3	3.6	116
5	4.1	144
7	4.63	170
10	3.2	173

4-8、電性分析

電性量測的目的係將模擬 PRAM 元件之操作，改用通電的方式加熱使 GST 薄膜材料發生相變化，量測相變化區域為 100 μm 大小的 V_{th} 值。如圖 4-30 所示，當 Ce 摻雜濃度越高時， V_{th} 值也越高，即需要輸入更大的能量才能使 GST 發生相變化；此與 Kissinger 分析之結果，即 Ce 摻雜濃度越高， T_c 與 E_a 均升高之趨勢相同。高 V_{th} 值不利 PRAM 之操作，此因本實驗所量測的區域大小為 100 μm ，遠大於一般元件量測區域之尺寸，故所量得之 V_{th} 值較一般文獻報導為高，未來可將元件中 GST 材料部分縮小，以達到降低耗能之需求；另因此部份實驗仍在起步階段，PECVD 鍍膜及乾蝕刻製程皆未臻最佳化，故元件之 $I-V$ 曲線形狀與既往報導仍有所差距，此皆有待後續研究改善之。

V_{th} 值之存在亦代表 Ce 摻雜並未使 GST 失去相變化反應的能力，事實上前述之實驗成果顯示 Ce 摻雜對 GST 之性質有許多改善提升之處，預期 Ce 摻雜之 GST 是在 PRAM 之製備將是極具應用潛力之材料。

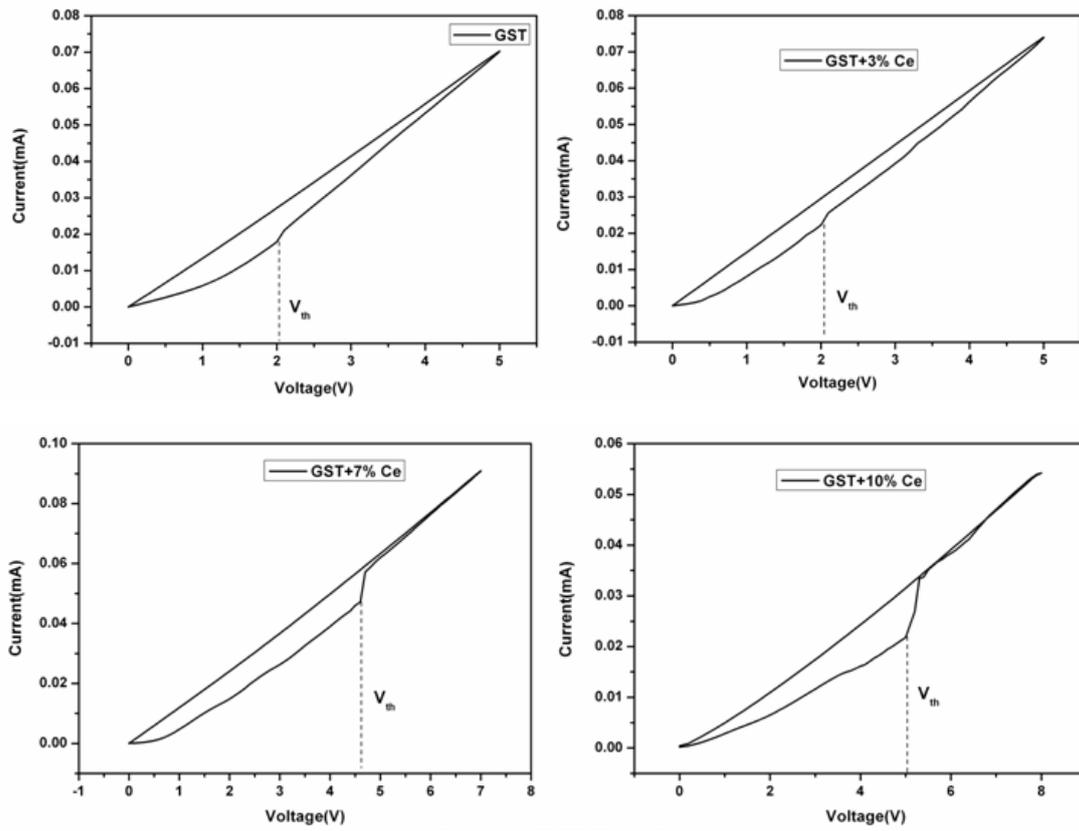


圖 4-38、不同 Ce 摻雜濃度之 GST 的 *I-V* 曲線。



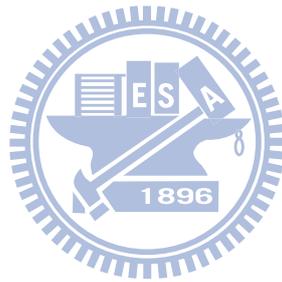
第五章

結 論

本論文研究 Ce 摻雜對應用於 PRAM 之 GST 相變化薄膜之結構與性質之影響，重要成果如下：

- (1) Ce 的摻雜能有效的提升 GST 薄膜之相變化溫度 (T_c) 與活化能 (E_a)； T_c 上升的原因為 Ce 為負電度較低的元素，與負電度較高的 Ge、Sb 與 Te 能產生鍵結能較強的離子鍵結，異種鍵結的導入成為相變化過程中鍵結重整的阻礙。另外，原子半徑較大的 Ce 固溶入 GST 晶格內所產生的應力應變場也會阻礙再結晶過程中原子的重新排列而使 T_c 上升。
- (2) Ce 摻雜之最重要之特徵為其不會使 GST 薄膜之電阻比值 (R -ratio) 下降，有助於訊號對比清晰度之保持。無論 Ce 摻雜比率為何，非晶態 GST 的電阻率皆維持在相同的數量級 ($10^3 \Omega\text{-cm}$)，不會有下降的現象，推測其原因為 Ce 有許多內層未填滿電子的空軌域，可供非晶態 GST 中之自由電子填入，此一捕捉電子之侷限效應因此造成非晶態 GST 電阻率不會下降。
- (3) Ce 的摻雜能有效的提昇資料保存時間，未摻雜之 GST 只能在 76°C 以下的溫度才能保存至十年。而 Ce 摻雜濃度為 1、3、5、7 和 10% 貼靶濺鍍面積比之 GST 可在 108 、 116 、 144 、 170 及 173°C 的溫度範圍內保存資料十年，其可大幅的提昇資料保存時間及材料的熱穩定性。
- (4) XRD 分析顯示 Ce 摻雜可抑制六方晶 (HCP) 相的出現，固溶之效應能抑制了晶粒成長，使晶粒發生細化的作用，此可提升循環的複寫次數；但 Ce 摻雜濃度超過 10% 貼靶濺鍍面積比時，可能發生過飽合而導致 IMC 相之析出，此亦會造成 E_a 值與資料保存能力之下降。
- (5) 元素 Mapping 結果顯示摻雜的 Ce 元素均勻分布於 GST 中，並無顯著之偏析行爲，此驗證 Ce 在 GST 中之固溶強化機制。

- (6) JMA 分析發現 Avrami 指數 (n) 下降因 Ce 之摻雜而下降，此顯示 GST 中會發生異質成核效應，但 Ce 之摻雜亦使整體活化能 (ΔH) 上升，顯然固溶於 GST 中的 Ce 會形成再結晶過程的阻礙，因而大幅提升了成長之活化能 (E_g)。
- (7) I - V 電性量測顯示臨界電壓 (V_{th}) 隨 Ce 摻雜濃度升高而升高； V_{th} 值之存在代表 Ce 摻雜並未使 GST 失去相變化反應的能力，且由前述 Ce 摻雜對 GST 性質之改善效果可預期其將是極具應用潛力之 PRAM 製備材料。



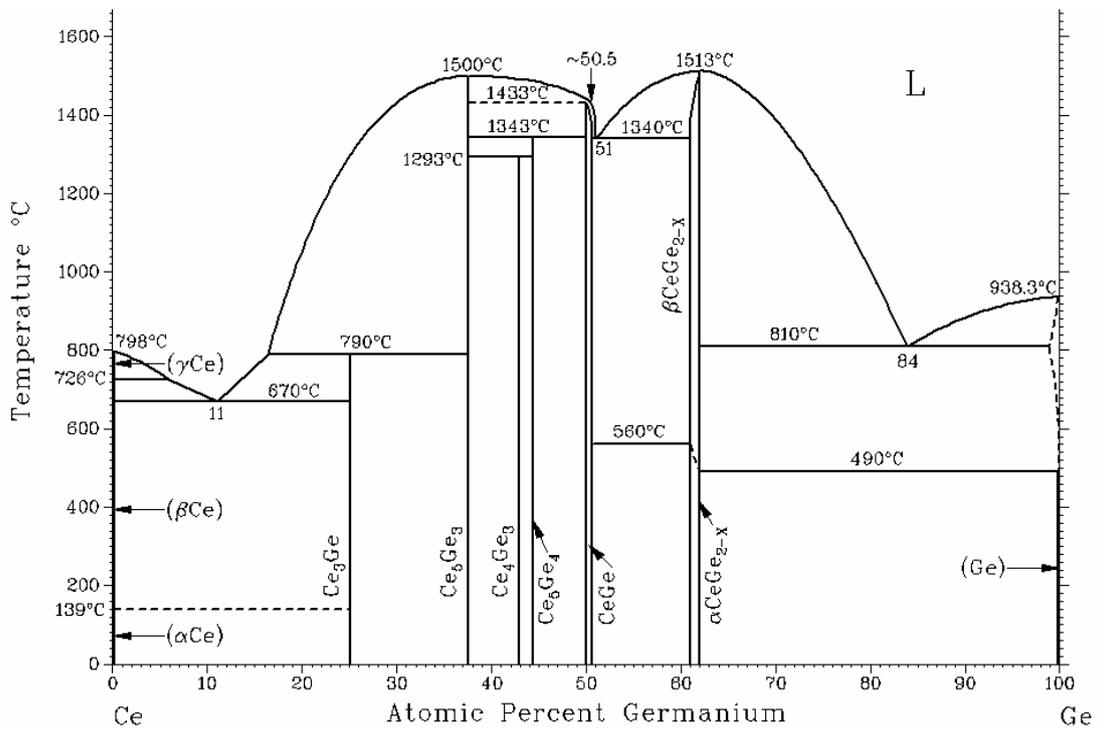
未來研究與展望

本實驗研究發現 Ce 摻雜對 GST 之性質有許多與既往研究報導迥異之處，其不會改變 GST 之 R -ratio 尤為重要發現，在未來研究方向上，除材料之物性質研究之外，亦宜往元件製作進行之，以達最終應用於 PRAM 元件之目的：

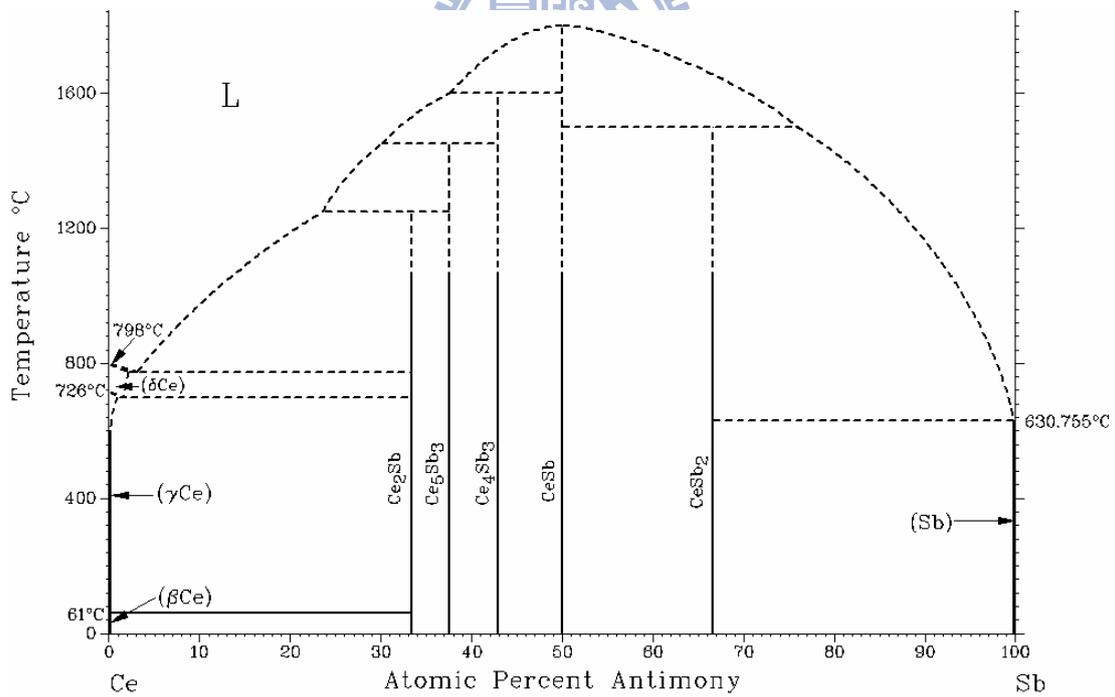
- (1) Ce 摻雜不會改變非晶態與結晶態 GST 之電阻原因應再深入探討，摻雜元素的電子組態及其對 GST 能帶結構之影響皆為可研究之方向。其不會改變 R -ratio 除有助於訊號對比清晰度之保持外，對高記錄密度之 PRAM 元件亦有其應用價值，此為未來可研究之方向之一。
- (2) 摻雜研究之目的之一為其是否能抑制 Te 元素之偏析，本論文研究因時間所限無法對 GST 之電遷移 (Electromigration) 有深入探討，未來可設計相關實驗完整分析摻雜之 GST 薄膜之電遷移行為。
- (3) 本論文研究僅止於 GST 薄膜之性質與結構，元件應用部份仍有許多待探討之處，未來可朝上、下電極層材料之選擇、薄膜熱電性質、元件結構模擬、設計及記錄性質分析等方向研究之，以建立完整之 PRAM 之研究架構。

附 錄

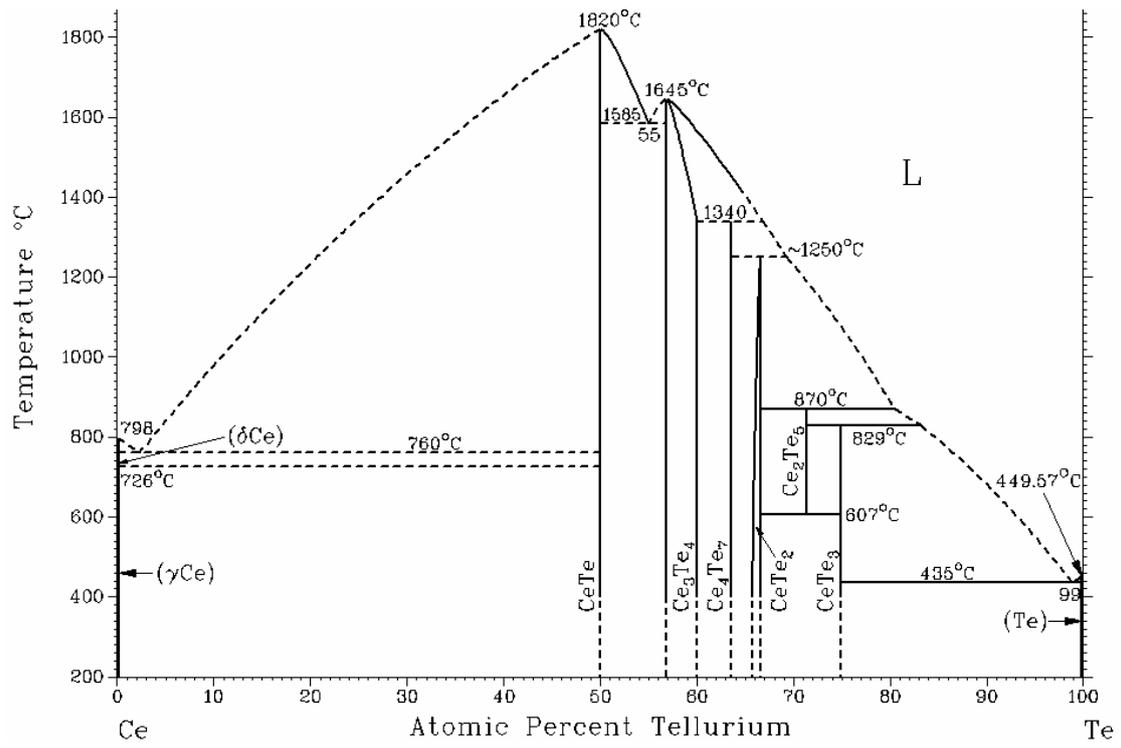
元素	訊號位置	化學組成	鍵結能 (eV)
Ge	$3d$	GeTe	29.65
Ge	$3d$	GeTe	30
Ge	$3d$	GeTe ₂	30.1
Ge	$3d$	GeO ₂	32.5
Sb	$3d_{3/2}$	Sb ₂ O ₃	539.5
Sb	$3d_{3/2}$	Sb ₂ O ₃	539.6
Sb	$3d_{3/2}$	Sb ₂ O ₄	539.8
Sb	$3d_{3/2}$	Sb ₂ O ₄	540.1
Sb	$3d_{3/2}$	Sb ₂ O ₄	540.6
Sb	$3d_{3/2}$	Sb ₂ O ₅	540.2
Sb	$3d_{3/2}$	Sb ₂ O ₅	540.4
Sb	$3d_{5/2}$	Sb ₂ O ₅	530.8
Sb	$3d_{5/2}$	Sb ₂ O ₃	529.9
Sb	$3d_{5/2}$	Sb ₂ O ₃	530
Te	$3d_{5/2}$	GeTe	572.7
Te	$3d_{5/2}$	GeTe ₂	572.75
Te	$3d_{5/2}$	TeO ₂	575.8
Te	$3d_{5/2}$	TeO ₂	576.1
Te	$3d_{5/2}$	TeO ₂	575.6
Te	$3d_{5/2}$	TeO ₂	576.4
Te	$3d_{5/2}$	TeO ₂	576.5
Te	$3d_{5/2}$	TeO ₂	576.21
Ce	$3d_{5/2}$	CeTe ₂	882
Ce	$3d_{3/2}$	CeTe ₂	900
Ce	$3d_{5/2}$	CeSb	882
Ce	$3d_{3/2}$	CeSb	900
Ce	$3d_{5/2}$	CeO ₂	882.7
Ce	$3d_{5/2}$	Ce ₂ O ₃	885.5
Ce	$3d_{5/2}$	Ce ₂ O ₃	885.6
Ce	$3d_{5/2}$	Ce ₂ O ₃	885.8
Ce	$3d_{3/2}$	Ce ₂ O ₃	903.7
Ce	$3d_{3/2}$	Ce ₂ O ₃	903.9



Ce-Ge 相圖。



Ce-Sb 相圖。



Ce-Te 相圖。



參考文獻

- [1] Sung Soon Kim, Seong Min Jeong, Keun Ho Lee, Young Kwan Park, Young Tae Kim, Jeong Taek Kong and Hong Lim Lee, “Simulation for Reset Operation of $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Phase-Change Random Access Memory”, *Jpn. J. Appl. Phys.*, **44**(2005), p.5943-5948.
- [2] M. Guth, G. Schmerber and A. Dinia, “Magnetic Tunnel Junctions for Magnetic Random Access Memory Applications”, *Mat. Sci. Eng.*, **C19**(2002), p.129-133.
- [3] Ricardo C. Sousa and I. Lucian Prejbeanu, “Non-volatile magnetic random access memories (MRAM)”, *C. R. Physique* **6**(2005), p1013–1021.
- [4] R.E. Jones, Jr., P.D. Maniar, R. Moazzami, P. Zurcher, J.Z. Witowski, Y.T. Lii, P. Chu and S.J. Gillespie, “Ferroelectric Non-volatile Memories for Low-voltage, Low-power Applications”, *Thin Solid Films*, **270**(1995), p.584-588.
- [5] Hari Singh Nalwa, *Handbook of Thin Film Materials—Ferroelectric and Dielectric Thin Film*, Academic Press, San Diego (2002), p.5.
- [6] Jakob Mustafaa, Andreas Rudigera and Rainer Waserb, “Comparison of Three Different Architectures for Active Resistive Memories”, *Int. J. Electron. Commun. (AEU)*, **61**(2007), p.345-352.
- [7] Herbert Schroeder and Doo Seok Jeong, “Resistive Switching in a Pt/TiO₂/Pt Thin Film Stack: a Candidate for a Non-volatile ReRAM”, *Microelectronic Engineering*, **84**(2007), p.1982-1985.
- [8] Thomas Rueckes, “Carbon Nanotube Based Nonvolatile Random Access Memory for Molecular Computing”, *Science*, **289**(2000), p.94-97.
- [9] J.B. Cui, R. Sordan, M. Burghard and K. Kern, “Carbon nanotube memory devices of high charge storage stability”, *Appl. Phys. Lett.*, **81**(2002),

p.3260-3262.

- [10] S.R. Ovshinsky, “Reversible Electrical Switching Phenomena in Disordered Structures”, *Phys. Rev. Lett.*, **21**(1968), p.1450.
- [11] Stefan Lai and Tyler Lowery, “OUM–A 180 nm Nonvolatile Memory Cell Element Technology for Stand Alone and Embedded Applications”, *IEDM'01 Tech, Dig.*, (2001), p.803.
- [12] Matthias Wutting and Noboru Yamada, “Phase-change Materials for Rewriteable Data Storage”, *Nature Materials*, **6**(2007), p.824-832.
- [13] Wojciech Wehlic, and Matthias Wuttig, “Reversible Switching in Phase-change Materials”, *Materials Today*, **11**(2008), p.20-27.
- [14] E. Morales-Sánchez, E.F. Prokhorov, J.Gonzalez-Hernandez and A. Mendoza-Galvan, “Structural, Electric and Kinetic Parameters of Ternary Alloys of GeSbTe”, *Thin Solid Films*, **471**(2005), p.243-247.
- [15] Noboru Yamada, Eiji Ohno, Kenichi Nishiuchi and Nobuo. Akahira, “Rapid-phase Transitions of GeTe-Sb₂Te₃ Pseudobinary Amorphous Thin Films for an Optical Disk Memory”, *J. Appy. Phys.*, **69**(1991), p.2849-2856.
- [16] I. Friedrich, V. Weidenhof, W. Njoroge, P. Franz, and M. Wuttig, “Structural Transformations of Ge₂Sb₂Te₅ Films Studied by Electrical Resistance Measurements”, *J. Appl. Phys.*, **87**(2000), p.4130-4134.
- [17] Gyeong-Su, Park, Ji-Hwan Kwon, Miyoung Kim, H.R. Yoon, W. Jo, T.K. Kim, Jian-Min Zuo and Yoonho Khang, “Crystalline and Amorphous Structures of Ge-Sb-Te Nanoparticles”, *J. Appl. Phys.*, **102**(2007), p.013524-013529.
- [18] X.S. Miao, L.P. Shi, H.K. Lee, J.M. Li, R. Zhao, P.K. Tan, K.G. Lim, H.X. Yang and T.C. Chong, “Temperature Dependence of Phase-Change Random Access Memory Cell”, *Jpn. J. Appl. Phys.*, **45**(2006), p.3955-3958.
- [19] A. Madan and M.P. Shaw, *The Physics and Application of Amorphous*

- Semiconductors*, Academic Press, San Diego, (1988), p.318.
- [20] S. Privitera, E. Rimini, C. Bongiorno, A. Pirovano, R. Bez, “Effect of Dopants on the Amorphous-to-fcc Transition in $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Thin Film”, *Nuclear Instruments and Methods in Physics Research*, **B257**(2007), p352-354.
- [21] Dimitre Z. Dimitrov, Yung-Hsin Lu, Mei-Rung Tseng, Wei-Chih Hsu and Han-Ping D. Shieh, “Oxygen and Nitrogen Co-Doped GeSbTe Thin Films for Phase-Change Optical Recording”, *Jpn. J. Appl. Phys.* **41**(2002), p.1656-1659.
- [22] Shin Kikuchi, Dong Young Oh, Isao Kimura, Yutaka Nishioka, Masahisa Ueda, Mitsuhiro Endo, Yutaka Kokaze and Koukou Suu, “Preparation of Oxygen-doped and Nitrogen-doped Ge-Sb-Te System Thin Film for Phase Change Random Access Memory by RF Magnetron Sputtering”, *IEEE, 7th Annual Non-Volatile Memory Technology Symposium (NVMTS) 2006*, **5-8**(2006), p.81-83.
- [23] Aya Takase, Go Fujinawa, Atsushi Ebina, Masao Hirasaka and Ikuto Sugiyama, “Crystal Structure of Oxygen/Nitrogen-Doped GeSbTe Phase-Change Media: Investigation Using Grazing Incidence X-ray Diffraction”, *Jpn. J. Appl. Phys.*, **41**(2002), p.2189-2190.
- [24] Tae Hee Jeong, Hun Seo, Kwang Lyul Lee, Sung Min Choi, Sang Jun Kim and Sang Youl Kim, “Study of Oxygen-Doped GeSbTe Film and Its Effect as an Interface Layer on the Recoding Properties in the Blue Wavelength”, *Jpn. J. Appl. Phys.*, **40**(2001), p.1609-1612.
- [25] S. Privitera, E. Rimini and R. Zonca, “Amorphous-to-Crystal Transition of Nitrogen- and Oxygen-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Films Studied by *in-situ* Resistance Measurements”, *Appl. Phys. Lett.*, **85**(2004), p.3044-3046.
- [26] H. Honi, J.H. Yi, J.H. Park, Y.H. Ha, I.G. Baek, S.O. Park, Y.N. Hwang, S.H.

- Lee, Y.T. Kim, K.H. Lee, U-In Chug and J.T. Moon, "A Novel Cell Technology Using N-doped GeSbTe Films for Phase Change RAM", *Symposium on VLSI Technology Digest of Technical Papers*, (2003), p.177-178.
- [27] Suk Min Kim, Jin Hyung Jun, Doo Jin Choi, Suk Kyoung Hong and Young Jin Park, "A Study on the Crystallization Behavior of Nitrogen Doped Ge₂Sb₂Te₅ Thin Film", *Jpn. J. Appl. Phys.*, **44**(2005), p.L208-L210.
- [28] Tae Hee Jeong, Myong R. KIm, Hun Seo, Jeong Woo Park and Cheong Yeon, "Crystal Structure and Microstructure of Nitrogen-Doped Ge₂Sb₂Te₅ Thin Film", *Jpn. J. Appl. Phys.*, **39**(2000), p.2775-2779.
- [29] Hun Seo, Tae-Hee Jeong, Jeong-Woo Park, Cheong Yeon, Sang-Jun Kim and Sang-Youl Kim, "Investigation of Crystallization Behavior of Sputter-Deposited Nitrogen-Doped Amorphous Ge₂Sb₂Te₅ Thin Films", *Jpn. J. Appl. Phys.*, **39**(2000), p.745-751.
- [30] Bo Liua, Zhitang Songa, Ting Zhanga, Jilin Xiaa, Songlin Fenga, Bomy Chen, "Effect of N-Implantation on the Structural and Electrical Characteristics of Ge₂Sb₂Te₅ Phase Change Film", *Thin Solid Films*, **478**(2005), p.49-55.
- [31] Young Kuk Kim and J. H. Baeck, "Effects of N₂⁺ Ion Implantation on Phase Transition in Ge₂Sb₂Te₅ Films", *J. Appy. Phys.* **100**(2006), p.083502-083507.
- [32] K. Wang, D. Wamwangi, S. Ziegler, C. Steimer and M. Wuttig, "Influence of Bi doping upon the phase change characteristics of Ge₂Sb₂Te₅", *J. Appy. Phys.*, **96**(2004), p.5557-5562.
- [33] Rie Kojima and Noboru Yamada, "Acceleration of Crystallization Speed by Sn Addition to Ge-Sb-Te Phase-change Recording Material", *Jpn. J. Appl. Phys.*, **40**(2001), p.5930-5937.
- [34] Tae Jin Park, Hyun Kim, Sung Min Yoon, Kyu Jeong Choi, Nam Yeal Lee, Byoung Gon Yu, and Se Young Choi, "Phase Transition Characteristics and

- Device Performance of Sn-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ in Phase Change Random Access Memory”, *Jpn. J. Appl. Phys.*, **45**(2006), p.L1273-L1276.
- [35] K.Wang, C. Steamer, D.Wamwangi, S.Ziegler and M. Wuttig, “Effect of Indium Doping on $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Thin Films for Phase-change Optical Storage”, *Appl. Phys.* **A80**(2005), p.1611-1616.
- [36] 吳汀溟, “添加Ag對 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 薄膜光學性質及微觀結構之影響”, 國立台灣大學材料科學與工程研究所碩士論文, (2001)。
- [37] Yun Ling, Yinyin Lin, Baowei Qiao, Yunfeng Lai, Jie Feng, Tingao Tang, Bingchu Cai and Bomy Chen, “Effect of Si Doping on Phase Transition of $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Films by *in situ* Resistance Measurement”, *Jpn. J. Appl. Phys.*, **45**(2006), p.L349-L351.
- [38] Seung Wook Ryu, Jin Ho Oh, Jong Ho Lee, Byung Joon Choi, Won Kim, Suk Kyoung Hong, Cheol Seong Hwang and Hyeong Joon Kim, “Phase Transformation Behaviors of SiO_2 Doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Films for Application in Phase Change Random Access Memory”, *Appl. Phys. Lett.*, **92**(2008), p.142110-142113.
- [39] Bo Liu, Zhitang Songa, Songlin Feng and Bomy Chen, “Structure and Sheet Resistance of Boron-implanted $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Phase Change Film”, *Mat. Sci. Eng.*, **B119**(2005), p.125-130.
- [40] C.W. Jeong, S.J. Ahn, Y.N. Hwang, Y.J. Song, J.H. Oh, S.Y. Lee, S.H. Lee, K.C. Ryoo, J.H. Park, J.H. Park, J.M. Shin, F. Yeung, W.C. Jeong, J.I. Kim, G.H. Koh, G.T. Jeong, H.S. Jeong and K. Kim, “Highly Reliable Ring-Type Contact for High-Density Phase Change Memory”, *Jpn. J. Appl. Phys.*, **45**(2006), p.3233-3237.
- [41] 陳沿洲, “鍺銻碲相變化薄膜的電氣性值與相變化行為之研究”, 國立交通

大學材料科學與工程學系碩士論文，(2007)。

- [42] Tae Jin Park, Se Young Choi and Myung Jin Kang, “Phase Transition Characteristics of Bi/Sn Doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Thin Film for PRAM Application”, *Thin Solid Films*, **515**(2007), p.5049-5053.
- [43] E. Garsia-Garsia, M. Yanez-Limon, Y. Vorobiev, F. Espinoza-Beltran and J. Gonzalez-Hernandez , “Crystallization Kinetics of $\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56}$ Doped with Se and Ni”, *Semi. Phys., Quan. Elec. & Opto.*, **1**(1998), p.71-74.
- [44] 張志清，“摻雜元素對相變化光碟的複寫效應和紀錄層微觀結構的影響”，*國立交通大學材料科學與工程研究所碩士論文*，(2000)。
- [45] Scott Tyson, “Nonvolatile, High Density, High Performance Phase-Change Memory”, *IEEE, Aerospace Conference Proceedings* **5**(2000), p.385-390.
- [46] 高明哲，“非揮發性記憶體(NVM)相變化記憶體(PCM)”，工業技術研究院，(2005)，p.1-141。
- [47] T. Lowrey, “*Ovonic Unified Memory*”, Ovonyx Inc., (1999).
- [48] S. Bernacki, K. Hunt, S. Tyson, S. Hudgens, B. Pashmakov and Wally Czubytyj, “Total Dose Radiation Response and High Temperature Imprint Characteristics of Chalcogenide Based RAM Resistor Elements”, *IEEE Trans. on Nuclear Science*, **47**(2000), p.2528-2533.
- [49] J. Maimon, E. Spall, R. Quinn and S. Schnur, “Chalcogenide-Based Non-Volatile Memory Technology”, *Conf. IEEE Proc.*, (2001), p.2289-2294.
- [50] Y.H. Ha, J.H. Yi and H. Horii, “An Edge Contact Type Cell fro Phase Change RAM Featuring Very Low Power Consumption”, *Symp. VLSI Tech. Dig. Tech. Pap.*, (2003), p.175.
- [51] R. Kojima, S.Okabayashi, T.Kashihara, K.Horai, T.Matsunaga, E.Ohno, N.Yamada and T.Ohta, “Nitrogen Doping Effect on Phase Change Optical Disks”, *Jpn. J. Appl.Phys.*, **37**(1998), p.2098-2103.

- [52] Y.C. Chen, H.P. Chen, Y.Y. Liao, H.T. Lin, L.H. Chou, J.S. Kuo, P.H. Chen, S.L. Lung and Rich Liu, "A High Performance 180 nm Nonvolatile Memory Cell Using Phase Change Sn-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Chalcogenide", *Symp. VLSI Tech. Dig. Tech. Pap.*, (2003), p.32-35.
- [53] N. Matsuzaki, K. Kurotsuchi, Y. Matsui, O. Tonomura, N. Yamamoto, Y. Fujisaki, N. Kitai, R. Takemura, K. Osada, S. Hanzawa, H. Moriya, T. Iwasaki, T. Kawahara, N. Takaura, M. Terao, M. Matsuoka and M. Moniwa, "Oxygen-doped GeSbTe Phase-change Memory Cells Featuring 1.5-V/100- μA Standard 0.13- μm CMOS Operations", *IEDM'05 Tech. Dig.*, (2005), p.738-741.
- [54] D.P. Gosain, M. Nakamura, T. Shimizu, M. Suzuki and S. Okano, "Nonvolatile Memory Based on Reversible Phase Transition Phenomena in Telluride Glasses", *Jpn. J. Appl. Phys.*, **28**(1989), p.1013-1018.
- [55] Ting Zhang, Zhitang Song, Feng Rao, Gaoming Febg, Bo Liu, Songlin Feng, and Bomy Chen, "High Speed Chalcogenide Random Access Memory Based on $\text{Si}_2\text{Sb}_2\text{Te}_5$ ", *Jpn. J. Appl. Phys.*, **46**(2007), p.247.
- [56] Homer E. Kissinger, "Variation of Peak Temperature With Heating Rate in Differential Thermal Analysis", *J. Res. Nat. Bur. Stand.*, **57**(1956), p.217-221.
- [57] Homer E. Kissinger, "Reaction Kinetics in Differential Thermal Analysis", *Anal. Chem.*, **29**(1957), p.1702-1706.
- [58] Michael E. Brown, *Introduction to Thermal Analysis*, Chapman and Hall, London, (1988), p.127.
- [59] M.R. Kim, H. Seo, T. H. Jung, J.W. Park, and C. Yeon "Microstructure-Property Relationship in Nitrogen Doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Phase-Change Optical Recording Media", *Proceedings of SPIE*, **3401**(1998), p.259-262.
- [60] I. Friedrich, V. Weidenhof, W. Njoroge, P. Franz and M. Wuttig, "Structural transformations of $\text{Ge}_2\text{Sb}_2\text{Te}_5$ films studied by electrical resistance

- measurements”, *J. Appl. Phys.*, **87**(2000), p.4130-4134.
- [61] L. Men, J. Tominaga, H. Fuji, T. Kikukawa and N. Atoda, “The Effects of Metal-Doped GeSbTe Films on Light Scattering-Mode Super-Resolution Near-Field Structure (Super-RENS)”, *Jpn. J. Appl. Phys.*, **40**(2001), p.1629-1633.
- [62] M. Avrami, “Kinetics of Phase Change I”, *J. Chem. Phys.*, **7**(1939), p.1103-1112.
- [63] M. Avrami, “Kinetics of Phase Change II”, *J. Chem. Phys.*, **8**(1940), p.212-224.
- [64] M. Avrami, “Kinetics of Phase Change III”, *J. Chem. Phys.*, **9**(1941), p.177-184.
- [65] G. Kostorz, *Phase Transformation in Materials*, Wiley-VCH, Weinheim, (2001), p.243.
- [66] R.H. Doremus, *Rate of Phase Transformation*, Academic Press, Orlando, (1985), p.24.
- [67] D.A. Porter and K.E. Easterling, *Phase Transformations in Metals and Alloys*, 1st ed., Chapman and Hall, London, (1981), p.289.
- [68] J.W. Christian, *The Theory of Transformations in Metals and Alloys*, Part I, “Equilibrium and General Kinetic Theory”, 2nd ed., Pergamon Press, Oxford, (1975), p.12-20; *ibid*, p.542.
- [69] Michael C. Weinberg, Dunbar P. Birnie III and Vitaly A. Shneidman, “Crystallization Kinetics and JMAK Equation”, *J. Non-Cryst. Solids*, **219**(1997), p.89-99.
- [70] Dunbar P. Birnie III and Michael C. Weinberg, “Shielding Effects in 1-D Transformation Kinetics”, *Phys. A*, **223**(1996), p.337-347.
- [71] V. Weidenhof, I. Friedrich, S. Ziegler, and M. Wuttig, “Laser Induced Crystallization of Amorphous Ge₂Sb₂Te₅ Films”, *J. Appl. Phys.*, **89**(2001), p.3168-3176.

- [72] Hiroyuki Nasu, Keiji Tsumetomo, Yoji Tokumitsu and Yukio Osaka, “Semiconducting CdTe Microcrystalline-Doped SiO₂ Glass Thin Films Prepared by RF-Sputtering”, *Jpn.J. Appl. Phys.*, **28**(1989), p.862.
- [73] L.B. Valdes, “Resistivity Measurements on Germanium for Transistors”, *Proc. I.R.E.*, **42**(1954), p.420-427.
- [74] Kin-Fu Kao, Chain-Ming Lee, Ming-Jung Chen, Ming-Jinn Tsai and Tsung-Shune Chin, “Ga₂Te₃Sb₅-A Candidate for Fast and Ultralong Retention Phase-Change Memory”, *Adv. Mater.*, **21**(2009), p.1-5.
- [75] J-S Kang, C.G.Olson, Y.S. Kwon, S.W. Han, K.H. Kim, A Sekiyama, S. Kasai, S.Suga and B.I. Min, “Photoemission study of Carriers and Ce_{4f} Spectral Weight in CeTe₂”, *J. Phys.: Condens. Matter.*, **16**(2004), p.9163-9168.
- [76] B.D. Cullity and S.R. Stock, *Element of X-Ray Diffraction*, Prentice Hall press, 3rd edition, 2001.
- [77] C. Rivera-Rodríguez, E. Prokhorov, G. Trapaga, E. Morales-Sánchez, M. Hernandez-Landaverde, Yu. Kovalenko and J. González-Hernández, “Mechanism of Crystallization of Oxygen-doped Amorphous Ge₁Sb₂Te₄ Thin Films”, *J. Appl. Phys.*, **96**(2004), p.1040-1046.
- [78] Yu-Jen Huang, Yen-Chou Chen and Tsung-Eong Hsieh, “Phase Transition Behaviors of Mo- and Nitrogen-doped Ge₂Sb₂Te₅ Thin Films Investigated by *in-situ* Electrical Measurements”, *J. App. Phys.*, (2009), accepted.