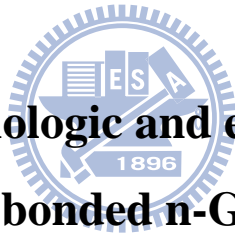


國立交通大學

材料科學與工程學系

碩士論文

N型砷化鎵/N型矽晶圓接合介面形態與電性研究



**Interface morphologic and electrical characteristic
of bonded n-GaAs/n-Si**

研究生：張岱民

指導教授：吳耀銓 教授

中華民國九十八年九月

砷化鎵/矽晶圓接合介面形態與電性研究

**Interface morphologic and electrical characteristic
of bonded n-GaAs/n-Si**

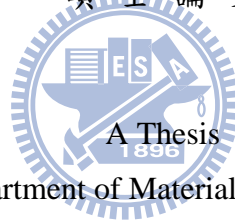
研究生：張岱民

Student : Tai-Min Chang

指導教授：吳耀銓

Advisor : Prof. Yew-Chung Sermon Wu

國立交通大學
材料科學與工程學系
碩士論文



Submitted to Department of Material Science and Engineering

College of Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Material Science and Engineering

September 2009

Hsinchu, Taiwan, Republic of China

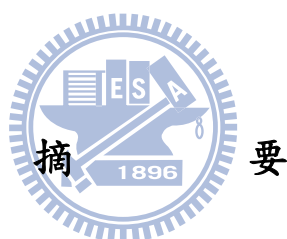
中華民國九十八年九月

N 型砷化鎵/N 型矽晶圓接合介面形態與電性研究

學生：張岱民

指導教授：吳耀銓 教授

國立交通大學材料科學與工程學系研究所碩士班



三五族光學元件與矽基板的整合在光電積體電路的應用上吸引了不少目光，晶圓接合技術則能在高品質的接合介面之下將這些元件做整合。材料歷經高壓及高溫退火，在試片表面會形成化學鍵進而將材料緊密接合在一起。然而不同材料之間總是存在著熱膨脹係數差異，在高溫之下產生的熱應力不僅會造成試片分離還甚至會使試片破裂。

本實驗選擇 N 型砷化鎵與 N 型矽晶圓作為直接接合研究對象。首先以簡單的方式避免熱應力使試片可以在高溫退火後成功接合，之後以穿透式電子顯微鏡觀察微結構並作電流電壓特性量測。結果顯示存在於介面的非晶質區域厚度隨著退火溫度上升而變薄。而電性量測方面觀察到阻值隨著溫度的上升而減小，在正偏壓觀察到起始電壓無改變，原因來自 EL2 與矽擴散的交互影響，在負偏壓觀察到崩潰電壓隨著溫度降低而減小，原因來自低溫時介面較厚的非晶質區域，提供電子漏電流的路徑而提早導通。

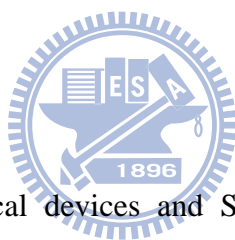
Interface morphologic and electrical characteristic of bonded n-GaAs/n-Si

Student : Tai-Min Chang

Advisors : Pro. Yew-Chung Sermon Wu

Department of Material Science and Engineering
National Chiao Tung University

ABSTRACT



The integration of III–V optical devices and Silicon attract much interest for OEICs applications. Wafer bonding can provide high quality interface for combination of these materials. During high pressure and high temperature anneal, wafer bonded by producing covalent bond at interface. However, there always exist thermal expansion mismatch between different material, great thermal stress may cause sample debond even crack after annealing.

In this study, direct wafer bonding was applied to combine n-Si and n-GaAs. A simple method was used to avoid thermal stress and sample successfully bonded after high temperature anneal. The interface microstructure was investigated by transmission electrical microscopy (TEM) and I-V characteristic was also measured. The thickness of amorphous layer decrease at higher annealing temperature. The I-V measurement shows the resistance decrease with annealing temperature increase. Under forward bias ,we found unchanged turn-on voltage, due to the EL2 and Si diffusion effect. Under reverse bias, we found break-down voltage decrease with annealing temperature decrease, due to at lower temperature, thicker interface amorphous region act as trap state, lead to more leakage current path.

誌謝

就讀碩士班的兩年時光，轉眼間就結束了，感謝我的指導教授吳耀銓老師在這兩年的諄諄教誨，給予學業、研究上的指導與建議，以及對於生活上的關心。此外，感謝材料系的吳文偉教授以及工研院胡國仁學長在百忙之中擔任我的口試委員，給予我許多實用的建議以及指教，讓我對於未來實驗的方向更加確定。

感謝實驗室的各位，謝謝學長姐：胡晟民、廖錚、張志榜、王寶明、黃秉緯、鄭季豪、林博文、李美儀、賴明輝、謝承佑、邱偉哲、陳奕宏、陳建誌學長們，給予我實驗上的幫助以及指導；也感謝我的同學們：張勝傑、趙育誠、鄭筑文、廖偉志、黃璽豪，還有學弟妹：許堉程、鍾承璋、錢奐宇、卓昕如、鄭文豪、邱郁珈、牛振儀、童騰賦。在兩年的碩士班生活中，有你（妳）們的陪伴，讓我的生活中充滿著歡笑，留下許多美好的回憶。

也要感謝我的爸媽和我的姐姐，在大學到現在對我的支持與鼓勵，沒有你們就不會有今天的我。最後，要謝的人太多了，那就謝天吧！

目錄

目錄	I
圖目錄	II
一、 緒論	1
1.1 前言	1
1.2 研究動機	2
二、 晶圓接合技術簡介	6
2.1 晶圓接合機制	6
2.2 晶圓接合技術	8
2.3 影響晶圓接合品質要素	11
2.4 晶圓接合的優點	14
三、 實驗方法	15
3.1 試片製備	15
3.2 試片清洗	16
3.3 高溫退火	18
3.4 電性量測	21
3.5 微觀結構分析	23
四、 結果與討論	25
4.1 接合參數	25
4.2 微觀結構觀察	26
4.3 介面成份分析	33
4.4 電性量測分析	37
4.4-1 高偏壓量測下電阻值	38
4.4-2 能帶對準	39
4.4-3 正偏壓下電壓電流特性曲線	40
4.4-4 EL2 對正偏下電壓電流特性曲線影響	41
4.4-5 矽在砷化鎵中擴散對正偏壓下電壓電流特性曲線影響	42
4.4-6 負偏壓下電壓電流特性曲線	44
五、 結論	47
六、 未來工作	48
參考文獻	49

圖目錄

圖1.1 覆晶封裝技術示意圖	3
圖1.2 三五族材料與絕緣層上矽波導元件接合示意圖	4
圖 2.1 晶圓接合初步吸引力	6
圖2.2 (a)曲率不同造成之擴散現象 (b)經退火後表面鍵結	7
圖 2.3 陽極接合法示意圖	9
圖 2.4 表面殘留細微粒子對接合面積的影響	11
圖 2.5 退火溫度與時間對接合強度的影響	13
圖 3.1 試片切割示意圖	15
圖 3.2 旋轉角度接合面 $\langle 110 \rangle$ 投影示意圖	17
圖 3.3 鉬與不鏽鋼熱膨脹係數對溫度圖	19
圖3.4 長型爐管退火示意圖	19
圖 3.5 夾具分解示意圖	20
圖 3.6 夾具結合示意圖	20
圖 3.7 電性量測試片製備流程圖	22
圖 3.8 電性量測示意圖	20
圖 3.9 聚焦離子束系統切割 TEM 試片示意圖	23
圖 4.1 700°C 2hr 接合介面形態	27
圖 4.2 700°C 2hr 接合介面形態(高解析影像)	27
圖 4.3 800°C 2hr 接合介面形態	28
圖 4.4 800°C 2hr 接合介面形態(高解析影像)	28
圖 4.5 900°C 2hr 接合介面形態	29
圖 4.6 900°C 2hr 接合介面形態(高解析影像)	29
圖 4.7 800°C 5hr 接合介面形態	30
圖 4.8 800°C 5hr 接合介面形態(高解析影像)	30
圖 4.9 700°C 2hr 非晶質區域成份分析	33
圖 4.10 800°C 2hr 非晶質區域成份分析	34
圖 4.11 900°C 2hr 非晶質區域成份分析	34
圖 4.12 矽端 EDX 成份分析	35
圖 4.13 砷化鎂端 EDX 成份分析	36
圖 4.14 700~900°C 電壓-電流特性圖	37

圖 4.15	n-Si/n-GaAs 接面能帶圖	39
圖 4.16	正偏壓下電壓-電流特性曲線	41
圖 4.17	EL2 對 n-Si/n-GaAs 接面能帶影響	43
圖 4.18	砷化鎵端矽含量變化圖	45
圖 4.19	矽擴散至砷化鎵對 n-Si/n-GaAs 接面能帶影響	45
圖 4.20	負偏壓電壓-電流特性曲線	46
圖 4.21	負偏壓下電子透過 trap state 導通示意圖	47

一、緒論

1.1 前言

科技發達的現代，各種材料的應用顯得相當重要，半導體材料便是其中一項重要的應用，在光電半導體元件(Optoelectronic semiconductor device)的應用上，單一材料的特性已無法滿足設計者的需求，異質材料的整合，是科技發展的趨勢，結合各種不同材料間的特性，提供了製造更高效能、多用途以及嶄新元件的機會。

整合不同材料的方法中，異質磊晶(Heteroepitaxial)最早被應用，且被廣泛的研究，但磊晶技術存在不易解決的問題，不同材料晶格常數不匹配(Lattice mismatch)的問題，使得磊晶材料和基板介面處產生高密度的穿透性差排^{[1][2][3]} (Threading dislocation)，大大降低了材料的特性。除了晶格常數的問題，磊晶層的晶面方向受限於基板方向，要長出不同晶面的材料相當困難，限制了不同晶面材料間的整合。

由於受限於磊晶技術面臨的問題，其他種整合方式陸續被研究與應用，晶圓接合便是其中一種被廣泛利用的方式，晶圓接合技術消除了磊晶所遇到的問題，成功的應用在各種光電半導體元件製程上，例如高亮度發光二極體^{[4][5]}、垂直共振腔面射型雷射(VCSEL)^[6]、光電整合電路(OEICs)，光偵測器(Photodectors)等應用層面。

1.2 研究動機

光電半導體元件的整合，近年來受到廣泛的注目；將主動元件部分，例如：放大器、轉換器、光激發元件、光感測元件等，與被動元件，例如：波導(waveguide)，進行整合所製作出的光電整合機體電路(optical electron integrate circuits, OEICs)將會是未來半導體產業的一項重要發展。這項整合不同元件間的技術有幾個重要的問題是必須考慮的：

1. 材料的選擇：材料之間的差異性(晶格常數差異、方向性、熱膨脹係數差異)導致的限制。
2. 元件/元件間的光耦合以及對位(alignment)問題。
3. 是否能以大尺寸(wafer - scale)進行整合。
4. 耗材使用量、成本問題。

在材料的選擇方面，三五族半導體大多具有直接能隙(Direct bandgap)的特性，相較於間接能隙的(Indirect bandgap)的材料，作為光學元件具有較好的光電轉換效率；矽(Si)基板則在半導體產業發展已久，具有成熟的CMOS製程技術，且價格較便宜。在Roel Baets^[7]等人的研究中提到，將銦砷化鎵光偵測器(InGaAs photodetector)與絕緣層上矽的波導(SOI waveguide)電路進行整合是未來光纖通訊方面主要的努力目標，文獻中比較了數種整合方式，包括異質磊晶(heteroepitaxy)、覆晶封裝(Flip chip)以及晶圓接合(wafer bonding)技術。

首先提到的是異質磊晶技術，磊晶上的三五族材料可經由微影方式進行準確的對位，進行後續元件的製成，也相當符合量產的原則，但是異質磊晶存在著晶格常數不匹配(Lattice mismatch)以及熱膨脹係數差異的問題，在介面處產生的大量穿透性差排將成為載子捕捉中心(trap center)，導致原件特性下降，雖然可以藉由先長上適當的緩衝層(buffer layer)的方式解決，但製成的不一致性與交互擴散的問題，使得異質磊晶技術不是主要的整合方式之一。

接著提到的是覆晶封裝(Flip chip)技術，在 SOI waveguide 上以微影蝕刻的方式製作出柵欄狀的圖形，使光可以垂直透過介面到達光偵測器，基本的覆晶封裝方式如下圖：

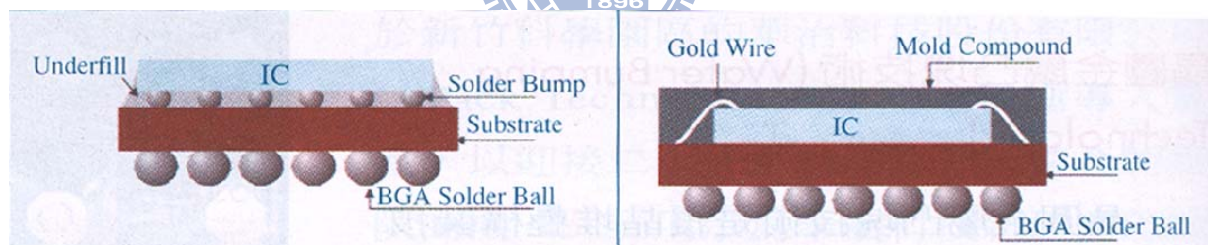


圖 1.1 (左)覆晶封裝示意圖 (右)打線封裝示意圖

([Http://dictionary.zdnet.com/definition/flip+chip.html](http://dictionary.zdnet.com/definition/flip+chip.html))

此種封裝技術也是相當成熟，兩端元件光的耦合上也不會造成問題，但由於需要精確的對位，在大尺寸晶片的整合上製做困難且費時，限制了此種技術方式的應用。

最後提到的是晶圓接合方式，由於介面必須使光可以穿過，因此共晶接合(eutectic bonding)以及利用金屬接合(metal bonding)這兩種方式並不適用，因此可行的接合方式則有以下兩種:黏結接合法(adhesive bonding)以及直接接合法(direct bonding)。Di Liang^[8] 與A. Georgakilas^[9] 的研究中，提出以SiO₂ 和SOG(spin-on-glass)做為中間介質層接合絕緣層上矽的波導(SOI waveguide)和三五族元件，但是砷化鎵基板價格較昂貴，整片的晶片進行接合在耗材使用量上較大，在Roel Baets^[7]的研究中，提出利用die-to-wafer的接合方式，將未處理的三五族基板與已製做完成的SOI波導進行接合，流程圖如圖1.2所示。由於接合上的是未處理的三五族基板，對於對位的精準度要求較小，可以靠著後續微影製程將兩元件完美對準，亦符合商業量產的考量。

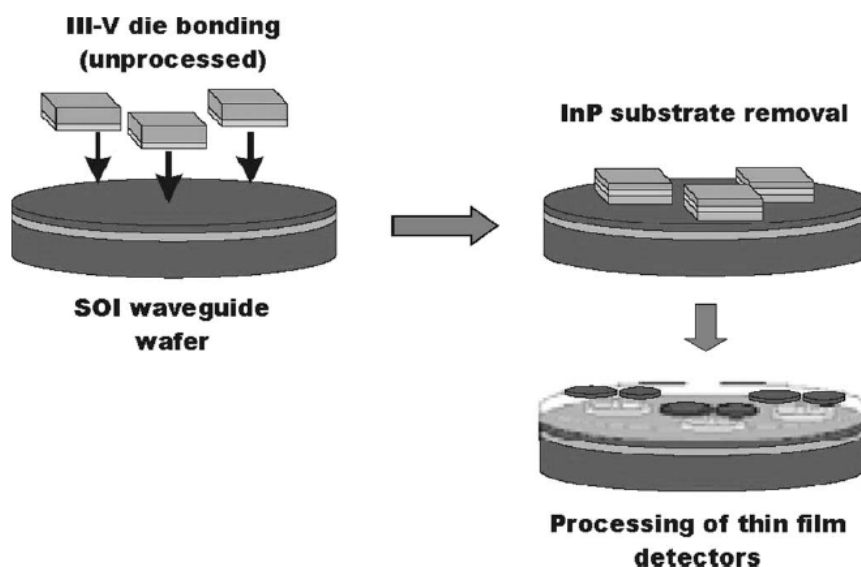


圖 1.2三五族材料與絕緣層上矽波導元件接合示意圖^[7]

異質直接接合技術不僅是項技術，若運用在學術上也有重要的研究價值，從最基本面的動力學、熱力學討論界面的特性，利用穿透式電子顯微鏡觀察界面的微觀結構，了解界面的物理、化學性質，量測機台進行電性量測，都將有助於了解投入應用後可能遇到的問題，對未來應用建立了良好的基礎。而本實驗室對砷化鎵互相接合已有一系列的研究，期望舊有的理論延伸進入異質晶圓接合的領域，最後將量測的電性與界面結構做連結。



二、晶圓接合技術簡介

2.1 晶圓接合機制

所謂晶圓接合就是將兩片晶圓面對面相接，此時產生微弱的吸引力讓兩片晶圓預接合(Pre bond)，預接合後再施以同軸應力以及適當的退火溫度，讓兩片晶圓產生更強的鍵結。晶圓的接合方式有很多種，若以兩片晶圓中間是否以其他介質物做黏著劑接合為分類，可將晶圓接合計數略分成兩類：使用膠或中間介質層做接合稱為中間介質層晶圓接合(Intermediate layer wafer bonding)，不使用中間介質層做接合稱直接晶圓接合(Direct wafer bonding)。在直接接合技術中，兩片晶圓初步接觸時已有幾種作用力，可分類為以下三種形式：(1)凡德瓦爾力；(2)毛細作用力；(3)靜電力

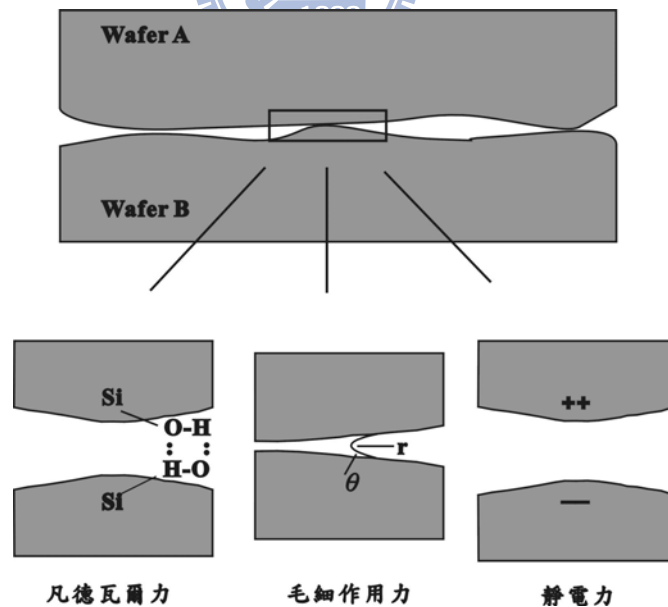
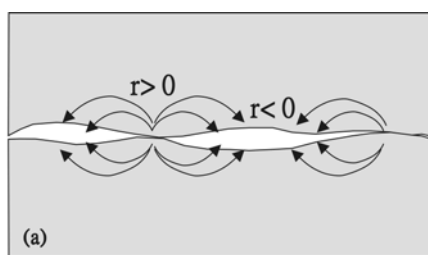


圖 2.1 晶圓接合初步吸引力^[10]

初步的接觸雖有上述三種吸引力做初步接合，但均是很微弱的吸引力，必須施加同軸應力以及高溫退火，方可使接合的強度達到一般應用的需求。固態材料的表面原子排列並非平衡狀態，往往以重構狀態存在 (Reconstructed state) 存在，這些非平衡狀態的表面層具有許多斷鍵 (Dangling bond)，相較於內部具有較高的能量，以熱力學的角度來看，給予適當的應力以及溫度下，兩片晶片表面的重構區域為了減少表面能，將發生類似側向成長的行為，使得重構狀態的表面消除，而以晶界的型態代替^[11]，這是以表面能的觀點來分析接合的驅動力。表面張力亦是接合的驅動力之一，試片表面並非完整的平面，而是有許多高低起伏 (Roughness) 存在，試片表面曲率大 ($r > 0$) 處體積自由能大，原子會往曲率小的地方擴散以降低總能量，如下圖所示，這是以自由能的觀點來分析接合的驅動力。



體積自由能和表面曲率的關係

$$\frac{dG}{dV} = \frac{2\gamma}{r}$$

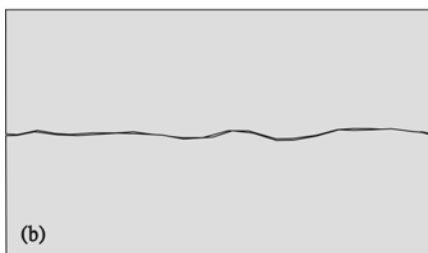


圖2.2 (a)曲率不同造成之擴散現象 (b)經退火後表面鍵結^[11]

2.2 晶圓接合技術

以中間介質層的使用與否可將晶圓接合技術略分為兩類，不同的接合條件又可細分為以下幾類^[12]：

1. 直接晶圓接合(Direct bonding)

A. 融合接合(Fsion bonding):

一般泛指晶圓接合就是所謂的融合接合，將預接合的試片經清洗後在潔淨室面對面接觸，利用兩晶圓間的凡德瓦爾力或氫鍵等初步作用力接觸再一起，在置入氣氛爐中做高溫退火處理使進一步的鍵結產生，使介面強度能達到如塊材般的水準。

B. 陽極接合(Aodic bonding)

欲接合的晶片中其一為導體或半導體，另一晶片為具有可移動離子(如：鈉或鋰)之絕緣體時即可使用陽極接合法來執行晶片接合，簡單的操作原理是將正極接在導體或(半導體)上，負極接於含離子的絕緣體上，如圖 2.3 所示，因界面不導通，而在界面附近形成電荷聚集，造成空間電場，也就是所謂的靜電吸引力，因具有靜電力加成作用加熱溫度就不用如一般融合接合時的高溫，可大幅降低製程溫度，以避免兩材料在製程時熱膨脹係數不同所造成的試片破裂。

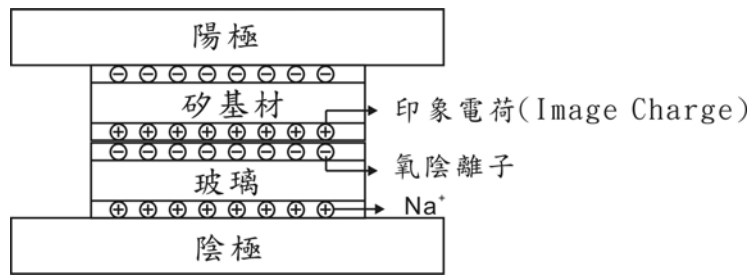


圖 2.3 陽極接合法示意圖

C. 低溫接合

高溫製成雖可增加接合強度，但高溫往往會對材料性質產生很大的影響，尤其是異質材料的接合往往會產生很大的熱應力導致試片破裂，在大尺寸接合的試片上應用會產生困難，因此採用低溫接合降低熱應力的影響，主要有幾種方式：低溫長時間退火、超高真空中進行接合退火、表面活化晶圓接合。以能量的觀點看低溫接合技術，低溫長時間退火增加跨越能障的機會，超高真空進行接合降低所需跨越能障的大小，而表面活化處理使的初始能階提高，使接合所需跨越的能障降低；三種方式均是為了使試片不在溫度的驅動下能夠跨越能障形成進一步的鍵結接合。

2. 中間介質層晶圓接合(Intermediate layer wafer bonding)

A. 金屬共晶接合(Eutectic bonding)

先將兩具有共晶相的金屬分別鍍在兩片不同的晶片上，經過清洗後將兩片晶片相接觸，於共晶溫度執行退火，此時兩種金屬就會產生共晶相，利用此方式材料可在較低溫度下進行接合；利用錫金(Au-20wt%Sn)兩金屬可以在 300°C 的溫度下將矽和氮化鎵(GaN)接合^[13]，並且成功的製作完成高功率發光二極體。

B. 塗布化學介質層進行接合

首先將化學物質塗佈在晶圓表面，這些化學物質在室溫下為黏稠狀的液體，但在進行升溫退火後會變的穩定並具有強度，可將兩片試片黏貼固定，目前廣泛被使用的有旋塗式玻璃(Spin on glass; SOG)和BCB(Bzocyclobutene)膠^{[14][15]}。

2.3 影響晶圓接合品質要素

1. 晶圓表面品質

晶片表面的品質主要可以由三種參數決定：平坦度(Flatness)、平行度(Parallelism)和晶圓表面的平滑度(Smoothness)，平坦度指的是巨觀上厚度的變化，平行度則是相對翹曲的程度，平滑度指的是微觀上的粗糙程度，表面的不平整會造成缺陷如孔洞等，亦會造成未接合區域的增加。在現今的晶圓製作技術上，平坦度和平行度的問題影響甚小，但在不同的清洗步驟下，平滑度的大小仍是需注意的問題。

除此之外，表面的潔淨度也影響接合的狀況，影響的因素不外乎細微粒子、金屬離子與有機物的殘留，尤其是表面殘留的微小粒子影響接合甚巨，造成的未接合區域比殘留物本身大上許多^[16]。在接合前進行的晶片清洗，及是要使表面潔淨度的影響降到最低，增加接合成功的機率。

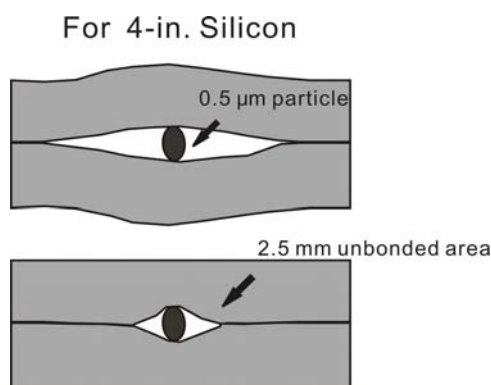
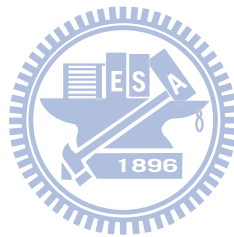


圖 2.4 表面殘留細微粒子對接合面積的影響^[16]

2. 熱膨脹係數差異

不同的材料間具有不同的熱膨脹係數，且熱膨脹係數隨溫度會有不同的變化速率。當異質材料接合進行高溫退火時，熱膨脹係數的差異會儲蓄很大的熱應力在介面，尤其是在降溫的過程中，熱應力會拉扯在高溫已鍵結的異質介面，並由微觀產生差排釋放應力，擴大成巨觀的裂縫使試片分開或脆裂。本實驗選擇的砷化鎵晶片熱膨脹係數約是矽晶片的兩倍之多，可預期在高溫退火過程中熱應力影響極巨，有幾種方式可減少熱應力影響，包括低溫長時間退火，表面活化處理，改變表面形貌等等，都可有效的減少熱應力影響。



3. 接合環境

接合環境對晶圓接合品質有重大的影響，接合環境有真空，有機溶劑，空氣及水。在真空系統中清洗後接合可避免水氣捕捉在介面以及污染物的產生，接合的強度約是在空氣中接合的兩倍，但真空系統造價昂貴。在有機溶液中接合可達到類似的效果，主要是減少水氣捕捉在介面的現象，水氣在高溫形成氣體，若無路徑使之離開介面，會產生氣泡或孔洞降低接合強度，有機溶劑相較於水，較不易被介面捕捉，本實驗選用的有機溶劑為異丙醇(IPA)。

4. 退火溫度

晶片間在室溫接觸後產生的微弱吸引力，須經過高溫退火後方可產生較強的共價鍵結，圖為矽晶圓接合強度與退火溫度、時間的關係圖^[17]，較高的退火溫度可產生較強的鍵結，但異質材料接合需考慮熱應力的問題，高溫退火產生的熱應力會導致試片的碎裂，選擇適當的退火溫度與時間方可取得接合強度與熱應力間的平衡。另外高溫退火造成原子的擴散以及參雜濃度的改變，亦是介面分析的重點。

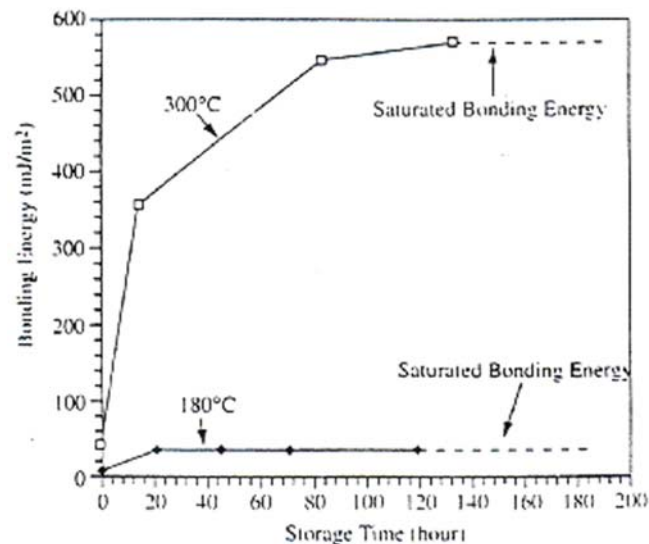


圖 2.5 退火溫度與時間對接合強度的影響^[17]

5. 退火氣氛

接合試片大多數的用途都是希望有良好的接合介面特性，其中也包括電流電壓特性，如果在空氣中退火，氧很容易被介面補捉而造成額外的氧

化層出現，選用惰性氣體做為保護性氣氛可避免此現象，甚至可選用還原性氣氛將表面的氧帶走已達清潔的目的^[18]。

6. 施加同軸應力

在初步接合後，會施加一壓力於試片上，使試片表面的原子互相接觸面積增加。再藉由熱與壓力的幫助讓原子間的接合反應增加，形成較強的共價鍵結完成接合。壓力大小比須適中，壓力太大，試片將無法承受而產生破裂，太小則無助於接合的完成。壓力也需要均勻的施加於試片上，不均勻的壓力會導致接合失敗或是接合的強度不一。



2.4 晶圓接合的優點

1. 使晶格不匹配(Lattice mismatch)造成的差排，侷限在接合介面區域，而不延伸至材料內部影響後續製程的元件特性。
2. 使接合的材料具有塊材般的強度，可適用於切割、研磨、拋光等機械加工技術
3. 整合不同材料的特性，增加元件設計的自由度
4. 直接整合晶片，簡化技術，降低光電元件整合的難度，增加元件的功能性。

三、實驗方法

實驗方法主要分為以下幾個步驟：試片製備、試片清洗、室溫預接合、高溫退火、微結構觀察以及電性量測。

3.1 試片製備

本實驗使用的晶片為3吋N型砷化鎵晶圓與4吋N型矽晶圓。N型砷化鎵晶圓參雜物為矽，濃度約 10^{18} ，厚度約 $350\mu\text{m}$ ；N型矽晶圓參雜物為磷(Phosphorus)，濃度約 10^{18} ，厚度約 $550\mu\text{m}$ 。矽與砷化鎵晶圓皆為(100)面，試片製備以精密晶圓切割機(Dicing saw)對準平邊 $[0\bar{1}\bar{1}]$ 垂直水平方向切割成 $8\text{mm}\times 8\text{mm}$ 大小，示意圖如下，另外，矽晶圓表面再切出 $300\mu\text{m}\times 300\mu\text{m}$ 的網狀結構，溝槽深約 $300\mu\text{m}$

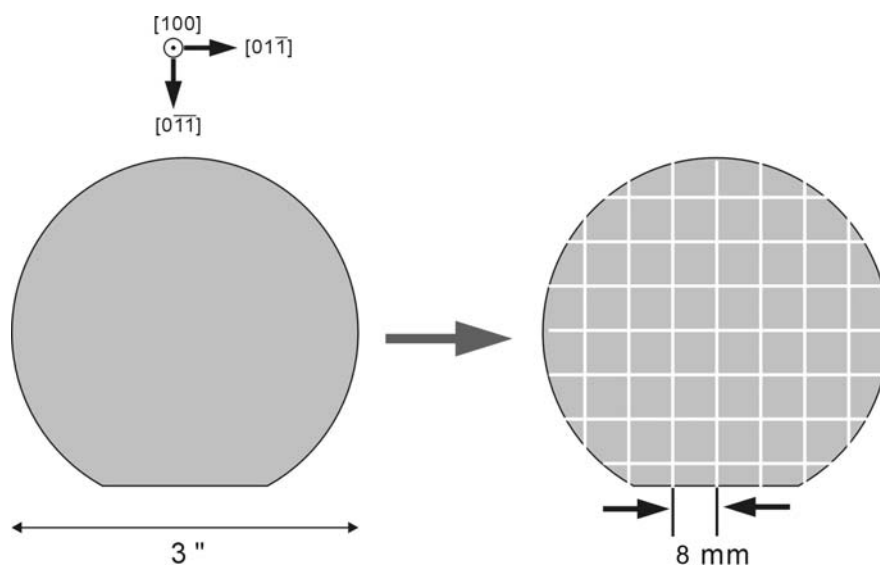
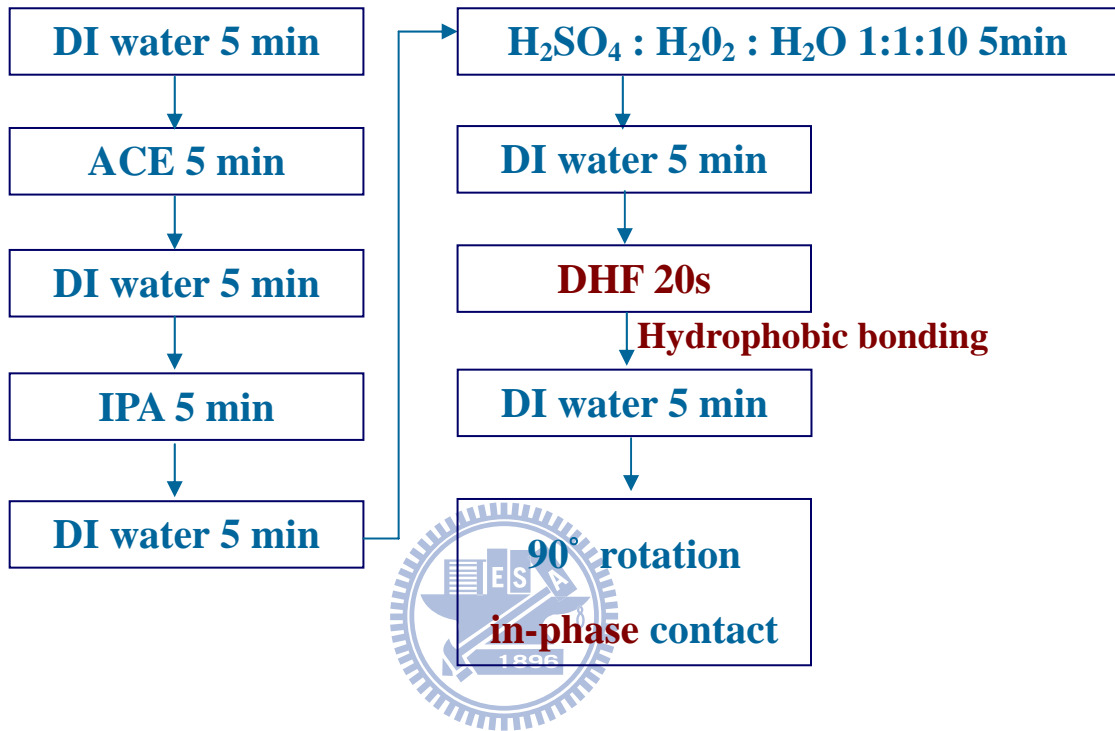


圖 3.1 試片切割示意圖

3.2 試片清洗

砷化鎵與矽晶圓以相同方式清洗，清洗步驟如下：



試片在平邊方向做記號後，以去離子水沖洗 5 分鐘，接著浸泡在丙酮 (Acetone) 中以超音波震盪器震盪 5 分鐘，去除表面微小粒子以及黏著性有機物。接下來浸泡異丙醇 (IPA) 5 分鐘，此步驟目的是去除殘留表面的丙酮以及水氣。然後浸泡 H₂SO₄:H₂O₂:H₂O (1:1:10) 溶液，目的是以硫酸將表面有機物脫水碳化，雙氧水將之氧化帶離表面，使表面有機污染物清除。浸泡稀釋氟化氫 (DHF) 目的是清除表面原生氧化層 (Native oxide)。清洗完成後呈現疏水性表面，並在異丙醇 (IPA) 溶液中預接合，文獻指出^[19]，在有機溶

液如異丙醇、甲醇中做預接合可使接合強度增加，由於異丙醇相較於水氣較易揮發，不易殘留在介面，因此可避免退火過程中水氣逸散造成接合面孔洞(Void)的產生而降低接合強度的現象。

在晶圓接合中，旋轉角度對介面也有很大的影響，旋轉 90° 做接合，稱這種方向為順向(In phase)接合方向，旋轉 0° 或 180° 接合則稱為反向接合方向(Anti phase)^[20]。由 $[110]$ 方向投影的的原子結構來看，反向接合的介面會產生雙晶(Twin interface)的排列方式，順向接合則無此雙晶介面的產生，如下圖所示。本實驗是以晶圓平邊記號為準，旋轉 90° 做順向接合，且必須注意邊角的對齊，避免旋轉角度對介面分析及電性分析造成的誤判。

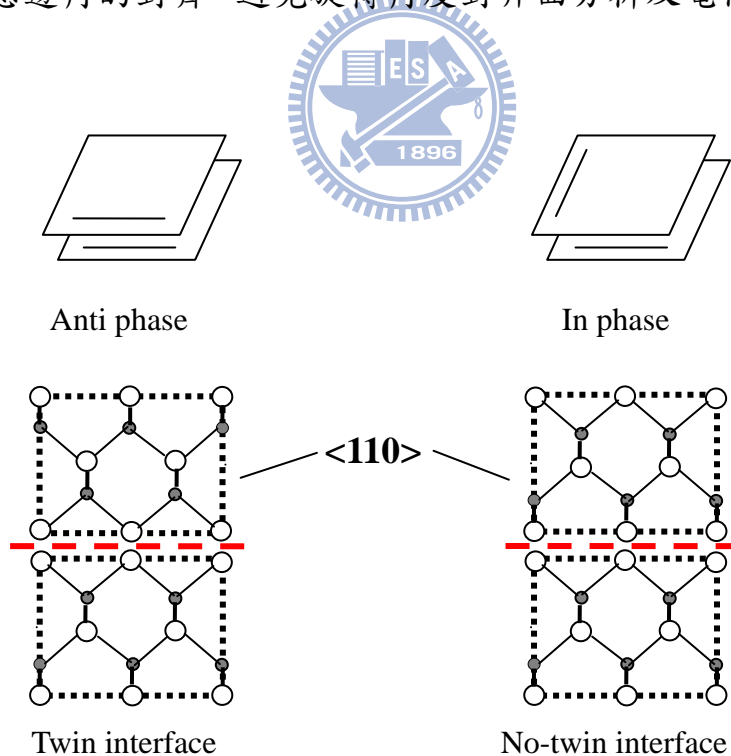


圖 3.2 旋轉角度接合面 $\langle 110 \rangle$ 投影示意圖

3.3 高溫退火

在異丙醇中預接合的試片之後放入晶圓接合固定夾具(Fixture)中，夾具由不銹鋼，鉬螺帽、鉬螺絲以及石磨墊片組合而成；在本實驗退火的溫度區間內，不銹鋼的熱膨脹係數和鉬的熱膨脹係數差異很大，如圖所示。因此在高溫退火過程中，不銹鋼往外膨脹的趨勢將被相對不太膨脹的鉬螺絲給限制住，大部分的熱膨脹形變都往內進行進而對試片施加同軸應力，施加應力的估計值大約為 10MPa，隨溫度區間有所變化。石磨墊片的熔點約 3650°C，遠大於本實驗操作的溫度，可避免試片黏著在不銹鋼上，且石磨的表面具有相當多的微小孔隙，本實驗選用的砷化鎳晶片中砷元素在高溫很容易昇華成氣體，多次操作後吸附在石磨孔隙中的砷氣體將在砷化鎳/石磨介面形成保護性氣氛，避免過多的砷蒸氣產生。

夾具推入長形爐管中做高溫退火，退火氣氛選用氬氣(Ar)做保護性氣氛。升溫前，須抽取管內氣體後再通入氬氣，通入的壓力需大於 1 大氣壓，避免外界的空氣進入爐管中造成過多的氧化層在介面產生，反覆通入三次氬氣以降低爐管內的氧化氣氛含量。完成通氣後開始升溫，升溫的速率最快 20~30°C 每分鐘，最慢 5~10°C 每分鐘，隨溫度高低做變化。升至所選擇的溫度後再進行一次抽氣通氣動作，避免高溫中由爐管管壁逸散出的水氣(Out gassing)造成過多的氧化層。升溫至選定溫度後震盪最高不超過 10°C，降溫採用爐冷(Furnace cooling)，冷卻速率約 20~40°C 每分鐘。

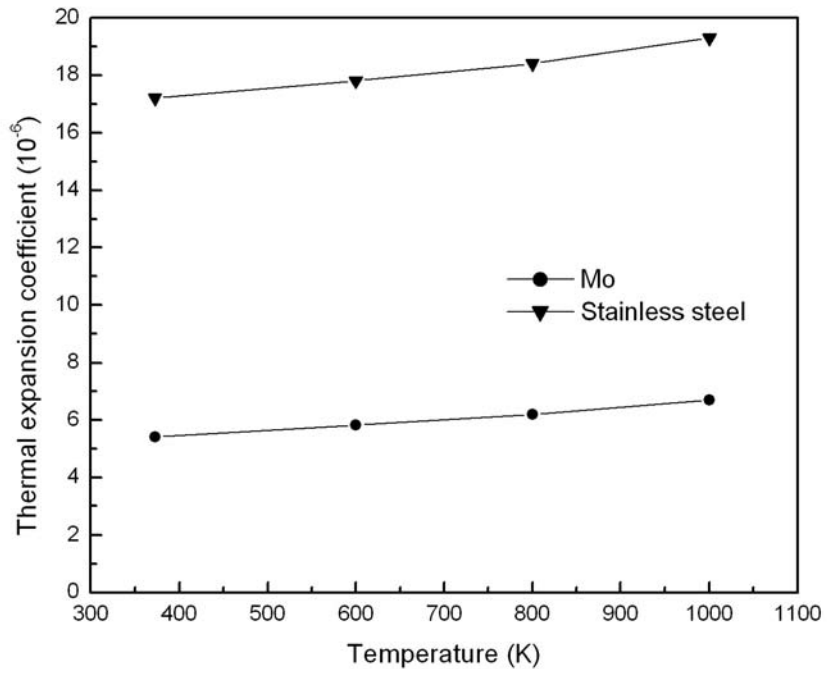


圖 3.3 鉬與不鏽鋼熱膨脹係數對溫度圖^[20]

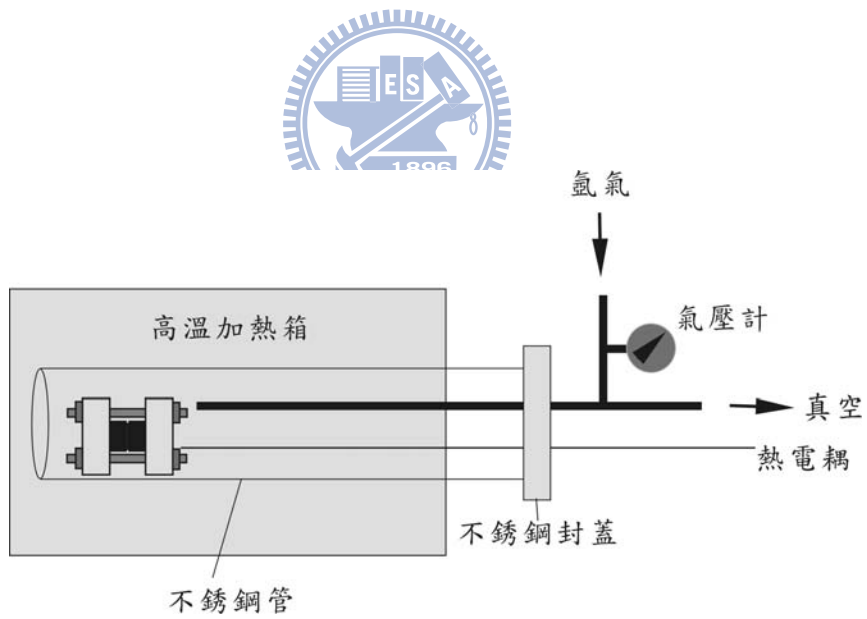


圖3.4 長型爐管退火示意圖

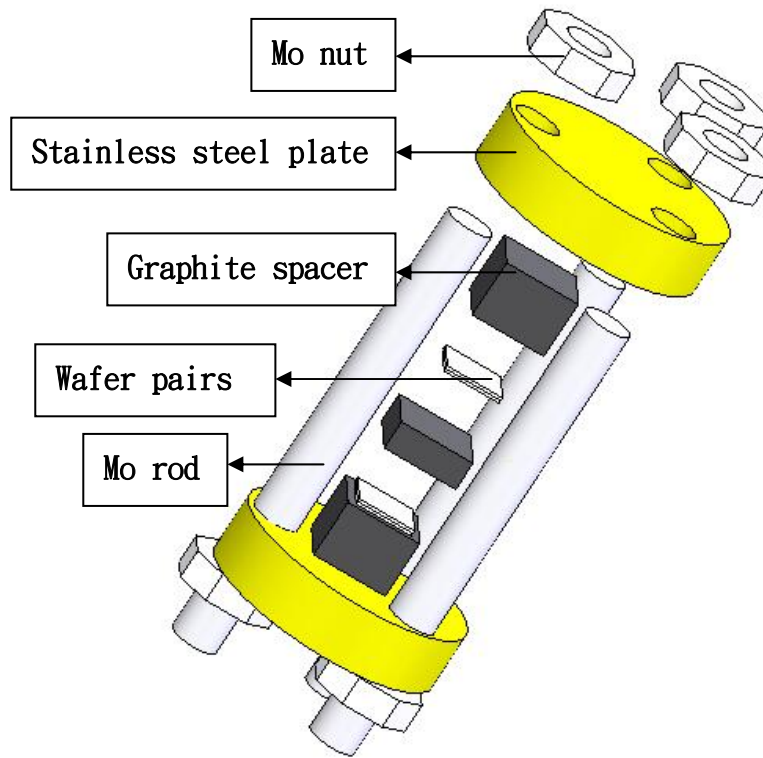


圖 3.5 夾具分解示意圖

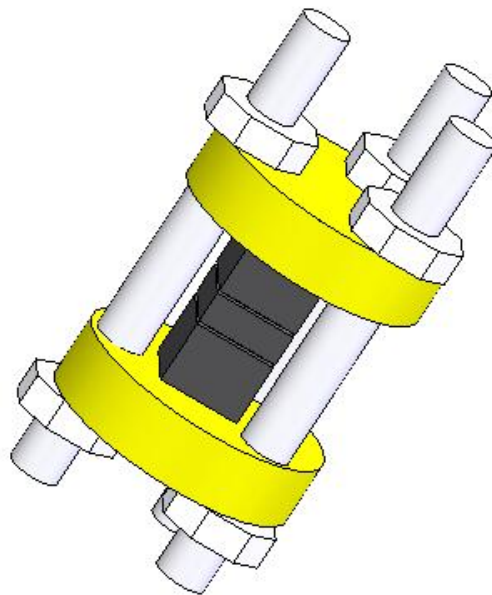


圖 3.6 夾具結合示意圖

3.4 電性量測

電性量測試片製備過程如下:於8mm×8mm的矽晶片上切割出300 μm×300 μm的網狀結構(Mesa)，深度300 μm，與未切網狀結構的8mm×8mm 砷化鎵晶片做接合，利用研磨方式將矽晶片背部減薄至露出網狀結構為止，此時可看到砷化鎵和接合的長條狀矽晶表面。接著在矽晶表面與網狀溝槽內皆塗覆光阻，硬烤後研磨掉矽晶表面上的光阻。光阻的作用在於避免金屬層沉積至溝槽，造成長條狀矽晶的連接，之後以應力破壞接合的長條狀矽晶使砷化鎵晶片表面裸露。利用 E-Gun 逐層鍍上 Cr/Au(2000Å/3000Å)做為歐姆接觸金屬，金屬沉積上後送入爐管經歷 380°C、10 分鐘退火使金屬層與試片表面形成歐姆接觸並增加附著性。退火後以超音波震盪器將溝槽內的光阻去除，同時也去除光阻上的金屬層。在鍍覆歐姆金屬的過程中，無可避免的會有些金屬沉積在矽晶的側壁上，但藉由塗覆光阻與去光阻的步驟，溝槽底部並無金屬的沉積，可避免量測上的誤差。使用 KETHLEY 4200 做為電性量測機台，量測時砷化鎵接地，偏壓加在矽端。

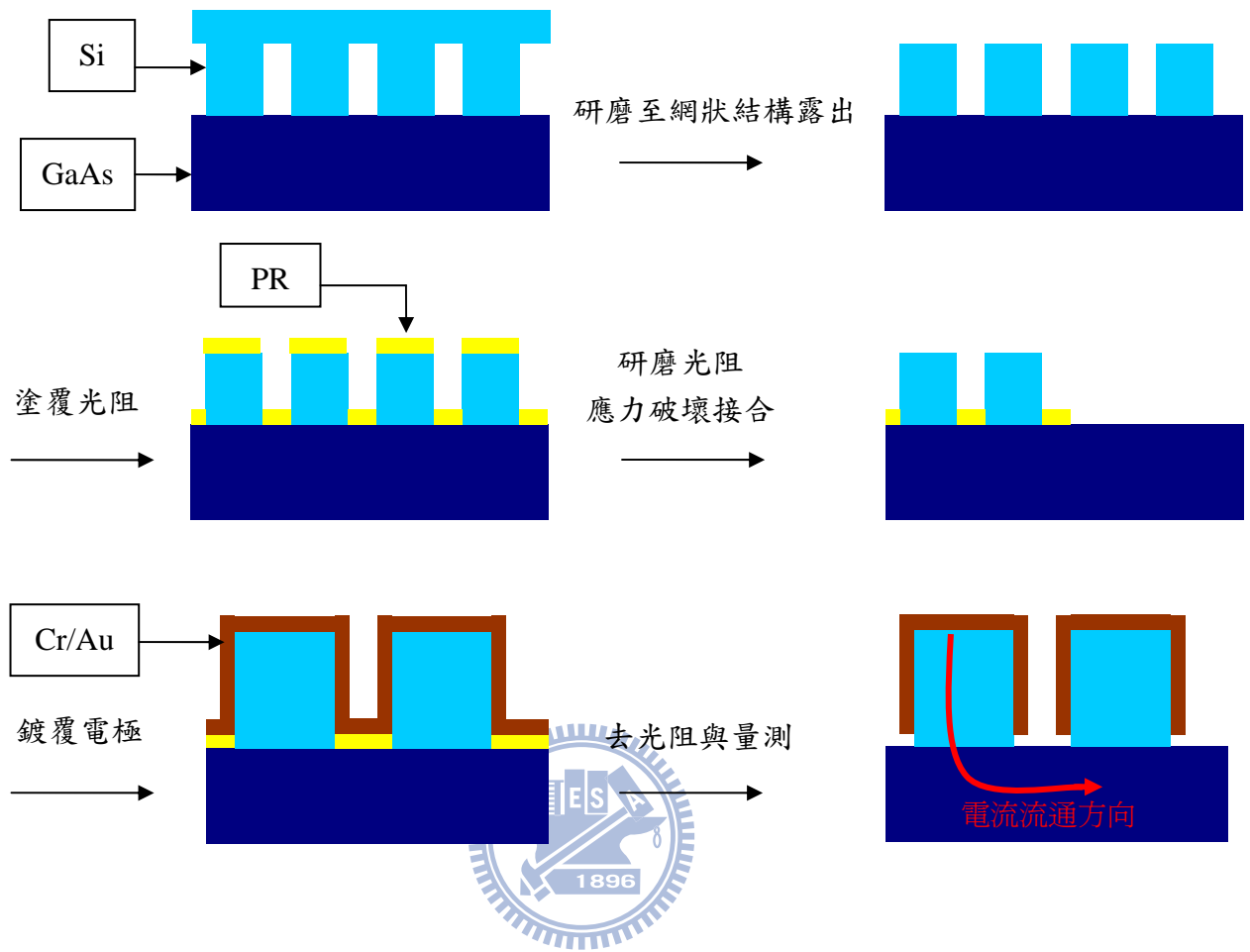
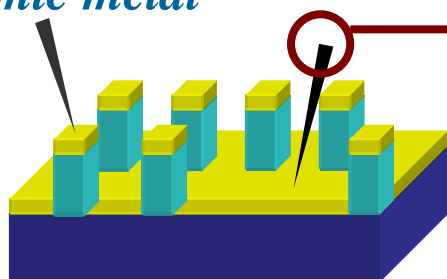


圖 3.7 電性量測試片製備流程圖

Cr/Au as

Ohmic metal



Measured by

KEITHLY 4200

圖 3.8 電性量測示意圖

3.5 微觀結構分析

晶圓接合的介面，可能由數個奈米至數百奈米不等，為了能準確的觀察不同接合條件下介面的變化，必需使用穿透式電子顯微鏡做為分析微觀結構的儀器，並且以掛載在儀器上的能量散佈光譜儀(Energy Dispersion Spectrum, EDX)做成分分析。穿透式電子顯微鏡利用高能電子束穿透試片於下方螢光板上成像，成像的方式並不只一種，透過不同的光圈選擇可得到明場(Bright Field)或暗場(Dark Field)等影像，而不同材料間的對比主要來源有質量-厚度對比(Mass-Thickness Contrast)以及相對比(Phase Contrast)，相對比的影響微弱許多，只有在質量-厚度對比不明顯的時候才會顯的重要，而本實驗中所使用的砷化鎵與矽晶圓本身即為不同材料，原子序也不相近，因此穿透式電子顯微鏡之下很好分辨，並不會有誤判情況產生，另外，也可利用高能電子束的短波長特性作高解析度影像分析，電子束在穿透試片後產生的球型波在穿透過程中受到材料內部原子散射的影響，因此穿透後的波有關於材料特性的許多訊息，而每個球型波的互相干涉的結果會在螢光板上產生一顆顆晶格影像(Lattice Image)，可由這些晶格影像解讀出材料內部是否具有如差排(Dislocation)或是疊差(Stacking Fault)等缺陷(Defect)的存在，除此之外，穿透式電子顯微鏡還可以做電子繞射，原理與 X 光繞射相同，但由於電子波長比 X 光短許多，於繞射原理上來說，這也代表在倒空間(Reciprocal Space)中的長度長許

多，在 Ewald Sphere 中一次可以與許多點相交，簡單來說就是可以使許多面同時滿足繞射條件，因此做一次繞射幾乎可以得到所有面的訊息，這也使材料結構的判定更為簡便，除此之外，能量散佈光譜儀改用 X 光為光源，而光源照射下的試片表面電子將吸收能量而逃離試片，這些電子的能量跟本身所在的軌域有關係，基於每種材料各個能階都不相同，這些逃離出來的電子就有如指紋一般可以相當準確的判別試片中到底含有哪些成分，對現場的判定相當重要。

穿透式電子顯微鏡利用高能電子束穿透試片於下方螢幕成像，因此需製作厚度 100nm 以下的試片方可達到此目的，若是要拍攝高解析度下的晶格影像，則需要更薄的試片。本實驗使用聚焦離子束系統(FIB)製做穿透式電子顯微鏡試片，接合好的試片砷化鎵面朝上，傾斜一定角度，研磨出連續的砷化鎵/矽晶網狀結構平面，然後利用砷化鎵面的薄區以 FIB 切割出 TEM 試片，如下圖所示。

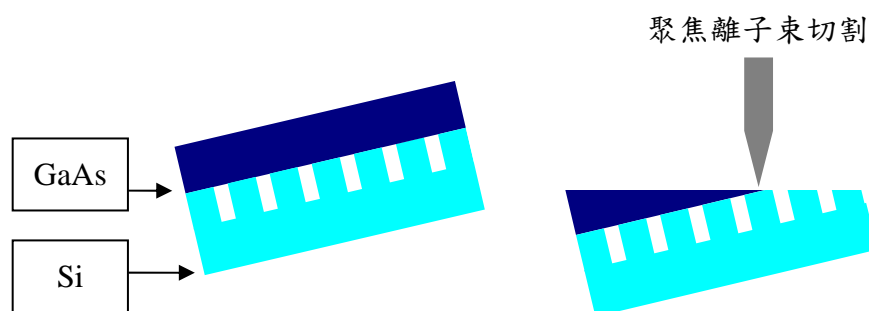


圖 3.9 聚焦離子束系統切割 TEM 試片示意圖

四、結果與討論

4.1 接合參數

砷化鎵與矽的熱膨脹係數差異甚大，我們利用網狀結構的矽晶圓與砷化鎵晶圓接合，目的是為了減少熱應力對介面的影響，網狀結構使得接合實際面積只有 $300\ \mu\text{m} \times 300\ \mu\text{m}$ 大小，剩餘的矽試片空間由於沒有和砷化鎵接合，我們可以忽略這些地方所受的熱應力影響，所以這些空間就具有較大的彈性可以調適熱膨脹係數不同所造成的體積變化。利用表面網狀結構做接合，分別做了 700 、 800 、 900°C ，退火兩小時的試片，都成功的接合砷化鎵與矽晶圓，且接合強度足夠進行後續的電性試片與 TEM 試片製作。除此之外，為了觀察退火時間對介面微結構的影響，分別做了 800°C ，退火時間 2 、 5 小時的試片。因此，實驗結果主要可以分為兩組，不同退火溫度對介面微結構與電性的影響以及相同退火溫度下，時間變化對介面形貌造成的影響。

4.2 微觀結構觀察

在以往的研究中，如果在超高真空(UHV)中操作，從試片清洗、預接合到高溫退火都在真空系統中進行，則可避免外來物，包括了氧與污染物在界面的殘留。而本實驗不是在超高真空中進行操作，在室溫預接合和進行爐管退火的操作過程中，無可避免的會有氧原子殘留在界面中，導致在界面處必然有一層非晶質層的存在。根據以往砷化鎵晶圓接合的研究，退火溫度越高，界面原子獲得的驅動力越大，越能夠跨越能障進行界面結構的重組，對氧原子來說，包括了橫向的擴散以及往晶圓內部的擴散，均是為了降低界面能以及表面能，使總自由能降低。在 2.1 章中，已有對接合的機制做論述，簡單的來說，隨著退火溫度的增加，我們預期會看到氧化層的聚集現象以及完美接合區域的增加，從電性量測所觀察到界面電阻值的變化，也能夠解釋界面隨溫度變化的現象。但是，在我們異質材料晶圓接合的系統中，氧原子和砷化鎵與矽之間的結合能力並不相同，分別的擴散速率也不同，以往他人對砷化鎵/矽接合的研究中，也少有不同溫度或是時間下對界面非晶質的影響的研究，對於異質接合的系統中，我們必須以一連串的界面分析，方可確定此層為何種組成。首先，藉由 TEM 的分析，我們可以初步了解界面氧化層的厚度與幾何變化，700~900°C 2hr 與 800°C 5hr 退火條件下的界面情況如下：

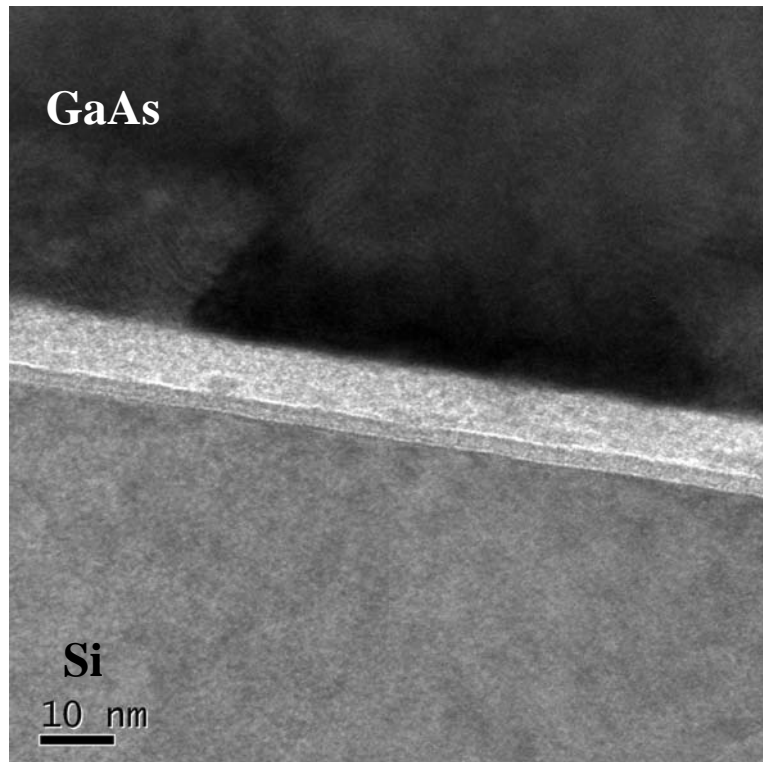


圖 4.1 700°C 2hr 接合介面形態

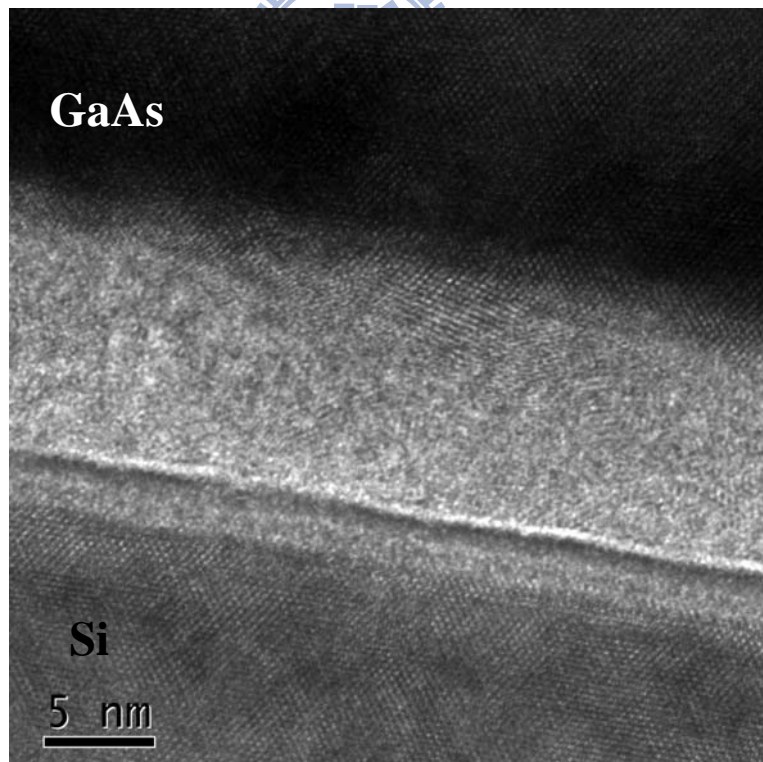


圖 4.2 700°C 2hr 接合介面形態(高解析影像)

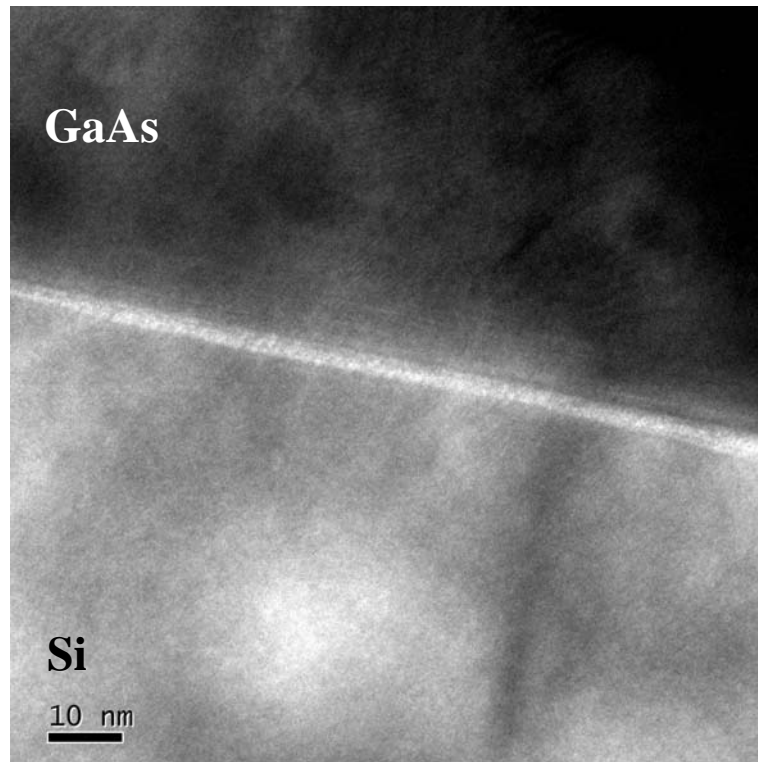


圖 4.3 800°C 2hr 接合介面形態

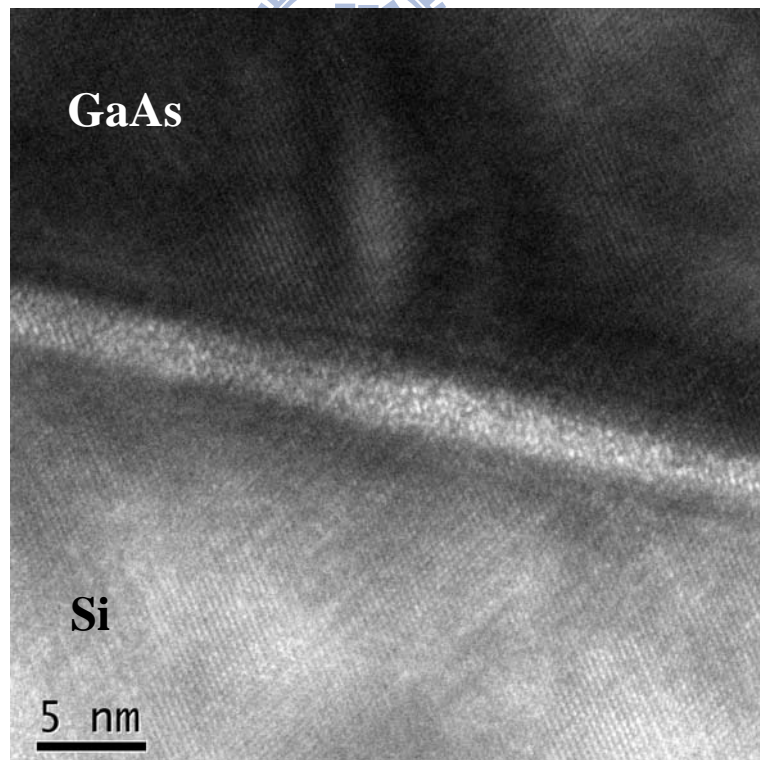


圖 4.4 800°C 2hr 接合介面形態(高解析影像)

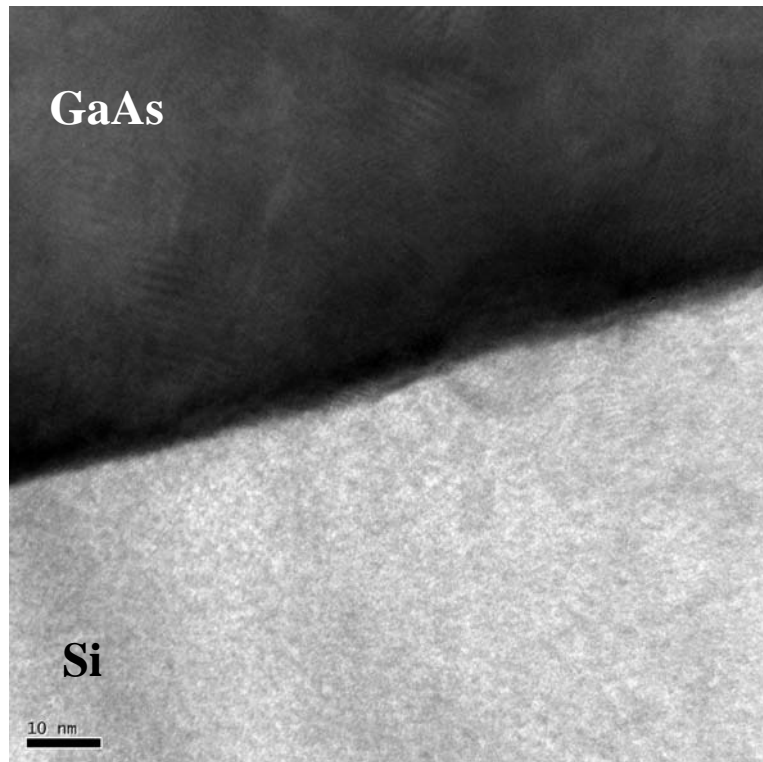


圖 4.5 900°C 2hr 接合介面形態

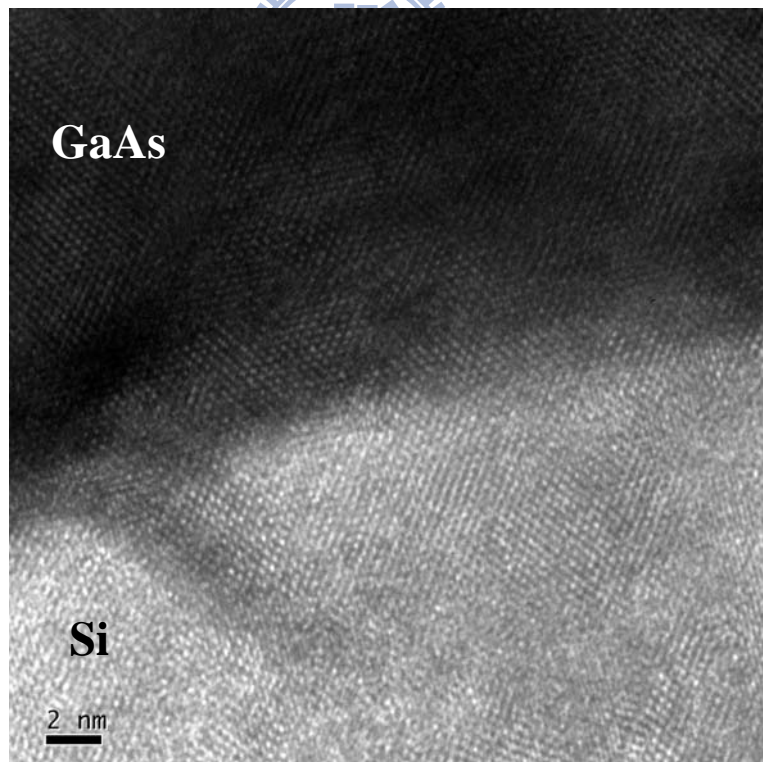


圖 4.6 900°C 2hr 接合介面形態(高解析影像)

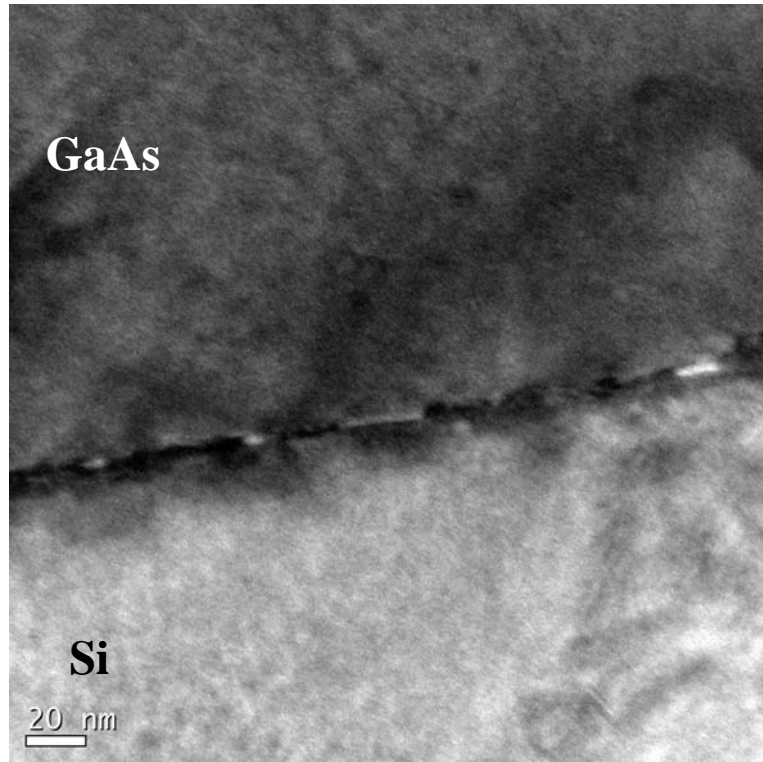


圖 4.7 800°C 5hr 接合介面形態

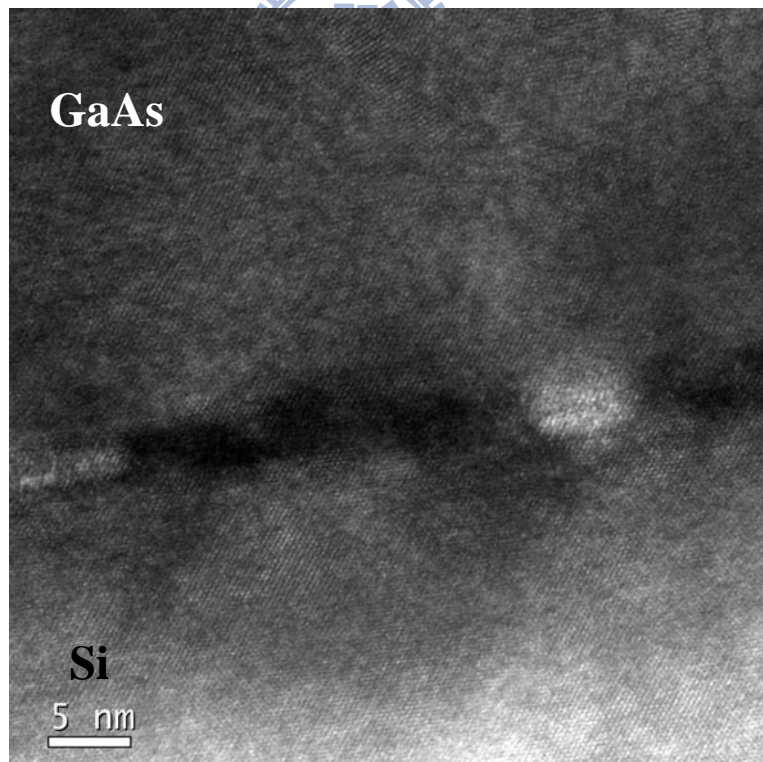


圖 4.7 800°C 5hr 接合介面形態(高解析影像)

將退火溫度 700、800、900°C，退火時間 2 小時的試片視為同一組，可觀察到，700°C 的介面非晶質厚度約 12 奈米左右，且介面非晶質區域呈現一個連續完整的平面，厚度上無明顯的差異；800°C 的介面非晶質厚度約 3~5 奈米左右，亦是一個連續的完整平面，而 900°C 非晶質區域厚度不到 1nm，甚至幾乎觀察不到介面非晶質的存在，大部分的介面可視為完美接合的區域。總合來說，可以觀察到一個明顯的趨勢，在 2 小時退火的條件下，隨著退火溫度的上升，介面非晶質區域厚度是變薄的。接著觀察 800°C 2 小時退火以及 5 小時退火的試片，發現相較於溫度的改變，退火時間拉長對於介面非晶質的厚度沒有很大的影響，但是原本連續的完整平面演變成部分完美接合部分仍有非晶質區域的介面^[21]，此種變化可由下圖表示；

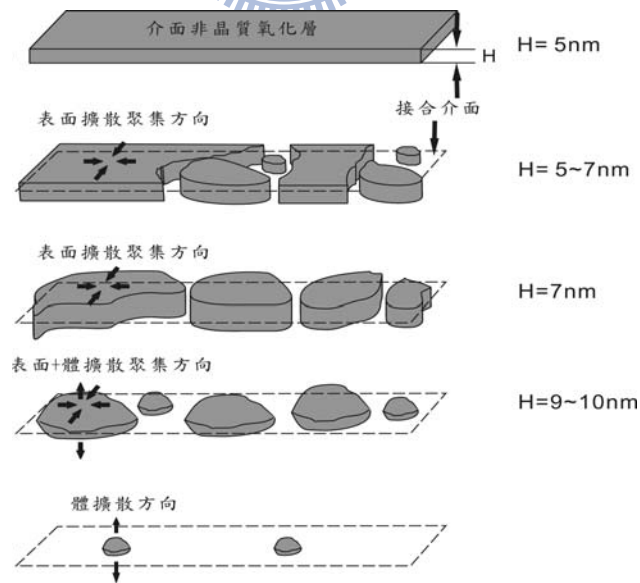


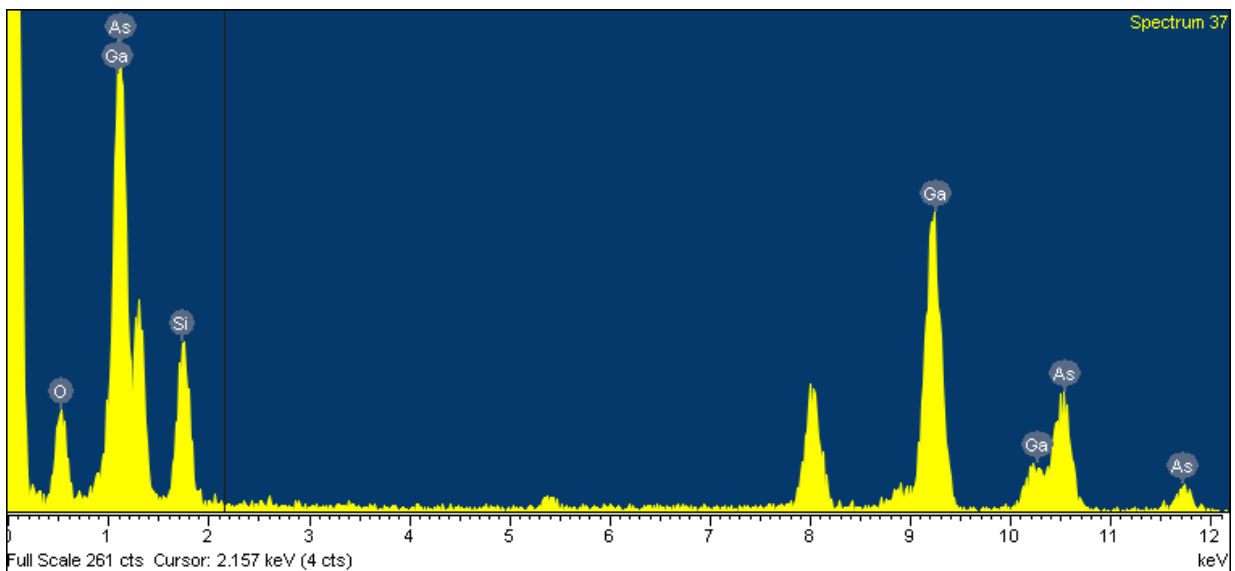
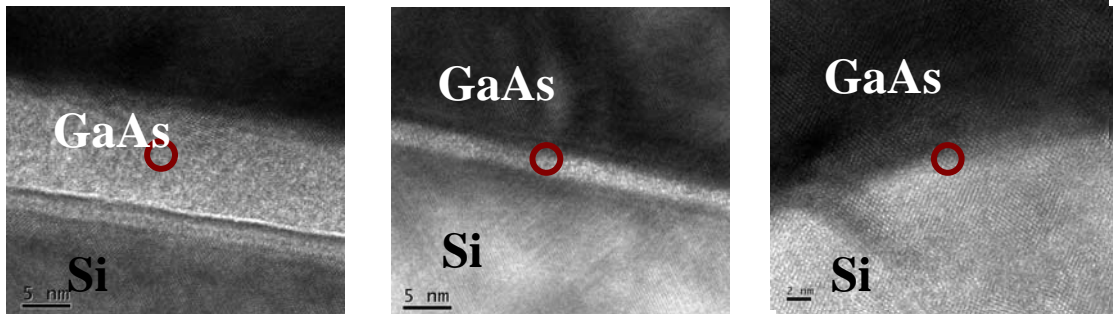
圖 4.8 非晶質區域聚集現象示意圖^[21]

以自由能的觀點分析，當有一異質物質存在本體的三維空間中，將形成球體來降低表面能與總自由能，若是存在在三維空間的邊界上，將形成帽狀(cap)來降低能量，我們可將砷化鎵與矽的表面視為三維空間的邊界，非晶質視為異質物質，非晶質將傾向形成雙帽狀(double cap)來降低總能量。因此，隨著時間的變化，介面非晶質將因自由能的趨勢聚集成球狀，非晶質擴散留下的空位將由砷化鎵或矽基材內部的原子擴散來填補，進而形成完美接合的區域，這種現象解釋了在 800°C 5 小時退火下的試片會觀察到完整接合面與球狀聚集非晶質區域交替排列的介面形貌，若在後續的實驗中，加長退火時間，期望可以觀察到更明顯的聚集現象。



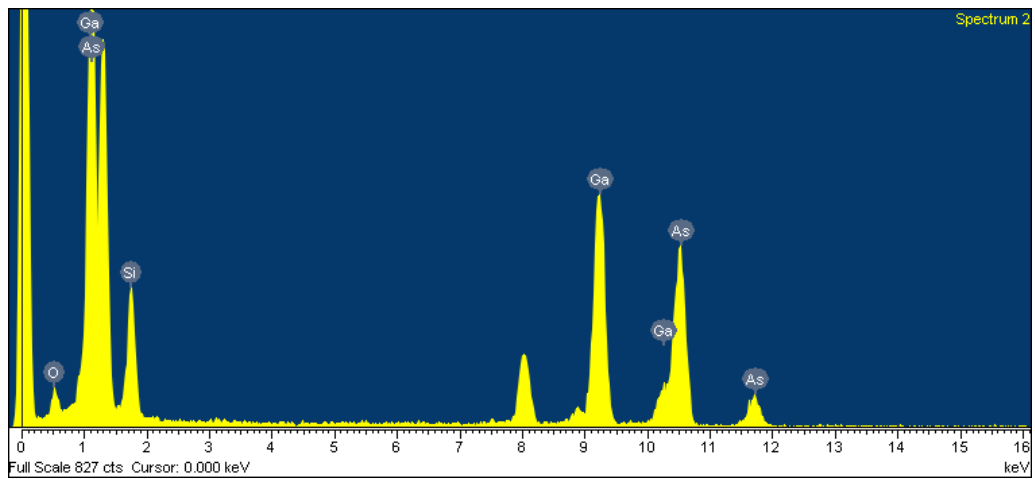
4.3 介面成分分析

我們對 700、800、900°C 的介面非晶質區域做 EDX 分析，可得結果如下：



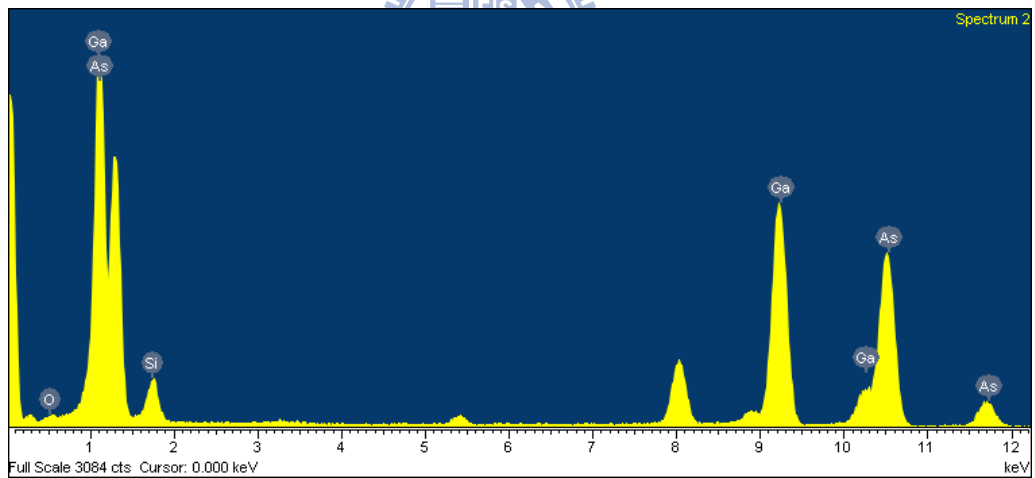
Element	Weight%	Atomic%
O K	10.74	30.96
Si K	11.43	18.77
Ga K	52.09	34.44
As K	25.73	15.83
Totals	100.00	

圖 4.9 700°C 2hr 非晶質區域成分分析



Element	Weight%	Atomic%
O K	3.03	10.90
Si K	9.45	19.35
Ga K	45.86	37.80
As K	41.65	31.95
Totals	100.00	

圖 4.10 800°C 2hr 非晶質區域成分分析



Element	Weight%	Atomic%
O K	0.85	3.54
Si K	3.49	8.25
Ga K	49.89	47.58
As K	45.77	40.62
Totals	100.00	

圖 4.11 900°C 2hr 介面非晶質成分分析

經由 EDX 成分分析，可發現在介面處都有氧的訊號；在矽/矽晶圓接合的研究中，介面非晶質區域多是由 SiO_2 所組成，而在砷化鎵/砷化鎵晶圓接合研究中，介面非晶質可能由 Ga_2O_3 、 Ga_2O_5 、 Ga_2O 、 As_2O_3 、 As_2O_5 等各種氧化物組成，研究的結果顯示以 Ga_2O_3 為最穩定可能存在的氧化物；在我們的實驗中，雖然無法準確的定義介面非晶質由何種化合物所組成，但根據以往的研究可大致上認定主要組成為 SiO_2 與 Ga_2O_3 兩種氧化物為主。隨著退火溫度的上升，可觀察到介面氧的原子百分比有明顯的下降，氧原子百分比的減少可能有兩種方式所造成。

1. 氧原子擴散至矽與砷化鎵基材內部：比較 700 與 900°C 時矽端與砷化鎵端所得到的氧含量百分比，可得知氧原子在矽中的擴散，相較於在砷化鎵中的擴散慢很多，可以說在假設(1)的情況下，大部分的氧均擴散至砷化鎵端，但在砷化鎵端所得到的氧訊號含量，最多也不超過 5%，相較於介面所觀察到氧含量百分比的減少小很多，因此勢必有另一種氧的減少方式。

Element	700°C		900°C	
	Weight%	Atomic%	Weight%	Atomic%
O K	0.39	0.68	1.44	2.86
Si K	99.61	99.32	77.25	87.54
Ga K			17.11	7.81
As K			4.21	1.79
Totals	100.00		100.00	

圖 4.12 矽端 EDX 成分分析

Element	700 °C		900°C	
	Weight%	Atomic%	Weight%	Atomic%
O K	0.45	1.97	0.97	4.06
Si K	1.49	3.69	2.72	6.49
Ga K	48.99	48.83	49.83	47.88
As K	49.06	45.51	46.48	41.57
Totals	100.00		100.00	

圖 4.13 砷化鎵端 EDX 成分分析

2. Ga_2O_3 在高溫時的揮發：過去在砷化鎵晶圓接合的系統中， Ga_2O_3 在約 $410^\circ C$ 就會形成氣體而揮發^[22]，在我們的實驗中，比較 $700^\circ C$ 與 $800^\circ C$ 、 $900^\circ C$ 介面偵測到砷與鎵訊號的含量百分比，可發現砷與鎵的比例由 2:1 變成接近 1:1 的比例，可以說在 $700^\circ C$ 時，介面有較多以 Ga_2O_3 存在的氧化物，隨著溫度提升到 $800^\circ C$ ，大部分的 Ga_2O_3 揮發成氣體從介面溢散走，使得偵測到砷與鎵的訊號趨近於塊材的 1:1 比例，但由於在我們的接合系統中，施與的同軸應力相當大， Ga_2O_3 無法完全的從介面溢散走，且鎵原素在高溫時的揮發速度遠比砷來的快，因此得到的不會是剛好 1:1 的比例。

綜合 TEM 所得到介面微結構形貌與 EDX 所得到介面成分組成，我們可以得到一個結論是

1. 介面非晶質區域厚度將隨著退火溫度上升而變薄。
2. 非晶質區域主要由 SiO_2 與 Ga_2O_3 兩種氧化物為主要組成。
3. 由於介面的氧擴散至矽與砷化鎵基材內部，以及 Ga_2O_3 在高溫時的揮發，介面氧的含量將隨著退火溫度上升而減少。

4.4 電性量測分析

電性量測時，偏壓施加在矽端，砷化鎵端接地，所得結果如下圖：

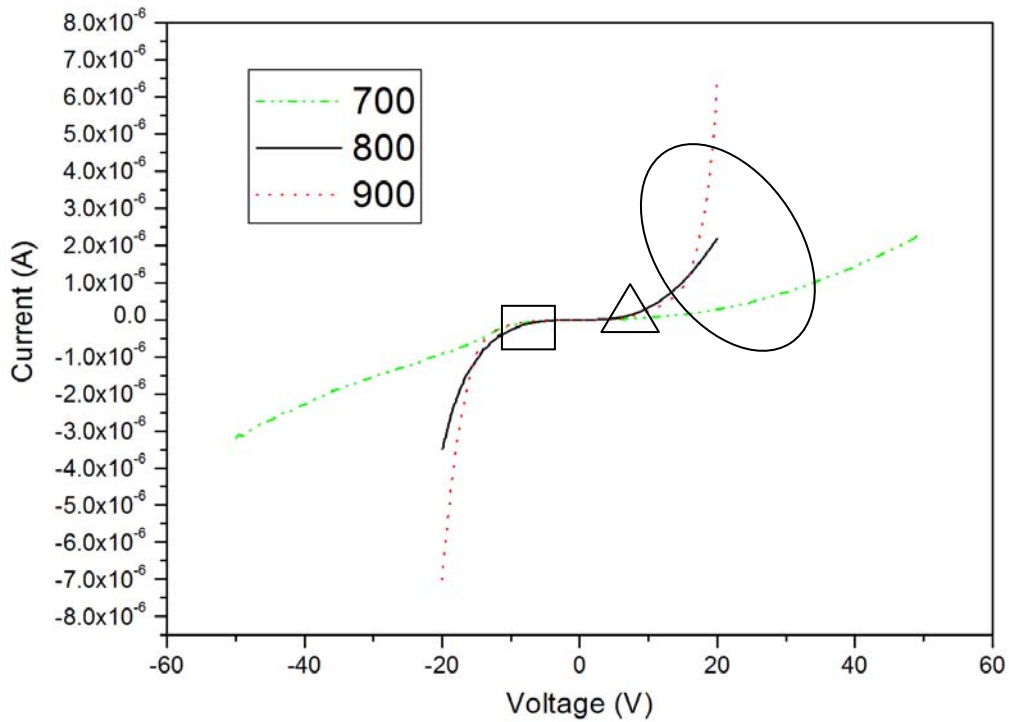
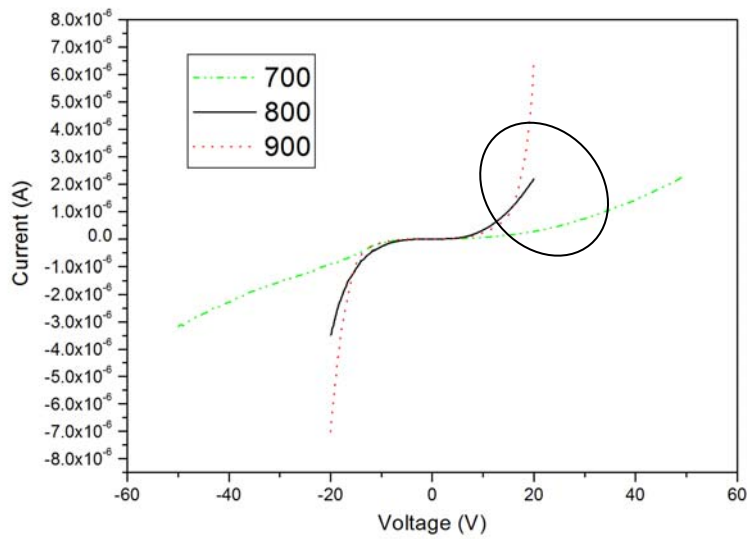


圖 4.14 700~900°C 電流-電壓特性圖

我們將把電流—電壓特性圖分為三個部分做分析

1. 高偏壓量測下電阻值。(以橢圓形框起部分)
2. 正偏壓時的 turn-on voltage。(以三角框起部分)
3. 負偏壓時的 break-down voltage。(以長方形框起部分)

4.4-1 高偏壓量測下電阻值



我們可發現，在高正偏壓與高負偏壓時的電流－電壓特性曲線呈現對稱，因此我們在此將單獨對高正偏壓部分做分析。由電流－電壓特性曲線的斜率可得到一項趨勢，隨著溫度的上升，系統的阻值將降低；在介面成份分析中我們提到，介面的非晶質區域主要以 SiO_2 與 Ga_2O_3 兩種氧化物為主要組成，不論是砷化鎵或是矽的氧化物，電阻相較於砷化鎵與矽本體來說都大很多，這表示著，若是介面的非晶質區域越厚，電子流過時所遇的阻值將越大。因此由 TEM 的微觀結構分析可得知，隨著退火溫度的上升，介面非晶質區域將變薄，系統的阻值將越小，符合我們在電性上量測出的結果。

4.4-2 能帶對準

在討論正偏壓與負偏壓時的電流—電壓特性曲線前，我們要先了解能帶對準的問題；兩種不同能帶的半導體材料形成接面時，必須考慮能帶對準對兩側偏壓所造成的影響，參考文獻^[23]中所畫的能帶對準圖，我們可得到 n-Si 與 n-GaAs 形成接面時的能帶圖：

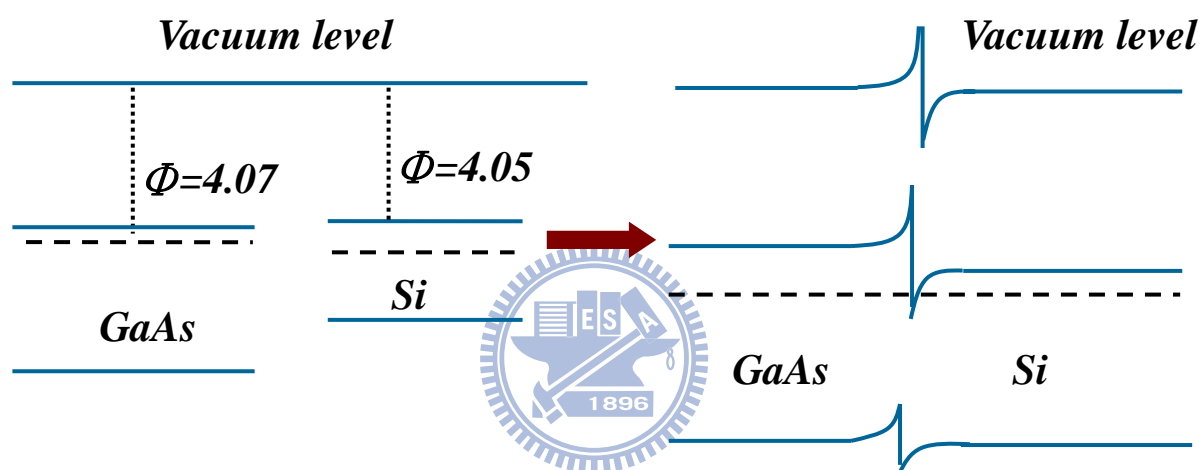


圖 4.15 n-Si/n-GaAs 接面能帶圖

在量測時偏壓施加在矽端，砷化鎵接地，因此在正偏壓時，電子受到電場的驅動下，將從砷化鎵端流向矽端，在負偏壓時，電子將從矽端流向砷化鎵端，由能帶圖可得知，電子由砷化鎵端流向矽端與從矽端流向砷化鎵端時所遇到的能障是不相同的，施加不同偏壓時所遇到的能障問題，將是我們後續的討論重點。

4.4-3 正偏壓下電流電壓特性曲線

取 0~5.5v 的區域觀察正偏壓下的電壓—電流曲線，所得結果如圖 4.16 所示，可觀察到，在不同的退火溫度下，電壓—電流曲線將表現出差不多的 turn-on voltage，以下我們將以

1. EL2
2. Si 擴散

這兩點對正向偏壓時能帶的影響做討論

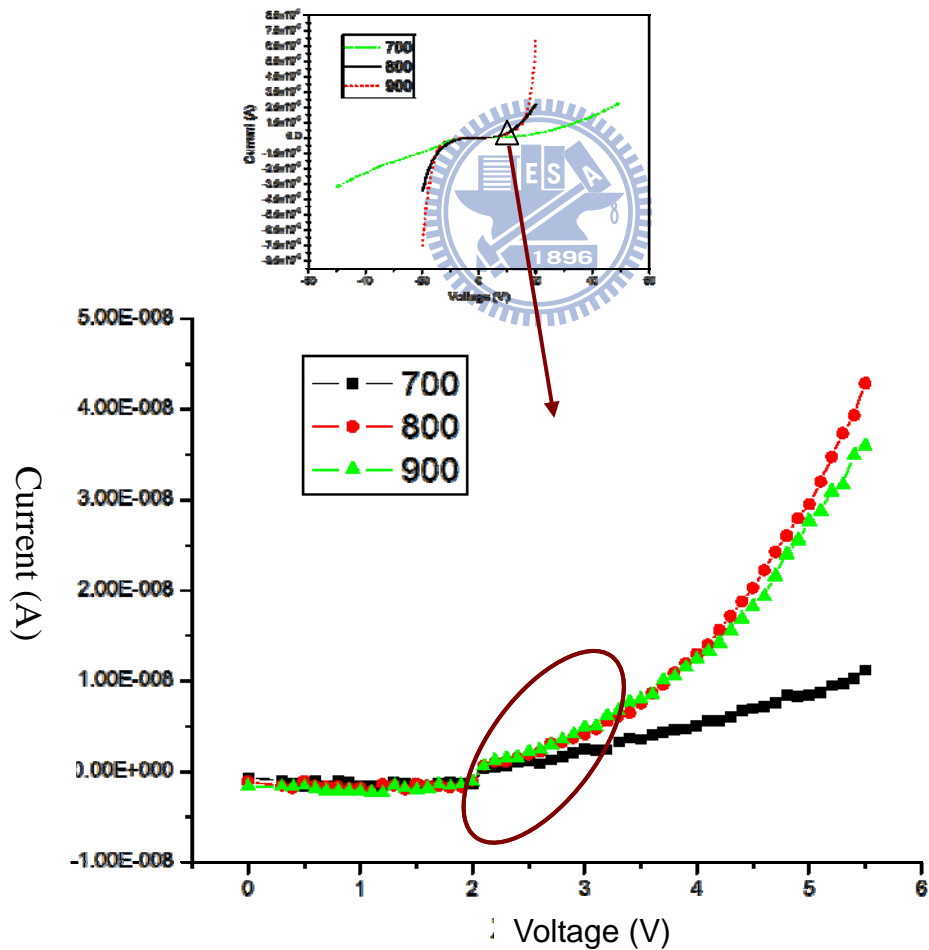
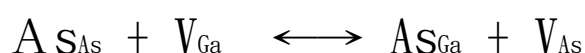


圖 4.16 正偏壓下電壓—電流特性曲線

4.4-4 EL2 對正偏壓下電流電壓特性曲線影響

EL2 是在砷化鎵中，砷取代鎵位置所形成的錯位缺陷，以 As_{Ga} 表示， As_{Ga} 錯位缺陷常被解釋為深位施體能階 (deep-level donor center, EL2) ^[24]，以下式可以表示之 ^[25]：



上式中的 As_{As} 表示砷位於正常位置， V_{Ga} 表示鎵原子之空缺， V_{As} 即是砷原子位置之空缺，另一方面，當砷原子增加時這種缺陷的濃度跟著增加 ^[26]， Ga_{As} 錯位缺陷則會形成一個雙重受體 (Acceptor)，換句話說就是可以抓住兩個電洞。當砷化鎵晶片在進行高溫製程時砷的蒸發速率大約是鎵的 2.5 倍 (於 827 °C) ^[27]，因此，經過高溫製程過後砷原子的濃度將會大大降低，這也意味著 EL2 的濃度將會下降。因此，當砷化鎵晶片是半絕緣 (Semi-Insulator)，砷原子的蒸發將會使晶片表面產生電性轉化 (Conversion)，原本為半絕緣的晶片其表面將變成為 p 型的，在我們的實驗中，EL2 濃度的下降將使得 n 形砷化鎵變得較偏中性，以 $n \rightarrow n^-$ 表示。

根據 EL2 的特性，我們的試片在 900°C 兩小時退火條件下，砷化鎵端將發生 $n \rightarrow n^-$ 的變化，這使得原本 n 形砷化鎵的費米能階 (Fermi-level) 將降低，與矽形成接面做能帶對準後 (圖 4.17)，可發現在正偏壓情況下，電子由砷化鎵流向矽端所遇到的能障將降低，能障降低表示施加較小的偏壓電

子即可獲得足夠的能量克服能障流向矽端，在電性上的表現上會具有較小的 turn-on voltage，但是量測出的電壓—電流曲線表現出相同的 turn-on voltage，我們接著將以矽在砷化鎵中的擴散做進一步解釋。

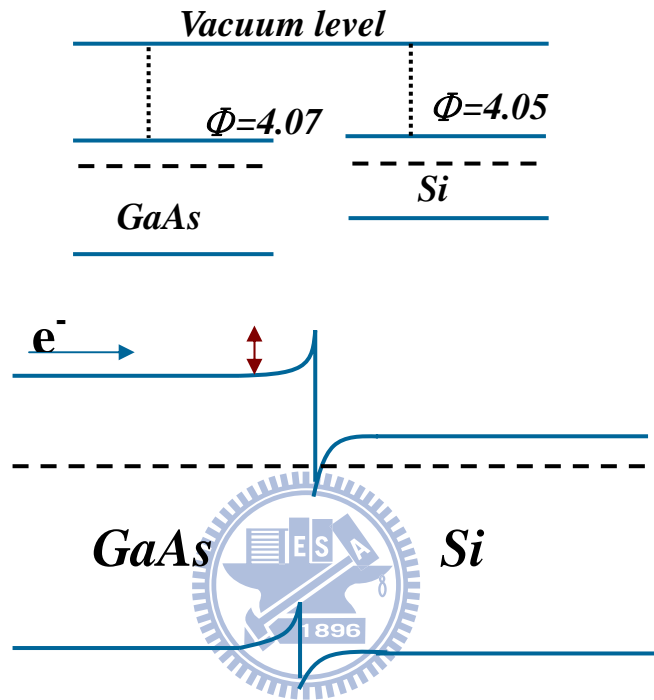


圖 4.17 EL2 對 n-Si/n-GaAs 接面能帶影響

4.4-5 矽在砷化鎵中擴散對正偏壓下電流電壓特性曲線影響

矽在砷化鎵中的參雜，是一種雙性參雜，主要以兩種形式表示，矽取代鎵位置形成的 Si_{Ga}^+ 予體，矽取代砷位置形成的 Si_{As}^- 受體，可視為 n 型的參雜以及 p 型的參雜；當砷化鎵中的矽濃度較低時，參雜的形式將是以 Si_{Ga}^+ 為主^[28]，為 n 型的參雜。矽在砷化鎵中的擴散可藉由數種方式進行，其中

以伴隨著 V_{Ga}^{3-} 擴散的形式 ($\text{Si}_{\text{Ga}}^+ - V_{\text{Ga}}^{3-}$) 為最主要的擴散方式^[29]。在 EDX 的成份分析中(圖 4.18)，隨著退火溫度增加，在砷化鎵端可發現矽含量的增加，同時加長退火時間可得到更大的矽含量變化，若將 EL2 的反應式加入討論， $\text{As}_{\text{As}} + V_{\text{Ga}} \longleftrightarrow \text{As}_{\text{Ga}} + V_{\text{As}}$ ，隨著 EL2 濃度的減少， V_{Ga} 的濃度將增加，這也意味著矽的擴散將變得更容易，表示在高溫退火下，矽的確會發生擴散至砷化鎵中的現象。而矽在砷化鎵中將表現成 n 型的參雜，使得原本 n 型的砷化鎵變得更加 n 型，以 $n \rightarrow n^+$ 表示，在能帶上將使得費米能階提高，和矽形成接面做能帶對準後，可發現在正偏壓情況下，電子由砷化鎵流向矽端所遇到的能障將提高(圖 4.19)，能障提高表示必須施加較高的偏壓電子方可獲得足夠的能量克服能障流向矽端，在電性上的表現上會具有較大的 turn-on voltage，這和 EL2 所造成的影響恰恰相反。

總合 EL2 以及矽擴散造成的影響，我們得到：

1. EL2 濃度降低， $n \rightarrow n^-$ ，能障提高，turn-on voltage 提高。
2. 矽擴散至砷化鎵， $n \rightarrow n^+$ ，能障降低，turn-on voltage 降低。

由於此兩種因素的影響恰好相反，使得在正偏壓下，無論試片的退火溫度為何，在電壓－電流特性上均有差不多的 turn-on voltage。

	700°C 2hr	900°C 2hr	800°C 5hr
Si%	3.69	6.49	11.97

圖 4.18 砷化鎵端砷含量變化圖

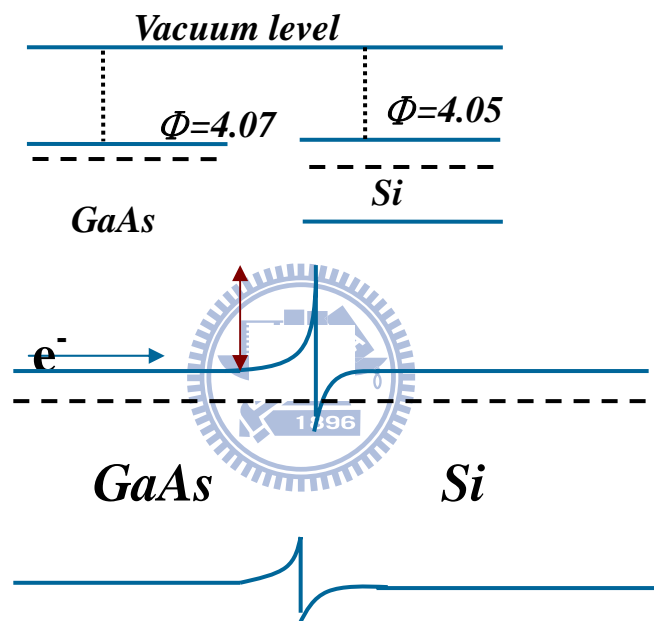
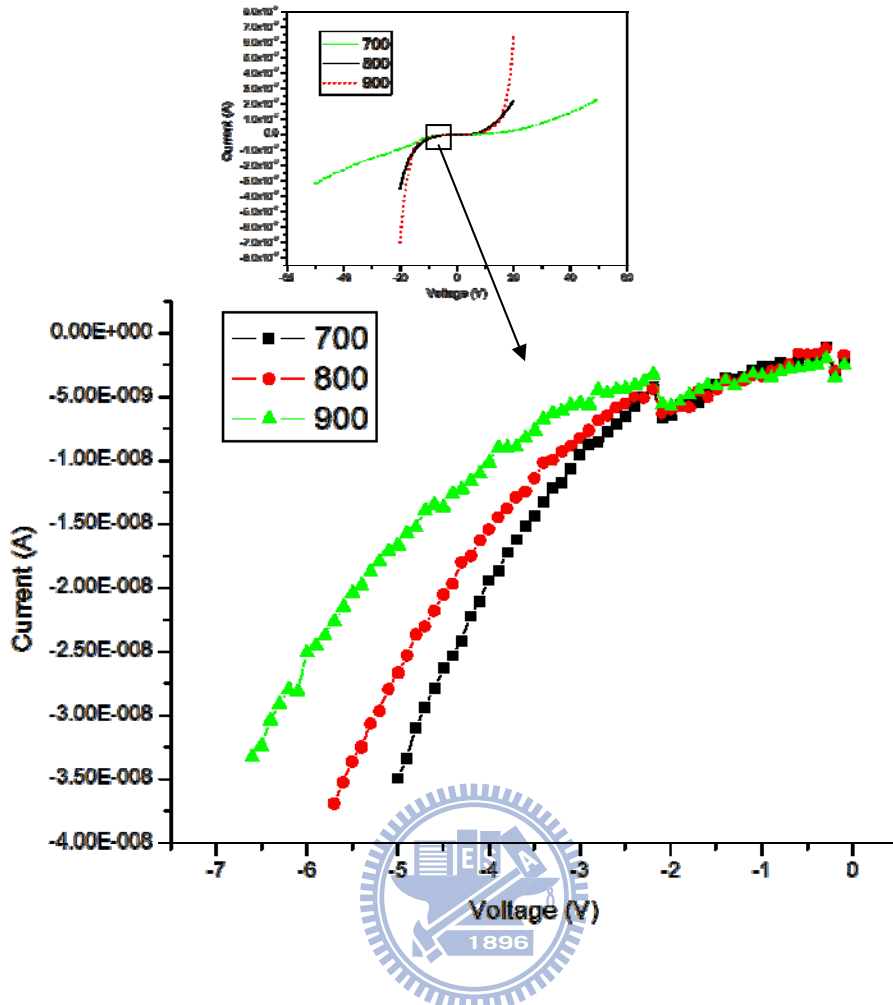


圖 4.19 砷擴散至砷化鎵對 n-Si/n-GaAs 界面能帶影響

4.4-6 負偏壓下電壓-電流特性曲線

取 0~-7v 時的電壓-電流特性曲線，結果如圖 4.20 所示，可發現隨著溫度的上升，崩潰電壓(break-down voltage)將增加的趨勢，我們將以因介面非晶質而存在的捕捉中心(trap state)做解釋。



4.20 負偏壓電壓－電流特性曲線

在 TFT(thin film transistor)中，漏電流的產生可由 channel 和 drain 端間的 trap state 所造成^[30]，主要可分為在低偏壓下，電子經熱激發而造成的漏電流(thermionic emission)，小偏壓下，電子先經由熱激發在被電場驅動造成的漏電流(thermionic field emission)，以及在大偏壓下電子受電場驅動而直接穿隧過能障產生的漏電流(pure tunneling)，不論那種機制，均是透過捕捉中心(trap state)，使得電子可透過捕捉中心做為踏板，克服能障而往 drain 流動形成漏電流。在晶圓接合的系統中，介面的

非晶質區域即扮演著捕捉中心的角色，由能帶圖可得知，施加負偏壓時電子由矽端往砷化鎵端流動所需克服的能障比施加正偏壓時電子由砷化鎵端流向矽端所需克服的能量來的大，此時捕捉中心帶來的影響就比在正偏壓時來得重要許多，當電壓還未施加到足以讓電子克服能障往砷化鎵端流動時，電子會傾向透過捕捉中心而流通。根據 TEM 的介面微觀結構觀察結果，可得到隨著退火溫度降低，介面非晶質區域越厚的結果，介面非晶質越厚也表示介面的捕捉中心越多，意味著將有更多的電子會以透過捕捉中心的方式導通，因此在負偏壓的電性曲線上，我們可以發現當退火溫度降低，崩潰電壓(break-down voltage)將會越小，電流將更快的導通。

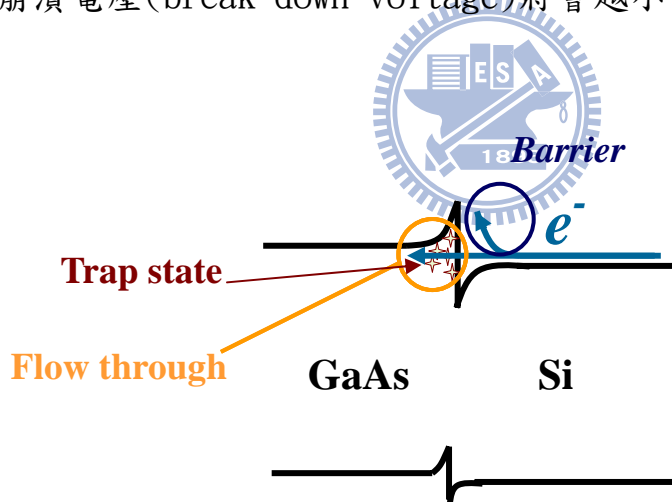


圖 4.21 負偏壓下電子透過 trap state 導通示意圖

五. 結論

利用在矽晶圓上切割出 $300\ \mu\text{m} \times 300\ \mu\text{m}$ 的網狀結構，降低在退火過程中升溫以及降溫所造成的熱應力影響，成功的接合矽/砷化鎵這兩種材料。

經由 TEM 對介面微結構做進一步分析，可得到隨著退火溫度的上升，介面非晶質區域的厚度將變薄，在 900°C 時，可觀察到幾乎呈現完美接合的介面。介面非晶質區域的組成，主要是以 SiO_2 與 Ga_2O_3 兩種氧化物為主，且隨著溫度上升，氧將擴散至砷化鎵以及矽基材內部，同時 Ga_2O_3 氧化物在高溫時容易揮發，均使得介面的氧含量隨著溫度的增加而減少。

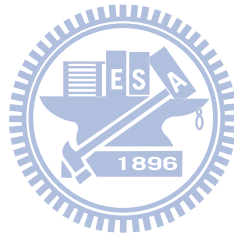
量測電壓－電流特性可得知，隨著退火溫度的上升，介面非晶質區域厚度將減小，使得電壓－電流特性有較小的阻值；在施加正偏壓時，高溫時 EL2 濃度的降低將使得電子所需跨越能障降低，但矽擴散至砷化鎵內部將使得電子所需跨越能障提高，兩種效應相互抗衡下，隨著溫度增加，電子所需跨越的能障將不變，因此 turn-on voltage 無差異；施加負偏壓時，隨著退火溫度降低，介面非晶質區域越厚，介面的 trap state 也越多，電子較易透過 trap state 而導通，因此越低的退火溫度下可得到較小的 break-down voltage。

六. 未來工作

接合條件方面，期望利用較薄的矽晶圓改善在低溫時接合強度不夠的現象，將研究的範圍延伸至 500~900°C。

由於我們很多分析方式牽涉到微量原子的擴散，後續的實驗可利用 ESCA 或 SIMS 做微量原素的綜深分析，得到精準的擴散梯度，可幫助我們解釋在電性上所觀察到的現象。

在量測系統上，要推斷出切確的電流路徑相當困難，可透過模擬的方式，釐清在量測時電流可能所走的真正路徑，有助於我們對電性上的分析。



參考文獻

1. A. E. Romanov, W. Pompe, S. Mathis, G. E. Belts, and J. S. Speckj. *J. Appl. Phys.* 85 ,182 (1999)
2. J. dela Figuera, K. Pohl, O. Rodriguez dela Fuente, A. K. Schmid, N. C. bartelt, C. B. Carter and R. Q. Hwang , *Phys. Rev. Lett.* 86, 3819 (2001)
3. E. Koppensteiner, A. Schuh, G. Bauer, V. Holy, G. P. Watson and E. A. Fitzgerald, *J. Phys. D: Appl. Phys.* 28 (1995)
4. F. A. Kish, F. M. Steramka, D. C. DeFevere, D. A. Vanderwater, K. G. Park, C. P. Kuo, T. D. Osentowski, M. J. Peanasky, J. G. Yu, R. M. Fletcher, D. A. Steigerwald, M. G. Craford, V. M. Robbins, *Appl. Phys. Lett.* 64 , 2839 (1994)
5. G. E. Hofler, D. A. Vandereater, D. C. DeFevere, F. A. Kish, M. D. Camras , F. M. Steranka, and I. H. Tan, *Appl. Phys. Lett.* 69, 803 (1996)
6. H. C. Lin, K. L. Chang, K. C. Hsieh, K. Y. Cheng, and W. H. Wang, *J. Appl. Phys.* 92, 4132 (2002)
7. G. Roelkens¹, J. Van Campenhout, J. Brouckaert, D. Van Thourhout, R. Baets, P. Rojo Romeo, P. Regreny, A. Kazmierczak, C. Seassal, X. Letartre, G. Hollinger, J.M. Fedeli, L. Di Cioccio, and C. Lagahe-Blanchard, *Materials Today*, 10 , 7 (2007)
8. DI Liang, Alexander W. Fang, Hyundai Park, Tom E. Reynolds, Keith Warner, Douglas C. Oakley, and John E. Bowers, *Journal of ELECTRONIC MATERIALS*, 37, 10 (2008)
9. A. Georgakilas, G. Deligeorgis, E. Aperathitis, D. Cengher, and Z. Hatzopoulos, M. Alexe, V. Dragoi, and U. Gösele, E. D. Kyriakis-Bitaros, K. Minoglou, and G. Halkias . *APPLIED PHYSICS LETTERS* 81, 27 (2002)
10. Q.-Y. Tong, and U. Gösele, *Semiconductor wafer bonding: science and technology* , Chap 2, John Wiley & Sons, Inc (1998)

11. W. D. Kingery, H. K. Bowen, D. R. Uhlmann, Introduction to ceramics, John Wiley & Sons. Inc., 1976
12. 李天賜、林澤勝、彭成鑑、呂冠良、潘信宏 工業材料雜誌 170
13. R. H. Horng, C. E. Lee, S. C. Hsu, S. H. Huang, C. C. Wu, C. Y. Kung, and D. S. Wu , Phys. stat. sol. (a), 201, 2699 (2004)
14. K. Hjort, Journal of Crystal Growth, 268 ,346 (2004)
15. Niklaus F. Andersson H. Enoksson P. Stemme G , Sensors & Actuators ,A-Physical, A92, 235 (2001)
16. M Shimbo, K. furukawa, k. Gukuda, and K. Tanzawa, J. Appl. Phys. 60, 2987(1986)
17. Q. Y. Tong, E. Schmidt, and U. Gösele , Appl. Phys. Lett., 64, 625 (1994)
18. V. Antonova, O. V. Naumova, V.P. Popov and J. Stano, V. A. Skuratov, J. Appl. Phys. 93 ,426(2003)
19. G. N. Yushin and Z. Sitar , Appl. Phys. Lett. 84, 3993(2004)
20. 彭顯智 不同旋轉角度之砷化鎵晶圓接合 交通大學材料所碩士論文
21. H. Quang, H. –H Chiou, YC Sermon Wu, J. –H. Cheng, W.Quyang, and K. C. Hsieh, J.Appl. Phys. 92, 7544(2002)
22. A.G –Cervantes, Z.R. –Alvarez, M.L. –Lopez, E.L. –Luna, I.H –Calderon , The Solid Films 373, 159 (2000)
23. Y. C. Zhou, Z. H. Zhu, D. Crouse, and Y. H. Lo, APPLIED PHYSICS LETTERS ,73 ,16 19 (1998)
24. Oda, Holmes, H. Yamamoto, M. Seiwa, G. Kano, T. Inoue, M. Mori, H. Shinakura, and M. Oyake, Semicond , Sci. Technol, 7, A215 (1992)
25. J.Lagowski, H.C.Gatos, J.M.Psrsey, K.Wada, Appl.Phys.Lett., 40, 342 (1982)

26. D. E. Holems, R. T. Chen, K. R. Elliot, C. G. Kirkparick, and P. H. Wu, IEEE Trans. Electron Devices, 29, 1045 (1982)
27. C. T. Foxton, J. A. Harvey, and B. A. Joyce, J. Phys. Chem. Solids, 34, 1693 (1973)
28. John E .Northrup and S. B. Zhang , Physical Review B , 47 ,11 (1993)
29. C.-H. Chen, U.M. Gösele, T.Y. Tan, Appl. Phys. A 69, 313–321 (1999)
30. 林其慶 利用晶圓接合方式減少金屬誘發結晶電晶體中金屬殘留量 交通大學材料所碩士論文

