

國立交通大學

電子物理學系

碩士論文

氮化矽層內嵌奈米矽晶體之

SONOS 型記憶體的分析

The Analysis of Embedded Si-NCs in Si₃N₄

for SONOS Memories

研究生：陳啟慶

指導教授：陳振芳 博士

中華民國九十八年七月

氮化矽層內嵌奈米矽晶體之 SONOS 型記憶體的分析

**The Analysis of Embedded Si-NCs in Si₃N₄
for SONOS Memories**

研究生：陳啟慶

Student : Chi-Ching Chen

指導教授：陳振芳 博士

Advisor : Dr. Jenn-Fang Chen

國立交通大學

電子物理學系

碩士論文

A Thesis

Submitted to the Institute of Electrophysics

College of Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Electrophysics

July 2009

Hsinchu, Taiwan, Republic of China

中華民國九十八年七月

氮化矽層內嵌奈米矽晶體之 SONOS 型記憶體的分析

研究生：陳啟慶

指導教授：陳振芳 博士

國立交通大學電子物理研究所

摘 要

本論文以三種樣品依不同成長時間的奈米矽晶體針對 SONOS 記憶體中氮化矽層內嵌奈米矽晶體的特性分析與探討。從電容-電壓的電性量測，三片樣品中都可觀察在溫度高於 300K 時有個高濃度缺陷造成的頻率響應。從導納頻譜分析 (G-f) 以及深層暫態頻譜分析 (DLTS) 上，我們可發現此缺陷在能帶中的活化能約略為 0.5~0.6eV，而且此缺陷的濃度在能帶上呈現高斯分布的趨勢。我們由 Shockley-Read-Hall (SRH) 理論獲得的缺陷所在的背景濃度，也間接地証實了此訊號並非來自氧化層裡的穿隧效應，而可能是半導體與氧化層間的界面態 (interface state)。

在成長時間 Si-NCs 2min 的樣品發現，在 DLTS 的量測中多出了一個額外的訊號。從 AFM 圖中，成長 Si-NCs 的時間愈長，Si-NCs 的尺寸愈大。由結構上的差異，可能是成長 Si-NCs 的尺寸大小造成的影響。但其他兩片樣品並未觀察到此現象，我們推論此 peak 訊號的來源並不是因 Si-NCs 產生的量子能階，而是因為成長 Si-NCs 愈大的尺寸產生的應力在 Si-NCs 與氮化矽層的界面造成缺陷。由於此訊號來自氧化層裡，我們利用灌載子 (programmed) 進入氧化層的方式去分析這個缺陷，但我們發現灌載子並未影響氧化層與半導體界面態的特性。固定界面態的時間常數，奈米矽晶體與氮化矽層間缺陷的時間常數隨著灌載子愈多

有愈來愈長的趨勢，從阿瑞尼斯圖可看出此缺陷的活化能以及捕捉截面積也有愈來愈大的趨勢。活化能增加表示載子跨越的位障變高，經由灌載子的方式，電子佔據了抓電洞的缺陷導致抓電洞的缺陷濃度相對地提高，產生一個更高的位障（emission barrier）使得奈米矽晶體與氮化矽層的價帶提升，使得此缺陷的時間常數變長。而捕捉截面積愈大表示抓電洞的能力愈強，當電子被灌進氧化層時，電子進入缺陷產生一個庫倫吸引力，電洞更容易被捕捉至缺陷。



The Analysis of Embedded Si-NCs in Si₃N₄ for SONOS Memories

Student: Chi-Ching Chen

Advisor: Dr. Jenn-Fang Chen

Department of Electrophysics
National Chiao Tung University

Abstract

The characteristics of embedded Si-NCs in Si₃N₄ for SONOS memories with three different formation time of the Si-NCs are investigated. The capacitance-voltage (C-V) profiling shows an existence of a defect at high temperature. The conductance-frequency (G-f) and deep level transient spectroscopy (DLTS) studies specify this defect to be at 0.5~0.6eV above the Si valence band, with a near Gauss distribution for the concentration of this defect in the band structure. The Shockley-Read-Hall theory suggests that the defect is excluded from the tunneling emission from the oxide layer, leading us to assign the defect to an interface state at the SiO₂/Si substrate.

The DLTS studies for the formation of Si-NCs_{2min} reveal an additional trapping peak. From atomic force microscopy (AFM) , the size of the Si-NCs is enlarged by increasing the formation time of the Si-NCs. We show that the trapping peak is not related to the quantum level of Si-NCs, but a defect which might be resulted from the stress of the larger Si-NCs size at the Si-NCs/ Si₃N₄ interface.

Programming carriers into the oxide layer is applied to find the effect on the

defect at the Si-NCs/ Si₃N₄ interface. For the interface states at the SiO₂/Si substrate, the characteristics are not influenced during programming carriers. In DLTS studies, we keep the same time constant of the interface state at the SiO₂/Si substrate to observe the time constant of the interface defect at the Si-NCs/ Si₃N₄. The time constant of the interface defect at the Si-NCs/ Si₃N₄ elongates during programming carriers, and the Arrhenius plot demonstrates that the activation energy and capture cross section of the defect are increased during programming carriers.

The increase of the capture cross section indicates the enhancement of trapping ability. Hence, programming electrons into the defect is believed to produce a coulomb attractive force, leading to the enhancement of the trapping ability. The increase of the activation energy suggests the raise of the emission barrier for the holes at Si-NCs/Si₃N₄ interface during programming carriers. For a donor state at Si-NCs/Si₃N₄ interface, programming electrons into the defect is expected to lower the valence band at Si-NCs/Si₃N₄ interface and increase the concentration of the donor state at Si-NCs/Si₃N₄ interface. This effect would raise the emission barrier for the holes at Si-NCs/Si₃N₄ interface.

誌 謝

時光飛逝，短短兩年的碩士生涯就在 2009 年 7 月 16 日畫下了句點。回顧這七百多天的歲月，有著 MBE 實驗室夥伴們相陪，讓這段時光充滿著溫暖與歡樂，我由衷地感謝。

首先要感謝我的指導教授 陳振芳老師，研究的旅途披荊斬棘，多虧有老師熱心地建議和指引方向，能夠度過層層難關。而且與老師討論時，學習到很多分析的方法以及求知的精神，讓我受益良多。

接著我要感謝的是帶領我進入 MOS 領域的謝孟謙學長，平時學長嚴謹的風格以及對研究的執著，使我學到不少東西。而在假日接到學長的來電，更是多了一絲絲的感動，我知道他總是刀子口豆腐心，我的離開對他是很大的打擊，但我希望他可以堅強一點，我會常回來看他。三學期的普物時光、籃球場上的革命情感還有咪聽的義氣相挺，為我碩士生涯增添了许多樂趣。感謝阿豪學長教了我光性的量測，印象深刻的是在研究之餘，帶了我去中壢很多好玩的地方，使我生活不至於太單調空乏。感謝振鴻學長在研究上的指導，清水的米糕以及楊媽媽的粽子真的很好吃。

感謝畢業的學長姐阿美、英子跟皓哥，在他們碩二忙著實驗之餘，還能撥空教我做實驗以及在旁指導。我永遠都記得那個晚上煮火鍋到黎明，還有頂樓宛如阿里山的日出。感謝與我共患難的好夥伴們阿翔、怡帆跟嘉葳。我的麻吉阿翔為我研究生活增添了许多樂趣，更創造了屬於我們的打招呼方式。與實驗機台博鬥時，總是能跟怡帆聊些生活瑣事和人生大道理，使得實驗過程不致無聊。嘉葳總是知道很多好餐廳，使得研究之餘有著愉快的晚餐。

感謝學弟妹安哥、阿俊、阿誠以及雁婷對實驗室默默地貢獻，在研究上也幫了我很多忙。與安哥的討論，總是能釐清一些觀念。長庚傍線之旅，阿俊與他同學的義氣相挺。阿誠的騎士精神，默默地讓實驗室整齊清潔。雁婷的實驗室出遊

行程，讓我第一次體驗到玩漆彈的樂趣。

最後要特別感謝我的家人爸媽跟我的妹妹，總是在挫折以及困難的時候感受到家裡最溫暖的擁抱，家人在這期間給予我無與倫比的幫忙以及教導我待人處事的道理，讓我順利地完成了求學階段。

求學生涯說長不長，但也默默地走到了尾端，細數這幾十年與書本陪伴的日子，與考試卷博鬥的慘痛經驗，與同學們的嬉戲玩耍，與實驗室的革命情感，這些都是我人生最美好的回憶，感謝出現在我生活周遭的人事物，由衷地感謝…

啟慶 2009.07.27



目 錄

中文摘要.....	I
英文摘要.....	III
誌謝.....	V
目錄.....	VII
圖表目錄.....	VIII
第一章 緒論.....	1
1-1 簡介.....	1
1-2 研究動機.....	2
1-3 論文架構.....	3
第二章 樣品製備和量測儀器.....	4
2-1 樣品製備.....	4
2-2 量測儀器簡介.....	5
2-2-1 電容電壓量測(C-V)	5
2-2-2 導納頻譜量測(C-F&G-F)	5
2-2-3 深層能階暫態頻譜量測(DLTS)	6
第三章 實驗結果與分析.....	10
3-1 電容-電壓 (C-V) 的量測與分析.....	10
3-2 導納頻譜分析技術 (admittance) 量測.....	11
3-3 深層暫態頻譜分析 (DLTS) 量測.....	12
3-4 Shockley-Read-Hall theory.....	13
3-5 額外的訊號.....	17
第四章 結論.....	52
參考文獻.....	54
附錄.....	56

圖 表 目 錄

圖 2-1	樣品結構圖.....	7
圖 2-2(a)	氮化矽層上未成長奈米矽晶體的 AFM 圖.....	7
圖 2-2(b)	氮化矽層上成長 1m30s 奈米矽晶體的 AFM 圖.....	8
圖 2-2(c)	氮化矽層上成長 2m 奈米矽晶體的 AFM 圖.....	8
表 2-1	Si-NCs_1m30s 和 Si-NCs_2min 樣品奈米矽晶體尺寸與濃度.....	9
圖 3-1(a)	no-dots 樣品溫度 80K 變頻 C-V 曲線.....	21
圖 3-1(b)	no-dots 樣品溫度 150K 變頻 C-V 曲線.....	21
圖 3-1(c)	no-dots 樣品溫度 220K 變頻 C-V 曲線.....	22
圖 3-1(d)	no-dots 樣品溫度 300K 變頻 C-V 曲線.....	22
圖 3-1(e)	no-dots 樣品溫度 350K 變頻 C-V 曲線.....	23
圖 3-1(f)	no-dots 樣品溫度 390K 變頻 C-V 曲線.....	23
圖 3-2(a)	dots 樣品溫度 80K 變頻 C-V 曲線.....	24
圖 3-2(b)	dots 樣品溫度 150K 變頻 C-V 曲線.....	24
圖 3-2(c)	dots 樣品溫度 220K 變頻 C-V 曲線.....	25
圖 3-2(d)	dots 樣品溫度 300K 變頻 C-V 曲線.....	25
圖 3-2(e)	dots 樣品溫度 350K 變頻 C-V 曲線.....	26
圖 3-2(f)	dots 樣品溫度 390K 變頻 C-V 曲線.....	26
圖 3-3(a)	small-dots 樣品溫度 300K 變頻 C-V 曲線.....	27
圖 3-3(b)	small-dots 樣品溫度 360K 變頻 C-V 曲線.....	27
圖 3-3(c)	small-dots 樣品溫度 390K 變頻 C-V 曲線.....	28
圖 3-4	no-dots 樣品 T=80K, f=500Hz 的低溫 C-V 曲線.....	28
圖 3-5	no-dots 樣品 ONO 結構的串聯電容.....	29
圖 3-6	no-dots 樣品 T=80K、f=500Hz 電導-電壓(G-V)曲線.....	29

圖 3-7	no-dots 樣品 $T=80K$ 、 $f=500Hz$ 空乏區的 C-V 曲線.....	30
圖 3-8	no-dots 樣品針對高溫缺陷的變溫 C-V 曲線.....	30
圖 3-9(a)	no-dots 樣品偏壓為 3V 變溫 G-f 圖.....	31
圖 3-9(b)	small-dots 樣品偏壓為 3V 變溫 G-f 圖.....	31
圖 3-9(c)	dots 樣品偏壓為 3V 變溫 G-f 圖.....	32
表 3-1	no-dots 樣品高溫頻率響應的缺陷活化能和捕捉截面積.....	32
表 3-2	dots 樣品高溫頻率響應的缺陷活化能和捕捉截面積.....	33
表 3-3	small-dots 樣品高溫頻率響應的缺陷活化能和捕捉截面積.....	33
圖 3-10	三片樣品 G-f 量測的阿瑞尼斯圖.....	34
圖 3-11(a)	no-dots 樣品改變偏壓的 DLTS 量測.....	35
圖 3-11(b)	no-dots 樣品改變偏壓的 DLTS 量測.....	35
圖 3-12(a)	small-dots 樣品改變偏壓的 DLTS 量測.....	36
圖 3-12(b)	small-dots 樣品改變偏壓的 DLTS 量測.....	36
圖 3-13(a)	dots 樣品改變偏壓的 DLTS 量測.....	37
圖 3-13(b)	dots 樣品改變偏壓的 DLTS 量測.....	37
表 3-4	no-dots 樣品高溫頻率響應的缺陷活化能和捕捉截面積.....	38
表 3-5	small-dots 樣品高溫頻率響應的缺陷活化能和捕捉截面積.....	38
表 3-6	dots 樣品高溫頻率響應的缺陷活化能和捕捉截面積.....	38
圖 3-14	電中性的缺陷從導帶捕捉電子.....	39
圖 3-15	抓取電子的缺陷釋放電子至導帶.....	39
圖 3-16	G-f 量測偏壓 3.4V 與 DLTS 量測 3V/4V 之間的阿瑞尼斯圖.....	40
圖 3-17	缺陷濃度對活化能的關係圖，活化能 0.462eV 有最大濃度.....	40
圖 3-18	三片樣品記憶窗 (program window) 的特性.....	41
圖 3-19	$\Delta V_{FB}=2V$ 之三片樣品在溫度 150 度的保存時間的特性.....	41
圖 3-20	電子以 FN 穿隧效應灌入氧化層.....	42

圖 3-21	電子灌進氧化層導致 C-V 曲線向右平移.....	42
圖 3-22	灌載子後平帶電壓 (flatband voltage) 平移了 1.4V.....	43
圖 3-23(a)	未灌載子偏壓 2.5V 的 G-f 量測.....	43
圖 3-23(b)	灌載子後偏壓 3.9V 的 G-f 量測.....	44
表 3-7(a)	未灌載子 interface state 的活化能以及捕捉截面積.....	44
表 3-7(b)	灌載子後 interface state 的活化能以及捕捉截面積.....	45
圖 3-24(a)	未灌載子 interface state 的改變偏壓 DLTS 量測.....	45
圖 3-24(b)	灌載子後 interface state 的改變偏壓 DLTS 量測.....	46
圖 3-25	no-programmed 表示未灌電子；less-programmed 表示灌些許電子； more-programmed 表示灌很多電子的 C-V 曲線.....	46
圖 3-26(a)	no-programmed 速率窗為 86msec 的 DLTS 量測.....	47
圖 3-26(b)	less-programmed 速率窗為 86msec 的 DLTS 量測.....	47
圖 3-26(c)	more-programmed 速率窗為 86msec 的 DLTS 量測.....	48
圖 3-27	速率窗為 21.5msec 的 no-programmed、less-programmed 和 more-programmed 的 DLTS 量測.....	49
表 3-8(a)	no-programmed 改變偏壓 DLTS 量測的活化能與捕捉截面積.....	50
表 3-8(b)	less-programmed 改變偏壓 DLTS 量測的活化能與捕捉截面積...	50
表 3-8(c)	more-programmed 改變偏壓 DLTS 量測的活化能與捕捉截面積...	50
圖 3-28	no-programmed、less-programmed 和 more-programmed 對特定偏壓的阿瑞尼斯圖.....	51
附錄.....		56

第一章

緒論

1-1 簡介

體積小、耗電少以及讀寫快的特性，使得非揮發性記憶體 --- 快閃記憶體 (Flash memory) 被廣泛地應用在目前當紅的 3C 產品，例如 PDA、IPOD、隨身碟、記憶卡...等。隨著日後的需求，快閃記憶體遇到了兩個問題：一是在元件尺寸繼續微縮下，穿隧氧化層的厚度也隨之下降，如此雖可讓讀寫速度更快，但保存電荷時間的能力反而下降，所以故須在兩者之間取得一個平衡點；二是經過多次讀寫後，穿隧氧化層的品質容易被破壞，一旦產生了一條漏電途徑，所有儲存在氧化層裡浮動閘極的電荷會隨著漏電途徑而全部流失。面對這兩個問題，兩種改良的方法被提出，一是 SONOS 非揮發性記憶體，另一種是奈米晶體非揮發型記憶體。

自從 1976 年，非揮發性半導體記憶體 MNOS 被提起 (1)， Si_3N_4 被廣泛地應用於記憶體的結構。到了 1990 年，縮短氧化層的特點改善了在 SONOS 結構的可靠度以及性能。SONOS 結構為 silicon/oxide/silicon nitride/oxide/silicon 組成的非揮發性記憶體，其特點有更低的功率消耗、低電壓的操作、更高的元件密度、簡單的製程、多位元 (multi-bite) 操作，而且沒有浮動閘極的電容耦合效應 (coupling effect) (2) (3) (4) (5)。SONOS 記憶體利用 Fowler-Nordheim tunneling effect 將電子灌入氧化層裡為寫入 (write) 的動作，然後將電洞穿隧至氧化層裡為抹除 (erase) 的動作 (6)。灌進去的電子被儲存在氧化層中的氮化矽缺陷 (nitride trap)，但是大的元件尺寸跟緩慢的讀寫速度限制了它的應用。

為了改善此元件的特性，She et al. (7) 提出在快閃記憶體中利用噴

射蒸汽蒸鍍法 (jet vapor deposition) 蒸鍍氮化矽層當作穿隧氧化層。此方法可利用較低的操作電壓就可達到快速的寫入速度和更好的保存時間。雖然可達到較快的讀寫速度，但元件反反覆覆的讀寫與抹除會破壞穿隧氧化層，一旦產生了漏電途徑，則會造成部分的電荷流失，資料遺失。另外，載子若被儲存在氮化矽層內的深層缺陷，經過寫入與抹除多次，電荷在深層能階會無法全部被抹除，這是 SONOS 記憶體的缺點。

在大型的 IC 元件以及新的物理現象，奈米矽晶體 (Si-NCs) 非揮發性記憶體被提出去改善保存時間的能力 (8)(9)(10)(11)。奈米晶體非揮發性記憶體的結構是在氧化層中成長奈米晶體當作儲存電荷的方式，電荷儲存在奈米晶體造成的量子能階。氧化層中多數的奈米晶體，所以當元件反反覆覆地讀寫與抹除，即使造成氧化層的破壞也不會因此漏電而遺失電荷。而讀寫與抹除的方式是靠著穿隧氧化層經由直接穿隧而入，所以使用更薄的穿隧氧化層可降低操作電壓以及加快操作速度。

奈米晶體的數目愈多，能儲存的電荷愈多，但奈米晶體的大小會影響整個元件儲存的特性。厚度小的奈米晶體會因為庫倫排斥力 (coulomb blockade)(12) 使得電荷很容易離開量子能階，無法永久地儲存。而成長厚度太大，由於元件尺寸愈來愈小，每個非揮發性記憶體可能只有幾顆奈米晶體，能儲存的電荷就變少了。所以控制奈米晶體的大小對非揮發性記憶體而言，是一項很重要的因素。

1-2 研究動機

對於非揮發性記憶體而言，元件尺寸愈做愈小，為了兼顧讀寫速度的快慢以及保存時間的特性，穿隧氧化層的厚度必須取得一個平衡。而此穿隧氧化層又可能因反反覆覆地讀寫與抹除而被破壞，產生漏電途徑遺失資料，所以穿隧氧化層

必須有良好的特性。由提出的兩個改良方法，我們將兩種記憶體的優點合併為一，在 SONOS 結構中的氮化矽層內成長奈米矽晶體，以避免上述所談的兩個記憶體的缺點。此種構思明顯地發現成長奈米矽晶體的非揮發性半導體有較好的保存電荷的能力，而且可儲存較多電荷。針對改良後的特性，我們希望可以利用電性量測了解此類記憶體如何儲存電荷的機制以及如何使得電荷儲存的愈多。

1-3 論文架構

本論文主要是利用電性量測來研究氮化矽層內嵌入奈米矽晶體的 SONOS 記憶體缺陷的探討以及分析。而論文的章節安排如下：

第二章：樣品的製備和量測儀器簡介

第三章：電性的量測結果與討論

第四章：結論



第二章

樣品製備和量測儀器

2-1 樣品製備

如〔圖 2-1〕所示，經 RCA 步驟清洗摻雜濃度 10^{15}cm^{-3} P-type (100) 矽基板上，利用佈植方式將硼原子打入矽基板上，形成濃度約 10^{18}cm^{-3} 的 P-Well。通入乾氧(dry O_2)條件的垂直爐管，成長 2.5nm 的 SiO_2 當作穿隧氧化層(tunnel oxide)。在 LPCVD 環境下，通入 30 sccm SiH_2Cl_2 和 130 sccm NH_3 反應，成長 3nm 厚度的 Silicon Nitride 層。接著在 Silicon Nitride 上長 Silicon NanoCrystals (Si-NCs) 2 min 以及 1.5 min。Si-NCs 是在溫度 550°C 、壓力約為 100-mTorr 以多晶矽成長，反應氣體 SiH_4 的速率大約為 85 sccm。之後在 Si-NCs 上蓋一層 4nm 的 Silicon nitride。經高溫的過程中，先前被埋在上下兩層 Silicon Nitride 裡的 Si-NCs 會以 poly-Si nanocrystal 聚集而成，從〔圖 2-2(a)(b)(c)〕中 atomic force microscopy (AFM) 圖可看出 (13)，而在〔表 2-1〕，我們預測大約成長 2 min 跟 1.5 min 的 Si-NCs 的濃度跟尺寸大小。在 4nm 的 Silicon nitride 上以高密度電漿化學氣相沉積 (HDPCVD) 成長 20nm Silicon oxide 當作阻擋層 (blocking oxide)，然後在上面以 LPCVD 成長方式蓋一層 200nm poly-Si 當作閘極電極。利用磷原子佈植能量 40keV、濃度約為 $5\times 10^{15}(\text{cm}^{-3})$ 形成 n^+ poly-Si 降低電阻值。經過佈植之後，以 900°C 、30 min 高溫熱退化，然後利用 poly-Si dry etcher (TCP- 9400) 和 the oxide dry etcher (TEL-5000) 蝕刻 poly-Si 閘極電極和阻擋層。接著以金屬鋁(Al)當作電極。

其中，在 Silicon nitride 層中未成長 Si-NCs 為樣品 no-dots，成長 1.5 min Si-NCs 為樣品 small-dots，而成長 2 min 為樣品 dots。

2-2 量測儀器簡介

2-2-1 電容電壓量測(C-V)

藉由調變其空乏區，控制樣品的費米能階(Fermi level)去量測樣品所反映出來的電容特性，接下來的量測都與樣品的電容與導納值有關。首先，C-V 量測主要是利用外加逆偏壓來空乏半導體內自由載子，配合交流頻率的調變做電容電導量測，不同 DC 偏壓下的電容值可得出各區域的載子濃度變化。主要利用到的公式有平行板電容公式〔式 2-1〕與載子濃度隨空間分佈公式〔式 2-2〕：

$$C = \frac{\epsilon\epsilon_0 A}{W} \quad [2-1]$$

$$N(W) = \frac{2}{q\epsilon\epsilon_0 A^2 [d(\frac{1}{C^2})/dV]} \quad [2-2]$$

其中 W 為空乏區寬度， ϵ 為半導體介電係數(permittivity)， A 為元件面積， $N(W)$ 為空乏區為 W 時的載子濃度。



2-2-2 導納頻譜量測(C-F & G-F)

若由 C-V 量測發現某逆偏下載子對不同頻率有不同電容值的響應，則可進一步作 C-F 與 G-F 量測，更深入去探討被侷限的載子對外加偏壓的反應時間。調變 ac 的頻率由 100 Hz 到 15 MHz，理論上不同的溫度之下，載子的反應時間常數也不同(與其熱動能有關)，因此可藉由量測 C-F 與 G-F 頻譜，針對不同偏壓(對應到不同區域)的量測，進而畫出阿瑞尼斯圖(Arrhenius plot)，由圖中的斜率與截距，推算缺陷或侷限能階的活化能(activation energy)及捕捉截面積(capture cross section)。根據數學推導的結果，電容及電導對應頻率的公式如下：

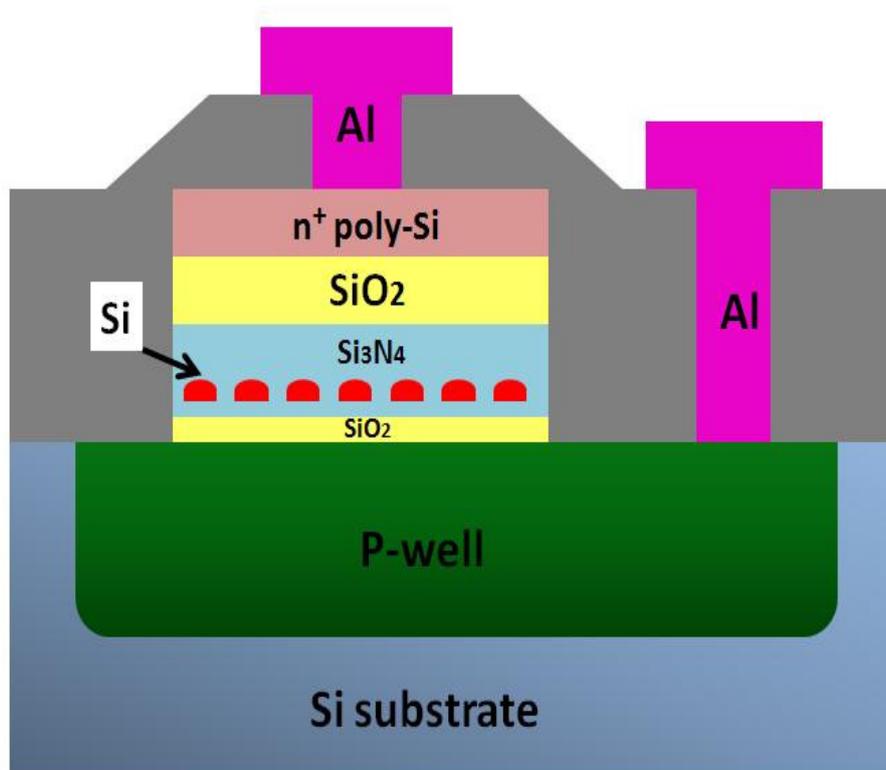
$$C_p = \frac{\epsilon\epsilon_0}{x_d} + (2e_n)^2 C_0 \left[\frac{1}{\omega^2 + (2e_n)^2} \right] \quad [2-3]$$

$$G_p(\omega) = 2e_n C_0 \left[\frac{\omega^2}{\omega^2 + (2e_n)^2} \right] \quad [2-4]$$

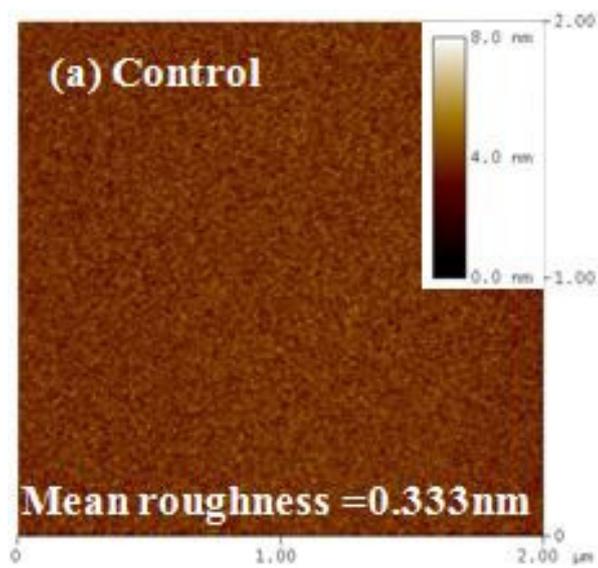
其中 ω 為量測頻率， e_n 為電子放射率(emission rate)，由式子看出當 $\omega \ll e_n$ 時，缺陷可隨交流偏壓來捕捉或放射電子，缺陷對電容便有貢獻；當 $\omega \gg e_n$ 時，則對量測頻率無響應。另外由〔式 2-3〕電容對 $\log(\omega)$ 的關係圖中，反曲點會落在 $\omega = 2e_n$ 上，〔式 2-4〕 $\omega = 2e_n$ 時也會得到最大的 $G(\omega)/\omega$ 值 $C_0/2$ ，可藉此得出不同溫度的 e_n 。使用 HP4194 阻抗/增益相位分析儀做以上的量測。

2-2-3 深層能階暫態頻譜量測(DLTS)

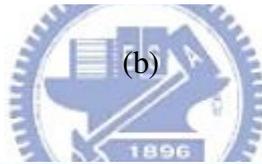
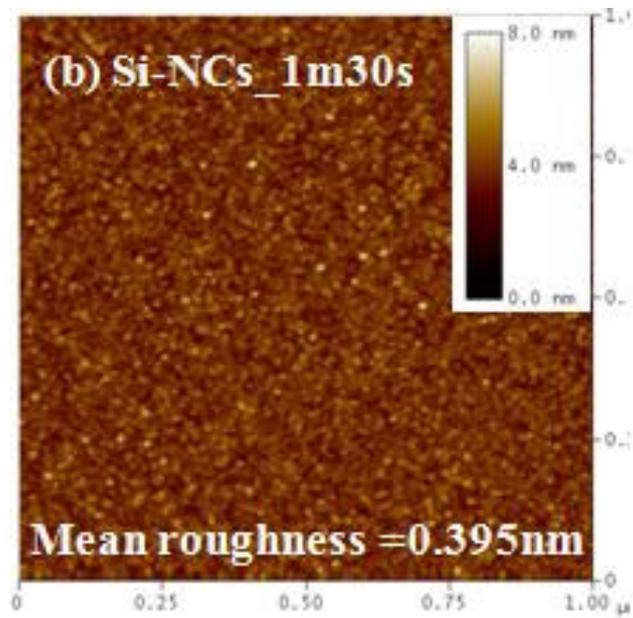
利用週期性變化電壓施加於樣品上，改變樣品空乏區的大小，在連續不斷的暫態電容量測中，找出隨溫度變化時的最大電容變化值的溫度，來獲得深層缺陷的資訊。優點：靈敏度高(可到 10^{10}cm^{-3} 之濃度偵測範圍)、能測多數與少數載子、觀測 defect 能階範圍廣、尤其是較深層的缺陷能階(emission time 在毫秒等級的)也能夠被精準量測到，提高信號對雜訊的比值(S/N ratio)等。DLTS 技術主要是給定兩時間 t_1 與 t_2 ，固定 t_2/t_1 ，改變 t_1 與 t_2 來設定不同速率窗，電子發射速率 e_n 隨著系統溫度變化而改變，只有當 e_n 剛好落在所設之速率窗中，量測系統才達到峰值，即有 $e_{n,\max} = \frac{\ln(t_2/t_1)}{t_2 - t_1}$ 。當溫度很低時， ΔC 變化幅度很小($\Delta C \sim 0$)，當溫度很高時， ΔC 變化幅度又太快($\Delta C \sim 0$)，只有當溫度在特定範圍， ΔC 變化才最大，與我們所設定的時間常數最接近。設定不同 t_1 與 t_2 來改變不同速率窗(rate window，即 $e_{n,\max}^{-1}$)，獲得多組不同 $e_{n,\max}$ 與峰值溫度數據，可同樣求出缺陷活化能與捕捉截面積。



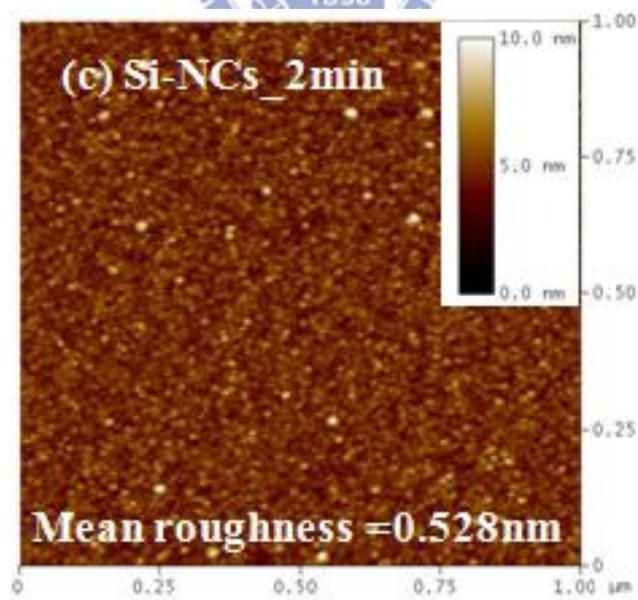
〔圖 2-1〕 樣品結構圖



(a)



(b)



(c)

〔圖 2-2〕 在氮化矽層上不同成長時間的奈米矽晶體的 AFM 圖

(a)control sample (b)Si-NCs_1m30s sample

(c)Si-NCs_2min sample

Sample	Size(nm)	Density(1/cm ²)
Small-dots	~8	~6*10 ¹¹
dots	~10	~3*10 ¹¹

[表 2-1] Si-NCs_1m30s 和 Si-NCs_2min 樣品的奈米矽晶體尺寸與濃度



第三章

實驗結果與分析

3-1 電容-電壓 (C-V) 的量測與分析

由〔圖 3-1(a)~3-1(f)〕，對於樣品 no-dots 變溫、變頻的電容-電壓量測，可看到在低溫 80K 時，在偏壓-4V 到 0V 之間有個頻率響應 (frequency dispersion)，但當量測溫度增加時，此頻率響應會隨著溫度的增加而往偏壓正的方向移動，但當溫度接近室溫 300K 時，此頻率響應慢慢地消失，反而在偏壓 1V 至 4V 之間，多出了另一個頻率響應的訊號。隨著溫度的上升，此訊號愈來愈大。

如〔圖 3-2(a)~3-2(f)〕〔圖 3-3(a)~3-3(c)〕所示，由於結構上多長了 Si-NCs，氧化層的電容值稍有不同，但 Small-dots 和 dots 的樣品跟 no-dots 樣品在 C-V 量測有同樣的趨勢，所以此兩頻率響應不是因結構上的差異造成的。假設訊號是成長樣品造成的，那這兩個訊號在樣品中屬於不同種類的缺陷。

成長穿隧氧化層(tunnel oxide)之前，佈植矽基板濃度約為 10^{18}cm^{-3} 的 P-well，但矽基板的濃度為 10^{15}cm^{-3} 。從電容-電壓量測可確認在空乏 (depletion) 時，量測到的位置是 P-well 或者 Si-substrate，以間接獲得量測的背景濃度 (Background concentration)。

一般而言，defect 的時間常數較長，低溫時對電容的貢獻很小，整個 C-V 曲線較接近背景濃度造成的空乏，如〔圖 3-4〕所示，no-dots 樣品溫度 80K、頻率為 500Hz 的 C-V 曲線。針對低溫出現的頻率響應，如〔圖 3-1(a)〕所示，由於半導體是屬於 p-type，此缺陷出現的偏壓範圍應屬於 donor state，高頻時缺陷抓住的電洞跟不上量測的頻率，使得這些電洞被視為氧化層裡的累積電荷，導

致高頻時電容-電壓曲線會向左平移，但當逆向偏壓愈加愈大時，此缺陷內的電洞因空乏電場的影響被趕出，電容-電壓曲線回到與低頻一致，為了忽略缺陷造成的影響，所以我們選擇低頻 500Hz 來量測。由於量測的電容值 C 為氧化層的電容 C_{ox} 串聯半導體空乏的電容 C_{dep} ，如〔式 3-1〕所示。

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{dep}} \quad [3-1]$$

C_{ox} 的電容是由 ONO 結構組成，如〔圖 3-5〕三個電容串聯而得。由〔式 3-2〕，其中 ϵ 為介電常數， A 為電容的面積， t 為氧化層的厚度。而 $\epsilon_{SiO_2} = 3.9$ 、 $\epsilon_{Si_3N_4} = 7.5$ ，可得等效的介電常數為 4.3，整個電容值為 1295pF。



$$C = \frac{\epsilon A}{t} \quad [3-2]$$

由於電導-電壓 ($G-V$) 量測的 peak 值約為平帶電壓 (flatband voltage) 的附近 (14)，如〔圖 3-6〕所示，平帶電壓大概位在 -0.8V 附近。當電壓大於 -0.8 V 時，整個區線為空乏的情形，如〔圖 3-7〕所示。由〔式 3-3〕獲得，取 $1/C^2$ 對 V 的關係式可得摻雜濃度約為 $2.75 \times 10^{18} \text{cm}^{-3}$ ，其中 V_{bi} 為 built-in 位障， ϵ_s 為 silicon 的介電常數， N_d 為摻雜濃度， V_R 為逆向偏壓。所以我們量測到的區域是 P-Well 的空乏。

$$\frac{1}{C^2} = \frac{2(V_{bi} + V_R)}{e\epsilon_s N_d} \quad [3-3]$$

3-2 導納頻譜分析技術 (admittance) 量測

首先針對高溫出現的 defect 訊號進行探討，在 C-V 圖形上 [圖 3-8]，由於此頻率響應隨著溫度的上升出現在偏壓 2V 到 5V 之間。量測偏壓 2V 到 5V 範圍的電導-頻率 (G-f) 量測，如 [圖 3-9(a)(b)(c)] 所示，這是三片樣品在偏壓 3V 不同溫度的 G-f 圖形，所有偏壓在 (附錄)。G-f 的 peak 為某溫度下對應的缺陷的時間常數 (time constant)，可畫出阿瑞尼斯圖求得活化能 (activation energy) 以及捕捉截面積 (capture cross-section area)，如 [表 3-1][表 3-2][表 3-3] 所示，可看出三片樣品的活化能會隨著量測偏壓愈大，有愈大的趨勢，且捕捉截面積約為 $10^{-16}(\text{cm}^2)$ 數量級。所有偏壓畫成阿瑞尼斯圖，如 [圖 3-10] 所示，可大約估計這三片樣品在高溫造成頻率響應的 defect 為同一類型。

3-3 深層暫態頻譜分析 (DLTS) 量測



DLTS 是探討深層能階 (deep level) 的分析技術，利用此技術，來探討 defect 的特性。利用先空乏載子，然後加個填充脈衝偏壓 (filling pulse) 填充載子，然後瞬間空乏量測電容的變化，此量測方式的訊號為 hole emission。

對 no-dots 樣品而言，訂個小偏壓範圍，以量測 hole emission 的方式從 0V 掃至 5V，如 [圖 3-11(a)] 所示。在偏壓小時，低溫出現了一個很寬很胖的 peak，但此寬而胖的 peak 訊號很小，表示此 defect 濃度很低。但當偏壓愈加愈大時，此 peak 會往高溫移動。當偏壓範圍為 1V / 1.5V 時，在高溫出現了額外的訊號，當偏壓愈加愈大時，此訊號會往高溫移動，而且從 [圖 3-11(b)] 所示，此高溫出現的 defect 訊號，隨著偏壓的增加，濃度愈來愈大，但到了一個極大值，濃度又下降，濃度對偏壓呈現高斯分布的情形。

從 C-V 曲線，得知有兩個不同的 defect，互相呼應 DLTS peak 的兩個訊號。針對高溫的訊號，我們發現活化能因為偏壓範圍增加而增加，從 [表 3-4] 所示。

從〔圖 3-12(a)(b)〕所示，此為 small-dots 樣品的 DLTS 量測。我們也發現了與 no-dots 樣品一樣的趨勢，偏壓小的訊號在低溫出現，且濃度小，跨越的溫度範圍寬。隨著偏壓加大，一個高溫、濃度很高的訊號慢慢地出現，且低溫的訊號漸漸地消失。從〔表 3-5〕所示，活化能隨著偏壓有變大的趨勢，且捕捉截面積大約為 $10^{-16} \sim 10^{-17}(\text{cm}^2)$ 。

Dots 樣品有著其它兩片樣品同樣的趨勢，如〔圖 3-13(a)(b)〕〔表 3-6〕所示，不過在偏壓範圍 2V / 3V 之間出現了一個額外的 peak 訊號，後面會詳加討論。

3-4 Shockley-Read-Hall theory

一個理想的半導體，有著完美的晶格排列和理想的週期位能趨勢 (periodic-potential function)，但實際的半導體材料，在晶格中產生的缺陷，會破壞週期位能的趨勢，而且這些缺陷濃度不夠多時，會在能帶 (bandgap) 上造成一個不連續的能階。此能階對於整個半導體可能會抓放載子，此抓放載子的復合速率決定於 SRH 理論。

假設在能帶間能階 E_t 的位置有個單一復合中心或者缺陷，我們假設此缺陷為 acceptor-type，也就是說，當此缺陷抓住電子時的狀態為帶負電，但未抓電子時，則不帶電或者電中性。

〔圖 3-14〕所示，初始為電中性的缺陷從導帶 (conduction band) 捕捉電子，捕捉的速率 (capture rate) 為〔式 3-4〕所示，其中 R_c 為捕捉速率 ($\#/ \text{cm}^3 \cdot \text{s}$)， C_n 是一個常數，為捕捉截面積 (capture cross-section area) 與載子移動速度 (thermal velocity) 的乘積， N_t 是此缺陷的濃度， $f_F(E_t)$ 為缺陷能階中佔據載子的機率，而 n 為導帶間電子的濃度。

$$R_C = C_n N_t (1 - f_F(E_t)) n \quad [3-4]$$

若抓取電子的缺陷釋放電子至導帶，如〔圖 3-15〕所示，此釋放的速率 (emission rate) 如〔式 3-5〕所示，其中 R_E 為釋放電子的速率 ($\#/cm^3-s$)， n' 為當費米能階在缺陷能階位置時，導帶中的電子濃度。如〔式 3-6〕， N_C 為導帶有效能帶密度， k 為 boltzman constant， T 為溫度， E_C 為導帶的能階。

$$R_E = C_n N_t f_F(E_t) n' \quad [3-5]$$

$$n' = N_C \exp\left[\frac{-(E_C - E_t)}{kT}\right] \quad [3-6]$$

在非平衡態時，有額外的電子存在，此動態的關係式為〔式 3-7〕，由於我們量測導納頻譜分析 (admittance)，輸了一個 DC 訊號加上一個 AC 訊號，所以將〔式 3-8〕〔式 3-9〕代入動態的關係式，得到〔式 3-10〕，其中 ω_0 為特徵頻率 (characteristic frequency)，且 $\omega_0 = C_n (n_0 + n')$ 。因 $\omega_0 = 2\pi f$ ，且 $\tau = 1/f$ ，所以從導納頻譜分析測量得到的時間常數的關係式〔式 3-11〕

$$N_t \frac{df}{dt} = R_C - R_E \quad [3-7]$$

$$f = f_0 + \partial f \exp(j\omega t) \quad [3-8]$$

$$n = n_0 + \partial n \exp(j\omega t) \quad [3-9]$$

$$\partial f = \frac{(1 - f_0) \partial n}{n_0 + n'} \frac{1}{1 + j(\omega / \omega_0)} \quad [3-10]$$

$$\tau_{Gf} = \frac{2\pi}{C_n(n_0 + n')} \quad [3-11]$$

當達到平衡狀態時， $n_0 = n'$ ，意即載子在缺陷與外在環境達到動態平衡，交換速率一樣，則 $\omega_0 = 2C_n n'$ 為我們量測到的 Admittance 的頻率。

DLTS 量測時，其非平衡態關係式如上〔式 3-7〕，由於先灌完載子在瞬間量測空乏的狀態，所以 $n=0$ ， $R_c=0$ 。關係式變為〔式 3-12〕，解此微分方程可得〔式 3-13〕，其中時間常數為〔式 3-14〕。

$$N_t \frac{df}{dt} = -R_E \quad [3-12]$$

$$f = f_0 \exp(-C_n n' t) \quad [3-13]$$

$$\tau_{DLTS} = \frac{1}{C_n n'} \quad [3-14]$$

從 SRH 理論我們推得導納頻譜分析以及深層暫態頻譜分析兩者時間常數的差異，如〔式 3-11〕〔式 3-14〕所示，但以我們三片樣品 p-type 的結構，造成高溫 peak 的缺陷屬於 donor type，所以根據 SRH 理論可得兩個關係式〔式 3-15〕〔式 3-16〕，利用這兩關係式，可獲得費米能階所在缺陷的背景濃度 P_0 。

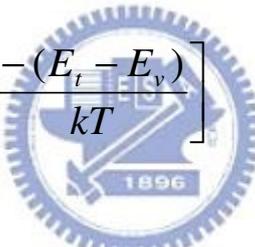
$$\tau_{Gf} = \frac{2\pi}{C_p(p_0 + p')} \quad [3-15]$$

$$\tau_{DLTS} = \frac{1}{C_p p'} \quad [3-16]$$

〔圖 3-16〕將 G-f 量測偏壓 3.4V 與 DLTS 量測 3V/4V 之間做阿瑞尼斯圖，

選擇一個溫度 333.33K，可以決定 G-f 與 DLTS 在此條件下的時間常數，其中 $\tau_{Gf} = 5.22msec$ ， $\tau_{DLTS} = 2.02msec$ ，其中捕捉截面積，我們取兩個量測系統的平均值 $7.5 \times 10^{-17} (cm^2)$ ，thermal velocity 在溫度 333.33K 為 $1.64 \times 10^7 (cm/s)$ ，經過計算可得 $P = 4.01 \times 10^{11} (cm^{-3})$ ， $P_0 = 5.77 \times 10^{11} (cm^{-3})$ 。由此可知， P 約等於 P_0 ，所以可知導納頻譜分析是在熱平衡狀態下量測，載子在缺陷與外界環境轉換是動態平衡的。

求得的 P_0 是缺陷所在的費米能階下的電洞濃度，利用 [式 3-17]，我們可以得知缺陷能階位於價帶上的活化能 ($E_t - E_v$)，此活化能約為 0.48eV，而我們 G-f 量測得到的 0.519eV，和 DLTS 量測得到的 0.5eV，三個值約略相同。經由這方法證實此兩種量測方式量測到的是同一個 Defect，而且此缺陷的特性滿足 SRH 理論。

$$p_0 = N_v \exp \left[\frac{-(E_t - E_v)}{kT} \right] \quad [3-17]$$


綜合以上的討論，針對高溫的頻率響應，在 C-V 曲線上，此缺陷造成的頻率響應會有個偏壓範圍，而且當溫度愈高時，此偏壓範圍愈來愈大，而且從 G-f 以及 DLTS 兩個量測系統，可明顯地看到隨著偏壓愈加愈大，活化能愈來愈大，表示此缺陷在能帶上可能是 band 或者是不連續的能階。[圖 3-17]，在活化能 0.463eV 有個最大值，表示當活化能愈來愈大時，濃度漸漸變大至最大值，然後再慢慢變小，呈現一種高斯分布的情形。從 SRH 理論， P_0 求得的濃度和背景濃度值約為 $10^{18} (cm^{-3})$ ，表示此缺陷位在接近氧化層與半導體的界面處，而且此缺陷並不是從氧化層裡經過穿隧效應產生的頻率響應。

經此推論，這高溫的訊號可能是氧化層與半導體之間造成的介面能態，所謂的 interface state。由於活化能大約在 0.5eV 至 0.6eV，在文獻上也指出 interface state 大約在 silicon 能帶的中間。(15) (16)

3-5 額外的訊號

先前的討論中，dots 樣品的 DLTS 量測在偏壓範圍 2V / 3V 之間出現了一個額外的 peak 訊號，但在 no-dots 與 small-dots 中卻沒發現，如 [圖 3-11(a)] [圖 3-12(a)] [圖 3-13(a)]。除了 small-dots 和 dots 樣品在 silicon nitride 層中多長了 Si-NCs，三片樣品在製程上條件相同，所以推測此額外的訊號是來自於結構上的差異。從 AFM 圖，如 [圖 2-2] 所示，對兩片樣品 small-dots 和 dots 而言，若此訊號是因為 Silicon 在兩個 Si₃N₄ 層形成的量子點的量子能階，而兩者 Si-NCs 的高度(size)差不多，造成的量子能階也會差不多，但 small-dots 並未量到此訊號，所以此訊號可能的來源不是 Si-NCs 造成的量子能階。製程中經過高溫，Si-NCs 會聚集成較大顆(size)的 silicon dots。dots 樣品因 Si-NCs 成長時間較長，聚集的 silicon dots 高度較大而造成過大的應力(stress)，可能會在 Si-NCs 與 silicon nitride 的界面造成一些缺陷，而且這些缺陷會抓放載子。但 small-dots 因為成長時間較短，應力較小，以至於沒有多出來的訊號或者訊號極小。測量得到的訊號，既是 Si-NCs 與 silicon nitride 的界面能態，而且我們又發現 Si₃N₄ 的能帶差(Band gap)大約為 5eV，而 SiO₂ 的能帶差大概是 9eV，所以此缺陷內的載子對位能障大約有 2.5eV 以上，就我們量測到的時間常數，載子不可能跳了那麼高的位能障而得到此訊號，所以此 peak 可能是由氧化層裡面經穿隧效應(tunneling)至半導體，才量得此訊號。

[圖 3-18] 所示，fresh 表示未灌載子，program 表示以閘極電壓 25V 灌電子。記憶窗(program window)的大小決定了儲存電荷的能力，從圖中我們發現了成長 Si-NCs 愈長時間，儲存電荷的能力愈強，儲存電荷愈多。當可儲存電荷愈多時，表示可能在氧化層裡面能夠抓取載子的缺陷變多了。由先前的討論，我們大概推測多出來的訊號是成長 Si-NCs 造成 Si-NCs 與 silicon nitride 的界面缺陷，可能是造成儲存電荷能力變強的原因之一。

保存時間 (retention) 的長久對於記憶體 (Memory) 而言是一個很重要的特性。〔圖 3-19〕為三片樣品灌同樣載子數目 ($\Delta V_{FB}=2V$) 在 $150^{\circ}C$ 的保存時間的特性，我們發現 no-dots 樣品的保存電荷的能力最差，多了成長 Si-NCs 結構，保存電荷的能力變好了，可能是電荷部分被累積在 Si-NCs 與 silicon nitride 的界面缺陷。但我們發現當成長 Si-NCs 時間較長時，保存電荷的能力反而變差了，造成這種情形的原因可能是因成長 Si-NCs 愈長，應力過大造成更多 Si-NCs 與 silicon nitride 的界面缺陷，相較而言可能也產生一些淺層能階。而電荷反而容易從深層能階跳至淺層能階，然後再跳出氧化層形成一個漏電的途徑，所以 small-dots 樣品的保存電荷的能力較 dots 樣品好。

由於此訊號來自氧化層，為了探討此缺陷的特性，我們試著將載子灌進氧化層裡。我們使用 programmed 的方法，利用高偏壓所造成的強大電場，將電子已 FN tunneling 的型式從半導體端被灌進氧化層而儲存，如〔圖 3-20〕所示。當偏壓愈加愈大時，氧化層裡儲存更多由半導體端來的電子，導致電容-電壓(C-V) 曲線會向右平移，電壓愈大，向右平移的值愈多，如〔圖 3-21〕所示。電容曲線平移的原因是因為當電荷累積至氧化層裡，電荷會造成內建電場，而使得部分偏壓貢獻在氧化層上，當氧化層裡儲存電荷愈多時，此貢獻在氧化層上的偏壓愈大。而儲存電子愈多時，C-V 曲線會向右平移，反之，當儲存電洞愈多時，C-V 曲線會向左平移。

首先，我們試著將電子灌至氧化層裡，如〔圖 3-22〕所示。整個電容曲線平移了 $1.4V$ ($\Delta V_{FB}=1.4V$)，我們想確定在 C-V 圖形位於高溫的介面能態 (interface state) 是否因 programmed 前後有無影響，於是我們利用導納頻譜分析來確認，如〔圖 3-23(a)(b)〕所示，未灌載子偏壓 $2.5V$ 以及灌載子偏壓 $3.9V$ 的 G-f 量測。由於平帶電壓平移 $1.4V$ ，所以我們選擇 programmed 後量測的偏壓為未 programmed 時的偏壓加上 $1.4V$ ，然後求出 programmed 前後偏壓所對應的活化能以及捕捉截面積〔表 3-7〕。我們發現氧化層與半導體的介面能態在

programmed 前後的活化能類似，表示兩者時間常數幾乎一樣，所以 programmed 並不會影響 interface state 的時間常數。

〔圖 3-24(a)(b)〕為灌載子前後界面態的缺陷濃度比較。由於偏壓的設定以及 programmed 載子數目的多寡，量測 DLTS 並未利用平帶電壓 shift 多少偏壓去決定量測範圍，但是從灌載子前後的 defect 濃度幾乎類似，約為 10^{16} 數量級，而且也有個最大值。所以說灌載子前後並未改變 interface state 的缺陷濃度。

綜合以上，我們認定灌載子 (programmed) 前後，並不會影響氧化層與半導體間界面態的特性。

確定灌載子後，界面態不受影響。我們針對 dots 樣品中額外的 peak 在灌了電子後有無改變。首先，我們以 no-programmed、less-programmed 和 more-programmed 三種方式來探討多出來的 peak，如〔圖 3-25〕所示，其中 no-programmed 表示未灌電子，less-programmed 表示灌些許電子，使電容-電壓曲線對於未灌電子時向右平移了 4V，而 more-programmed 表示灌很多電子，使電容-電壓曲線對於未灌電子時向右平移了 5.2V。接著將三種方式量測 DLTS，如〔圖 3-26〕所示。由於此片樣品並未有很好的儲存電荷的特性，所以當時間久了，儲存的電荷會隨著時間慢慢地被抹除 (erase)，但當電荷被抹除時，氧化層裡的電子濃度變少，整個電容-電壓曲線就會平移。因 DLTS 量測非常耗時，整個偏壓範圍量完可能需要兩三天的時間，少部分電荷已經被抹除，每個偏壓對應的電容值將會跑掉。

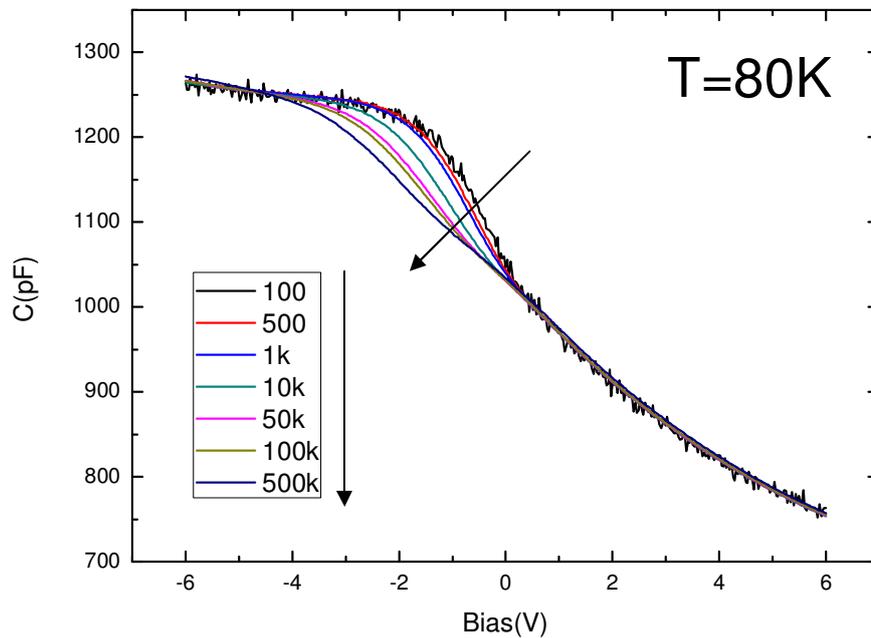
面對這個電荷抹除的問題，我們想到了一個方法來間接地避免。由於先前的討論，半導體與氧化層間的 interface state 並不會隨著灌多少載子或者氧化層裡電荷的多寡而有所影響，而且在 DLTS 量測上，可同時量測到 interface state 和多出來的訊號，所以我們可以利用 interface state 來探討 DLTS 多出來的訊號它的特性。

能帶中不同的活化能，對應不同的時間常數。所以當 interface state 時間常數相同時，表示在半導體能帶上量測到同一個活化能，利用此方法，我們藉此探討多出來的 peak 它的特性，如〔圖 3-27〕所示，固定介面能態的溫度，我們可以發現多出來的 peak 隨著 programmed 電子的多寡而有所影響，當氧化層裡電子數目愈來愈多時，peak 往高溫移動，表示時間常數變長了。如〔表 3-8〕所示，針對多出來的 peak，隨著氧化層裡電荷愈灌愈多，活化能愈來愈深，而且捕捉截面積愈來愈大，從阿瑞尼斯圖，如〔圖 3-28〕所示，可以很明顯地看出這種趨勢。

灌進氧化層裡的電荷，估計大概是 10^{10} (cm^{-3}) 數量級，所以電子會填進氧化層裡的缺陷。由於量測 DLTS 量測的訊號是 hole emission，所以造成的訊號是電洞跳出缺陷的 peak，表示此缺陷屬於會抓電洞的 donor state。當電子掉進缺陷時，電洞在缺陷裡面的濃度相對的降低，而電子在缺陷裡造成了一個庫倫吸引力 (Coulomb attractive force)，使得電洞更容易從外在環境被拉進缺陷。當電子掉進缺陷愈多，產生的庫倫吸引力愈大，所以抓電洞的能力更強，這可解釋為何捕捉截面積隨著 programmed 愈多電子有愈大的趨勢。

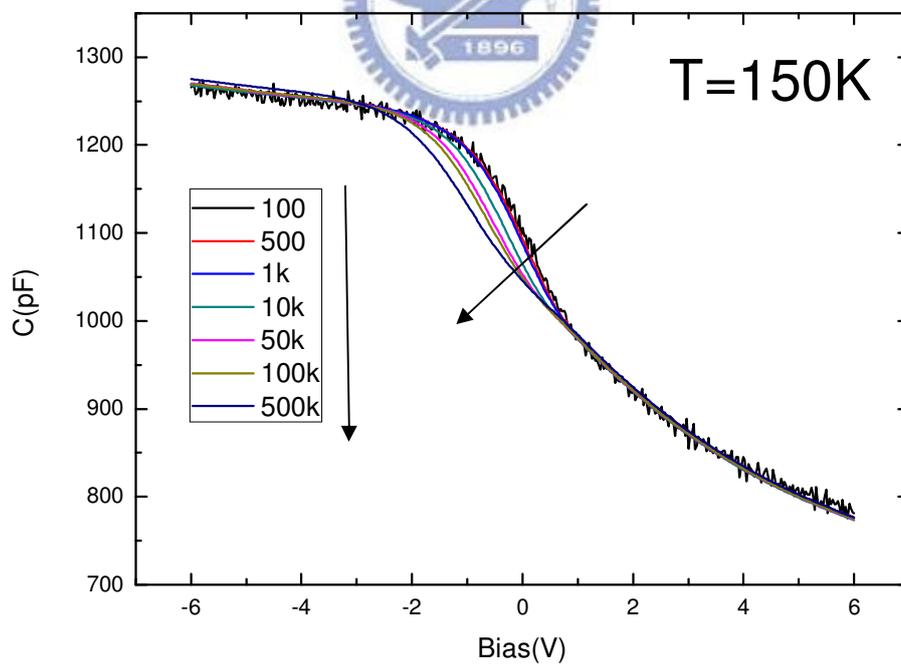
活化能愈大，表示此缺陷的時間常數愈長。由於成長 Si-NCs 厚度 10nm 造成氮化矽層與奈米矽晶體界面產生缺陷，屬於 donor state 的缺陷。此缺陷會抓電洞，週遭的背景濃度下降，造成奈米矽晶體與氮化矽層間的價帶向下拉長，此時缺陷中的電洞跳了活化能 0.33eV 至某一能階，然後穿隧出去。當灌載子進入絕緣層時，電子被佔據在這些抓電洞的缺陷，使得缺陷的濃度相對地增高，此時週遭的背景濃度降得更低，造成界面的價帶更被往下拉，此時缺陷中的電洞必須跨越更高的位障才能穿隧出去，所以活化能隨著灌載子愈多愈來愈大。

MOS_no-dots



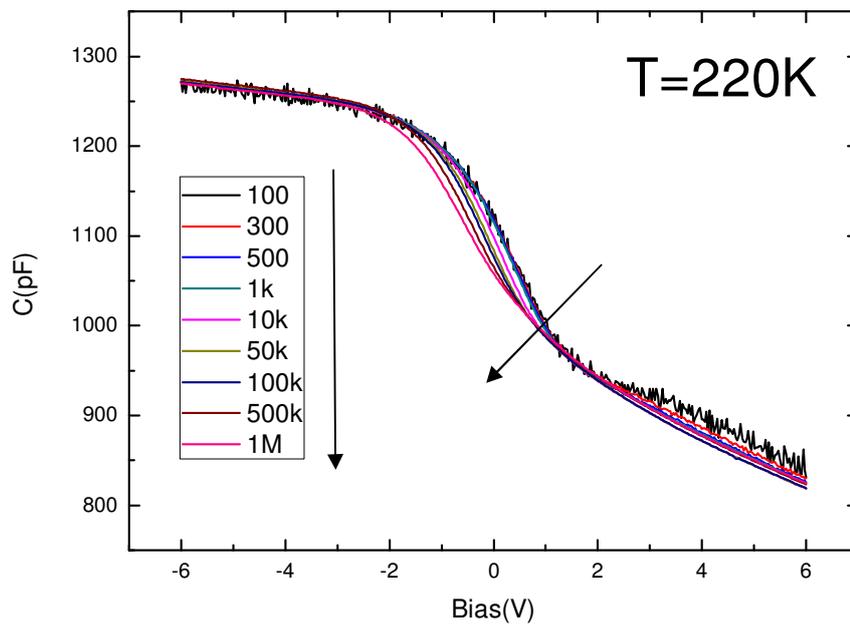
(a)

MOS_no-dots



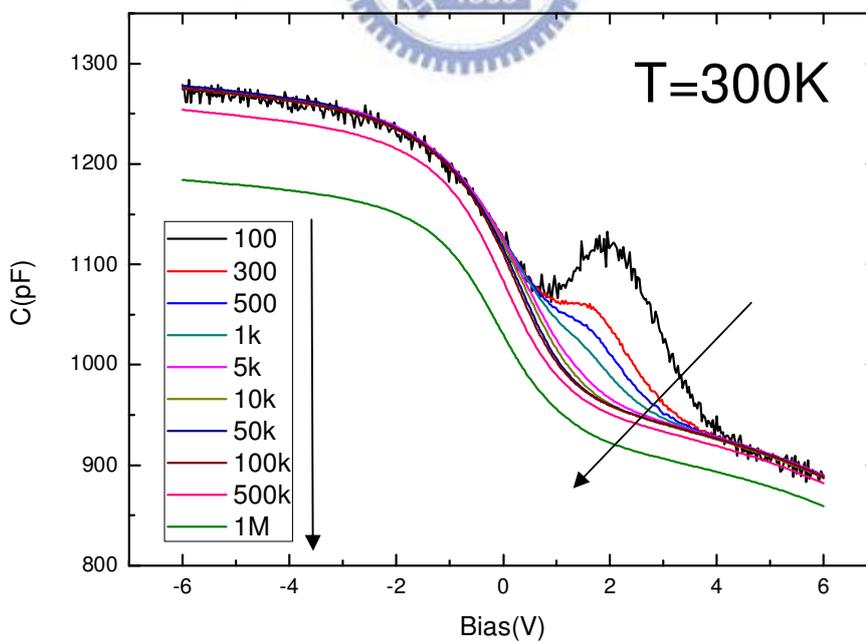
(b)

MOS_no-dots

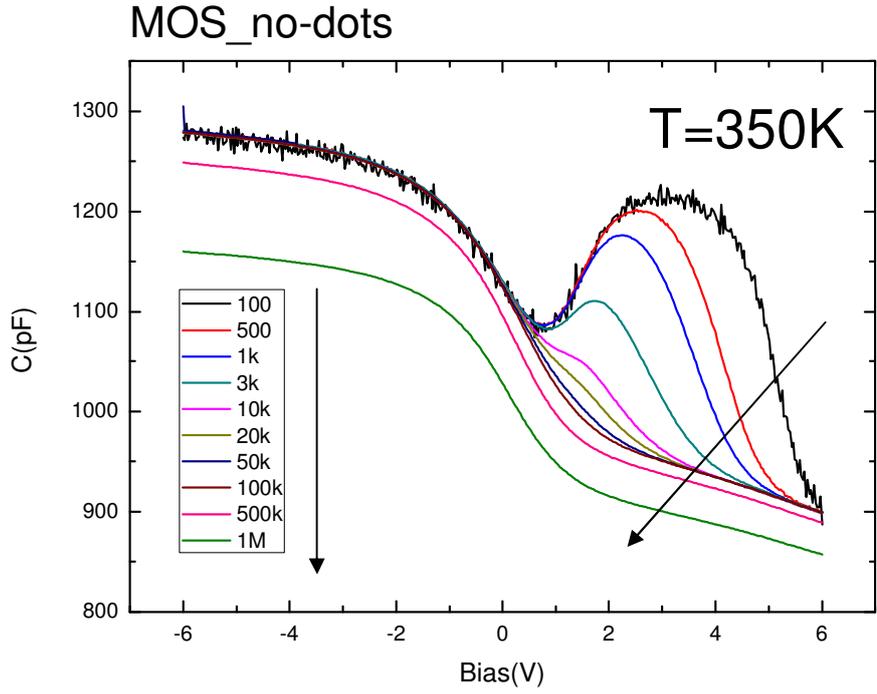


(c)

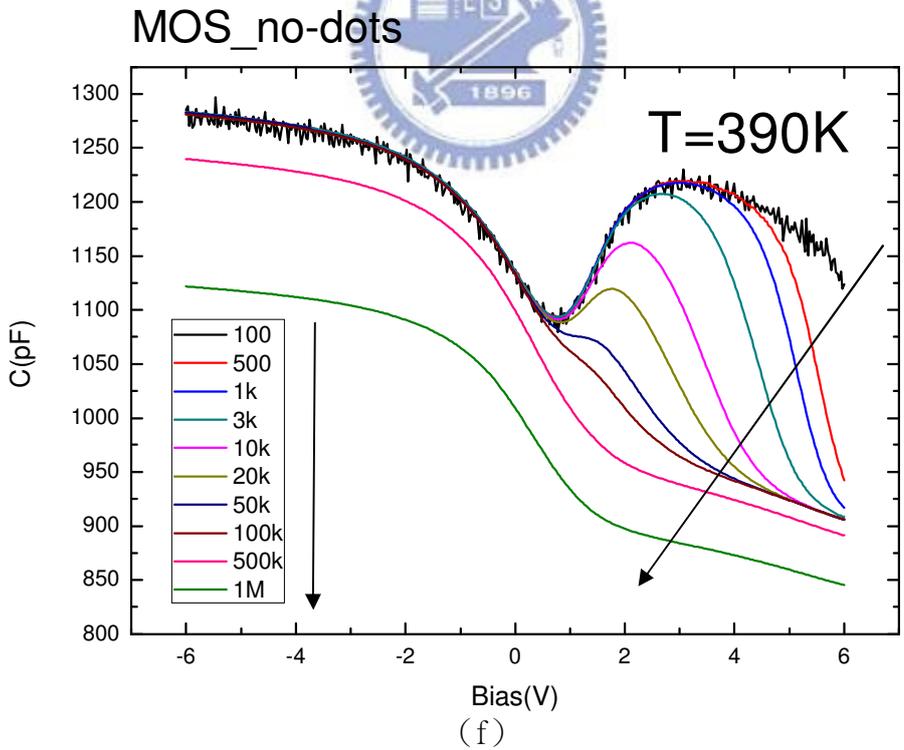
MOS_no-dots



(d)

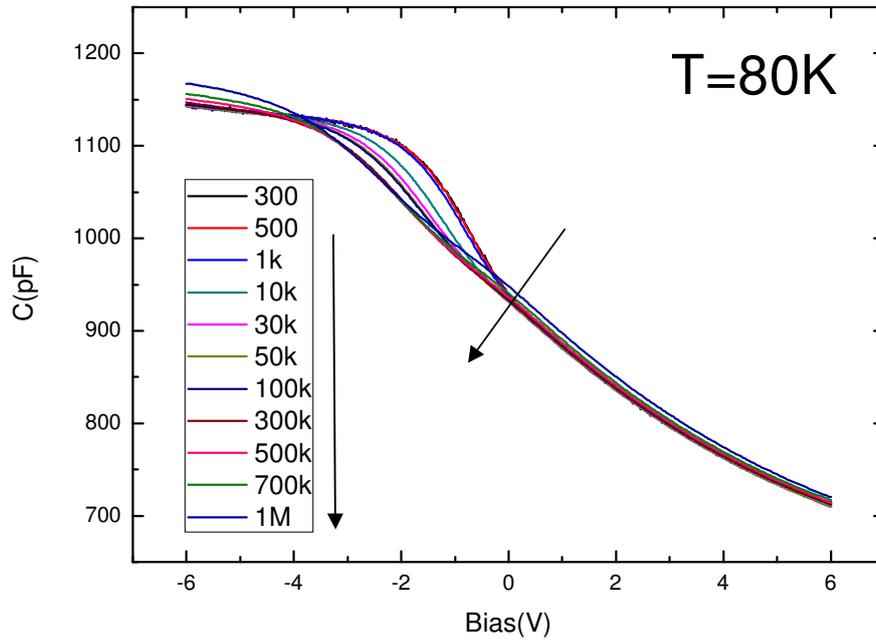


(e)



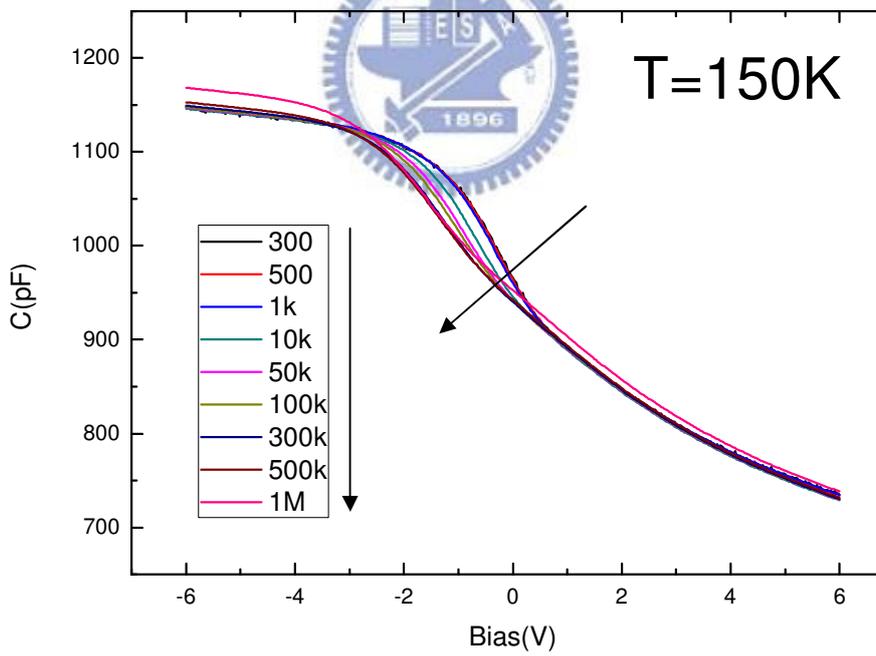
[圖 3-1(a)~3-1(f)] no-dots 樣品變溫變頻 C-V 曲線

MOS_dots



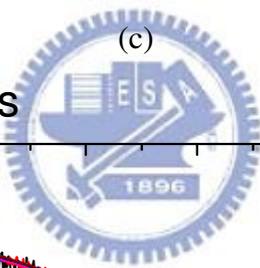
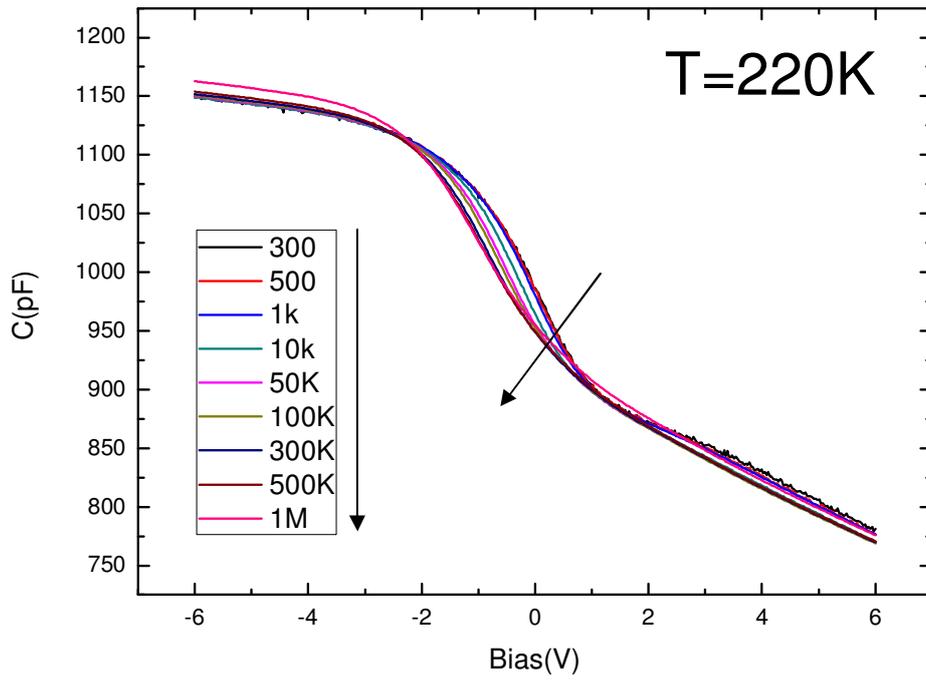
(a)

MOS_dots

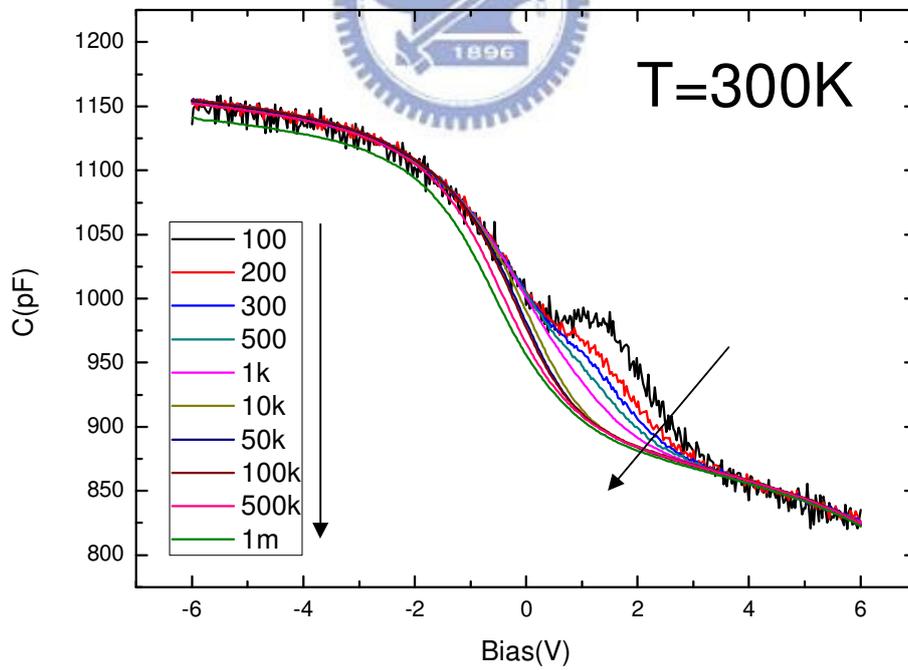


(b)

MOS_dots

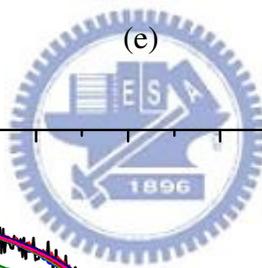
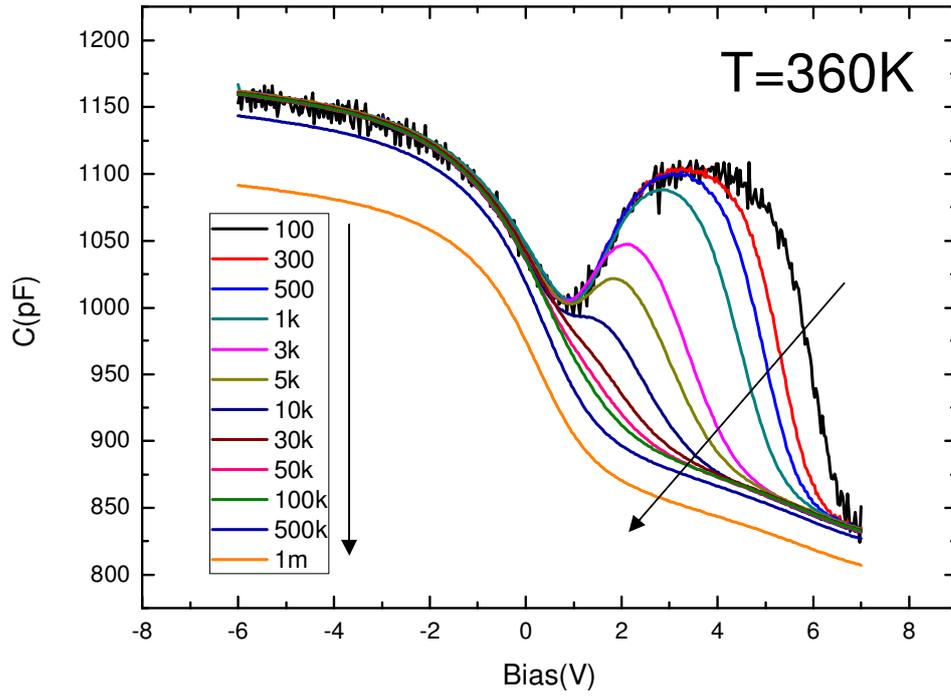


MOS_dots

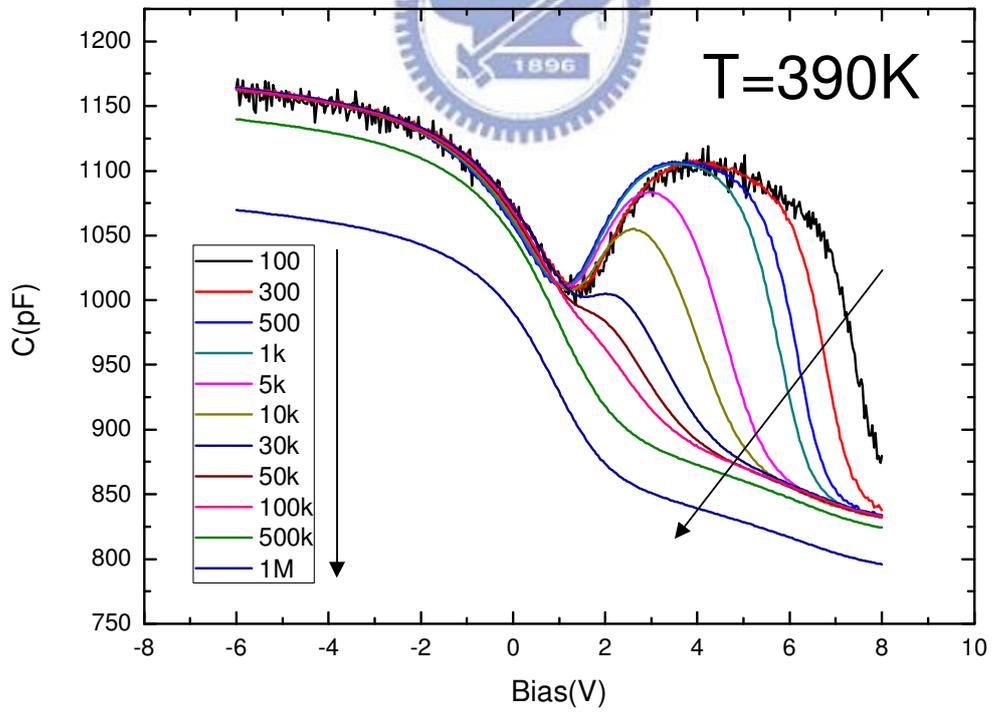


(d)

MOS_dots



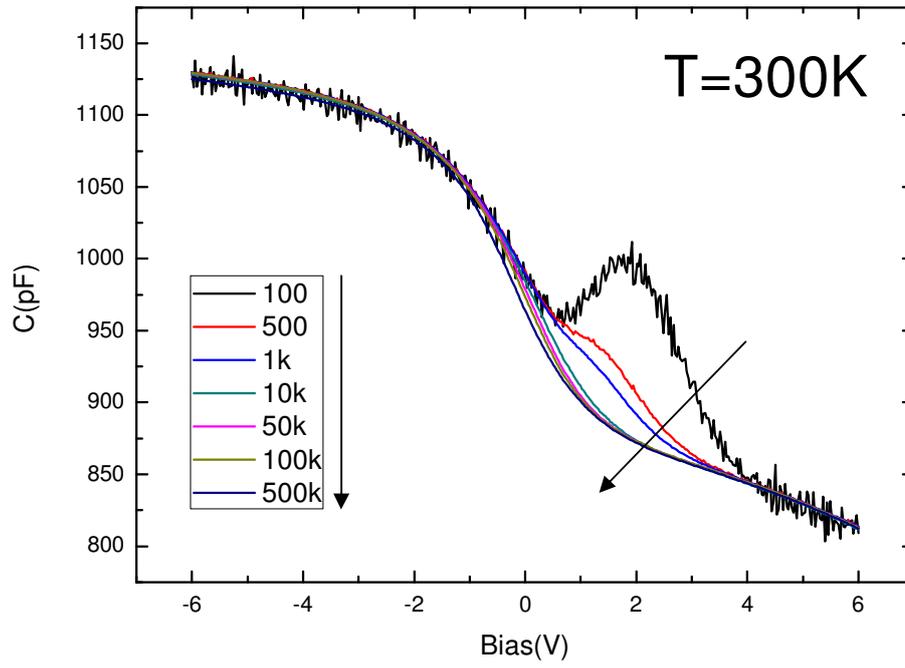
MOS_dots



(f)

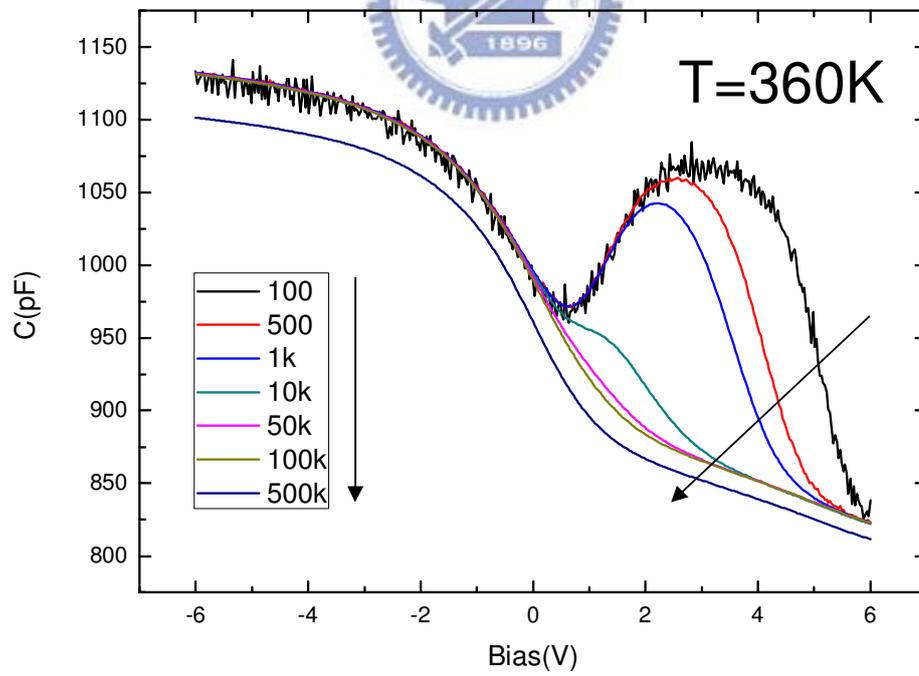
[圖 3-2(a)~3-2(f)] dots 樣品變溫變頻 C-V 曲線

MOS_small-dots



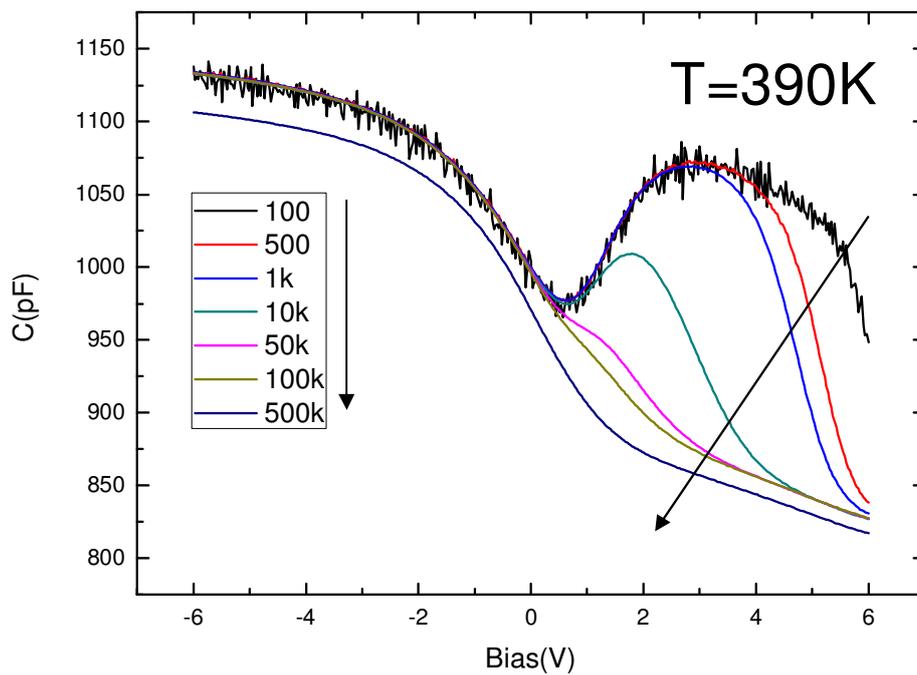
(a)

MOS_small-dots



(b)

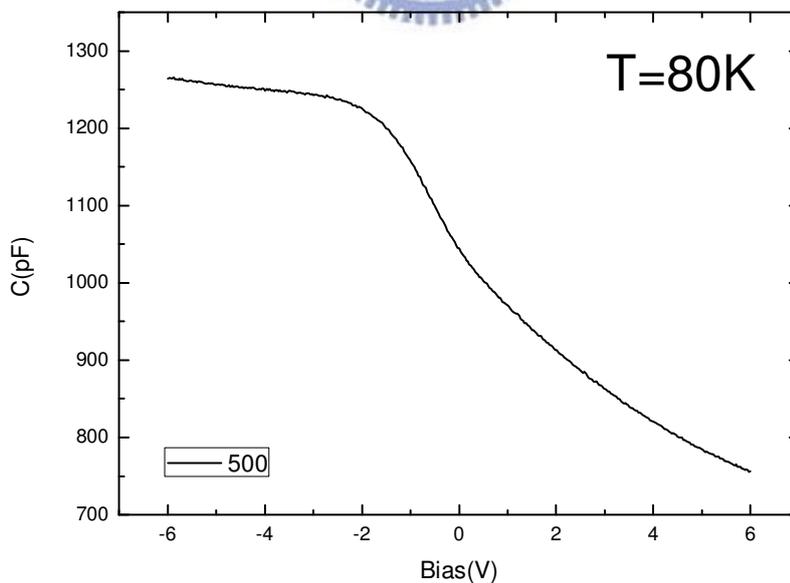
MOS_small-dots



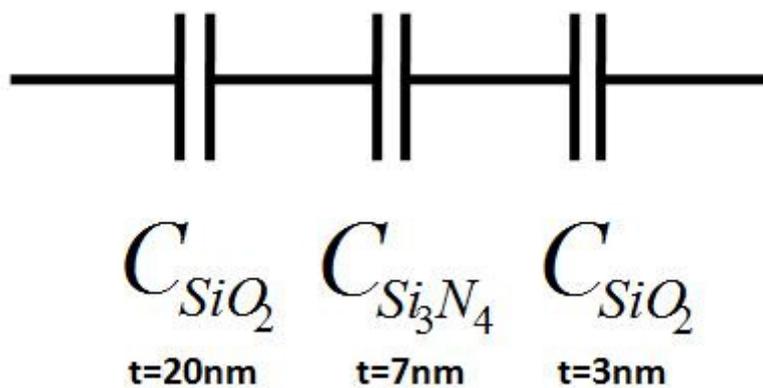
(c)

[圖 3-3(a)~3-3(c)] small-dots 樣品變溫變頻 C-V 曲線

MOS_no-dots

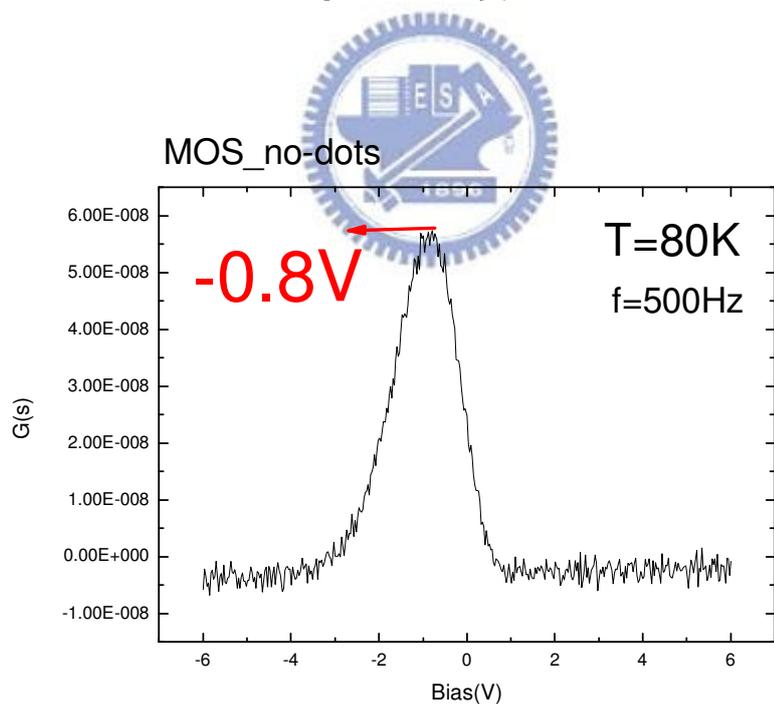


[圖 3-4] no-dots 樣品 T=80K, f=500Hz 的低溫 C-V 曲線



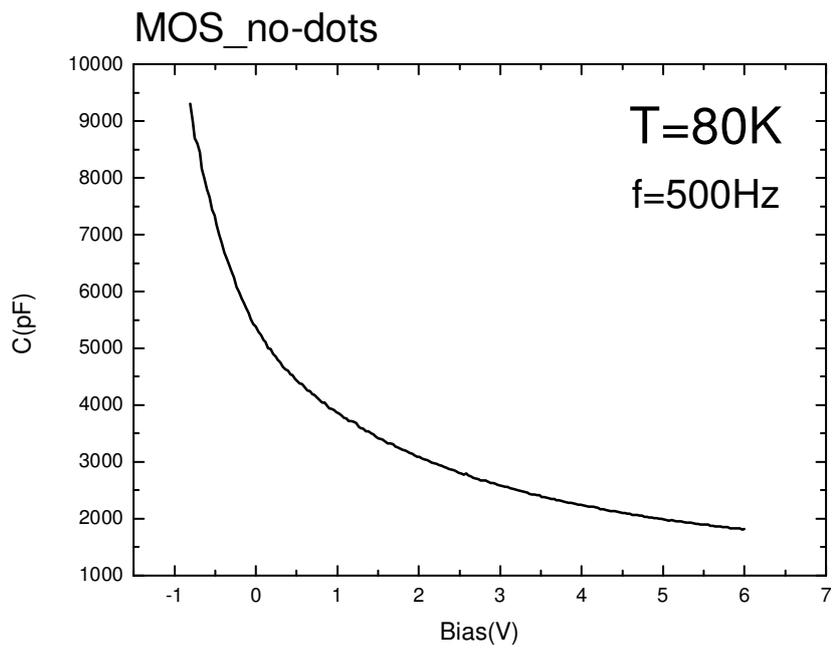
[圖 3-5] no-dots 樣品 ONO 結構的串聯電容，其中介電常數

$$\epsilon_{SiO_2} = 3.9, \epsilon_{Si_3N_4} = 7.5$$

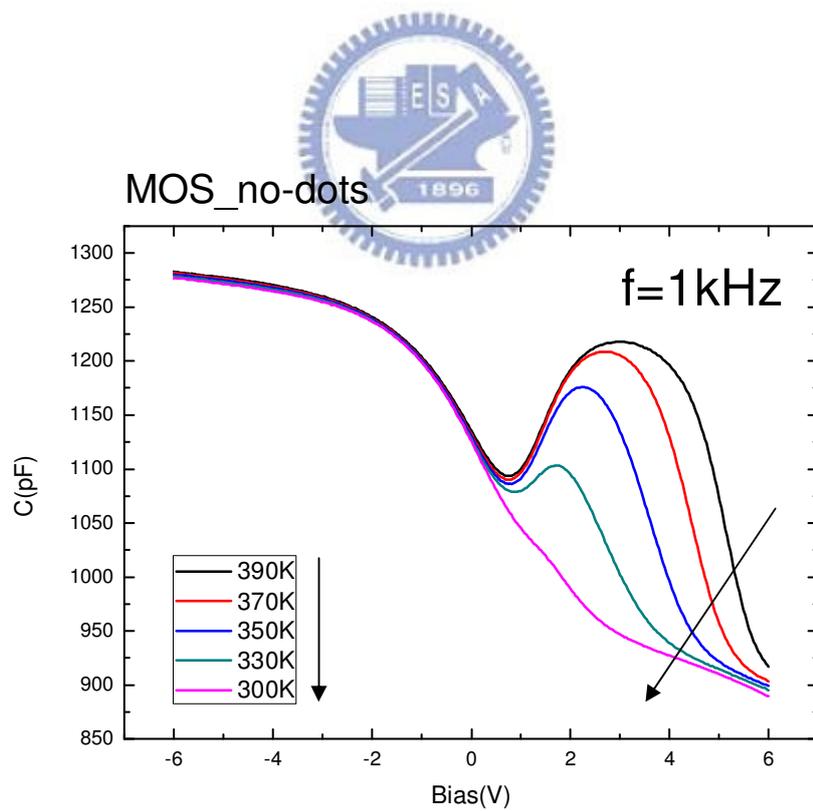


[圖 3-6] no-dots 樣品 T=80K、f=500Hz 電導-電壓(G-V)曲線

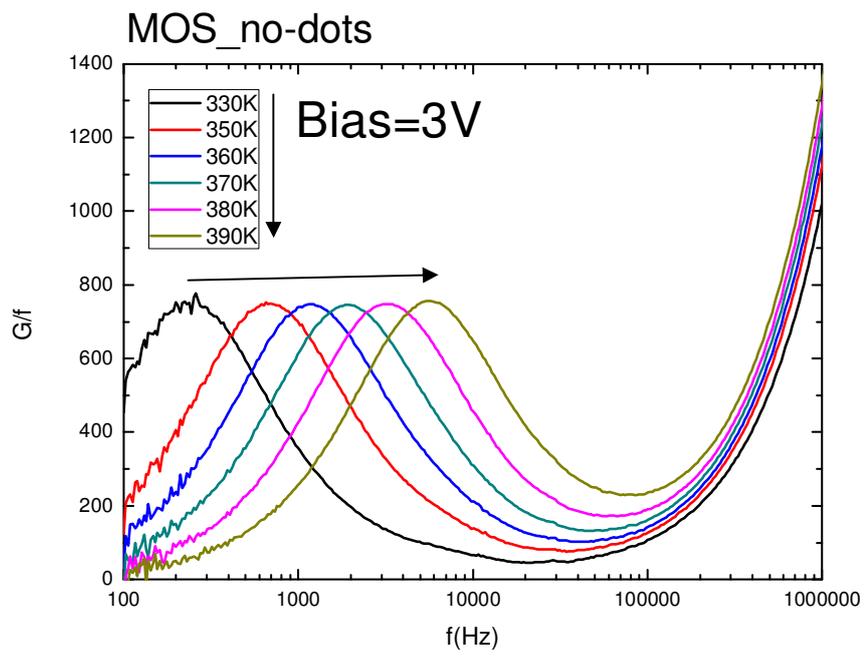
其中 $V_{FB} = -0.8V$



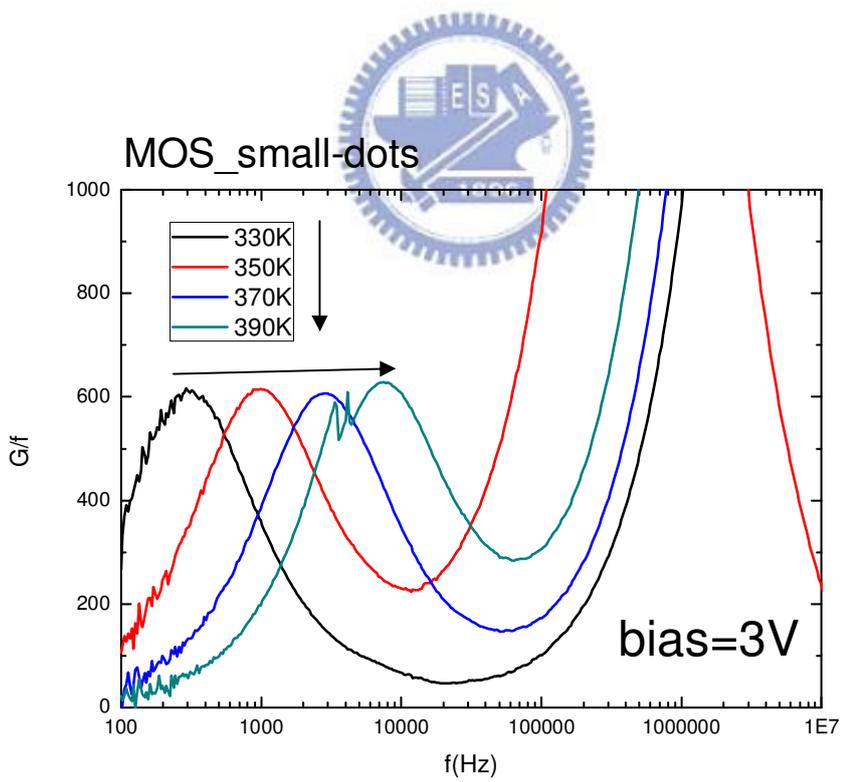
[圖 3-7] no-dots 樣品空乏區的電容對電壓(C-V)曲線



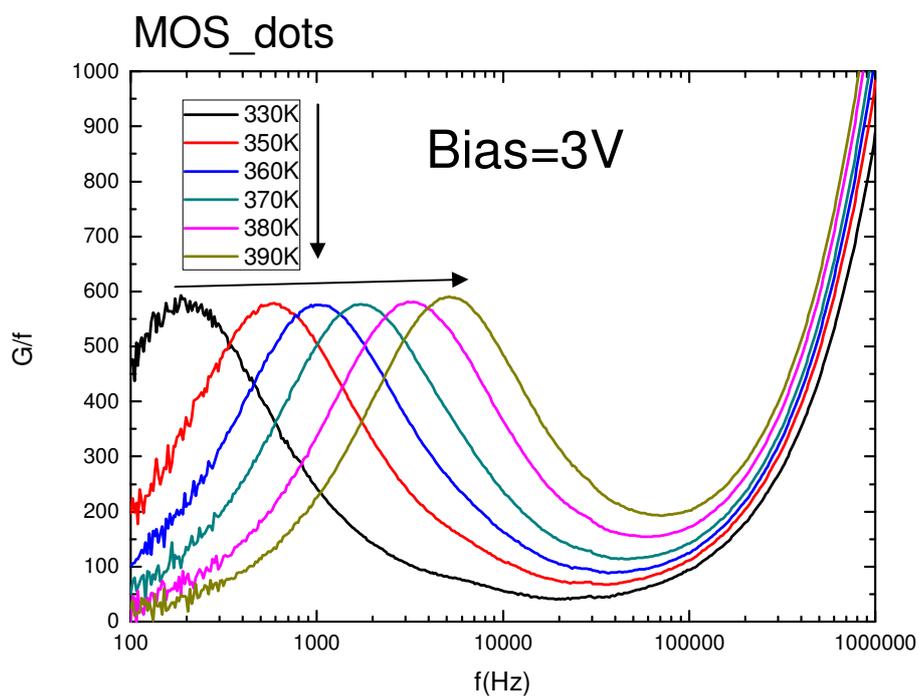
[圖 3-8] no-dots 樣品針對高溫缺陷的變溫 C-V 曲線



(a)

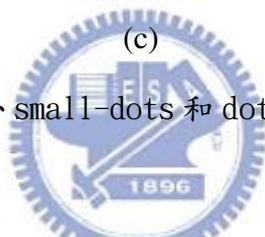


(b)



(c)

[圖 3-9(a)(b)(c)] no-dots、small-dots 和 dots 樣品偏壓為 3V 變溫 G-f 圖。



Bias(V)	Ea(eV)	$\sigma_p (cm^2)$
2	0.502	$1.2 * 10^{-16}$
2.6	0.506	$8.7 * 10^{-17}$
3	0.510	$7.16 * 10^{-17}$
3.6	0.553	$1.51 * 10^{-16}$
4	0.571	$1.69 * 10^{-16}$
4.6	0.632	$5.16 * 10^{-16}$
5	0.694	$1.81 * 10^{-15}$

[表 3-1] no-dots 樣品高溫頻率響應的缺陷活化能以及捕捉截面積

Bias(V)	Ea(eV)	$\sigma_p(cm^2)$
2	0.534	$3.2 * 10^{-16}$
2.6	0.540	$2.27 * 10^{-16}$
3	0.543	$1.81 * 10^{-16}$
3.6	0.584	$3.68 * 10^{-16}$
4	0.603	$4.29 * 10^{-16}$
4.6	0.610	$2.66 * 10^{-16}$
5	0.695	$2.05 * 10^{-16}$

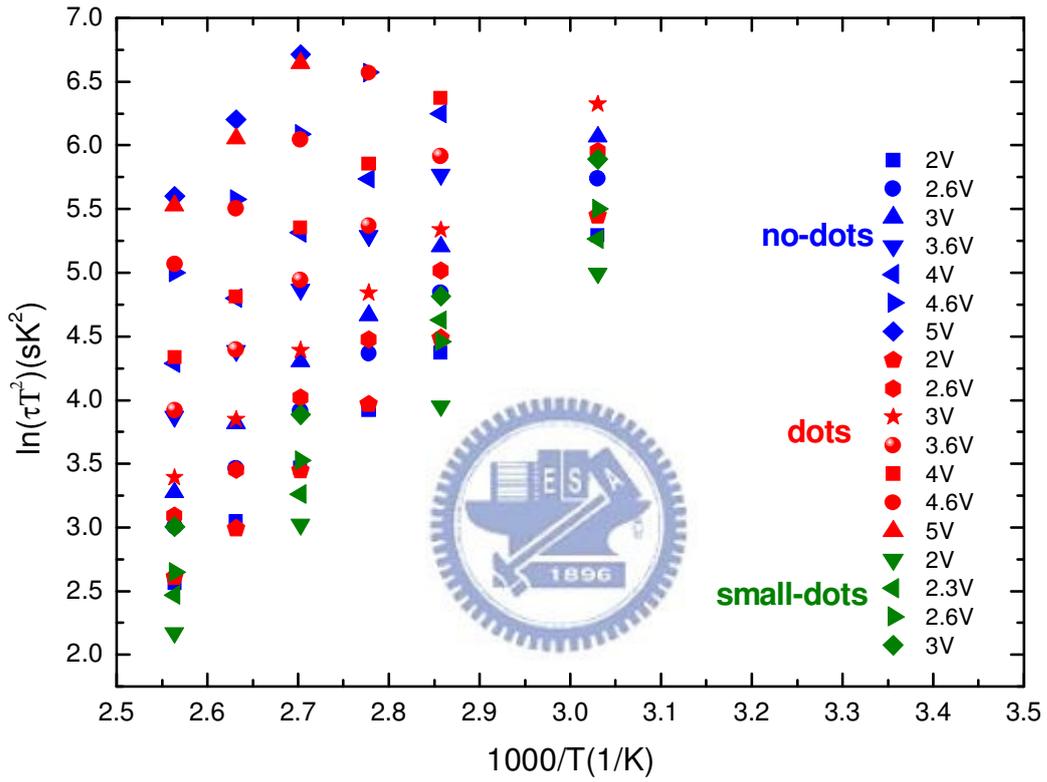
[表 3-2] dots 樣品高溫頻率響應的缺陷活化能以及捕捉截面積



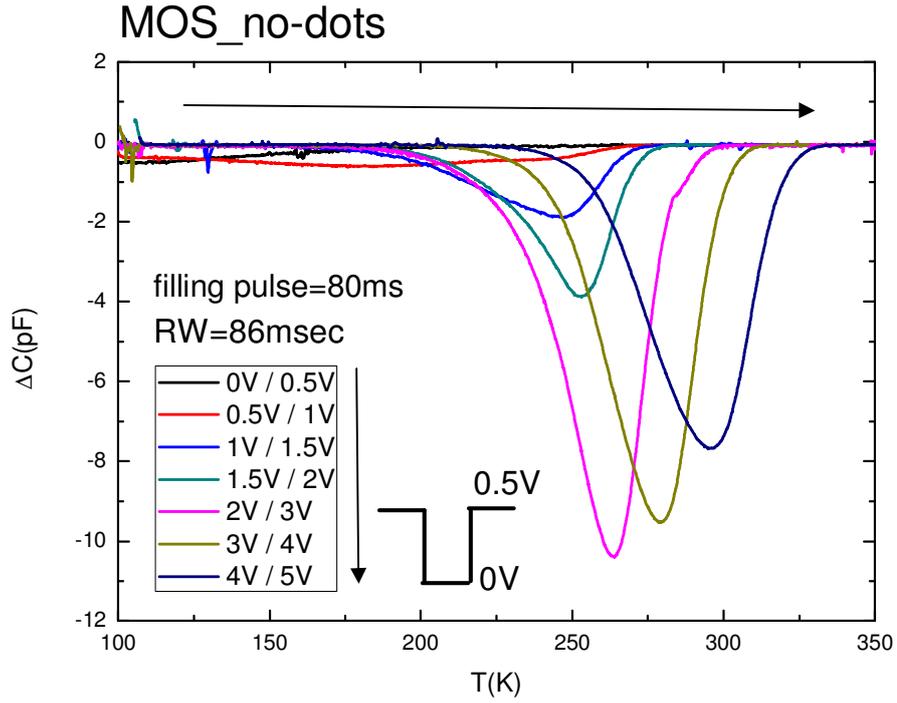
Bias(V)	Ea(eV)	$\sigma(cm^2)$
2	0.522	$3.47 * 10^{-16}$
2.6	0.527	$2.42 * 10^{-16}$
3	0.532	$2.02 * 10^{-16}$

[表 3-3] small-dots 樣品高溫頻率響應的缺陷活化能以及捕捉截面積

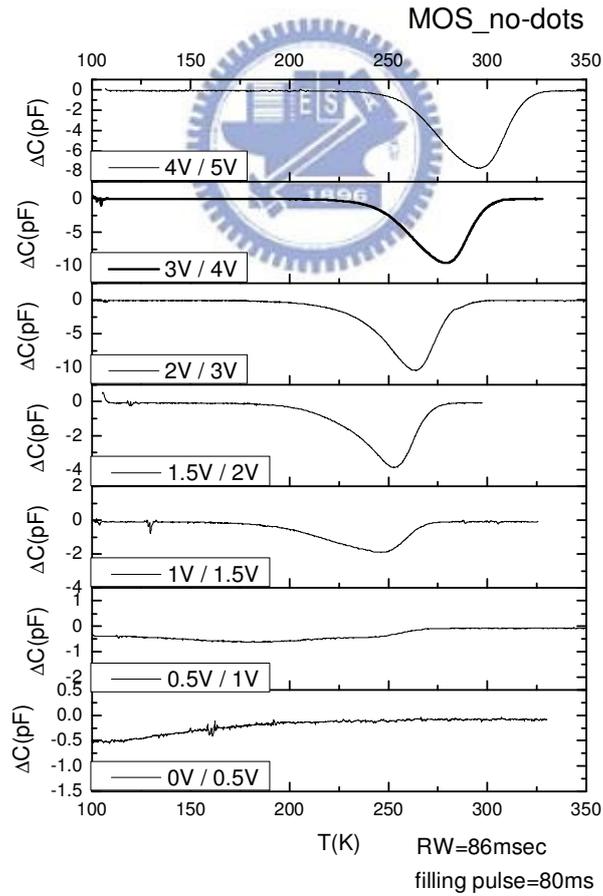
MOS



[圖 3-10] no-dots、small-dots 和 dots 三片樣品 G-f 量測的阿瑞尼斯圖



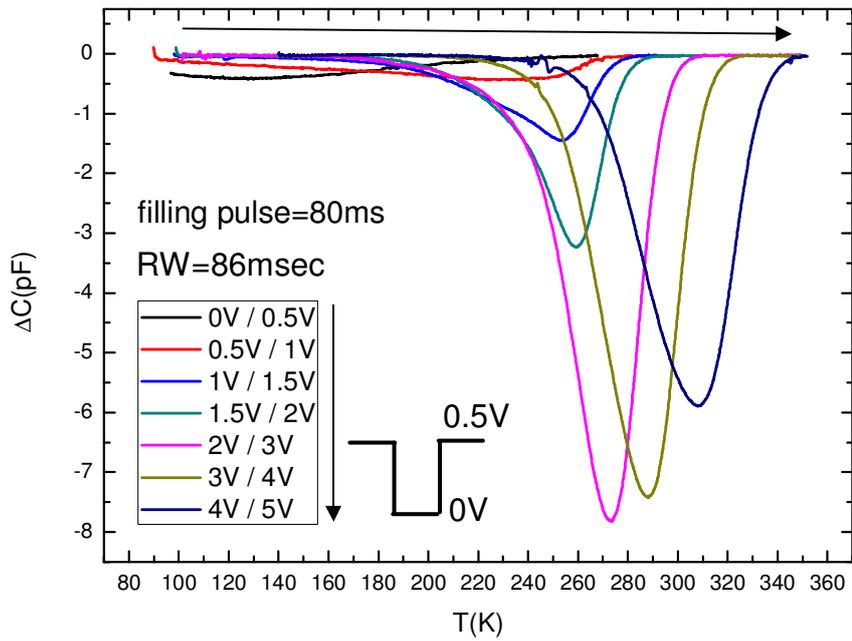
(a)



(b)

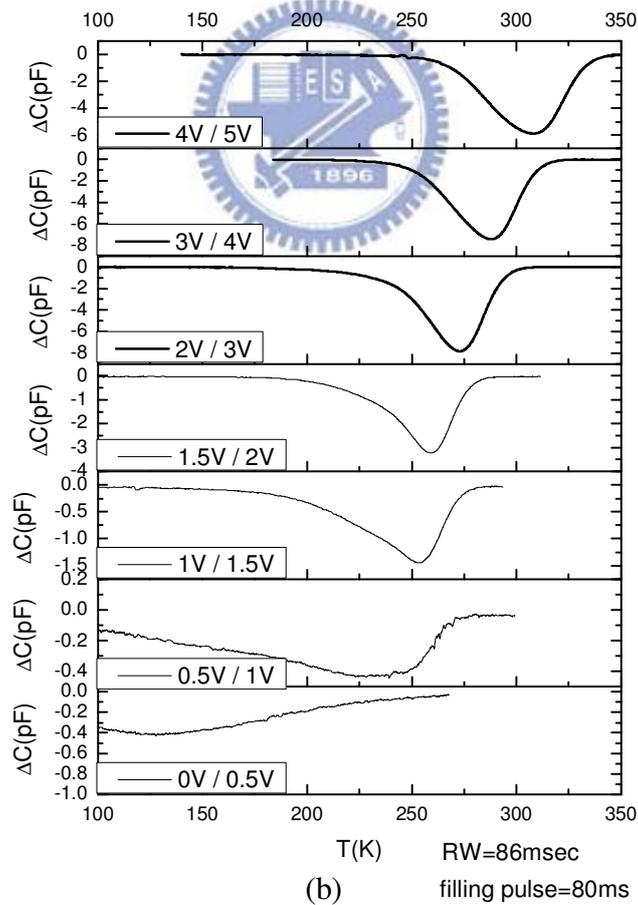
〔圖 3-11(a)(b)〕 no-dots 樣品改變偏壓的 DLTS 量測

MOS_small-dots



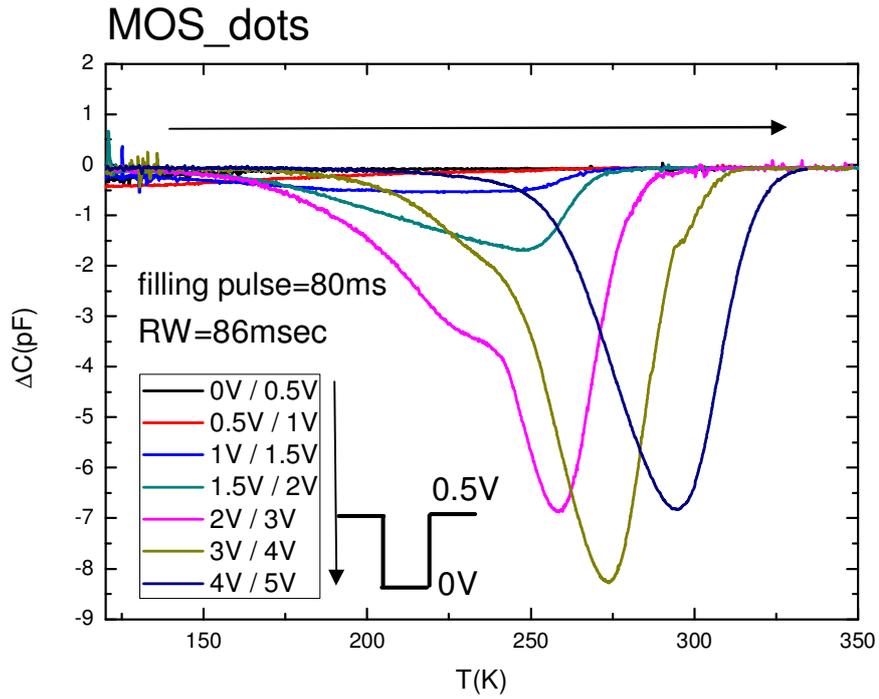
(a)

MOS_small-dots

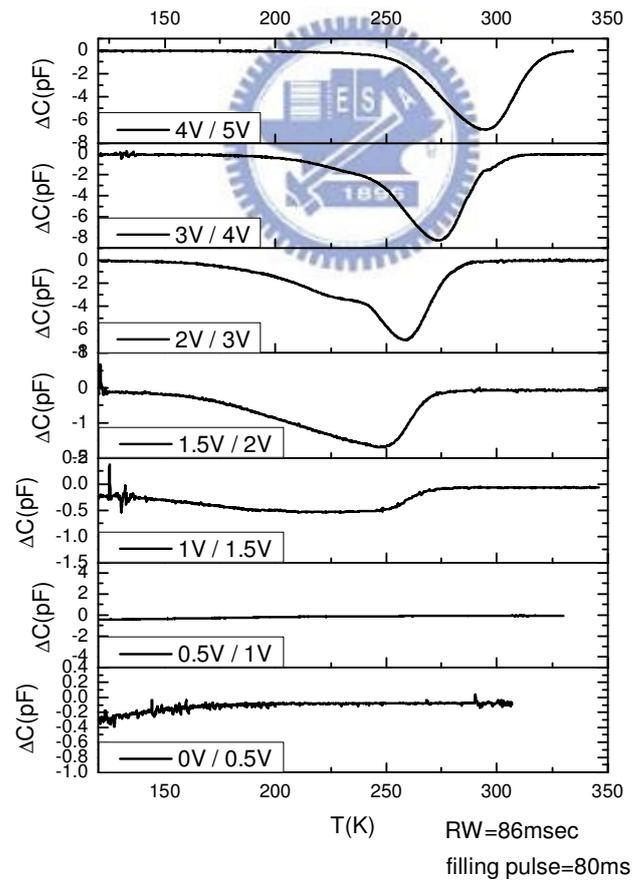


(b)

[圖 3-12(a)(b)] small-dots 樣品改變偏壓的 DLTS 量測



(a) MOS_dots



(b)

[圖 3-13(a)(b)] dots 樣品改變偏壓的 DLTS 量測

Bias range	Ea(eV)	$\sigma_p (cm^2)$
2V / 3V	0.430	$1.44 * 10^{-17}$
3V / 4V	0.500	$8.66 * 10^{-17}$
4V / 5V	0.535	$1.01 * 10^{-16}$

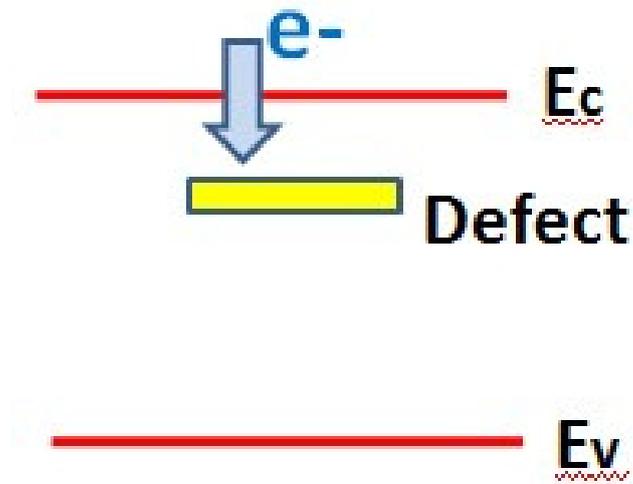
[表 3-4] no-dots 樣品高溫頻率響應的缺陷活化能以及捕捉截面積

Bias range	Ea(eV)	$\sigma_p (cm^2)$
2V / 3V	0.484	$7.45 * 10^{-17}$
3V / 4V	0.514	$7.54 * 10^{-17}$
4V / 5V	0.568	$1.34 * 10^{-16}$

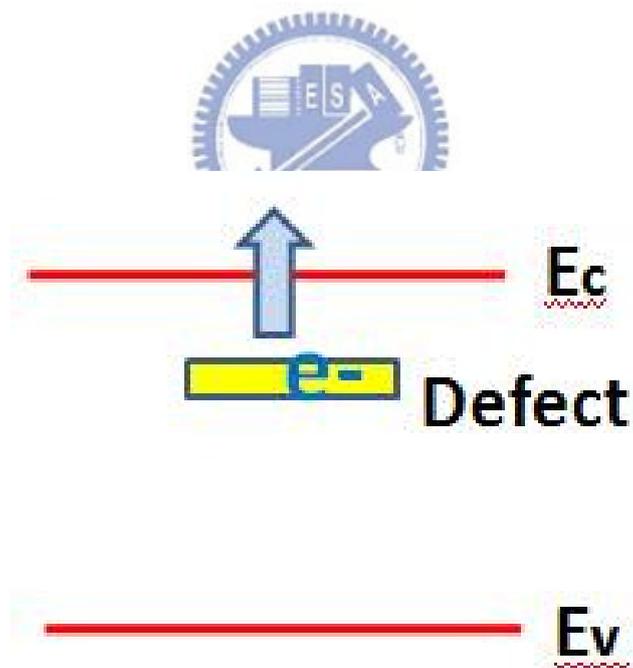
[表 3-5] small-dots 樣品高溫頻率響應的缺陷活化能以及捕捉截面積

Bias range	Ea(eV)	$\sigma_p (cm^2)$
2V / 2.5V	0.396	$6.47 * 10^{-18}$
3V / 3.5V	0.430	$1.15 * 10^{-17}$
4V / 4.5V	0.465	$1.31 * 10^{-17}$

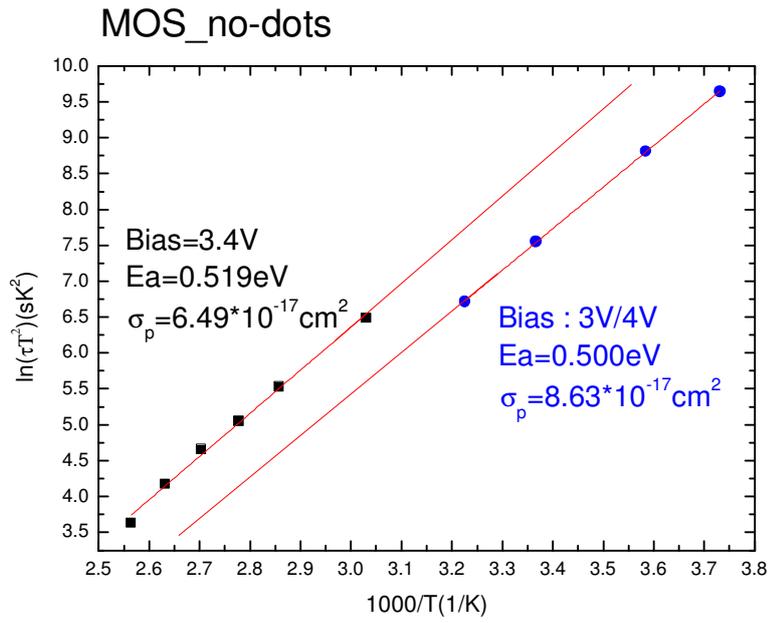
[表 3-6] dots 樣品高溫頻率響應的缺陷活化能以及捕捉截面積



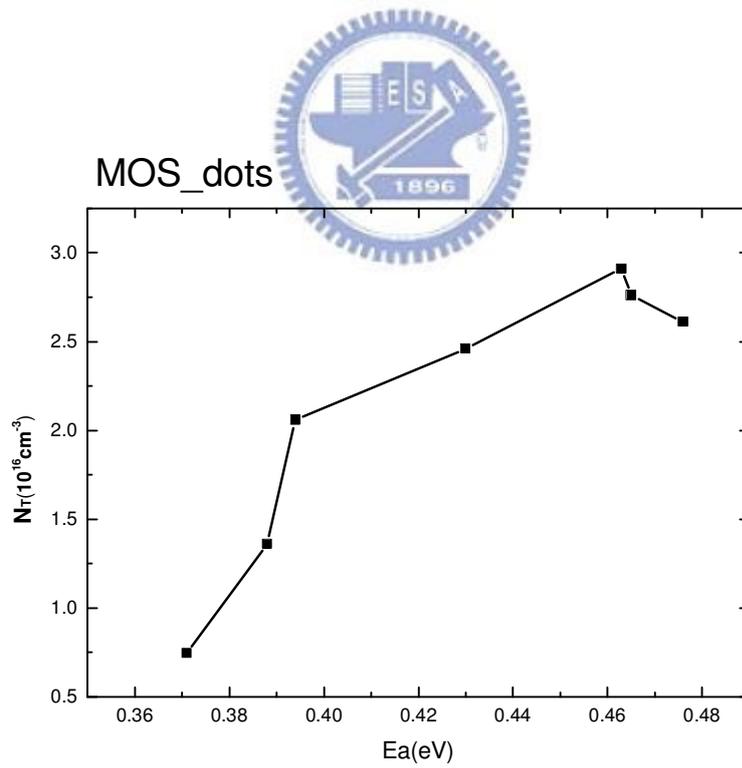
〔圖 3-14〕電中性的缺陷從導帶捕捉電子



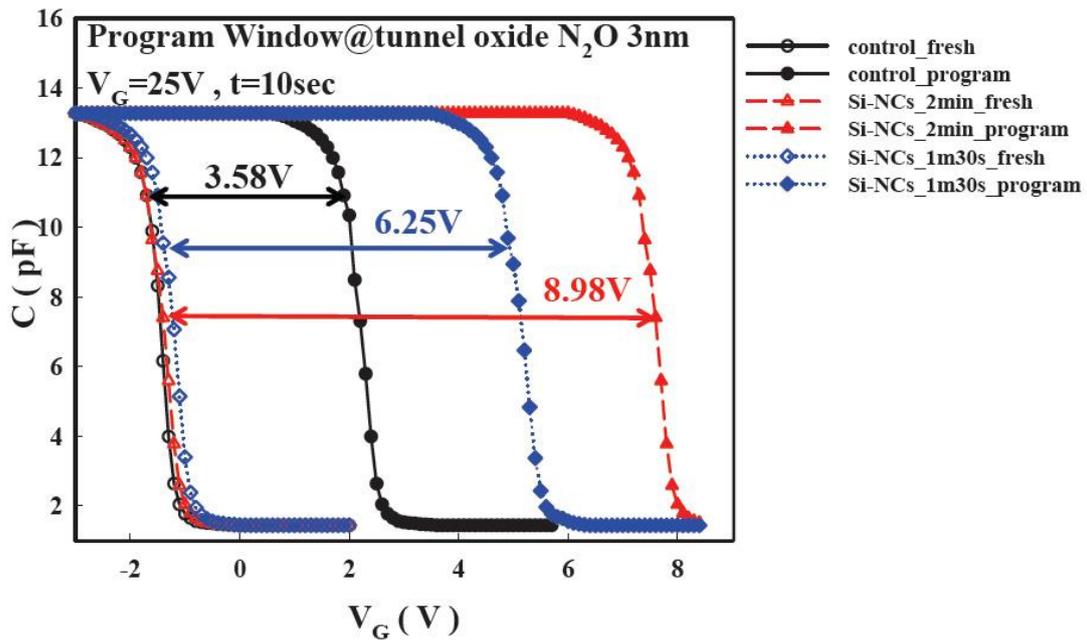
〔圖 3-15〕抓取電子的缺陷釋放電子至導帶



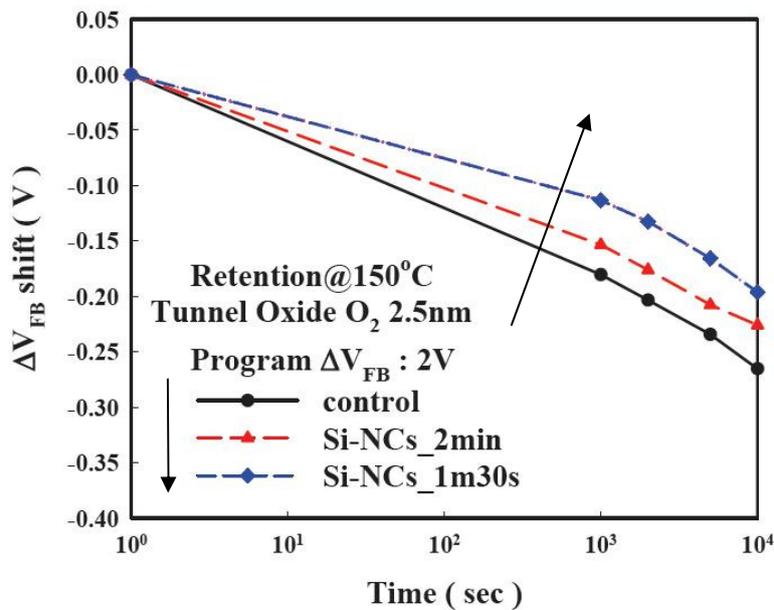
[圖 3-16] G-f 量測偏壓 3.4V 與 DLTS 量測 3V/4V 之間的阿瑞尼斯圖



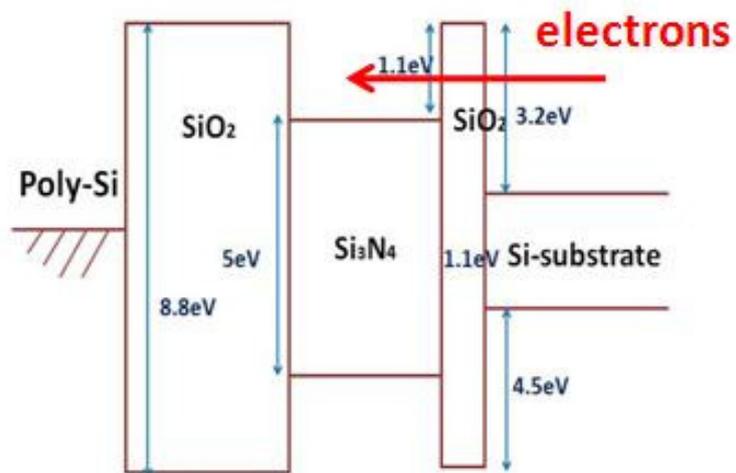
[圖 3-17] 缺陷濃度對能帶上活化能的關係圖，活化能 0.462eV 有最大濃度



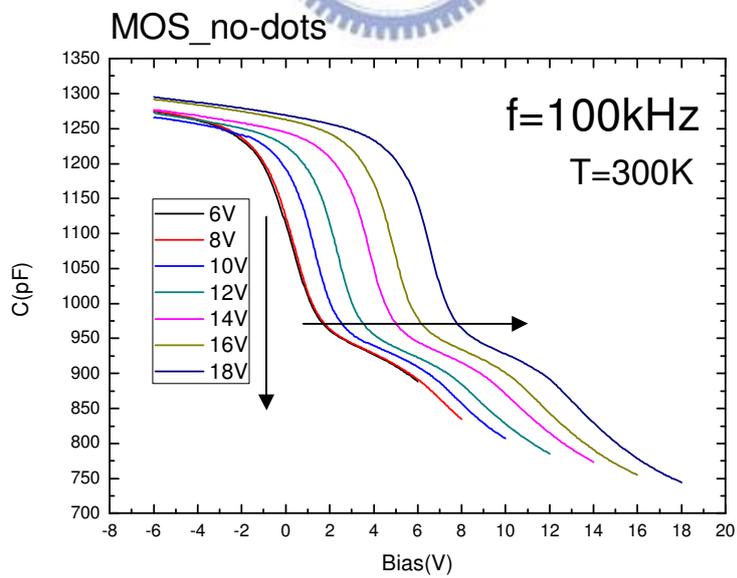
[圖 3-18] 三片樣品記憶窗 (program window) 的特性。control(no-dots)、Si-NCs_1m30s(small-dots) and Si-NCs_2min(dots)樣品記憶窗分別為 3.58V, 6.25V, 和 8.98V



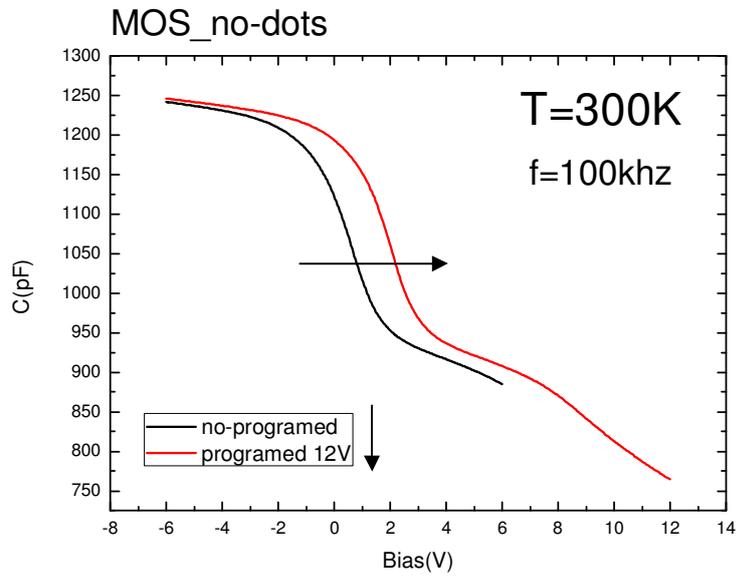
[圖 3-19] $\Delta V_{FB}=2V$ 之三片樣品在溫度 150 度的保存時間 (retention) 特性。



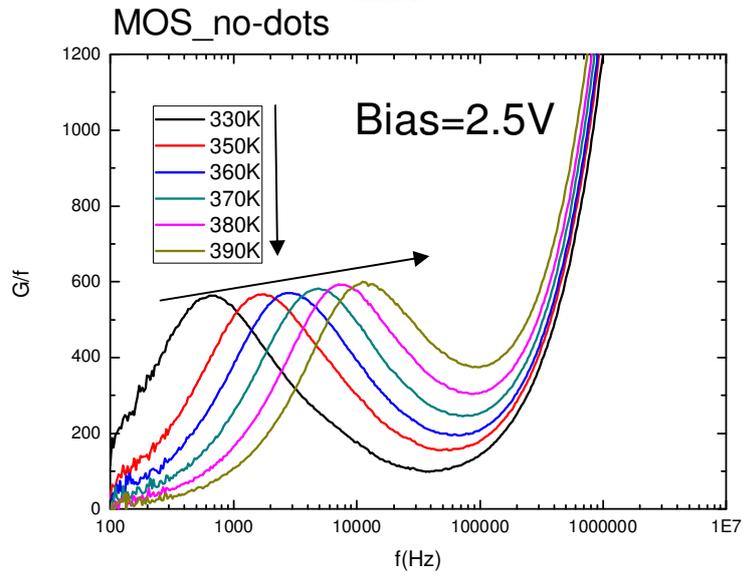
〔圖 3-20〕 電子以 FN 穿隧效應灌入氧化層



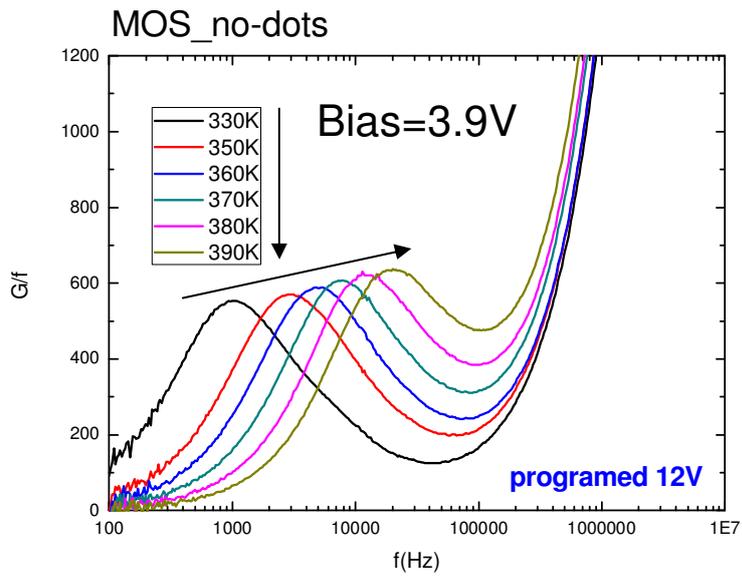
〔圖 3-21〕 電子灌進氧化層導致 C-V 曲線向右平移



〔圖 3-22〕 灌載子後平帶電壓 (flatband voltage) 平移了 1.4V



(a)



(b)

[圖 3-23] (a)未灌載子偏壓 2.5V 的 G-f 量測

(b)灌載子後偏壓 2.5V 的 G-f 量測



Bias(V)	Ea(eV)	$\sigma_p(cm^2)$
2	0.472	$7.98 \cdot 10^{-17}$
2.5	0.472	$5.09 \cdot 10^{-17}$
3	0.473	$3.52 \cdot 10^{-17}$
2.5	0.484	$3.41 \cdot 10^{-17}$
4	0.499	$3.51 \cdot 10^{-17}$
2.5	0.532	$5.55 \cdot 10^{-17}$
5	0.559	$7.04 \cdot 10^{-17}$

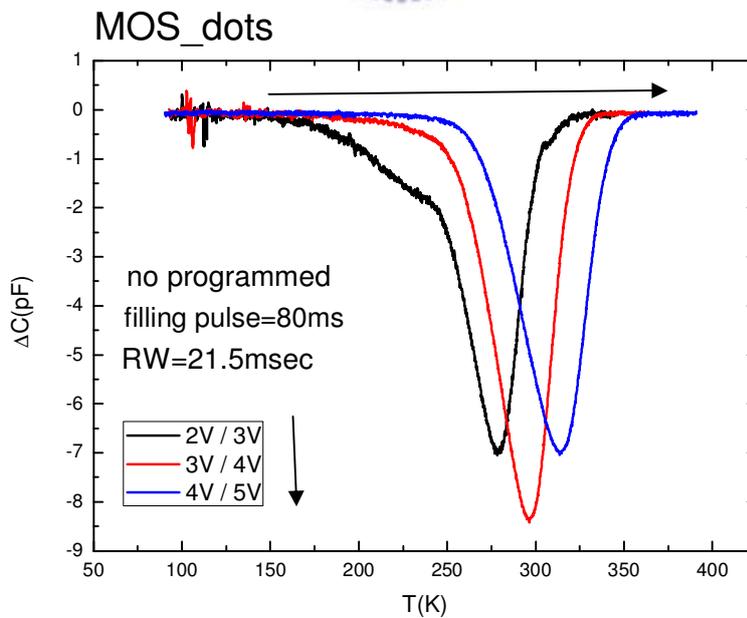
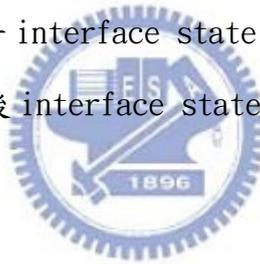
(a)

Bias(V)	Ea(eV)	$\sigma_p (cm^2)$
3.4	0.458	9.05×10^{-17}
3.9	0.490	1.49×10^{-16}
4.4	0.480	7.39×10^{-17}
4.9	0.489	6.22×10^{-17}
5.4	0.499	5.36×10^{-17}
5.9	0.518	5.66×10^{-17}
6.4	0.543	6.37×10^{-17}

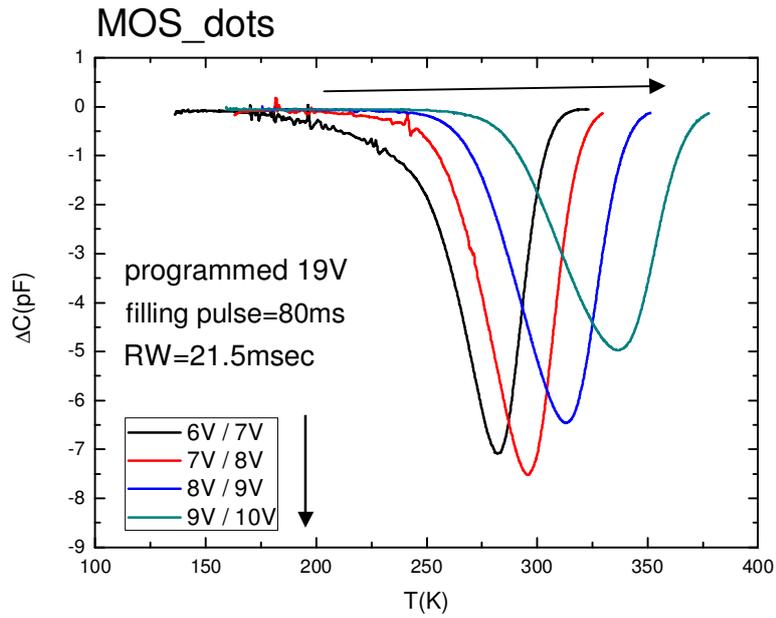
(b)

[表 3-7] (a)未灌載子 interface state 的活化能以及捕捉截面積

(b)灌載子後 interface state 的活化能以及捕捉截面積



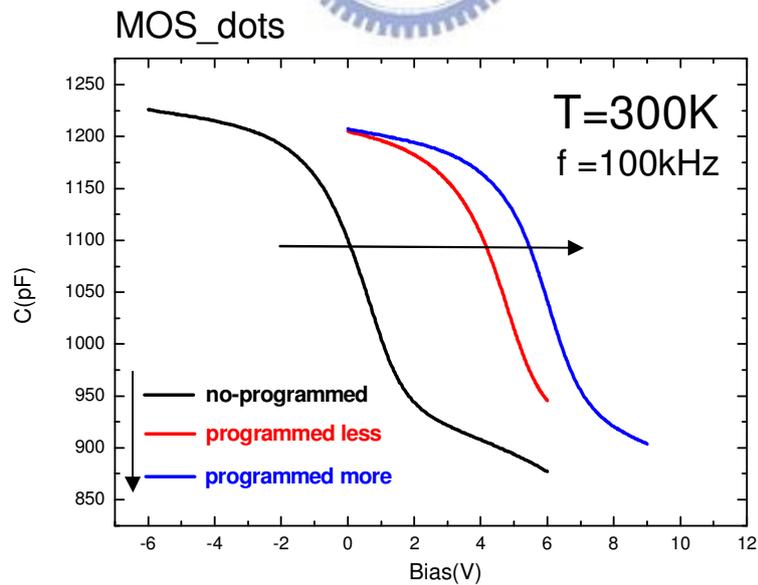
(a)



(b)

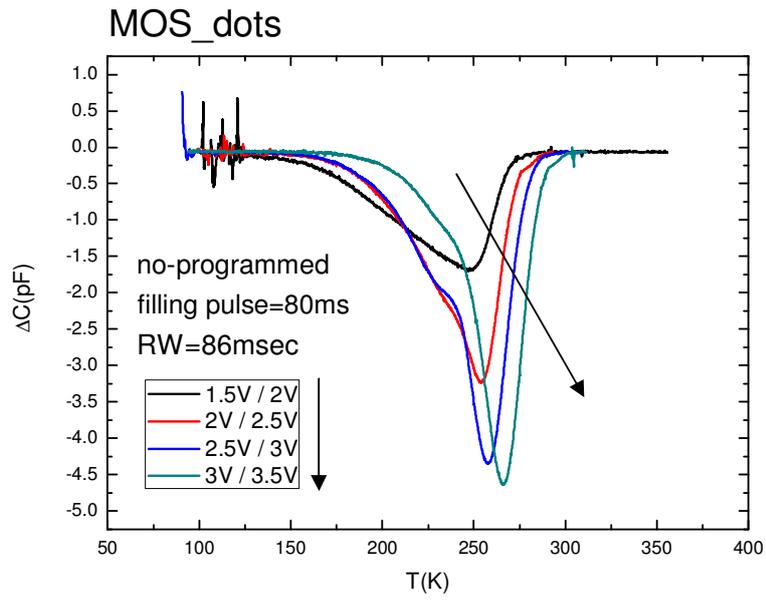
[圖 3-24] (a)未灌載子 interface state 的改變偏壓 DLTS 量測

(b)灌載子後 interface state 的改變偏壓 DLTS 量測

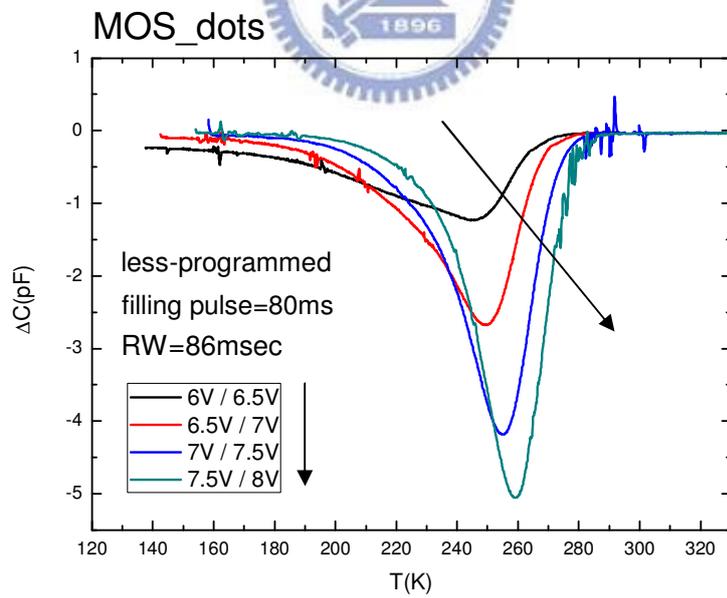


[圖 3-25] no-programmed 表示未灌電子；less-programmed 表示灌些許電子；

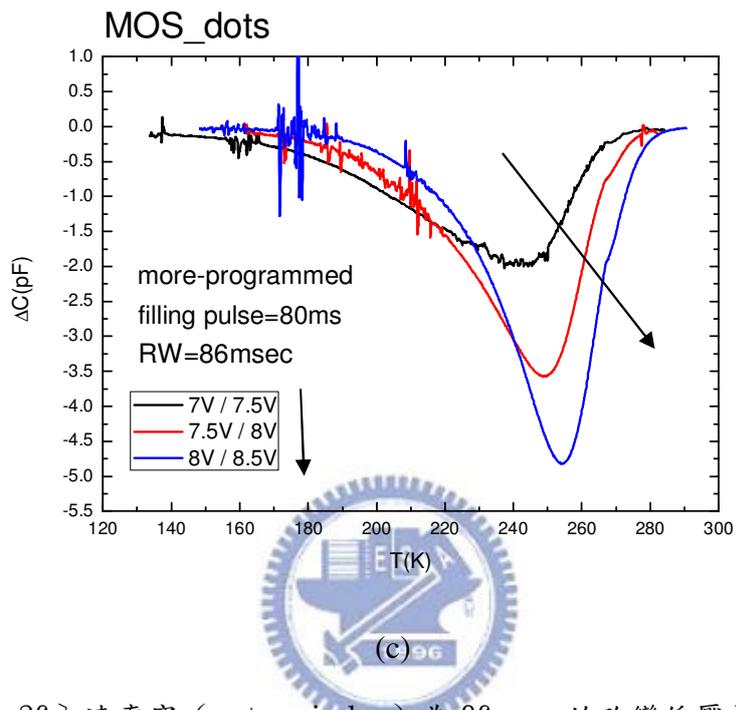
more-programmed 表示灌很多電子的 C-V 曲線



(a)

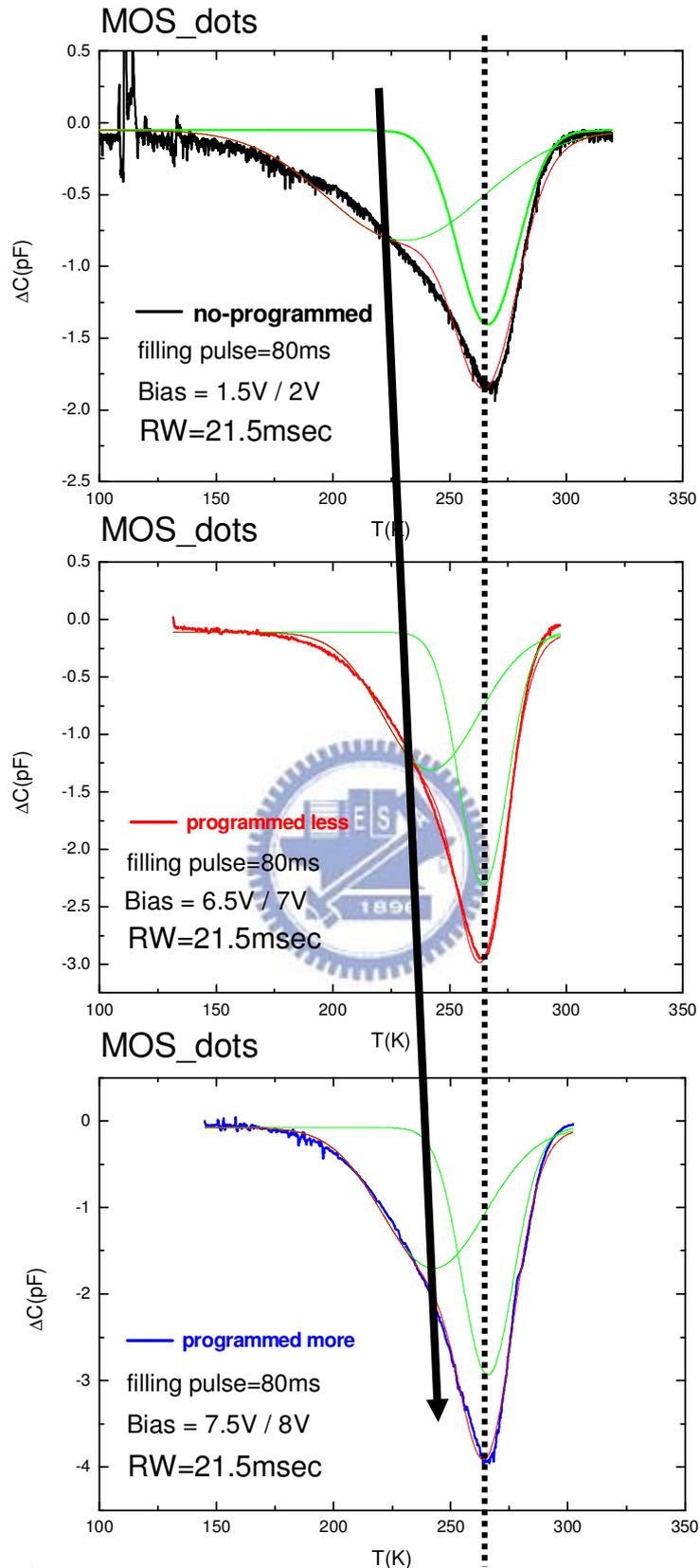


(b)



[圖 3-26] 速率窗 (rate window) 為 86msec 的改變偏壓 DLTS 量測

(a) no-programmed (b) less-programmed (c) more-programmed



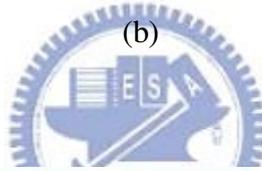
[圖 3-27] 速率窗為 21.5msec 的 no-programmed、less-programmed 和 more-programmed 的 DLTS 量測

Bias(V)	Ea(eV)	$\sigma_p (cm^2)$
1.5V / 2V	0.338	$1.26 * 10^{-17}$
2V / 2.5V	0.334	$2.31 * 10^{-18}$
2.5V / 3V	0.319	$7.91 * 10^{-19}$
3V / 3.5V	0.337	$7.84 * 10^{-19}$

(a)

Bias(V)	Ea(eV)	$\sigma_p (cm^2)$
6V / 6.5V	0.370	$2.09 * 10^{-17}$
6.5V / 7V	0.363	$6.88 * 10^{-18}$

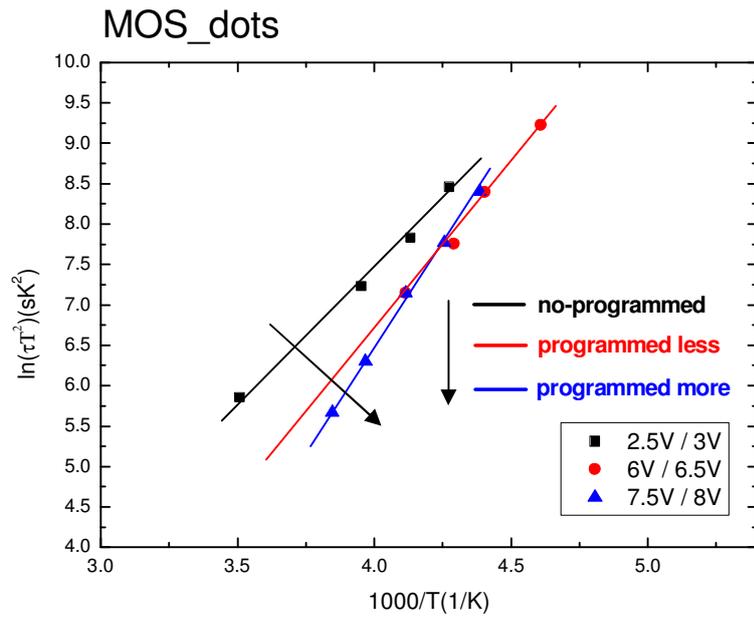
(b)



Bias(V)	Ea(eV)	$\sigma_p (cm^2)$
7V / 7.5V	0.437	$5.76 * 10^{-16}$
7.5V / 8V	0.438	$5.53 * 10^{-16}$

(c)

[表 3-8] 改變偏壓 DLTS 量測的活化能與捕捉截面積 (a) no-programmed
(b) less-programmed (c) more-programmed



[圖 3-28] no-programmed、less-programmed 和 more-programmed

對特定偏壓的阿瑞尼斯圖



第四章

結論

低溫低頻的電容-電壓量測可獲得此半導體的背景濃度約為 10^{18} (cm^{-3})，表示我們量測的空乏區域 (depletion layer) 是在佈值的 P-well。從電容-電壓的電性量測，三片樣品中都可觀察在溫度高於 300K 時有個高濃度的頻率響應。此頻率響應為缺陷的訊號，在能帶中的活化能約略為 0.5~0.6eV，隨著空乏深度愈來愈大，活化能愈來愈大，但捕捉截面積約略相同，而且此缺陷的濃度在能帶上呈現高斯分布的趨勢。我們由 Shockley-Read-Hall (SRH) 理論證實了導納頻譜分析和深層暫態頻譜分析量測到同樣的高溫缺陷，獲得的缺陷所在的背景濃度也間接地証實了此訊號並非來自氧化層裡的穿隧效應，而可能是半導體與氧化層間的界面態 (interface state)。

在成長時間 Si-NCs 2min 的樣品發現，在 DLTS 的量測中多出了一個額外的訊號。從 AFM 圖中，成長 Si-NCs 的時間愈長，Si-NCs 的尺寸愈大。由結構上的差異，可能是成長 Si-NCs 的尺寸大小造成的影響。但其他兩片樣品並未觀察到此現象，我們推論此 peak 訊號的來源並不是因 Si-NCs 產生的量子能階，而是因為成長 Si-NCs 愈大的尺寸產生的應力在 Si-NCs 與氮化矽層的界面造成缺陷。由於此訊號來自氧化層裡，我們利用灌載子 (programmed) 進入氧化層的方式去分析這個缺陷，但我們發現此方法並未影響氧化層與半導體界面態的特性。固定界面態的時間常數，奈米矽晶體與氮化矽層間缺陷的時間常數隨著灌載子愈多有愈來愈長的趨勢，從阿瑞尼斯圖可看出此缺陷的活化能以及捕捉截面積也有愈來愈大的趨勢。活化能增加表示載子跨越的位障變高，經由灌載子的方式，電子佔據了抓電洞的缺陷導致抓電洞的缺陷濃度相對地提高，導致產生一個更高的本

質位障 (intrinsic barrier) 使得奈米矽晶體與氮化矽層的價帶提升，使得此缺陷的時間常數變長。而捕捉截面積愈大表示抓電洞的能力愈強，當電子被灌進氧化層時，電子進入缺陷產生一個庫倫吸引力使得外在的電洞被缺陷捕捉的能力變強了。

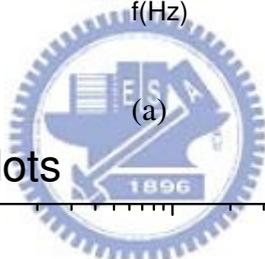
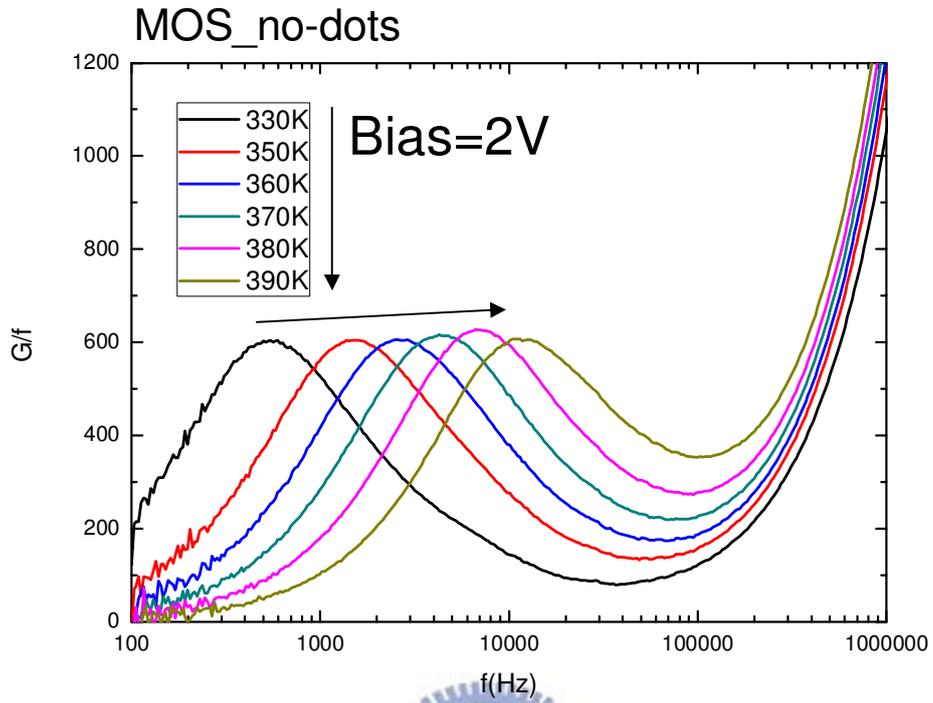
我們藉由缺陷的分析了解到在氮化矽層內成長奈米矽晶體會造成奈米矽晶體與氮化矽層的界面造成缺陷，增加的缺陷會抓電子或電洞，導致電荷儲存的位置變多，儲存電荷的能力變強。所以當奈米矽晶體成長尺寸愈大，此 SONOS 記憶體儲存電荷的數目愈多。



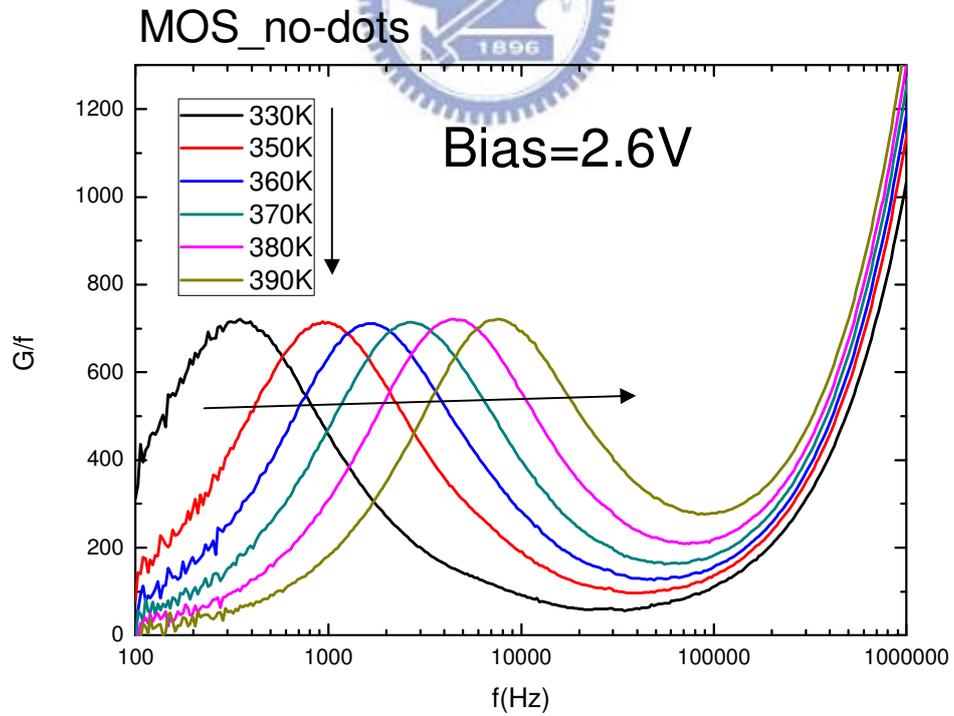
參考文獻

- [1] HAR Wegener, A.J. Lincoln, H.C. Pao, M.R. OConnel, R.E. Oleksiok, “Metal insulator semiconductors as a nonvolatile storage,” IEEE International Electron Devices Meeting (IDEM) , Washington, DC, 1967, Abstrate 59.
- [2] F. R. Libsch and M. H. White, “Charge transport and storage of low programming voltage SONOS/MONOS memory devices,” *Solid-State Electron.*, Vol. 33, pp.105–126, 1990
- [3] M. H. White, Y. Yang, A. Purwar, and M. L. French, “A low voltage SONOS nonvolatile semiconductor memory technology,” *IEEE Trans.Comp., Packag., Manufact. Technol. A*, Vol. 20, pp. 190–195, June 1997.
- [4] E. Suzuki, H. Hayashi, K. Ishii, and Y. Hayashi, “A low-voltage alterable EEPROM with metal-oxide-nitride-oxide-semiconductor (MONOS) structures,” *IEEE Trans.Electron Devices*, Vol. 30, p. 122, Feb. 1983.
- [5] B. Eitan *et al.*, “Multilevel flash cells and their trade-offs,” *IEDM Tech. Dig.*, 1996, pp. 169–172.
- [6] M. Lenzlinger, “Fowler-Nordheim Tunneling in thermal grown SiO₂,” *J. App. Phys.*, Vol. 40, p.278, 1969.
- [7] M. She, T. J. King, C. Hu, W. Zhu, Z. Luo, J. P. Han, and T. P. Ma, “JVD Silicon Nitride as Tunnel Dielectric in p-channel Flash Memory,” *IEEE Electron Device Lett.*, Vol. 23, pp. 91-93, 2002.
- [8] S. Tiwari, F. Rana, K. Chan, H. Hanafi, W. Chan, and D. Buchanan, “Volatile and non-volatile memories in silicon with nano-crystal storage”, *IEDM Tech. Dig.*, pp. 521-524, Dec. 1995.
- [9] S. Tiwari *et al.*, “A silicon nanocrystals based memory,” *Appl. Phys. Lett.*, Vol. 68, pp. 1377–1379, 1996.

- [10] H. I. Hanafi, S. Tiwari, and I. Khan, “Fast and long retention-time nano-crystal memory,” *IEEE Trans. Electron Devices* **43**, 1553 (1996).
- [11] K. Das, S. Maikap, A. Dhar, B. K. Mathur, and S. K. Ray, “Metal-oxide-semiconductor structure with Ge nanocrystals,” *Electron. Lett.***39**, 1865 (2003).
- [12] N. Takahashi, H. Ishikuro, and T. Hiramoto, “Control of Coulomb blockade oscillations in silicon single electron transistors using silicon nanocrystal floating gates,” *Applied Physics Letters*, Vol. 76, No. 2, Jan. 2000.
- [13] 劉美君, 交通大學電子物理研究所碩士論文, ”氮矽層內嵌奈米矽晶體之 SONOS型記憶體”(2007)
- [14] S. Huang, S. Banerjee, R. T. Tung, and S. Oda, “Electron trapping, storing, and emission in nanocrystalline Si dots by capacitance-voltage and conductance-voltage measurements,” *Applied Physics Letters*, Vol. 93, No. 1, Jan. 2003.
- [15] H. Kobayashi, A. Asano, S. Asada, T. Kubota, Y. Yamashita, K. Yoneda, and Y. Todokoro, “Studies on interface states at ultrathin SiO₂ /Si(100) interfaces by means of x-ray photoelectron spectroscopy under biases and their passivation by cyanide treatment,” *Applied Physics Letters*, Vol. 83, No. 4, Feb. 1998.
- [16] P. M. Lenahan, T. D. Mishima, J. Jumper, T. N. Fogarty, and R. T. Wilkins, “Direct experimental evidence for atomic scale structural changes involved in the interface-trap transformation process,” *IEEE Transactions on Nuclear Science*, Vol. 48, No. 6, Dec. 2001

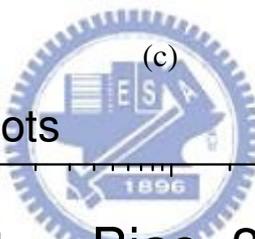
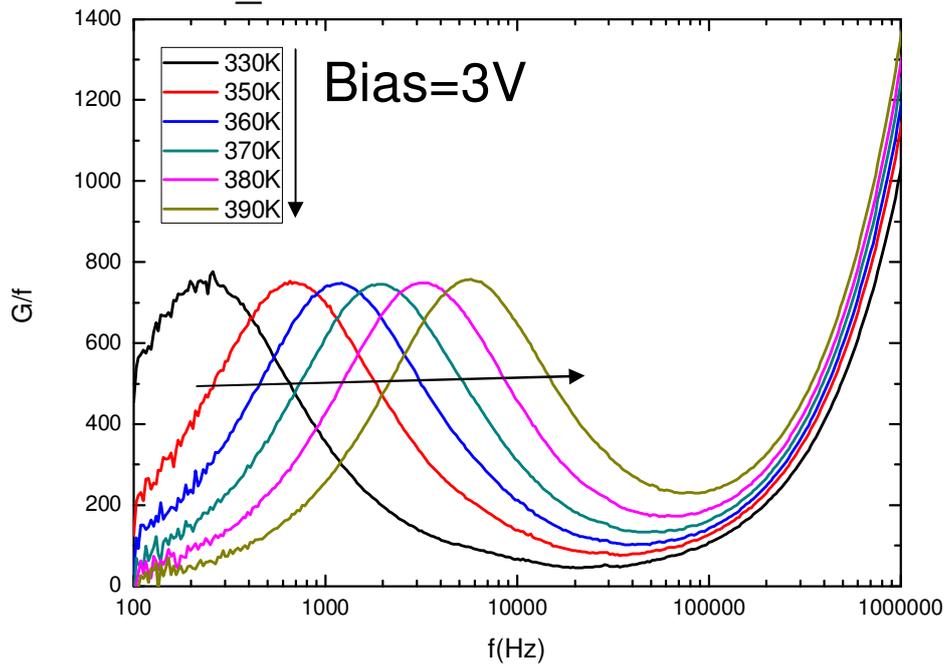


(a)



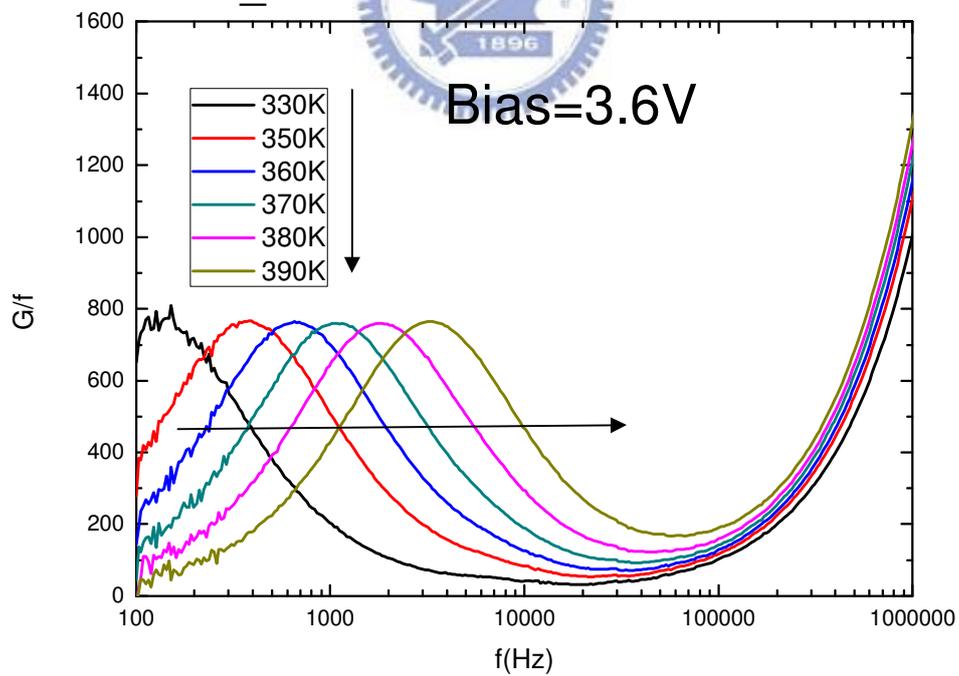
(b)

MOS_no-dots



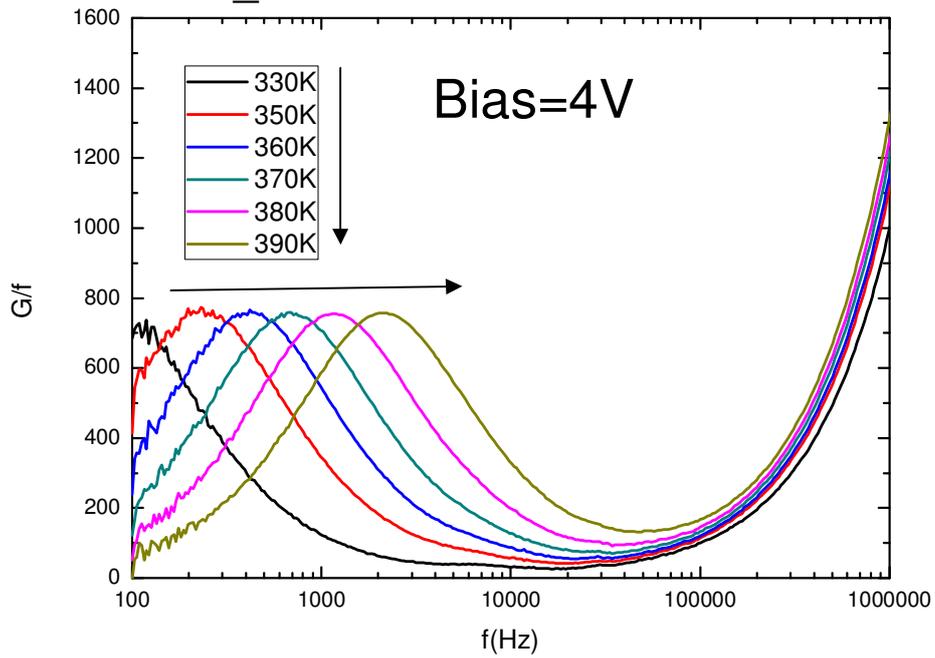
(c)

MOS_no-dots



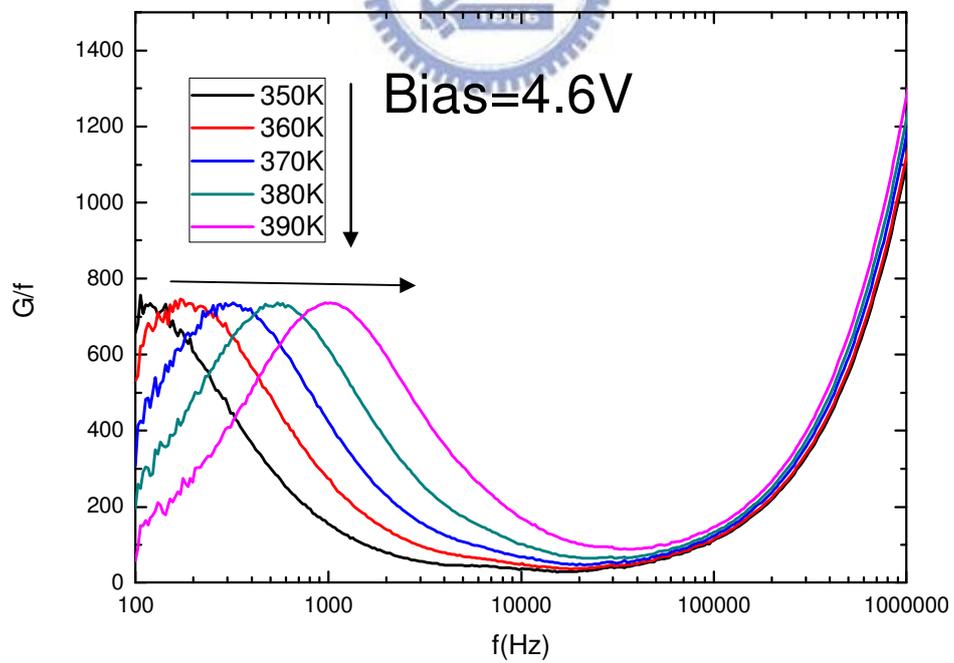
(d)

MOS_no-dots



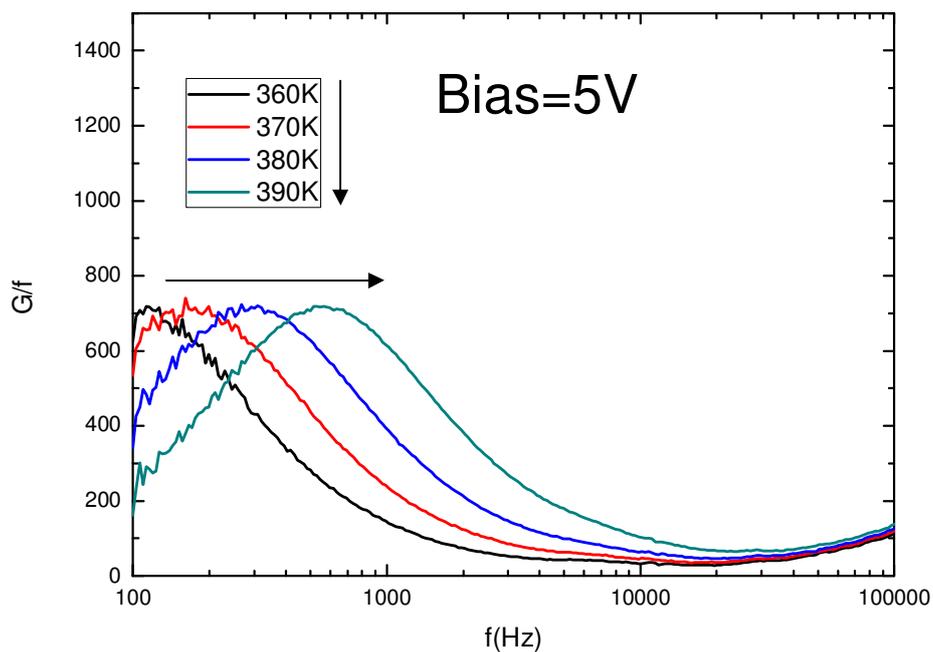
(e)

MOS_no-dots



(f)

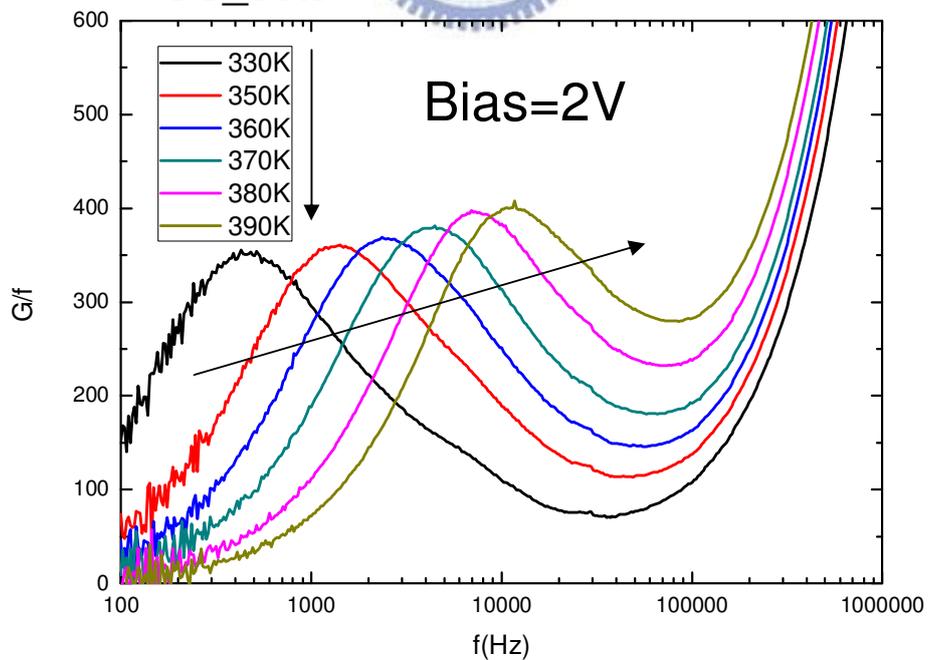
MOS_no-dots



(g)

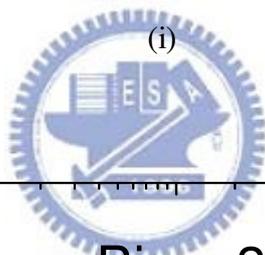
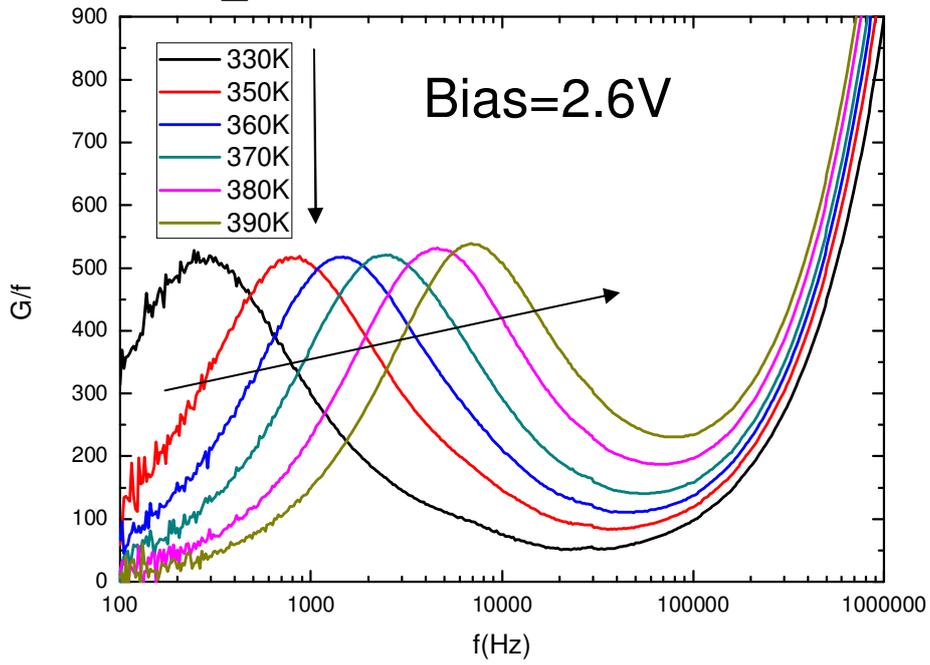
圖(a)~(g) no-dots 樣品全偏壓下的變溫 G-f 圖

MOS_dots



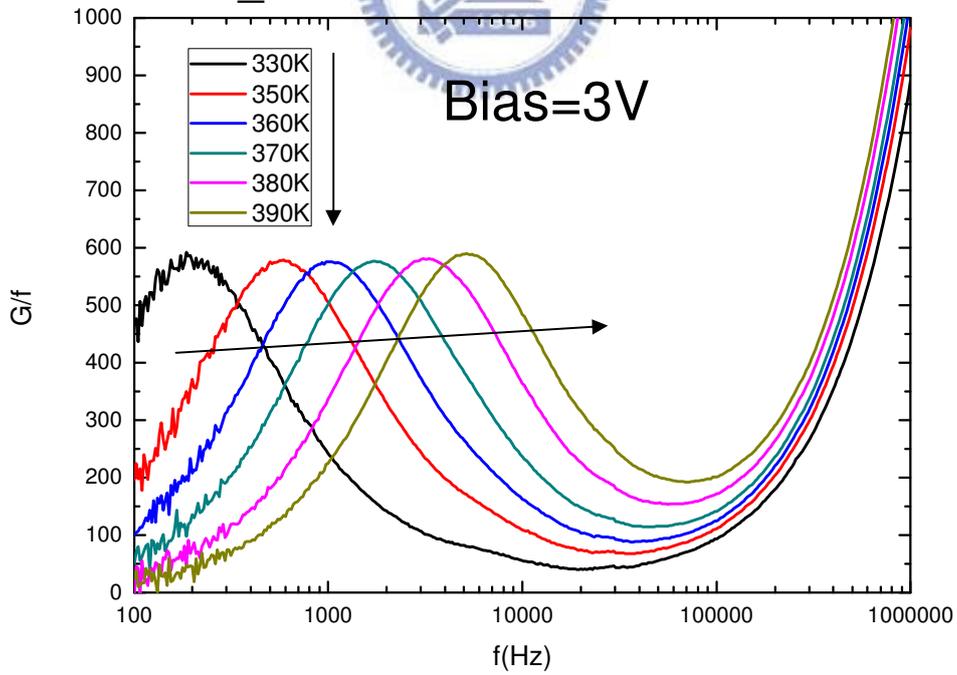
(h)

MOS_dots



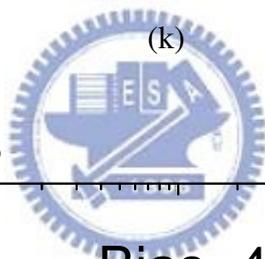
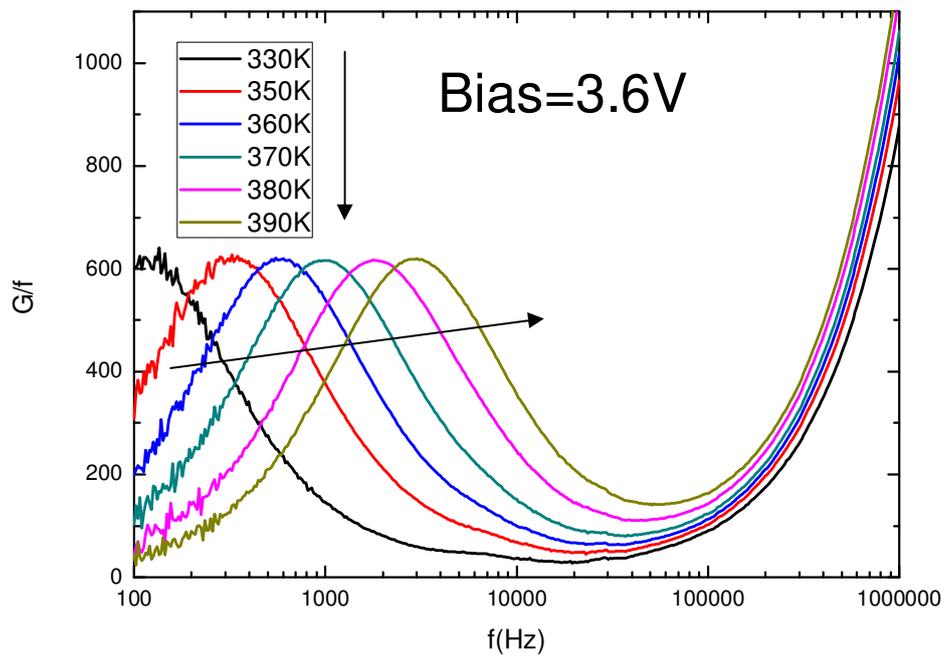
(i)

MOS_dots



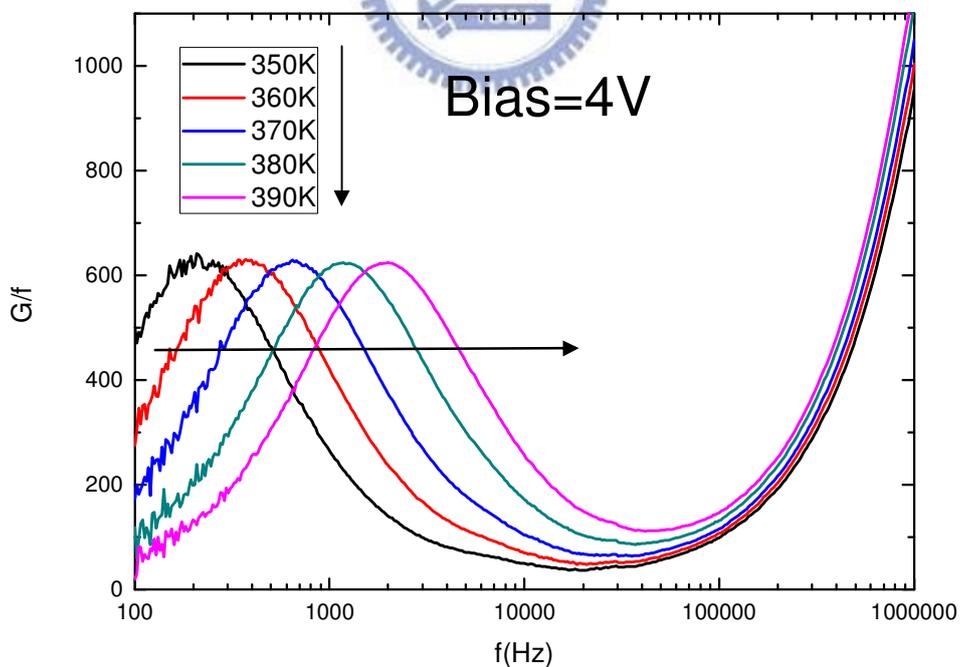
(j)

MOS_dots

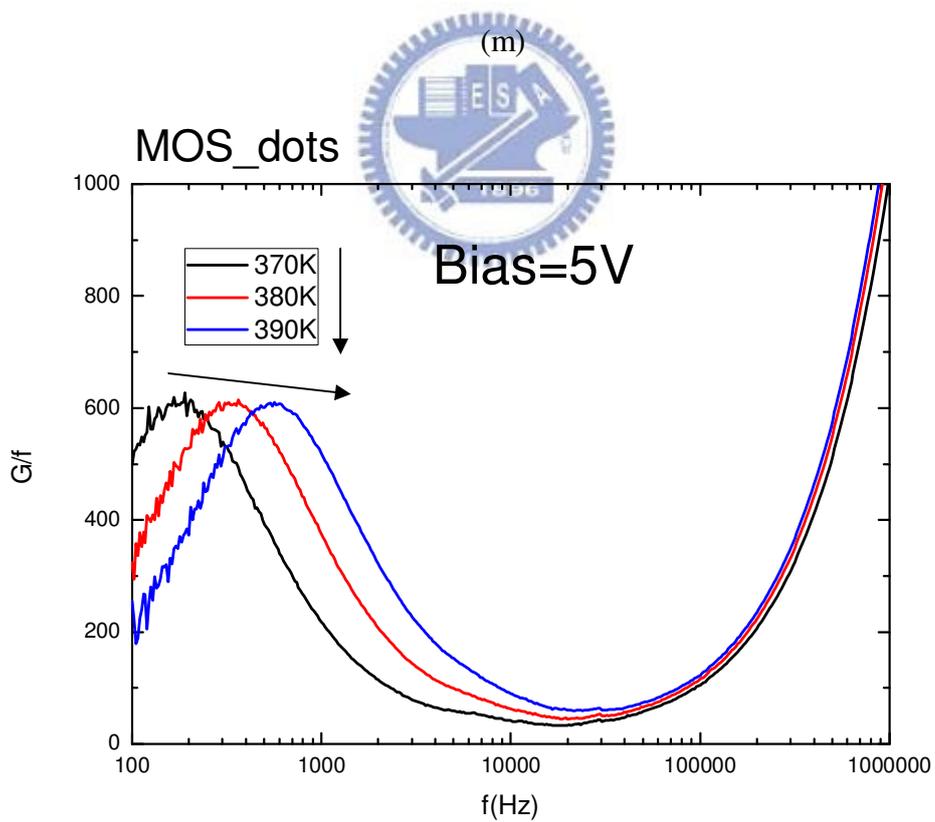
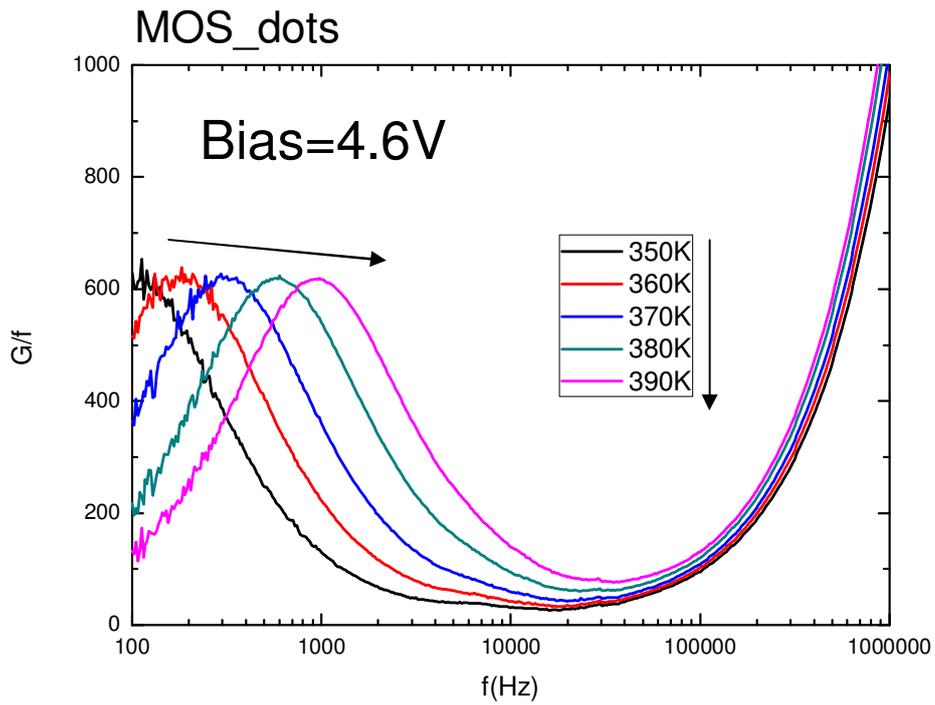


(k)

MOS_dots



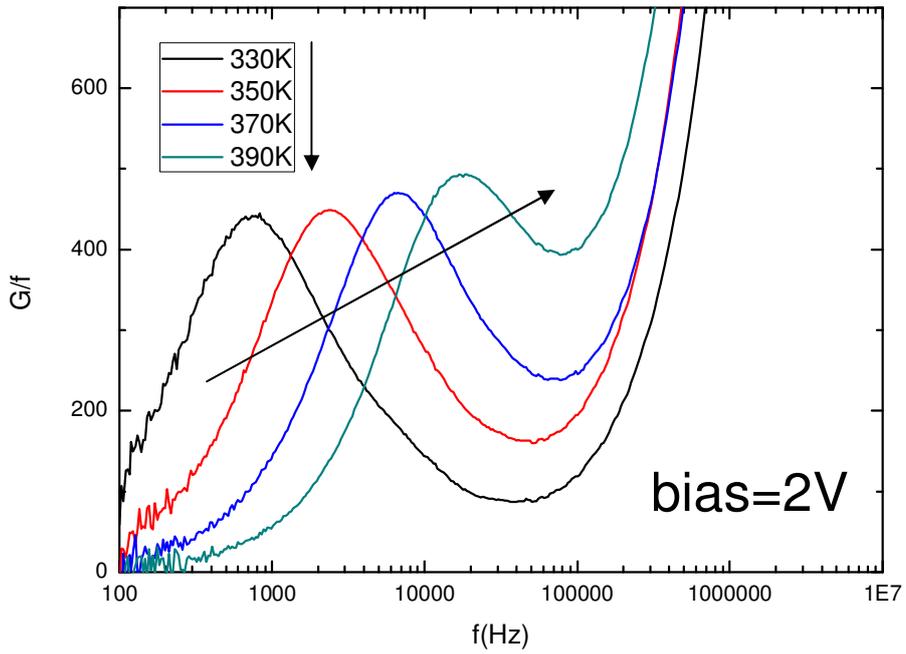
(l)



(n)

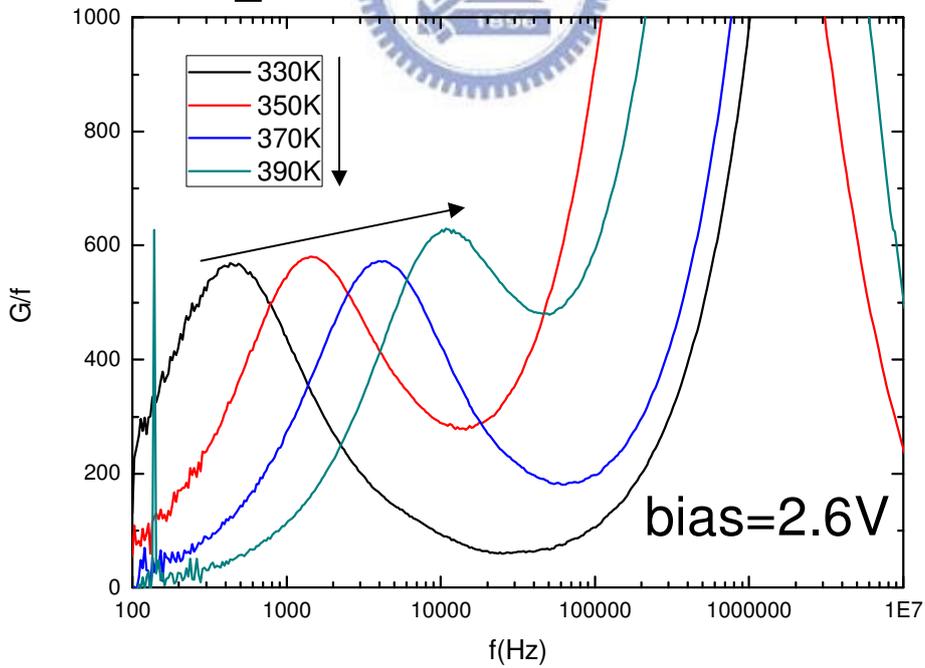
圖(h)~(n) dots 樣品全偏壓下的變溫 G-f 圖

MOS_small-dots

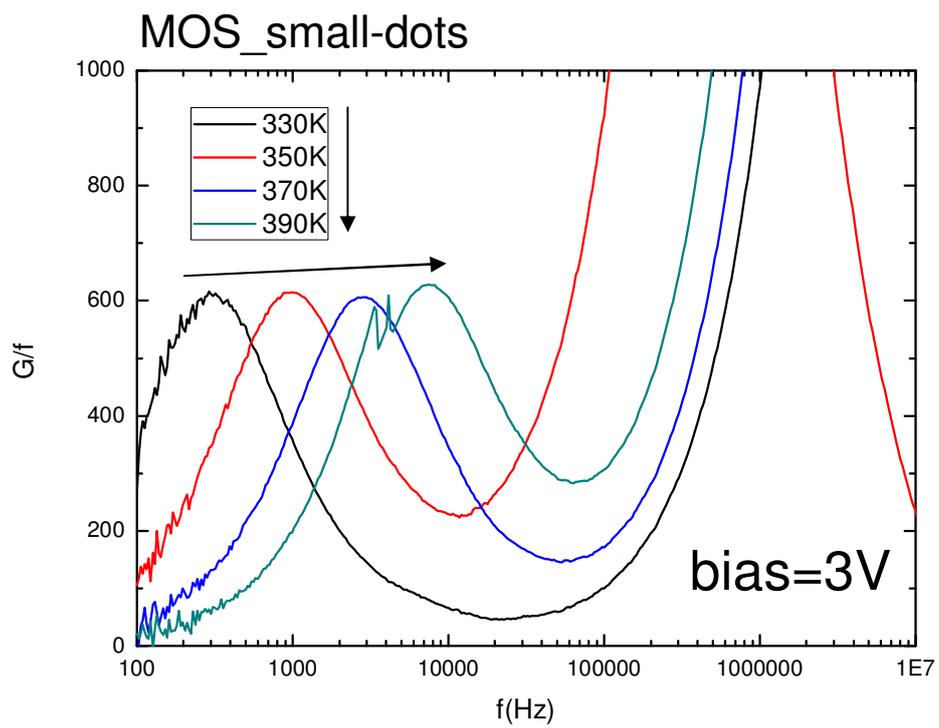


(o)

MOS_small-dots



(p)



圖(o)~(q) small-dots 樣品全偏壓下的變溫 G-f 圖

