

國立交通大學

電子工程學系 電子研究所碩士班

碩士論文

金屬氮化物之功函數調變研究



A Study on Work Function Modulation of
Metal Nitrides

研究生：呂智勛

指導教授：崔秉鉞 博士

中華民國九十三年七月

金屬氮化物之功函數調變研究

研究生：呂智勛

指導教授：崔秉鉞

國立交通大學電子工程學系 電子研究所碩士班

摘 要

本論文介紹了氮化鉬和氮化鎢在不同成分比的功函數調變能力以及搭配二氧化鈣高介電常數氧化層後的電性結果。試片在含有不同氮/氫比例的氣體環境下，以濺鍍沈積方式沈積出不同氮/鉬和氮/鎢成分比的氮化鉬和氮化鎢金屬閘極。氧化層主要是雙層結構二氧化鈣/二氧化矽和對照組二氧化矽。試片在氮氣環境下做不同溫度退火處理，探討金屬氮化物本身的特性與金屬氮化物/二氧化鈣的熱穩定性。

在氮化鉬方面，氮/鉬比從 0 增加到 1.45 功函數由 4.6 增加到 5.1eV，調變幅度達 0.51eV，適用於 P 型電晶體。調變機制受到氮原子比例控制，當氮原子趨於飽和，功函數調變也趨於定值。在搭配二氧化鈣氧化層方面，經過高溫退火後，氮化鉬不但相位和晶向不變，也不會與二氧化鈣有任何化學反應，熱穩定性相當好。此外，在二氧化鈣上的附著力也極佳。氮化鉬並不會受到高介電常數二氧化鈣的費米能階限制影響。因此，氮化鉬適合搭配二氧化鈣作 P 型電晶體。

在氮化鎢方面，氮/鎢比從 0 增加到 0.8 功函數即增加 0.51eV。但是氮/鎢比從 0.8 到 1.57，功函數反而下降 0.15eV。不同氮含量的氮化鎢在 HfO_2 氧化層上的功函差距比在 SiO_2 氧化層上低約 0.15eV，可能有費米能階限制的發生。至於被限制的費米能階真正位置，得需進一步的研究與探討。氮化鎢經過高溫退火會產生氮氣脫附，加上氮化鎢功函數調變範圍不大，在目前半導體高溫製程上不太適用。

A Study on Work Function Modulation of Metal Nitrides

Student : Chih-Hsun Lu

Advisor : Bing-Yue Tsui

Department of Electronics Engineering
Institute of Electronics
National Chiao Tung University

ABSTRACT

This thesis investigated the work function modulation of metal nitrides, MoN_x and WN_x films, and the electrical characteristics of metal nitrides/ HfO_2 structure. The metal nitride films were deposited in a sputtering system with different with different Ar/N_2 ratio. Gate dielectric of single SiO_2 and $\text{HfO}_2/\text{SiO}_2$ stack were used.

For the molybdenum nitride films, the work function increases from 4.6eV to 5.1eV as the N/Mo ratio increases from 0 to 1.45. The MoN_x with high work function is suitable for PMOS. The work function modulation of MoN_x is controlled by nitrogen atoms. When the nitrogen atoms concentration approaches saturation, the work function tends to be a fixed value. After thermal anneal up to 800°C, MoN_x does not react with HfO_2 and remains the same phase and orientation. It means that the $\text{MoN}_x/\text{HfO}_2$ structure has good thermal stability. In addition, the MoN_x also shows good adhesion on HfO_2 film. Since the work function modulation is independent of dielectric materials, it is believed that the Fermi level pinning does not occurs in the $\text{MoN}_x/\text{HfO}_2$ system.

For the tungsten nitride films, the work function modulation is divided

into two steps as the N/W ratio increased from 0 to 0.8, a 0.51eV work function increase is obtained. However, when the N/W ratio increases from 0.8 to 1.57, a 0.15eV decrease is observed. Because the work function modulation of WN_x with various N/W ratio on HfO_2 is smaller than that on SiO_2 , it is suspected that Fermi pinning effect occurs in the WN_x/HfO_2 system. More detailed investigation is required to make sure the actual position of the pinned Fermi level. During thermal annealing, the over-saturated nitrogen diffuses out if the temperature ramping rate is not too high. Good adhesion between WN_x and HfO_2 is still observed. All of these observations indicate that WN is not suitable for the current high temperature CMOS process.



誌謝

光陰似箭，短短兩年碩士班的研究生涯，以此論文之告成，即將畫上句號。在這兩年裡，首當感謝指導教授 崔秉鉞老師於實驗、研究與論文上給予充分且詳實的指導與教誨鼓勵，老師嚴謹認真的研究態度、條理分明的思考模式以及廣博的知識，令學生受益匪淺。

其次感謝交通大學奈米中心和國家奈米實驗室提供的優良研究設備，讓實驗得以順利的進行。特別感謝交通大學奈米中心微機電實驗室 徐文祥老師、林正軒學長以及楊涵評學長在機台方面的協助。諸位口試委員的指正與建議，再此也表示感謝之意。

衷心的感謝實驗室的誌鋒學長在學習上的指導和方國龍、林家彬、張修維、謝志民、梁建翔、吳旻達、顏天才、翁堅立學長和蕭逸璿、張志廉、蘇柏智同學以及盧季霈、金立峰、薛聖銘、李宜澤學弟在實驗上的指導與支援。另外也感謝交大其他學長與同學在實驗上給予的意見與幫忙。

也感謝賴久盟在 NDL 一起奮鬥的歲月中互相砥礪，讓我們熬過最艱苦的一段日子。也感謝登山社所有的伙伴，有你們使我的碩士生涯增添了許多趣味，以解研究時沉重的壓力，更有了難忘的回憶。還有許多關心我的朋友們，謝謝你們的陪伴與傾聽。也感謝多年來的室友，一路走來，始終如一，謝謝你們。

最後，我要特別感謝我的父母及家人，感謝你們對我的辛苦栽培及默默付出，使得我得以全心的投入學業。再次衷心的謝謝以上諸位，由於你們的幫忙，此論文得以完成，衷心感謝。

僅以此篇論文獻給對我付出關心的你們。

目 錄

中文摘要	i
英文摘要	ii
誌謝	iv
目錄	v
表目錄	vii
圖目錄	viii
第一章	緒論.....	1
1-1	金氧半電晶體閘極材料的發展.....	1
1-2	金屬閘極的挑戰.....	2
1-3	金屬氮化物功函數的調變.....	3
1-4	為何要用鉬、鎢和二氧化鈣.....	4
1-5	論文架構.....	5
第二章	實驗方法.....	8
2-1	功函數參數的計算.....	8
2-1-1	介紹.....	8
2-1-2	模擬條件.....	9
2-1-3	計算結果及討論.....	10
2-1-4	結論.....	12
2-2	試片製作流程.....	13
2-2-1	控制(control)試片電容結構製作.....	13
2-2-2	金屬氮化物閘極 MIS 電容結構製作.....	13
2-3	分析量測方法.....	14
2-3-1	RBS 分析.....	14
2-3-2	ICP-MS 分析.....	14
2-3-3	其他量測分析.....	15

第三章	氮化鉬的功函數調變.....	28
3-1	介紹.....	28
3-2	結果與討論.....	28
3-2-1	氮化鉬的物理特性.....	28
3-2-2	氮化鉬的電性分析.....	29
3-2-2.1	片電阻量測.....	29
3-2-2.2	濺鍍傷害分析.....	30
3-2-2.3	C-V 與氮化鉬熱穩定性.....	30
3-2-2.4	氮化鉬功函數調變.....	31
3-3	摘要與結論.....	33
第四章	氮化鎢的功函數調變.....	46
4-1	介紹.....	46
4-2	結果與討論.....	46
4-2-1	氮化鎢的物理特性.....	46
4-2-2	氮化鎢的氣體脫附現象.....	48
4-2-3	氮化鎢的電性分析.....	48
4-2-3.1	片電阻量測.....	49
4-2-3.2	C-V 與氮化鎢熱穩定性.....	49
4-2-3.3	氮化鎢功函數調變.....	50
4-3	摘要與結論.....	51
第五章	結論與展望.....	66
5-1	結論.....	66
5-2	未來工作建議.....	67
參考文獻	69
簡歷	74

表目錄

第一章

- 表 1-1 2003 ITRS Roadmap 規格列表
表 1-2 文獻上的金屬功函數整理表格[23]
表 1-3 週期表上有氮化物的材料[34]

第二章

- 表 2-1 金屬氮化物閘極 MIS 結構製作流程
表 2-2 不同濃度 HF 對 HfO_2 蝕刻速率

第四章

- 表 4-1 氮化鎢快速熱退火(RTA)與圖案(pattern)尺寸(直徑)的關係



圖目錄

第二章

- 圖 2-1 MIS 電容相關電荷關係圖。
- 圖 2-2 模擬結構電荷分佈情形。
- 圖 2-3 (a)計算結構的 X 軸設定及厚度參數標示圖。
(b)氧化層陷阱電荷階梯函數設定。
- 圖 2-4 在改變等效氧化層厚度上的 V_{FB} 對 EOT 的圖形。
- 圖 2-5 在改變等效氧化層厚度上的 $\Delta\phi_{ms}$ 對 EOT 的圖形。
- 圖 2-6 改變 High- κ 厚度/固定 SiO_2 厚度下，各種電荷造成 ΔV_{FB} 對總 ΔV_{FB} 所佔的百分比。
- 圖 2-7 固定 High- κ 厚度/改變 SiO_2 厚度下，各種電荷造成 ΔV_{FB} 對總 ΔV_{FB} 所佔的百分比。
- 圖 2-8 (a)改變 N_{it,HfO_2} 對 V_{FB} 曲線的影響。
(b)改變 N_{it,HfO_2} 對 $\Delta\phi_{ms}$ 的影響。
- 圖 2-9 (a)改變 Q_{HfO_2} 對 V_{FB} 曲線的影響。
(b)改變 Q_{HfO_2} 對 $\Delta\phi_{ms}$ 的影響。
- 圖 2-10 (a)改變 N_{it,SiO_2} 對 V_{FB} 曲線的影響。
(b)改變 N_{it,SiO_2} 對 $\Delta\phi_{ms}$ 的影響。
- 圖 2-11 (a)改變 Q_{SiO_2} 對 V_{FB} 曲線的影響。
(b)改變 Q_{SiO_2} 對 $\Delta\phi_{ms}$ 的影響。
- 圖 2-12 掀離式製程。
- 圖 2-13 金屬薄膜沈積在矽基板的 RBS 訊號。
- 圖 2-14 金屬薄膜沈積在石墨基板的 RBS 訊號。

第三章

- 圖 3-1 氮化鉬在石墨基板上的 RBS 訊號。
- 圖 3-2 (a) MoN-1 在不同溫度退火下的 XRD 訊號。
(b) MoN-2 在不同溫度退火下的 XRD 訊號。

- (c) MoN-3 在不同溫度退火下的 XRD 訊號。
- 圖 3-3 MoN-2 在升溫至 500°C 退火下的薄膜應力。
- 圖 3-4 (a)厚度 60nm MoN_x 剛沈積的片電阻值。
(b)厚度 60nm MoN_x 片電阻值對溫度的關係圖。
- 圖 3-5 (a)不同氧化層結構的 I-V 圖。
(b) [42]濺鍍傷害現象的 I-V 圖。
- 圖 3-6 (a) MoN/SiO₂ 結構的 ICP-MS 圖。
(b) MoN/HfO₂ 結構的 ICP-MS 圖。
- 圖 3-7 MoN_x/SiO₂(40nm)金屬閘極對不同溫度的 CV 圖形。
(a)MoN-0 (b)MoN-1 (c)MoN-2 (d)MoN-3
- 圖 3-8 MoN/SiO₂(40nm)金屬閘極對不同溫度的平帶電壓變異。
- 圖 3-9 Mo/ HfO₂(5nm)/SiO₂ (40nm)金屬閘極對不同溫度的 CV 圖形。
(a)MoN-0 (b)MoN-1 (c)MoN-2 (d)MoN-3
- 圖 3-10 MoN_x/ HfO₂(5nm)/SiO₂(40nm)金屬閘極對不同溫度的平帶電壓變異。
- 圖 3-11 MoN_x/ SiO₂ 不同厚度下量得的平帶電壓。
- 圖 3-12 MoN_x/ HfO₂(5nm)/SiO₂ 不同厚度下量得的平帶電壓。
- 圖 3-13 MoN_x/ SiO₂ 不同溫度下 MoN_x 功函數的變化。
- 圖 3-14 MoN_x/ HfO₂(5nm)/SiO₂ 不同溫度下 MoN_x 功函數的變化。

第四章

- 圖 4-1 氮化鎢在石墨基板上的 RBS 訊號。
- 圖 4-2 (a) WN-1 未退火與不同溫度退火下的 XRD 訊號。
(b) WN-2 未退火與不同溫度退火下的 XRD 訊號。
(c) WN-3 未退火與不同溫度退火下的 XRD 訊號。
- 圖 4-3 WN-2 在升溫至 500°C 退火下的薄膜應力。
- 圖 4-4 (a)利用 RTA 600°C 熱退火處理後產生氣泡。
(b)SEM 拍攝氣泡破裂後的金屬表面。
- 圖 4-5 (a)在氬氣環境下的各種氣體離子電流強度背景值。

(b)WN-2 試片在氫氣環境下的氣體脫附現象。

- 圖 4-6 (a)厚度 60nm WN_x 剛沈積的電阻係數。
(b)厚度 60nm WN_x 各個溫度電阻係數，對溫度 400°C 標準化的關係圖。
- 圖 4-7 $WN_x/SiO_2(40nm)$ 金屬閘極對不同溫度的 CV 圖形。
(a)WN-0 (b)WN-1 (c)WN-2 (d)WN-3
- 圖 4-8 $WN_x/SiO_2(40nm)$ 金屬閘極對不同溫度的平帶電壓變異。
- 圖 4-9 $WN_x/HfO_2(5nm)/SiO_2(40nm)$ 金屬閘極對不同溫度的 CV 圖形。
(a)WN-0 (b)WN-1 (c)WN-2 (d)WN-3
- 圖 4-10 $WN_x/HfO_2(5nm)/SiO_2(40nm)$ 金屬閘極對不同溫度的平帶電壓變異。
- 圖 4-11 WN_x/SiO_2 不同厚度下量得的平帶電壓。
- 圖 4-12 $WN_x/HfO_2(5nm)/SiO_2$ 不同厚度下量得的平帶電壓
- 圖 4-13 WN_x/SiO_2 不同溫度下 WN_x 功函數的變化。
- 圖 4-14 $WN_x/HfO_2(5nm)/SiO_2$ 不同溫度下 WN_x 功函數的變化。

第一章 緒論

1-1 金氧半電晶體閘極材料的發展

在半導體技術的早期，金氧半場效電晶體(MOSFET)是由金屬來作閘極，像是鋁金屬閘(Al-gate)。然而，鋁金屬閘卻有一個主要缺點就是無法自動對準(self-align)，因為鋁的熔點只有 660°C。因此在 1970 年代複晶矽閘(poly-Si gate)開始取代鋁金屬閘，除了複晶矽閘可與源極/汲極(source/drain)自動對準的特性加速金氧半場效電晶體微縮(scale down)的速度[1]，本身的高溫穩定及低熱應力(thermal stress)也是一項優點。二十多年來，金氧半場效電晶體成功的微縮了 100 倍。但是微縮到 0.1 微米以下時，複晶矽閘面臨許多不易克服的問題。首先是複晶矽空乏的問題(poly-Si depletion)[2-4]。由於閘極(gate)與基板(substrate)的雜質型態相反，當基板表面進入反轉區(inversion mode)形成通道時，複晶矽閘也會有輕微的空乏現象。這微量的空乏層會增加等效閘氧化層厚度(effective oxide thickness)，使閘極控制能力變弱，驅動電流(driving current, $I_{d,sat}$)降低，汲極漏電流增加(leakage current, I_{off})。其次是 P 型電晶體的硼穿透問題(boron penetration)[5]。為降低 P 型電晶體的漏電流，自 0.25 微米製程以下，P 型電晶體的閘極採用硼雜質的 P 型複晶矽以達成表面通道結構(surface channel)[6]。但是硼在後續高溫製程時，容易穿透閘氧化層造成通道濃度改變以及產生表面電荷[7-9]。此問題隨閘氧化層愈薄而愈嚴重，並會與複晶矽空乏的問題相互牽制。複晶矽的電阻係數偏高，實際的片電阻值(sheet resistance)約在 50-100 Ω/\square ，不利於高速訊號傳輸[10]。金屬閘極可以同時解決上述三項問題[11-18]。

從另一個角度來說，閘氧化層厚度迅速下降，漏電流及可靠度問題使氧化層無法再更薄[19-21]。提高氧化層介電質的介電常數是唯一的選擇。因此，以金屬閘極搭配高介電常數介電質是必然的趨勢。最新修訂的國際半導體技術發展藍圖(International Technology Roadmap

for Semiconductors, 2003 ITRS Roadmap)，如表 1-1，就明確表示在 65 奈米製程點(Technology node)以下，亦即閘極線寬小於 45 奈米，元件規格是依據金屬閘極搭配高介電常數介電質所設定的[22]。

1-2 金屬閘極的挑戰

雖然金屬閘極可以解決複矽晶高電阻和空乏問題，但是材料本身特性與製程考量都得納入選用金屬閘極的條件，像是功函數的選擇和功函數的變異(deviation)。

閘電極的功函數是決定臨界電壓的主要因素，因此不是每一種金屬都適合。表 1-2 為金屬的功函數列表[23]。當金屬功函數接近矽的導電帶(conduction band)，可以作為 N 型電晶體閘極；反之，當金屬功函數接近矽的價電帶(valence band)，可以作為 P 型電晶體。而金屬功函數在矽的中間能隙(mid-gap)時，可以同時作為 N 型及 P 型電晶體的閘極。在 0.1 微米製程以下時，臨界電壓範圍在 0.3-0.4V 且臨界電壓變異必須小於 3σ ，除了氧化層厚度、通道佈植濃度、通道長度等可能的變異原因外，金屬閘極也引進了額外的變異。金屬閘極的功函數取決於本身的晶體結構(crystalline structure)、相位(phase)和晶向(orientation)、應力(stress)等[24-26]。當通道長度縮小至金屬晶粒(grain)尺寸時，金屬閘極的晶粒大小變化都會改變這些性質而影響到功函數，增加臨界電壓的變異。在金屬閘極製程上，濺鍍(sputter)沈積會使金屬原子排列較不規則，造成較高的功函數變異；化學氣相沈積(chemical-vapor-deposited, CVD)雖然比較均勻，但是沈積所需的化學成分先質(precursor)與氧化層間的反應，也是一個問題。

除了上述金屬本身條件之外，金屬閘極與高介電常數介電質的介面結構影響等效功函數、熱穩定性、附著力等，也都是需要列入考慮的。就目前已知的問題如下：

- (1) 等效功函數改變[27, 28]：過去認為金屬閘極的功函數和金屬塊材的功函數相同，但是近年的研究顯示，因為金屬與高介電常

數介電質介面的能態以及介面層的耦極層(dipole layer)會使得等效功函數和金屬塊材的功函數不同。實際的值取決於金屬與高介電常數介電質的介面狀態。這對材料選擇、製程設計以及元件設計影響重大，但是這一方面的文獻相當有限。

- (2) 熱穩定性[29-31]：某些金屬閘極可能會與某些高介電常數介電質反應，比如說 Al 會與 HfO_2 反應形成類似 Al_2O_3 的介面層，進而增加等效二氧化矽厚度。金屬的熱應力如果沒有適當的平衡，會造成介電質特性劣化。早期的研究發現採用金屬閘極會使二氧化矽的崩潰電荷(Breakdown Charge, QBD)降低 10 倍以上，至於對高介電常數介電質的可靠度影響則缺乏足夠的資料。
- (3) 其他問題[32, 33]：許多金屬對高介電常數介電質的熱穩定性良好，本身化學性質也很穩定，比如說 Pt，但是附著力不佳。這一類金屬閘極也會有比較嚴重的頻率消散(frequency dispersion)問題。金屬閘極的圖案化技術、製程中的交互污染也都是必須解決的問題。



1-3 金屬氮化物功函數的調變

金屬氮化物是一種堅硬的(hardness)、化學反應呈惰性、抗腐蝕性(corrosion-resistant)並且擁有良好穩定性的材料[34]。這些性質主要是因為金屬晶體結構改變和金屬與氮原子之間強力的共價鍵所造成。氮原子比起金屬原子小很多，大多是在間隙位置(interstitially site)，不但改變了金屬晶體結構，也加強了金屬的硬度。強力的金屬與氮原子共價鍵使得金屬氮化物不易與其他物質起化學反應。由於以上的特色，金屬氮化物應用在半導體工業上極具吸引力。一般製作金屬氮化物有幾種方法。例如：化學氣相沈積(CVD、plasma-assisted CVD)、物理氣相沈積(arc physical vapor deposition, PVD)、濺鍍(sputtering)、離子佈植(implanting)等。由於金屬氮化物大多擁有兩元或三元的相位，如表 1-3，不同相位都有不同特性[34]，所以氮化物

的製作方法與製程參數都是值得注意的地方。

功函數可由改變相位和晶向、結構密度和化學反應等方法來達到調變的目的。一般材料改變相位和晶向通常得經過高溫或特殊製程，並且多為不穩定態。結構密度可以經由惰性離子植入的方式暫時改變功函數，一旦經過高溫製程後，就會再結晶恢復原本的狀態。最後是化學反應方法改變金屬的鍵結。目前已有提出離子佈植[35-37]、製程氣體的改變[38]、合金等方向。

金屬氮化物本身有兩元到三元的穩定相位，對於改變功函數有很大的空間。除此之外，金屬氮化物只需藉由控制製程氣體的比例就可以調變金屬原子與氮原子的比例產生不同的鍵結。

1-4 為何要用鈿、鎢和二氧化鈳

鈿具有高熔點、低熱膨脹係數和低電阻係數，這些在電晶體高溫製程考量上都是極佳的優點。還有鈿在製程上沈積(sputter, CVD)及蝕刻都相當方便，對於圖案化技術很有幫助。鈿在二氧化矽上的熱穩定性可以達到 1000°C，高熔點的特性，可預期應用在其他高介電常數介電質也是具有同樣的熱穩定性。鈿本身功函數大約 4.6eV 並且在不同介電質具有很大的調變空間(4.2-4.9eV) [39]。鈿在二氧化矽上有很高的功函數，可以作為 P 型電晶體的金屬閘極外，亦可相容於雙金屬閘極 CMOS 製程中[40]。由於金屬閘極功函數會影響到電晶體的臨界電壓，所以我們希望加入氮原子調變鈿的功函數，達到調整臨界電壓的目的。

除了鈿之外，另一個具有相同優點的材料是鎢。一樣具有高熔點、低電阻係數、熱穩定性高的特性。鎢很早就被應用在工業上，技術十分純熟。在半導體技術以接觸窗栓塞(contact hole plug)及引洞栓塞(via plug)應用最多。抗離子植入和金屬穿透的特性，也是作為金屬閘極時的一大優點。鎢的功函數大約在 4.55-4.75eV，為中間能隙的範圍，因此如果能夠藉由加入氮原子調變功函數，那麼就可以應用在

P 型電晶體和 N 型電晶體上。

目前高介電常數介電質材料中，二氧化鈣具有適當的介電常數、不與矽基板反應和高溫形成(formation)等特色，也已經被列為 ITRS 2003 指定的氧化層材料，不過金屬閘極搭配二氧化鈣方面的相關文獻很少。因此除了鉬和鎢功函數的調變外，針對氮化鉬和氮化鎢搭配二氧化鈣氧化層的相關性質如等效功函數、熱穩定性、附著力也是我們研究的重點。

1-5 論文架構

本論文介紹了氮化鉬和氮化鎢的物性分析以及搭配二氧化鈣高介電常數氧化層後的電性結果。本論文一共分為五章，本章說明研究動機及背景。第二章介紹求功函數的方法與理論並探討求功函數過程中會受影響的因素。實驗試片的製備過程與所有量測分析儀器的原理與功用也一併詳述。第三章介紹氮化鉬的功函數調變分析以及濺鍍製程造成的濺鍍傷害。第四章介紹氮化鎢的功函數調變分析與退火過程中的熱脫附現象。第五章總結上述各章並對未來工作提出建議。

表 1-1 2003 ITRS Roadmap 規格列表

Year	Units	2003	2004	2005	2006
Technology Node					
Physical Lgate (high performance)	nm	45	37	32	28
Equivalent Oxide Thickness	nm	1.3	1.2	1.1	1.0
Power supply Voltage	V	1.2	1.2	1.1	1.1
Saturation Threshold Voltage	V	0.21	0.20	0.20	0.21
Key Technology	2004-Enhance Mobility(90nm node) 2006-High-k gate(70nm node) 2007-Metal gate(65nm node)				

表 1-2 文獻上的金屬功函數整理表格[23]

Near Ec		Mid Gap		Near Ev	
Nb	3.9-4.30	Co	4.41-5.00	Re	4.72-5.00
Al	4.06-4.20	W	4.10-5.20	Ir	5.00-5.70
Ta	4.12-4.60	Os	4.70-4.83	Pt	5.32-5.50
Mo	4.30-4.60	Cr	4.50-4.60	RuO ₂	4.90-5.20
Zr	3.9-4.05	Ru	4.60-4.71	TiN	4.70-4.90
V	4.12-4.30	Rh	4.75-4.98	MoN _x	5.33
Ti	3.95-4.33	Au	4.52-4.77	WN _x	5
TaN	3.90-4.20	Pd	4.80-5.22		
		Ni	4.50-5.30		



表 1-3 週期表上有氮化物的材料[34]

Table I. Nitride Formation in Transition Metal Series*

<u>III</u>	<u>IV</u>	<u>V</u>	<u>VI</u>	<u>VII</u>		<u>VIII</u>	
ScN	TiN	VN	CrN	Mn ₃ N	FeN	Co ₂ N	Ni ₃ N
		V ₂ N	Cr ₂ N	Mn ₂ N	Fe ₂ N	Co ₃ N	Ni ₃ N ₂
YN	ZrN	NbN	MoN	TcN	x	x	x
		Nb ₄ N ₃	Mo ₂ N				
		Nb ₂ N					
LaN	HfN	TaN	WN	Re ₂ N	x	x	x
		Ta ₂ N					

*x—no nitride formation

第二章 實驗方法

2-1 功函數參數的計算

2-1-1 介紹

在傳統量測金屬功函數的方法中[41]，最被大家所廣泛使用的是藉由量測 V_{FB} 對氧化層厚度(T_{ox})的關係[公式 2-1]以及利用[公式 2-2]來求得金屬功函數參數。在[公式 2-1]中， V_{FB} 是一個斜率為 $-(Q_{it}+Q_f+Q_{ot}+Q_m)/\epsilon_{ox}$ 對氧化層厚度的線性方程式。 V_{FB} 可由量測 MIS 電容的 CV 曲線算得。 Q_{it} 、 Q_f 、 Q_{ot} 、 Q_m 為在製作 MIS 電容時，氧化層內的電荷以及氧化層與半導體界面陷阱電荷，這些都會影響到 V_{FB} 。這些陷阱與電荷的基本類型如[圖 2-1]所示，其為界面陷阱電荷(Q_{it} ，interface trap charge)、固定氧化層電荷(Q_f ，fixed oxide charge)、氧化層陷阱電荷(Q_{ot} ，oxide trap charge)以及移動離子電荷(Q_m ，mobile charge)。由[公式 2-1]，當電荷總量不變的條件下，改變氧化層厚度得到不同的 V_{FB} ，外插至 Y 軸，在 Y 軸截距的 V_{FB} 即為 ϕ_{ms} 。

$$V_{FB} = \phi_{ms} - \frac{(Q_{it} + Q_f + Q_{ot} + Q_m)}{\epsilon_{ox}} T_{ox} \quad \dots\dots\dots \text{公式 2-1}$$

$$\phi_{ms} = \phi_m - \phi_s, \quad \phi_s = K - \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) \quad \dots\dots\dots \text{公式 2-2}$$

在研究金屬閘極搭配 High- κ 材料時發現，當我們使用與二氧化矽氧化層相同的方法下卻有一些問題產生。由於 High- κ 材料本身的 Q_{it} 和 Q_{ot} 比二氧化矽還高，並且隨製程變異很大，無法符合不同厚度時，電荷總量不變的假設。因此我們採用雙層結構，在 High- κ 材料下堆疊一層二氧化矽，改變兩者厚度，分析適當的組合。雙層結構亦可克服目前 High- κ 材料遇到的漏電問題。此外，High- κ 材料靠近

金屬閘極可降低其高密度 Q_{it} 和 Q_{ot} 所造成的影響。

2-1-2 模擬條件

我們利用計算比較下列幾種可能性對求功函數的影響，瞭解各因素間的相互關係，進而決定實驗條件：

1. 在改變試片等效氧化層厚度(EOT, effective oxide thickness)上，

A. 改變 High- κ 厚度/固定 SiO_2 厚度。

B. 固定 High- κ 厚度/改變 SiO_2 厚度。

2. High- κ 與 SiO_2 薄膜的性質(Q_{it} 、 Q_f 、 Q_{ot} 、 Q_m)對試片厚度的選擇。

在[圖 2-2]中可以看到在我們所使用的結構中，可能會含有電荷堆積的地方有五個：

1. 二氧化矽與矽基板界面陷阱電荷， Q_{it, SiO_2} 。

2. 二氧化矽內的氧化層電荷， Q_{SiO_2} 。

3. High- κ 與二氧化矽界面陷阱電荷， $Q_{it, \text{High-}\kappa}$ 。

4. High- κ 內的氧化層電荷， $Q_{\text{High-}\kappa}$ 。

5. 金屬閘極與二氧化矽界面陷阱電荷， $Q_{it, \text{metal}}$ 。

這些電荷裡，第 5 項的影響已經反應在[公式 2-1]內的 ϕ_{ms} 裡， Q_f 、 Q_{ot} 和 Q_m 總和則由 $Q(x)$ 代替。對於氧化層中任意空間電荷分佈，平帶電壓可以表示為[公式 2-3]，其中 $\rho_{ot}(x)$ 為氧化層中的體積電荷密度 (coul/cm^3)， d 為氧化層厚度，X 軸由金屬閘極與氧化層界面開始。

利用上述簡單的單一氧化層計算，套用在我們的兩層結構上。現在我們再加入界面陷阱電荷，並在計算中做了幾項假設：

1. 對於 $Q(x)$ 部分，假設電荷分佈為均勻化(uniform)。

2. $Q(x)$ 為體積電荷密度 (coul/cm^3)。

3. 矽基板摻雜濃度為均勻化，避免影響 $q\phi_s$ 。

由[圖 2-3(a)]，推導過程如[公式 2-4]所示，其中 EOT1(nm) 為 High- κ 的厚度，EOT2(nm) 為 SiO_2 的厚度， $\text{EOT}=\text{EOT1}+\text{EOT2}$ ，界面陷阱電荷 (Q_{it}) 為每單位面積電荷量 (coul/cm^2)， $Q(x)$ 為階梯方程式 (step function) 如[圖 2-3(b)]。

$$V_{FB} = \frac{-1}{C_o} \left[\frac{1}{d} \int_0^d x \rho_{ot}(x) dx \right] \dots\dots\dots \text{公式 2-3}$$

$$\begin{aligned} V_{FB} &= \phi_{ms} - \frac{1}{C_o} \left[\frac{1}{EOT} \int_0^{EOT} x \rho_{ot}(x) dx \right] \\ &= \phi_{ms} - \left[\frac{1}{EOT} \int_{EOT1}^{EOT1} x Q_{it,High-\kappa} dx + \frac{1}{EOT} \int_{EOT2}^{EOT2} x Q_{it,SiO_2} dx \right. \\ &\quad \left. + \frac{1}{EOT} \int_0^{EOT1} x Q_{High-\kappa} dx + \frac{1}{EOT} \int_{EOT1}^{EOT2} x Q_{SiO_2} dx \right] \dots\dots \text{公式 2-4} \\ &= \phi_{ms} - \frac{1}{\epsilon_{ox}} [EOT1 * Q_{it,High-\kappa} + EOT * Q_{it,SiO_2} \\ &\quad + \frac{1}{2} EOT1^2 * Q_{High-\kappa} + \frac{1}{2} (EOT^2 - EOT1^2) * Q_{SiO_2}] \end{aligned}$$

2-1-3 計算結果及討論

在[公式 2-4]中，我們給下列參數：P 型矽基板摻雜濃 $10^{15}/cm^2$ ， ϕ_m 為 4.35eV， ϕ_s 為 4.878eV， ϕ_{ms} 為 -0.538eV， $N_{it,High-\kappa}$ 為 $10^{12}/cm^2$ ， N_{it,SiO_2} 為 $10^{11}/cm^2$ ， $Q_{High-\kappa}$ 為 $10^{18}/cm^3$ ($N_{High-\kappa}$ 為 $10^{12}/cm^2$)， Q_{SiO_2} 為 $10^{16}/cm^3$ (N_{SiO_2} 為 $10^{10}/cm^2$)。

在改變等效氧化層厚度上，一共有三組：

A 組-改變 High- κ 厚度(EOT 範圍為 5~100nm)/固定 SiO₂ 厚度(5nm)、
 B 組-固定 High- κ 厚度(5nm)/改變 SiO₂ 厚度(EOT 範圍為 1~300nm)、
 C 組-無 High- κ /改變 SiO₂ 厚度(EOT 範圍為 1~300nm)。計算後整理成[圖 2-4]為 V_{FB} 對不同 EOT 作圖。因為需改變不同厚度外插取得截距 ϕ_{ms} ，因此由[圖 2-4]以相鄰六個厚度為一組，外插得 ϕ_{ms}' ，而功函數變異 $\Delta\phi_{ms} = \phi_{ms}' - \phi_{ms}$ 。[圖 2-5]為功函數變異對不同厚度範圍。討論後有下面幾項結果：

1. 因為氧化層含有陷阱電荷，因此當 EOT 變厚時， V_{FB} 對厚度的關係曲線不再是線性直線，而會開始彎曲。
2. 由於 High- κ 氧化層所含有的電荷密度比較高，因此曲線彎曲

程度會隨厚度增加而急速增加。而其他兩組則是相似。

3. 改變 High- κ 厚度所取得的功函數偏差($\Delta\phi_{ms}$)一開始就相差 0.2eV 並隨 EOT 增加而急遽增加。改變 SiO₂ 厚度的曲線則是在 EOT 大約等於 40nm 附近有最小的 $\Delta\phi_{ms}$ 。只有 SiO₂ 的對照組，則是如預期的隨 EOT 增加而 $\Delta\phi_{ms}$ 緩慢增加。

為了分析以上的結果，我們特地把四種電荷對 V_{FB} 造成的影響，對平帶電壓飄移(ΔV_{FB})的總和取百分比作圖，其中[圖 2-6]為 A 組條件和 [圖 2-7]為 B 組條件。由[圖 2-6]知，當改變 SiO₂ 厚度時， ΔV_{FB} 一開始以 Q_{it,SiO_2} 影響為主，因為其最靠近矽基板，而其他電荷影響不多。當 EOT 厚度增加到 200nm 後，二氧化矽內的氧化層電荷(Q_{SiO_2})影響就慢慢超過 Q_{it,SiO_2} 。而在[圖 2-5]所示，在 EOT 厚度比較薄時，相對的電容值也比較小，由 $V=Q/C$ 可知道同樣的電荷對電壓影響比較大，導致 V_{FB} 變小，因此 $\Delta\phi_{ms}$ 呈現負值。另外在 B 組改變 SiO₂ 厚度時，含有高界面陷阱電荷及氧化層陷阱電荷的 High- κ 所造成的影響明顯降低。

由[圖 2-6]知，在 A 組改變 High- κ 厚度時，當厚度很薄， $Q_{it,HfO_2} \square Q_{it,SiO_2}$ 且靠近矽基板，所以影響最大。但 EOT 厚度增加到 20nm 後，High- κ 的 Q_{HfO_2} 影響就已經超過 Q_{it,HfO_2} 了。

由上述討論可以知道固定 High- κ 厚度/改變 SiO₂ 厚度對平帶電壓飄移(ΔV_{FB})影響最小並對實驗選擇 SiO₂ 厚度上能供給參考。除此之外，High- κ 與 SiO₂ 薄膜的性質(Q_{it} 、 Q_f 、 Q_{ot} 、 Q_m)也是我們所需要考慮的。因為製程條件會影響到薄膜性質，而那些性質會對平帶電壓飄移(ΔV_{FB})有影響，影響程度的大小是我們得考慮的地方。

同樣在[公式 2-4]中，我們把原本的參數，分別針對 $N_{it,High-\kappa}$ 、 N_{it,SiO_2} 、 $Q_{High-\kappa}$ 和 Q_{SiO_2} 四種變因，一次只改變一種電荷密度，作範圍上下各一個階層(order)擴大，剩餘三項電荷密度及其他條件都不變，以瞭解每種電荷密度大小對功函數的影響。計算結果如下列所討論：

1. 改變 $N_{it,High-\kappa}$ ：如[圖 2-8]所示。因為 High- κ 厚度不改變的原因，所以 V_{FB} 曲線會隨 $N_{it,High-\kappa}$ 電荷密度增加而向負的方向平移，使

得 Y 軸截距偏負值，導致 $\Delta\phi_{ms}$ 也向 X 軸正方向平移，對厚度改變也比較敏感。由於 High- κ 厚度很薄且靠近金屬閘極，因此 $N_{it,High-\kappa}$ 從 10^{11} 到 $10^{13}/cm^2$ ， ΔV_{FB} 才從 0.007V 到 0.7V，相較於其他電荷造成的影響，在 $N_{it,High-\kappa}$ 小於 $10^{12}/cm^2$ 時，影響是可以忽略的。

2. 改變 $Q_{High-\kappa}$ ：如[圖 2-9]所示。同 $N_{it,High-\kappa}$ 一樣，在 High- κ 厚度不改變且薄的情形下，就算 $N_{High-\kappa}$ 提高到 $10^{13}/cm^2$ ，對 $\Delta\phi_{ms}$ 也只影響不到 0.1eV。

3. 改變 N_{it,SiO_2} ：如[圖 2-10]所示。由[公式 2-4]可得到 N_{it,SiO_2} 為 V_{FB} 與二氧化矽厚度一次線性關係的斜率，因此 V_{FB} 曲線斜率會隨 N_{it,SiO_2} 而改變。 N_{it,SiO_2} 除了改變斜率並不影響在 Y 軸的截距，所以 $\Delta\phi_{ms}$ 都一樣，不受 N_{it,SiO_2} 影響。不過值得注意的是，當 N_{it,SiO_2} 大於 $5 \times 10^{12}/cm^2$ 後，斜率改變太大， V_{FB} 急速改變，造成選取二氧化矽厚度時的限制。

4. 改變 Q_{SiO_2} ：如[圖 2-11]所示。由於 N_{SiO_2} 與 SiO_2 厚度呈二次線性關係，所以 V_{FB} 曲線會隨厚度增加而彎曲，連帶地也影響到 Y 軸截距。雖然 N_{SiO_2} 濃度非常低，就算達到 $10^{12}/cm^2$ 對 $\Delta\phi_{ms}$ 影響也在 0.1eV 左右。但是一旦濃度太高， $\Delta\phi_{ms}$ 一樣對厚度會很敏感。

2-1-4 結論

由計算結果與討論，我們可以得到以下的結論：

1. 在改變試片等效氧化層厚度(EOT, effective oxide thickness)上，固定 High- κ 厚度/改變 SiO_2 厚度，不但可以達到研究金屬閘極搭配 High- κ 材料下的特性，也可以不受 High- κ 材料的影響求得金屬閘極功函數。
2. 在 2-1-3 我們設定的條件下，希望藉由製程控制使得 $\Delta\phi_{ms}$ 能在 +/- 0.1eV 以下。在取不同厚度方面， SiO_2 厚度 40-60nm 附近會有最小的 $\Delta\phi_{ms}$ ，可容許厚度範圍大約從 10nm 到 100nm。而其他參數範圍可由計算過程得到： $N_{it,High-\kappa} \leq 5 \times 10^{12} / cm^2$ ， $N_{it,SiO_2} \leq 5 \times 10^{11} / cm^2$ ， $Q_{High-\kappa} \leq 6 \times 10^{18} / cm^3$ ， $Q_{SiO_2} \leq 5 \times 10^{16} / cm^3$ 。
3. 界面陷阱電荷(Q_{it})對 $\Delta\phi_{ms}$ 影響比較明顯，不過只要 Q_{it} 變化不大，

$\Delta\phi_{ms}$ 也不會有太大的變異。而氧化層電荷 $Q(x)$ 似乎對 $\Delta\phi_{ms}$ 影響不大，可是對於厚度敏感的影響，使得在製程控制上得更注意。

2-2 試片製作流程

2-2-1 控制(control)試片電容結構製作

在控制試片電容結構製作上，我們使用六吋 P 型矽基板晶片，晶向為(100)，電阻係數為 $15-25 \mu\Omega-cm$ ，摻雜原子為硼(Boron)。首先，為了使矽基板的電阻係數更低，我們在所有試片製作前在晶片背後以能量 120keV，劑量(dose) 5×10^{15} 的 BF_2 作背後離子植入(Backside implant)，之後做 $1050^\circ C$ 、氮氣環境下、15 秒的快速熱活化。將晶片經過 RCA 製程清洗過後，利用低壓高溫爐管(LP furnace)在乾氧(dry oxide)環境下長成不同厚度(40nm、70nm、100nm)的二氧化矽薄膜(SiO_2 film)。接著為了與之後的實驗試片相同，在這作了相同的 $900^\circ C$ 、氮氣環境下、30 秒的快速熱退火(RTA)。由於金屬氮化物閘極在濕蝕刻(wet etch)上不易，所以我們採用掀離式製程(lift-off process)，如[圖 2-12]所示。先在二氧化矽薄膜上旋轉塗佈(spin coating)正光阻，並用含有四種尺寸圓形圖案(pattern)的光罩曝光。去除已經曝光的光阻後，以 $120^\circ C$ 硬烤乾光阻，以增加抵抗濺鍍金屬閘極時的傷害。接著使用濺鍍沈積的方法沈積厚度為 60nm 的金屬閘極薄膜。最後利用丙酮(A.C.E.)及震盪器去除光阻，而光阻上的金屬閘極薄膜也一併被掀離，只剩下我們所要的金屬閘極圖案。在測試金屬閘極的熱穩定性方面，試片會經過不一樣的高溫退火處理，分別是 400 、 500 、 600 、 700 、 $800^\circ C$

2-2-2 金屬氮化物閘極 MIS 電容結構製作

試片製作上與控制試片不同的是除了二氧化矽薄膜外，尚且疊加一層二氧化鈦(HfO_2)薄膜。我們以濺鍍沈積的方法，在真空壓力為 2×10^{-6} torr、製程壓力為 7.6×10^{-3} torr、使用 DC 電壓器瓦數 100 W、

氬氣與氧氣流量(s.c.c.m.)分別為 24 和 3，比例(Ar/N₂)為 24/3 下，沈積厚度 5nm HfO₂ 薄膜。為了使二氧化鈣薄膜穩定且陷阱電荷含量降低，我們以 900°C、氮氣環境下、30 秒的 RTA 處理。在沈積金屬氮化物閘極方面，分別利用不同的濺鍍靶材，鉬(Mo)和鎢(W)，在真空壓力為 2x10⁻⁶ torr、製程壓力為 4.5x10⁻³ torr、使用 DC 電壓器瓦數 25W、氬氣與氮氣流量比例(Ar/N₂)為 20/0、20/5、20/10、20/20 下，控制製程時間來沈積厚度 60nm 的金屬氮化物薄膜。最後同樣利用掀離式製程製作金屬閘極。金屬閘極熱穩定性退火條件一樣為 400、500、600、700、800°C。整個試片製程如[表 2-1]所示。

2-3 分析量測方法

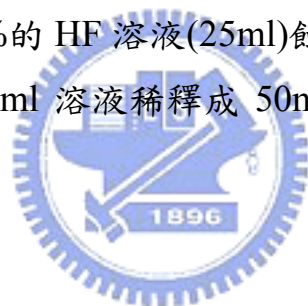
2-3-1 RBS 分析

金屬閘極薄膜元素組成和比例分析經由拉塞福背向散射分析(Rutherford Back-scattering Spectroscopy, RBS)。RBS 實驗主要以清大原科中心儀器組的范氏加速器所產生的 2-3 MeV 的氦離子射束，經 90° 能量分析磁鐵篩選後，垂直地撞擊樣品靶。另在與入射氦離子呈 150-170° 的夾角的方向之處，安裝有表面勢壘半導體偵檢器(surface barrier semiconductor detector)，用以收集經由樣品靶散射而來的氦粒子，然後再將該等訊號依序傳遞至放大器、多頻道分析儀(multiple channel analyzer，簡稱 MCA)、與個人電腦進行分析工作。在矽基板沈積金屬薄膜分析元素組成時，氮與矽的 RBS 訊號會互相重疊，使得氮的訊號不明顯且不易分析，如[圖 2-13]。因此我們利用石墨基板，在金屬薄膜不與碳元素反應的前提下作 RBS 分析。由[圖 2-14]可看出氮與碳的 RBS 訊號明顯分開了。這在分析氮元素比例變化有很大的助益。RBS 圖形最右邊為金屬鉬(Mo)或鎢(W)的訊號。最後藉由電腦分析可以得到 MoN_x 和 WN_x 的元素比。

2-3-2 ICP-MS 分析

在濺鍍金屬閘極薄膜過程中對氧化層成的傷害，可以由感應耦合電漿質譜分析儀(Inductively coupled plasma-mass spectrometer, ICP-MS)分析。分析原理是由定量的溶液溶解已知體積(面積 x 深度)的氧化層後，分析溶液內的元素含量，解析度可達 ppb。由於要瞭解濺鍍傷害的深度，因此在固定面積下，我們利用階梯蝕刻(step etch)的方式，以 1nm 為一層，分析每一層內的金屬元素含量，對於鉬和鎢皆可達到 0.2ppb 的解析度。

試片結構為氮化鉬(MoN)/SiO₂ 或 HfO₂/矽基板，面積固定為 1cm²，氧化層厚度為 5nm。我們先利用濃硫酸和過氧化氫以 3:1 混合去除氮化鉬。SiO₂ 氧化層使用濃度 0.5% 的 HF 溶液(25ml)蝕刻，蝕刻率為 0.1nm/min。由於 HfO₂ 氧化層會隨退火溫度不同蝕刻率不同，因此固定 900°C 使用不同濃度的 HF 溶液測試蝕刻率，如[表 2-2]。由[表 2-2]，我們採用濃度 49% 的 HF 溶液(25ml)蝕刻，蝕刻率為 1nm/min。最後將溶解氧化層的 25ml 溶液稀釋成 50ml 並送去清大貴儀中心作 ICP-MS 的分析。



2-3-3 其他量測分析

在試片經過高溫處理後，金屬氮化物閘極晶向(orientation)與原子間鍵結(bond)的改變由清大貴儀中心的廣角度 X 光薄膜繞射儀(wide angle X-ray diffraction, XRD, MAC Science MXP18 XRD w/ Cu K α 放射線， 2θ 從 20° 到 60°)量得，而晶粒(grain)大小則由穿透式電子顯微鏡(transmission electron microscope, TEM)決定。在確認元素存在與縱深分佈方面，可以使用歐傑電子質譜儀(Auger electron mass spectrometer)或二次離子質譜儀(Secondary ion mass Spectrometer, SIMS)。附著性由薄膜附著力測試系統(Adhesion tester)測試。主要是在金屬薄膜表面以及矽基板背面各黏接拉拔棒，放入系統中，藉由機器拉拔直到拉拔棒剝離金屬薄膜。附著力由力量大小與拉拔棒和金屬薄膜的接觸面積換算可得。當拉拔過程中矽基板承受不住而破裂的話，表示金屬薄膜與矽基板有極佳的附著力。氧化層薄膜厚度由 N&K

儀器量得，而金屬閘極厚度則由 ET4000 表面粗度儀(surface roughness detector)量得。氮化鎢在退火過程會有氮氣脫附(out-gas)現象，可以利用國家奈米元件實驗室(NDL)的熱脫附常壓游離質譜儀(TDS)分析，靈敏度 $S/N=5474$ (at 50ppb O_2 in N_2 carrier gas)。以氫氣當作負載氣體(carrier gas)偵測氮氣訊號。金屬薄膜產生的應力可由 NDL 內的應力量測儀(thin-film stress)量得。藉由沈積金屬薄膜前後晶片的曲率變化，帶入公式求得。此儀器並可升溫量測，最高可達 $500^{\circ}C$ ，瞭解退火對應力的影響。

電性方面，金屬閘極薄膜的片電阻值(sheet resistance)由四點探針(Four-point probes)系統量得，也可以用來監測不同金屬氮化物薄膜的熱穩定性。高頻電容電壓圖(High frequency capacitance-voltage, HF C-V)使用 Agilent 4284A (precision LCR meter)，在頻率為 10KHz、延遲時間為 1 秒、每次掃射電壓間隔(per step of sweep voltage)為 50mV、電壓掃射範圍 $\pm 2V$ 從反轉模式(inversion mode)到聚積模式(accumulation mode)條件下量得。



表 2-1 金屬氮化物閘極 MIS 結構製作流程

製程步驟	條件
1.RCA 晶片清洗	
2.犧牲氧化層沈積	35nm,避免污染用
3.背後離子植入	120keV,5x10 ¹⁵ ,BF ₂
4.高溫熱活化	1050°C,N ₂ ,15sec
5.去除犧牲氧化層	B.O.E.蝕刻
6.RCA clean	
7.長二氧化矽薄膜	40nm,70nm,100nm
8.濺鍍沈積二氧化鉛薄膜	真空壓力 2x10 ⁻⁶ torr, 製程壓力 7.6m torr, DC 電壓器 100W,氣體比例 Ar/N ₂ =24/3, 厚度 5nm
9. 高溫熱退火	900°C,N ₂ ,30sec
10.開圖案	直徑 420 μm 圓
11.濺鍍沈積金屬氮化物薄膜	真空壓力 2x10 ⁻⁶ torr, 製程壓力 4.5 m torr, DC 電壓器 25W, 厚度 5nm 氣體比例 Ar/N ₂ =20/0,20/5,20/10,20/20
12.掀離式製程	丙酮和震盪器去除正光阻
13.高溫熱處理	400,500,600,700,800°C,N ₂ ,30sec
14.背部熱蒸鍍鋁電極	500nm

表 2-2 不同濃度 HF 對 HfO₂ 蝕刻速率

沉積條件: Sputter, Ar/O₂=24/3

Post-RTA=900°C, N₂, 30sec

HF(49%)	5mins	10mins	30mins	HF(1%)	10mins	30mins
Etch 前(nm)	22.3	19.0	18.9		19.0	18.9
Etch 後(nm)	17.5	9.8	0.4		18.2	19.2
Rate(nm/min)	0.96	0.92	X		0.08	X

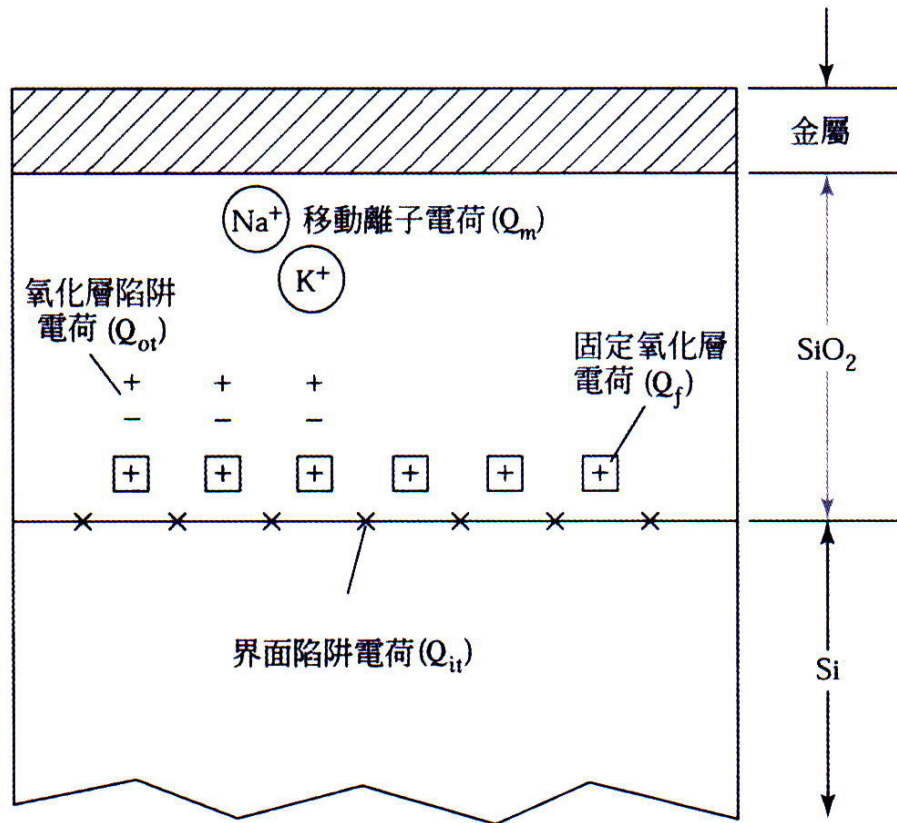


圖 2-1 MIS 電容相關電荷關係圖

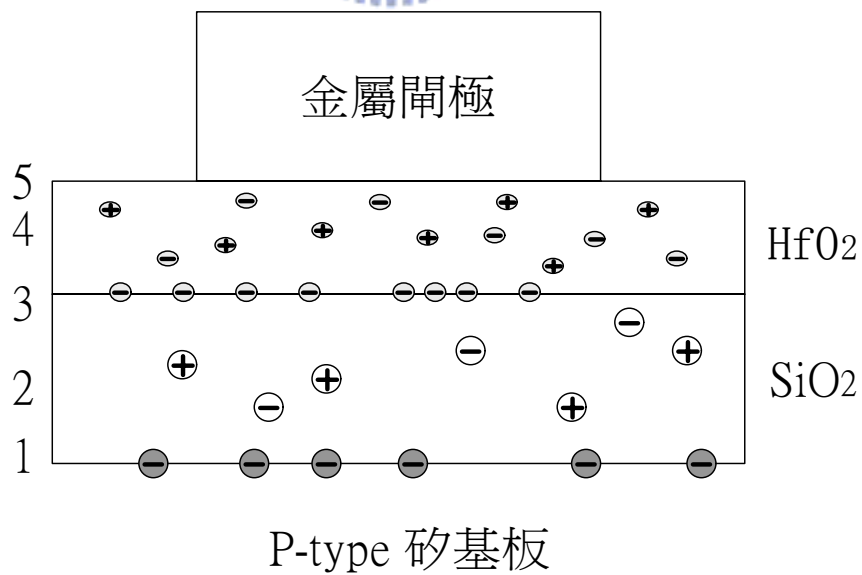


圖 2-2 模擬結構電荷分佈情形

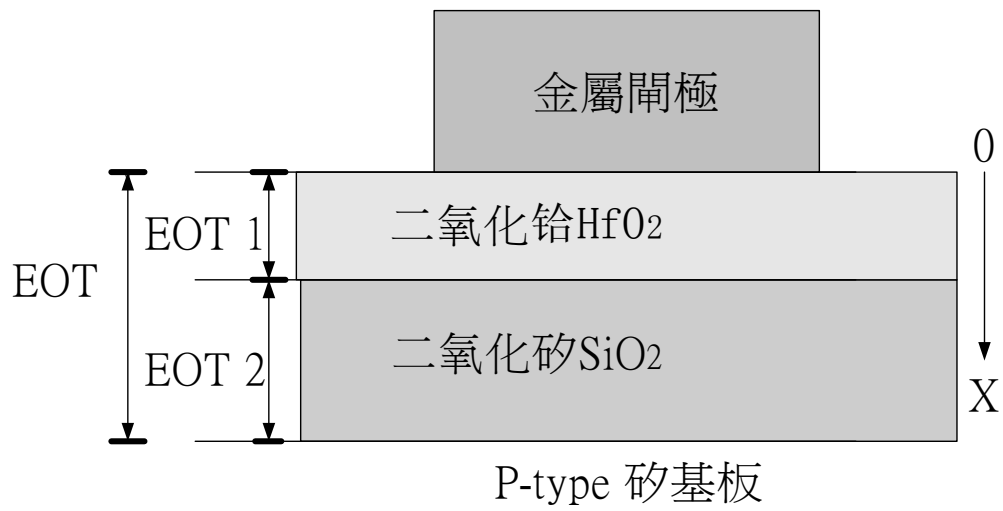


圖 2-3 (a) 計算結構的 X 軸設定及厚度參數標示圖

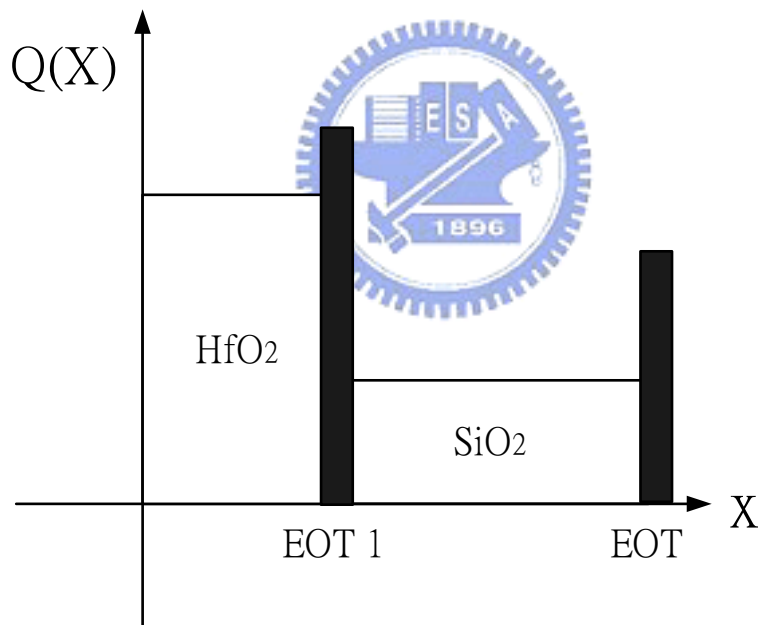


圖 2-3 (b) 氧化層陷阱電荷階梯函數設定

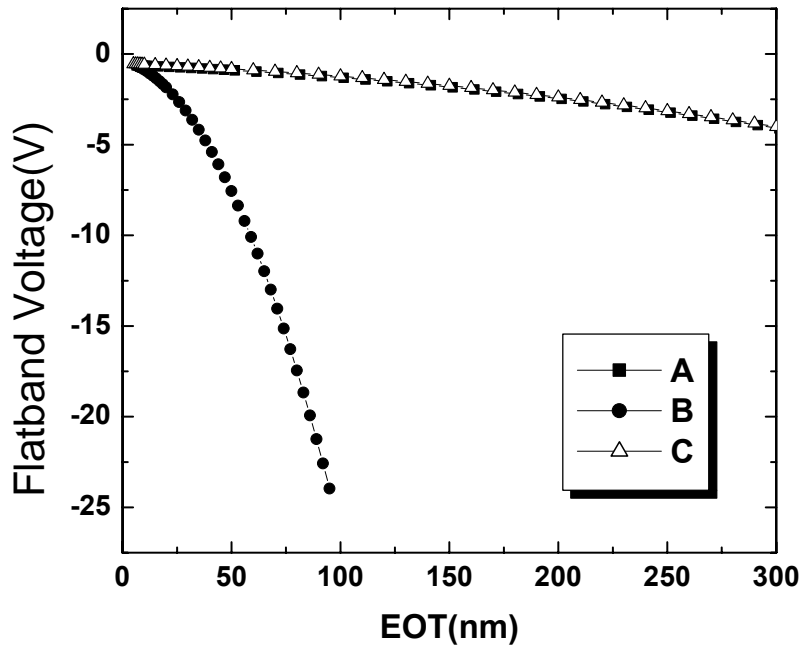


圖 2-4 在改變等效氧化層厚度上的 V_{FB} 對 EOT 的圖形

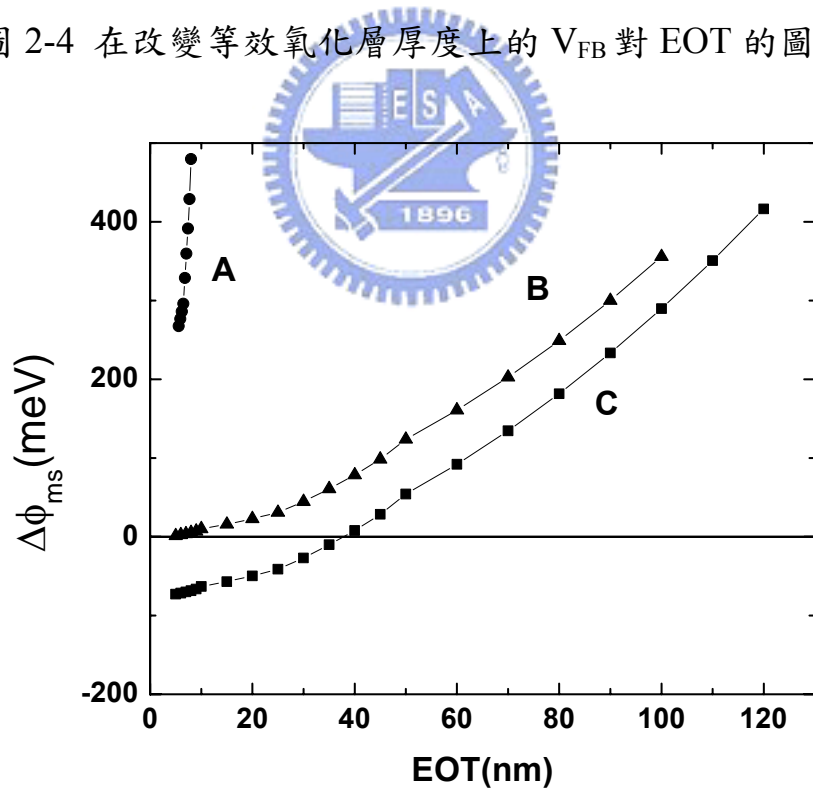


圖 2-5 在改變等效氧化層厚度上的 $\Delta\phi_{ms}$ 對 EOT 的圖形

A 組-改變 High- κ 厚度(EOT 範圍為 5~100nm)/固定 SiO_2 厚度(5nm)

B 組-固定 High- κ 厚度(5nm)/改變 SiO_2 厚度(EOT 範圍為 1~300nm)

C 組-無 High- κ /改變 SiO_2 厚度(EOT 範圍為 1~300nm)

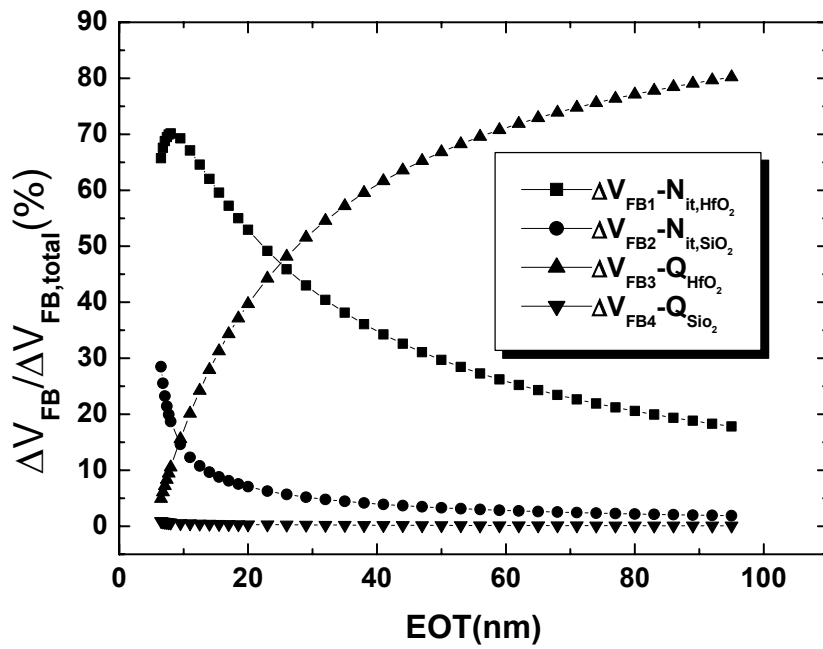


圖 2-6 改變 High- κ 厚度/固定 SiO₂ 厚度下，各種電荷造成 ΔV_{FB} 對總 ΔV_{FB} 所佔的百分比

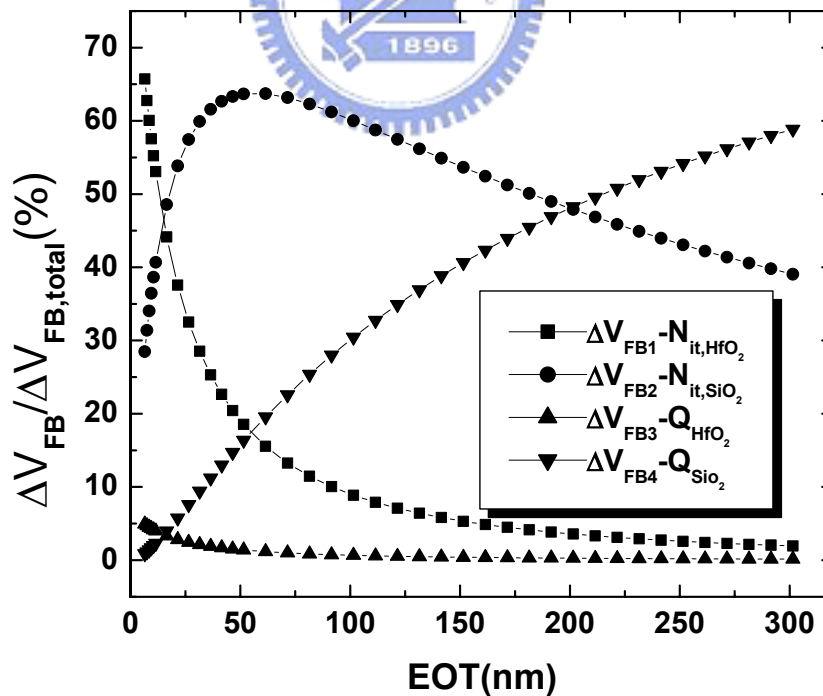


圖 2-7 固定 High- κ 厚度/改變 SiO₂ 厚度下，各種電荷造成 ΔV_{FB} 對總 ΔV_{FB} 所佔的百分比

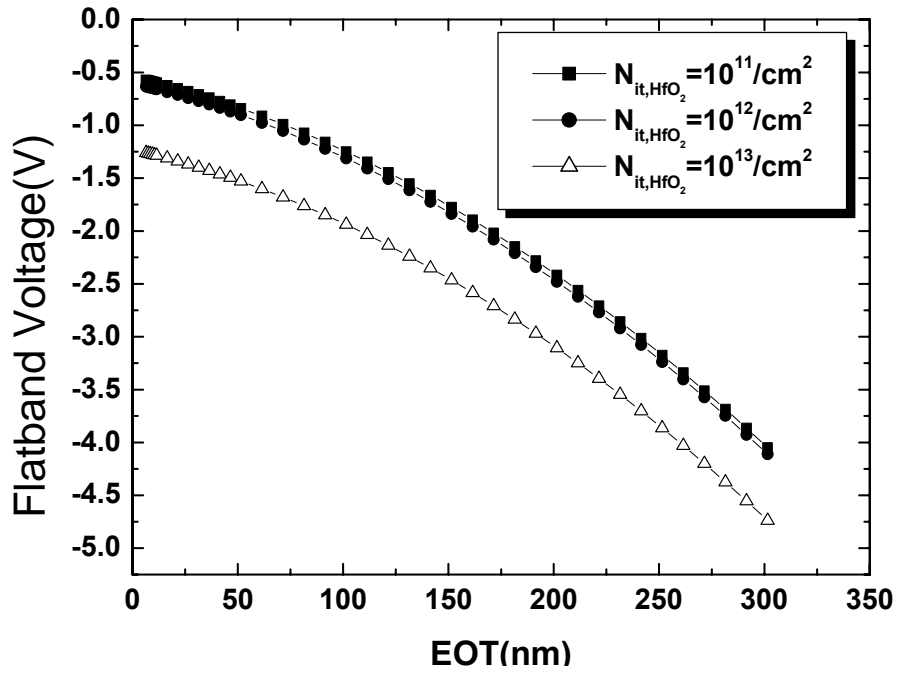


圖 2-8 (a) 改變 N_{it,HfO_2} 對 V_{FB} 曲線的影響

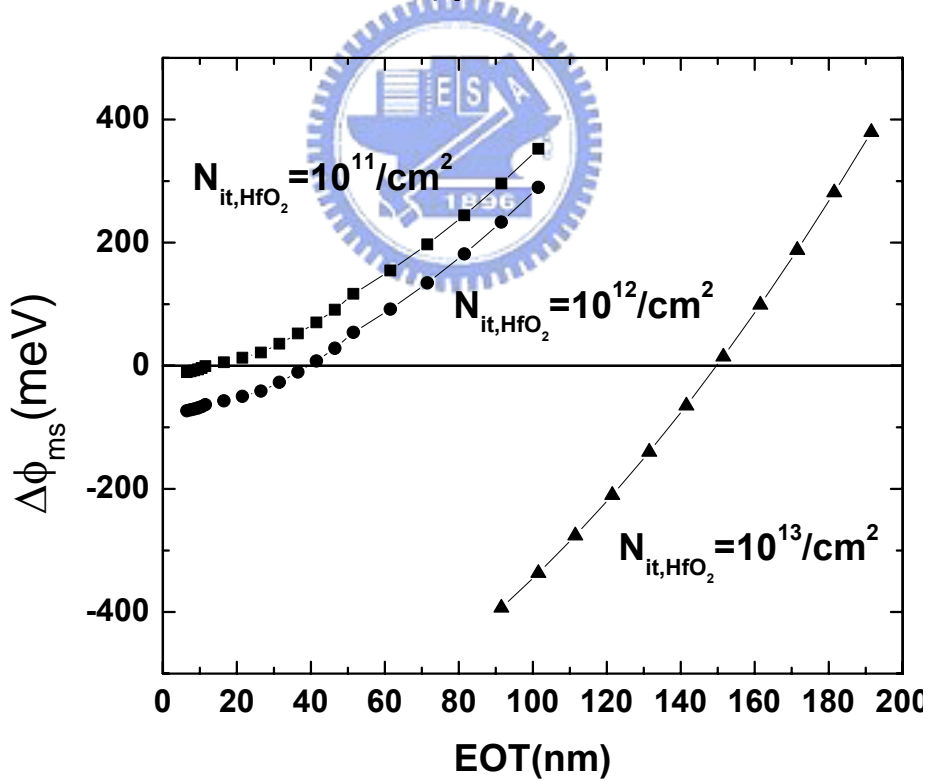


圖 2-8 (b) 改變 N_{it,HfO_2} 對 $\Delta\phi_{ms}$ 的影響

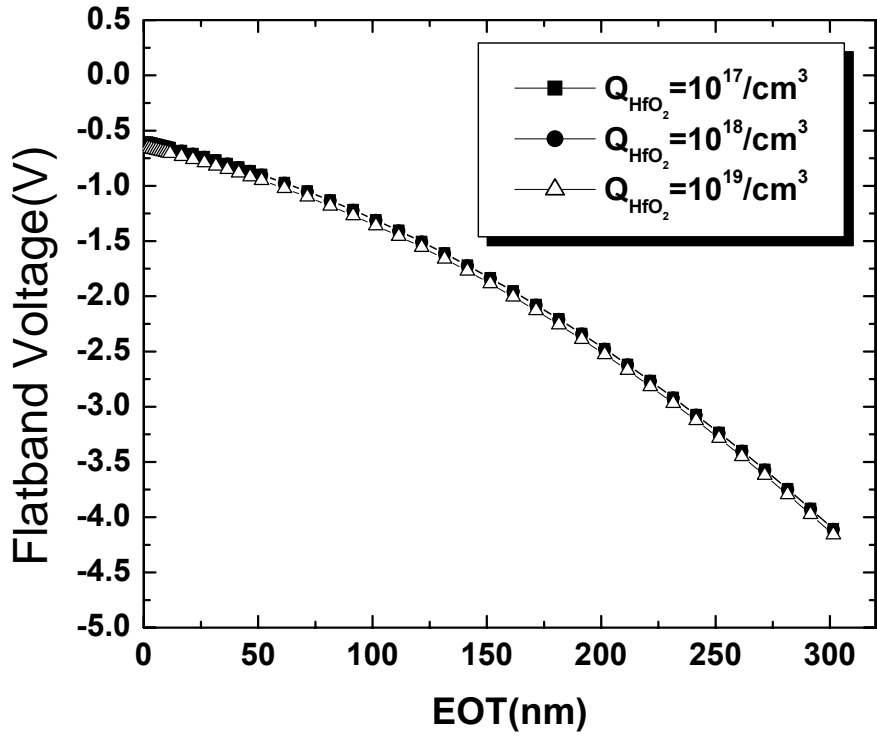


圖 2-9 (a) 改變 Q_{HfO_2} 對 V_{FB} 曲線的影響

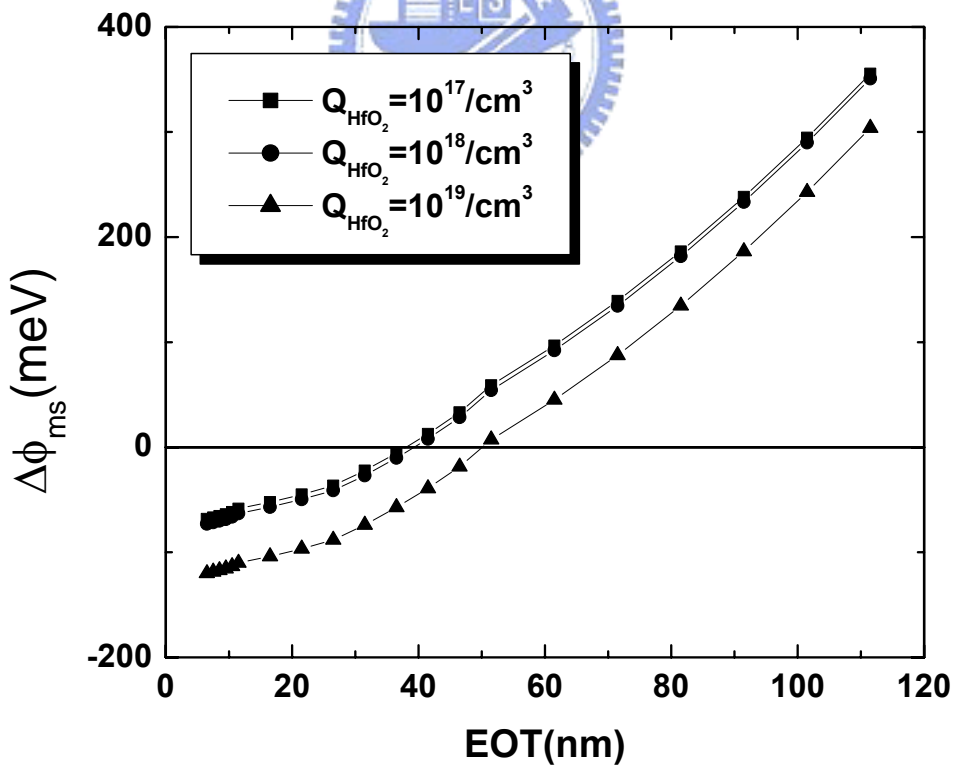


圖 2-9 (b) 改變 Q_{HfO_2} 對 $\Delta\phi_{\text{ms}}$ 的影響

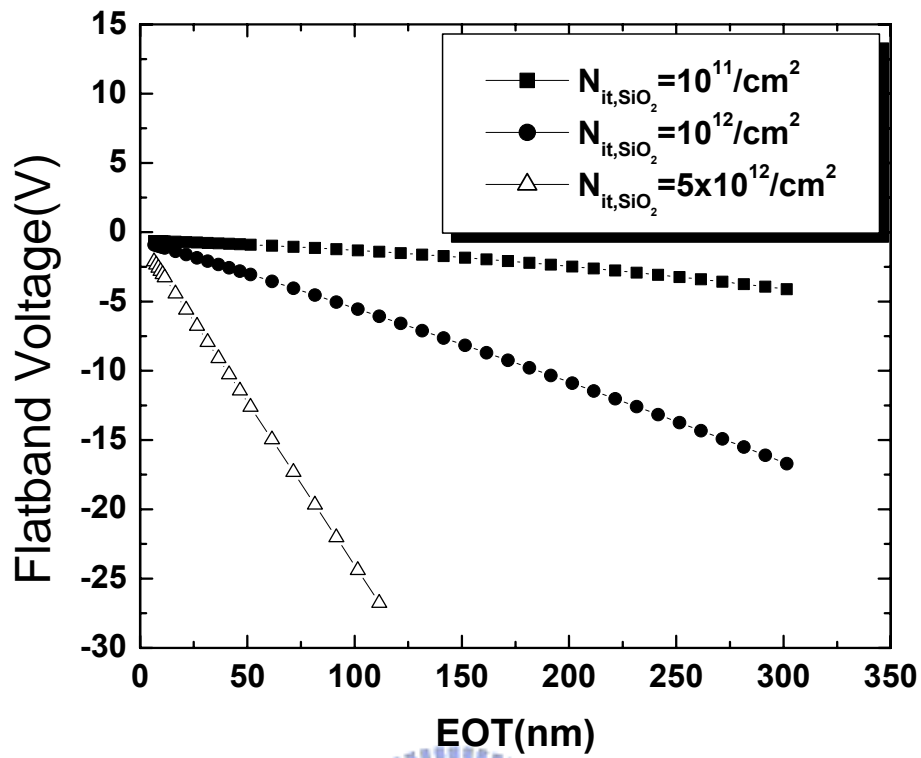


圖 2-10 (a) 改變 N_{it,SiO_2} 對 V_{FB} 曲線的影響

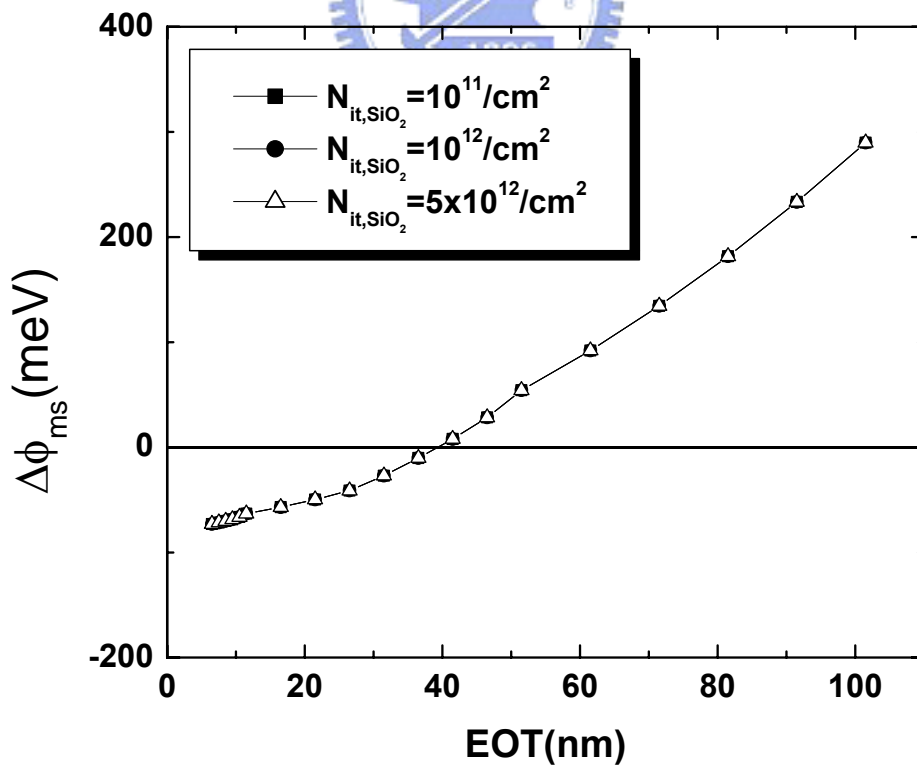


圖 2-10 (b) 改變 N_{it,SiO_2} 對 $\Delta\phi_{ms}$ 的影響

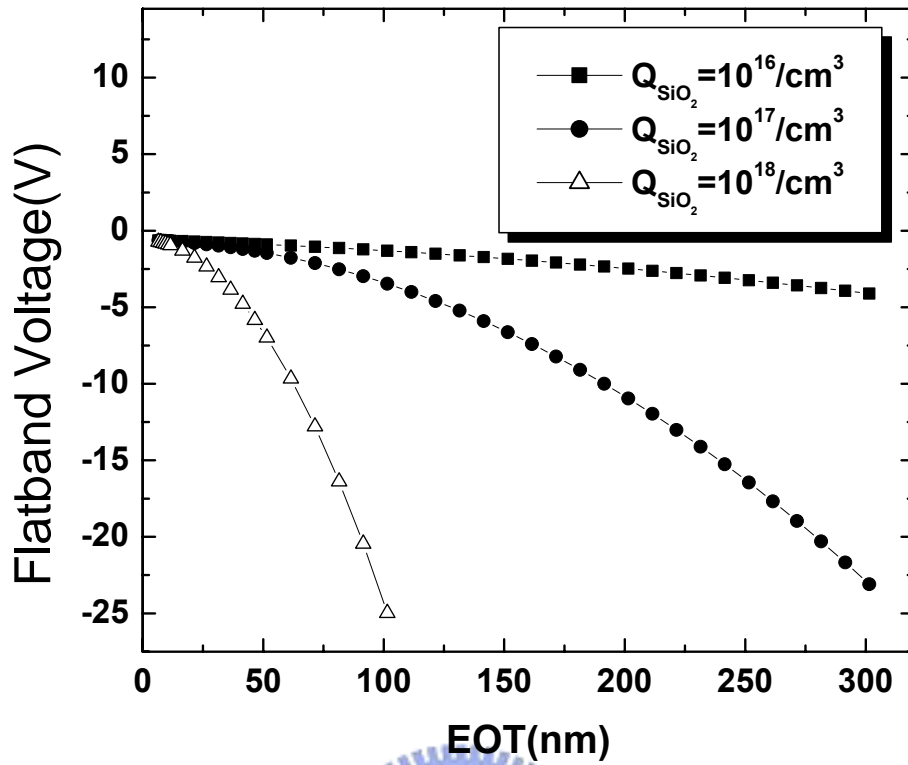


圖 2-11 (a) 改變 Q_{SiO_2} 對 V_{FB} 曲線的影響

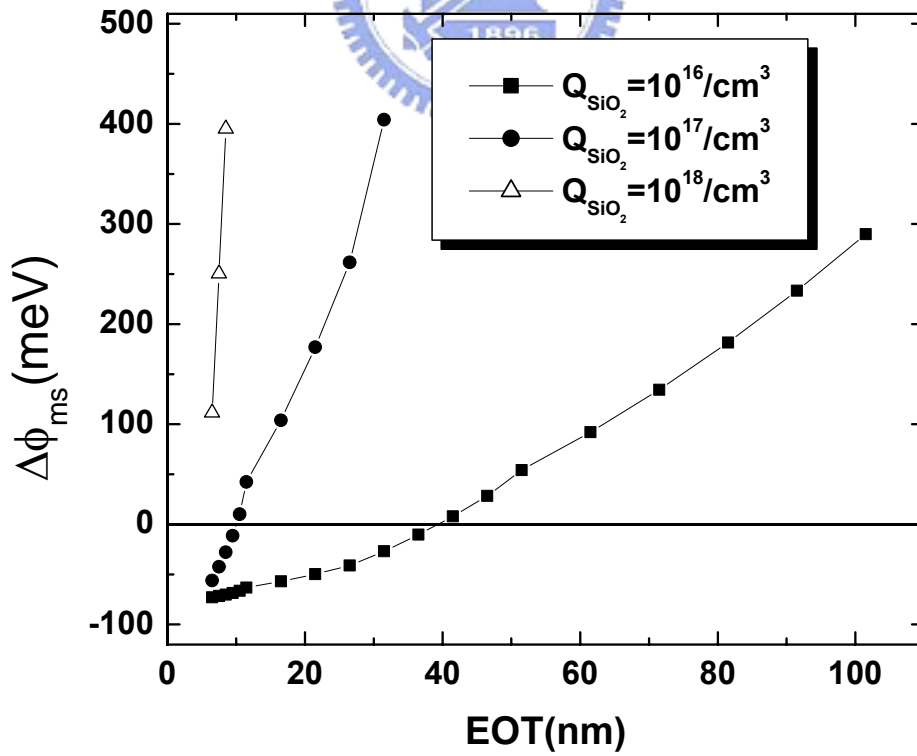
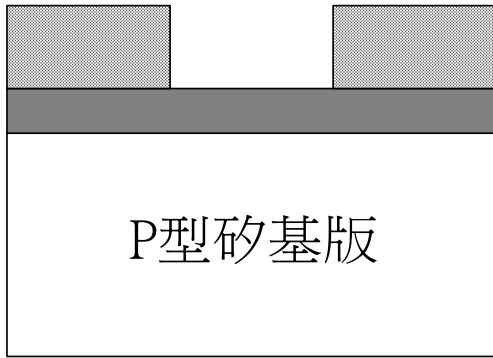
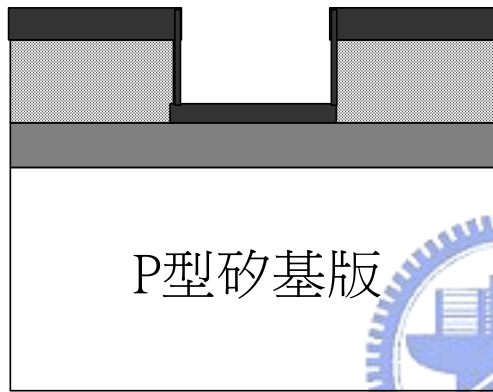


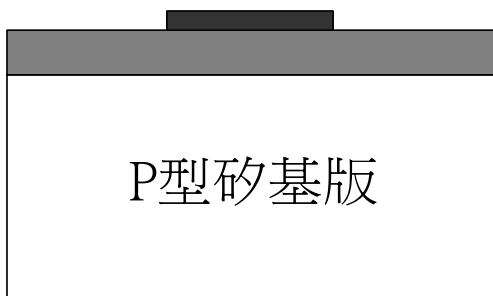
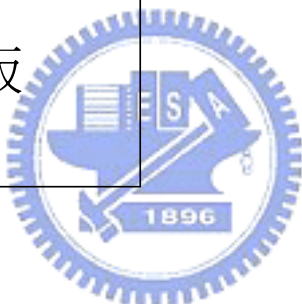
圖 2-11 (b) 改變 Q_{SiO_2} 對 $\Delta\phi_{ms}$ 的影響



旋轉塗佈光阻
 曝光
 顯影定影
 硬烤



濺鍍不同氣體比例
 的金屬閘極薄膜



用丙酮和震盪器
 掀離光阻及其上
 金屬閘極薄膜



二氧化矽



正光阻



金屬閘極薄膜

圖 2-12 掀離式製程

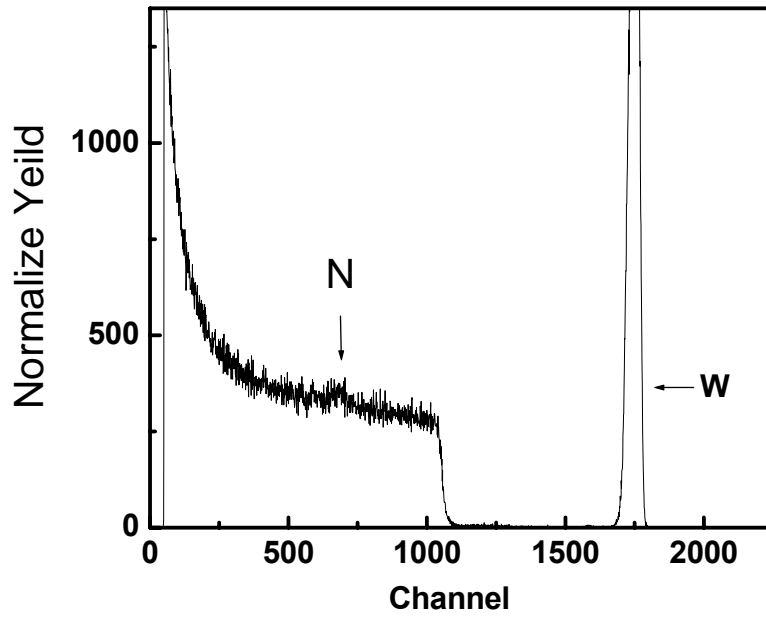


圖 2-13 金屬薄膜沈積在矽基板的 RBS 訊號

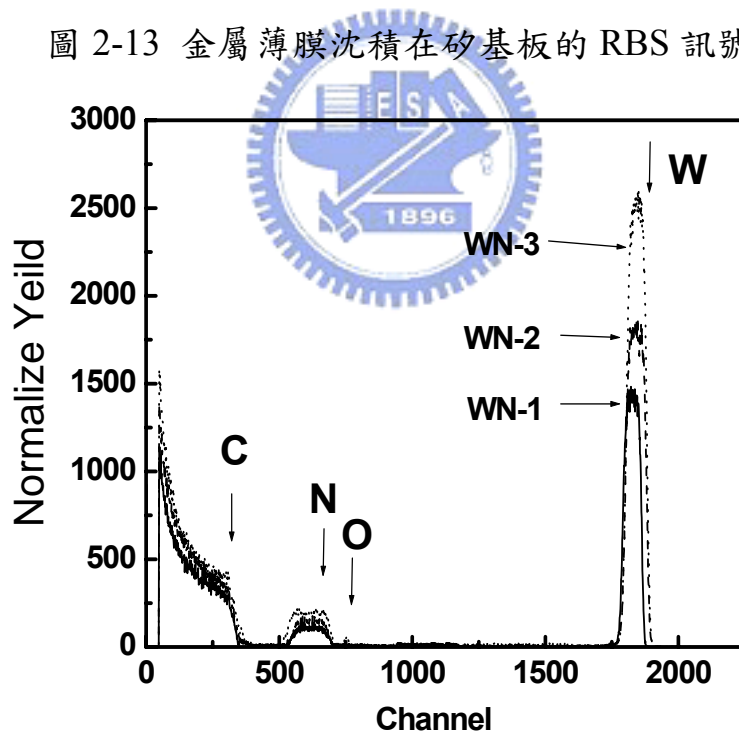


圖 2-14 金屬薄膜沈積在石墨基板的 RBS 訊號

第三章 氮化鉬的功函數調變

3-1 介紹

氮化鉬(Molybdenum nitride, MoN_x)是一種堅硬的、化學反應呈惰性、抗腐蝕性(corrosion-resistant)並且擁有良好穩定性(thermal stability)的材料。這些性質使得氮化鉬應用在半導體工業上極具吸引力。在第一章介紹時有提過，鉬本身功函數大約 4.6eV 並且在不同的介電質上具有很大的調變空間(4.2-4.9eV)。因為鉬在二氧化矽上的功函數為 4.8eV，因此除了鉬本身可以當 P 型電晶體的金屬閘極外，也希望藉由調整氮化鉬內氮原子的含量，去改變鉬的功函數，因為金屬閘極的功函數也會影響到臨界電壓(threshold voltage)，可以利用改變氮原子含量來調整之。

在這一章，我們將探討不同氮氣比例氮化鉬的功函數調變以及熱穩定性，也利用物性上的分析瞭解氮化鉬功函數調變的物理機制。除了上述外，製程上發現的濺鍍傷害(sputter damage)現象，也會在之後提到。

3-2 結果與討論

3-2-1 氮化鉬的物理特性

我們藉由拉塞福背向散射分析(RBS)得到氮化鉬的原子比例，如[圖 3-1]所示，為三種不同氮氣流量的 RBS 圖。由於是利用石墨基板，因此可以清楚的分辨出碳 C、氮 N、鉬 Mo 的訊號。有關 RBS 原子比例的解析度大約是 0.05，而理論值分析 N/Mo 的結果，MoN-1、MoN-2、MoN-3 分別是 0.85、1.0 和 1.45，MoN-0 為純金屬鉬。

[圖 3-2(a)-(c)]為 MoN-1、MoN-2、MoN-3 薄膜經過不同溫度退火後，再用廣角度 X 光薄膜繞射儀(XRD)分析薄膜的相位及晶向。我們可以發現 MoN-1 在 400°C 有 MoN(200)及 MoO_3 (110)的訊號，並且隨

著退火溫度升高，MoN(200)的繞射峰強烈增大，顯示出結晶性的增加，至於 MoO₃(110)訊號則相對減弱。此外，MoN-1 在退火溫度上升時無相位和晶向的改變。比較 MoN-1 和 MoN-2，隨著氮氣比例的提高，在 400°C 退火溫度下，MoN(200)的繞射峰較弱並且變寬，可能是氮含量增加造成結晶性降低，而且有些微非晶(amorphous)的情形產生。不過一旦退火溫度達到 600°C，Mo-N 鍵結能量增強和結晶性提高，MoN(200)繞射峰就明顯表現出來。當氮氣流量比例增加至 20/20，MoN-3 似乎退火溫度達到 800°C 才有明顯的 MoN(200)峰值(peak)。在 $2\theta = 23.34^\circ$ 的 MoO₃(110)訊號，為濺鍍製程中在表面產生的氧化，繞射峰強度非常微弱，會隨氮氣比例增加而有些微的增加。

金屬薄膜常常會有應力(stress)產生，如[圖 3-3]所示。由圖可以知道在經過退火後，氮化鉬的應力會呈現約 1.2Gpa 的張力(tensile)。

在附著性測試中，連接棒拉拔後會在與矽基板連結部分破裂而非金屬薄膜表面，表示金屬薄膜與氧化層擁有良好的附著力。所以在附著性的測試方面，氮化鉬無論是在二氧化矽或二氧化鉛上都有良好的附著力。



3-2-2 氮化鉬的電性分析

3-2-2.1 片電阻量測

根據不同氮含量的氮化鉬薄膜，經過不同退火溫度處理後所量得的片電阻，我們整理成[圖 3-4(a)]為未經過退火不同氮含量的電阻係數以及[圖 3-4(b)]為不同退火溫度 400°C 到 800°C 下，不同氮含量的氮化鉬分別對 400°C 作標準化(normalize)的電阻係數變化。由[圖 3-4(a)]當氮氣與氮氣比例在大於 20/10 之後，阻值會有明顯的增大，因為氮化鉬中氮的含量明顯增加的關係。[圖 3-4(b)]可以看出，在 600°C 之前，隨著退火溫度的增加，電阻係數都有下降的趨勢，根據 XRD 分析的結果，退火溫度升高使得結晶性的增加所造成。當退火溫度高於 800°C，電阻係數突然升高，由於在 XRD 上並沒有其他的鍵結產生，

氮化鉬薄膜也沒有色澤上的改變，只能知道氮化鉬如果有過飽和的氮原子會提早在 700°C 就發生電阻係數的現象，這需要更進一步的分析。

3-2-2.2 濺鍍傷害分析

在量測控制試片時，我們發現高瓦數的濺鍍製程會有漏電現象，並且把瓦數降低後，漏電現象有改善，如[圖 3-5(a)]所示。根據 K. Nakajima et. al 提到濺鍍金屬閘極時會因為高能量金屬粒子撞擊氧化層造成濺鍍傷害[42]。比較 I-V 曲線[圖 3-5(b)]，高瓦數的濺鍍製程似乎有濺鍍傷害產生，因此我們在兩種氧化層材料上測試了三種濺鍍瓦數加上 ICP-MS 的分析，瞭解濺鍍時適合的瓦數。[圖 3-6]為 ICP-MS 分析的結果，在濺鍍瓦數為 100 瓦，二氧化矽氧化層表面鉬原子濃度接近 10^{20} (atom/cm³)，並且撞擊深度大於 2nm。當濺鍍瓦數下降時，在氧化層表面所測到鉬原子濃度也跟著下降。由於 ICP-MS 分析鉬原子的解析度為 0.2ppb，換算成原子濃度為 3×10^{17} (atom/cm³)，因此當測量濃度小於解析度時，我們可以當作含有的鉬原子濃度很低。在濺鍍瓦數達到 25 瓦後，量測值皆小於解析度，表示氧化層表面不再有高濃度的鉬原子。在二氧化鈣氧化層表面則完全沒有濺鍍傷害產生。為了確保二氧化鈣沒有濺鍍傷害，我們把厚 5nm 的二氧化鈣全部溶解送 ICP-MS 分析，得到的鉬原子濃度依舊小於解析度 0.2ppb。這可能是因為二氧化鈣的密度與質量比二氧化矽還高，因此抵抗濺鍍傷害的能力比較好。

在傳統的電晶體製程裡，濺鍍的方式會對二氧化矽氧化層造成傷害，增加漏電流與表面缺陷電荷。但是在下一個世代使用的二氧化鈣氧化層卻可以抵抗濺鍍時的傷害，因此濺鍍製程是否可以納入新的電晶體製程是值得評估的，當然後續的可靠度分析都得再探討。

3-2-2.3 C-V 與氮化鉬熱穩定性

[圖 3-7(a)-(d)]為 MoN-0、MoN-1、MoN-2 和 MoN-3 沈積在 SiO₂ 氧化層上對不同退火溫度下量得的 CV 圖。每一個試片最少量 10 個

電容以上，每條退火溫度的 CV 曲線為該試片所有量得電容的平均值，所有試片 SiO_2 氧化層厚度為 40nm。在[圖 3-7]中，可以看出 MoN-0 純金屬鉬閘極電容十分穩定，幾乎不受退火溫度改變影響。MoN-1 在退火溫度 600°C 以下，在聚積模式(accumulation mode)有些微的失真(distortion)現象，可能是氧化層表面仍受到濺鍍時些微的傷害，界面陷阱電荷增加造成。當退火溫度達到 600°C 之後，氧化層表面陷阱電荷經過高溫復合(recover)修補，CV 曲線就近似理想的 CV 特性曲線。在 MoN-2 試片中，在退火溫度 400°C 和 500°C 時，兩者的 CV 曲線有些許的平移，表示平帶電壓的改變，根據 XRD 圖可能是氮化鉬結晶程度不同所造成，平移大約 0.1V 左右。當退火溫度在 500°C 以上，平移距離只有約 40mV，應該是結晶程度達到穩定。在退火溫度達到 600°C 以下，也發生跟 MoN-1 一樣的些微失真情形，經過高溫退火後有改善。MoN-3 顯示出當退火溫度升高，CV 曲線平移現象並不明顯，根據 XRD 分析結晶程度的結果，退火溫度得達到 800°C 才有明顯的結晶。把[圖 3-7] WN_x 每條 CV 曲線求得平帶電壓後，以 400°C 為基準，把相差的平帶電壓對溫度作圖，如[圖 3-8]。除了 MoN-2 有較大的變化外，其他平帶電壓變異量不大。

當金屬閘極沈積在二氧化鈣氧化層上，得到的圖形為[圖 3-9(a)-(d)]。由圖可以看出並無明顯的平移現象，但是在聚積模式時電容值增加緩慢，類似失真的情形。這可能是二氧化鈣與二氧化矽界面高電荷陷阱密度，多少對 CV 曲線造成影響。同樣我們使用相同方法，把[圖 3-9] 分別以 400°C 為基準，把相差的平帶電壓整理成[圖 3-10]。[圖 3-10]可以看出 MoN_x 在二氧化鈣氧化層上平帶電壓對退火溫度十分穩定。由以上看到的結果，可以得知氮化鉬金屬薄膜無論在二氧化矽或二氧化鈣氧化層上對退火溫度的熱穩定性佳。

3-2-2.4 氮化鉬功函數調變

由於不同退火溫度下 CV 曲線變異不大，因此我們取 500°C 的退火條件，每一個試片量得的 CV 曲線經過計算得到平帶電壓後，取平

均值對不同氧化層厚度作圖。[圖 3-11]為只有 SiO_2 氧化層的圖形以及 [圖 3-12]為 $\text{HfO}_2/\text{SiO}_2$ 氧化層結構的圖形。X 軸為最大電容值(C_{\max})換算的電容等效厚度(capacitance effective thickness, CET)。由[圖 3-11]，MoN-0、MoN-1、MoN-2 和 MoN-3 的斜率近似平行，符合電荷總量不變的條件。當氮氣流量比例增加，CV 曲線向 X 軸正方向移動，平帶電壓向 Y 軸正方向移動。但氮氣流量比例達到 20/10 以上，似乎已經達到飽和，因此 MoN-3 的平帶電壓只比 MoN-2 增加一點。[圖 3-12]中的 MoN-2 和 MoN-3 斜率與其他兩條不同，根據 Y. G. Shen 提出氮原子可以使氮化鉬應力變小[43]，可能使界面陷阱密度降低，斜率變大。CV 曲線平移似乎也是受到氮氣飽和影響，最後趨於一個定值。比較[圖 3-11]和[圖 3-12]可以發現後者的平帶電壓大約高 0.3V 左右，

根據平帶電壓對不同厚度作圖外插求得功函數以及不同退火溫度條件，我們整理成[圖 3-13]為只有 SiO_2 氧化層的關係圖以及[圖 3-14]為 $\text{HfO}_2/\text{SiO}_2$ 氧化層結構。在相同溫度下，每個厚度對應的平帶電壓已經取平均值。在[圖 3-13]退火溫度 500°C 時，MoN-0、MoN-1、MoN-2 和 MoN-3 的功函數大約 4.6eV、4.97eV、5.03eV、5.11eV，可以看出當氮氣流量比例增加，功函數跟著增加，直到氮氣流量比例大於 20/10 之後氮化鉬就趨於飽和，功函數也趨於一個定值。其中 N/Mo 從 0.85 到 1.45 功函數調變從 4.97eV 到 5.11eV，調變範圍為 0.14eV。另外，隨著退火溫度上升，功函數也有些微的增加，大約 40meV，根據之前 XRD 分析與 CV 圖形，應該是氮化鉬的結晶性變高的關係。在 $\text{HfO}_2/\text{SiO}_2$ 氧化層結構，[圖 3-14]同樣在 500°C 時，MoN-0、MoN-1、MoN-2 和 MoN-3 的功函數大約 4.89eV、5.31eV、5.41eV、5.37eV 比單純 SiO_2 氧化層高。同樣隨氮原子的飽和，功函數趨於一個定值。N/Mo 從 0.85 到 1.45 功函數調變從 5.31eV 到 5.41eV，調變範圍為 0.1eV。

氮化鉬在二氧化鈣氧化層上的功函數比在二氧化矽上高 0.3eV，這是個值得探討的地方。若是因為二氧化鈣為 High- κ 材料產生的耦極層屏障效應(dipole layer screening effect)，導致費米能階限制(Fermi

level pinning)，一般都會使金屬閘極功函數向矽的中間能隙限制，在 P 型矽基板上金屬閘極功函數應該會降低，與事實不符。從 WN-0 和 WN-3 的觀察比較，兩者的差距並不受氧化層的影響。因此推測可能是因為使用外插求得功函數的方法時， $\text{HfO}_2/\text{SiO}_2$ 界面陷阱電荷密度使得外插值為原本金屬閘極功函數加上該項，如式子 3-1 所示。根據 Rashmi J. et al. 提出 Q_{it,HfO_2} 為負電荷，與一般的 Q_{it,SiO_2} 為正電荷不同 [44]。因此當該項為 -0.3V， κ 值為 25 時， Q_{it,HfO_2} 濃度相當於 $6 \times 10^{12} \text{cm}^{-2}$ ，這個值的確符合普遍多數 HfO_2 元件界面陷阱電荷密度。

$$\phi_{ms}' = \phi_{ms} - \frac{1}{\epsilon_{ox}} EOT1 * Q_{it,High-\kappa} \quad \dots\dots\dots \text{式子 3-1}$$

3-3 摘要與結論

這一章探討了不同氮氣比例氮化鉬的熱穩定性以及氮化鉬功函數調變，也利用物性上的分析瞭解氮化鉬功函數調變的物理機制。根據 RBS 分析氮化鉬的 N/Mo 分別為 0.85、1.0 和 1.45。有幾個重要的特性如下：

1. MoN-1、MoN-2 和 MoN-3 的相位與晶向主要是 MoN (200)，當 N/Mo 比例提高，會有非晶情形產生，電阻係數也跟著提高。隨著退火溫度上升，相位與晶向沒有改變，結晶性會明顯的增加。
2. 金屬閘極搭配的 High- κ 材料二氧化鈣對濺鍍傷害有很高的抵抗能力，並且不會與氮化鉬有任何化學反應。
3. 氮化鉬金屬薄膜無論在二氧化矽或二氧化鈣氧化層上對退火溫度的熱穩定性佳。
4. 當氮氣流量比例增加，功函數跟著增加，直到 N/Mo 大於 1.0 之後氮化鉬就趨於飽和，功函數也趨於一個定值。由 N/Mo 從 0.85 到 1.45，功函數調變大約 0.1eV。另外，隨

著退火溫度上升，功函數也有些微的增加，大約 40meV。

從純金屬鉬到 N/Mo 比例為 1.57 的氮化鉬，功函數調變範圍可達 0.5eV，對調整臨界電壓有一定的效用。在製程溫度上，氮化鉬的氮原子含量不要過飽和太嚴重，避免熱穩定性會受到影響。片電阻過高似乎是氮化物的共同問題，會影響成為金屬閘極的條件，也是得藉由上面再堆疊低電阻的金屬來降低片電阻。

除上述之外，目前在將金屬閘極應用在二氧化鉛氧化層上，會發生費米能階限制(fermi level pinning)，讓費米能階往半導體中間能隙移動並固定住，使得所需功函數比理論值還要高。但由[圖 3-13]和[圖 3-14]，從 MoN-0 和 MoN-3 在二氧化矽和二氧化鉛氧化層上的功函數比較，兩者的差距並不受氧化層的影響，似乎不會有費米能階限制現象。這是個值得注意的地方。



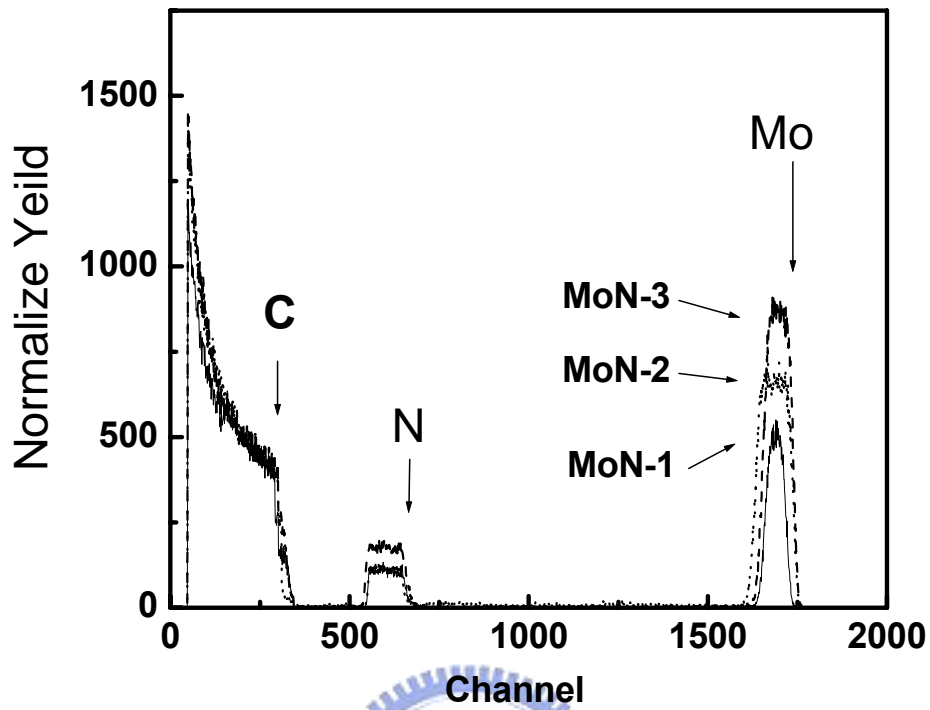


圖 3-1 氮化鉬在石墨基板上的 RBS 訊號

Ar/N₂ 流量比例，MoN-1=20/5，MoN-2=20/10，MoN-3=20/20

N/Mo 比例，MoN-1=0.85，MoN-2=1.0，MoN-3=1.45

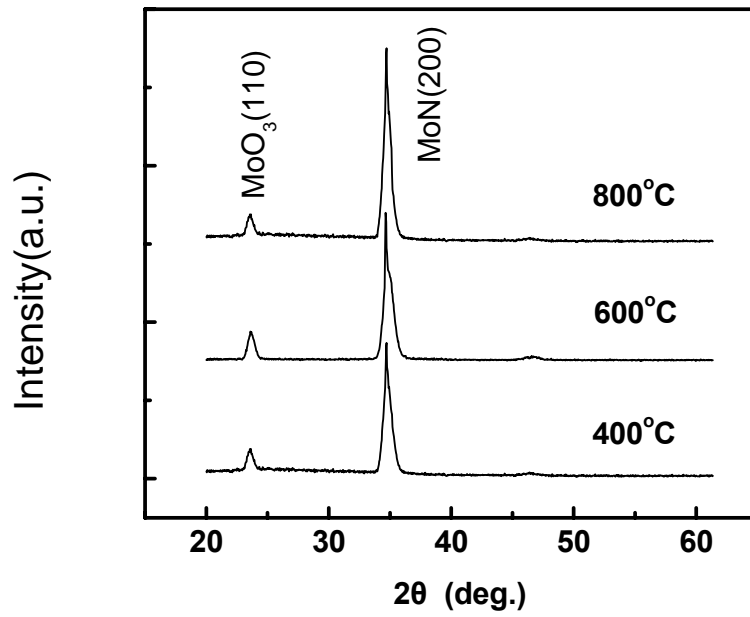


圖 3-2(a) MoN-1 在不同溫度退火下的 XRD 訊號

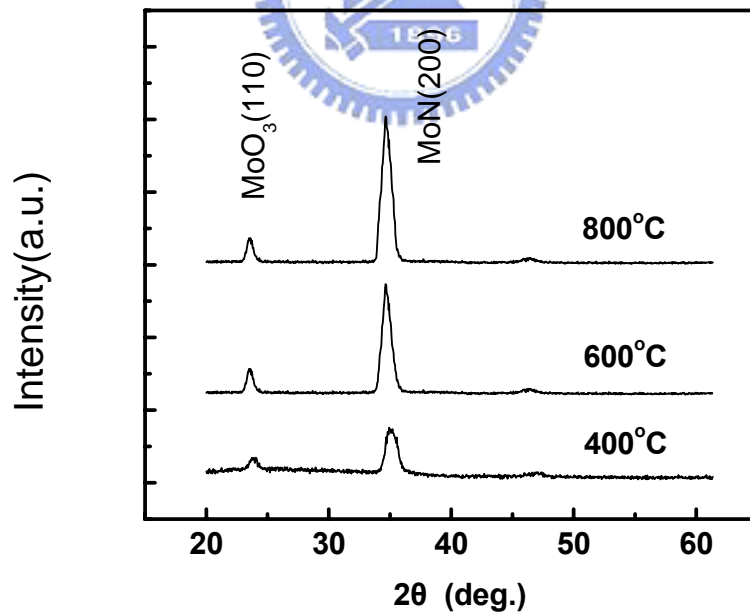


圖 3-2(b) MoN-2 在不同溫度退火下的 XRD 訊號

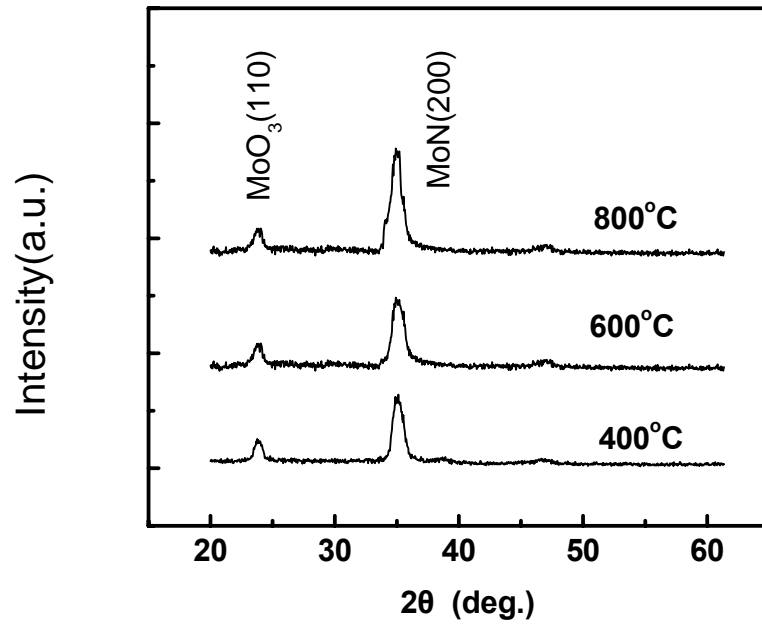


圖 3-2(c) MoN-3 在不同溫度退火下的 XRD 訊號



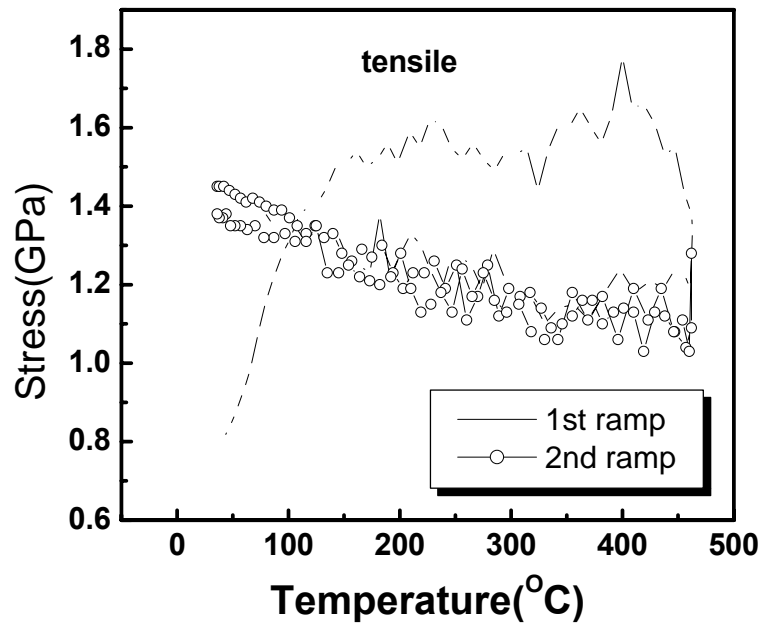


圖 3-3 MoN-2 在升溫至 500°C 退火下的薄膜應力



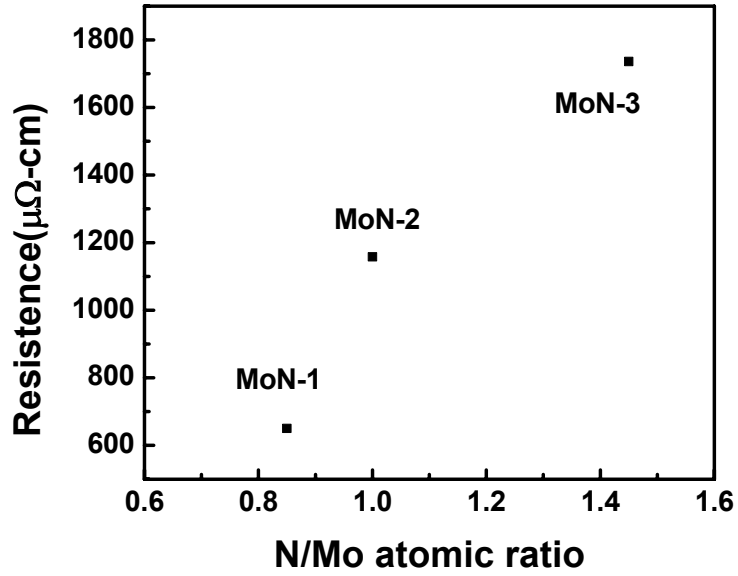


圖 3-4 (a)厚度 60nm MoN_x 剛沈積的片電阻值

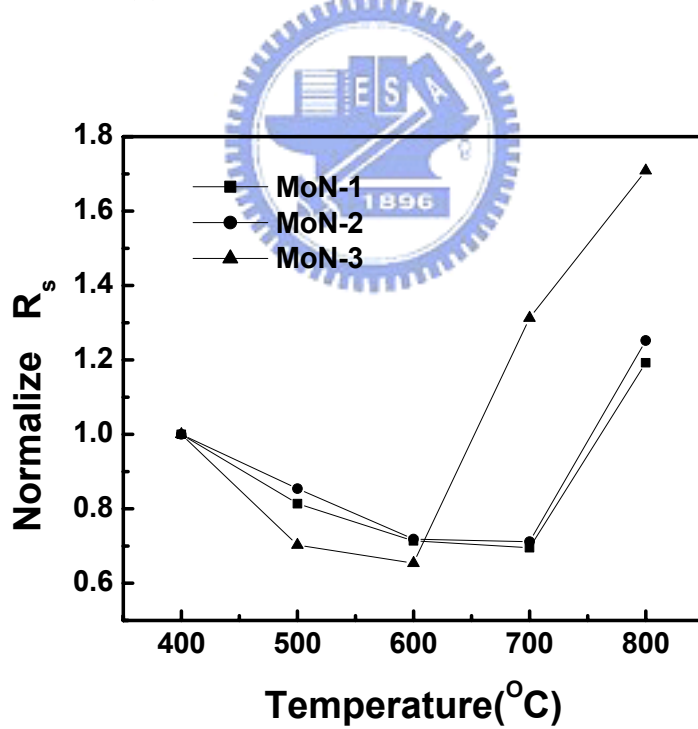


圖 3-4 (b)厚度 60nm MoN_x 片電阻值對溫度的關係圖

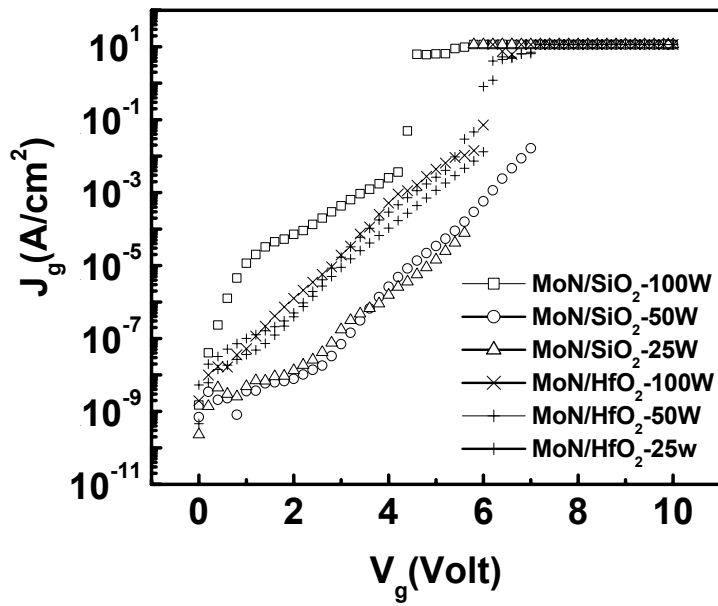


圖 3-5 (a) 不同氧化層結構的 I-V 圖

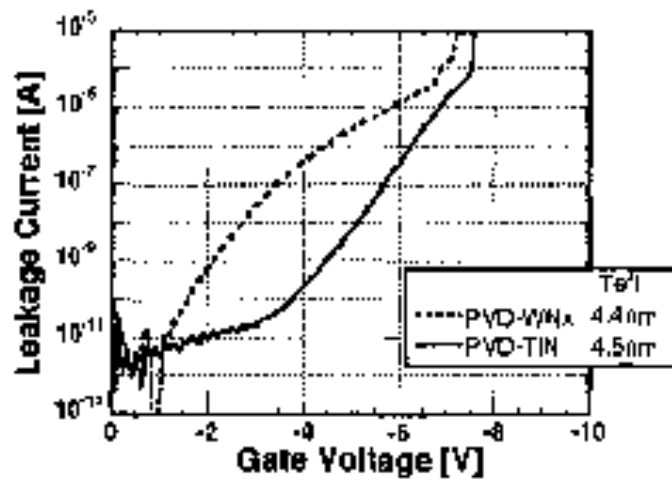


圖 3-5 (b) [42] 濺鍍傷害現象的 I-V 圖

實線為正常 I-V 曲線，虛線為濺鍍傷害 I-V 曲線。

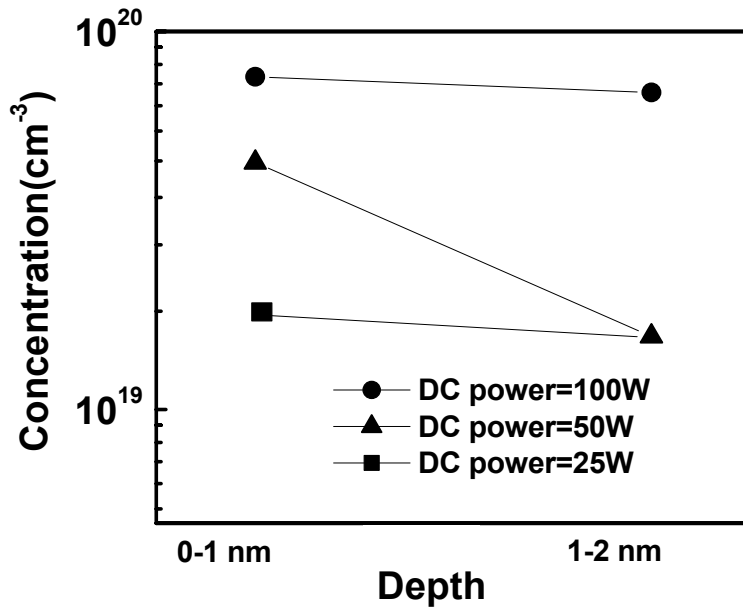


圖 3-6 (a) MoN/SiO₂ 結構的 ICP-MS 圖
 表面濃度約 10²⁰(cm⁻³)，有濺鍍傷害現象。

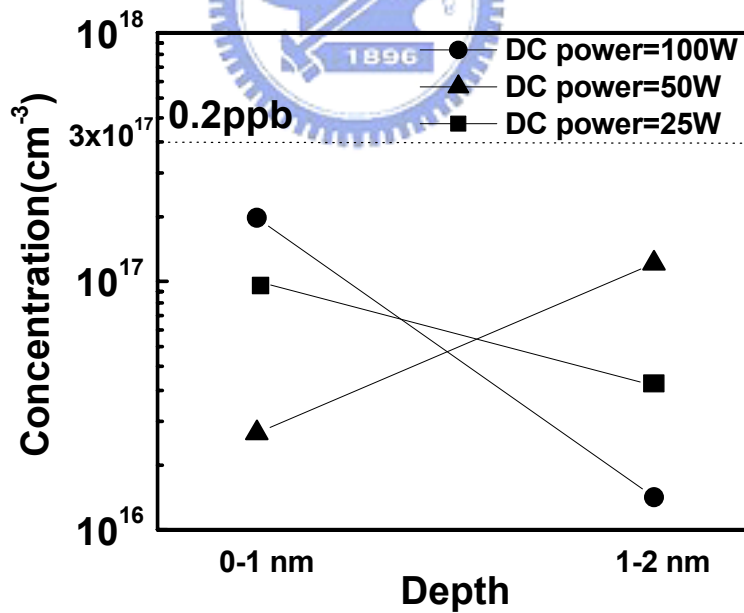


圖 3-6 (b) MoN/HfO₂ 結構的 ICP-MS 圖
 表面濃度低於解析度，無濺鍍傷害現象。

ICP-MS 解析度為 3×10¹⁷(cm⁻³)

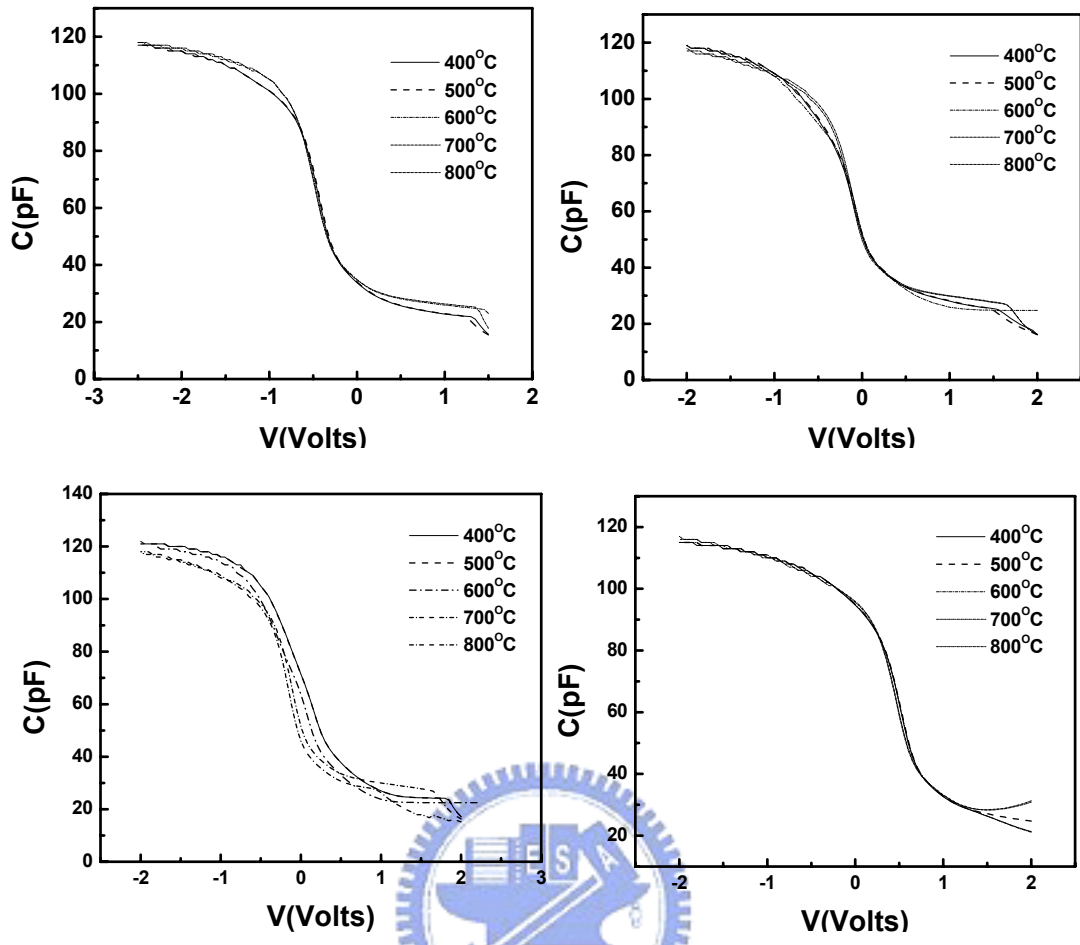


圖 3-7 $\text{MoN}_x/\text{SiO}_2(40\text{nm})$ 金屬閘極對不同溫度的 CV 圖形。

- (a) MoN-0 (b) MoN-1
(c) MoN-2 (d) MoN-3

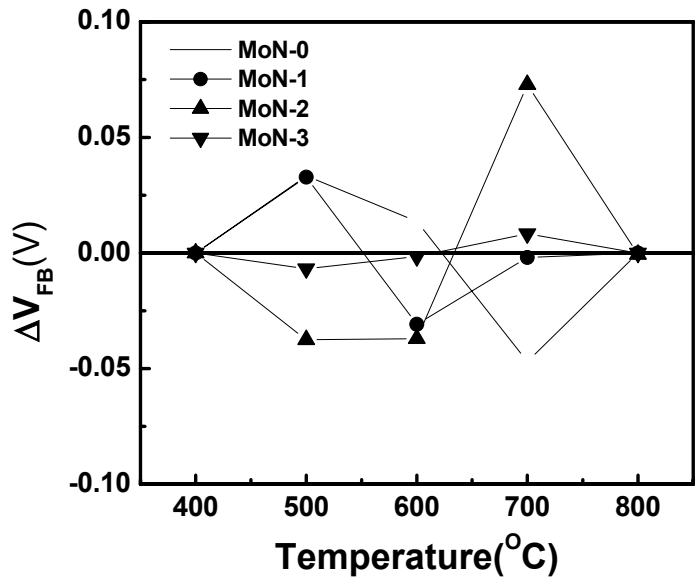


圖 3-8 $\text{MoN}/\text{SiO}_2(40\text{nm})$ 金屬閘極對不同溫度的平帶電壓變異。

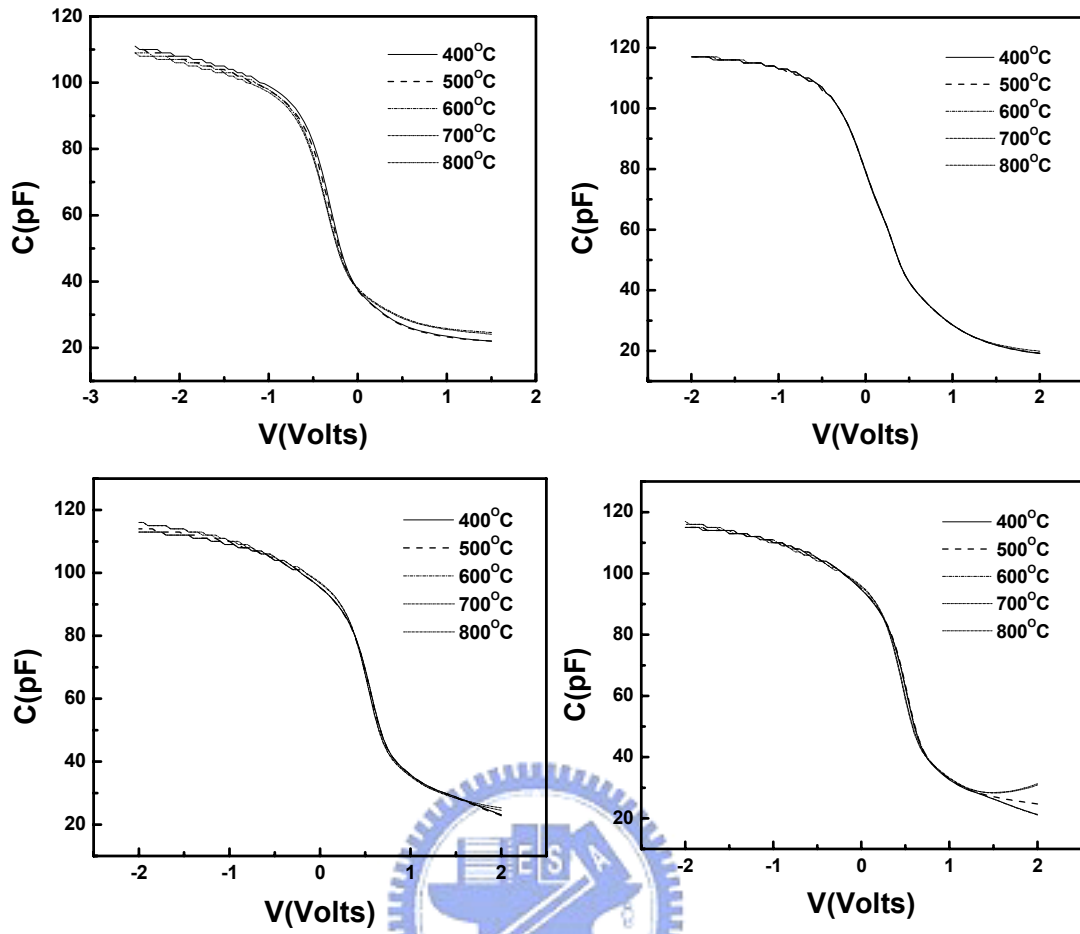


圖 3-9 Mo/ HfO₂(5nm)/SiO₂ (40nm)金屬閘極對不同溫度的 CV 圖形。

- (a)MoN-0 (b)MoN-1
- (c)MoN-2 (d)MoN-3

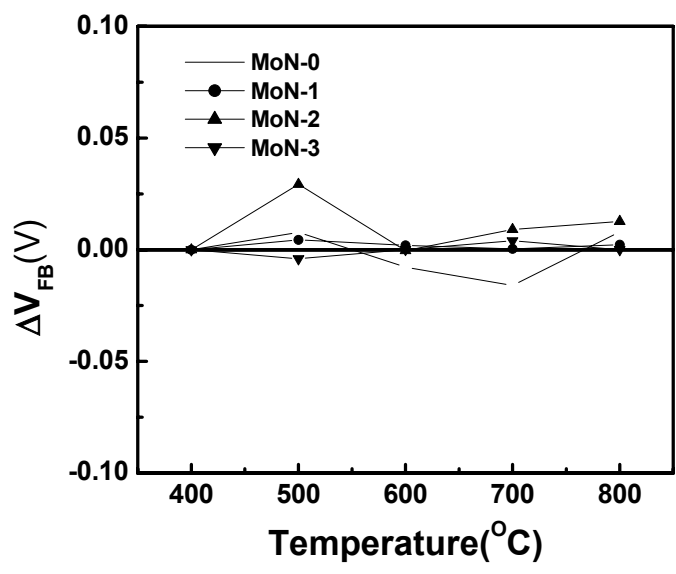


圖 3-10 MoN_x/ HfO₂(5nm)/SiO₂(40nm)金屬閘極對不同溫度的平帶電壓變異。

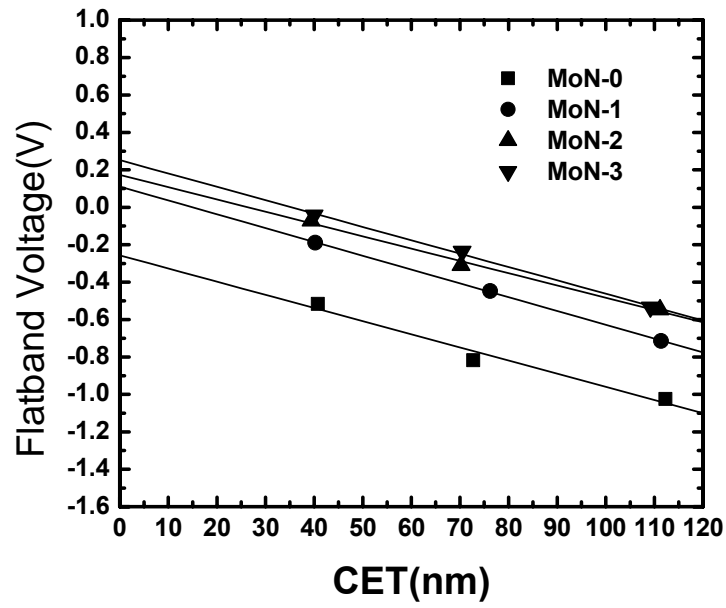


圖 3-11 MoN_x/ SiO₂
不同厚度下量得的平帶電壓

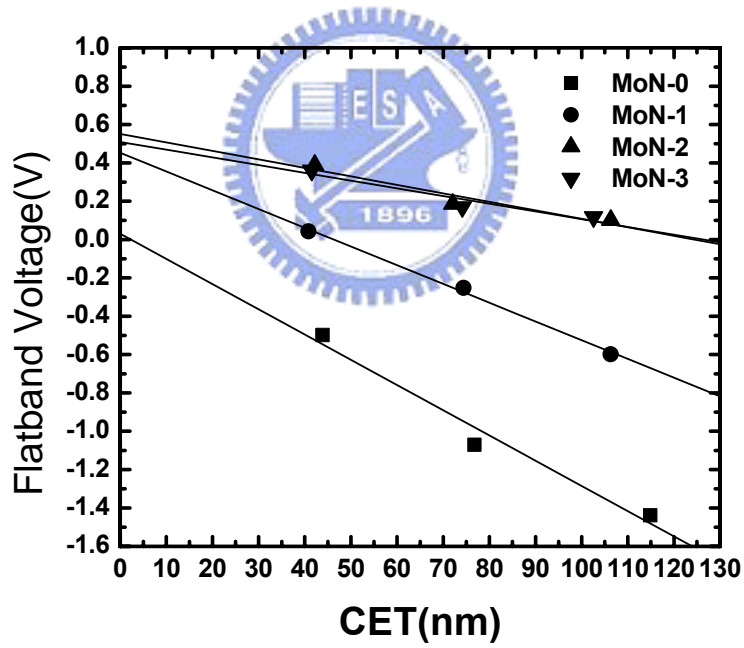


圖 3-12 MoN_x/ HfO₂(5nm)/SiO₂
不同厚度下量得的平帶電壓

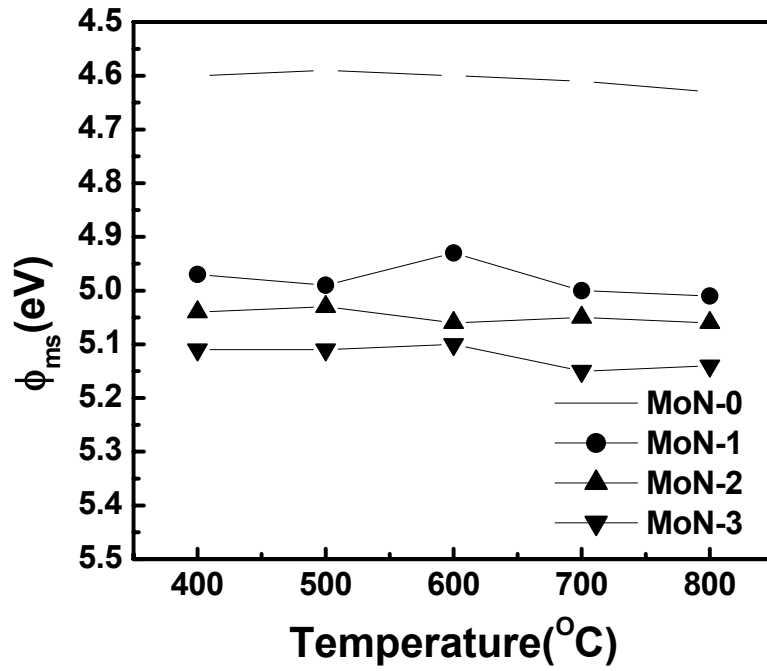


圖 3-13 MoN_x/SiO₂
不同溫度下 MoN_x 功函數的變化

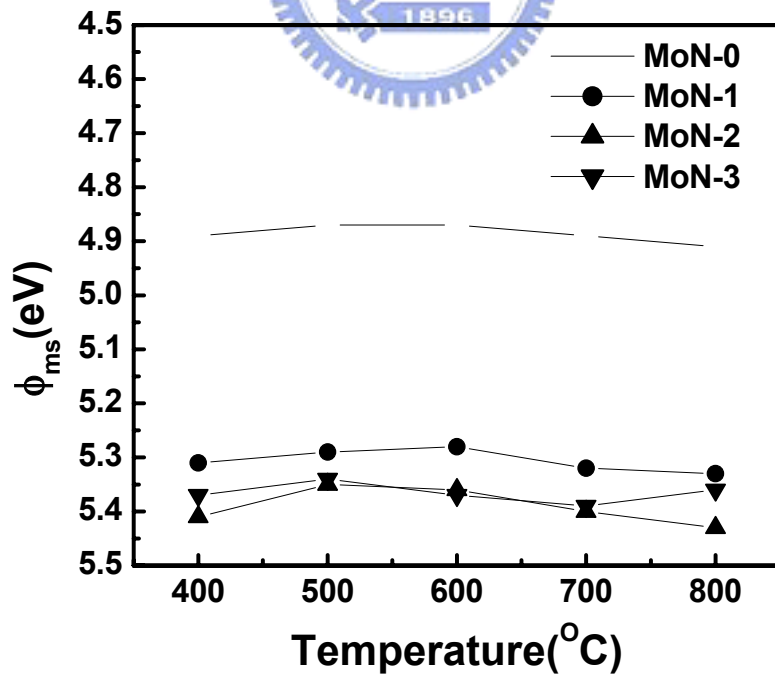


圖 3-14 MoN_x/HfO₂(5nm)/SiO₂
不同溫度下 MoN_x 功函數的變化

第四章 氮化鎢的功函數調變

4-1 介紹

在金屬閘極材料選擇上，除了第三章的氮化鉬之外，氮化鎢 (Tungsten nitride, WN_x) 也是另一個具有潛力的材料。氮化鎢同樣具有堅硬的、化學反應呈惰性、抗腐蝕性 (corrosion-resistant) 的特性。鎢本身擁有良好的熱穩定性 (thermal stability) 以及高熔點的特色。鎢的功函數大約為 4.55-4.75eV 在中間能隙 (mid-gap) 附近，因此希望由濺鍍過程加入氮氣產生氮化鎢，利用調整氮氣來改變氮化鎢的功函數。

在這一章，我們將探討不同氮氣比例氮化鎢的功函數調變以及熱穩定性。同時藉由物性上的分析瞭解氮化鎢在退火溫度處理時相位和晶向上的改變，進一步解釋功函數調變的物理機制。氮化鎢搭配二氧化鈣氧化層的等效功函數、熱穩定性、附著力也是我們的重點。除了上述外，製程上發現氮化鎢退火過程會有氣體脫附 (out gas) 的現象，會在之後提到。



4-2 結果與討論

4-2-1 氮化鎢的物理特性

我們藉由拉塞福背向散射分析 (RBS) 得到氮化鎢的原子比例，如 [圖 4-1] 所示，為三種不同氮氣流量的 RBS 圖。由於是利用石墨基板，因此可以清楚的分辨出碳 C、氮 N、氧 O、鎢 W 的訊號。有關 RBS 原子比例的解析度大約是 0.05，而理論值分析 N/W 的結果，WN-1、WN-2、WN-3 分別是 0.8、1.26 和 1.57，而 WN-0 為純金屬鎢。

[圖 4-2(a)-(c)] 為 WN-1、WN-2、WN-3 薄膜未退火及經過不同溫度退火後，用廣角度 X 光薄膜繞射儀 (XRD) 分析薄膜所得的相位及晶向。我們可以發現 WN-1 未經退火只有不明顯的 WN(100) 繞射峰，這樣微弱的 X-ray 反射訊號，顯示出此時的薄膜並沒有長範圍的結晶排

列。當退火溫度為 400°C，XRD 訊號沒有變化。隨著退火溫度升高至 600°C，WN(100)繞射峰變得十分明顯，顯示出非晶質的 WN(100)出現了有晶面間距的規則排列狀態。此外，在 $2\theta = 23.14^\circ$ 和 $2\theta = 47.26^\circ$ 也有明顯增強的 $\text{WO}_3(001)$ 和非常微弱的 $\text{WO}_3(002)$ 訊號，可能是濺鍍時腔體內微量的氧原子造成，並且根據 T. G. Shen 提到氮化鎢內的氧會飄移到表面形成氧化鎢[45]。在 800°C，WN(100) 和 $\text{WO}_3(001)$ 繞射峰強度不變。未經退火 WN-2 的 WN(100) 繞射峰與 WN-1 相似。當退火溫度為 400°C，已經有明顯的 WN(100) 繞射峰，由 RBS 分析，應該是 WN-2 的 N/W 為 1.26 較 WN-1 的 0.8 有更多的氮原子可供鍵結的關係。當退火溫度到達 600°C，WN(100) 強度略變大且 $2\theta = 35.24^\circ$ 比 WN-1 $2\theta = 35.84^\circ$ 略微偏左，可能有晶格常數膨脹的情形。以 W-N 的鍵結，N/W 應為 1 附近，但 WN-2 的 N/W 為 1.26，推測有過多的氮原子填充在晶格中，造成晶格常數的膨脹[46]。同樣在退火溫度達到 800°C，WN(100) 的訊號不變。在[圖 4-2(c)]看到未經退火的 WN-3 幾乎打不出 WN(100) 的訊號，顯示 W-N 鍵結很弱。在同樣 400°C 退火溫度，WN(100) 繞射峰卻沒有如 WN-2 般的強度。根據 K. J. Huber 的研究指出，當氮化鎢內的氮原子濃度太高，由 XPS 分析得知 W-N 鍵結能量會上升，所以不易形成 WN 結晶[47]。因此同樣 400°C 退火，WN 繞射峰強度較弱。相同的原因下，隨著退火溫度上升到 600°C，WN(100) 峰值也較 WN-2 小。直至退火溫度到 800°C，才與 WN-2 同樣強度。由以上 XRD 分析可以看出氮化鎢除了有過量的氮原子填充在晶格之外的位置上，W-N 鍵結強度也會受到氮原子濃度與退火溫度影響。WN 和 WO_3 在退火溫度達到 800°C 後，兩者訊號強度都沒有再變化，表示退火過程並不氧化，這一點與氮化鉬情形不同。

未經退火的氮化鎢是呈現壓縮應力(compressive stress)，由[圖 4-3]。經過退火後，氮化鎢的應力會慢慢減少到約 -0.2Gpa 的壓縮應力。因此退火過程可以使壓縮應力變小，這可能有助於減少界面的缺陷電荷。

在附著性的測試方面與氮化鉬相同，會在與矽基板連結部分破裂

而非金屬薄膜表面。這表示氮化鎢無論是在二氧化矽或二氧化鈣上都視為擁有良好的附著力。

4-2-2 氮化鎢的氣體脫附現象

一般退火處理方式有快速熱退火(rapid thermal anneal, RTA)和爐管熱退火(furnace thermal anneal)兩種。當我們利用 RTA 對氮化鎢作退火處理時，發現沈積的氮化鎢薄膜會有氣泡產生，如[圖 4-4]為 SEM 照片所示，並隨著退火溫度增加有更嚴重的趨勢，如表 4-1。一般氣泡的產生可能是沈積薄膜前試片表面含有水氣，然而我們在高真空狀態下濺鍍金屬薄膜，因此不太可能會有水氣存在。由 XRD 分析知，退火溫度高，WN 有規則結晶範圍會變大，因此我們假設在 RTA 退火過程中，會有氮脫附，造成氣泡產生，甚至 RTA 溫度太高時，來不及脫附而漲破金屬薄膜。為了偵測釋出的氣體成分，我們利用了熱脫附常壓游離質譜儀(TDS)分析。TDS 加熱系統主要是慢速升溫，每分鐘上升 20°C，近似於爐管熱退火的升溫方式。由[圖 4-5(a)]可以看出在氬氣環境下，氮氣的背景值離子電流強度大約 10^{-11} (A)。經由升溫至 800°C 並維持 10 分鐘後，由[圖 4-5(b)]可以看出質量為 28 的氮氣離子電流強度隨溫度上升而增強。在維持 800°C 十分鐘時，氮氣離子電流強度開始下降，最後回到背景值。由於其他氣體例如：質量為 16 的氧和質量為 18 的水都不隨溫度變化而改變離子電流強度，因此可以判定造成氣泡的氣體為 WN 脫附的 N_2 。除了知道脫附的是氮氣外，我們也發現經過高溫慢速熱退火後，由 SEM 照片看不出氮化鎢表面有任何龜裂或氣泡產生。這應該是升溫速度較慢，氮氣可以藉由擴散慢慢脫附離開試片。而 RTA 升溫太快，大量的氮氣釋出，來不及擴散出 WN 薄膜，故形成氣泡。因此不同於氮化鉬的 RTA 退火方式，對於後續的實驗裡，氮化鎢我們採用慢速升溫的爐管熱退火處理，升溫速度每分鐘 20°C。

4-2-3 氮化鎢的電性分析

4-2-3.1 片電阻量測

根據不同氮含量的氮化鎢薄膜(60nm)，經過不同退火溫度處理後所量得的片電阻，我們整理成[圖 4-6(a)]為未經過退火不同氮含量的電阻係數以及[圖 4-6(b)]為不同退火溫度 400°C 到 800°C 下，不同氮含量的氮化鎢分別對 400°C 作標準化(normalize) 的電阻係數變化。在[圖 4-6(a)]的電阻係數都非常大，由 XRD 我們可以知道因為未退火的氮化鎢相位為 WN，而 WN_x 有很高的電阻係數(1000-4500 $\mu\Omega-cm$)[47]。而氮氣流量增加，使得填充在晶格內的氮原子增加，電阻係數自然上升。在 600°C 之前，根據 XRD 分析的結果，退火溫度升高使得結晶性增加，因此電阻係數有下降的趨勢。當退火溫度大於 600°C，WN 漸漸釋出氮氣，電阻係數下降，最後趨近於定值。

4-2-3.2 C-V 與氮化鎢熱穩定性

[圖 4-7]為 WN-0、WN-1、WN-2 和 WN-3 沈積在 SiO₂ 氧化層上對不同退火溫度下量得的 CV 圖。每一個試片最少量 10 個電容以上，每條退火溫度的 CV 曲線為該試片所有量得電容的平均值，所有試片 SiO₂ 氧化層厚度為 30nm。把[圖 4-7] WN_x 每條 CV 曲線求得平帶電壓後，以 400°C 為基準，把相差的平帶電壓對溫度作圖，如[圖 4-8]。在 WN-0 試片中，可以看出純金屬鎢閘極電容十分穩定，幾乎不受退火溫度改變影響。[圖 4-8]顯示出 WN-1 在退火溫度從 400°C 到 800°C，CV 曲線變異大約在 0.1V 內。在 WN-2 和 WN-3 試片中，在退火溫度 400°C 和 500°C 時，有些微失真的現象，可能是過多的氮原子造成晶格常數膨脹。由[圖 4-8]可以看出 CV 曲線的飄移(ΔV_{FB})分為 WN-0、WN-1 和 WN-2、WN-3 兩組，與氮原子濃度有關。一旦退火溫度到 600°C，CV 飄移情形就有改善。此外，當退火溫度升高，CV 似乎向右飄移，表示界面有負電荷產生。如果是應力產生的電荷，一般都是正電荷，加上退火後壓縮應力會減小，與現象不符。我們只能推測高濃度的氮在高溫退火時，可能在二氧化矽界面上有 Si-N 鍵結，產生

負電荷，使得 CV 向右飄移。而這影響會隨著足夠的退火溫度，藉由氮氣脫附而減少。

當金屬閘極沈積在二氧化鈣氧化層上，如同上述的方法，得到 CV 圖形為[圖 4-9]，以及整理成[圖 4-10]。WN-0 同樣十分穩定，但其他氮化鎢變異量隨氮化鎢內的氮原子增加而變大。失真情況在經過高溫退火後，有改善的情況。由 CV 的量測可以發現氮化鎢在二氧化鈣上變異幅度較小，是不是 HfO_2 比較不易與氮原子產生鍵結，這都得需要進一步的分析。

4-2-3.3 氮化鎢功函數調變

我們取 600°C 的退火條件，每一個試片量得的 CV 曲線經過計算得到平帶電壓後，取平均值對不同氧化層厚度作圖。[圖 4-11]為只有 SiO_2 氧化層的圖形以及[圖 4-12]為 $\text{HfO}_2/\text{SiO}_2$ 氧化層結構的圖形。X 軸為最大電容值 (C_{\max}) 換算的電容等效厚度 (capacitance effective thickness, CET)。由[圖 4-11]，當氮氣流量比例為 20/5，WN-1 平帶電壓比 WN-0 向 Y 軸正方向移動將近 0.5V。隨著氮氣流量增加，平帶電壓沒有繼續往正方向平移反而向 WN-0 方向移動。在[圖 4-12]，除了整體比[圖 4-11]向下平移之外，趨勢上與二氧化矽差不多，一樣也是氮氣流量越大，越往 WN-0 移動。根據平帶電壓對不同厚度作圖外插求得功函數以及不同退火溫度條件，我們整理成[圖 4-13]為只有 SiO_2 氧化層的關係圖以及[圖 4-14]為 $\text{HfO}_2/\text{SiO}_2$ 氧化層結構。在相同溫度下，每個厚度對應的平帶電壓已經取平均值。在[圖 4-13] 退火溫度 600°C 時，WN-0、WN-1、WN-2 和 WN-3 的功函數大約 4.6eV、5.11eV、5.03eV、4.96eV，可以看出功函數變化分兩個階段。從 WN-0 到 WN-1 一下子就相差 0.51eV，表示從純金屬鎢到氮化鎢之間有明顯的功函數差異。接著從 WN-1 到 WN-3，當氮氣流量比例增加，功函數減少。對照 600°C 的 XRD 圖，發現當 WN(100)繞射峰越強，與 WN-0 的距離就越大。當 WN(100)繞射峰越強表示氮化鎢薄膜結構越完整，而當薄膜結構不完整時，在功函數上會呈現偏低的情形。其中

WN-1 繞射峰強度最強，可能是 WN-1 不會有過多的氮原子阻礙鍵結的關係，所以差異最大。WN-3 有過飽和的氮原子影響鍵結，繞射峰強度最弱，因此調變量會偏低，與 WN-0 的功函數相差最小。N/W 從 0.8 到 1.57 功函數調變從 5.11eV 到 4.96eV，調變範圍只有 0.15eV。另外，隨著退火溫度上升至 800°C，與 400°C 相比，功函數也有些微的增加，根據之前 XRD 分析與 CV 圖形，可能是氮化鎢內的結構變完整的關係。在退火溫度高時，氮氣的脫附以及鍵結完整，造成各種 WN 的 N/W 差距縮小，利用改變氮氣含量的可調變範圍就變小了。

在 HfO₂/SiO₂ 氧化層結構，[圖 4-14]退火溫度 600°C 時，WN-0、WN-1、WN-2 和 WN-3 的功函數大約 4.77eV、5.14eV、5.08eV、4.92eV，比單純 SiO₂ 氧化層高。在功函數變異方面，從 WN-0 到 WN-1 只增加 0.37eV，比單層 SiO₂ 氧化層低 0.14eV。如果沒有費米能階限制 (Fermi Pinning) 現象，閘電極功函數應該和介電層無關。因此在 HfO₂ 氧化層上的功函數調變幅度低於在 SiO₂ 氧化層上的調變幅度，表示氮化鎢的金屬閘極在 HfO₂ 氧化層上有功函數限制的問題，這和第三章的氮化鉬不同。接著從 WN-1 到 WN-3，當氮氣流量比例增加，功函數減少。N/W 從 0.8 到 1.57 功函數調變從 4.92eV 到 5.14eV，調變範圍為 0.22eV。

從第三章氮化鉬的功函數調變，我們發現由於 HfO₂/SiO₂ 的高密度界面陷阱電荷，在外插求得功函數的方法下，會使氮化鉬在 HfO₂ 氧化層上的功函數比在 SiO₂ 氧化層上增加了 0.3eV 左右。因為氮化鉬與氮化鎢試片使用的 HfO₂ 以及 SiO₂ 氧化層都是同時成長的，介面態應該相同，也應該對外差取得的功函數有相同的影響，但相較之下，氮化鎢在 HfO₂ 氧化層上的外差功函數值比在 SiO₂ 氧化層上只增加了不到 0.1eV，這也佐證費米能階限制 (Fermi level pinning) 的發生。至於被限制的費米能階真正位置，得需進一步的研究與探討。

4-3 摘要與結論

這一章探討了不同氮氣比例氮化鎢的熱穩定性以及氮化鎢功函數調變，也利用物性上的分析瞭解氮化鎢功函數調變的物理機制。根據 RBS 分析氮化鎢的 N/W 分別為 0.8、1.26 和 1.57。有幾個重要的特性如下：

1. WN-1、WN-2 和 WN-3 的相位與晶向主要是 WN (100)，而 WN-2 和 WN-3 有晶格常數膨脹現象。隨著退火溫度上升，相位與晶向沒有改變，繞射峰明顯地增加，WN 的結構越完整。
2. 在退火溫度 400°C 時，WN-2 的 WN(100)的繞射峰最明顯，但過高的氮原子含量會使 W-N 鍵結能量升高使得 WN-3 次之。而退火溫度 600°C 時，WN-1 訊號最強，主要是因為沒有過飽和的氮原子會阻礙鍵結。
3. 利用 TDS 分析得知高溫熱退火氮化鎢時，會有氮氣脫附。在熱退火處理方法中，RTA 會造成薄膜內氮氣太快脫附而薄膜破裂。用爐管退火處理則不會有這種現象。
4. 氮化鎢在 SiO₂ 氧化層上的熱穩定性會受到氮原子含量的影響，並且退火溫度也會影響到穩定性。而在 HfO₂ 氧化層上的熱穩定性較佳。
5. 增加氮氣比例調變氮化鎢功函數分為兩個階段，先是純金屬鎢到氮化鎢，接著是 WN_x 的氮原子比例影響。
6. 在 600°C 時，當氮氣流量比例增加，功函數卻減少，主要是高密度的氮原子使結構不完整的影響。由 N/W 從 0.8 到 1.57，功函數調變大約 0.2eV。另外，隨著退火溫度上升，功函數也有些微的增加。

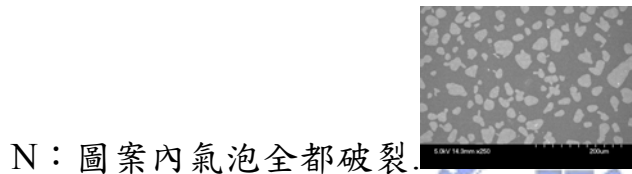
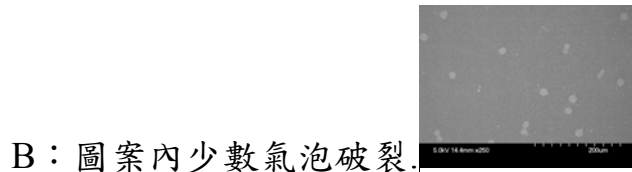
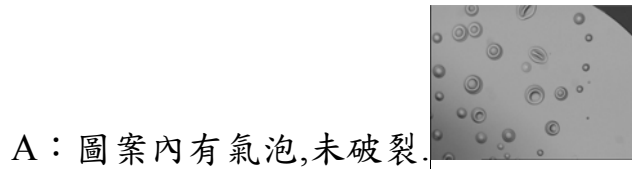
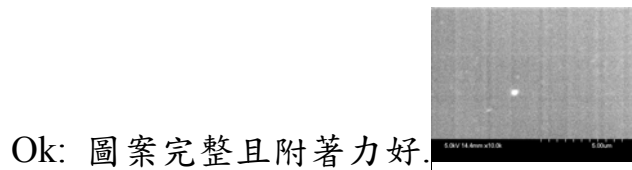
氮化鎢由 N/W 從 0.8 到 1.57，功函數調變大約 0.2eV，功函數調變範圍不大，對調整臨界電壓效用有限。在製程溫度上，氮化鎢的氮原子含量不要過飽和太嚴重，避免熱穩定性會受到影響。片電阻過高似乎是氮化物的共同問題，會影響成為金屬閘極的條件，也是得藉由上面再堆疊低電阻的金屬來降低片電阻。

除上述之外，由[圖 4-13]和[圖 4-14]，氮化鎢在 HfO₂ 氧化層上的

功函數比在 SiO_2 氧化層上只增加了不到 0.1eV ，證實有費米能階限制現象發生，這是個值得注意的地方。而被限制的費米能階位置也值得後續的研究。



表 4-1 氮化鎢快速熱退火(RTA)與圖案(pattern)尺寸(直徑)的關係



(直徑 μm)	400°C	500°C	600°C	700°C	800°C	900°C
WN-0(105)	Ok	Ok	Ok	Ok	Ok	Ok
WN-0 (210)	Ok	Ok	Ok	Ok	Ok	Ok
WN-0 (420)	Ok	Ok	Ok	Ok	Ok	Ok
WN-0 (840)	Ok	Ok	Ok	Ok	Ok	Ok
WN-1(105)	Ok	Ok	Ok	Ok	Ok	Ok
WN-1(210)	Ok	Ok	Ok	Ok	Ok	Ok
WN-1(420)	Ok	Ok	Ok	Ok	Ok	Ok
WN-1(840)	Ok	Ok	Ok	Ok	Ok	Ok
WN-2(105)	A	A	B	B	B	N
WN-2(210)	A	A	B	B	N	N
WN-2(420)	A	A	N	N	N	N
WN-2(840)	A	A	N	N	N	N
WN-3(105)	N	N	N	B	B	B
WN-3(210)	N	N	N	N	N	N
WN-3(420)	N	N	N	N	N	N
WN-3(840)	N	N	N	N	N	N

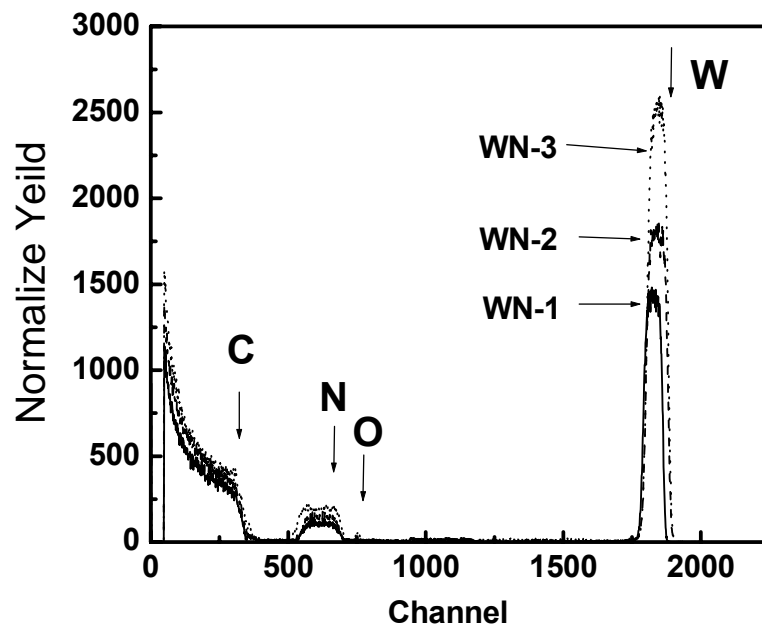


圖 4-1 氮化鎢在石墨基板上的 RBS 訊號

Ar/N₂ 流量比例，WN-1=20/5，WN-2=20/10，WN-3=20/20

N/W 比例，WN-1=0.8，WN-2=1.26，WN-3=1.57

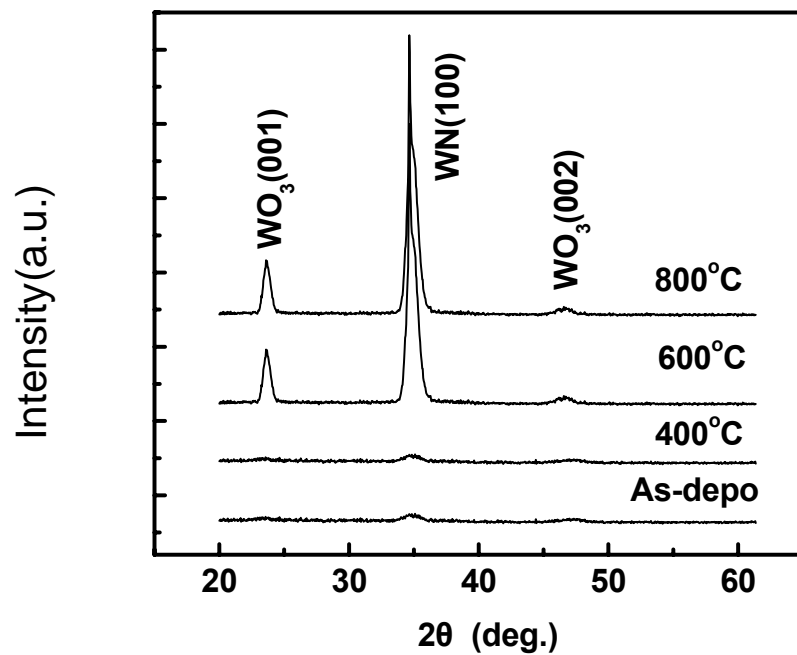


圖 4-2(a) WN-1 未退火與不同溫度退火下的 XRD 訊號

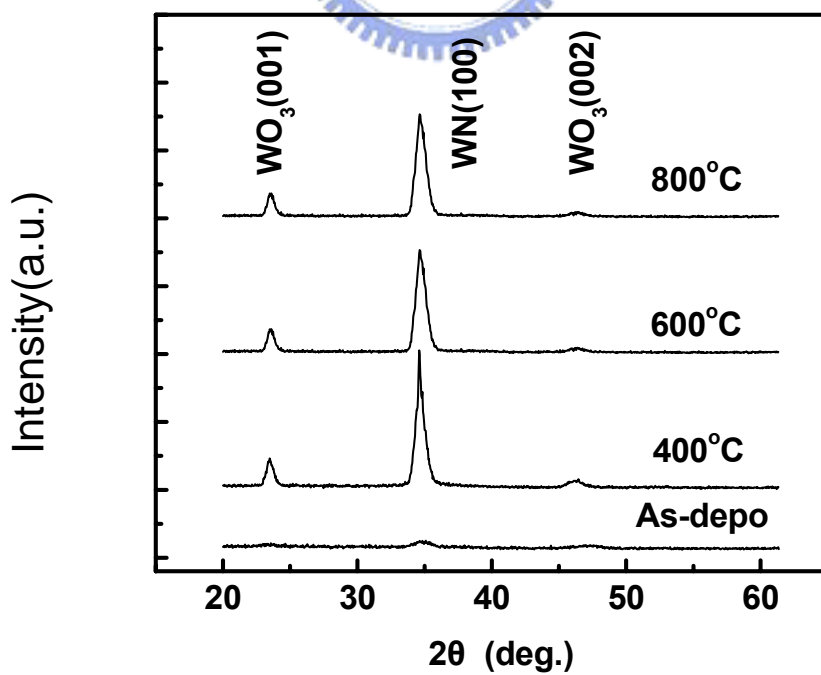


圖 4-2(b) WN-2 未退火與不同溫度退火下的 XRD 訊號

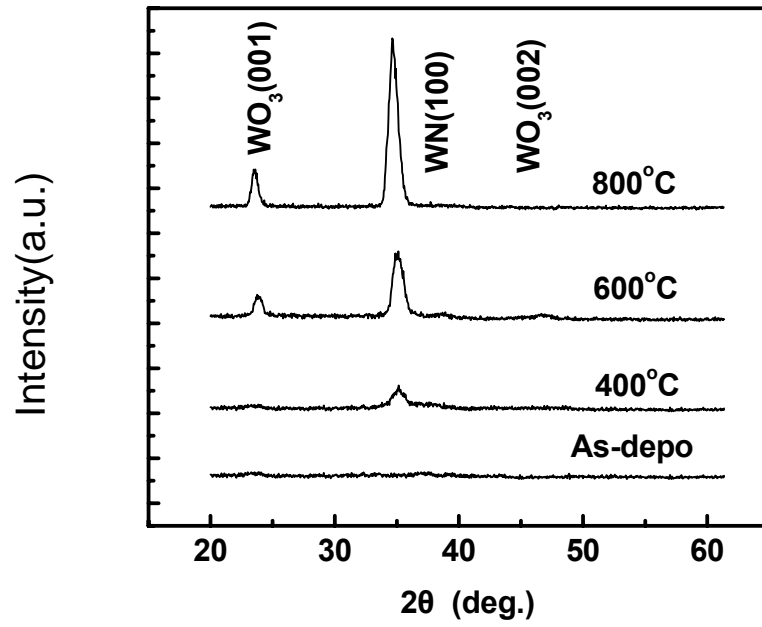


圖 4-2(c) WN-3 未退火與不同溫度退火下的 XRD 訊號



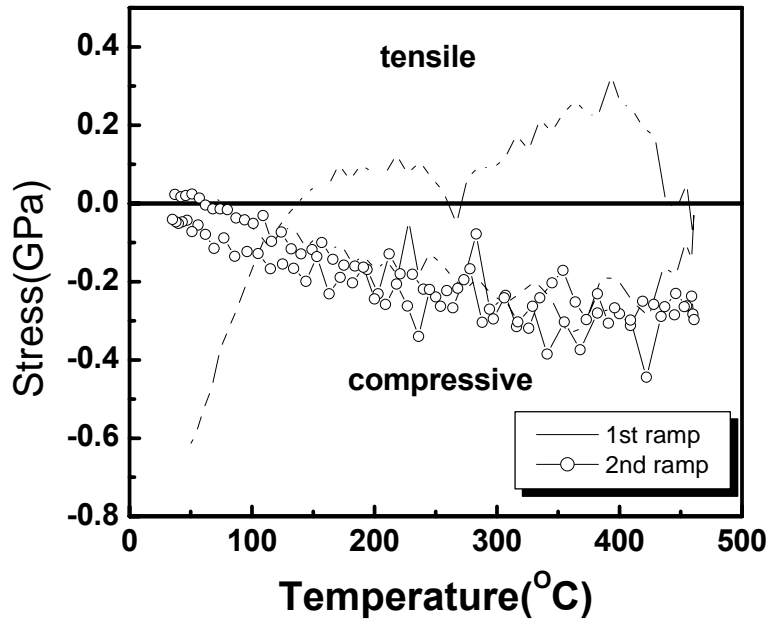


圖 4-3 WN-2 在升溫至 500°C 退火下的薄膜應力。



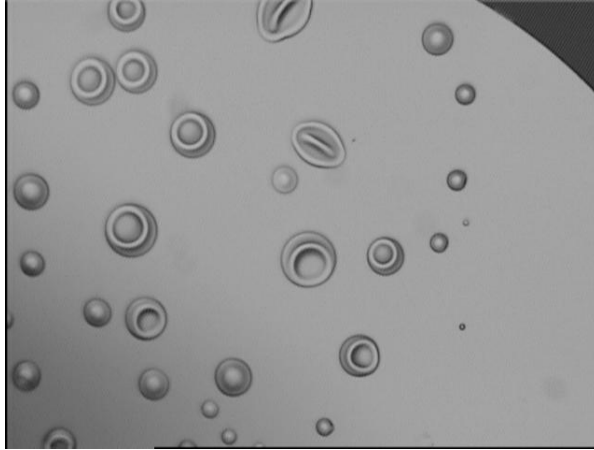


圖 4-4(a) 利用 RTA 600°C 熱退火處理後產生氣泡

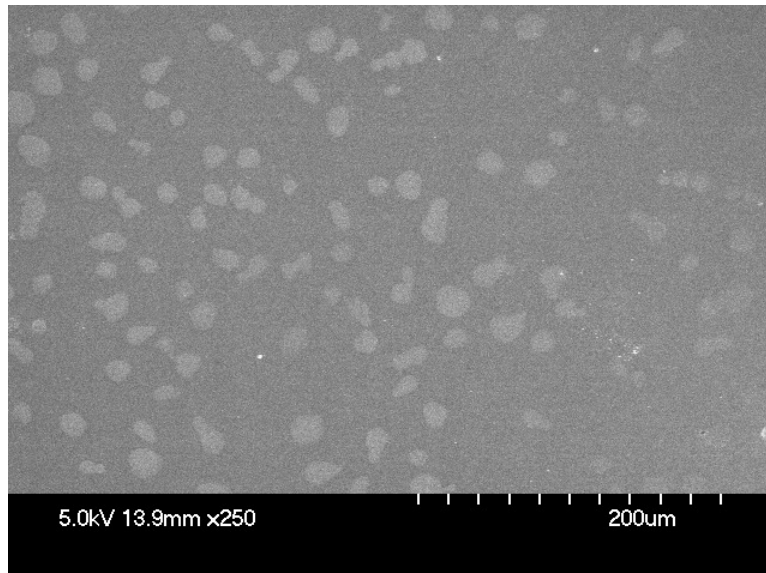


圖 4-4(b) SEM 拍攝氣泡破裂後的金屬表面

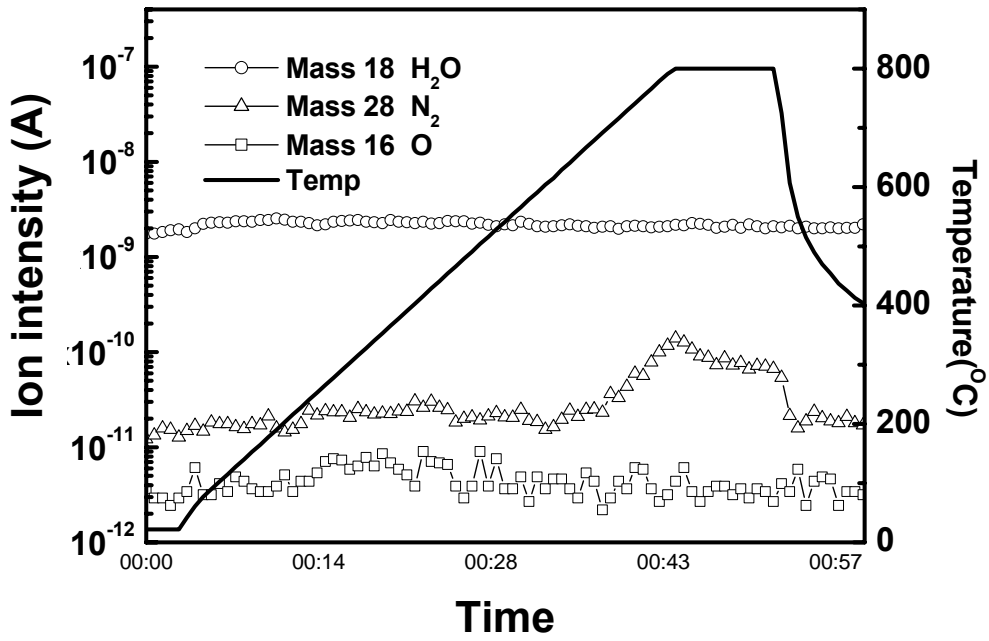


圖 4-5(a) 在氫氣環境下的各種氣體離子電流強度背景值

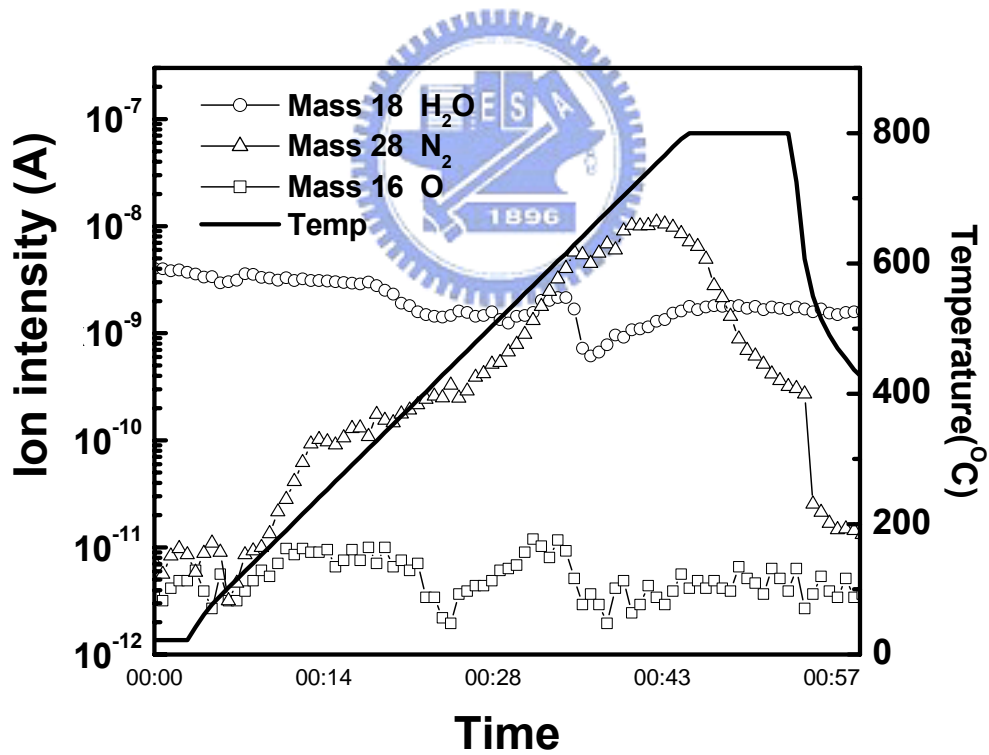


圖 4-5(b) WN-2 試片在氫氣環境下的氣體脫附現象

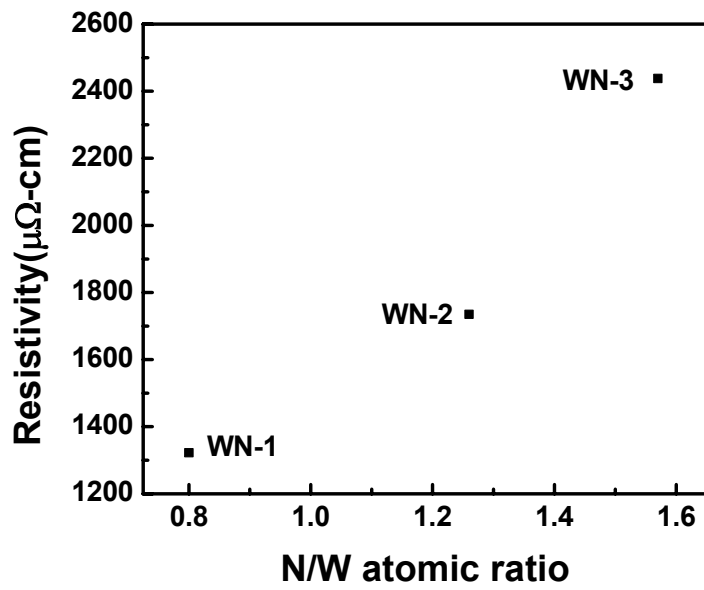


圖 4-6(a) 厚度 60nm WN_x 剛沈積的電阻係數

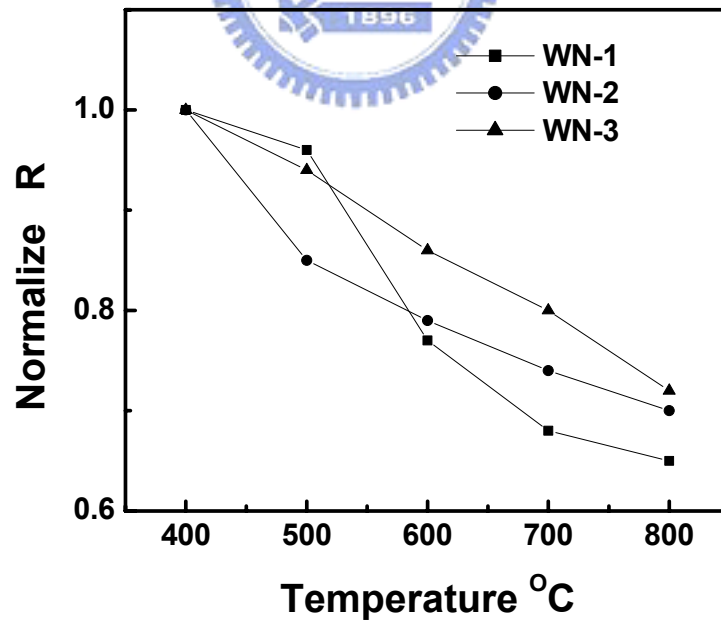


圖 4-6(b) 厚度 60nm WN_x 各個溫度電阻係數對溫度 400°C 標準化的關係圖

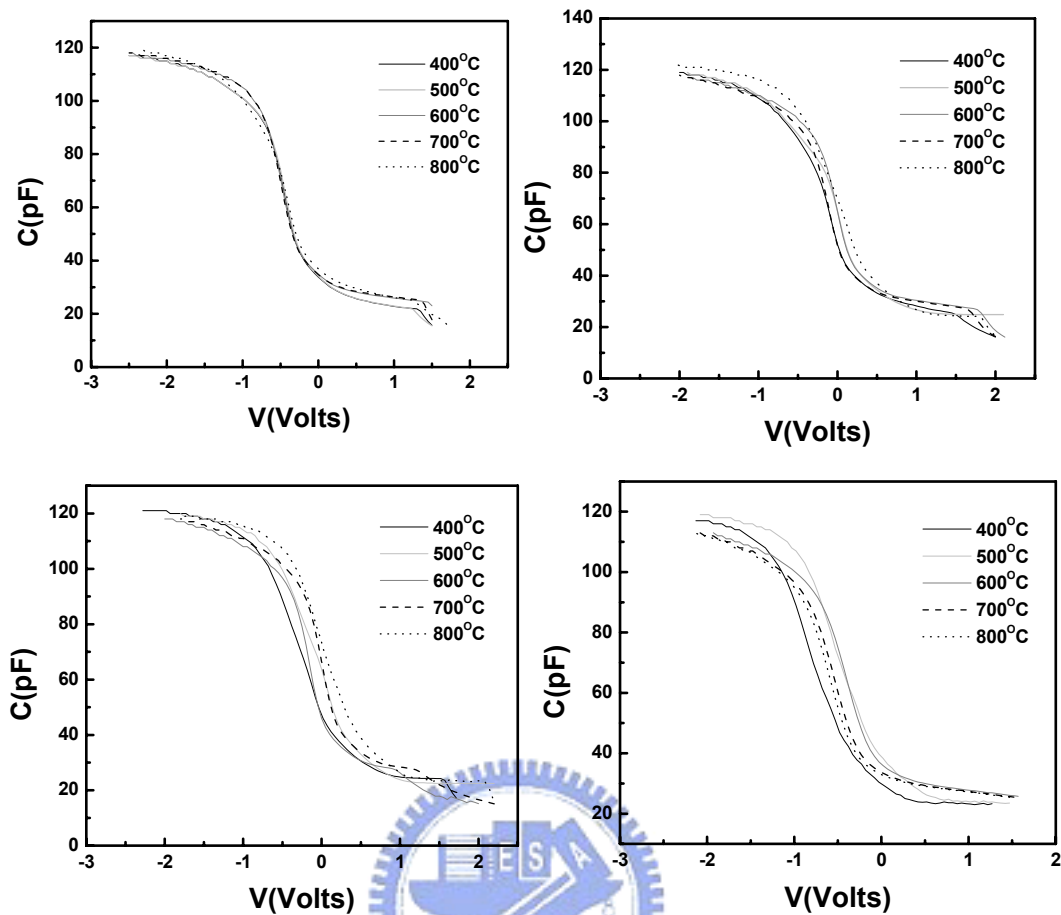


圖 4-7 $WN_x/SiO_2(40nm)$ 金屬閘極對不同溫度的 CV 圖形。

- (a)WN-0 (b)WN-1
(c)WN-2 (d)WN-3

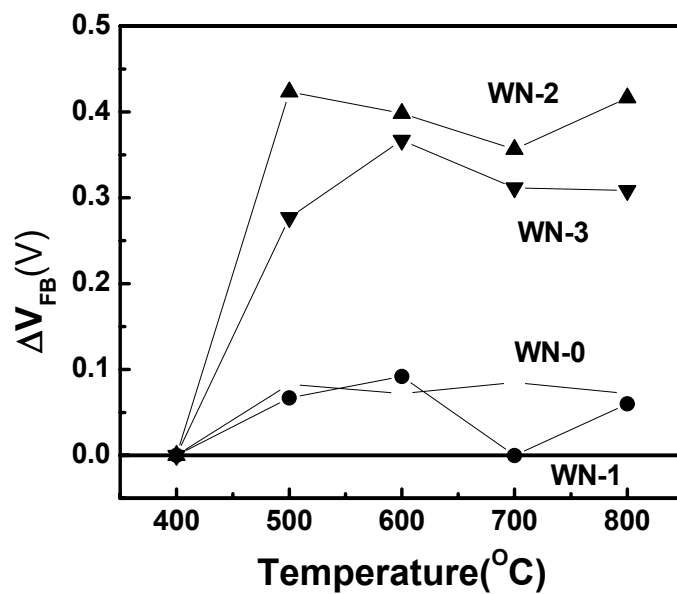


圖 4-8 $WN_x/SiO_2(40nm)$ 金屬閘極對不同溫度的平帶電壓變異。

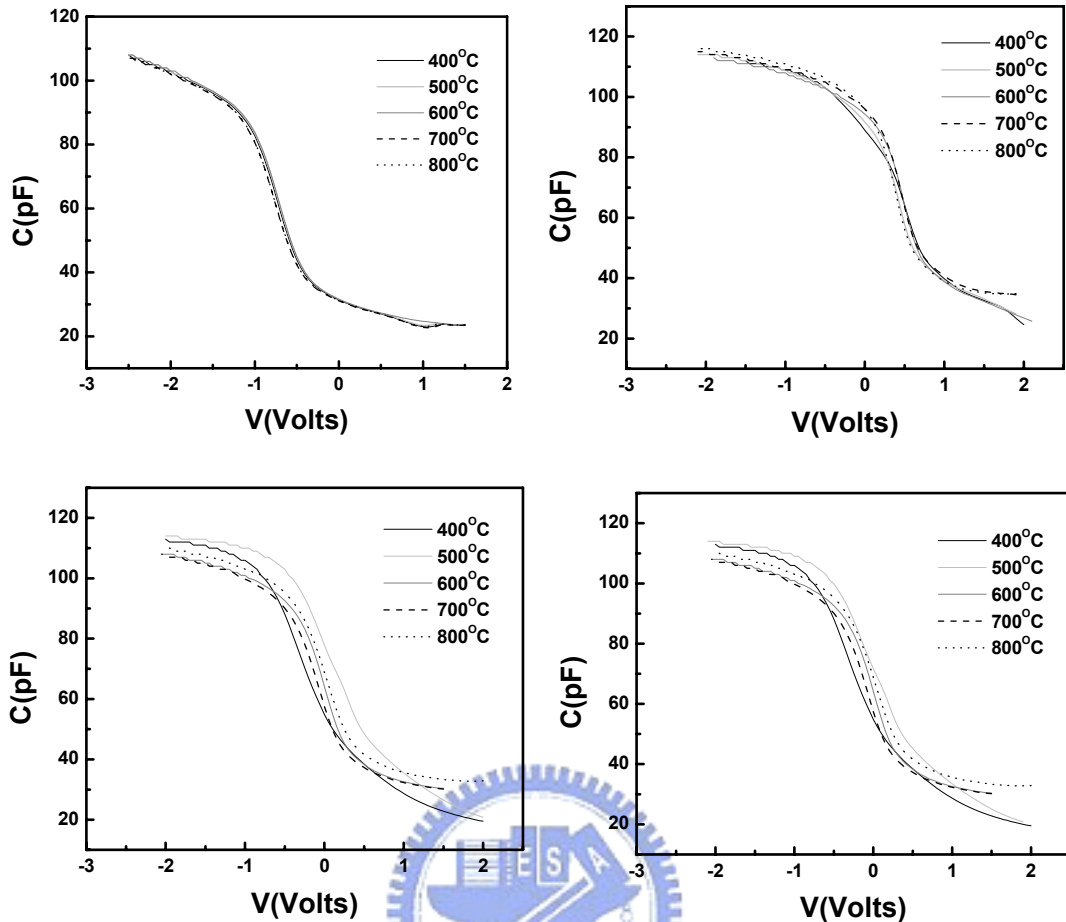


圖 4-9 $\text{WN}_x/\text{HfO}_2(5\text{nm})/\text{SiO}_2(40\text{nm})$ 金屬閘極對不同溫度的 CV 圖形。
 (a)WN-0 (b)WN-1
 (c)WN-2 (d)WN-3

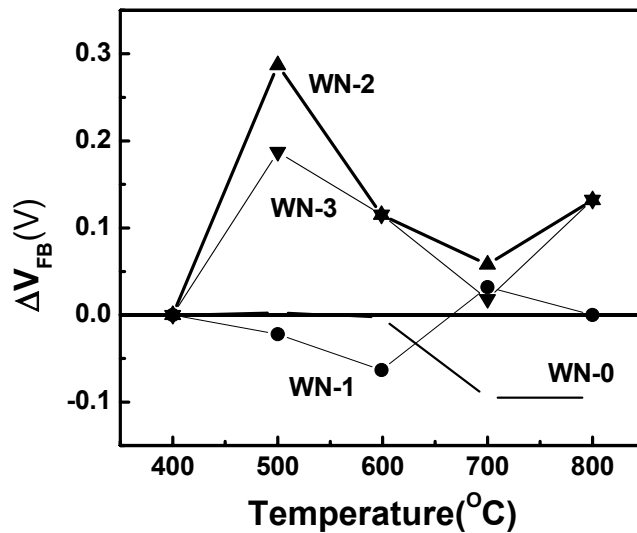


圖 4-10 $\text{WN}_x/\text{HfO}_2(5\text{nm})/\text{SiO}_2(40\text{nm})$ 金屬閘極對不同溫度的平帶電壓變異。

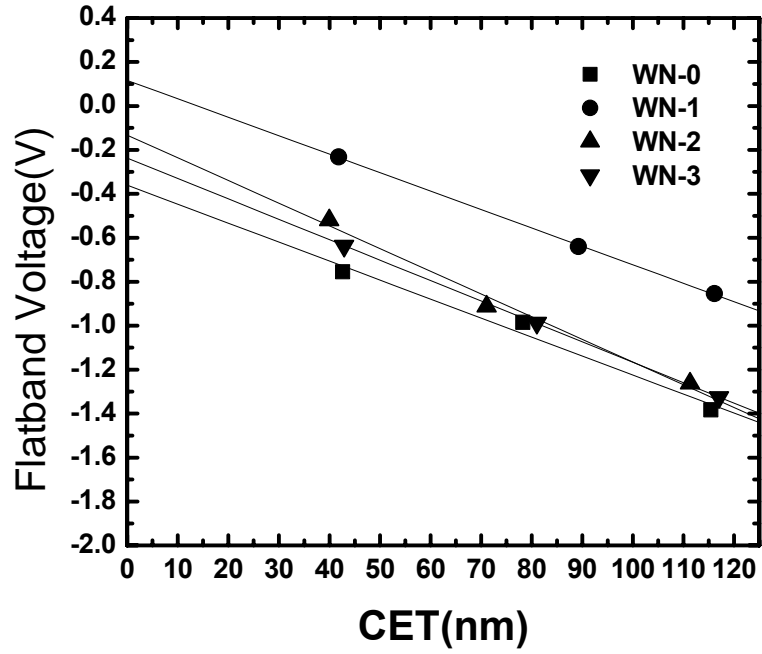


圖 4-11 WN_x/SiO₂

不同厚度下量得的平帶電壓

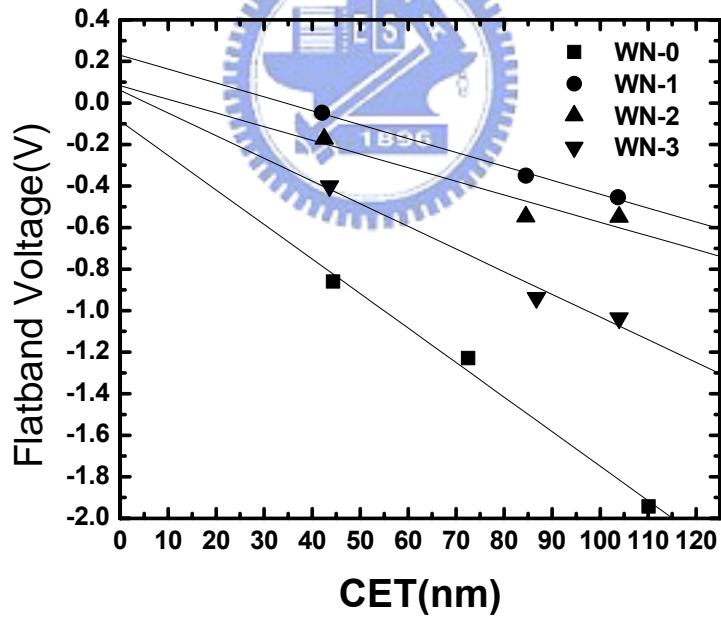


圖 4-12 WN_x/HfO₂(5nm)/SiO₂

不同厚度下量得的平帶電壓

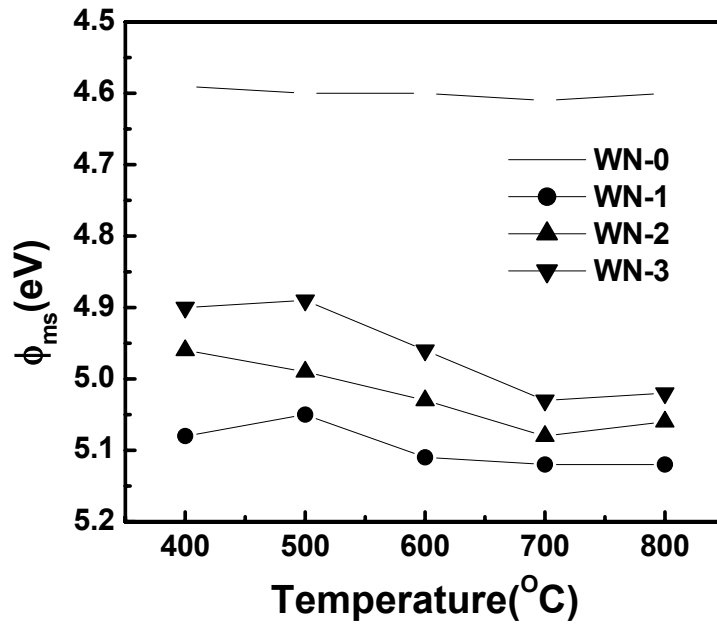


圖 4-13 WN_x/SiO_2
不同溫度下 WN_x 功函數的變化

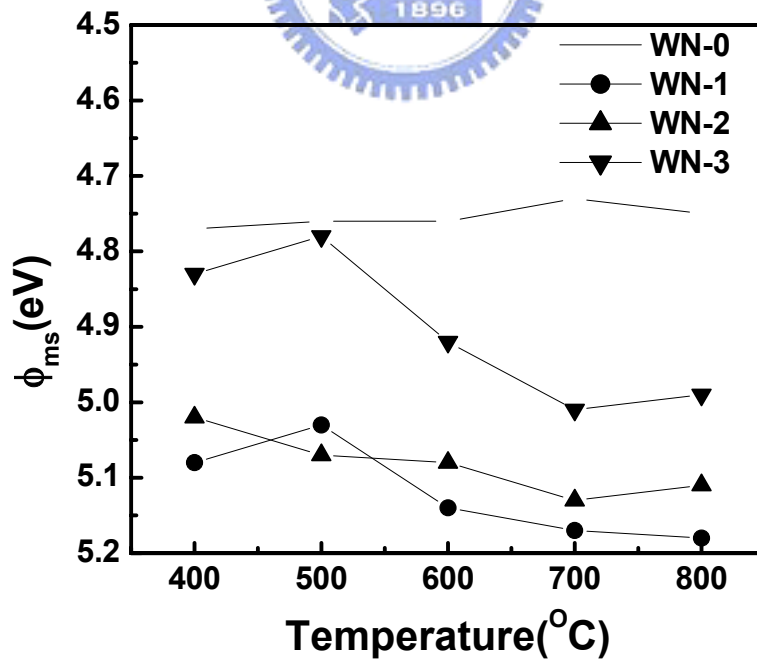


圖 4-14 $\text{WN}_x/\text{HfO}_2(5\text{nm})/\text{SiO}_2$
不同溫度下 WN_x 功函數的變化

第五章 結論與展望

5-1 結論

本論文介紹了氮化鉬和氮化鎢的功函數調變能力以及搭配二氧化鈣高介電常數氧化層後的電性結果。功函數調變方面，我們不但從電性量測得到金屬氮化物功函數調變的範圍，也藉由物性的分析瞭解調變的機制。在搭配二氧化鈣高介電常數氧化層方面，我們關心的等效功函數、熱穩定性、附著力都由實驗結果一一探討。這些結果有幾個重點整理如下。

首先在求功函數方面，第二章裡提到，當金屬閘極搭配 High- κ 材料時使用與二氧化矽氧化層相同的方法下會有一些問題產生。由於 High- κ 材料本身的 Q_{it} 和 Q_{ot} 比二氧化矽還高，並且隨製程變異很大，無法符合不同厚度時，電荷總量不變的假設。因此我們採用雙層結構，在 High- κ 材料下堆疊一層二氧化矽，藉由改變二氧化矽的厚度，降低 High- κ 材料的影響。經過模擬計算得到，當影響最大的界面陷阱電荷(Q_{it})濃度 $N_{it,High-\kappa} \leq 5 \times 10^{12} / \text{cm}^2$ 時，可以忽略此項，得到金屬閘極在 High- κ 材料上的功函數。一旦濃度更高的話，就得考慮此項的影響。

其次，在第三章裡，金屬閘極濺鍍時對二氧化矽氧化層造成的濺鍍傷害已經由 ICP-MS 分析證實。而金屬閘極搭配的 High- κ 材料二氧化鈣卻對濺鍍傷害有很高的抵抗能力，使得未來的電晶體製程中加入濺鍍製程是值得評估的。我們研究了兩種金屬氮化物，氮化鉬和氮化鎢，搭配二氧化鈣高介電常數氧化層的特性。在熱穩定性方面，由 CV 量測結果知道氮化鉬金屬薄膜在二氧化鈣氧化層上對退火溫度的熱穩定性佳。而氮化鎢因為過飽和的氮原子，使得熱穩定性比較差，但是可以藉由高溫退火過程中，讓飽和的氮原子析出，改善熱穩定性。還有，氮化鉬和氮化鎢在高溫退火後都不會與二氧化鈣產生化學反應。在附著力方面，氮化鉬和氮化鎢在二氧化鈣氧化層上都具有良

好的附著力。在等效功函數方面，高介電常數氧化層導致費米能階限制(Fermi level pinning)的現象是觀察的重點。由氮化鉬在二氧化矽和二氧化鈣氧化層上的功函數比較，不同氮含量的閘極功函數差距並不受氧化層種類的影響，似乎不會有費米能階限制現象。反之，不同氮含量的氮化鎢在 HfO_2 氧化層上的功函數差距比在 SiO_2 氧化層上低約 0.15eV，可能有費米能階限制的發生。至於被限制的費米能階真正位置，得需進一步的研究與探討。

至於金屬氮化物功函數調變方面，氮化鉬與氮化鎢有不同的機制。在氮化鉬方面，當氮氣流量比例增加，氮化鉬功函數跟著增加，直到 N/Mo 大於 1.0 之後氮化鉬就趨於飽和，功函數也趨於一個定值。由 N/Mo 從 0 到 1.45，功函數調變大約 0.51eV。另外，隨著退火溫度上升，功函數也有些微的增加，大約 40meV。根據 XRD 分析，應該是氮化鉬的結晶性變高的關係。在氮化鎢可以看出功函數變化分兩個階段。從純金屬鎢到氮化鎢一下子就相差 0.51eV，表示兩者之間有明顯的功函數差異。接著，當氮氣流量比例增加，功函數減少。對照 XRD 圖，當氮氣流量比例增加，WN(100)繞射峰越弱，表示氮化鎢薄膜結構越不完整，在功函數上呈現下降的現象。雖然退火溫度提高時，氮氣的析出可以讓鍵結完整，但造成各種 WN 的 N/W 差距縮小，利用改變氮氣含量的可調變範圍就變小了。氮化鎢 N/W 從 0.8 到 1.57 功函數調變範圍只有 0.15eV，調變幅度很小。

最後在作為金屬閘極搭配二氧化鈣氧化層以及調變功函數的評估上，氮化鉬不但穩定性和附著力佳，功函數調變範圍也有 0.51eV，是個有潛力的金屬閘極材料，尤其是 P 型電晶體上。而氮化鎢調變範圍不大，加上有熱脫附的現象，在目前半導體高溫製程上不太適用。

5-2 未來工作建議

首先，利用濺鍍製程製造金屬閘極搭配二氧化鈣氧化層時，是否會造成其他影響，二氧化鈣的可靠度分析是重要的指標。還有排除

二氧化鉛界面陷阱電荷對求金屬功函數的方法，當濃度更高是否有解決的方法或介電常數改變造成的影響大小，這都是值得研究的方向。

氮化鉬在二氧化鉛氧化層上的功函數適合製作 P 型電晶體，但後續在半導體技術的金屬閘極的圖案化技術、製程中的交互污染都是必須探討的問題。此外，在離子佈植源極/汲極時，作為金屬閘極是否可以抵擋佈植時造成的傷害以及是否與佈植離子產生反應也得納入考量。而電阻係數偏高的氮化鉬，可以藉由搭配低電阻的純金屬作雙層的金屬閘極，而低電阻的純金屬材料挑選也是可以研究的部分。

氮化鎢在二氧化鉛氧化層上的費米能階限制位置在哪的探討，可以藉由電荷模型及不同厚度的二氧化鉛氧化層，製作 N 型及 P 型電晶體比較。由 N 型及 P 型電晶體臨界電壓最後被限制的情形去判定費米能階限制位置。



參考文獻

- [1] R. H. Dennard, F. H. Gaensslen, H. Yu, V. L. Rideout, E. Bassous, and A. R. Leblanc, "Design of ion implanted MOSFET's with very small physical dimensions", IEEE J. Solid State Circuits, vol.SC-9, pp.256, 1974.
- [2] C. Y. Wong, J. Y. C. Sun, Y. Taur, C. S. Oh, R. Angelucci, and B. Davari, "Doping of n^+ and p^+ polysilicon in a dual-gate process", IEEE International Electron Devices Meeting (IEDM '88), San Francisco, pp.238, 1988.
- [3] S. H. Lo, D. A. Buchanan, and Y. Taur, "Modeling and characterization of quantization, polysilicon depletion, and direct tunneling effects in MOSFETs with ultra thin oxides", IBM J. Res. Develop., vol.43, No.3, pp.327, 1999.
- [4] Y. Taur, D. Buchanan, W. Chen, D. J. Frank, K. I. Ismail, S.-H. Lo, G. A. Sai-Halasz, R. G. Viswanathan, H.-J. C. Wann, S. J. Wind, and H.-S. Wong, "CMOS scaling into the nanometer regime", Proc. IEEE 85, 486 (1997).
- [5] J. R. Pfister, F. K. Baker, T. C. Mele, H.-H. Tseng, P. J. Tobin, J. D. Hayden, J. W. Miller, C. D. Gunderson, and L. C. Parrillo, "The effects of boron penetration on p^+ polysilicon gated PMOS devices", IEEE Trans. On Electron Devices, vol. 37, No. 8, pp. 1842-1851, August 1990.
- [6] G. J. Hu and R. H. Bruce, "Design tradeoffs between surface and buried-channel FETs", IEEE Trans. Electron Dev., vol.ED-32, No.3, pp.584, 1985.
- [7] J. R. Pfister, K. F. Bake, T. C. Mele, H. H. Tseng, P. J. Tobin, J. D. Hayden, J. W. Miller, C. D. Gunderson, and L. C. Parrillo, "The effects of boron penetration on p^+ polysilicon gates MOS devices", IEEE Trans. Electron Devices, vol.ED-37, pp.1842, 1990.
- [8] B. Y. Kim, I. M. Liu, H. F. Luan, M. Gardner, J. Fulford, and D. L. Kwong, "Impact of boron penetration on gate oxide reliability and device lifetime in p^+ poly pMOSFET's", presented at the IEEE International Electron Devices Meeting (IEDM'97), Washington, DC, 1997.
- [9] K. A. Ellis and R. A. Buhrman, "Boron diffusion in silicon oxides and oxynitrides", J. Electrochem. Soc. Vol.145, pp.2068, 1998.

- [10] The National Technology Roadmap for semiconductors, Semiconductor Industry Assoc., 2000
- [11] Q. Lu, Y. C. Yeo, P. Ranade, H. Takeuchi, T. J. King, C. Hu, S. C. Song, H. F. Luan, and D. L. Kwong, "Dual-metal gate technology for deep-sub-micron CMOS transistor", in *Proc. Symp. VLSI Technology*, pp.72, 2000.
- [12] H. Wakabayashi, Y. Saito, K. Takeuchi, T. Mogami, and T. Kunio, "A dual-metal gate CMOS technology using nitrogen-concentration-controlled TiNx film", *IEEE Trans. Electron Devices*, ED-48, No.10, pp.2363, 2001.
- [13] R. lin, Q. Lu, P. Ranade, T. J. King, and C. Hu, "An adjustable work function technology using Mo gate for CMOS devices", *IEEE Electron Devices Lett.*, vol.23, No.1, pp.49, 2002.
- [14] H. Zhong, S. N. Hong, Y. S. Suh, H. Iazar, G. Heuss, and V. Misra, "Properties of Ru-Ta alloys as gate electrodes for NMOS and PMOS silicon devices", in *IEDM Tech. Dig.* pp.432, 2001.
- [15] D. G. park, T. H. Cha, K. Y. Lim, H. J. Cho, T. K. Kim, S. A. jang, Y. S. Suh, V. Misra, I. S. Yeo, J. S. Roh, J. W. Park, and H. K. Yoon, "Robust ternary metal gate electrodes for dual gate CMOS devices", in *IEDM Tech. Dig.*, pp. 616 ,2001
- [16] I. Polishchuk, P. Ranade, T. J. King, and C. Hu, "Dual work function metal gate CMOS transistors by Ni-Ti interdiffusion", *IEEE Electron Devices Lett.*, vol.23, No.4, pp.200, 2002.
- [17] B. Y. Tsui and C. F. Huang, "Wide range work function modulation of binary alloys for MOSFETs application", *IEEE Electron Devices Lett.*, vol.24, No.3, pp.153-155, 2003.
- [18] J. H. Sim, H. C. Wen, J. P. Lu, and D. L. Kwong, "Dual work function metal gates using fully nickel silicidation of doped poly-Si", *IEEE Electron Devices Lett.*, vol.24, No.10, pp.631-633, 2003.
- [19] J. H. Stathis and D. J. DiMaria, "Reliability projection for ultra-thin oxides at low voltage," *IEEE International Electron Devices Meeting (IEDM'98)*, San Francisco, pp.167, 1998.

- [20] D. A. Buchanan, "Scaling the gate dielectric : materials, integration, and reliability", IBM J. Res. Develop., vol.43, No.3, pp.245, 1999.
- [21] N. Yang, W. K. Henson, and J. J. Wortman, "Analysis of tunneling currents and reliability of MOSFET's with Sub-2nm gate oxides", IEEE International Electron Devices Meeting (IEDM'99), Washington D.C., pp.453, 1999.
- [22] International Technology Roadmap for Semiconductors – 2003 draft, Semiconductor Industry Association, 2003.
- [23] Gate Dielectrics, p.53, IEDM Short Course, Washington D.C., 1999.
- [24] K. Nakajima, K. Nakajima, Y. Akasaka, M. Kaneko, M. Tamaoki, Y. Yamada, T. Shimizu, Y. Ozawa, and K. Suguro, "Work function controlled metal gate electrode on ultrathin gate insulators", VLSI Symp. Tech. Dig., p. 95, 1999.
- [25] H. Wakabayashi, Y. Saito, K. Takeuchi, T. Mogami, and T. Kunio, "A novel W/TiNx metal gate CMOS technology using nitrogen-concentration-controlled TiNx film", IEDM Tech. Dig., P.253 (1999)
- [26] A. Yagishita, T. Saito, K. Nakajima, S. Inumiya, K. Matsuo, Y. Akasaka, Y. Ozawa, H. Yano, G. Minamibaba, Y. Matsui, Y. Tsunashima, K. Suguro, T. Arikado, and K. Okumura, "Reduction of threshold voltage deviation in Damascene metal gate MOSFETs", IEDM Tech, Dig. P.257, (1999)
- [27] Y. C. Yeo, P. Ranade, T. J. King, and C. Hu, "Effects of high-k gate dielectric materials on metal and silicon gate workfunctions", IEEE Electron Device Lett., vol.23, No.6, pp.342-344, 2002.
- [28] Y. C. Yeo, T. J. King, and C. Hu, "Metal-dielectric band alignment and its implications for metal gate complementary metal-oxide-semiconductor technology", J. Appl. Phys., vol.92, No.12, pp.7266-7271, 2002.
- [29] B. Y. Tsui and M. C. Chen, "Dielectric degradation of Pt/SiO₂/Si structures during thermal annealing", Solid-State Electronics, vol.36, No.4, pp.583-593, 1993.
- [30] A. Callegari, E. Cartier, M. Gribelyuk, H. F. Okorn-Schmidt, and T. Zabel, "Physical and electrical characterization of Hafnium oxide and Hafnium silicate

- sputtered films”, J. Appl. Phys., vol.90, No.12, pp.6466-6475, 2001
- [31] B. Y. Tsui and H. W. Chang, “Formation of interfacial layer during reactive sputtering of hafnium oxide”, J. Appl. Phys., vol.93, No.12, pp.10119, 2003.
- [32] A. Yagishita, T. Saito, K. Nakajima, S. Inumiya, K. Matsuo, Y. Akasaka, Y. Ozawa, H. Yano, G. Minamibaba, Y. Matsui, Y. Tsunashima, K. Suguro, T. Arikado, K. Okumura, “Reduction of threshold voltage deviation in Damascene metal gate MOSFETs” IEEE International Electron Devices Meeting (IEDM’99), Washington D.C., pp.257-260, 1999.
- [33] C. F. Huang and B. Y. Tsui, “High thermally stable metal gates with tunable work functions”, to be presented in the 24th Int. Conf. on Microelectronics (MIEL), May 2004.
- [34] G. Wei, “Transition Metal Nitride Functional Coatings”, JOM. September 2001.
- [35] P. Ranade, Y. K. Choi, H. Daewon, A. Agarwal, M. Ameen, and T. J. King,” Tunable work function molybdenum gate technology for FDSOI-CMOS”, IEDM 2002, p. 363.
- [36] R. Lin, Q. Lu, P. Ranade, T.-J. King, and C. Hu, “An adjustable work function technology using Mo gate for CMOS devices”, IEEE Electron Device Letters, VOL. 23, No. 1, Jan. 2002.
- [37] P. Ranade, H. Takeuchi, T.-J. King, and C. hu, “Work Function Engineering of Molybdenum Gate Electrodes by Nitrogen Implantation”, Electrochemical and Solid-State Letters, 4 (11) G85-G87 (2001).
- [38] M. J. Kim, D. M. Brown, and W. Katz, “Molybdenum nitride film formation”. Electrochem. Soc., Vol. 130, p. 1196, 1983.
- [39] H. Matsushashi and S. Nishikawa, “Optimum Electrode Materials for Ta₂O₅ Capacitors for High- and Low-Temperature Processes”, Jpn. J. Appl. Phys. Vol.33(1994) pp.1293-1297.
- [40] P. Ranade, Y. C. Yeo, Q. Lu, H. Takeuchi, T.-J. King, and C. hu, “Molybdenum as a gate electrode for deep-submicron CMOS technology”, MRS Symp. Proceedings, Spring 2000.
- [41] Semiconductor material and Device Characterization, Dieter K. Schroder, P. 358.
- [42] K. Nakajima, Y. Akasaka, and M. Kaneko, “ Work Function Controlled Metal Gate Electrode on Ultrathin Gate Insulators”, 1999 Symp. VLSI Tech.

- [43] H. Kattelus, J. Koskenala, A. Nurmela, and A. Niskanen, "Stress control of sputter-deposited Mo-N films for micromechanical applications", *Microelectronic Engineering* 60 (2002) 97-105.
- [44] R. Jha, J. Gurganos, Y. H. Kim, R. Choi, and J. Lee, "A Capacitance-Based Methodology for Work Function Extraction of Metal on High- κ ". *IEEE EDL*, VOL. 25, No. 6, JUNE 2004.
- [45] Y. G. shen, Y. W. Mai, "effect of oxygen on residual stress and structural properties of tungsten nitride films grown by reactive magnetron sputtering", *MSE*, B76(2000), p. 107-115.
- [46] P. C. Jiang, "Preparation of W-N thin film and its characteristics as gate electrode", *NCKU MSE* 2002.
- [47] K. J. Huber and C. R. Aita, "Resistivity changes and phase evolution in W-N films sputter deposited in Ne-N₂ and Ar-N₂ discharges" *J. Vac. Sci. Technol. A* 6 (2), May/Jun 1988.



簡 歷

姓名：呂智勛

生日：民國 69 年 11 月 22 日

籍貫：台灣省宜蘭縣

地址：宜蘭縣冬山鄉清溝村永安路 457 號

學歷：國立羅東高級中學畢（1995 / 09 ~ 1998 / 06）

國立交通大學電子工程學系畢（1998 / 09 ~ 2002 / 06）

國立交通大學電子研究所碩士班畢（2002 / 09 ~ 2004 / 06）

碩士論文題目：

金屬氮化物之功函數調變研究



A Study on Work Function Modulation of Metal Nitrides