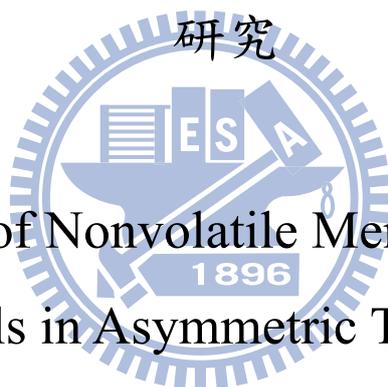


國立交通大學

奈米科技研究所

碩士論文

銱奈米晶體於非對稱穿隧能障結構之非揮發記憶特性



Characteristics of Nonvolatile Memory Effect with Ir
Nanocrystals in Asymmetric Tunnel Barriers

研究生：陳昭睿

指導教授：許鈺宗 博士

中華民國九十八年七月

銜奈米晶體於非對稱穿隧能障結構之非揮發記憶特性研究

Characteristics of Nonvolatile Memory Effect with Ir Nanocrystals in
Asymmetric Tunnel Barriers

研究生：陳昭睿

Student : Chao-Jui Chen

指導教授：許鈺宗

Advisor : Jeng-Tzong Sheu

國立交通大學



Submitted to Department of Institute Nanotechnology

College of Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master

in

Nanotechnology

July, 2009

Hsinchu, Taiwan

中華民國九十八年七月

銱奈米晶體於非對稱穿隧能障結構之非揮發記憶特性研究

研究生：陳昭睿

指導教授：許鈺宗 博士

國立交通大學

奈米科技研究所

摘要

近來非揮發性奈米晶體記憶體被用來廣泛的研究來克服傳統的浮動閘極記憶體的極限。利用奈米晶體被用來克服傳統浮動閘極元件在微縮時遇到電荷流失的問題、容許更薄的穿隧氧化層、更低的操作電壓，及更好的容忍度和電荷保存能力。比較半導體奈米晶體和金屬奈米晶體兩者，金屬奈米晶體作為浮動閘極有許多優點：對於電容特性改變量、較多種可供利用並設計的功函數、在費米能階周圍有高的狀態密度以及不易受載子侷限效應所引起能階擾動等等。

本論文研究利用非對稱結構與一般單層結構的差異，比較兩者的操作電壓與耐用度，可以藉由非對稱結構在寫入與抹除跟資料保存度之間得到好的補償，加上金屬的高功函數，可以看到銱奈米晶體在不同的穿隧氧化層上置入後的電容特性以及晶體顆粒大小與密度多寡。在相同操作電壓下(± 5 V)，非對稱($\text{SiO}_2/\text{Si}_3\text{N}_4$)結構 $\Delta V_{\text{FB}} \cong 4.2$ V，而單層(SiO_2)結構 $\Delta V_{\text{FB}} \cong 1.5$ V，每顆粒子所儲存的電荷在非對稱結構約為 4 個電子或電洞，在單層結構約為 2 個電子或電洞。在資料維持度的量測，經過 10^4 秒，非對稱結構剩下 50%，單層結構剩下 55%，資料維持度沒有更好，但是得到了低電壓的操作與運作速度的提升。此外，在非對稱結構電容的可靠度分析比較也能維持好的耐用度。

Characteristics of Nonvolatile Memory Effect with Ir Nanocrystals in Asymmetric Tunnel Barriers

Student : C. J. Chen

Advisor : Dr. J. T. Sheu

Department (Institute) of Nanotechnology
National Chiao Tung University

ABSTRACT

Recently, nonvolatile memory with nanocrystals (NCs) has been widely studied to overcome limitations of conventional floating gate memory. The use of NCs as distributed floating gates minimized the problems of charge loss encountered in conventional floating-gate devices, allowing thinner tunnel oxide and, thereby, a lower operating voltage, better endurance and retention, and faster program/erase (P/E) speed.

Compared to the semiconductor NCs, metallic NCs as floating gates possesses several advantages, such as larger change of electric capacity, stronger coupling with the conduction channel, a wide range of available work functions, higher density of states around the Fermi level, and a smaller energy perturbation due to carrier confinement.

In this thesis, it used the difference between asymmetric tunnel barrier (ATB) and a single layer structure. Both compared operating voltage and endurance. It can take the better tradeoff between the programming/erasing and retention characteristic by ATB structure. And Iridium has high work function and good thermal stability, we can demonstrate Iridium nanocrystals embedded in different tunneling oxide layer for capacitor characteristic and find different nanocrystals' diameter and density. At the same operating voltage(± 5 V), ATB($\text{SiO}_2/\text{Si}_3\text{N}_4$) structure $\Delta V_{\text{FB}} \cong 4.2$ V and single layer(SiO_2) structure $\Delta V_{\text{FB}} \cong 1.5$ V. Each Ir-NCs stored 4 electrons or holes in ATB structure device and 2 electrons or holes in single-layer structure device. The charge remaining of ATB memory device was 50% at 10^4 s, and 55% for single-layer memory device. Although, there is no improvement in data retention ATB device do lower the operating voltage and increase higher P/E speed.

誌謝

誠摯的感謝指導教授 許鈺宗 博士，老師悉心的教導使我得以一窺半導體領域的深奧，不時的討論並指點我正確的方向，使我在這些年中受益良多。老師對學問的嚴謹更是我輩學習的典範。

本論文的完成另外亦感謝振嘉學長的協助及柏鈞學長、皓恆學長的支持。振嘉學長在我的碩士生涯中，每凡我遇到問題時，都會請教他。柏鈞學長帶我從這塊不熟悉的半導體領域慢慢適應，在研究上給了我許多建議及方向。皓恆學長不僅在生活上陪我們一起度過，平時提供我們許多戶外活動可以參加。因為有你們的提攜及幫忙，使得本論文能夠更完整而嚴謹。

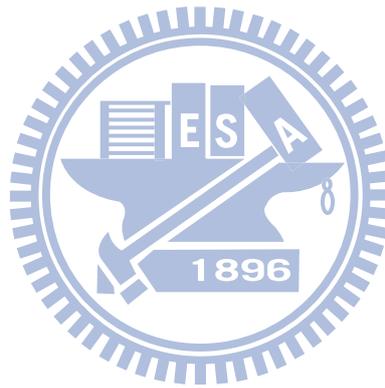
感謝實驗室所有的學長，振嘉、柏鈞、皓恆、建穎、子訓、奕貞、昶龍、欣霖的共同砥礪，你/妳們的陪伴讓兩年的研究生活變得絢麗多彩。兩年裡的日子，實驗室裡共同的生活點滴，學術上的討論、磨練這些日子裡不是孤單作戰，而是有你們的陪伴，總是帶給我歡樂，讓我有源源不絕的動力可以進行我的實驗。每當實驗有困難或是對碩士生活覺得煩悶時，你們總是會出現在我身邊幫助我、迷惑時為我解惑、叮嚀我讓我不至懈怠而順利的度過層層的關卡。

最後要感謝我的父母親，你們在我身後給我的支持，沒有你們我也無法達到今天的成就，你們無止盡的付出是我今天能拿到學位的力量泉源，謝謝你們。

目錄

中文摘要	I
英文摘要	II
誌謝	III
目錄	IV
圖目錄	VI
表目錄	IX
第一章 緒論	1
1.1 前言	1
1.1.1 非揮發性記憶體之特性與微縮限制	1
1.1.2 未來趨勢與微縮方向	5
1.2 研究動機	8
1.3 論文架構	8
第二章 文獻回顧	9
2.1 非對稱結構記憶體之相關文獻	9
2.2 非揮發性記憶體之物理機制	16
2.2.1 通道熱電子注入 (Channal Hot Electron Injection)	17
2.2.2 F-N 穿隧 (Fowler-Nordheim Tunneling)	17
2.2.3 直接穿隧 (Direct Tunneling)	20
2.3 非揮發性記憶體之可靠度分析	21
2.3.1 資料保存度定義 (Retention)	21
2.3.2 耐用度定義 (Endurance)	21
第三章 對稱結構與非對稱結構記憶體製作流程	22
3.1 單層結構	22
3.1.1 奈米晶體的形成	22
3.1.2 電容的製作流程	24
3.2 非對稱結構	26
3.2.1 奈米晶體的形成	26
3.2.2 電容的製作流程	28

3.3 奈米晶體的比較.....	31
第四章 電容 (MOS) 之量測與討論.....	33
4.1 電容能帶圖設計、模擬與 TEM 圖.....	33
4.2 C-V 曲線比較.....	39
4.3 平帶電壓的偏移比較.....	42
4.4 儲存電荷比較.....	45
4.5 電容的測漏電.....	46
4.6 F-N 穿隧之驗證.....	46
4.7 資料維持度與耐用度比較.....	50
第五章 結論與未來展望.....	53
參考文獻.....	55



圖目錄

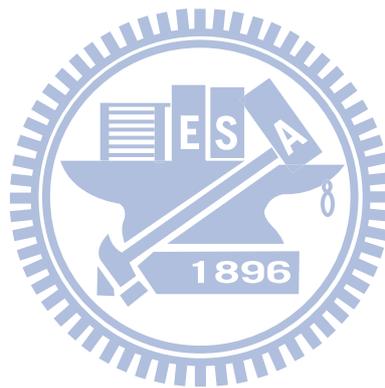
圖 1-1、非揮發性記憶元件剖面圖。	2
圖 1-2、(a) 抹除狀態 (b) 寫入狀態。	4
圖 1-3、低 V_T 為抹除與高 V_T 為寫入。	4
圖 1-4、浮動閘極在 45 nm 以下產生的 coupling effect 示意圖。	5
圖 1-5、為克服微縮問題的 Non-volatile memory 研究方向。	7
圖 2-1、結構 (a) BE-SONOS (b) MANOS (c) MA BE-SONOS。	9
圖 2-2、三種元件在 $V_G = -18$ V 抹除曲線且閘極材料為 Pt。	10
圖 2-3、MA BE-SONOS 改變“0”, “1”之抹除特性曲線。	11
圖 2-4、結構能帶圖。	12
圖 2-5、各結構 CV 曲線。	12
圖 2-6、寫入與抹除電壓位移比較圖。	13
圖 2-7、NiSi NCs 電場分佈分別在(a)SiO ₂ 和(b)Si ₃ N ₄ 層。紅色線代表有 NCs 與黑色線代表沒有 NCs。介電常數 SiO ₂ = 3.9, Si ₃ N ₄ = 7.5。	13
圖 2-8、CV 曲線給予不同的掃動範圍從(+6,-6)到(+15,-15) V。	14
圖 2-9、寫入與記憶維持狀態的能帶圖[12]	14
圖 2-10、在不同寫入與抹除電壓下的平帶電壓位移。	15
圖 2-11、在施加電壓寫入與抹除 (15 V, 300 μ s), (-15 V, 1 ms)耐用度與資料儲存度。	15
圖 2-12、 U_0 為位能障及 Ψ 為能函數。	16
圖 2-13、F-N tunneling 在 MOS 結構的示意圖。	18
圖 2-14、電子侷限在 FG 的位能井之中。	19
圖 2-15、上圖為 CHEI 模式下圖為 F-N tunneling 模式對操作在元件的示意圖。	19
圖 2-16、Direct tunneling 在 MOS 結構之示意圖。	20
圖 3-1、P-Type 晶片經過 RCA clean。	22
圖 3-2、水平爐管長 Dry oxide 5 nm。	23

圖 3-3、利用 Sputter 鍍 Ir 膜。	23
圖 3-4、RTA 之後形成奈米晶體。	23
圖 3-5、利用 PECVD 疊上 SiO ₂ 的薄膜。	24
圖 3-6、利用 Thermal coater 鍍鋁 300 nm。	25
圖 3-7、將鋁蝕刻掉後的電容元件圖。	25
圖 3-8、奈米晶體電容結構示意圖。	26
圖 3-9、P-Type 晶片經過 RCA clean。	26
圖 3-10、水平爐管長 Dry oxide 2.5 nm。	27
圖 3-11、PECVD 疊上 Si ₃ N ₄ 。	27
圖 3-12、利用 Sputter 鍍 Ir 膜。	28
圖 3-13、RTA 之後形成奈米晶體。	28
圖 3-14、利用 PECVD 疊上 SiO ₂ 的薄膜。	29
圖 3-15、利用 Thermal coater 鍍鋁 300 nm。	29
圖 3-16、將鋁蝕刻掉後的電容元件圖。	30
圖 3-17、奈米晶體電容結構示意圖。	30
圖 3-18、在基材 5 nm SiO ₂ 上 SEM 圖(900 °C)。	31
圖 3-19、在基材 2.5 nm SiO ₂ / 2.5 nm Si ₃ N ₄ 上 SEM 圖(900 °C)。	32
圖 4-1、MOS 電容元件能帶示意圖。	34
圖 4-2、模擬結構能帶圖。	35
圖 4-3、結構 Al / SiO ₂ / Ir NCs / SiO ₂ / P-sub 電場模擬圖。	36
圖 4-4、結構 Al / SiO ₂ / Ir NCs / Si ₃ N ₄ / SiO ₂ / P-sub 電場模擬圖。	36
圖 4-5、電場模擬數值分布圖。	37
圖 4-6、電場模擬數值分布圖。	37
圖 4-7、結構 Al / SiO ₂ / Ir NCs / SiO ₂ / P-sub TEM 圖。	38
圖 4-8、結構 Al / SiO ₂ / Ir NCs / Si ₃ N ₄ / SiO ₂ / P-sub TEM 圖。	38
圖 4-9、各結構的 CV 曲線圖在 +/-5 V 掃動電壓。	40

圖 4-10、電容成品的俯視圖(OM)。	40
圖 4-11、結構(b)在不同掃瞄電壓的 CV 曲線。	41
圖 4-12、結構(d)在不同掃瞄電壓的 CV 曲線。	41
圖 4-13、不同掃瞄電壓對兩種電容產生的平帶電壓偏移比較。	43
圖 4-14、非對稱結構與單層結構在不同時間 ± 12 V 寫入與抹除的平帶電壓比較。	44
圖 4-15、85 °C 下非對稱結構與單層結構在不同時間 ± 12 V 寫入與抹除的平帶電壓比較。	44
圖 4-16、電容的測漏電。	46
圖 4-17、單層穿隧氧化層在六種溫度下的 $\ln(J)$ 對電場作圖。	48
圖 4-18、非對稱氧化層在六種溫度下的 $\ln(J)$ 對電場作圖。	48
圖 4-19、單層穿隧氧化層在六種溫度下的 $\ln(J/E^2)$ 對 $1/E$ 作圖。	49
圖 4-20、非對稱氧化層在六種溫度下的 $\ln(J/E^2)$ 對 $1/E$ 作圖。	49
圖 4-21、兩種結構之資料保存度比較。	51
圖 4-22、兩種結構之資料保存度的百分比。	51
圖 4-23、兩種結構之耐用度比較。	52

表目錄

表 1-1、表 1-1、DRAM 跟 FLASH 比較。·····	2
表 1-2、ITRS PID 裡指出未來的研究趨勢以及可能發展到的尺度。·····	6
表 2-1、BE-SONOS，MANOS、MA BE-SONOS 的結構參數。·····	10
表 2-2、結構參數。·····	11
表 2-3、CHEI 和 F-N tunneling 比較。·····	19
表 3-1、奈米晶體的比較。·····	32
表 4-1、電荷儲存量。·····	45



第一章

緒論

1.1 前言

記憶體(Memory)是目前在電子 3C 產品中扮演不可或缺的角色，耳熟能詳 DRAM、SRAM 和 Flash memory 等都是記憶體的家族成員。而 flash memory 被拿來做可攜式的裝置應用，如數位相機的記憶卡、USB 隨身碟、個人影音設備如 iPod 等等。

隨著製程能力的進步，微影技術的演進，使得單位面積可容納的 Cell 數目增加，記憶體的容量也越來越大，從一開始 MB 等級的商業化產品到目前已經普及化的 GB 等級的記憶體。近年來 flash memory 技術的進步更代表了革命性觀念演進，以 flash memory 構成運算速度較快、體型較輕薄，但成本也比較高的(SSD)固態硬碟開始真正取代了硬碟的功用。

目前工業化的 Non-volatile memory(NVM)分為 floating gate (FG) memory 和 nitride storage device 為兩大主流，前者為目前市面上主流的記憶體商品的結構而後者主要應用在軍事及航太科技上面。由於 soft error 的現象，受到 UV-light 等幅射照射之下會使得電子從 FG 激發後流失，使 Threshold voltage 的 shift 量(ΔV_{th})減少，造成邏輯上“0”和“1”的誤判，因此在航太科技上都以 nitride storage device 的 memory 為主。

1.1.1 非揮發性記憶體之特性與微縮限制

電腦中用來記憶資訊的裝置可分為兩種，第一種是揮發性記憶體，代表資料在沒電的時候會自行消失，主要分為 SRAM 與 DRAM；SRAM 現在以 CPU 內的快取記憶體為主，而 DRAM 因為可以做到更大的容量，所以作為主記憶體。所謂的記憶體大多是指我們所熟知的 DRAM(Dynamic RAM)，因為 DRAM 好處在於價格低廉，所以可以廣泛的被大量使用。另一種記憶體是關閉電源之後不會消失的，例如硬碟機、磁片、光碟片，還有現在很常聽見的快閃記憶體，統稱為非揮發性記憶體。

在現今較常聽到的非揮發性記憶體依照其材料及運作機制分為很多種，大多還在研究階段中。關於 DRAM 與快閃記憶體間的比較如表 1-1 所示。接著將針對幾種非揮發性的記憶體種類作大略的介紹。

表 1-1、DRAM 跟 FLASH 比較。

	DRAM	FLASH
Data retention (DC.power on)	4 ms	10 years
Number of reprogram times (endurance)	∞	10^4 - 10^6
Typical write (Reprogram) speed	100 ns	70 ns
Typical read speed (ns)	100	200

一般而言，非揮發性記憶體的資料保存能力，至少需可達到十年以上，這種 flash memory 的結構如下圖 1-1 所示；因此在記憶儲存區域內就要特別的設計與保護，以避免不必要的電荷進出，造成資料的流失與錯誤。就目前記憶體需求而言，要做到操作速度快、高密度的設計且保存能力要好，不外乎改變製程或是提出新的電性操作，但相對地可靠度的問題也是相繼而來。

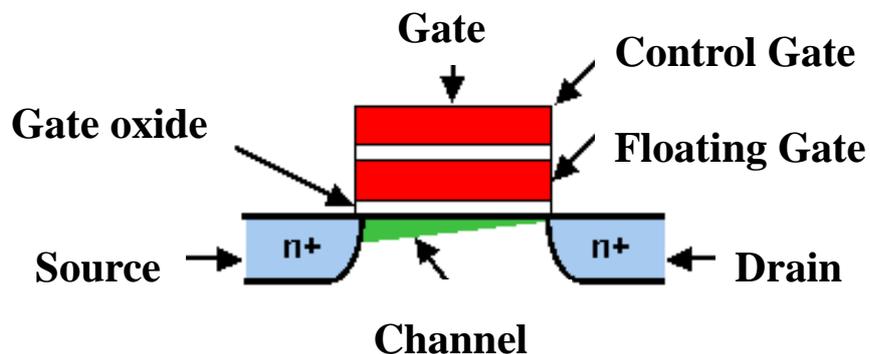


圖 1-1、非揮發性記憶元件剖面圖。

* 寫入與抹除原理

快閃記憶體利用 EEPROM 的方法來寫入及清除，是藉由基板(substrate)與控制閘之間的電荷的注入/釋出而為之，如圖 1-2 所示。圖 1-3 為快閃記憶體之記憶單元(Flash Memory Cell)的電壓-電流特性。在懸浮閘內的電荷具有使加在控制閘上之電壓發生偏移(offset)的作用，在 Flash memory 中資料的”0”與”1”儲存在閘極絕緣層中的懸浮閘(Floating gate)，藉由通道熱電子注入(channel hot electron injection)或是 F-N 穿隧(Fowler-Nordheim tunneling)機制將電荷注入到懸浮閘中，當不同數量的電荷儲存在電子捕抓層中，造成下方電晶體通道的感應電荷數量不同，進而量測到不同的臨界電壓(V_{th})，判讀出所存的資料。其臨界電壓公式如下所示：

$$V_{th} = \frac{|Q'_{SD}(\max)|}{C_{ox}} + \phi_{ms} + 2\phi_{fp} - \frac{Q}{C_{ox}}$$

其中 C_{ox} 為氧化層電容， ϕ_{ms} 是金屬和半導體之間的位障， ϕ_{fp} 則是費米能階(Fermi level)到本質費米能階(Intrinsic Fermi level)的距離， Q 為氧化層中的電荷量。若材料固定的話，可簡化如下：

$$\Delta V_{th} = -\frac{\Delta Q_{FG}}{C_{FG}}$$

ΔV_{th} 是臨界電壓的偏移， Q_{FG} 為浮動閘極中的電荷量， C_{FG} 則是浮動閘極電容。當奈米晶體儲存電子的時候， $Q < 0$ ，因此會比沒有儲存電子的時候大($\Delta V_{th} > 0$)，相反的，當奈米晶體所抓住的電子被排開，使其中的的電荷 $Q > 0$ ，則 $\Delta V_{th} < 0$ 。換句話說，若懸浮閘內貯存有電荷時，臨界電壓 V_{th} (Threshold Voltage) 升高，此時加在控制閘上之電壓必須較無電荷之場合為高，否則洩極-源極間無法導通(ON)。藉此現象，得以判斷懸浮閘內有無電荷貯存，也就是說，能夠判斷”1”或”0”。

快閃記憶體的操作速度取決在許多地方，其中很重要的是要多久時間，才可以儲存足夠的電荷或釋放電荷，在讀取時才不會被誤判。因為電荷的累積需要時間，所以會降低操作速度。

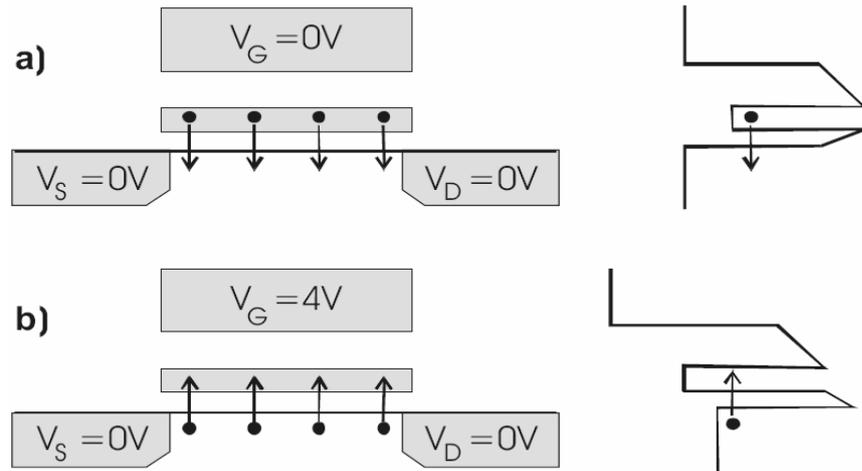


圖 1-2、(a) 抹除狀態 (b). 寫入狀態。

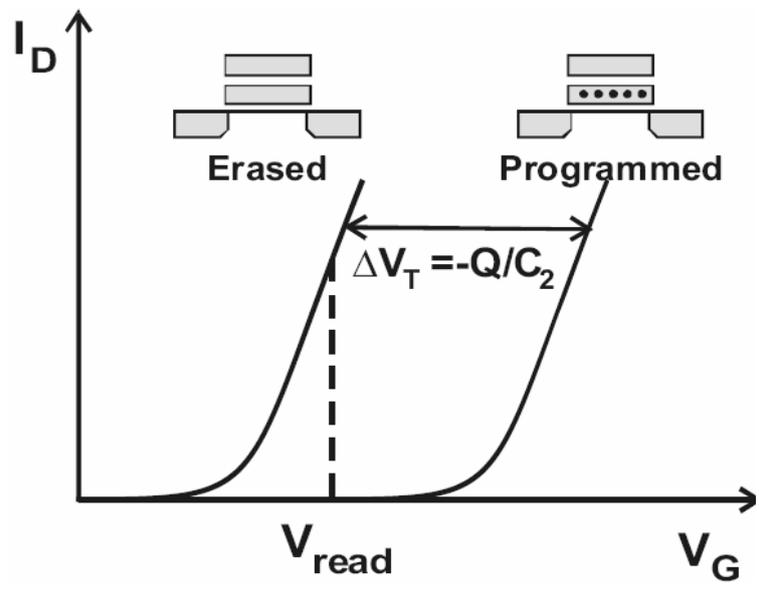


圖 1-3、低 V_T 為抹除與高 V_T 為寫入。

傳統的 Floating gate memory 遇到一些瓶頸，由於傳統的浮動閘極的電荷儲存和消除的動作時必須透過熱電子注入(Channel Hot Electron Injection；CHEI)或是直接穿隧(direct tunneling)的模式來完成，而這兩種模式必須透過大電壓完成，因此都存在著能源消耗的問題(Power consumption)。另外當微影技術(Photolithography Process)越來越進步的時候，尺寸的縮小使得 coupling effect 越來越明顯，coupling effect 在元件尺寸微縮到 45nm 以下時原本有儲存在浮動閘極的電荷跳到鄰近的浮動閘極(如圖 1-3)使臨界電壓過於接近造成

邏輯電路上的判別誤差，使得“1”和“0”的混淆，造成資料上的損毀。而這個現象是傳統 FG memory 在未來在微縮發展上的重大問題。

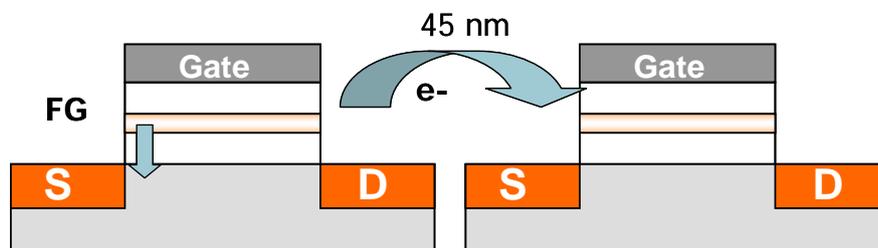


圖 1-4、浮動閘極在 45 nm 以下產生的 coupling effect 示意圖。

1.1.2 未來趨勢與微縮研究方向

國際半導體技術藍圖(International Technology Roadmap for Semiconductors; ITRS) 是全球半導體產業需求 15 年展望的重要參考文獻，概括了產業的技術挑戰，提出了可能的解決方案，然後再由半導體製造商和設備材料供應商接手來去決定選擇哪一種技術和執行細節。ITRS 針對 Floating gate memory 的限制上也提供了一些可行的解決方向，在 ITRS “Process integration, devices, and structures 2007 edition”[3]裡面他們認為對於高密度(32 nm 以下)的非揮發性記憶體(NVM)而言，通道的介電層和多晶矽間的介電層(interpoly dielectric)的微縮能力受到介電材料的性質和其幾何結構影響。本研究可以從下表 1-2 為擷取 ITRS 製作的表格中看到之後大略的發展趨勢。

表 1-2、ITRS PID 裡指出未來的研究趨勢以及可能發展到的尺度。

Year of Production	2007	2008	2009	2010	2011
NAND FLASH technology-F(mm)	51	45	40	36	32
Cell type(FG,CT,3D,etc)	FG	FG	FG	FG/CT	CT
Tunnel oxide thickness(nm)	6-7	6-7	6-7	6-7	6-7
Interpoly dielectric material	ONO	ONO	ONO	ONO	ONO
Interpoly dielectric thickness(nm)	10-13	10-13	10-13	10-13	10-13

Year of Production	2012	2013	2014	2015
NAND FLASH technology-F(mm)	28	25	22	20
Cell type(FG,CT,3D,etc)	CT	CT-3D	CT-3D	CT-3D
Tunnel oxide thickness(nm)	6-7	6-7	6-7	6-7
Interpoly dielectric material	High-κ	High-κ	High-κ	High-κ
Interpoly dielectric thickness(nm)	9-10	9-10	9-10	9-10

從表 1-2 可以看到 cell type 分兩種，CTF 有別於浮動閘極(FG)元件，它是將電荷儲存於絕緣體之內(silicon nitride)。由於電荷是獨立儲存，完全不會彼此干擾(interference)，也不會有 FG 在微縮之下碰到的 coupling effect 的困擾，CTF 的結構至少可以微縮至 20 nm 以下。CTF 之傳統結構為 SONOS 結構如圖 1-5(a)，此結構是透過能帶設計(Band gap engineer)將電荷儲存於氮化矽 (Si_3N_4) 內，並透過上下兩層二氧化矽 (SiO_2) 來阻絕電荷流失。其構想出現的時間幾乎與浮動閘極元件的發明同期(1967 年 MNOS 結構由 Wegener [4]等人提出；而 FG 結構由由施敏與 D. Kahng[5]提出)但是 CTF 也有缺陷，那就是電荷極難抹除(erase)。因為電荷是儲存在氮化矽之深度能井(deep traps)，無法像浮動閘極元件般消除，因此必須設計超薄的 tunnel oxide 以提供電洞直接穿隧(hole direct tunneling)用來抹除電子。然而，超薄的穿隧層造成了元件電荷容易遺失。所以 SONOS 元件的發明很早，卻不曾被採用在商業應用。而旺宏電子依據 SONOS 改良發表 BE-SONOS 技術結構如圖 1-5(b)[6]，旺宏認為此項設計可以突破 45 nm 的製程障礙；另一方面其他公司如三星電子公司也有人做類似的研究 TANOS 等。而在學術界發展奈米晶體 nanocrystals(NCs)

為儲存電荷中心(charge center)的結構來取代 FG memory 的研究見圖 1-5(c)[7]，它的核心概念也是透過能帶的設計使電荷能有效保留在 NCs 之中，不同的金屬以及不同的成形方法都被廣泛的研究，而相關的文獻在 1-2 會做跟本論文相關的文獻整理和探討。也有一群研究者在幾何上的排列做研究如 Soon -Moon Jung 等人所提出的 3-D 堆疊結構如圖 1-5(d)[8]如此一來能有效提高 cell 的密度增大記憶體容量。

除了這系列的研究之外，也有人捨棄掉這些理論和架構，發展出另外一套記憶體的運作模式例如 FE-RAM、MTJ-RAM、PCM 等，以目前最常聽到的相變化記憶體(又名 OUM 如圖 1-5(e))為例透過非晶相(amorphous)和結晶相(crystal)所造成電阻的不同定義出“1”和“0”的狀態達成記憶體的效果。

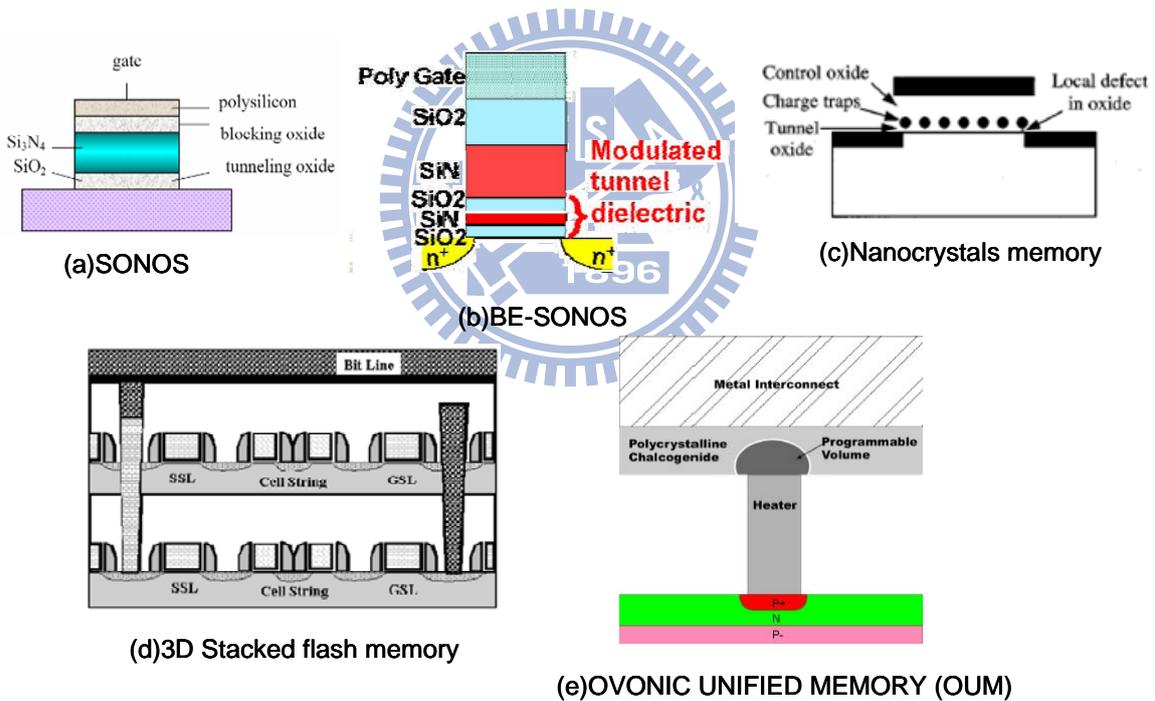


圖 1-5、為克服微縮問題的 Non-volatile memory 研究方向。

1.2 研究動機

近幾年來半導體元件製程技術的發展迅速以及市場所需求的產品是輕巧、薄、面積小，使得在進行元件微縮(scaling down)時，遇到困難；而為了克服元件微縮所造成之漏電效應，以奈米晶體(nanocrystals; NCs)為分開式儲存節點(discrete storage node)，藉由不連續的電子儲存點，即使局部的漏電，也不會把全部電子漏光，所以穿隧氧化層(Tunnel Oxide)厚度可以縮小，非揮發性記憶體(NVMs)的效能也隨之提高，如減低操作電壓，提高寫入/抹除(P/E)的速度；因此奈米晶體記憶體(nanocrystals memory ; NCs memory)逐漸成為非揮發性記憶體的主要課題。

在早期，奈米晶記憶體之儲存節點多以矽奈米晶為主，然後後來發現若以金屬為懸浮閘，由於載子侷限效應(carrier confinement)，其能量微擾(energy perturbation)較小，可減少側向漏電現象的產生；而功函數(work function)高，可有效抓住電子；且費米能階(Fermi level)附近之能態密度(density of states)高，可大量的提升有效電荷密度(effective charge density)，因此後來之研究偏向於使用金屬奈米晶體記憶體(metallic nanocrystals memory)。

1.3 論文架構

先簡單介紹一下內容的編排，第一章先介紹非揮發性記憶體的發展，第二章為文獻回顧依照別人的研究做應用以及機制的解釋，從非對稱結構的影響與材料的特性，還有模擬的結果及類似的結構電容，所以後續主軸分做兩部分，第三章為製程及奈米晶體在不同基材的形成(Nanocrystals formation)，第四章為電容在非對稱與單層結構上的比較(Capacitor)，最後第五章為結論及未來的研究發展。

第二章 文獻回顧

上一章介紹了非揮發性記憶體之特性相關知識，在本章節會在討論非對稱結構記憶體影響性與重要性，並且了解非對稱結構影響了操作速度、以及降低電壓，之後還有將其電容做出，做一些基本的比較，再分章節做討論。

2.1 非對稱結構記憶體之相關文獻

先介紹第一篇是 2007 IEEE[9]非對稱結構記憶體與單層結構記憶體其厚度的影響層面，以及其寫入與抹除由於不同厚度的氧化層會有不同的操作速度，下圖 2-1 為三種不同結構，分別為 BE-SONOS、MANOS、MA BE-SONOS，表 2-1 為其結構參數，經過實驗結果得知非對稱結構抹除電子速度將快於一般單層結構，並且從 MA BE-SONOS 改變 O1 的厚度來突顯出主要影響抹除速度的因素為第一層穿隧氧化層，其影響的關係之後會來探討。

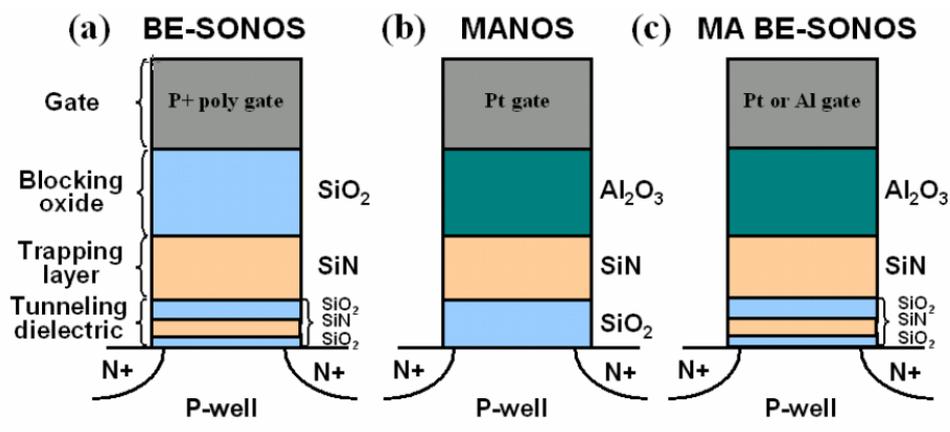


圖 2-1、結構 (a) BE-SONOS (b) MANOS (c) MA BE-SONOS[9]。

表 2-1、BE-SONOS，MANOS、MA BE-SONOS 的結構參數[9]。

	BE-SONOS	MANOS	MA BE-SONOS
Tunneling Dielectric	O1/N1/O2 (13/20/25 Å)	Oxide (45 Å)	O1/N1/O2 (15/20/30 Å)
Trapping Nitride	70 Å	70 Å	70 Å
Top Dielectric	Oxide (90 Å)	Al ₂ O ₃ (150 Å)	Al ₂ O ₃ (150 Å)
Gate Material	P+ gate	Pt	Pt or Al
EOT	178 Å	162 Å	173 Å

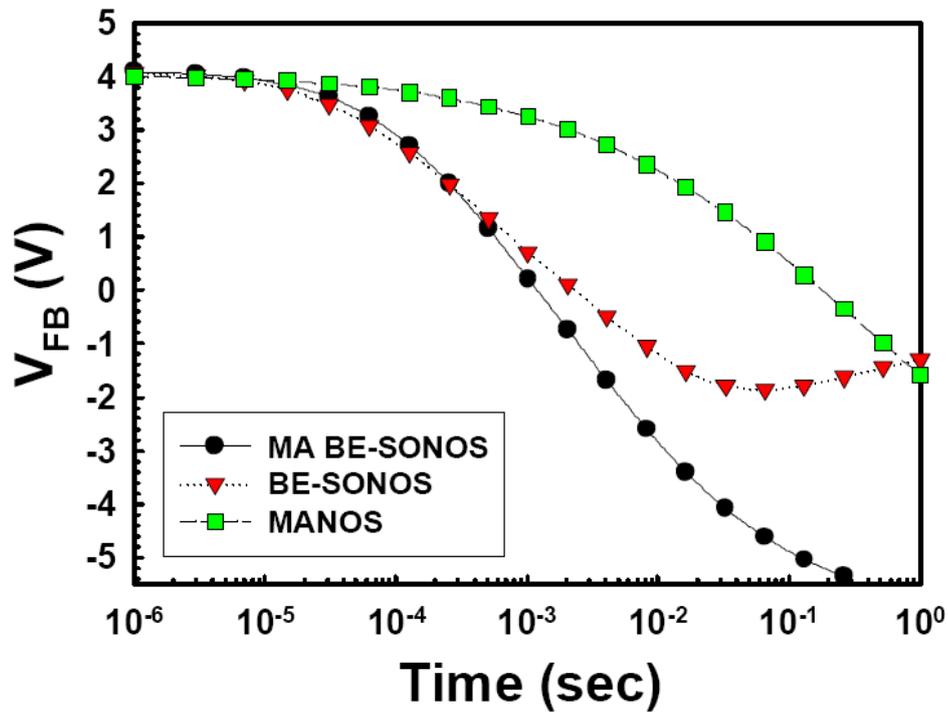


圖 2-2、三種元件在 $V_G = -18$ V 抹除曲線且閘極材料為 Pt[9]。

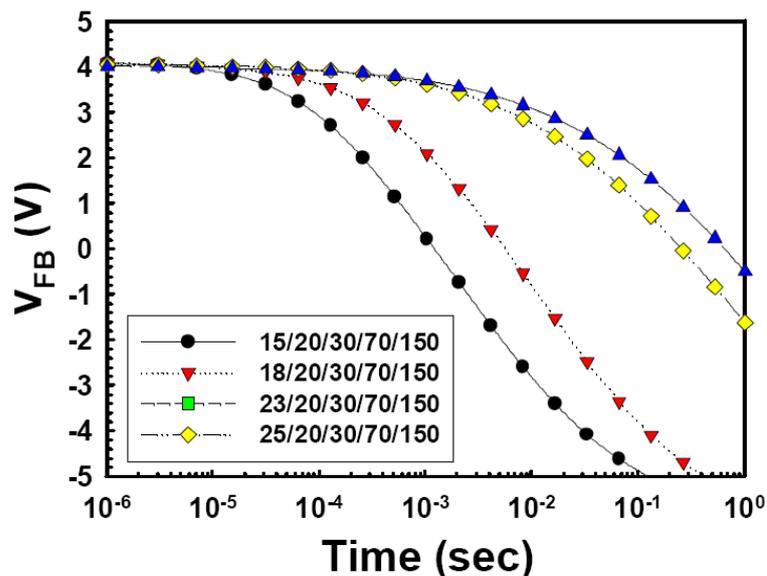


圖 2-3、MA BE-SONOS 改變 O1 之抹除特性曲線[9]。

再來一篇是 2005 IEEE TED[10]，這篇主要是利用 Si_3N_4 與金屬之間的異質介面來增加補抓電荷能力，應用到一般的直接穿隧元件上，並且多疊一層加大 window 又可以使資料維持度提升，從能帶圖來看，又可以產生三層的位能差，也算是另一種非對稱結構。這實驗結果，也看到了在較薄 Si_3N_4 下，彷彿看到了 SONOS 結構，不過可以確定的是，元件是不會有 memory window 產生的。

表 2-2、結構參數[10]。

Device ⁽¹⁾	Tunneling oxide ⁽²⁾	Floating gate ⁽³⁾	Control oxide ⁽⁴⁾
(a)	2.65nm	–	29.9nm
(b)	2.65nm	8.6nm Si_3N_4	29.9nm
(c)	2.65nm	Au nanocrystal	29.9nm
(d)	2.65nm	Au nc+8.6nm Si_3N_4	29.9nm
(e)	2.65nm	Au nc+4.3nm Si_3N_4 +Au nc+4.3nm Si_3N_4	29.9nm

(1) 370nm Cr metal gate is used.

(2) Thickness was measured by the ellipsometer and STEM.

(3) Si_3N_4 was deposited by PECVD. Au nanocrystals were formed by the direct deposit self-assembly method.

(4) Thickness was measured by the ellipsometer.

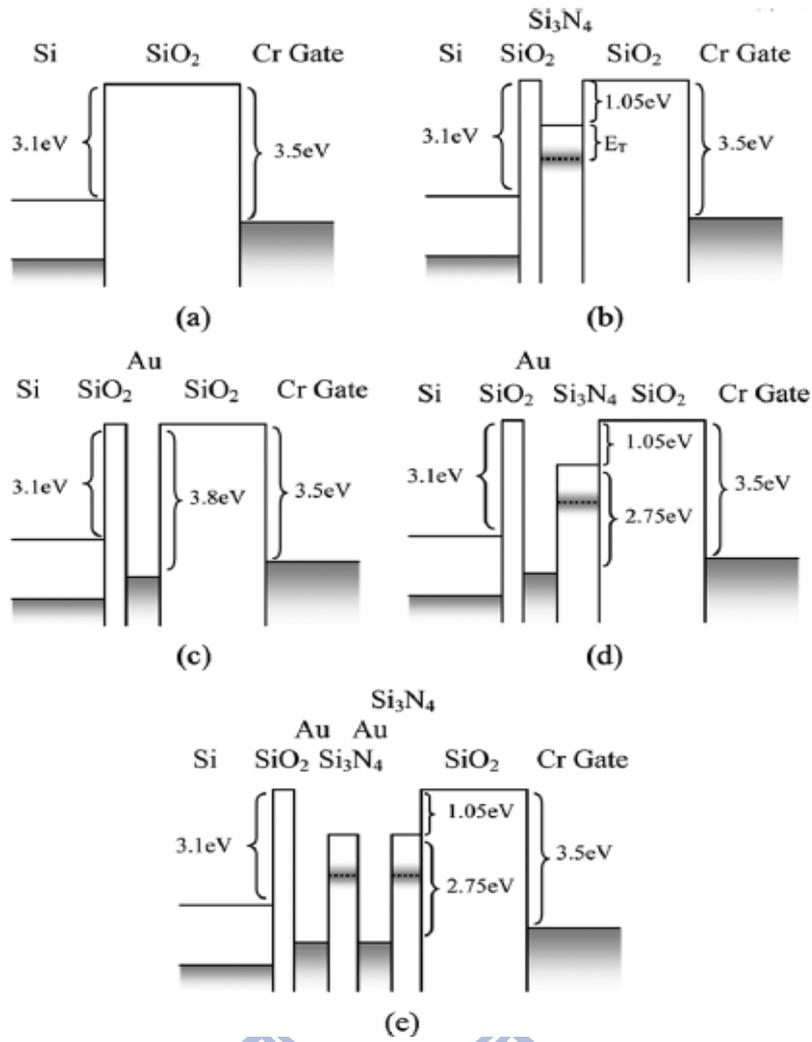


圖 2-4、結構能帶圖[10]。

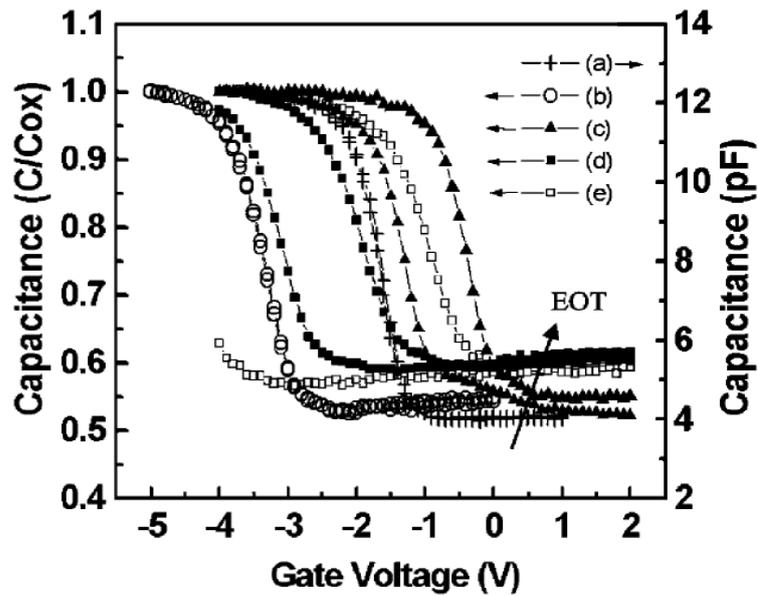


圖 2-5、各結構 CV 曲線[10]。

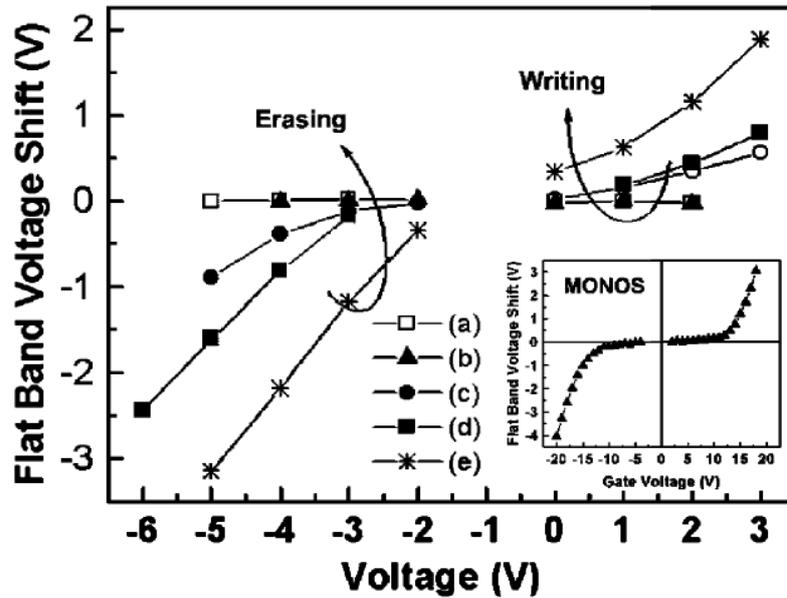


圖 2-6、寫入與抹除電壓位移比較圖[10]。

第三篇是 2008 APL[11]這篇是模擬到了一個在 SiO_2 和 Si_3N_4 層有奈米晶體跟無奈米晶體的情狀下電場分布圖，由模擬知道有奈米晶體在穿隧氧化層的電場分布會比沒有奈米晶體來的大許多，奈米晶體本師導體無電場，彷彿是奈米晶體再將電場施加給穿隧氧化層，讓電子更容易穿隧。

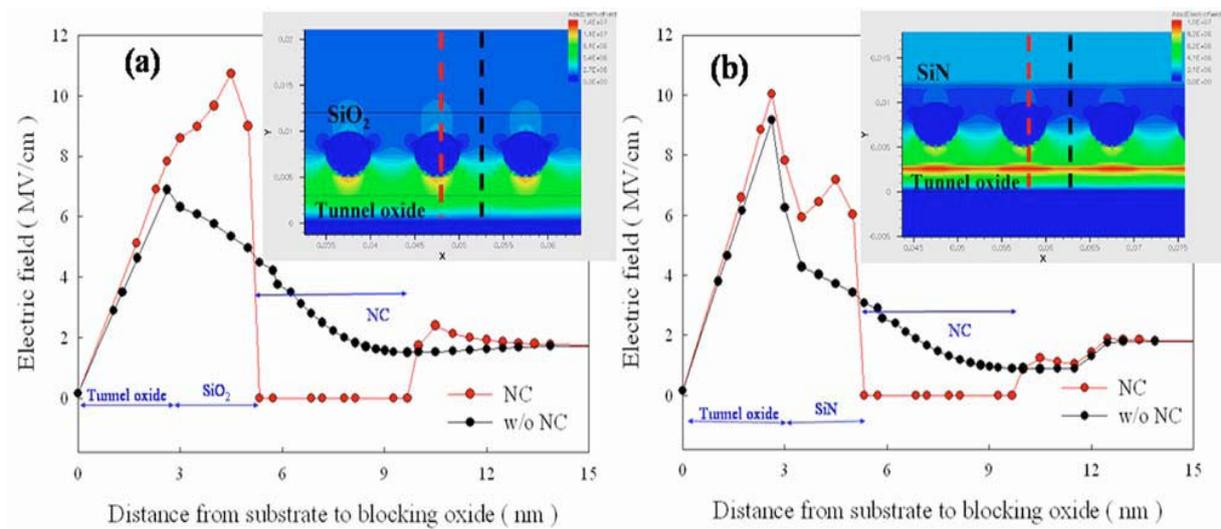


圖 2-7、NiSi NCs 電場分佈分別在(a) SiO_2 和(b) Si_3N_4 層。紅色線代表有 NCs 與黑色線代表

沒有 NCs。介電常數 $\text{SiO}_2=3.9$ ， $\text{Si}_3\text{N}_4=7.5$ [11]。

最後一篇是 2006 APL[12]這篇實驗結構和我之後要做的電容比較相似，內容有做到不同時間的量測，可以看出，ATB 結構的電容在操作速度可以從平帶電壓偏移來看，但所選的材料不同，能帶圖也不同，效能也就不同，這表現出 asymmetric tunnel barrier (ATB)能影響的不只是寫入跟抹除的速度，還能維持資料儲存度，而且降低電壓。

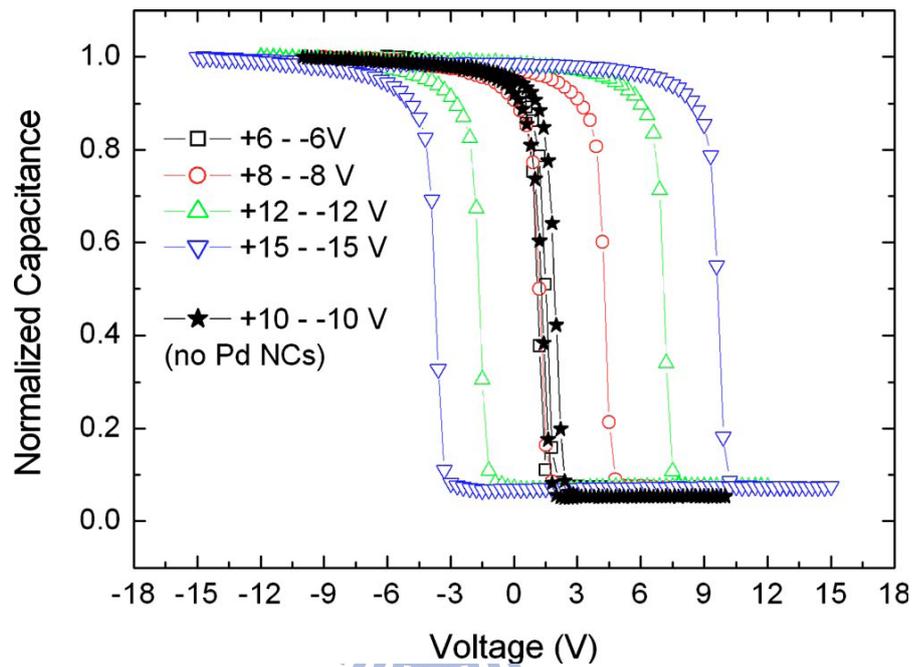


圖 2-8、CV 曲線給予不同的掃動範圍從(+6,-6)到(+15,-15) V[12]。

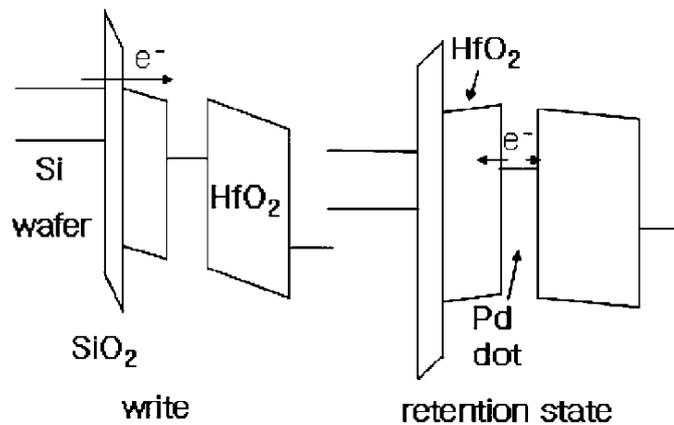


圖 2-9、寫入與記憶維持狀態的能帶圖[12]

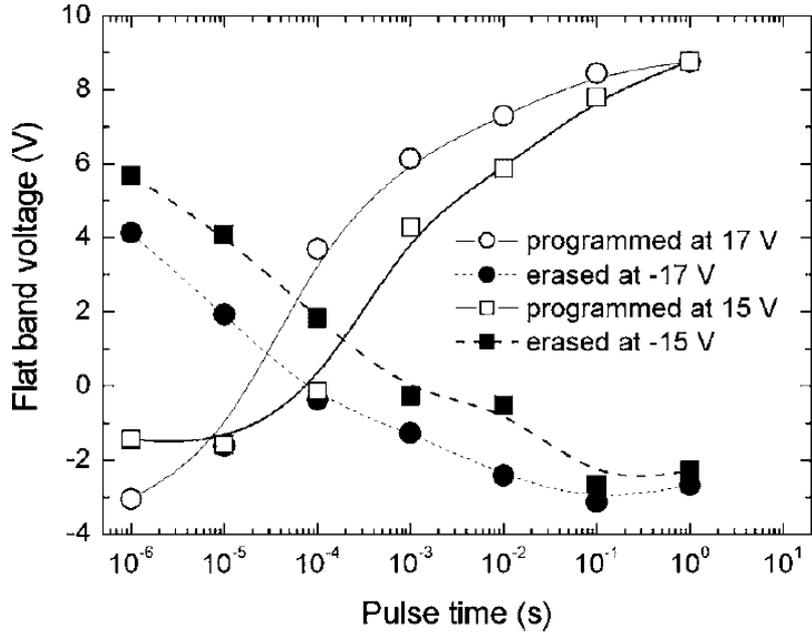


圖 2-10、在不同寫入與抹除電壓下的平帶電壓位移[12]。

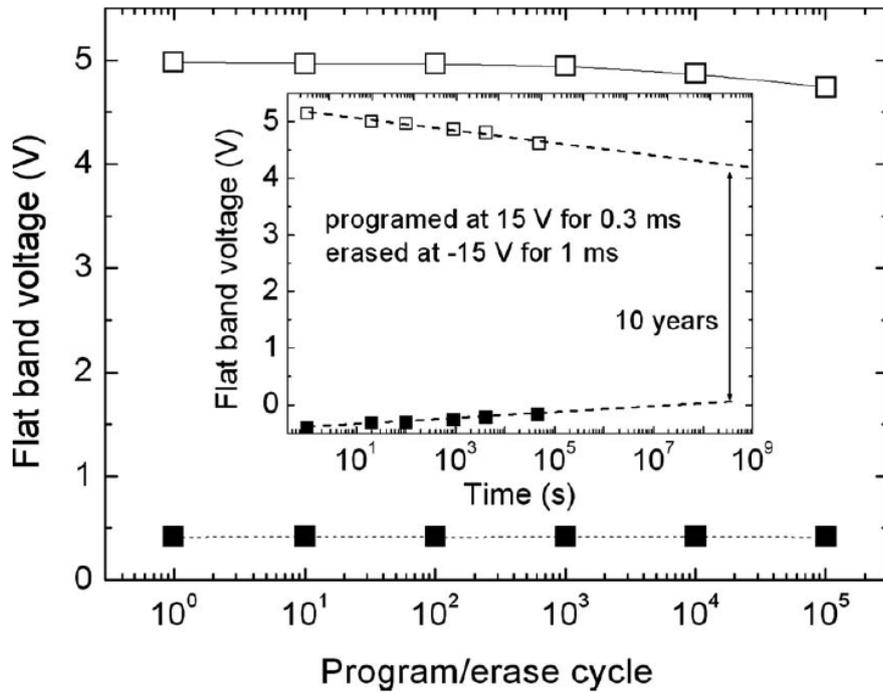


圖 2-11、在施加電壓寫入與抹除 (15 V, 300 μ s), (-15 V, 1 ms) 耐用度與資料儲存度[12]。

2.2 非揮發性記憶體之物理機制

在記憶體的寫入與抹除機制中，都是利用穿隧效應，而穿隧又分會兩類，分別為熱載子與冷載子。首先來介紹穿隧效應，由薛丁格方程式得知，穿隧機率與穿隧的厚度有一定的關係，其關係式如下：

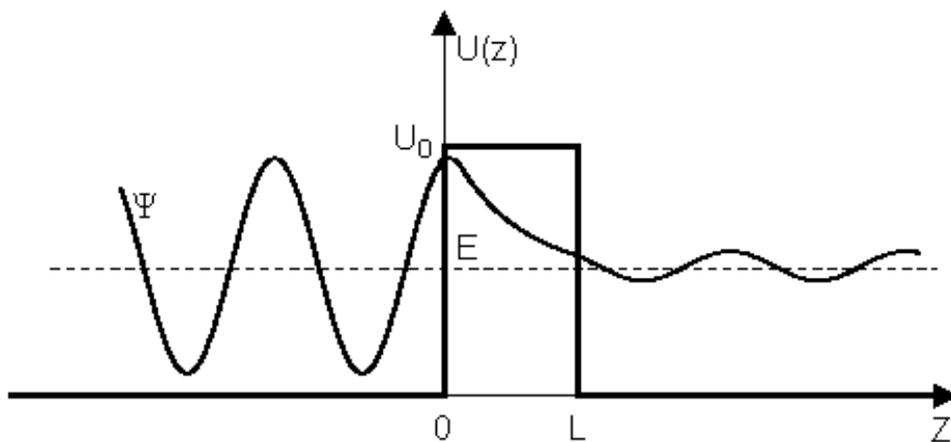


圖 2-12、 U_0 為位能障及 Ψ 為能函數。

$$\begin{cases} \Psi'' + k_1^2 \Psi = 0, & \text{при } z < 0, \\ \Psi'' - k_2^2 \Psi = 0, & \text{при } z \in [0, L], \\ \Psi'' + k_1^2 \Psi = 0, & \text{при } z > L, \end{cases}$$

且 $k_1 = \frac{\sqrt{2mE}}{\hbar}, k_2 = \frac{\sqrt{2m(U-E)}}{\hbar}$ ，假設 $\frac{k_2}{k_1} > \frac{k_1}{k_2}$

則得到 $D(E) = D_0 \exp\left\{-\frac{2L}{\hbar} \sqrt{2m(U_0 - E)}\right\}$ 且 $D_0 = 4\left[1 + \frac{1}{4}\left(\frac{k_2}{k_1} - \frac{k_1}{k_2}\right)^2\right]^{-1}$

$$T = e^{-2k_2 L}$$

T 為穿隧機率，L 為能障厚度

2.2.1 通道熱電子注入(Channel Hot electron injection)

通道熱電子注入的方式為利用元件操作在反轉飽和區時，通道導通時且集極端偏壓在飽和區，在橫向電場的作用下，此時產生大量的電子向集極端移動，當電子進入夾止區時(Pinch-off Region)，藉由高電場獲得足夠的能量，使其能越過穿隧氧化層(tunnel oxide)的位能障時，電子即可受到閘極偏壓的影響而進行注入。在記憶體元件的結構中，由於比N型通道金氧半元件(NMOS)多了一層懸浮閘，往上走的電子便可以儲存在此懸浮閘上，達成了記憶體寫入的目的，然而這些往上走的熱電子中集中在一個很小的區域射入，可以想見的，在經過多次的寫入之後，一些電子可能陷入氧化層中，可能陷入浮接閘極中，如此造成電子不容易射入，因而使得元件的可靠度降低。(如圖 2-15[14])

操作快速就是通道熱電子注入(CHEI)的特點，當元件操作在飽和區的時候，電子被加速到大約為 10^7 cm/s，這時已經是電子在半導體中速度的極限，此時，由於被閘極控制吸引而上，操作的時間大約在 1 到 10 微秒(1~1 μ s)，優於 F-N 穿隧的速度，所以常常被應用在浮動閘極層的電子注入機制。



2.2.2 F-N 穿隧(Fowler-Nordheim Tunneling)

穿隧機制(Tunneling mechanism)是從量子力學中帶入薛丁格方程式(Schrödinger equation)所導出的機制。不同於古典物理的概念，近代物理的學家認為電子等微觀粒子能夠穿過它們本來無法通過的“牆壁”的現象。這是因為根據量子力學，微觀粒子具有波的性質，而有不為零的機率穿過能障壁。換句話說，人也有機會去穿過牆壁，只是這個機率在巨觀世界裡面微乎其微，因此到現在還沒有發現這現象。

F-N 穿隧(Fowler-Nordheim Tunneling)請參見圖 2-13[14]。以金屬-氧化物-半導體(MOS)的結構來說，因為它會隨著 MOS 操作的電壓上升，而使測量到的電流上升。從能帶的 MOS 結構來解說，電極所施加的電壓會使的氧化層的等效寬度變小如圖 2-13，因此電子從 Si 穿過氧化層的機率就因此上升。浮動閘極元件可以利用 F-N 穿隧(F-N tunneling)使源極(Source)的電子穿過穿隧氧化層(tunneling oxide)到達浮動閘極，接著關閉電壓，電

子就會被侷限(trap)在由穿隧氧化層(tunneling oxide)和控制氧化層(control oxide)之間的位能井內(如圖 2-14)[13]。

F-N 穿隧電流 J 可表現為下式：

$$J = \alpha E_{inj}^2 \exp\left[-\frac{E_c}{E_{inj}}\right]$$

$$\alpha = \frac{q^3}{8\pi\hbar\phi_s} \frac{m}{m^*} \quad E_c = 4\sqrt{2m^*} \frac{\phi_s^{3/2}}{3\hbar q}$$

其中 \hbar 為普朗克常數； ϕ_s 為注入接面能障高度； E_{inj} 為注入接面的電場； q 為電子電荷量 (1.6×10^{-19})； m 為自由電子質量； m^* 為自由電子在介電質有效電子質量

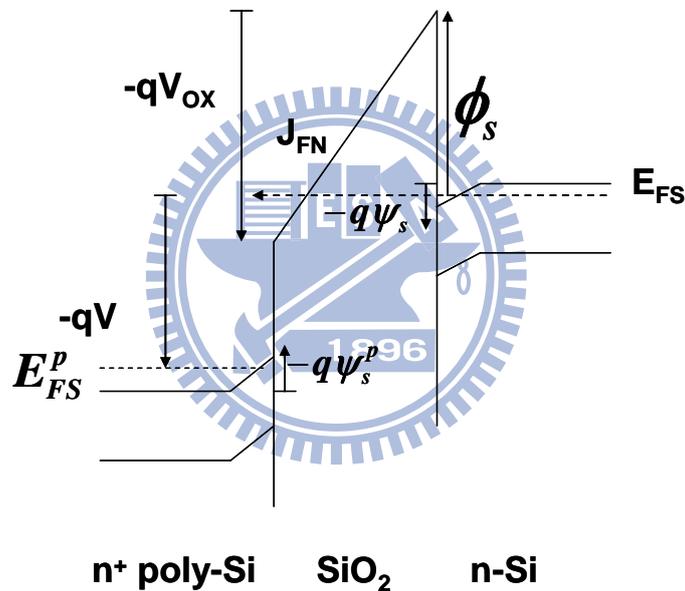


圖 2-13、F-N tunneling 在 MOS 結構的示意圖。

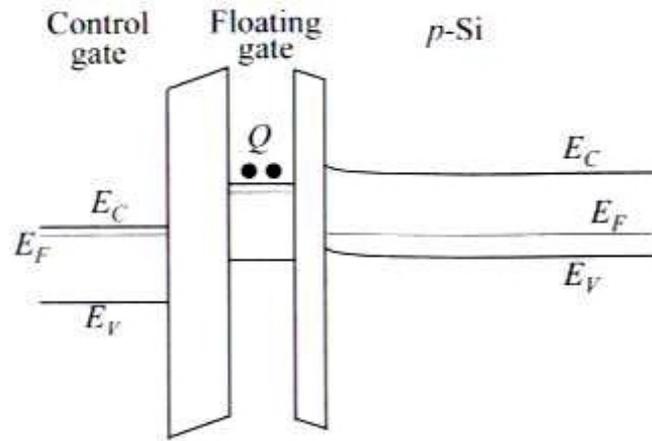


圖 2-14、電子侷限在 FG 的位能井之中 [13]。

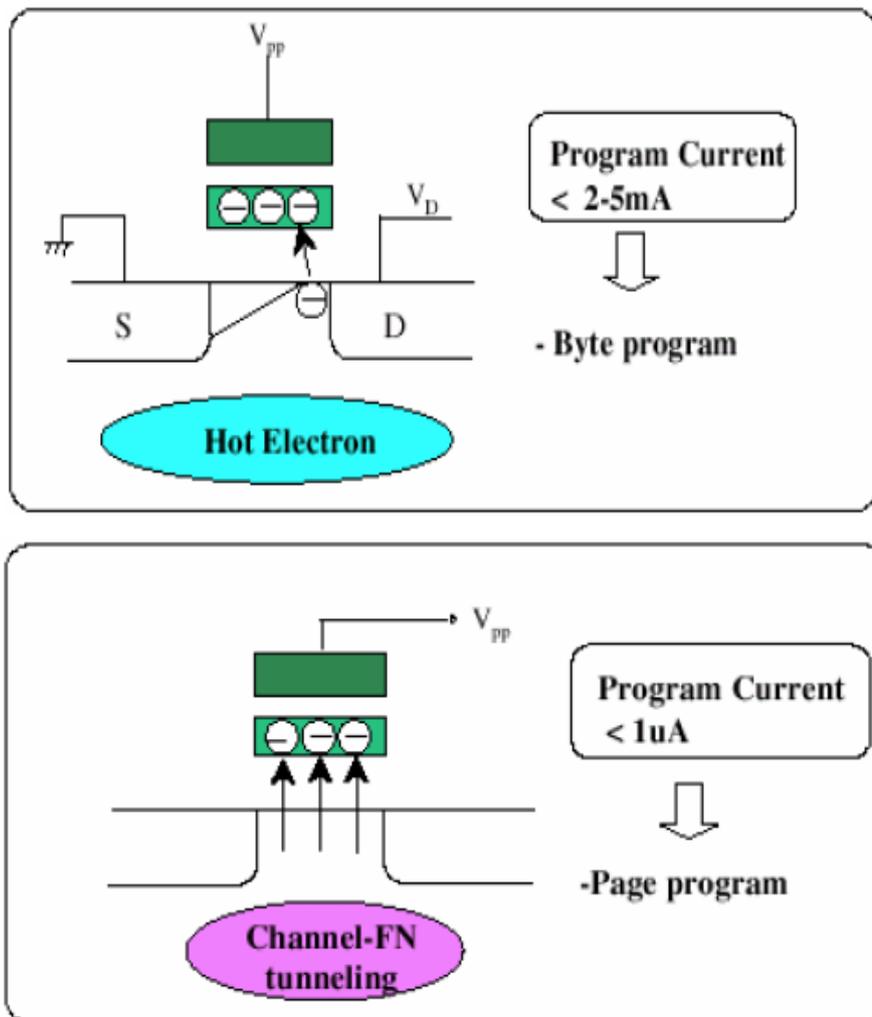


圖 2-15、上圖為 CHEI 模式下圖為 F-N tunneling 模式對操作在元件的示意圖

表 2-3、CHEI 和 F-N tunneling 比較。

CHEI 模式	F-N tunneling 模式
Low power consumption —single external power supply	High power consumption —complicated circuitry technique
High oxide field —thinner oxide thickness required —higher trap generation rate —severer read disturbance issue —highly technological problem	Low oxide field —oxide can be thicker —highly oxide integrity —low read disturbance issue
Slower programming speed	Faster programming

2.2.2 直接穿隧(Direct tunneling)

當金屬-氧化物-半導體(MOS)的結構來說，直接穿隧發生在中間的夾層很薄的時候 ($\text{SiO}_2 < 3 \text{ nm}$) 會發現有穿隧電流的現象，如圖 2-16。

電流關係式可表示為以下：

$$J = \frac{A}{d^2} \left\{ \left(\phi_s - \frac{V}{2} \right) \exp\left(-Bd\sqrt{\phi_s - \frac{V}{2}}\right) - \left(\phi_s + \frac{V}{2} \right) \exp\left(-Bd\sqrt{\phi_s + \frac{V}{2}}\right) \right\}$$

中其常數 $B = \frac{4\pi\sqrt{2m^*q}}{h}$ ，V 為閘極電壓，d 為閘極介電質厚度。

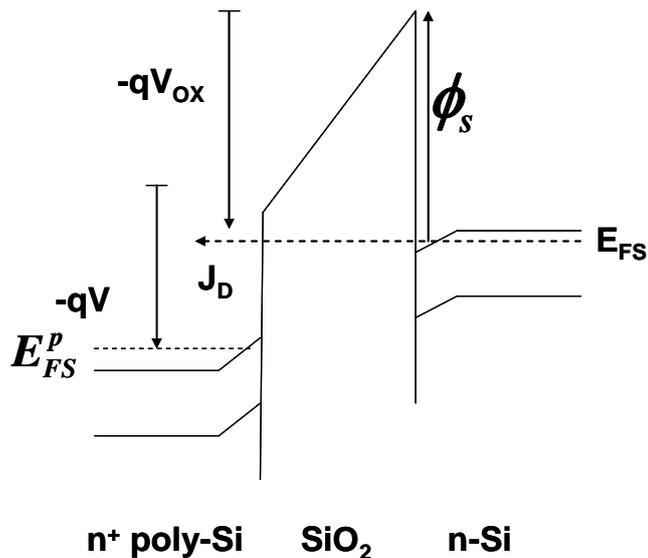


圖 2-16、Direct tunneling 在 MOS 結構之示意圖。

2.3 非揮發性記憶體之可靠度

在這個數位行動產品充斥的時代，對一個理想的記憶體來說至少必須要具備的特性：(1)低功率消耗(2)高儲存容量(3)高操作速度(4)長儲存時間(5)高耐用性。快閃記憶體(Flash Memory)，其儲存的單位稱為一個基本位元(Cell)，其內部元件 MOS 的閘級(Gate)和通道(Channel)間，比傳統的只有一層氧化絕緣層(gate oxide)，又多增加了一層浮閘(floating gate)。也因為有這一層浮閘，使得快閃記憶體可以運作三種模式：寫入、讀出、抹除，然而在對元件進行讀寫的動作時，其對整個元件結構往往會產生部分的破壞當長期的運作下來，其可靠度便變成了一個很重要的指標，因此對於其記憶體的可靠度就有了許多的規範，以下將針對兩種常用的可靠度作介紹。

2.3.1 資料保存度定義(Retention)

資料持久度指的是非揮發性記憶體儲存資料，並在特定溫度經過一定次數的讀寫模式後，可以長久保有資料準確的能力。而其中可能會引起資料流失的機制主要為，電子直接經由穿隧或熱激發機制的模式而流失，或是藉由氧化層內部的缺陷而流失，此兩種皆為現在研究中為改善其可靠度的最重要的研究動機。在非揮發性記憶體科技中，通常為保持其非揮發性皆會要求要有 10 年的資料持久度，然而若考慮到要保存 10 年的資料持久度，則表示著每天最多只能流失 5 個電子才能將資料保持在儲存節點內 10 年，顯示出其儲存節點須要有很好的抓電子能力。

2.3.2 耐用度定義(Endurance)

在記憶體中另一個可靠度的指標便是關於耐用度的測試。在記憶體中，每次進行寫入與抹除皆可能會對氧化層結構造成破壞而產生缺陷，電荷會因為此缺陷而流失，因此對於一記憶體元件經得起幾次的寫入與抹除程序，亦是需要探討的重點。而關於耐用度主要指的是，對於一元件能經得起幾次的寫入與抹除機制，一般便是定義為 10^6 次為其公定的次數。

第三章

單層結構與非對稱結構記憶體製作流程

這一章會詳細介紹本論文的實驗製程，包含鈱奈米晶體形成研究、以及電容結構的製作，下一章對量測作討論，由於在不同基材上鍍上 Ir 金屬，基材的吸熱能力不同，在經過快速熱退火處理下，單位面所吸收的熱能會產生不同的奈米晶體大小與密度，以下會分別來做討論。

3.1 單層結構

首先介紹單層(SiO_2)結構記憶體，本實驗電容結構為 $\text{Al} / \text{P-sub} / \text{SiO}_2 / \text{Ir NCs} / \text{SiO}_2 / \text{Al}$ ，從 P-sub 開始慢慢疊上材料，最後才是鍍鋁，3.1.1 為製作過程所生成的鈱奈米晶體大小及密度介紹，電容製作過程在 3.1.2 會做說明。

3.1.1 奈米晶體的形成

單層結構記憶體奈米晶體形成的實驗步驟如下：

- (1) 用 P-type (100)晶片先做 RCA clean 的處理如圖 3-1。

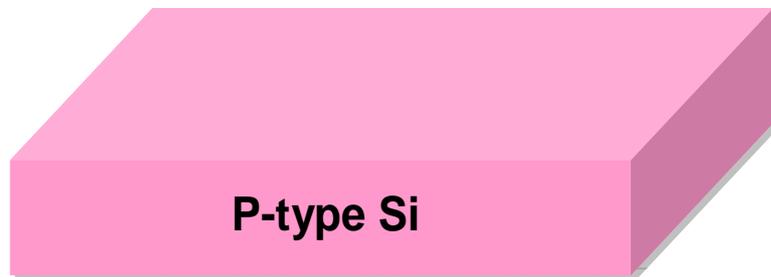


圖 3-6、P-type 晶片經過 RCA clean。

(2) 經過 RCA clean 之後，送進高溫水平爐管 900 °C 乾式氧化層 5 nm 如圖 3-2。



圖 3-2、水平爐管長 Dry oxide 5 nm。

- (3) 長完 SiO₂ 後利用 n&k 膜厚測厚儀做確認後破片。
- (4) 之後再利用本實驗室的 Ion beam sputter 做金屬 Ir 膜的疊加(見下頁圖 3-3)。
- (5) 利用 RTA 熱製程形成奈米晶體 (見下頁圖 3-4)。
- (6) 利用材料分析儀器如 SEM、AFM 和 XPS 等做材料的分析。

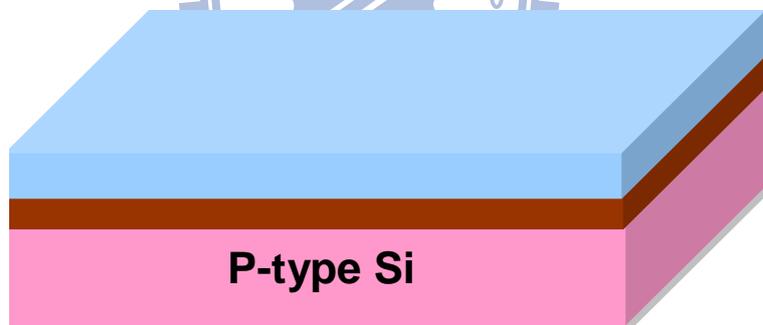


圖 3-3、利用 Sputter 鍍 Ir 膜。

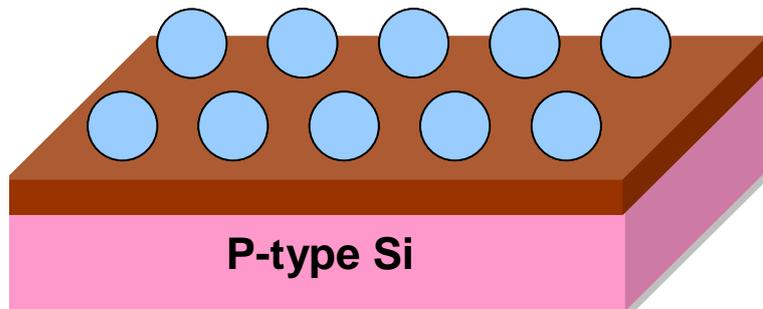


圖 3-4、RTA 之後形成 Ir 奈米晶體。

3.1.2 電容的製作(The process flow of capacitor)

- (1) 用 P-type (100) 的晶片做 RCA clean 的處理如圖 3-1。
- (2) 經過 RCA clean 之後，送進高溫水平爐管 900 °C 乾式氧化層 5 nm 如圖 3-2。
- (3) 用 n&k 膜厚測厚儀做 SiO₂ 的確認後破片。
- (4) 利用 Ion beam sputter 做金屬 Ir 膜的疊加如圖 3-3。
- (5) 參考前面的研究利用其調整出的參數做 RTA 的熱處理如圖 3-4。
- (6) 利用化學氣相沉積系統(PECVD)疊上 SiO₂，使奈米晶體覆蓋上阻擋層 20 nm(blocking layer)如下頁圖 3-5。
- (7) 疊完 SiO₂ 材料用爐管作退火(annealing) 30 min 並且同時通入氮氣跟氧氣，目的是為了修補 PECVD 製程中出現的缺陷(defect)，以免造成量測上的漏電或是誤差，參考之前的實驗，同時通入氮氣跟氧氣對於 SiO₂ 修補能力優於只通入氮氣。

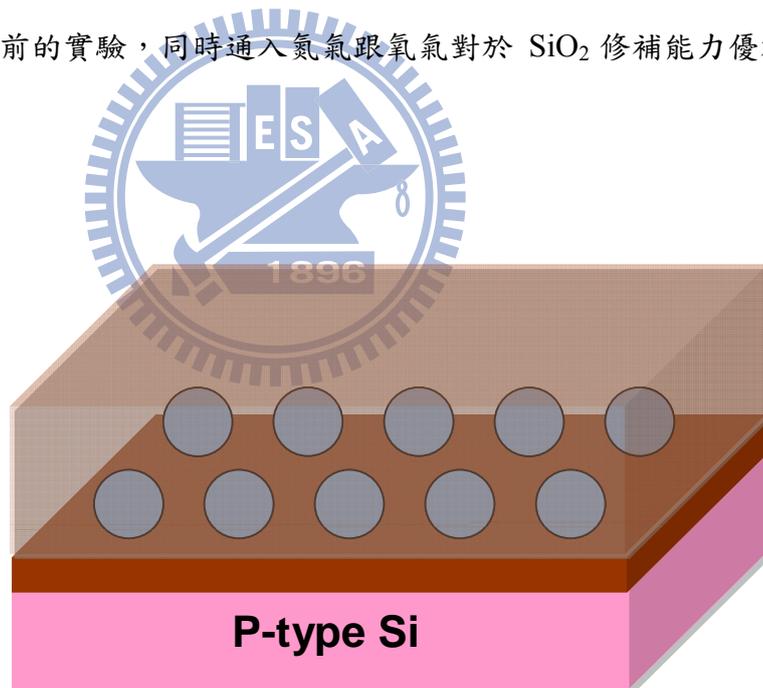


圖 3-5、利用 PECVD 疊上 SiO₂ 的薄膜。

(8) 透過熱阻絲蒸鍍系統(Thermal coater)正鍍鋁電極 300 nm。

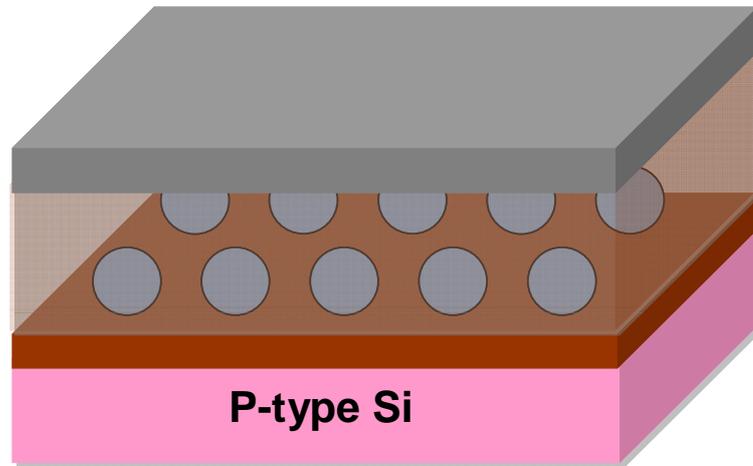


圖 3-6、利用 Thermal coater 鍍鋁 300 nm。

(9) 用黃光微影製程定義出鋁電極的圖形。

(10) 利用蝕刻鋁的溶液(蝕刻 Al 溶液 = $\text{H}_2\text{O} + \text{CH}_3\text{COOH} + \text{H}_3\text{PO}_4 + \text{HNO}_3$)，加熱至 40~60 °C 後，把鋁蝕刻掉，而受到光組保護的地方則會保護 Al 不受蝕刻液侵蝕如圖 3-7。

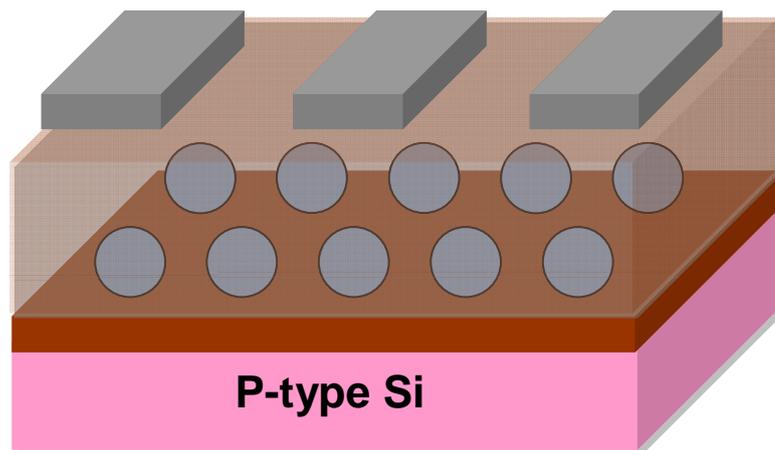


圖 3-7、將鋁蝕刻掉後的電容元件圖。

(11) 最後在 P-Sub 底部也鍍上 Al 300 nm 電極，製程便到此為止。其電容整個結構如圖 3-8。

(12) 將完成的電容做電性分析。

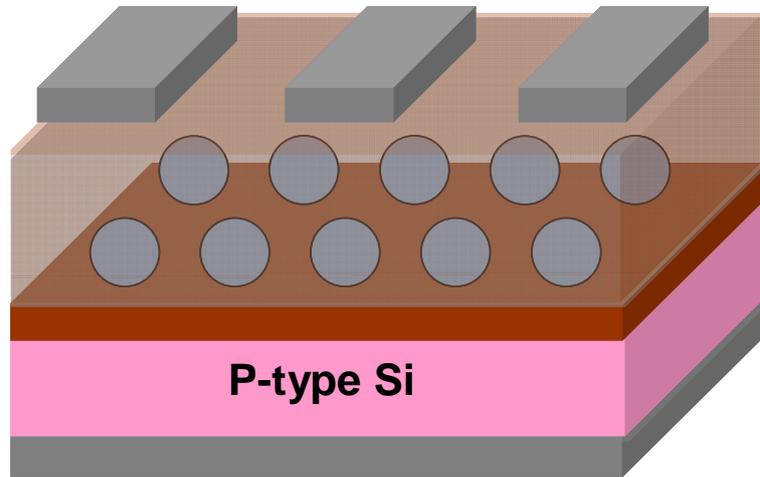


圖 3-8、奈米晶體電容結構示意圖。

3.2 非對稱結構

這一節介紹非對稱結構記憶體，變動 SiO_2 厚度並增加 Si_3N_4 材料，造成能帶能障的差異，來改變電容特性。

3.2.1 奈米晶體的形成

非對稱結構記憶體奈米晶體形成的實驗步驟如下：

(1) 用 P-type (100)晶片做 RCA clean 的處理如圖 3-9。

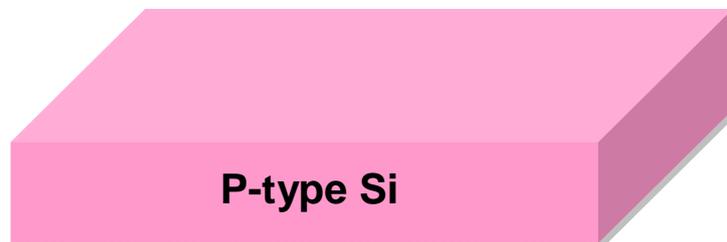


圖 3-9、P-Type 晶片經過 RCA clean。

(2) 經過 RCA clean 之後，送進高溫水平爐管 900 °C 乾式氧化層 2.5 nm 如圖 3-10。



圖 3-10、水平爐管長 Dry oxide 2.5 nm。

(3) 長完 SiO₂ 後利用 n&k 膜厚測厚儀做確認後破片。

(4) 利用化學氣相沉積法(PECVD)疊上 Si₃N₄ 2.5 nm，如圖 3-11。

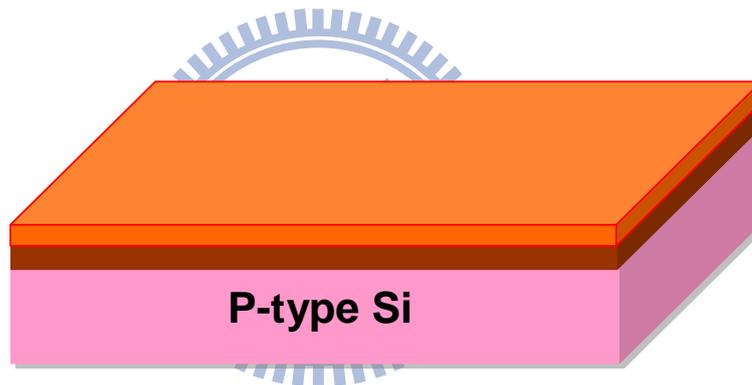


圖 3-11、用 PECVD 疊上 Si₃N₄。

(5) 之後再利用本實驗室的 Ion beam sputter 做金屬 Ir 膜的疊加(見下頁圖 3-12)。

(6) 利用 RTA 熱製程形成奈米晶體 (見下頁圖 3-13)。

(7) 利用材料分析儀器如 SEM、AFM 和 XPS 等做材料的分析。

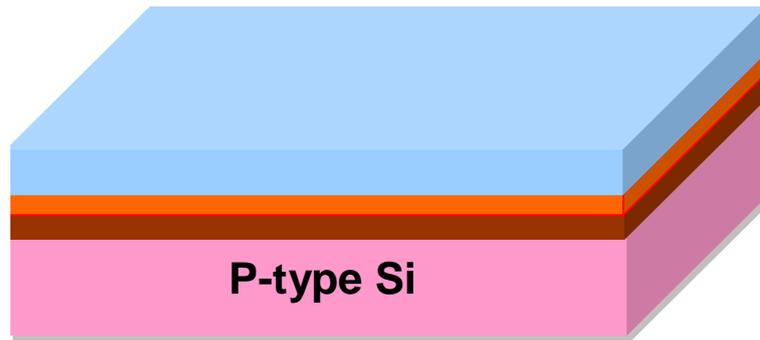


圖 3-12、利用 Sputter 鍍 Ir 膜。

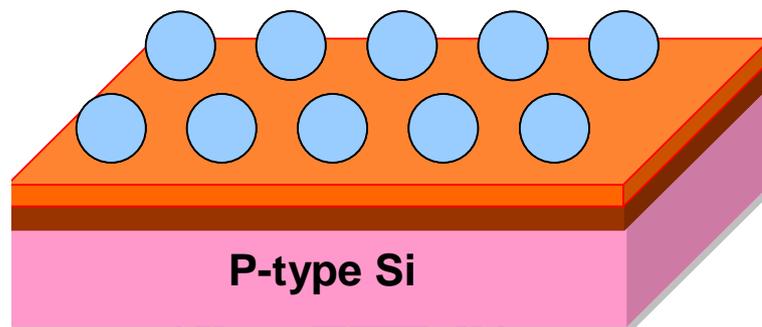


圖 3-13、RTA 之後形成奈米晶體。

3.2.2 電容的製作(The process flow of capacitor)

- (1) 用 P-type (100) 的晶片做 RCA clean 的處理如圖 3-9。
- (2) 經過 RCA clean 之後，送進高溫水平爐管 900 °C 乾式氧化層 2.5 nm 如圖 3-10。
- (3) 用 n&k 膜厚測厚儀做 SiO₂ 的確認後破片。
- (4) 利用化學氣相沉積法(PECVD)疊上 Si₃N₄ 2.5 nm，如圖 3-11。
- (5) 利用 Ion beam sputter 做金屬 Ir 膜的疊加如圖 3-12。
- (6) 參考前面的研究利用其調整出的參數做 RTA 的熱處理如圖 3-13。
- (7) 利用化學氣相沉積系統(PECVD)疊上 SiO₂，使奈米晶體覆蓋上阻擋層 20 nm(blocking layer)如下頁圖 3-14。
- (8) 疊完 SiO₂ 材料用爐管去作 annealing，目的是為了修補 PECVD 製程中出現的缺陷(defect)。

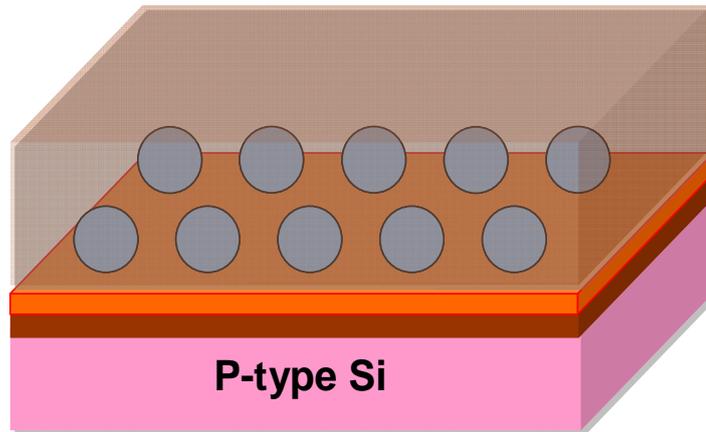


圖 3-14、利用 PECVD 疊上 SiO_2 的薄膜。

(9) 透過熱阻絲蒸鍍系統(Thermal coater)正鍍鋁電極 300 nm 如圖 3-15。

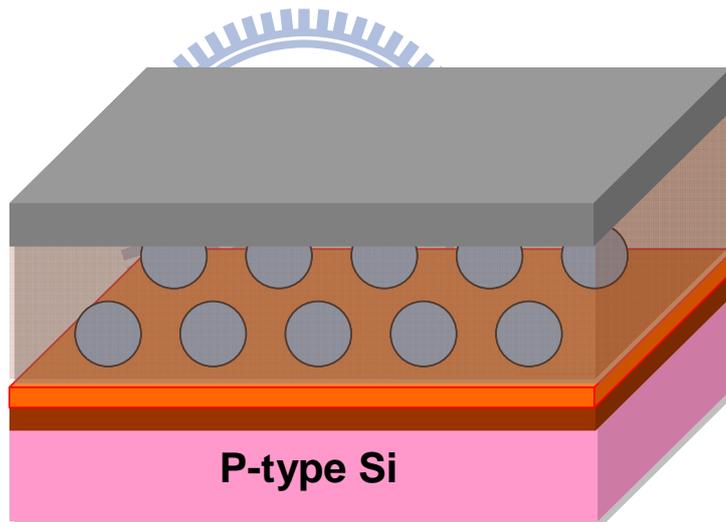


圖 3-15、利用 Thermal coater 鍍鋁 300 nm。

(10) 用黃光微影製程定義出鋁電極的圖形。

(11) 利用蝕刻鋁的溶液(蝕刻 Al 溶液 = $\text{H}_2\text{O} + \text{CH}_3\text{COOH} + \text{H}_3\text{PO}_4 + \text{HNO}_3$)，加熱至 $40\sim 60^\circ\text{C}$ 後，把鋁蝕刻掉，而受到光組保護的地方則會保護 Al 不受蝕刻液侵蝕如圖 3-7。

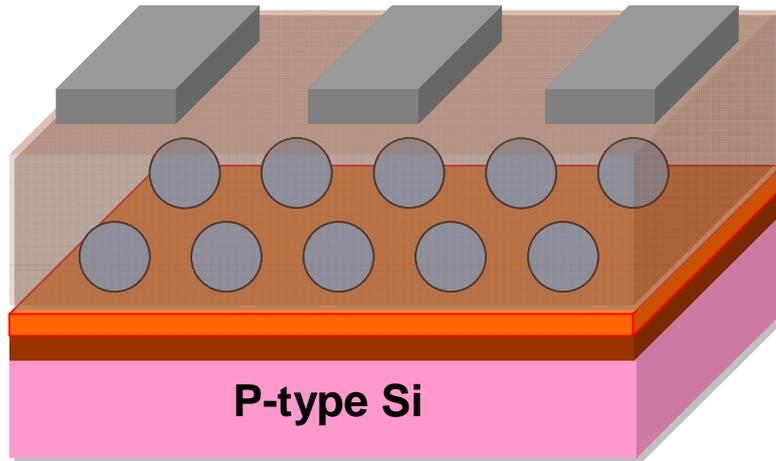


圖 3-16、將鋁蝕刻掉後的電容元件圖。

(12) 最後在 P-Sub 底部也鍍上 Al 300 nm 電極，製程便到此為止。其電容整個結構如圖 3-8。

(13) 將完成的電容做電性分析。

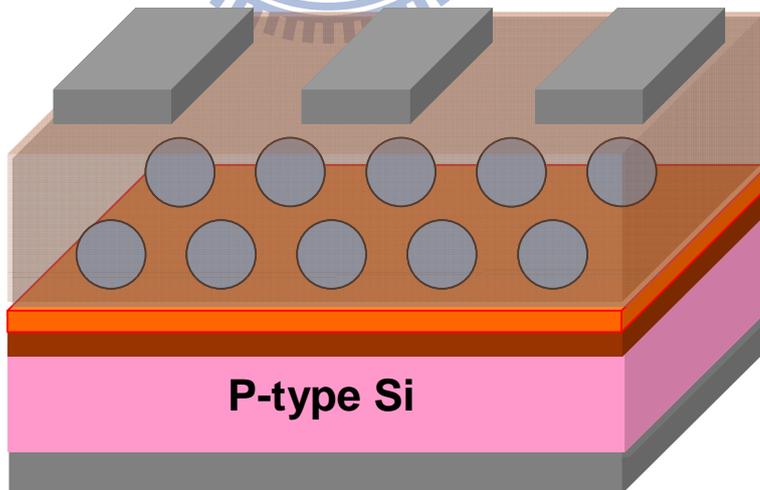


圖 3-17、奈米晶體電容結構示意圖。

3.3 奈米晶體的比較

在同溫度下的奈米晶體會因為不同基材上密度也大不相同，由於選擇的材料在金屬狀態的時候熔點為 2466°C ，屬於高溫的金屬，因此本實驗參考以前學長的製造條件， 900°C 的區間去做研究，在 RTA 之後透過 SEM 去做奈米晶體確認的動作。

在這一小節調變的參數為溫度，起始的金屬膜厚在經過 TEM 的校正之後推估在 5 nm ，而 RTA 時間皆為 60 s 。結果 900°C 的圖片可以看到 Ir 奈米晶體在基材 5 nm SiO_2 與基材 $2.5\text{ nm SiO}_2 / 2.5\text{ nm Si}_3\text{N}_4$ 的差異，顆粒大小與密度皆差異很大。

由於 Si_3N_4 導熱率約 18 W/mk 與 SiO_2 導熱率約 1.4 W/mk ，所以 Si_3N_4 較容易吸熱，故在 RTA 瞬間加熱狀態下，在單位面積所吸收的熱能不同，產生不同的奈米晶體大小與密度。

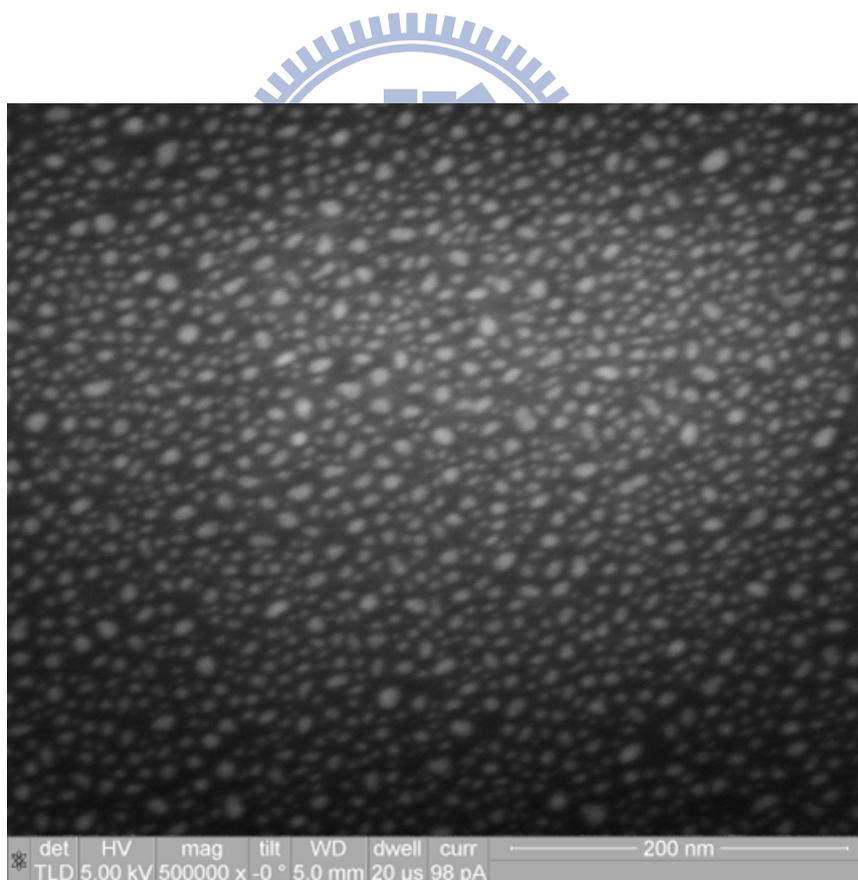


圖 3-18、在基材 5 nm SiO_2 上 SEM 圖(900°C)。

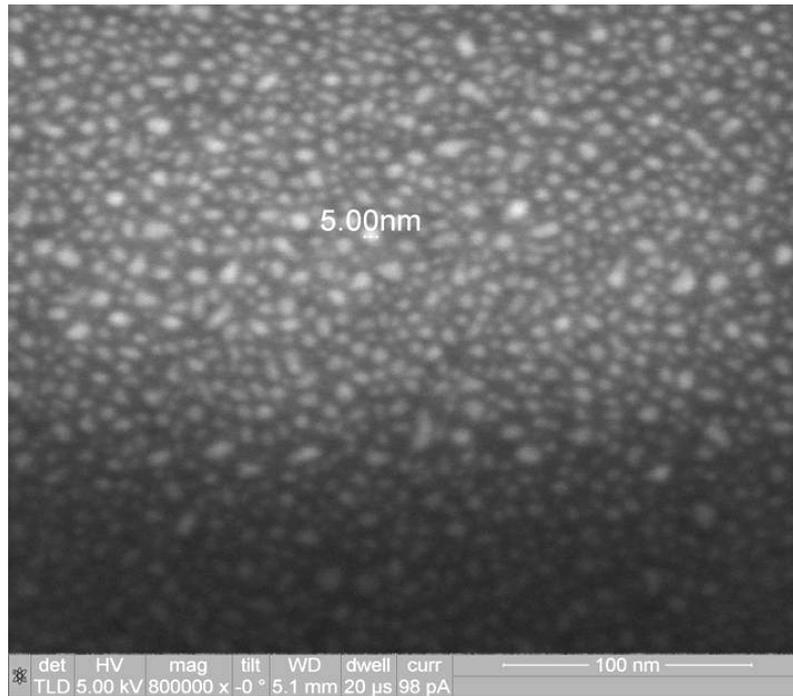


圖 3-19、在基材 2.5 nm SiO₂ / 2.5 nm Si₃N₄ 上 SEM 圖(900 °C)。

表 3-1、奈米晶體的比較。

	900 °C
Diameter(5 nm SiO ₂)	8 nm
Density(5 nm SiO ₂)	$6 \times 10^{11} \text{ cm}^{-2}$
Diameter(2.5 nm SiO ₂ + 2.5 nm Si ₃ N ₄)	5 nm
Density(2.5 nm SiO ₂ + 2.5 nm Si ₃ N ₄)	$1 \times 10^{12} \text{ cm}^{-2}$

第四章

電容 (MOS) 之量測與討論

本章接續上一章的實驗，也就是應用 Ir 的奈米晶體的形成條件，製作出電容，由於構造相對簡單，因此可以驗證一些理論並且可以排除在多道製程手續後產生人為或是機器的誤差，以下是對於電容各項條件的實驗與分析。

4.1 電容能帶圖設計、模擬與 TEM 圖

在第二章文獻回顧的時候提到含有奈米晶體與異質接面能增加電荷的儲存能力以及透過非對稱結構，使得電子更容易寫入和抹除，所以透過能帶設計讓奈米晶體發揮電荷捕抓中心(charge center)的功用。由於電容(capacitor)是記憶體元件的前驅物，因此我們利用電容的結構，先介紹我們電容結構的能帶圖，如圖 4-1，以及利用模擬來了解當所有能帶接在一起的狀態，如圖 4-2，更能清楚的了解結構變化。

利用能帶的差異，調整穿隧氧化層厚度，並且選擇能帶間隙較小的材料，使得寫入與抹除的效率提高，加上介電常數又比氧化矽高，又可將大部分電壓施加在前面的穿隧氧化層，保留原來的物理厚度以維持電荷保存度(Retention)，達到電壓降低，又能有更快的操作速度。

之後模擬兩種結構的電場分布與電場的數值模擬，如圖 4-3、4-4 在基底 P-sub 加了 5 V 電壓，圖 4-5、4-6 為電場的數值大小，可看到電場的分布因為介電常數 $\text{Si}_3\text{N}_4=7.5$ ， $\text{SiO}_2=3.9$ ，所以非對稱結構跟單層結構的內部電場有很大差異，其中最明顯就是當沒有銻奈米晶體的結構下，在 Si_3N_4 的內部電場小於 SiO_2 的內部電場，此外，還可以發現在有含銻奈米晶體結構的周圍電場，與控制(Control)組對照下，可知有含金屬的奈米晶體周圍的電場會增強與集中，且距離金屬奈米晶體越靠近，則電場數值越大，從圖 4-5、4-6 知靠近銻奈米晶體穿隧氧化層的電場大於 6 MV/cm 以上，導致電子更為容易發生 F-N 穿隧，而在

非對稱結構的鉭奈米晶體距離最近的最大電場模擬數值約為 10.8 MV/cm，單層結構約為 10.4 MV/cm，差距了 0.4 Mv/cm 再加上非對稱結構的能帶間隙較小，且在非對稱結構 SiO₂ 的內部電場分布比單層結構在相同位置處 SiO₂ 的內部電場分布要大很多，先前參考論文提到影響穿隧機率主要在第一層的氧化層厚度，如今第一層的厚度較薄，電場分布也較大，使得電子在非對稱結構裡發生 F-N 穿隧機率更高，故非對稱結構寫入與抹除速度比單層結構更為快速。

最後再將電容做出，並且經過量測之後的電容試片利用離子數聚焦顯微鏡(FIB)切出要的橫剖面圖區塊之後，在利用高解析度場射掃描電子顯微鏡暨能量散佈分析儀 (High-Resolution Cold Field Emission Scanning Electron Microscope & Energy Dispersive Spectrometer)來拍攝橫剖面影像，成像如圖 4-7、4-8。

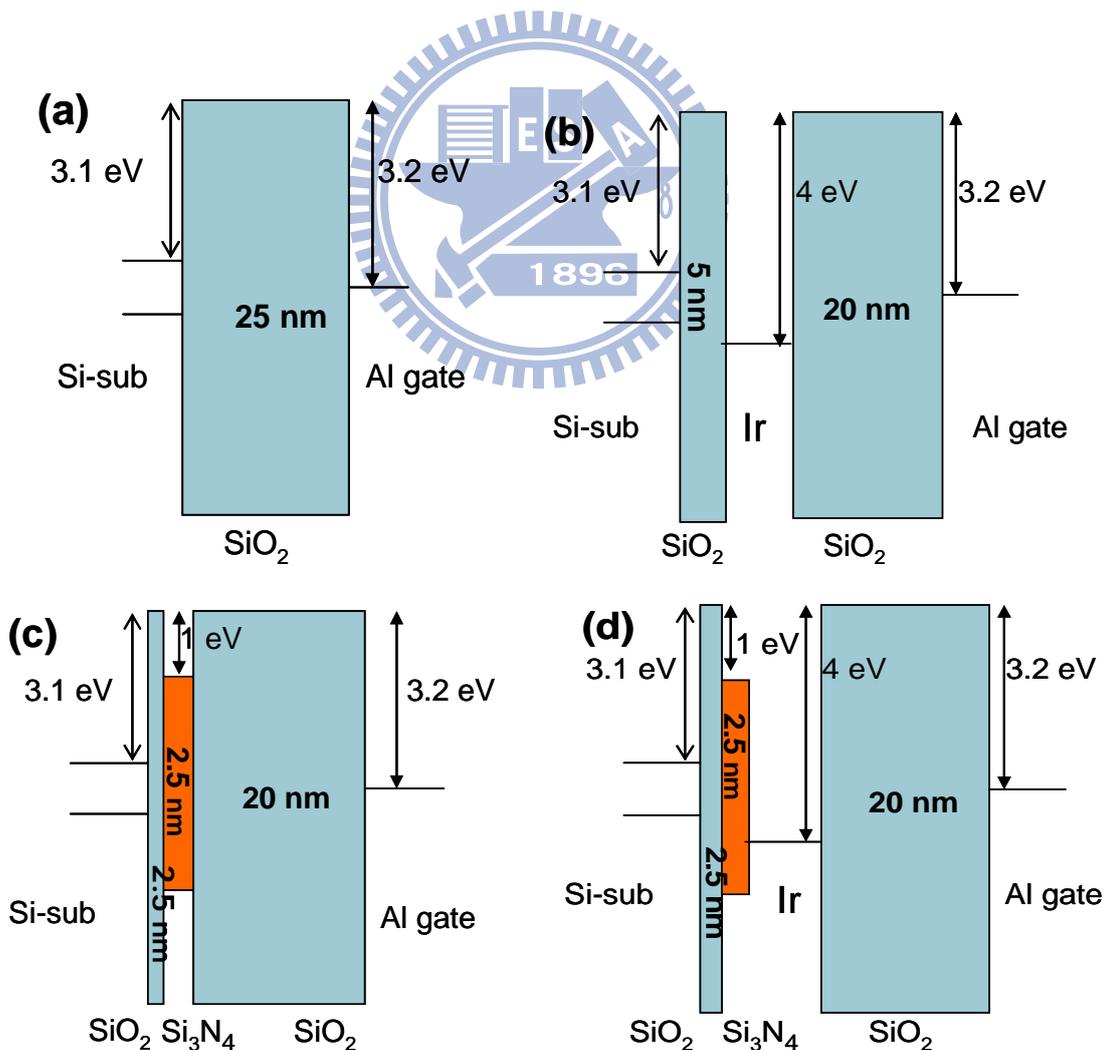


圖 4-1、MOS 電容元件能帶示意圖。

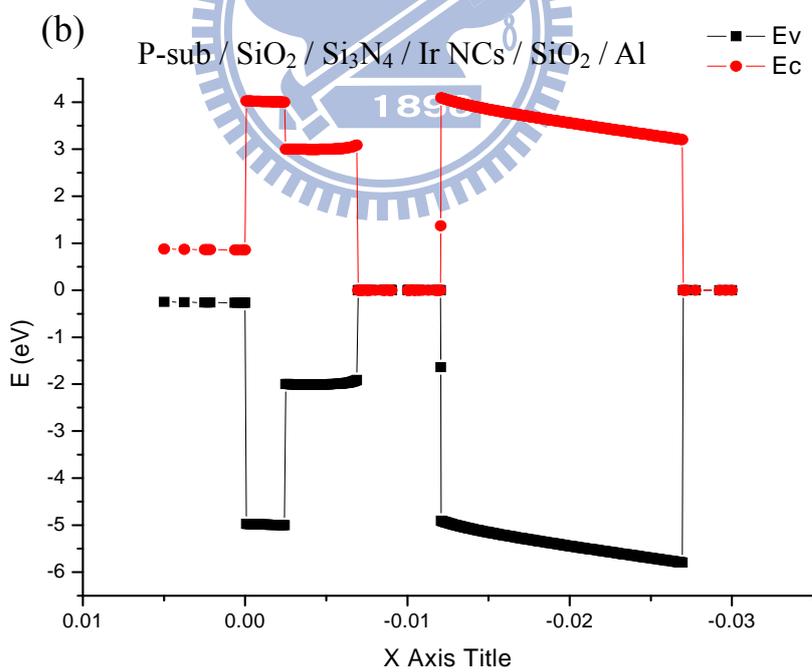
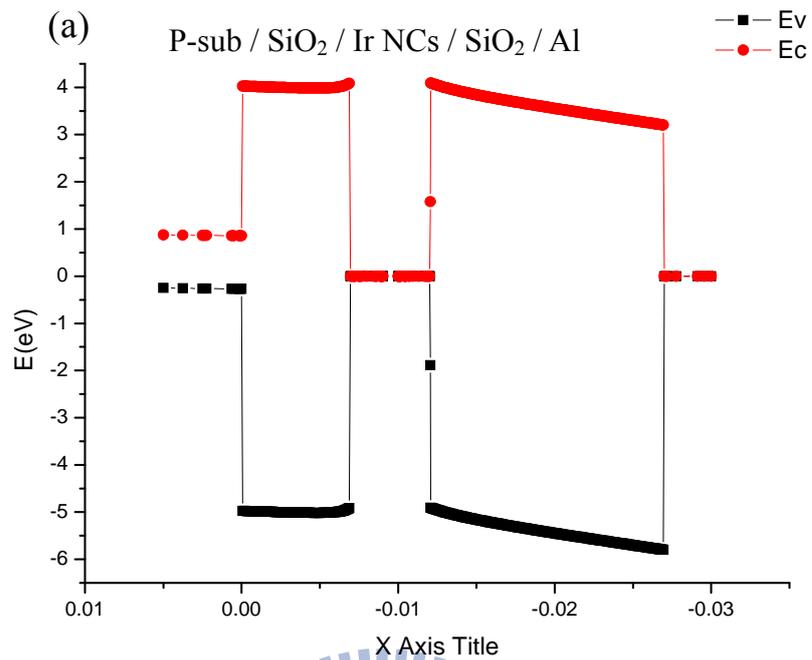


圖 4-2、模擬結構能帶圖。

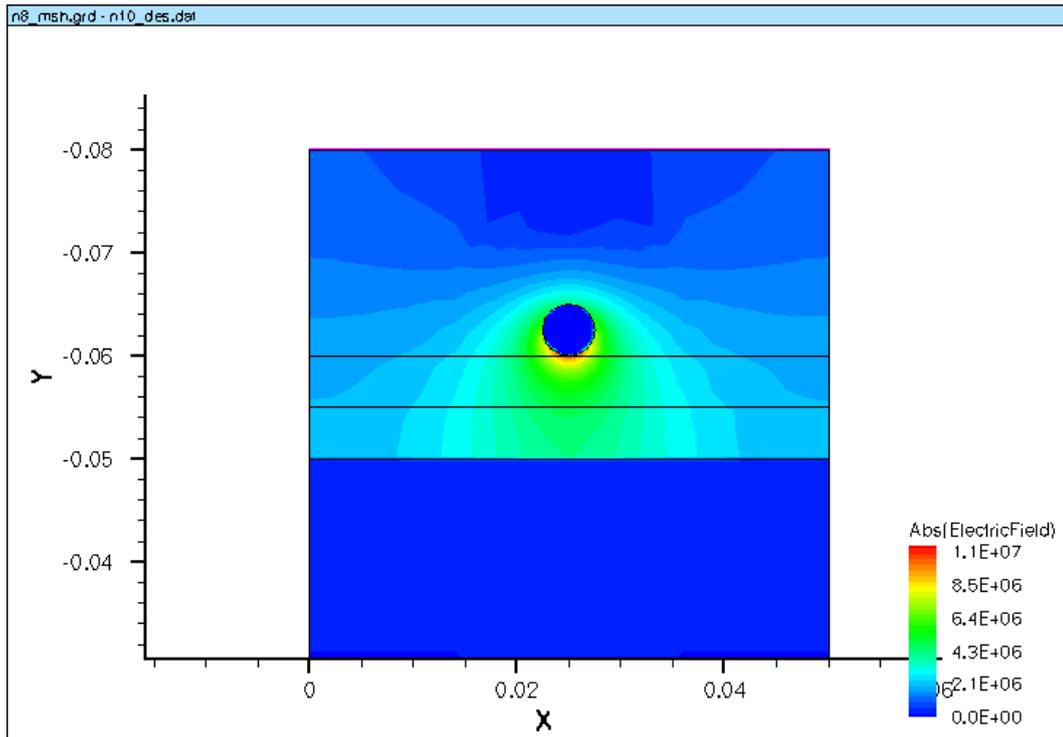


圖 4-3、結構 Al / SiO₂ / Ir NCs / SiO₂ / P-sub 電場模擬圖。

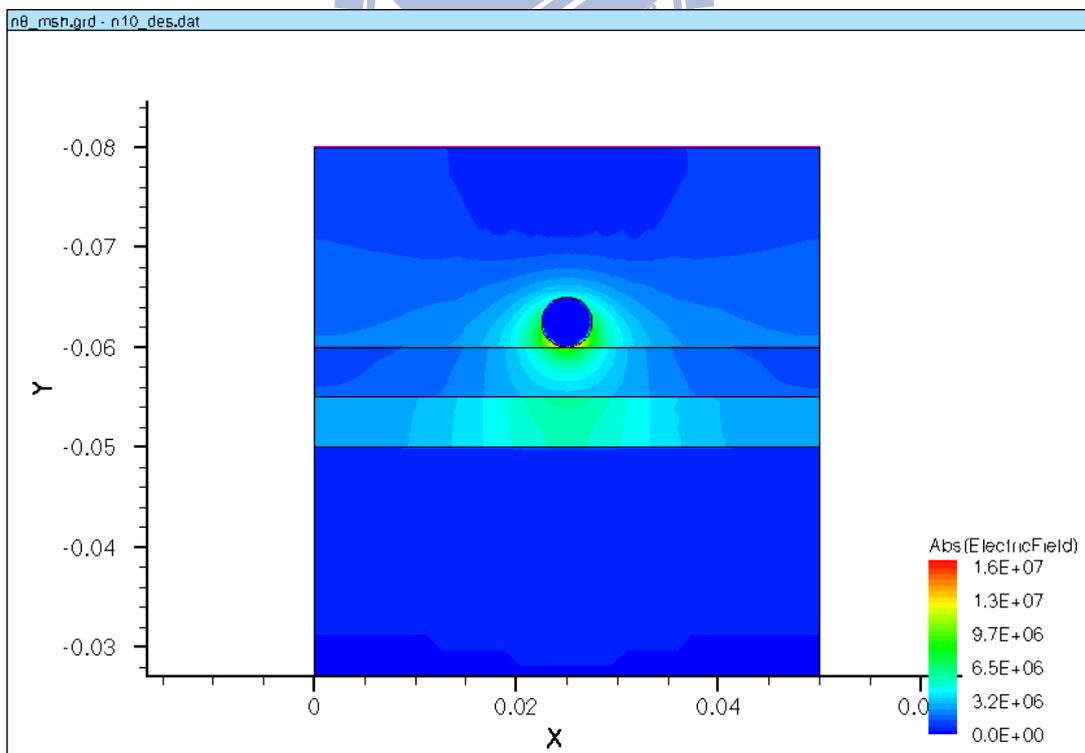


圖 4-4、結構 Al / SiO₂ / Ir NCs / Si₃N₄ / SiO₂ / P-sub 電場模擬圖。

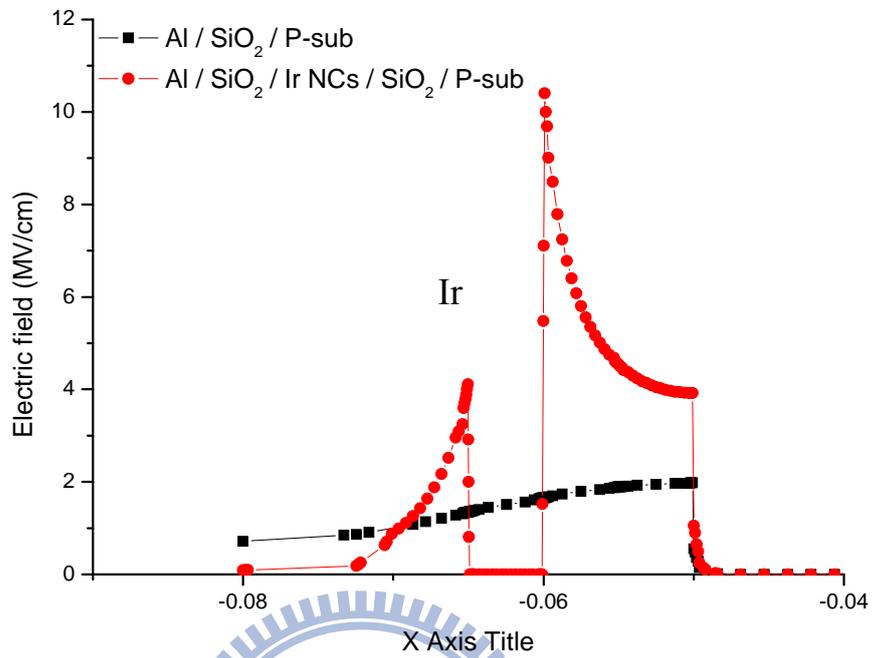


圖 4-5、電場模擬數值分布圖。

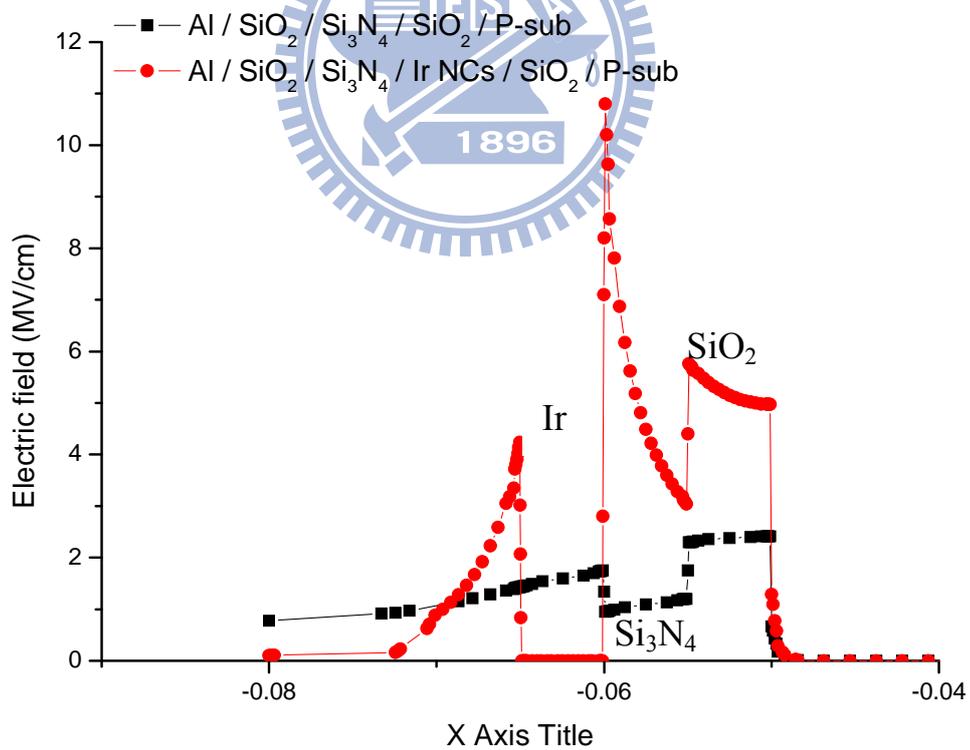


圖 4-6、電場模擬數值分布圖。

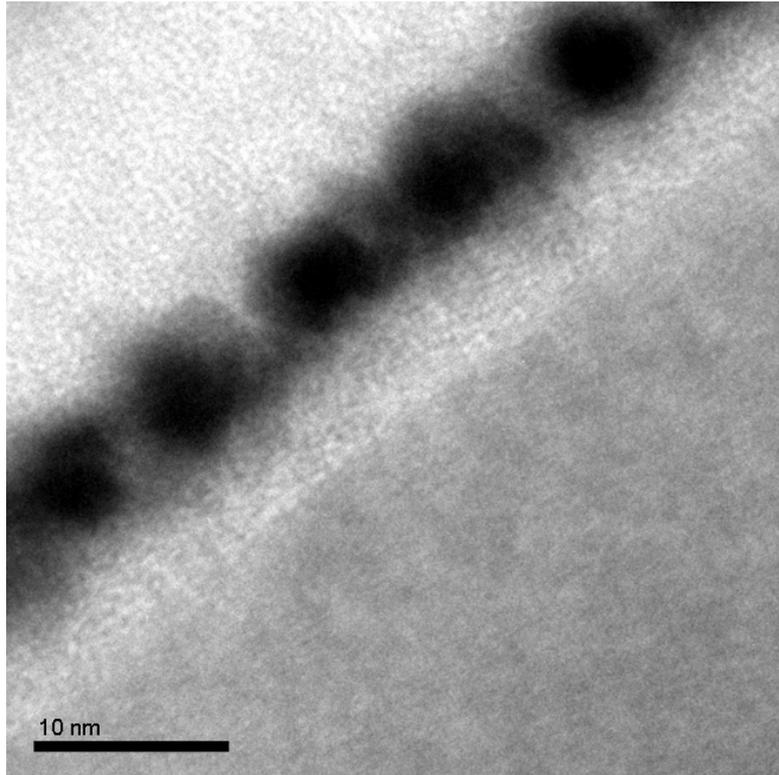


圖 4-7、結構 Al / SiO₂ / Ir NCs / SiO₂ / P-sub TEM 圖。

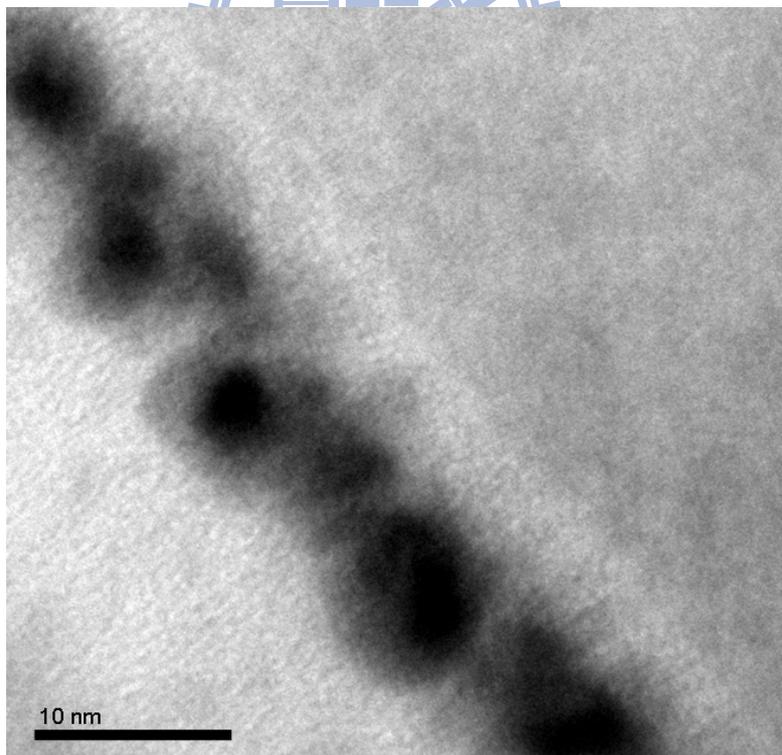


圖 4-8、結構 Al / SiO₂ / Ir NCs / Si₃N₄ / SiO₂ / P-sub TEM 圖。

4.2 C-V 曲線比較

Ir 奈米晶體的電容成品的俯視圖如圖 4-10 可以看到，由左到右的差別為電極大小的不同從右邊的 $50 \times 50 \mu\text{m}^2$ 到右二為實驗主要量測的 $100 \times 100 \mu\text{m}^2$ 及左二的 $200 \times 200 \mu\text{m}^2$ 和最左邊所顯現的 $300 \times 300 \mu\text{m}^2$ 。平帶電壓公式如下：

$$V_{FB} = \phi_{ms} - \frac{Q'_{ss}}{C_{ox}}$$

其中 Q'_{ss} 是等效的固定氧化物電荷，而 ϕ_{ms} 則是金屬-半導體的功函數差。當一個奈米記憶體電容做出來之後， ϕ_{ms} 和 C_{ox} 已經是個定值，因此當 Q_{ss} 改變時會產生 V_{FB} 的位移。C-V 曲線會隨著氧化物電荷的參數變化而顯現平行的移動，然而，C-V 曲線會保持與理想特性相同的形狀。由本實驗量測的結果下圖 4-9，以純氧化層電容作為對照組((a)、(b)組)，由此實驗結果可推測我們的 Ir 奈米晶體在電荷捕捉時主要為捕捉電子。而對照組可證明本論文中的 Ir 奈米晶體能有效的儲存電荷，從圖 4-9 可以看的出來在經過 +5~-5 V 之間的掃描(Sweep)可發現 Ir 奈米晶體可以大約開 (b)1.5 V (d)4.2 V 的 memory window，即 $\Delta V_{FB} \approx (b)1.5 \text{ V} (d)4.2 \text{ V}$ 。

兩種結構的差異，是由於改變了穿隧氧化層的能帶間隙，以及主要影響穿隧的厚度來自於第一層厚度所決定，如圖 4-2 能障變小變短讓電子電洞移動更為容易，操作速度提升，還有加上第二章有論文解釋到 Si_3N_4 跟金屬產生異質界面會幫助捕抓電荷，雖然沉積的 Si_3N_4 非常的薄，這都是可能的原因。後續也再量測 +/-2 V、+/-5 V、+/-10 V 作了些比較，同時也表示 +/-2 V 掃描下對於之後量測其他特性的干擾是較小的，如圖 4-11、4-12。

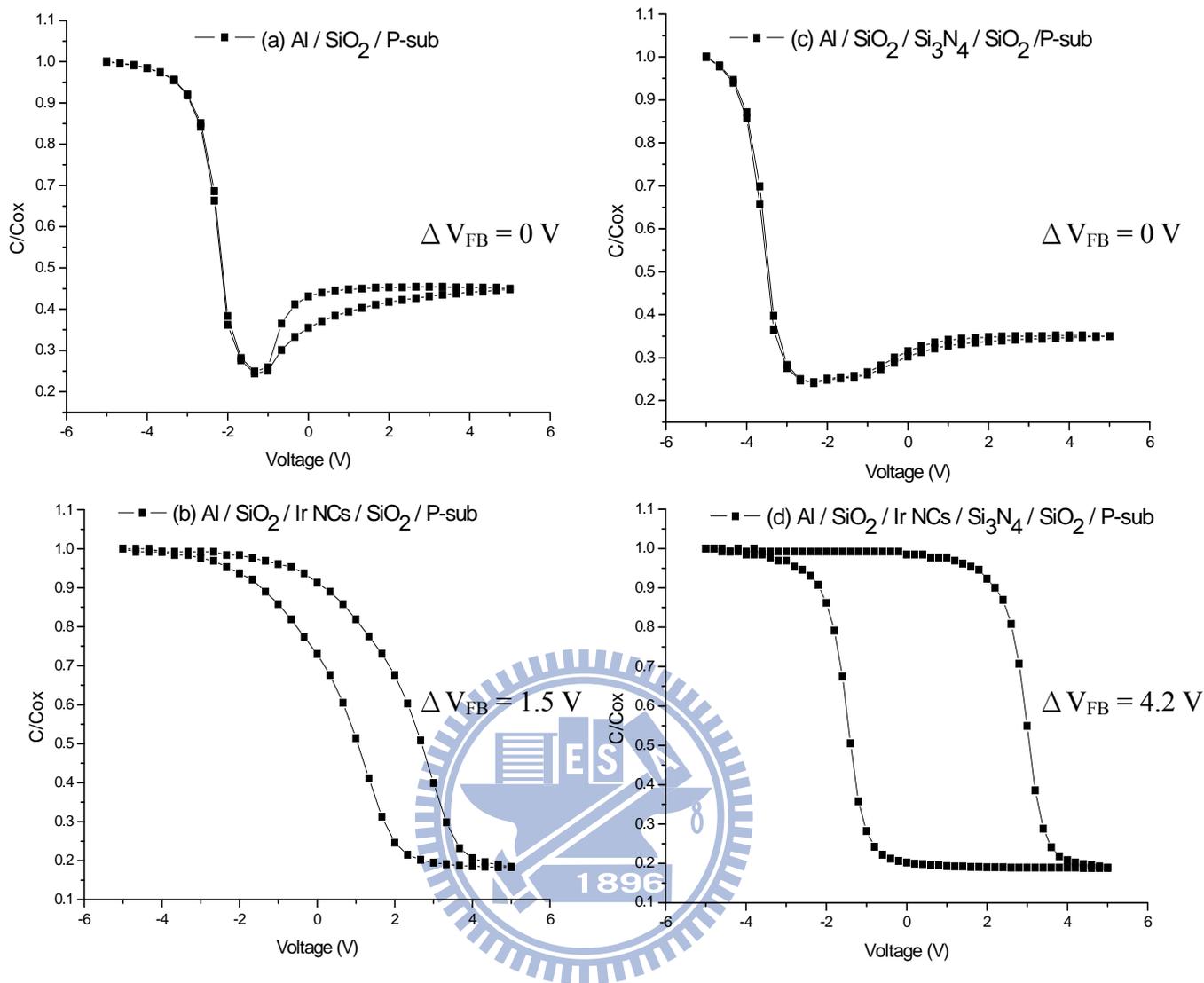


圖4-9、各結構的CV曲線圖在 ± 5 V掃動電壓。

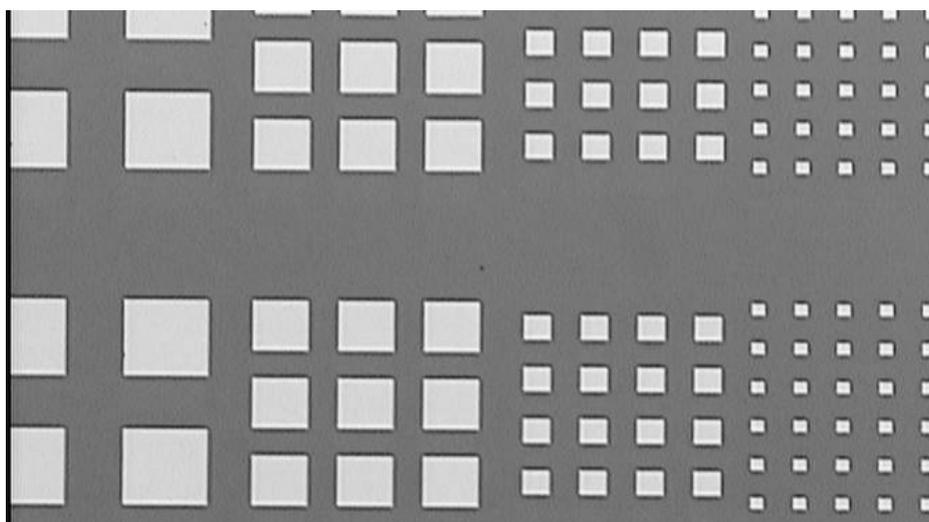


圖 4-10、電容成品的俯視圖(OM)。

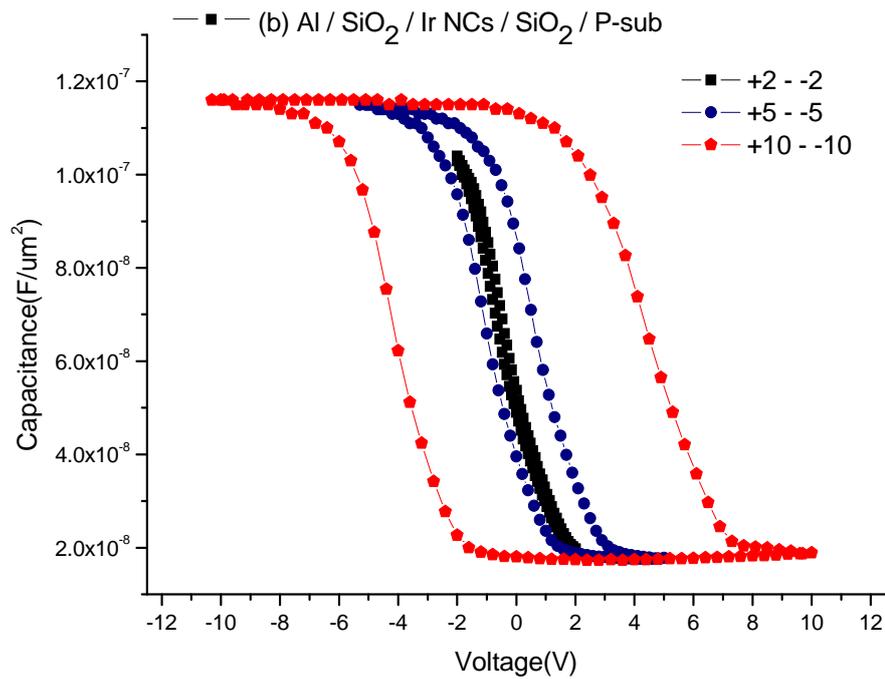


圖4-11、結構(b)在不同掃描電壓的CV曲線。

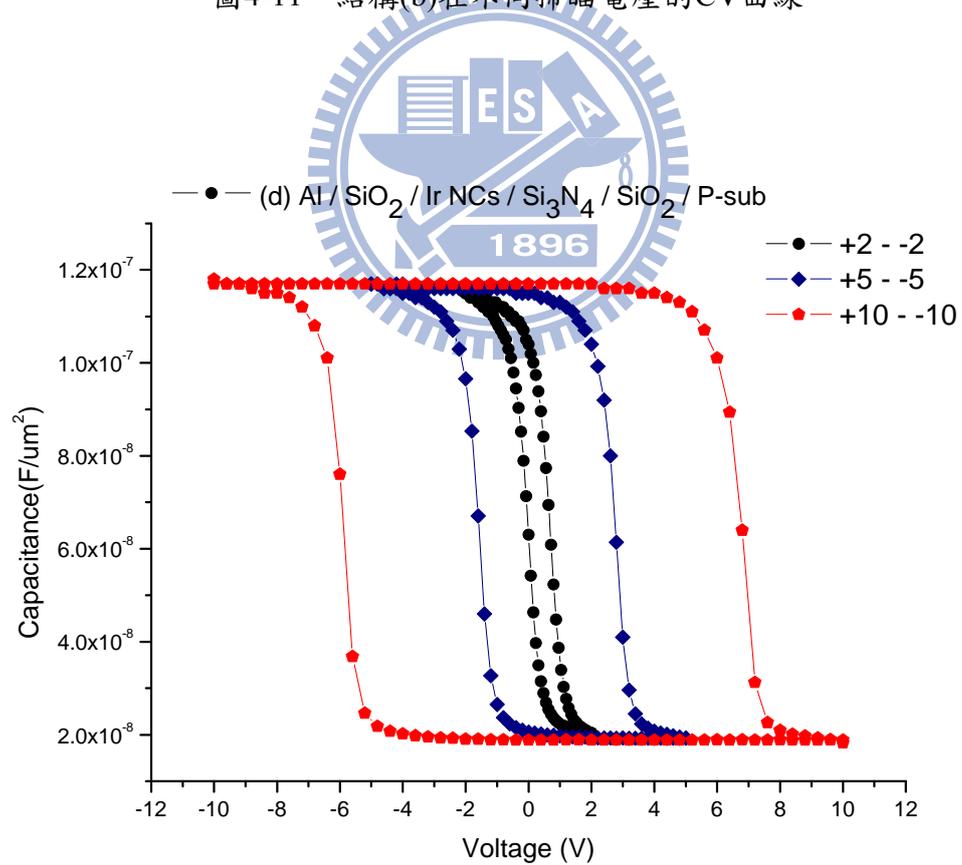


圖4-12、結構(d)在不同掃描電壓的CV曲線。

4.3 平帶電壓的偏移比較

由於掃描的電壓逐漸加大，會使得電荷儲存在Ir NCs的量越多，所以memory window 越大($\Delta V_{FB}\uparrow$)，下圖4-13可以看出來，給予相同的掃描電壓，對於不同的電容結構，所產生的平帶電壓偏移就有明顯差異，從4 V以後非對稱結構的平帶電壓偏移斜率有比較單層結構來的大許多，可以從這裡比較出操作速度的差異。

圖4-14，在室溫時，施加脈衝電壓 ± 12 V在不同的持續時間，盡可能用最小的掃動電壓來作量測平帶電壓的位置，由於脈衝的持續時間duration(10^{-6} 、 10^{-5} 、 10^{-4})受限於機台，所以無法量測到更準確位置，從結果知道在非對稱結構的脈衝持續時間100 ms平帶電壓位置約在0.85 V與脈衝持續時間500 ms平帶電壓位置約在2.85 V，這段電子寫入的偏移較大，卻不是脈衝持續時間500 ms與1 s這段平帶電壓位置的偏移最大，推測可能是在給予1 s的12 V時，脈衝電壓時間已經足夠讓非對稱結構電容元件接近最大儲存量；相對來觀察單層結構的情況，最大電子寫入的平帶電壓偏移位置是在脈衝持續時間500 ms與1 s，推測出至少需要脈衝持續時間1 s以上的12 V才可能讓單層結構電容元件接近最大儲存量。相較兩個結構，在相同脈衝電壓持續時間時間下，因為非對稱結構平帶電壓位置的偏移高於單層結構的偏移，所以電子電洞在非對稱結構的穿隧機率高於在單層結構，而非對稱結構電容元件在儲存電荷量到飽和的時間遠比單層結構電容元件來的更短暫又快速，也意味著非對稱結構的電容元件運作時間短，操作速度快。

而一般記憶體運作的溫度不一定都在室溫條件，也可能運作在高溫情況下。故在85 °C做了量測，看與室溫是否有差異，量測結果如圖4-15，在非對稱結構裡，脈衝電壓的持續時間100 ms與500 ms平帶電壓的偏移已經不是最大了，在脈衝持續時間1 ms到500 ms電子寫入的平帶電壓位置近似一條斜直線，因為有誤差的可能，所以看不太出最大平帶電壓位置的偏移，而在脈衝持續時間500 ms與1 s的平帶電壓位置非常接近，很可能500 ms的12 V已經讓非對稱結構電容元件快達到儲存最大量。在單層結構裡，電子寫入最大平帶電壓位置的偏移依舊是在這段脈衝持續時間500 ms與1 s，可能脈衝持續時間1 s的12 V還不足以接近最大儲存量。

將室溫與高溫85 °C做比較，在電子寫入平帶電壓位置的偏移增加較明顯，尤其在脈衝持續時間100 ms的非對稱結構電容元件最為明顯，這是由於溫度上升，電子的動能會增加，影響到電子電洞的穿隧機率，穿隧機率變大，電子更容易穿隧氧化層。同樣的溫度在非對稱結構電容元件與單層結構電容元件時，溫度影響在非對稱結構的電子寫入比在單層結構來的明顯，換言之，溫度影響非對稱結構的電子穿隧機率較多，故溫度升高對於非對稱結構電容元件增加的電子穿隧機率比單層結構電容元件增加的電子穿隧機率更高，即非對稱結構元件在高溫時操作速度會比單層結構元件來的更快速。

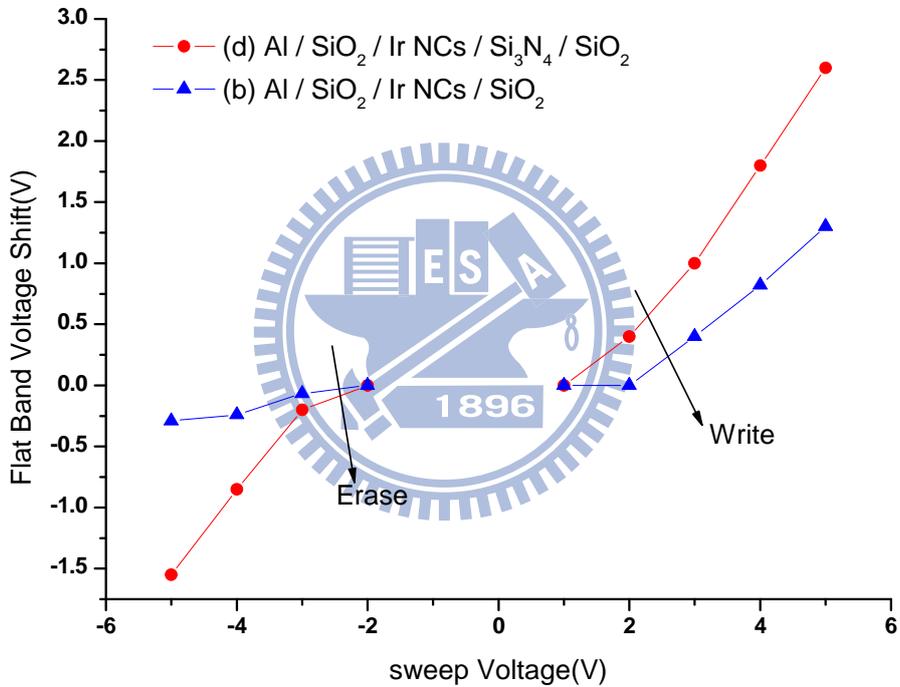


圖4-13、不同掃描電壓對兩種電容產生的平帶電壓偏移比較。

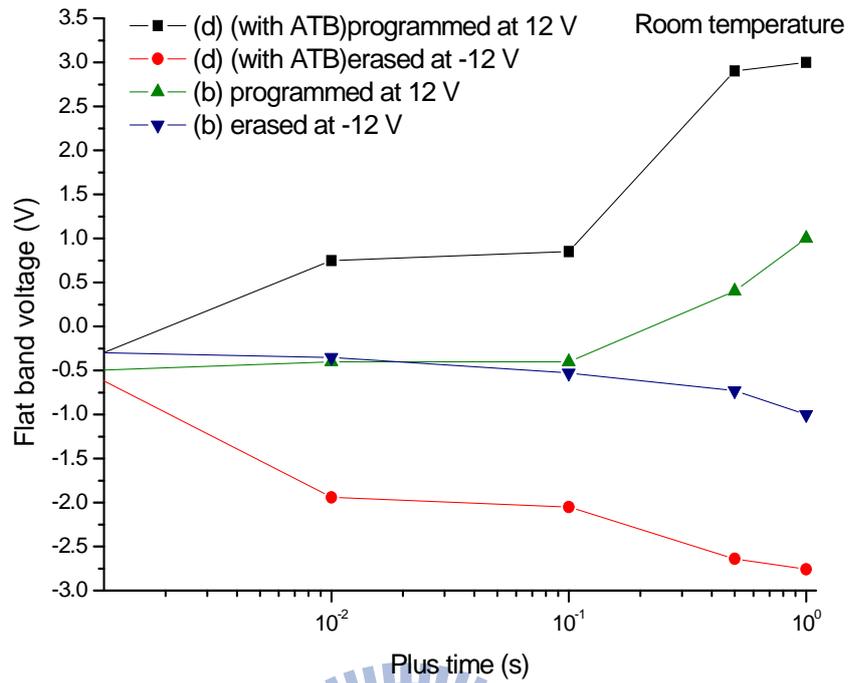


圖4-14、非對稱結構與單層結構在不同時間 ± 12 V寫入與抹除的平帶電壓比較。

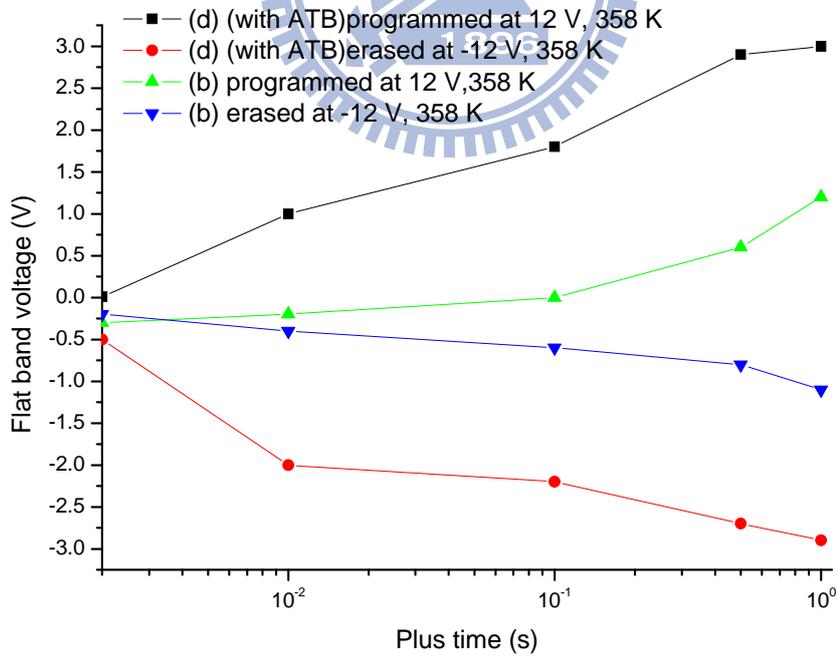


圖4-15、85 °C下非對稱結構與單層結構在不同時間 ± 12 V寫入與抹除的平帶電壓比較。

4.4 儲存電荷比較

根據圖 4-13 可以推論並計算一個 Ir 奈米晶體所帶的電荷，此時利用下列的公式(4-1)來算出我們電容每平方公分所帶的電荷總量再利用，從 FIB SEM 所擷取的圖片中所估計到的奈米晶體密度即可得到每一個 Ir 晶體捕捉電荷的能力。

$$N = \left(\frac{C_{ox}}{Q}\right) \times \Delta V_{FB} \quad (4-1)$$

電極面積 $100 \times 100 \mu\text{m}^2$

奈米晶體密度為 $1 \times 10^{12}/\text{cm}^2$

經過不同的 ΔV_{FB} ，可計算出每個Ir-NCs儲存之電子電洞數量。

從每個鈱奈米晶體的儲存電荷來看，在低電壓($\leq 7 \text{ V}$)掃動的時候非對稱結構的每個鈱奈米晶體儲存電荷是明顯比單層結構多出幾個電子或電洞，這可能是結構影響了穿隧機率，所以使得電子或電洞容易儲存到鈱奈米晶體。

表4-1、電荷儲存量。

	Device (b)	Device (d)
Gate Area (μm^2)	100^2	100^2
Stored Charge (C/cm^2)	1.12×10^{-7}	1.17×10^{-7}
ΔV_{FB} (@+/-5 V)	1.5	4.2
ΔV_{FB} (@+/-6 V)	2.7	6
ΔV_{FB} (@+/-7 V)	3.9	7.6
Each Ir-NCs stored electrons or holes(@+/-5 V)	2	4
Each Ir-NCs stored electrons or holes(@+/-6 V)	3	5
Each Ir-NCs stored electrons or holes(@+/-7 V)	5	6

4.5 電容的測漏電

兩種結構能帶差異很大，故要了解在寫入與抹除時，施加外在閘極電壓下，會不會造成嚴重漏電，由量測如圖 4-16 可看出，非對稱結構與單層結構的漏電差異不大，所以在小電壓下，漏電情況都算是很小，雖然 Si_3N_4 能隙比 SiO_2 小，但從結果量測得知仍然能維持阻擋電子穿隧的能力。

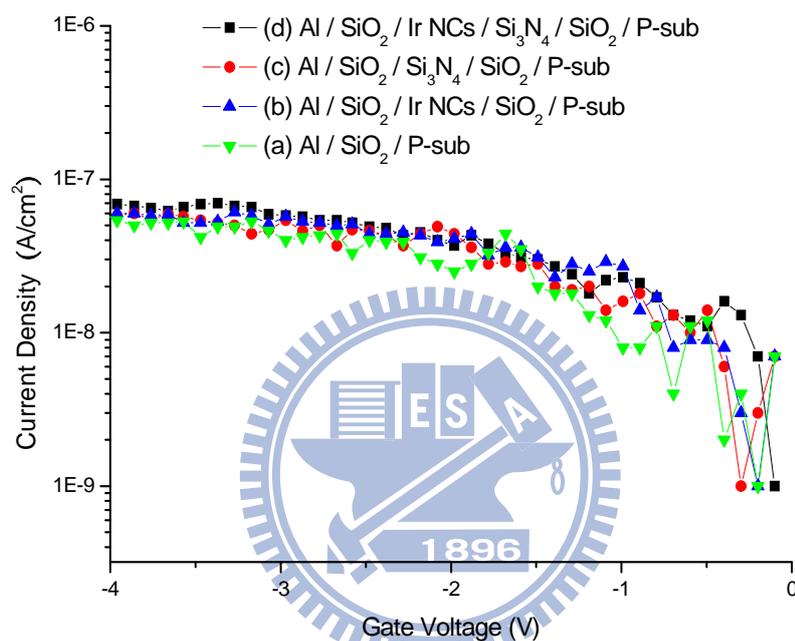


圖 4-16、電容的測漏電。

4.6 F-N 穿隧之驗證

在 4.2 量完電容的特性和討論之後，接者必須驗證的是電荷以什麼形式進入到本論文所製作的 Ir-NCs 的位能井裡面。由於穿隧電流的萃取在量測上有其困難度，無法用整個電容結構去做這方面的驗證，原因其實很直觀，這是因為厚度太厚穿隧電流的取得會更加困難，因為就如 2.2.2 所提到穿隧電流是伴隨著能帶的彎曲(band bending)而產生，所以厚度越大就需要更大的電壓去扭曲，造成判讀上容易出現不一致，另一方面當夾層過多時所得到的電流可能會有其他機制參與其中例如 Hopping conduction、Frankel-Pool conduction 等。

因此為了驗證實驗中的電容是採用此 F-N 機制來讓電荷移動並儲存，採用了典型的 MOS 結構，中間氧化層的夾層經由 n&k 膜後測厚儀推算為 5 nm，金屬則為電極用的厚度 300 nm。將此元件拿去做 I-V 的量測。將電流密度(J)取 ln 對電場(E)做圖可以明顯發現電流值在大約 7 MV/cm 與 6.6 MV/cm 時會開始出現大電流，這和實驗經驗所得到 SiO₂ 在 7 MV/cm 與 SiO₂/Si₃N₄ 在 6.6 MV/cm 時有穿隧電流的現象發生吻合。(參見圖 4-17、4-18)

選用六種不同溫度的原因是因為穿隧電流不會隨著溫度變化而改變，因此利用 F-N tunneling 的公式來進一步處理我們的數據，其公式如下[25]：

$$J = \alpha E^2 \exp\left[-\frac{E_c}{E}\right] \quad (4-2)$$

移項取 ln=>

$$\ln\left(\frac{J}{E^2}\right) = \ln \alpha - \frac{E_c}{E} \quad (4-3)$$

$$\alpha = \frac{q^3}{8\pi h \phi_b} \frac{m}{m^*} = 1.54 \times 10^{-6} \frac{(m/m^*)}{\phi_b} \left(\frac{A}{V^2}\right) \quad (4-4)$$

$$E_c = 4 \sqrt{2m^*} \frac{\phi_b^{3/2}}{3\hbar q} = 6.83 \times 10^7 \sqrt{(m^*/m)\phi_b^3} \left(\frac{V}{cm}\right) \quad (4-5)$$

m:自由電子質量。

m*:電子在介電層能隙中的有效質量(effective mass)。

ϕ_b :電子注入介面的能障高,單位為 eV。

由 4-3 式,將 $\ln\left(\frac{J}{E^2}\right)$ 對 $\frac{1}{E}$ 作圖,看六種不同溫度下的量測圖形,若是為近似相同斜直線,代表 $\ln\left(\frac{J}{E^2}\right)$ 與 $\left(-\frac{1}{E}\right)$ 成正比關係,則穿隧電流穩定不受溫度變化影響,且物理機制為 F-N tunneling。而在圖 4-19、4-20 可以明顯看到六條近似平行的直線,而這也是 F-N tunneling 機制的範圍,也是實驗 MOS 電容操作電壓範圍,所以間接證明本研究的電容是操作在 F-N tunneling 機制下。

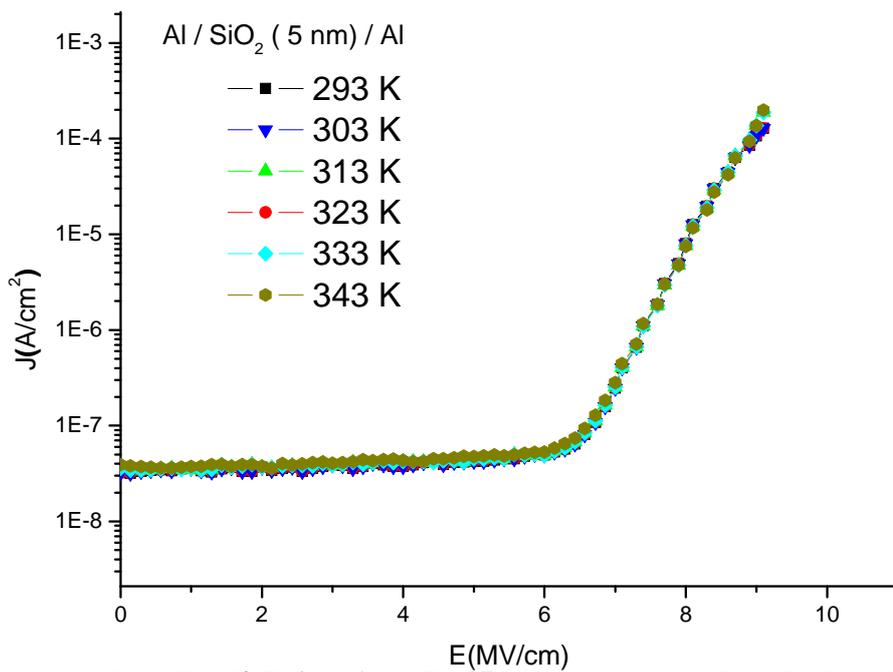


圖 4-17、單層穿隧氧化層在六種溫度下的 $\ln(J)$ 對電場作圖。

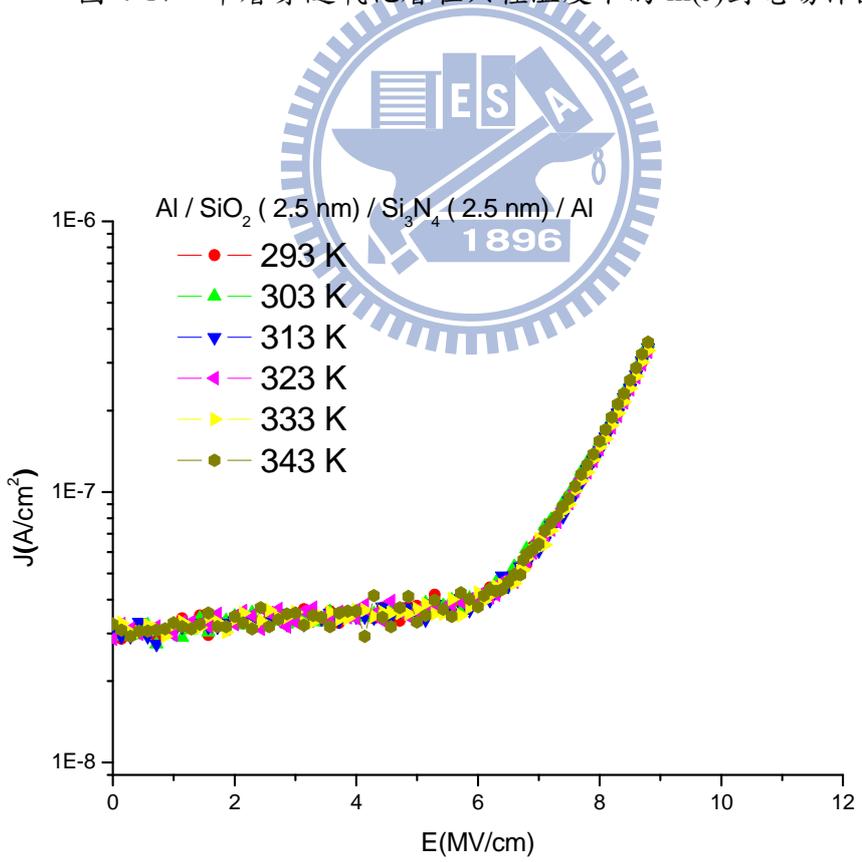


圖 4-18、非對稱氧化層在六種溫度下的 $\ln(J)$ 對電場作圖。

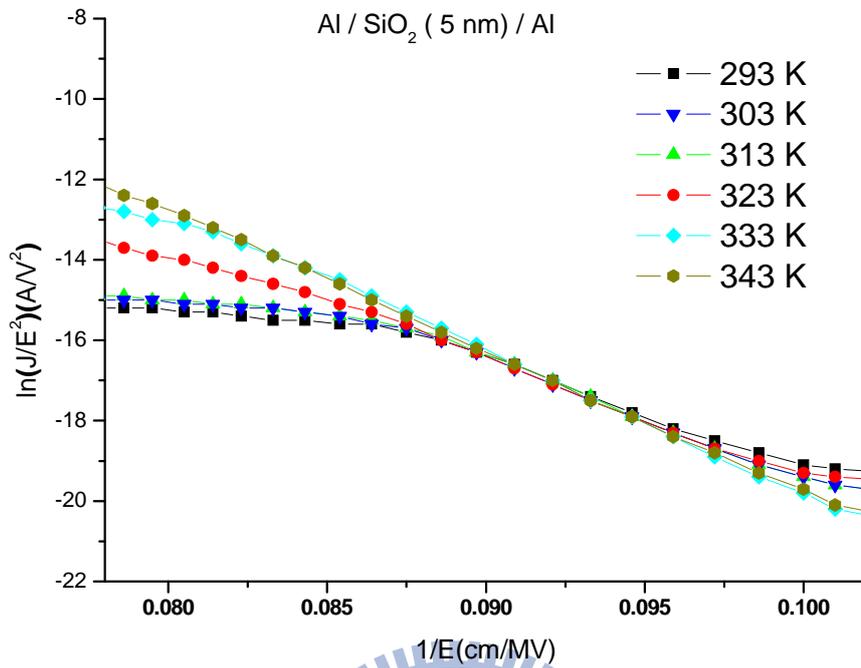


圖 4-19、單層穿隧氧化層在六種溫度下的 $\ln(J/E^2)$ 對 $1/E$ 作圖。

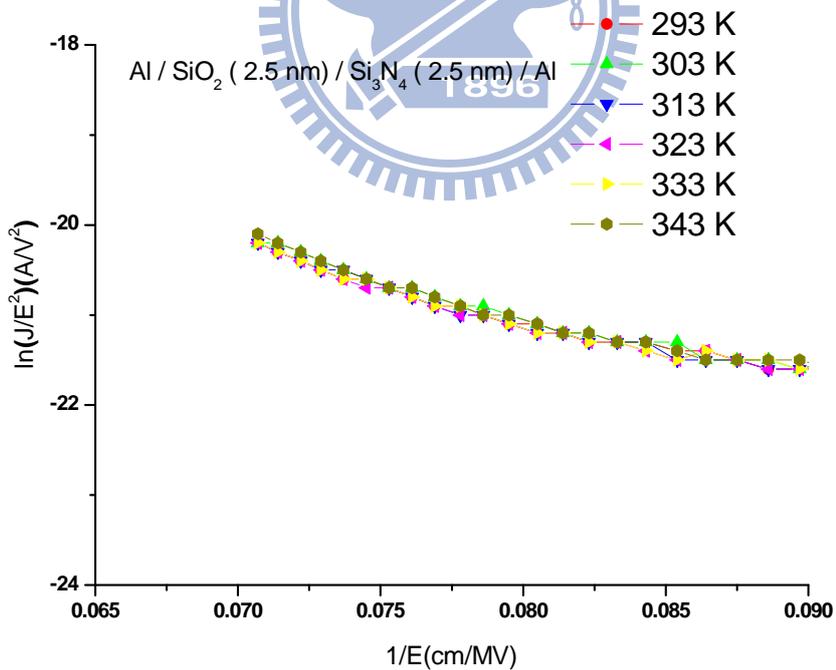


圖 4-20、非對稱氧化層在六種溫度下的 $\ln(J/E^2)$ 對 $1/E$ 作圖。

4.7 資料維持度與耐用度比較

最後要了解電容的保存能力與可靠度分析，電荷保存能力一直是記憶體元件應用上最重要的參考能力之一，因為非揮發記憶體的基本要求，即是所寫入的資料要必須能夠長時間保存，也就是我們將電荷困在 Ir-NCs 中來維持 ΔV_{th} 的值，維持邏輯上“1”和“0”的判讀能力。

我們量測的方法如下：

1. 找出 C-V 曲線的沒有開 memory window 的電壓非對稱結構(+1.5 V~ -1.5 V)與單層結構(+2 V~ -2 V)確認其狀態不會造成大幅電荷的移動。
2. 給一稍大的電壓 Stress 一次(+10 V, 1 sec)。
3. 縮小範圍掃 C-V 曲線非對稱結構(+1.5 V~ -1.5 V)與單層結構(+2 V~ -2 V)確認有 ΔV_{th} 。
4. 縮小電壓範圍掃其 C-V 曲線非對稱結構(+1.5 V~ -1.5 V)與單層結構(+2 V~ -2 V)。
5. 紀錄電容值，每隔一段時間區間重複步驟 4。
6. 從負方向給一較大的電壓再次 Stress(-10 V, 1 sec)。
7. 縮小範圍掃 C-V 曲線非對稱結構(+1.5 V~ -1.5 V)與單層結構(+2 V~ -2 V)確認有 ΔV_{th} 。
8. 縮小電壓範圍掃其 C-V 曲線非對稱結構(+1.5 V~ -1.5 V)與單層結構(+2 V~ -2 V)。
9. 紀錄電容值每一段時間區間重複步驟 8。

量測結果如圖 4-21、4-22 我們可以發現電荷仍然會隨著時間的增長而衰退減少，可發現非對稱結構 Si_3N_4 價帶位置 E_V 與銦奈米晶體費米能階 E_F 的能障差較小，電洞的儲存比較容易衰退，對電子的儲存能力較優，所以在前面的 10^2 s 時電洞的儲存就開始衰減，之後到 10^3 s 處電洞就逐漸緩慢地衰減，不過從量測結果來看即使到 10^4 s 與預測 10^6 s，電容值在非對稱結構下仍然有約 50%與 45%的原來電子量，而單層結構下有 55%與 50%的原來電子量，雖然非對稱結構沒有使儲存能力變好，但是得到了低電壓的操作與運作速度的提升。

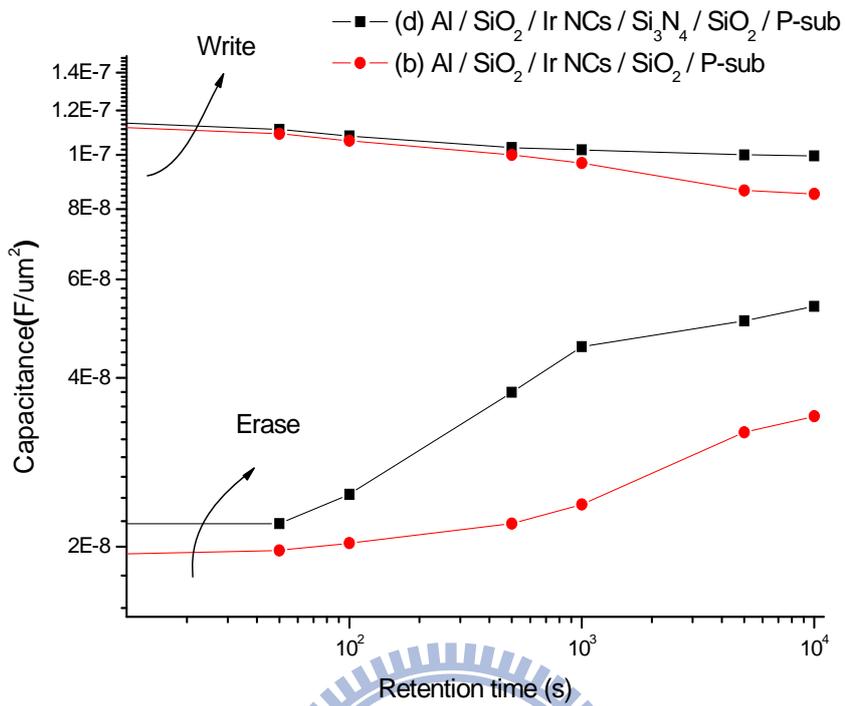


圖 4-21、兩種結構之資料保存度比較。

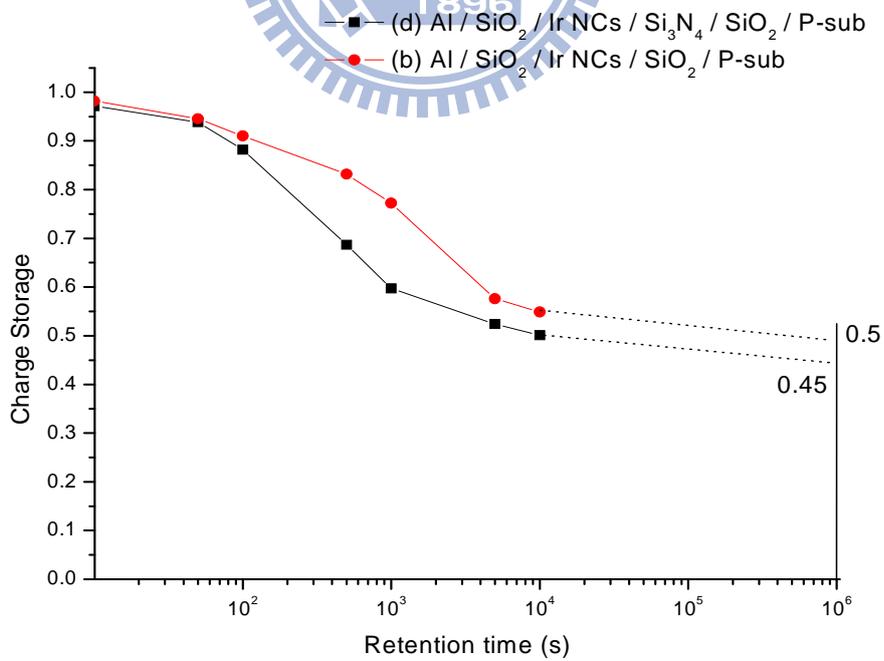


圖 4-22、兩種結構之資料保存度的百分比。

電容的可靠度分析從耐用度量測看出，如圖 4-23，量測方法如下：

1. 首先確定非對稱結構(+2 V~-2 V)與單層結構(+3 V~-3 V)的掃描電壓下， ΔV_{th} 是非常狹小的。
2. 再施加一個電壓非對稱結構(+/-9 V, 100 ms)與單層結構(+/-12 V, 100 ms)，使 ΔV_{th} 大於 1 V。
3. 利用這樣的條件，不斷的施加電壓，經過不同的次數，去量測每個階段的平帶電壓的位置，而結果如圖 4-23。

為了知道改變結構成非對稱結構的可靠度如何，量測的目的是為了解當多次寫入與抹除之後，穿隧氧化層是否還經得起考驗，會不會產生缺陷，造成漏電情況，經過 10^4 次寫入與抹除的結果，可以看出非對稱結構與單層結構的耐用度，都算是良好，平帶電壓沒有太大的偏移，所以可以利用非對稱結構來改善運作速度以及降低操作電壓，且元件會有好的可靠度。

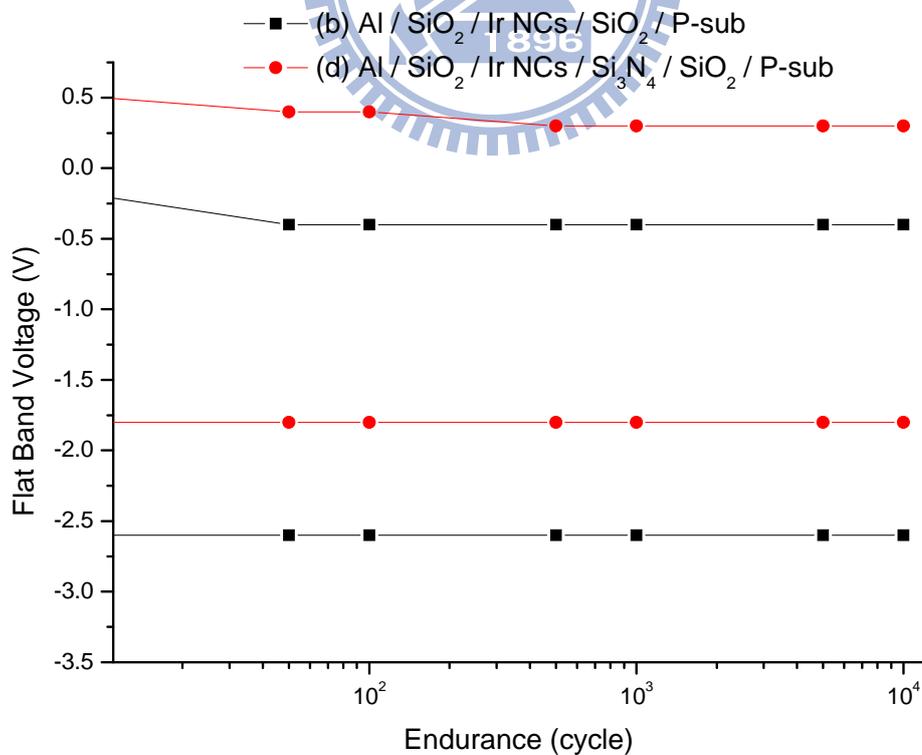


圖 4-23、兩種結構之耐用度比較。

第五章

結論與未來展望

(Summary and Future Work)

本實驗利用非對稱($\text{SiO}_2/\text{Si}_3\text{N}_4$)結構與單層(SiO_2)結構做電容比較，顯示有非常大的差異，其結論如以下做歸納：

I. Ir 奈米晶體的形成：

1. 在不同的基材上對於利用 RTA 製程來製備奈米晶體是一個重要的參數，不只基材的厚度影響著金屬膜的開始發生變化的條件，甚至會影響其鍵結產生化合物的狀態，因此研究在奈米晶體在不同基材上的密度與顆粒大小。
2. 本論文的 Ir 奈米晶體的形成條件為 5 nm 的 Ir 經過 900 °C RTA 60 s 可以得到在 5 nm SiO_2 上 Ir NCS 尺寸 8 nm 密度 $6 \times 10^{11}/\text{cm}^2$
2.5 nm SiO_2 / 2.5 nm Si_3N_4 上 Ir NCS 尺寸 5 nm 密度 $1 \times 10^{12}/\text{cm}^2$

II. Ir 奈米晶體電容：

1. 穿隧氧化層厚度主要以第一層厚度為決定穿隧機率大小，厚度越薄，電荷越容易穿越，但是相對電荷保存能力也越受到影響。
2. 經過穿隧氧化層的改變，雖然能帶間隙變小，但可以降低操作電壓，使得在操作低電壓下，且閘極的漏電差異不大，可從 I-V 的測漏電來比較。
3. 藉由模擬可知在有包含金屬奈米晶體的結構與對照組相較之下，金屬奈米晶體周圍的電場會因此明顯增加與集中，有助於電子發生 F-N 穿隧。
4. 從實驗中驗證了 Ir 奈米晶體是透過 F-N tunneling 機制來移動電荷。
5. 利用電子顯微鏡證明電容的結構與 Ir 奈米晶體的大小。
6. 本研究從電容量測結果中可以得到關於 memory window 及 retention time 等資訊，在 +/-5 V 的掃描之下單層結構 $\Delta V_{\text{FB}} \doteq 1.5 \text{ V}$ 與非對稱結構 $\Delta V_{\text{FB}} \doteq 4.2 \text{ V}$ ，retention time 則可以預測到 10^6 s ，非對稱結構仍有 45% 的電荷儲存量。

7. 在兩種結構裡，掃動相同的電壓($\leq 7\text{ V}$)條件下，非對稱結構的每個鈱奈米晶體儲存電荷明顯多於單層結構裡的鈱奈米晶體，推測非對稱結構電容元件有增加電子的穿隧機率，有助於運作速度。
8. 降低了操作電壓，提升了寫入與抹除的速度，可從施加一個電壓在不同時間下，去掃描電容的平帶電壓位置，看出偏移的斜率大小，可知道操作速度的變化差異，從結果知道將單層結構改為非對稱結構下的操作速度是有顯著的上升。
9. 在室溫下，施加相同電壓量測 P/E，電子電洞在非對稱結構的穿隧機率高於在單層結構，且非對稱結構電容元件在儲存電荷量到飽和的時間遠比單層結構電容元件來的更短暫又快速。在高溫 85°C 與室溫比較下，兩個結構從結果可推測出溫度影響了電子的動能，也改變了穿隧機率，所以溫度升高，穿隧機率也會增加，且高溫對於非對稱結構電容元件增加的電子穿隧機率比單層結構電容元件增加的電子穿隧機率更高，即非對稱結構元件在高溫時操作速度會比單層結構元件來的更快速。
10. 改變了氧化層的結構，在電容的可靠度分析下，從耐用度(endurance)來觀察，非對稱結構元件會有好的可靠度。

以本實驗提供幾個未來可能的研究方向：

1. 可改變 blocking oxide 的材料，使用 high K 材料來降低操作電壓，讓寫入與抹除速度更為快速，並且維持元件的可靠性。
2. 透過能帶設計可以建立起不同的材料與厚度來提升操作速度，降低電壓，而且維持電荷保存力與耐用度。

參考文獻(References)

- [1] S. M. Sze, Physics of Semiconductor Device, 2nd ed., 1985.
- [2] Neamen, Semiconductor Physics and Devices Basic Principles, 3rd ed., 1992.
- [3] ITRS, “Process integration, devices, and structures 2007 edition,” pp. 36-50, 2007.
- [4] H. A. R. Wegener, A. J. Lincoln, H. C. Pao, M. R. O'Connell, R. E. Oleksiak, H. Lawrence, “The variable threshold transistor, a new electrically-alterable, non-destructive read-only storage device,” in IEDM Tech. Dig., 1967, pp. 70-73.
- [5] K. Kahng and S. M. Sze, “A floating gate and its application to memory devices,” IEEE Trans. Electron Devices, vol.14, no. 9, pp. 629-629, Sep. 2005.
- [6] C. Y. Lu, T. C. Lu, R. Liu, “Non-volatile memory technology - today and tomorrow,” in Proceedings of 13th IPFA, 2006, pp. 18-23.
- [7] J. J. Lee, D. L. Kwong, “Metal nanocrystal memory with high- κ tunneling barrier for improved data retention,” IEEE Trans. Electron Devices, vol. 52, no. 4, pp. 507-511, Apr. 2005.
- [8] S. M. Jung, J. Jang, W. Cho, H. Cho, J. Jeong, Y. Chang, J. Kim, Y. Rah, Y. Son, J. Park, M. Song, K. Kim, J. Lim and K. Kim, “Three dimensionally stacked NAND flash memory technology using stacking single crystal Si layers on ILD and TANOS structure for beyond 30nm node,” in IEDM Tech. Dig., 2006, pp. 1-4.
- [9] S. C. Lai, H. T. Lue, M. J. Yang, J. Y. Hsieh, S. Y. Wang, T. B. Wu, G. L. Luo, C. H. Chien, E. K. Lai, K. Y. Hsieh, R. Liu and C. Y. Lu, “MA BE-SONOS: A Bandgap Engineered SONOS using Metal Gate and Al₂O₃ Blocking Layer to Overcome Erase Saturation,” IEEE Non-Volatile Semiconductor Memory Workshop, pp. 88–89, Aug. 2007.
- [10] C. Lee, T. H. Hou, and E. C. Kan, “Nonvolatile memory with a metal nanocrystal/nitride heterogeneous floating-gate,” IEEE Trans. Electron Devices, vol. 52, no. 12, pp. 2697-2702, Dec. 2005.

- [11] W. R. Chen, T. C. Chang, J. L. Yeh, S. M. Sze, and C. Y. Chang, "Reliability characteristics of NiSi nanocrystals embedded in oxide and nitride layers for nonvolatile memory application," *App. Phys. Lett.*, vol. 92, no. 15, pp. 152114-1-152114-4, Apr. 2008.
- [12] K. S. Seol, S. J. Choi, J. Y. Choi, E. J. Jang, B. K. Kim, S. H. Choi, S. J. Park, D. G. Cha, I. Y. Song, J. B. Park, and Y. Park, "Pd-nanocrystal-based nonvolatile memory structures with asymmetric SiO₂ /HfO₂ tunnel barrier," *App. Phys. Lett.*, vol. 89, no. 8, pp. 083109-1-083109-3, Aug. 2006.
- [13] C. Lee, J. Meteer, V. Narayanan, and E. C. Kan, "Self-assembly of metal nanocrystal on ultra-thin oxide for nonvolatile memory applications," *J. Electron. Mater.*, vol. 34, no. 1, pp. 1–11, Jan. 2005.
- [14] J. J. Lee and D.-L. Kwong, "Metal nanocrystal memory with high- κ tunneling barrier for improved data retention," *IEEE Trans. Electron Devices*, vol. 52, no. 4, pp. 507–511, Apr. 2005.
- [15] Ph. Buffat, and J. P. Borel, "Size effect on the melting temperature of gold particles," *Phys. Rev. A*, vol. 13, no. 6, pp. 2287-2298, Jun. 1976.
- [16] Z. Liu, C. Lee, V. Narayanan, G. Pei, and E. C. Kan, "Metal nanocrystal memories—Part I: Device design and fabrication," *IEEE Trans. Electron Devices*, vol. 49, no. 9, pp. 1606-1613, Sep. 2002.
- [17] Z. Liu, C. Lee, V. Narayanan, G. Pei, and E. C. Kan, "Metal nanocrystal memories—Part II: Electrical characteristics," *IEEE Trans. Electron Devices*, vol. 49, no. 9, pp. 1614-1622, Sep. 2002.
- [18] S. Tang, C. Mao, Y. Liu, D. Q. Kelly, and S. K. Banerjee, "Nanocrystal flash memory fabricated with protein-mediated assembly," in *IEDM Tech. Dig.*, 2005, pp. 181–184.
- [19] F. Rana, S. Tiwari, and J. J. Welser, "Kinetic modeling of electron tunneling processes in quantum dots coupled to field-effect transistors," *Supperlattice Microstruct.*, vol. 23, no.

3/4, pp. 757–770, Mar. 1998.

- [20] S. Choi, Y. Cha, B. Seo, S. Park, J. Park, S. Shin, K. S. Seo, J. Park, Y. Jung, Y. Park, Y. Park, I. Yoo, S. Choi, “Atomic-layer deposited IrO₂ nanodots for charge-trap flash-memory devices,” *J. Phys. D: App. Phys.*, vol. 40, no. 5, pp. 1426-1429, Mar. 2007.
- [21] S. Tiwari, F. Rana, K. Chan, H. Hanafi, W. Chan, and D. Buchanan, “Volatile and nonvolatile memories in silicon with nano-crystal storage,” in *IEDM Tech. Dig.*, 1995, pp. 521–524.
- [22] C. M. Compagnoni, D. Ielmini, A. S. Spinelli, and A. L. Lacaita, “Modeling of tunneling P/E for nanocrystal memories,” *IEEE Trans. Electron Devices*, vol. 52, no. 4, pp. 569–576, Apr. 2005.
- [23] C. Lee, U. Ganguly, V. Narayanan, T.-H. Hou, and E. C. Kan, “Asymmetric electric field enhancement in nanocrystal memories,” *IEEE Electron Device Lett.*, vol. 26, no. 12, pp. 879–881, Dec. 2005.
- [24] H. B. Michaelson, “The work function of the elements and its periodicity,” *J. App. Phys.*, vol. 48, no. 11, pp. 4729-4733, Nov. 1977.
- [25] K. Ashihara, H. Nakane, H. Adachi, “Experimental confirmation of Flower Nordheim plot at several micro-meters emitter to anode distance,” *Muroran Institute of Technology*, 27-1 Mizumoto-cho, Muroran, pp. 104-107.
- [26] R. Muralidhar, R. F. Steimle, M. Sadd, R. Rao, C. T. Swift, E. J. Prinz, J. Yater, L. Grieve, K. Harber, B. Hradsky, S. Straub, B. Acred, W. Paulson, W. Chen, L. Parker, S. G. H. Anderson, M. Rossow, T. Merchant, M. Pransky, T. Huynh, D. Hadad, K. Chang, and B. E. White, Jr, “A 6 V embedded 90 nm silicon nanocrystals nonvolatile memory,” in *IEDM Tech. Dig.*, 2003, pp. 601–604.
- [27] M. H. White, Y. Yang, A. Purwar, and M. L. French, “A low voltage SONOS nonvolatile semiconductor memory technology,” *IEEE Trans. Comp. Packag., Manuf. Technol. B*, vol. 20, no. 2, pp. 190–195, Jun. 1997.

- [28] H. C. Wann and C. Hu, "High-endurance ultrathin tunnel oxide in MONOS device structure for dynamic memory application," *IEEE Electron Device Lett.*, vol. 16, no. 11, pp. 491–493, Nov. 1995.
- [29] Y. Yang and M. H. White, "Charge retention of scaled SONOS nonvolatile memory devices at elevated temperatures," *Solid State Electron.*, vol. 44, pp. 949–958, 2000.
- [30] C. Lee, J. Meter, V. Narayanan, and E. C. Kan, "Self-assembly of metal nanocrystal on ultrathin oxide for nonvolatile memory applications," *J. Electron. Mater.*, vol. 34, no. 1, pp. 1–11, Jan. 2005.
- [31] C. H. Lee, K. I. Choi, M. K. Cho, Y. H. Song, K. C. Park, and K. Kim, "A novel SONOS structure of $\text{SiO}_2/\text{SiN}/\text{Al}_2\text{O}_3$ with TaN metal gate for multigiga bit flash memories," in *IEDM Tech. Dig.*, 2003, pp. 613–616.
- [32] M. H. White, D. A. Adams, and J. Bu, "On the go with SONOS," *IEEE Circuits Devices Mag.*, pp. 22–31, Jul. 2000.
- [33] M. She and T.-J. King, "Impact of crystal size and tunnel dielectric on semiconductor nanocrystal memory performance," *IEEE Trans. Electron Devices*, vol. 50, no. 9, pp. 1934–1940, Sep. 2003.
- [34] C. M. Compagnoni, D. Ielmini, A. S. Spinelli, A. L. Lacaita, C. Gerardi, L. Perniola, B. De Salvo, and S. Lombardo, "Program/erase dynamics and channel conduction in NC memories," in *IEDM Tech. Dig.*, 2003, pp. 549–552.
- [35] M. Takata, S. Kondoh, T. Sakaguchi, H. Choi, J. C. Shim, H. Kurino, and M. Koyanagi, "New nonvolatile memory with extremely high density metal nano-dots," in *IEDM Tech. Dig.*, 2003, pp. 553–556.
- [36] T. Hori, "Gate dielectrics and MOS ULSIs-principles, technologies, and applications," in *Electronics and Photonics*. Berlin, Germany: Springer-Verlag, 1997, vol. 34, pp. 44–45.
- [37] J. R. Hauser and K. Ahmed, "Characterization of ultrathin oxides using electrical C–V and I–V measurement," *Characterization Metrol. ULSI Technol.*, pp. 235–239, 1998.