

國立交通大學

電子工程學系 電子研究所碩士班

碩士論文

極高位元率數位用戶迴路之時脈同步設計

Clock Synchronization of VDSL system

研究生：賴明秀

指導教授：陳紹基 博士

中華民國九十三年五月

極高位元率數位用戶迴路之時脈同步設計

Clock Synchronization of VDSL System

研究生：賴明秀

Student : Ming-Hsiu Lai

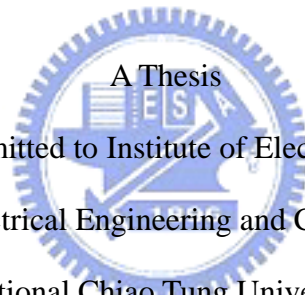
指導教授：陳紹基 博士

Advisor : Sau-Gee Chen

國立交通大學

電子工程學系 電子研究所碩士班

碩士論文



A Thesis

Submitted to Institute of Electronics

College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Electronics Engineering

May 2004

Hsinchu, Taiwan, Republic of China

中華民國九十三年五月