

國立交通大學

電機學院 電信學程

碩士論文

應用於超寬頻之電容回授匹配與
電流再利用之超寬頻低雜訊放大器

An Ultra-Wideband LNA with capacitor feedback
and Current-Reused Technique for 3.1 to 10.6GHz

研究生：曾智群

指導教授：周復芳 博士

中華民國九十九年六月

應用於超寬頻之電容回授匹配與
電流再利用之低雜訊放大器

An Ultra-Wideband LNA with capacitor feedback
and Current-Reused Technique for 3.1 to 10.6GHz

研究生：曾智群

Student : Chih-Chun Tseng

指導教授：周復芳 博士

Advisor : Dr.christina F.Jou



A Thesis
Submitted to College of Electrical and Computer Engineering
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master of Science
in Communication Engineering

June 2010
Hsinchu, Taiwan, Republic of China

中華民國九十九年六月

應用於超寬頻之電容回授匹配與 電流再利用之超寬頻低雜訊放大器

研究生：曾智群

指導教授：周復芳 博士

國立交通大學電機學院電信學程碩士班

摘 要

本篇論文主要是探討超寬頻低雜訊放大器之設計與分析。在第一級部分，為了達到寬頻的輸入匹配，我們採用電容回授的方式，分別對高頻及低頻作輸入匹配，及利用電感(L_s)、電容(C_{gd})回授來達成輸入匹配；接著第二級部分，利用疊接方式來達到電流重複使用，以降低功率消耗，為了達到寬頻的增益，使用並串連尖峰電感(shunt-series peaking)的頻寬延伸技術來完成寬頻增益的目的；最後我們採用一個LC串聯電路方式，來達到輸出匹配。電路採用 TSMC 0.18 μm 1P6M CMOS 製程實現，在此架構電路實際量測結果如下：在供應電壓1.5V下，頻寬為3.1 ~ 10.6 GHz，輸入反射係數小於-10.07以下，輸出反射係數小於-15.2 dB以下，平均順向增益大於6.66 dB，逆向隔離小於-28.25 dB以下，雜訊指數為3.13~7.05 dB，input P1dB為-16dBm，最小值為IIP3為-10dBm，晶片消耗功率為26.7mW。

An Ultra-Wideband LNA with capacitor feedback
and Current-Reused Technique for 3.1 to 10.6GHz

Student : Chih-Chun Tseng

Advisor : Dr.Christina F. Jou

Degree Program of Electrical and Computer Engineering

National Chiao Tung University

Abstract

This thesis discusses the design and analysis of an ultra wideband low-noise amplifier. The first stage employs the capacitive feedback with the source degenerated inductive feedback to achieve input wideband matching, the second stage adopts current-reused cascaded common-source structure to lower the power consumption. To obtain flat gain over a wide bandwidth, the shunt-series peaking inductor is used. Besides, the output impedance matching was achieved with the series L-C network. To demonstrate the feasibility of the LNA, a 3.1 ~ 10.6 GHz LNA was designed and fabricated using the TSMC standard 0.18 μ m 1P6M CMOS process. The measurement results of the UWB LNA have flat gain of 6.66 dB, input return loss smaller than -10.7dB, output return loss small than -10.07 dB, good isolation of -28.25 dB, superior noise figure of 3.13~7.05 dB, P1dB of -16 dBm, IIP3 of -10dBm with the power consumption of 26.7 mW under the 1.5 supply.

致謝

在這三年來的研究所生活中，特別要感謝我的指導教授「周復芳」博士，感謝老師不僅僅在專業領域上的督促與訓練外，並且也從老師身上學習到待人處世的態度、誠懇、謙遜與負責。也感謝口試委員胡政吉博士與吳俊緯博士在口試時，對本論文提出的指導與寶貴的建議，在此也致上深深的感謝。

另外，在晶片設計過程中，特別要感謝實驗室學長匯儀、宜星、昭維、宗廷、玠瑄的幫忙與協助，同時也感謝冠儀、漢宗、與傑翔在生活上及研究上的幫忙以及學弟政廷、柏儒與學妹珮玲你們的關心與幫忙；感謝各位在這些日子的陪伴；也謝謝玠瑄與政廷及國家奈米實驗室射頻量測實驗室全體同仁不辭辛苦地大力幫忙才得以把複雜的量測工作完成。

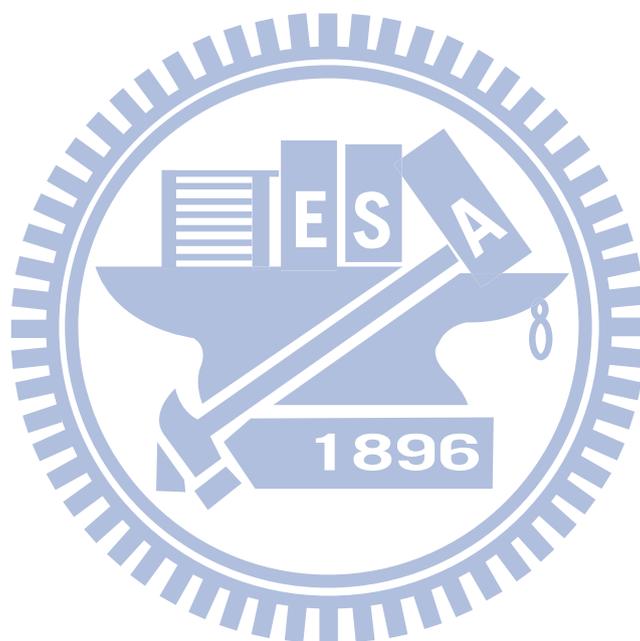
最感謝就是我的老婆蕙甄，就是有你全心全力支持，讓我可以在这三年無負擔的順利完成學業，同時感謝我的父母與家人，因為有你們的照顧和支持，讓我能心無旁騖的完成學位。最後，僅把此論文的榮耀獻給我的老婆、父母與以及身邊所有關懷我的朋友們。

于風城 2010.06

目錄

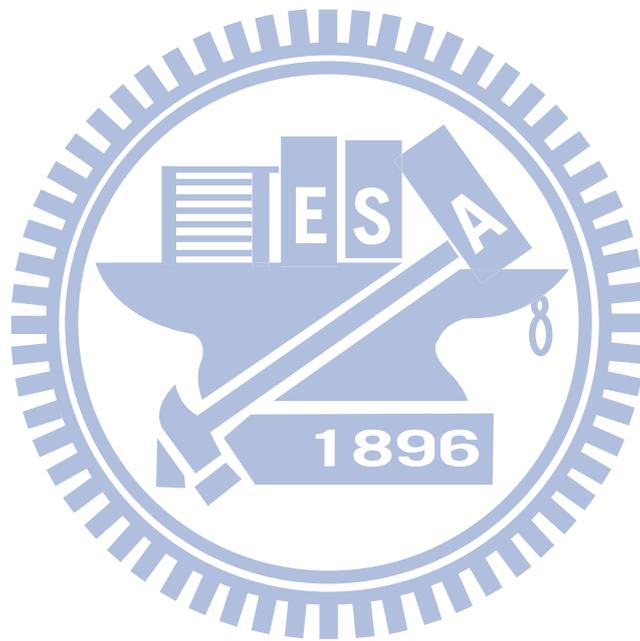
| | |
|-------------------------------------|-----|
| 中文摘要 | I |
| 英文摘要 | II |
| 致謝 | III |
| 目錄 | IV |
| 表目錄 | VI |
| 圖目錄 | VII |
| | |
| 第一章 緒論 | 1 |
| 1.1 動機 | 1 |
| 1.2 論文架構 | 2 |
| 第二章 寬頻放大器相關技 | 3 |
| 2.1 超寬頻低雜訊放大器之設計簡介 | 3 |
| 2.2 寬頻低雜訊放大器介紹與比 | 3 |
| 2.3 低雜訊放大器(Low noise Amplifier)參數介紹 | 9 |
| 第三章 應用於超寬頻之電容回授匹配與電流再利用之低雜訊放大器 | 11 |
| 3.1 簡介 | 12 |
| 3.2 寬頻輸入匹配級 | 13 |
| 3.3 電流重複利用架構 | 18 |
| 3.4 電流在利用放大級 | 19 |
| 3.5 電流再利用放大及原理 | 20 |
| 3.6 中間級串聯共振架構 | 22 |
| 第四章 電容回授匹配與電流再利用之低雜訊放大器模擬 | 24 |
| 4.1 佈局考量與電路佈局圖 | 25 |
| 4.2 模擬結果 | 25 |

| | | |
|-----|--------------|----|
| 4.3 | 結論 | 36 |
| 4.4 | 未來研究方向 | 37 |
| | 參考文獻..... | 39 |



表目錄

| | |
|--------------------------------------|----|
| 表 2.1 常見之寬頻低雜訊放大器比較表····· | 8 |
| 表 4.1 表示模擬結果與量測參數值之比較····· | 33 |
| 表 4.2 在相同技術下參數比較表····· | 35 |
| 表 4.3 與其他技術參數比較表····· | 36 |
| 表 4.4 以 PMOS 替代原負載電阻 R_L 後之比較····· | 37 |



圖目錄

| | | |
|---------|--|----|
| 圖 1.1 | UWB 的功率限制 | 1 |
| 圖 2.1 | 共閘極放大器 | 3 |
| 圖 2.2 | 常見的散佈式放大器架構 | 4 |
| 圖 2.3 | cascade 結合散佈式之架構 | 5 |
| 圖 2.4 | 回授式放大器架 | 7 |
| 圖 2.5 | 回授式放大器輸入端等效電路圖 | 7 |
| 圖 2.6 | Full-band Cascoded 電阻回授式放大器架 | 7 |
| 圖 2.7 | 輸入濾波器匹配放大器 | 8 |
| 圖 2.8 | 單級放大器之雜訊指數示意圖 | 9 |
| 圖 2.9 | 1dB 增益壓縮點示意圖 | 10 |
| 圖 2.10 | 三階非線性現象示意圖 | 10 |
| 圖 2.11 | 三階截斷點 (IP3) 示意圖 | 11 |
| 圖 3.1 | 電容匹配與電流再使用之超寬頻低雜訊放大器之設計 | 12 |
| 圖 3.2 | 寬頻輸入匹配級 | 13 |
| 圖 3.3.1 | 第一級放大器小信號等效電路 | 13 |
| 圖 3.3.2 | 低頻小信號等效電路 | 14 |
| 圖 3.3.3 | 第一級放大器在低頻響應下之模擬 | 14 |
| 圖 3.3.4 | 高頻小信號等效電路 | 15 |
| 圖 3.3.5 | 先將相依電流源 $g_m V_{gs}$ 轉變為相依電壓源後之等效電路圖 | 16 |
| 圖 3.3.6 | 第一級放大器在高頻響應下之模擬圖 | 17 |
| 圖 3.4 | S11 寬頻帶輸入匹配模擬結果 | 17 |
| 圖 3.5.1 | Current-reused topology | 18 |
| 圖 3.5.2 | Current-reused With a series inter-stage resonance | 18 |
| 圖 3.5.3 | Current-reused With three cascaded gain stages | 18 |

| | |
|-------------------------------------|----|
| 圖 3.6 電流在利用放大級 | 19 |
| 圖 3.7 簡易的第一級小信號電路圖 | 20 |
| 圖 3.8 電感 L_4 對增益平坦度的影響 | 21 |
| 圖 3.9 電感 C_3 對增益的影響 | 21 |
| 圖 3.10 第二級放大器電路之小訊號模型 | 22 |
| 圖 3.11 電晶體 M_3 尺寸對增益的影響 | 22 |
| 圖 3.12 電感 L_5 對增益的影響 | 23 |
| 圖 4.1 電容回授匹配與電流再利用之低雜訊放大器佈局圖 | 25 |
| 圖 4.2 參數變異範圍 | 25 |
| 圖 4.3.1 S_{11} 輸入阻抗之比較結果 | 26 |
| 圖 4.3.2 S_{22} 輸出阻抗之比較結果 | 26 |
| 圖 4.3.3 S_{12} 之比較結果 | 27 |
| 圖 4.3.4 S_{21} 之比較結果 | 27 |
| 圖 4.3.5 NF 之比較結果 | 27 |
| 圖 4.3.6 穩定度模擬結果 | 28 |
| 圖 4.3.7 P_{1dB} 在 3.0GHz 下之比較結果 | 29 |
| 圖 4.3.8 P_{1dB} 在 5.0GHz 下之比較結果 | 29 |
| 圖 4.3.9 P_{1dB} 在 7.0GHz 下之比較結果 | 30 |
| 圖 4.3.10 P_{1dB} 在 10.6GHz 下之比較結果 | 30 |
| 圖 4.3.11 IIP3 在 3.0GHz 下之比較結果 | 31 |
| 圖 4.3.12 IIP3 在 5.0GHz 下之比較結果 | 31 |
| 圖 4.3.13 IIP3 在 7.0GHz 下之比較結果 | 32 |
| 圖 4.3.14 IIP3 在 10.6GHz 下之比較結果 | 32 |
| 圖 4.4 以 PMOS 替代原負載電阻 R_L 之電路 | 37 |
| 圖 4.5.1 原電路在 Pre-sim 下結果 | 38 |
| 圖 4.5.2 修改至 PMOS 後在 Pre-sim 下結果 | 38 |

第一章 緒論

1.1 動機[1][2]

隨著無線通訊發展，通訊傳輸從聲音、數據、影像到現今的多媒體應用，對於無線通訊高資料量及低耗電的特性需求，已成為現今無線通訊系統之主要訴求。因此短距離、低功率的超寬頻(Ultra-wideband, UWB)無線電技術被提出。

超寬頻技術使用在3.1 ~ 10.6 GHz的頻段，利用脈衝訊號方式表示0跟1來傳輸資料，此脈衝訊號寬度約為1ns、發射功率約為10nW/Hz。相較於傳統無線通訊技術，如802.11g、GSM、Bluetooth等，皆是利用載波方式在特定之頻帶傳送訊號，因此在傳輸本質上，UWB的寬頻帶、脈衝訊號，與其他傳統無線通訊的窄頻帶、連續性載波截然不同，明顯佔有優勢。其具有高傳輸速率、低耗電量、低成本、干擾性低等特性，將成為極具競爭力的短距離無線傳輸技術。

UWB 由於資料傳輸率之優勢，各國已陸續開放其使用頻帶，但由於其所使用之頻段跨越其他通訊已使用之頻段，為避免干擾其他通訊設備，必須限制其發射功率(-41.3 dBm/MHz)使用，美國聯邦電信委員會(FCC)已訂出使用之功率限制，如圖 1.1 所示。

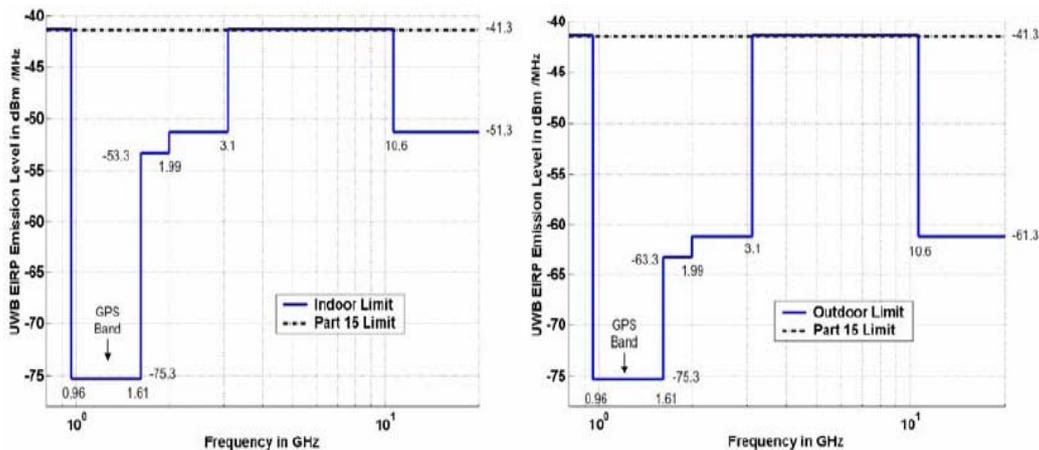


圖 1.1 UWB FCC 輻射功率限制圖[1]

1.2 論文架構

本論文使用 TSMC 0.18 μm 1P6M CMOS 製程來實現所設計的超寬頻低雜訊放大器電路，內容共分成三個章節。第一章為緒論，主要介紹超寬頻背景與特性做簡單之介紹，最後探討論文之主體架構。第二章為探討寬頻放大器相關技術並比較其優缺點。第三章是介紹利用電容匹配回授架構來達到寬頻輸入匹配網路，並且搭配使用電流重複利用的技巧，設計低功率的低雜訊放大器。第四章為針對電路 Post-simulation 與量測結果進行討論、比較與結論，並說明未來研究的目標。



第二章 寬頻放大器相關技術

2.1 超寬頻低雜訊放大器之設計簡介

由於低雜訊放大器為接收機的第一級放大，幾乎決定整個接收系統的雜音指數，並且第一級的放大器增益越大，對後級元件所產生的雜訊抑制能力也越好，通常低雜訊放大器前級一般為天線或濾波器，輸入端阻抗需匹配到 50 歐姆。對於應用在超寬頻的低雜訊放大器，輸入阻抗匹配與增益必須涵蓋 3.1~10.6GHz。常見之參考文獻中，超寬頻低雜訊放大器可分為四種架構：共閘極 (common gate) 架構、分散式 (distributed) 架構、回授式 (feed back) 架構及輸入帶通濾波器匹配 (input band-pass filter matching) 架構。以下將分別說明。

2.2 寬頻低雜訊放大器介紹與比較

(a). 共閘極架構 (common gate) [3]

共閘極放大器架構本身就有著寬頻的特性以及良好的線性度。如圖 2.1 所示，透過小訊號分析可得輸入阻抗為： $Z_{in} = 1/(g_m + j\omega C_{gs})$ ，其中 C_{gs} 為電晶體 M_1 之寄生電容；在低頻時輸入阻抗近似於 $Z_{in} \approx 1/g_m$ ，因此可達寬頻阻抗匹配。然而應用於較高的頻率時， C_{gs} 將開始影響輸入阻抗特性，此時可以利用電感方式諧振掉電容效應，達到寬頻的操作。一般而言，在設定電晶體偏壓時，主要是讓 $g_m = 20\text{mS}$ 。此架構雖然容易實現輸入阻抗匹配，但是共閘極放大器在雜訊方面表現不佳，雜訊指數在製程下有最低限制 ($NF \geq 2.2$)。

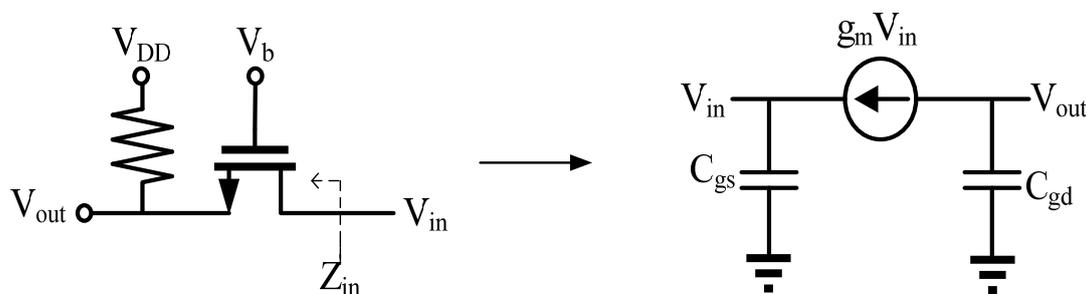


圖 2.1 共閘極放大器

(b). 分佈式放大器(distributed Amplifier)[4]

傳統分散式放大器，如下圖2.2所示。其架構為每一級電晶體寄生電容與電感等效成一有限長傳輸線，並透過電晶體互相耦合開極端和汲極端的等效傳輸線，放大輸入訊號。因為電晶體的寄生電容屬於傳輸線的一部份，不會影響放大器的增益和頻寬的乘積，所以此類放大器有較大的頻寬操作。分散式放大器通常具有寬頻帶的特性，但因架構為多級的放大器，所以會產生相當大的功率消耗，因此，並不合適用於低消耗功率方面的應用。在[4]論文研究參考中功率消耗為7mW，但是在2.7~9.1GHz 的頻寬中增益只有10dBm。而如下圖2.3所示，在[5]論文研究使用中，結合了cascade 架構與散佈式架構兩者的優點，得到很好的增益及雜訊指數，其電路整體的增益可達到18dBm，但電路較佔面積且功率消耗高達54mW。

以傳統的散佈式架構來說，雖具有寬頻增益的特性，但因為電感做為主要元件使得整個電路的尺寸略顯龐大，使用了cascade 的架構雖然可以克服低增益響應的缺點，但卻使得整體電路的尺寸更為龐大，且消耗更大的功率。

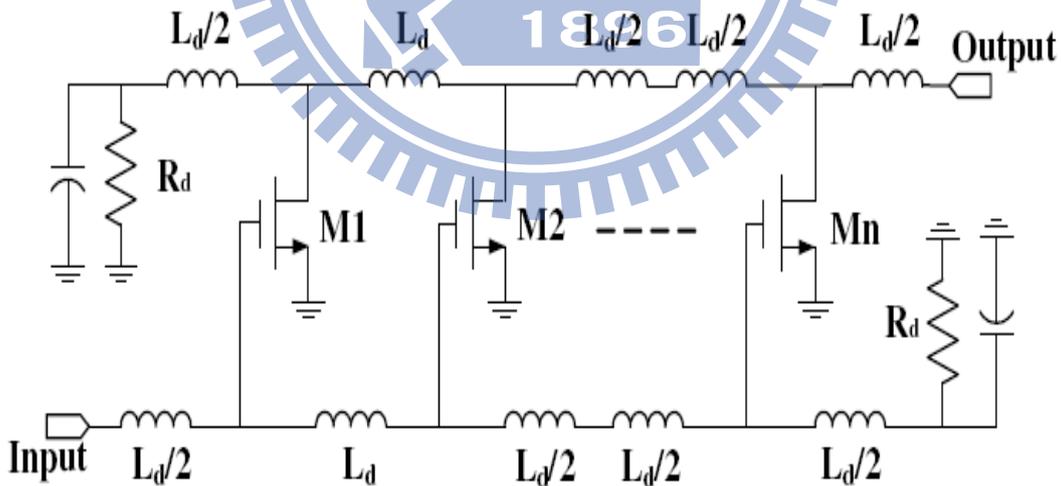


圖2.2 常見的散佈式放大器架構[4]

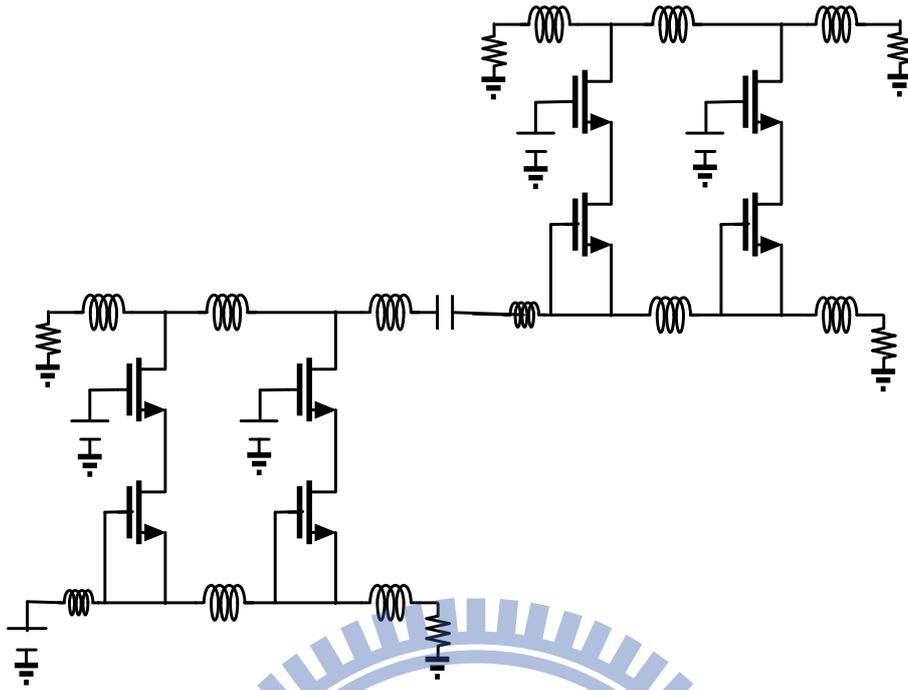
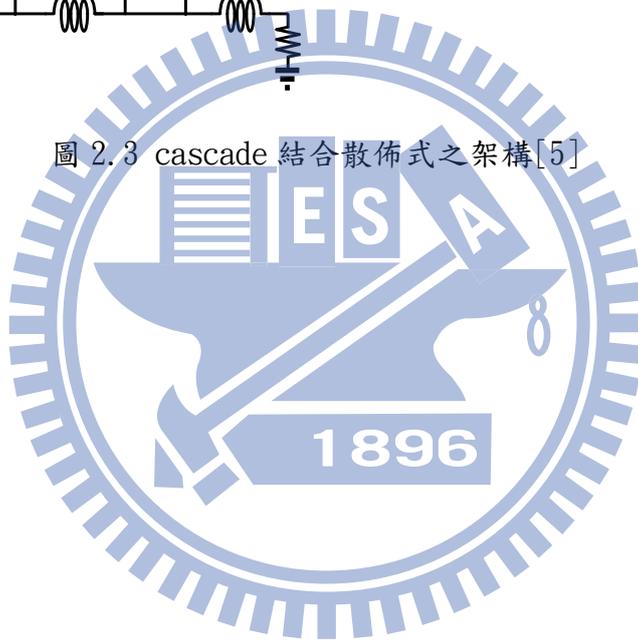


圖 2.3 cascade 結合散佈式之架構[5]



(c). 回授式放大器(feed-back Amplifier)

利用回授電路可以延伸電路的頻寬，以及提供好的輸入阻抗匹配，並增進電路的穩定性，卻必須犧牲增益去換取最佳化頻率響應。為了獲得較小雜訊和較大增益，需增加電晶體尺寸或回授電阻 R_f ，也因此造成功率消耗增加。雖然回授式放大器能提供好的輸入阻抗匹配，但可能因為輸入寄生電容而限制於低頻部份。

如圖2.4所示[6] 為回授式放大器架構，主要是控制調整等效回授電阻，來達到寬頻的效果。如圖2.5所示為輸入端小訊號等效電路，其中 R_{fM} 為 R_f 的米勒等效輸入電阻，可以表示成 $R_{fM} = R_f (1 - A_v)$ ， A_v 表示放大器開迴路電壓增益。透過小訊號分析可以得知，輸入阻抗由 $\omega_r L_s$ 決定，因此回授電阻(R_f)用來降低諧振放大器輸入端網路的Q值，其Q值可以近似如下：

$$Q \approx \frac{1}{\left[R_s + \omega_r L_s + \frac{(\omega_0 L_g)^2}{R_{fM}} \right] g \omega_0 g C_{gs}} \quad (2.1)$$

從(2.1)式來考慮在-3dB與Q值之間的線性關係，適當選擇 R_{fM} 可以達到寬頻的操作。但是 R_{fM} 電阻也會增加一些雜訊。電阻分流回授放大器的增益平坦度佳，能提供良好的寬頻匹配，回授電阻會產生幾百歐姆去匹配訊號源電阻的50Ω，但相對卻會造成不小的功率消耗。

在[6]此論文研究參考中將傳統的窄頻式cascode LNA與Resistive並聯回授電路相結合，雖然解決了Resistive並聯回授且需要較大功率消耗的問題(只消耗了12.6mW)，但是整個頻寬只適用於較低頻的2GHz~4.6GHz，且增益也僅有9.8dB。而如圖2.6，在[7]論文研究使用中，雖然頻寬增加至31.~10.6GHz，但卻損失了雜訊指數並且功率消耗高達23.5mW。

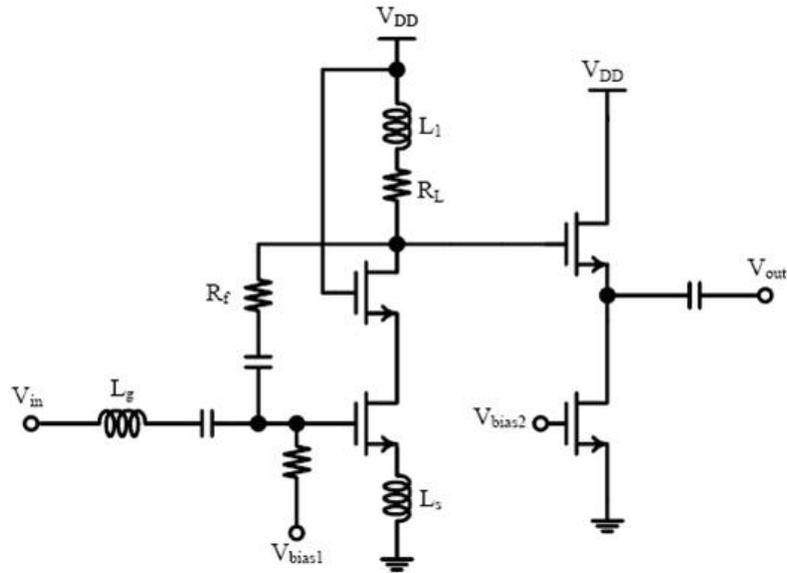


圖 2.4 回授式放大器架構

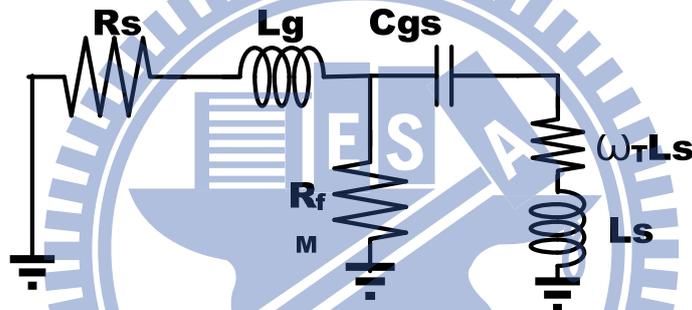


圖 2.5 回授式放大器輸入端等效電路圖

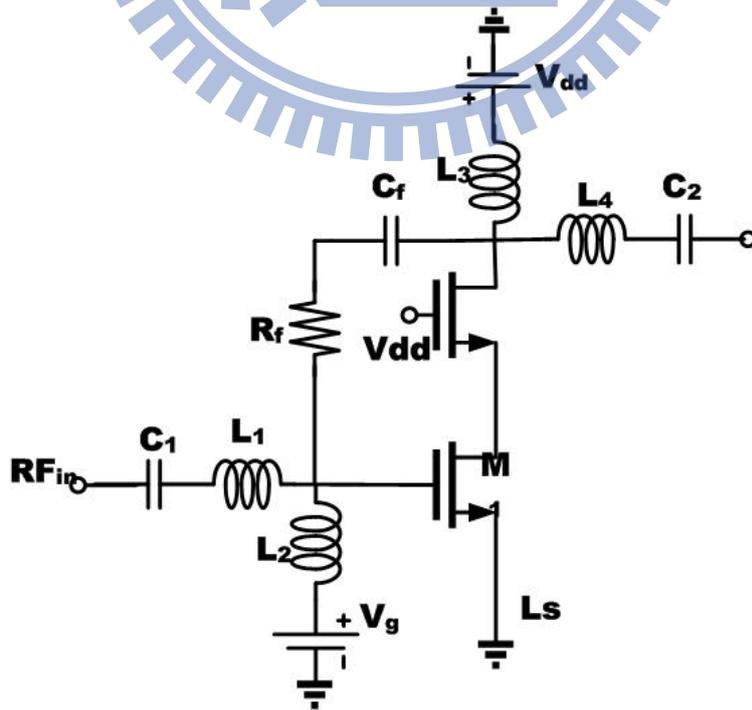


圖 2.6 Full-band Cascoded 電阻回授式放大器架構

(d). 輸入濾波器匹配放大器

源極電感退化式放大器是常見的低雜訊放大電路架構，它不僅有最佳的輸入阻抗匹配，還有達到最大功率傳輸及最小雜訊的特性，但是此種方式多用在窄頻系統使用。不過在寬頻的操作上，由於電晶體的寄生電容效應會降低操作頻寬，因此在設計上常使用輸入濾波器匹配方式，利用電感、電容組成的寬頻架構並不會造成過大的功率消耗，改善了原本窄頻的特性，使得電晶體輸入端在設計的頻帶內有寬頻的效果，但是輸入端的匹配網路需要使用多個電感，使得晶片面積增加，提高製作成本，且由於在輸入端加入太多電感，如果電感Q 值不夠高，往往會造成雜訊上升，也會使輸入返回損耗S11表現變差。在[8]期刊中發表，利用Chebychev 濾波器作輸入匹配，結合源極電感退化的架構如圖2.7所示。表2.1說明以上四種常用架構之特性比較。

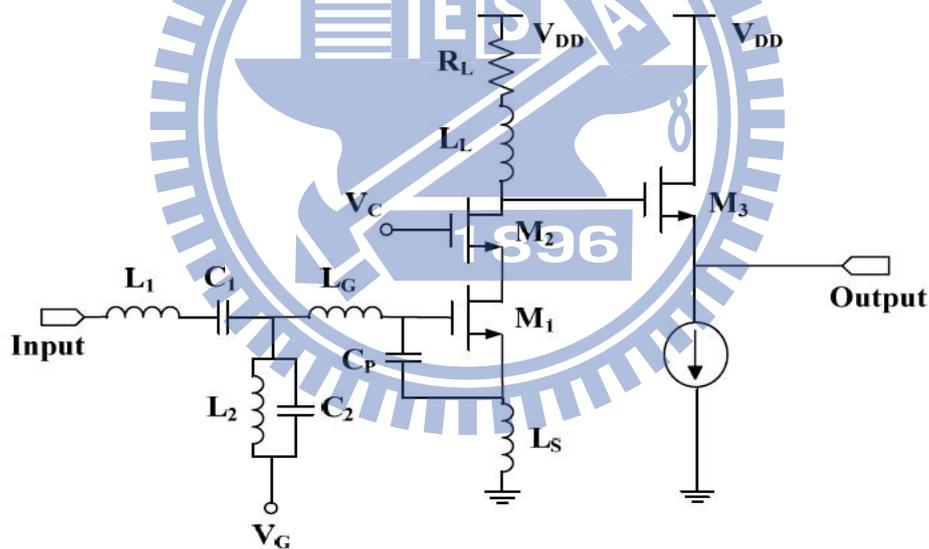


圖2.7 輸入濾波器匹配放大器[8]

| | Tech. | BW (GHz) | S11 (dB) | Gmax (dB) | Min NF (dB) | IIP3 (dBm) | VDD (V) | Power (mW) | SIZE (mm) | Topology |
|-----|-------|----------|----------|-----------|-------------|------------|---------|------------|-----------|-------------|
| [4] | 0.18 | 2.7-9.1 | <-10 | 10 | 3.8~6.9 | 1 | 0.6 | 7 | 1.57 | Distributed |
| [5] | 0.18 | 3.1-10.6 | <-10 | 18 | 5 | 1.8 | 1.8 | 54 | 2.2 | Distributed |
| [6] | 0.18 | 2.0~4.6 | -9 | 9.8 | 2.3 | -7 | 1.8 | 12.6 | 0.9 | Feedback |
| [7] | 0.18 | 3.1-10.6 | <-9.7 | 9.2 | 5.55 | 7.25 | 1 | 23.5 | 0.78 | Feedback |
| [8] | 0.18 | 3.1-10.6 | <-9.9 | 9.3 | 4 | -8.8 | 1.8 | 9 | 1.1 | L-C Filter |

表2.1 常見之寬頻低雜訊放大器比較表

2.3 低雜訊放大器(Low noise Amplifier)參數介紹

一般在設計設計低雜訊放大器(Low noise Amplifier)時，一些用來定義或描述其效能的參數應該先加以介紹。如：雜訊指數(Noise Figure)、1dB 壓縮點(1dB compression point)、輸入三階截取點(input third-order intercept point, IIP3)等。

1. 雜訊指數(Noise Figure)[9]

雜訊因數(noise factor)和雜訊指數(noise figure)，都是用來表示接收系統或是放大電路中雜訊之參數。放大器之雜訊指數示意圖，如圖 2.8。

雜訊因子(noise factor)定義表示為式(2.2)。

$$F = \frac{SNR@input}{SNR@output} = \frac{\frac{S_i}{N_i}}{\frac{S_o}{N_o}} = \frac{\frac{S_i}{N_i}}{\frac{GS_i}{GN_i + N_a}} = \frac{N_o}{GN_i} = \frac{\text{total output noise}}{\text{output noise due to input source resistance}} \geq 1 \quad (2.2)$$

$$= \frac{G(N_i + N_{a,input})}{GN_i} = \frac{GN_i + N_a}{GN_i} = 1 + \frac{N_{a,input}}{N_i}$$

圖 2.8 中輸入訊號 S_i 及輸入雜訊 N_i ，經增益為 G 之放大電路，產生輸出信號 S_o 、輸出雜訊 N_o 、輸入所增加之雜訊 $N_{a,input}$ 。

而雜訊指數(noise figure) 定義表示為式(2.10)：

$$NF = 10 \log_{10} F \text{ (dB)} \quad (2.10)$$

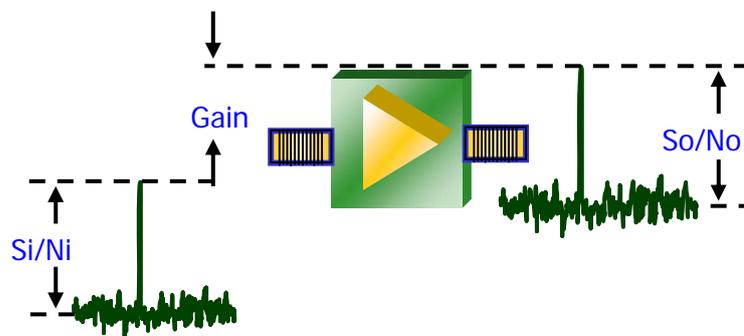


圖 2.8 單級放大器之雜訊指數示意圖

2. 1dB增益壓縮點(P1dB Gain Compression Point)[9]

放大器之操作區域中，輸出功率 (Output Power) 將正比於輸入功率 (Input Power)，呈現線性之增加，此線性化增加之常數一般稱為增益 (Gain)。當輸入信號超過一定功率時，輸入功率與輸出功率之線性關係將不再維持，而會進入飽和或稱為壓縮，故定義當輸入功率增加至使得原本線性化輸出功率下降1 dB，亦即增益下降1 dB 時，相對應之數值稱為1-dB 壓縮點 (P1dB)，如圖2.9所示。

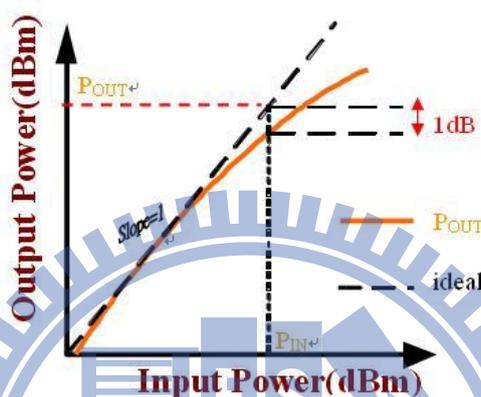


圖2.9 1dB增益壓縮點示意圖

3. 第三截斷點 (Third-order intercept point, IP3) [10]

在無線系統接收中，將兩個很接近 (ω_1 、 ω_2) 的頻率輸入至放大器時，由於電路元件的非線性效應，產生交互調變造成許多高階諧波，其中三階交互調變 ($2\omega_1 - \omega_2$ 和 $2\omega_2 - \omega_1$) 的輸出是我們比較重視的，因為此諧波會落於非常接近主要頻率訊號 ω_1 與 ω_2 的兩旁，而濾波器無法濾除如此鄰近的干擾訊號，因此，會造成主訊號的失真且會干擾其他頻道的訊號，進而增加解調位元錯誤率 (Bit Error Rate, BER)，造成訊號品質惡化。如圖2.10為三階非線性現象示意圖。

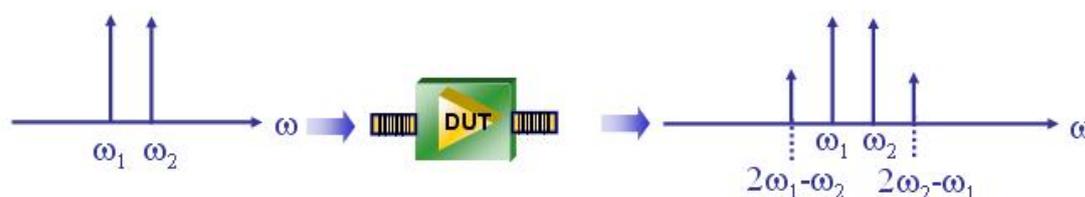


圖2.10 三階非線性現象示意圖

因此三階截斷點(IP3)為衡量電路線性度重要參數，其定義為主頻功率與三階非線性項功率延長線的交點。如圖2.11所示，為三階截斷點(IP3)示意圖，其中IIP3及OIP3分別為輸入及輸出的三階截斷點(input or output third-order intercept point)，一般而言，交會點越高，或者IIP3及OIP3越大，代表線性度越佳。

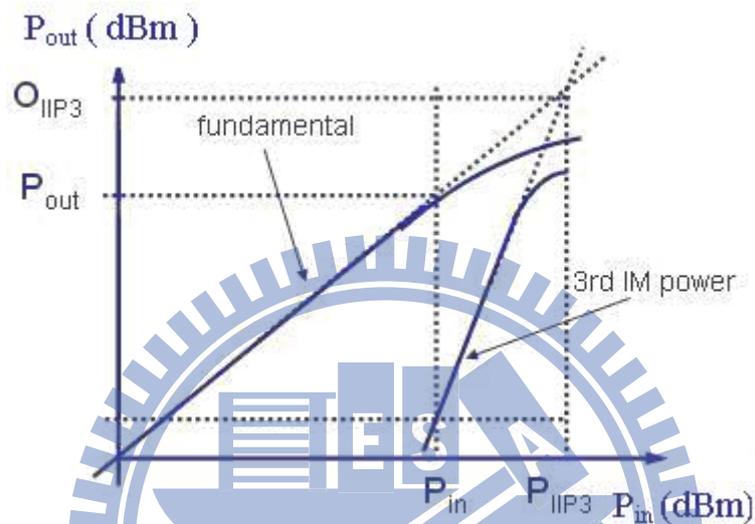


圖2.11 三階截斷點(IP3)示意圖

第三章 應用於超寬頻之電容回授匹配

與電流再利用之低雜訊放大器

3.1 簡介

在設計寬頻低雜訊放大器時，需考慮到的重要參數有輸入阻抗(Input matching)、雜訊指數(Noise Figure)、1dB 壓縮點(1dB compression point)、輸入三階截取點(input third-order intercept point, IIP3)以及工作頻率範圍內的增益平坦度(Gain Flatness)的特性都是必須列入設計的考量之中。

本論文研究的寬頻低雜訊放大器電路架構共有二級：第一級為輸入匹配級(Input matching stage)，是利用電容回授方式與源級衰退電感(Source De-generated Inductor)所組成的放大器架構，來完成寬頻的輸入阻抗匹配。第二級放大器為兩個NMOS疊接(Cascade)的共源級(Common Source)放大器架構，且電路為共用電流(Current-Reused)方式，使能達到高增益表現且降低電路的功率消耗，其中兩級(M_2, M_3) 並且分別諧振於不同的頻率，以達到超寬頻3.1 ~ 10.6 GHz的設計目標。完整電路圖如圖3.1 所示。

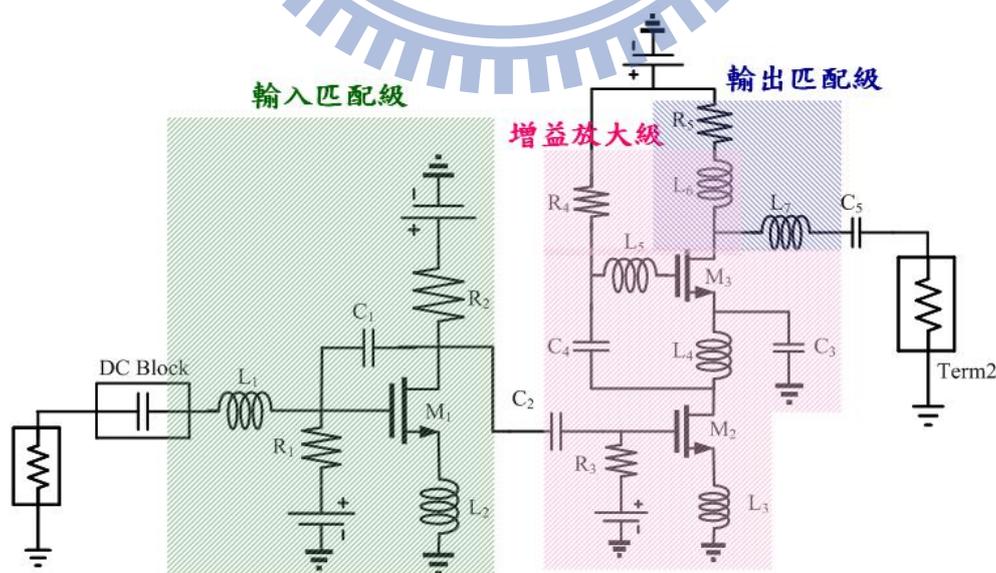


圖3.1 電容匹配與電流再利用之超寬頻低雜訊放大器之設計

3.2 寬頻輸入匹配級(Input matching stage)[11]

此電路是利用第一級放大器輸出端的RC負載、 L_2 、 C_1 回授(feedback)及 L_g 作輸入端匹配輸入匹配，降低輸入端的匹配網路複雜度，以達到寬頻的需求。如圖3.2所示。電阻 R_2 是為了防止震盪增加電路的穩定度， R_1 為大電阻，主要是避免RF訊號洩漏而影響偏壓。

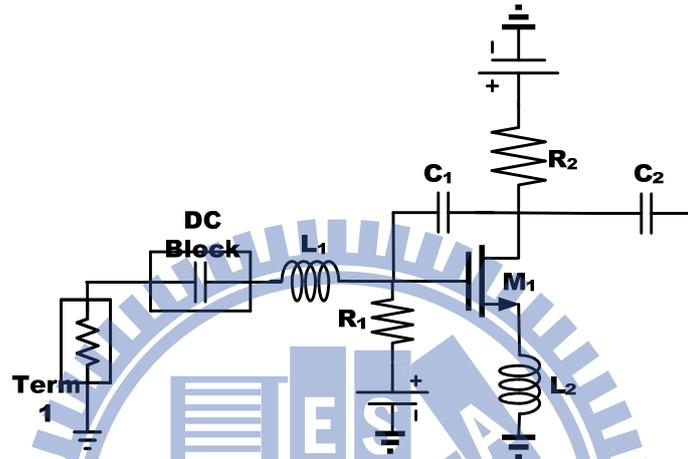


圖3.2 寬頻輸入匹配級

- 輸入匹配分析[12]

圖3.3.1為第一級放大器M1加上負載的完整小訊號模型等效電路。其中此負載 R_L 與 C_L 即為第二級放大器之寄生電容與寄生電阻。為了分析輸入匹配網路，在此將它分成低頻響應及高頻響應分別如圖3.3.2及圖3.3.3所示。

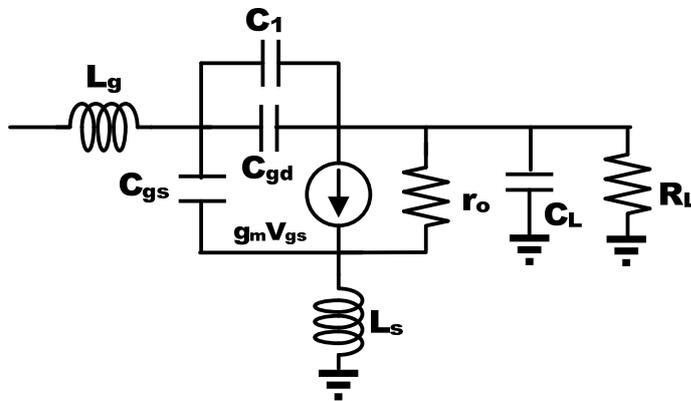


圖3.3.1 第一級放大器小信號等效電路

在低頻響應下之輸入阻抗分析：

如圖3.3.2所示，此時負載僅為 R_L 之效應。若將 C_{gd} 及 r_o 忽略，且假設 C_{gs} 之阻抗遠大於 L_s 之阻抗的條件下，則小信號等效電路輸入阻抗方程式可近似為：

$$Z_{inL} = j\omega L_g \frac{1}{j\omega C_{gs}} + \frac{L_s(g_m + j\omega C_{gs})}{C_{gs}} \approx \frac{1}{j\omega C_{gs}} + \frac{L_s g_m}{C_{gs}} \quad (3.1)$$

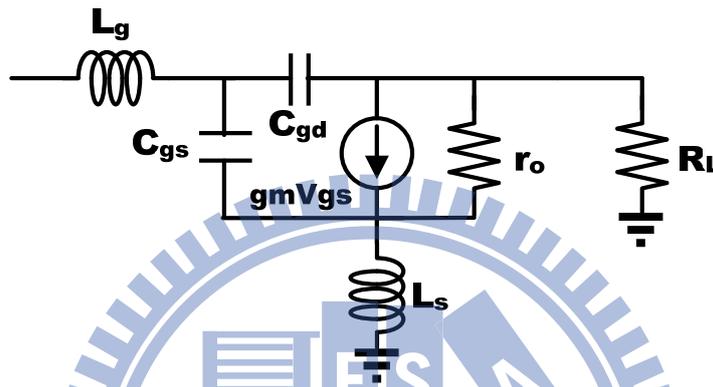


圖3.3.2 低頻小信號等效電路

由(3.1)式可以得知，當相依電流 $g_m V_{gs}$ 流經電感 L_s 時，將產生與輸入電流相同位(In Phase)之電壓，此時可產生其值 $\frac{L_s g_m}{C_{gs}}$ 之輸入電阻。當較小之 C_{gd} 將會增加有效輸入電容，且當一有限值 r_o 將會衰退 g_m ，並且會降低由 L_s 所產生之輸入阻抗的實部。因此，假設 $\omega L_s \ll 1/\omega C_{gs}$ ， $\omega L_s \ll R_L$ 且流經 C_{gd} 之洩漏電流(Leakage Current)遠小於汲極電流時。則 (3.1)式之較理想的表示示為：

$$Z_{inL} = j\omega L_g + \left(\frac{1}{j\omega C_{gs}} + \frac{L_s \gamma g_m}{C_{gs}} \right) \left[1 + \frac{C_{gd}}{C_{gs}} (1 + \gamma g_m R_L) \right]^{-1} \quad (3.2)$$

$$\text{其中 } \gamma = \frac{r_o}{r_o + R_L + j\omega L_s} \quad (3.3)$$

由方程式(3.2)可知， Z_{inL} 為一個R、L、C串聯電路。圖3.3.3所示為第一級放大器在低頻響應下的模擬結果。

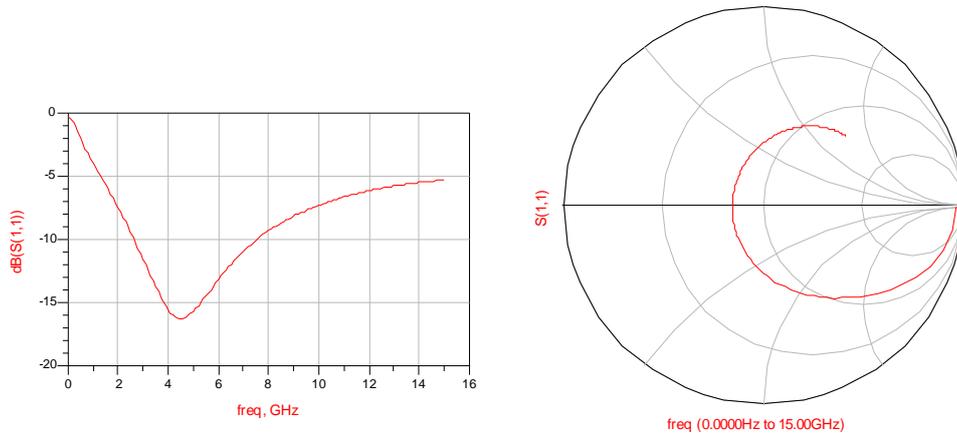


圖3.3.3 第一級放大器在低頻響應下之模擬圖

在高頻響應下之輸入阻抗分析：

如圖3.3.4所示，此時負載僅為 C_L 之效應。

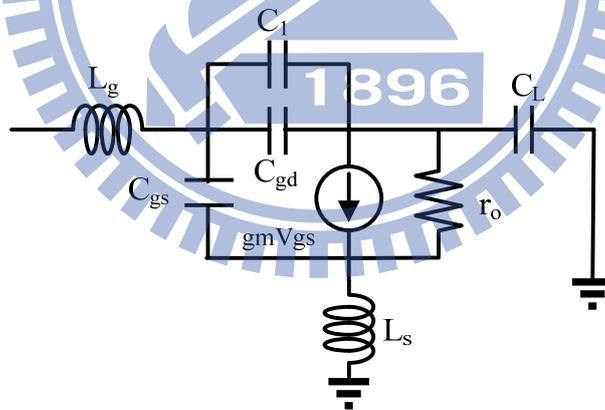


圖3.3.4 低頻小信號等效電路

在此先將相依電流源 $g_m V_{gs}$ 轉變為相依電壓源 $g_m r_o V_{gs}$ ，如圖3.3.5所示。

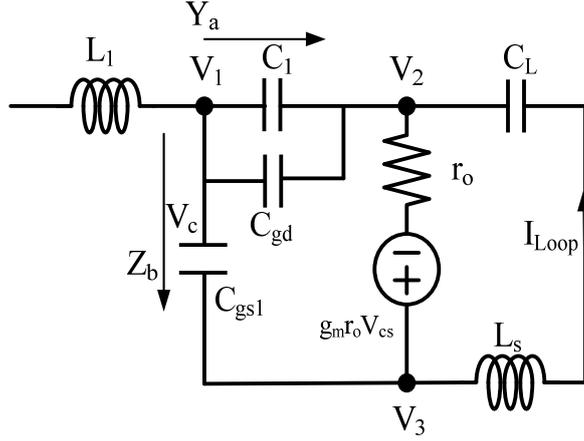


圖3.3.5 先將相依電流源 $g_m V_{gs}$ 轉變為相依電壓源後之等效電路圖

其中 Y_a 為從 C_{gd} 分之看入所形成的導納，而 Z_b 為從 C_{gs1} 分之看入之所形成的阻抗， V_1 、 V_2 及 V_3 分別為 MOS 之 G、D、S 端點之電壓。若相依電流 $g_m V_{gs}$ 遠大於流經 C_{gd} 或 C_{gs} 之電流時，則迴路電流 I_{Loop} 可近似為：

$$I_{Loop} = g_m r_o V_{gs} \left[r_o + \frac{1}{j\omega C_L} + j\omega L_s \right]^{-1} \quad (3.4)$$

因此， C_{gd} 分之看入時所形成的導納 Y_a 為：

$$Y_a = j\omega C_{gd} \frac{V_1 - V_2}{V_1} = j\omega C_{gd} + \left(R_a + \frac{1}{j\omega C_a} + j\omega L_a \right)^{-1} \quad (3.5)$$

其中

$$R_a = \frac{C_L}{g_m C_{gd}} \quad C_a = g_m r_o C_{gd} \quad L_a = \frac{L_s C_L}{g_m r_o C_{gd}} (1 + g_m r_o) \quad (3.6)$$

而從 C_{gs} 分之看入時所形成的阻抗 Z_b 為：

$$Z_b = \frac{1}{j\omega C_{gs1}} \frac{V_1}{V_1 - V_1} = \frac{1}{j\omega C_{gs1}} + \left(\frac{1}{R_b} + j\omega C_b + \frac{1}{j\omega L_b} \right)^{-1} \quad (3.7)$$

其中：

$$\begin{aligned} R_b &= \frac{g_m L_s}{C_{gs1}} \\ C_b &= \frac{C_{gs1}}{g_m r_o} \\ L_b &= \frac{L_s g_m r_o C_L}{C_{gs1}} \end{aligned} \quad (3.8)$$

因此，可由 Y_a 及 Z_b 的關係得知電容性負載時所形成的輸入阻抗為：

$$Z_{inH} = \left(Y_a + \frac{1}{Z_b} \right)^{-1} \quad (3.9)$$

由方程式(3.9)可知， Z_{inH} 為一個R、L、C串聯再並聯電容電路。圖3.3.6所示為第一級放大器在高頻響應下的模擬結果。

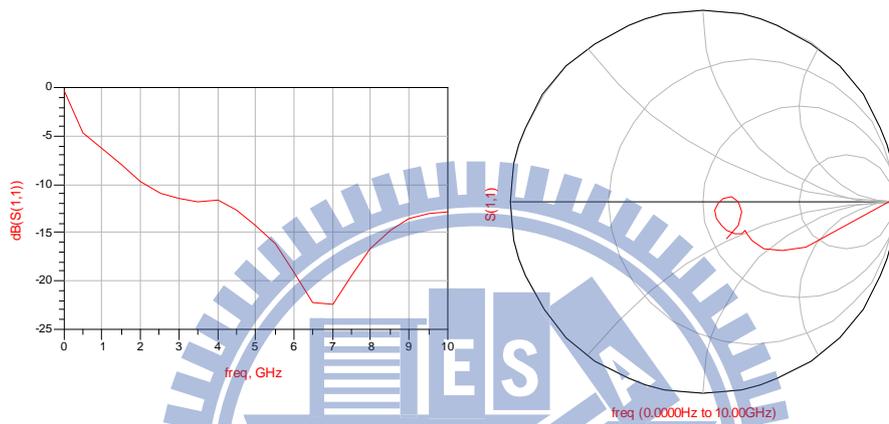


圖3.3.6 第一級放大器在高頻響應下之模擬圖

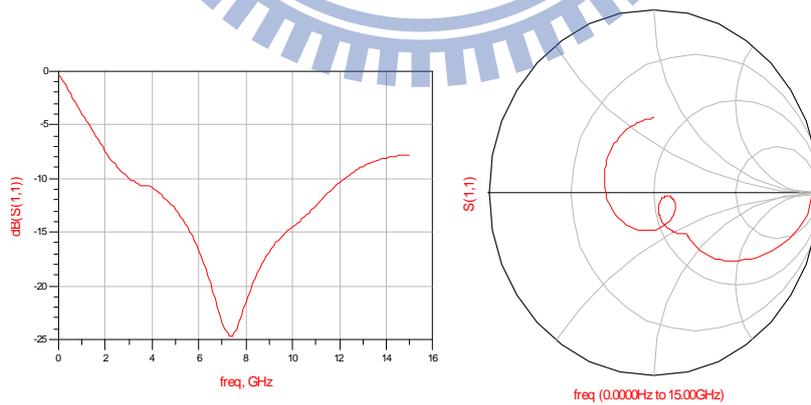


圖3.4 S11寬頻帶輸入匹配模擬結果

3.3 電流再利用架構

為了節省低雜訊放大器的供應電壓和消耗功率，且依舊提供足夠的增益，常使用電流重複利用的架構，此低功率消耗的技術是由基本Cascode-Inverter 架構所延伸發展的，如圖3.5.1為基本的電流重複利用架構，對直流而言電路為Cascode形式，共用一電流源可減少功率消耗，而對小訊號來說電路是Cascade形式，擁有較大的增益。

之後有人更進一步的延伸此架構，提出with a series inter-stage resonance架構[13]，如圖3.5.2所示，使用電流重複利用包含LC串聯共振架構，並提到在相同偏壓和電流下可以得到比基本的電流重複利用架構還高的增益。另外在three cascaded gain stages此架構中，包含三級增益級的架構[14]，如圖3.5.3所示，實現在 $0.18 \mu\text{m}$ CMOS製程技術上，在僅消耗 0.9mW 的直流功率時， 5GHz 的頻率上可以得到 9.2dB 的功率增

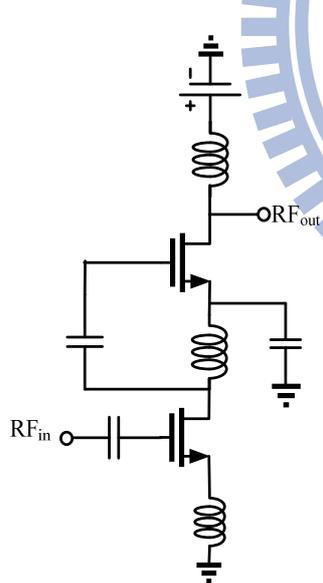


圖 3.5.1 Current-reused topology

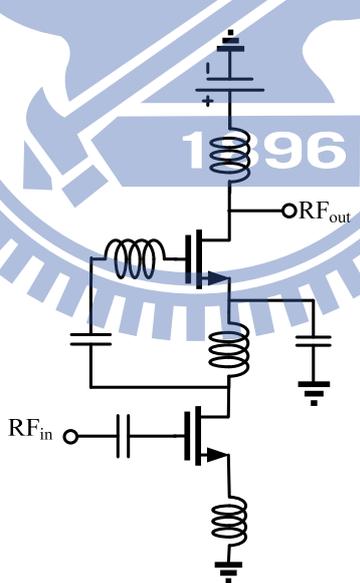


圖 3.5.2 Current-reused With a series inter-stage resonance

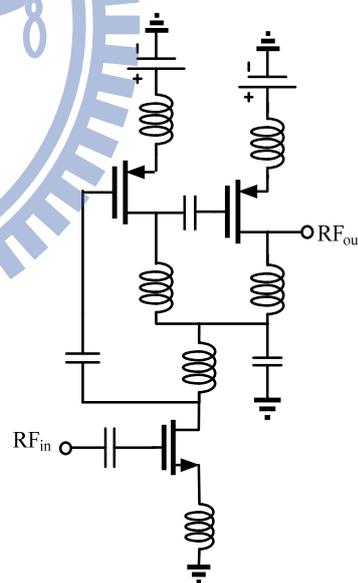


圖 3.5.3 Current-reused With three cascaded gain stages

3.4 電流再利用放大級 (Current reused amplifier stage)

第二級放大器為兩個 NMOS 共源極放大器組態疊接(Cascode)而形成的架構，如圖 3.6 電路中所示。

此放大器利用電路中， L_4 為共源極放大器 M_2 的負載(peaking)，目的為阻擋 RF 訊號流至 M_3 之 source 端，並使共用電流由 M_3 流至 M_2 。 C_3 為旁路(Bypass)電容，其功能則為提供第二級有個交流接地路徑的功能以形成 common source 放大並避免信號耦合到第一級。 C_4 為耦合(Coupling)電容，目的為讓 RF 訊號送至第二級之共源放大器，並阻擋直流流入。 L_5 用以被調整與 M_3 之 C_{gs} 形成串聯諧振 (Series-Resonance) 電路，達成兩組放大器間訊號之耦合，以將訊號傳遞至輸出端。可使增益在設計的頻段達到較佳的平坦度與增益值。 R_5 、 L_6 則為共源極放大器 M_3 的負載，目的為並聯尖峰(Shunt Peaking)之設計方式，其可提供延伸所設計之高頻頻寬與增益平坦度。 L_7 與 C_5 則是負責此電路的輸出阻抗匹配達至 50 Ohm。 R_4 則是提供偏壓的作用，電阻值以不明顯增加 noise figure 作為考量因素。

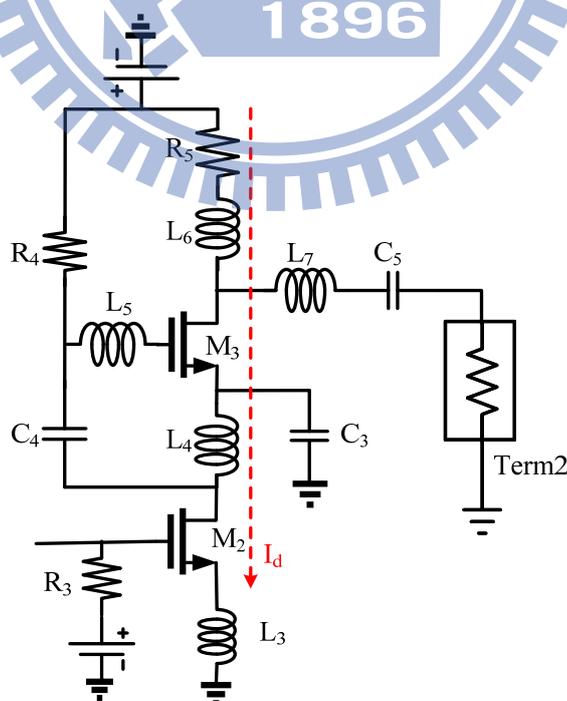


圖 3.6 電流在利用放大級

3.5 電流再利用放大及原理[16]

如圖 3.7 所示為簡易的第一級小信號電路圖， i_{d2} 是電晶體 M_2 的小信號汲極電流； L_4 是第一級的負載電感， C_{L2} 跟 R_{L2} 則是它的雜散電阻跟電感； C_{par2} 則是代表著 M_2 的汲極端所有的雜散電容，而 V_{o2} 是小信號電壓。可得知第一級的增益($\frac{V_{o2}}{i_{d2}}$) 可由式(3.10)表示：

$$\frac{V_{o2}}{i_{d2}}(s) = \frac{1}{\frac{1}{\frac{sL_4R_{L2}}{1+sC_{L2}(sL_4+R_{L2})} + \frac{1}{sC_3}} + sC_{par2}} = \frac{1}{sL_4 + R_{L2} + \frac{1}{sC_3}} + sC_{par2} \quad (3.10)$$

其中，雜散電容 C_{L2} 極小可忽略。

$$\frac{V_{o2}}{i_{d2}}(\omega) = \frac{R_{L2} + j\left(\omega L_4 - \frac{1}{\omega C_3}\right)}{1 - \omega^2 L_4 C_{par2} + \frac{C_{par2}}{C_3} + j\omega C_{par2} R_{L2}} \quad (3.11)$$

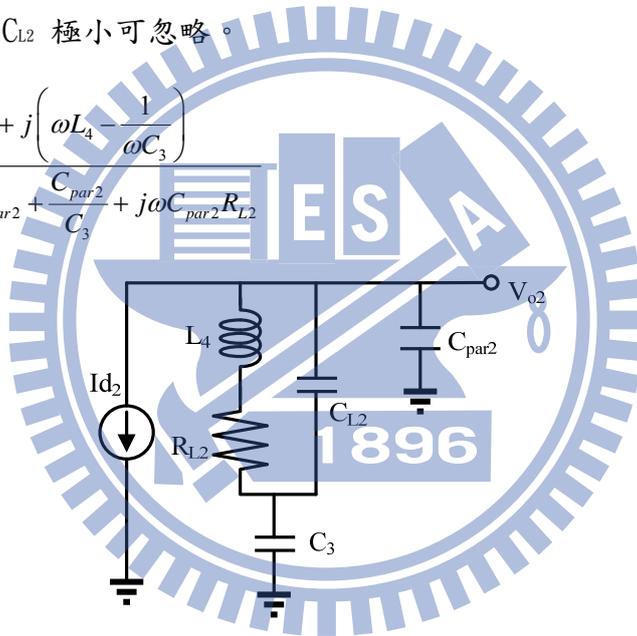


圖 3.7 簡易的第一級小信號電路圖

由式(3.10)與(3.11)可得知，第一級電壓增益主要取決於負載電感 L_4 、汲極端的寄生電容 C_{par2} ，及旁路電容 C_3 。當 L_4 的感值增加時，低頻增益會增加，原因是 L_4 為低頻段的峯值(peaking)，圖 3.8 表示為電感 L_4 對增益的影響。且 C_3 可使第一級共源級放大得到一個近似理想的接地，圖 3.9 表示為電容 C_3 對增益的影響，所以要選擇適當的 C_3 與 L_4 ，可使增益在設計的頻段達到較佳的平坦度與增益值。

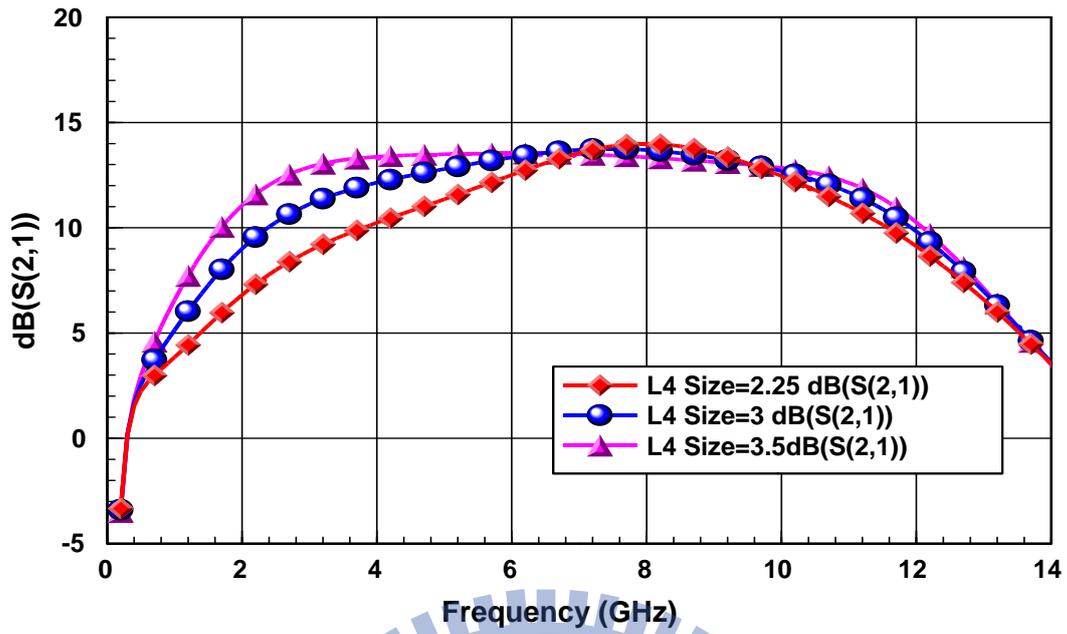


圖 3.8 電感 L_4 對增益的影響

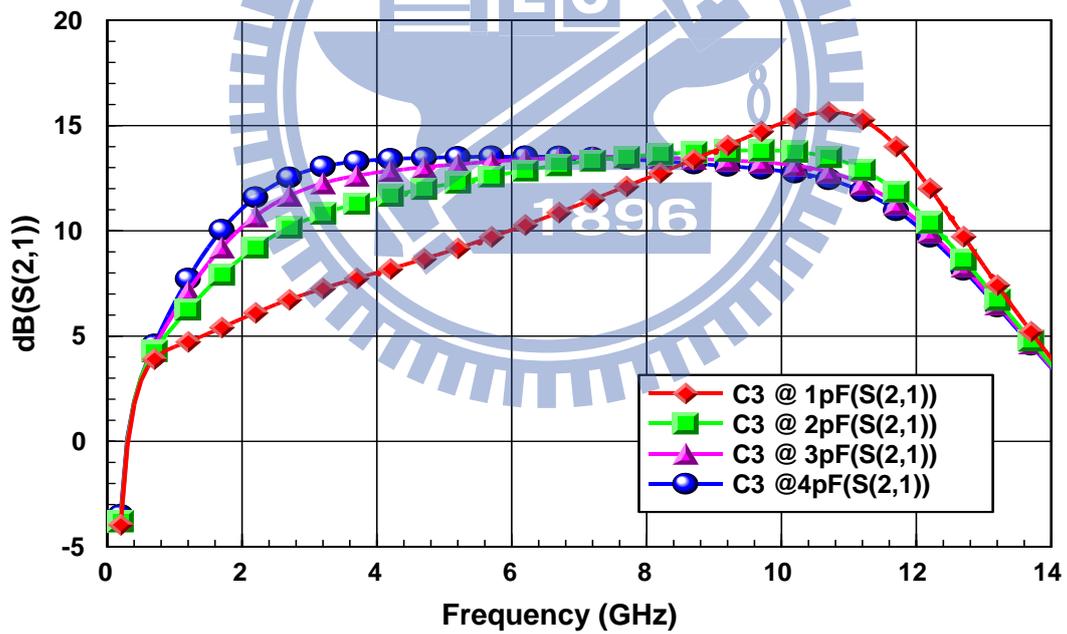


圖 3.9 電感 C_3 對增益的影響

3.6 中間級串聯耦合(Series inter-stage Coupling)架構[17][18]

圖3.10為inter-stage resonate小訊號等效示意圖表示之。若忽略 M_3 之 C_{gs} 下，以 M_2 之Drain為輸入端，到 M_4 之Drain為輸出端所形成的小信號模型，為圖3.10所示。

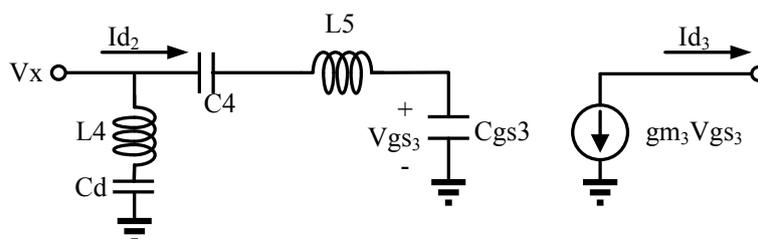


圖3.10 第二級放大器電路之小訊號模型

其電流增益如(3.7)式所示：

$$\frac{i_{d3}}{i_{d2}} = \frac{g_{m3}}{sC_{gs3}} \frac{sL_4 + \frac{1}{sC_d}}{sL_4 + sL_5 + \frac{1}{sC_d} + \frac{1}{sC_4} + \frac{1}{C_{gs3}}} \quad (3.12)$$

從(3.7)可得知，當 L_4 與 C_d 形成高阻抗且 L_5 與 C_{gs3} 形成共振時，可使增益在設計的頻段達到較佳的平坦度與增益值。圖3.11與圖3.12表示為電晶體 M_3 尺寸與電感 L_5 在共振下對增益的影響。

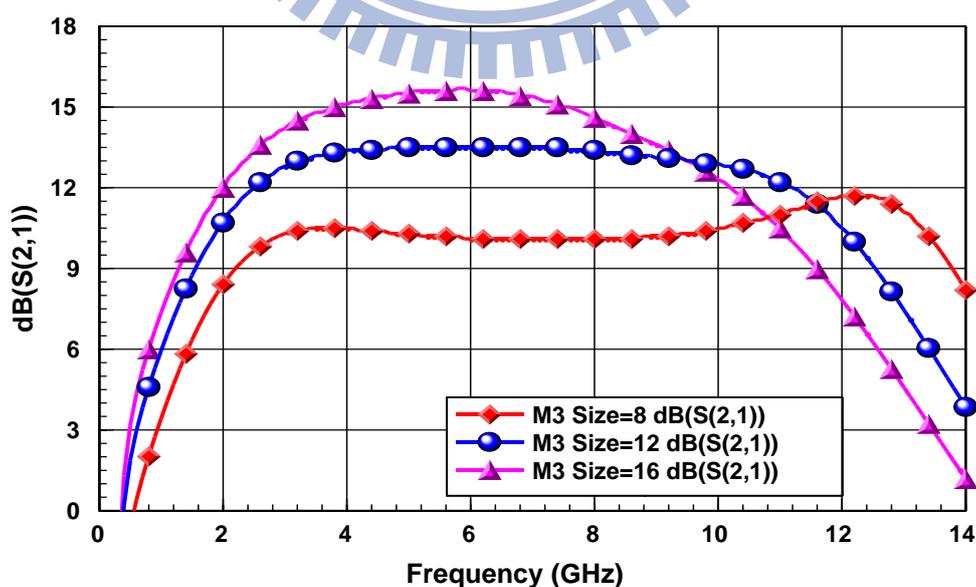


圖3.11 電晶體 M_3 尺寸對增益的影響

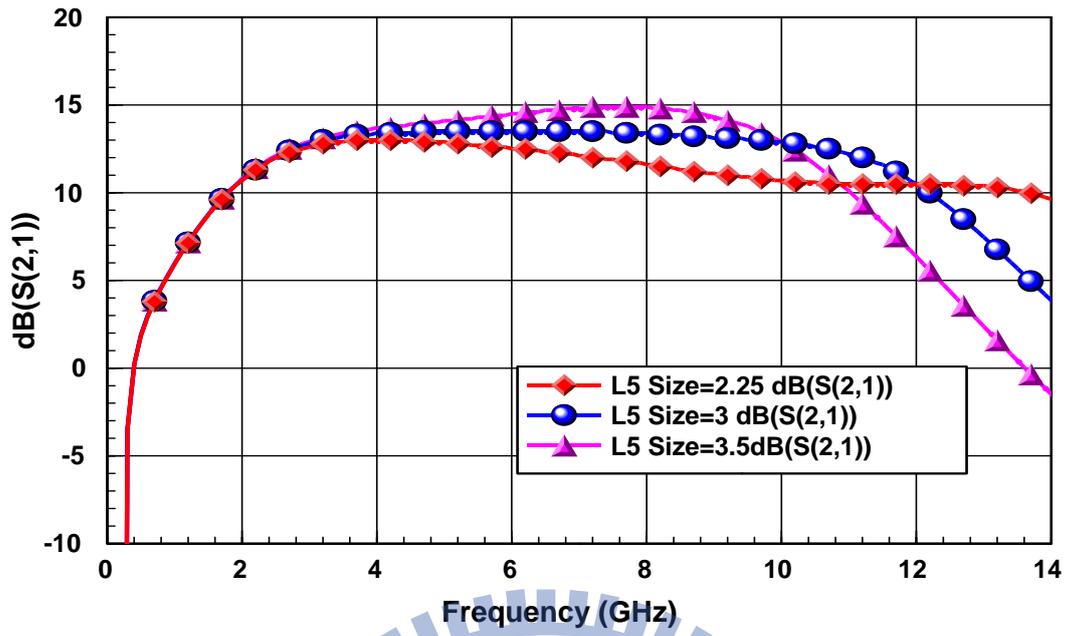


圖 3.12 電感 L_5 對增益的影響



第四章 電容回授匹配與電流再利用之低雜訊放大器模擬

4.1 佈局考量與電路佈局圖

在高頻元件佈局上，元件放置與走線(Metal Line)的不同，不但與面積大小有關，更與電路特性有密切的關係，最主要是走線所產生寄生效應。導線(Trace)之長度需越短越好，以避免產生過大的損耗及過多的寄生電感與寄生電容。走線在轉角處時，應走 45° 角而避免 90° 直角的發生，主要是因為電荷會集中在轉彎的 90° 尖角處，產生尖端放電效應，嚴重影響電路特性。

走線寬度的決定，取決於通過該導線的電流密度(Current density)，因此電源線(Power line)和資料線(Data line)所需要的走線寬度自然也就不同，金屬導線層不同其密度也有所不同，Metal6~Metal1 中，Metal6 密度最低，Metal1 則反之。盡量可能的避免長距離的平行線出現，以防止串音(Crosstalk)現象發生。直流導線上需加上旁路電容，以避免導線產生電感效應。使用的MOS 電晶體、電感、電容、電阻，均有內建一圈保護環(Guard-Ring)將元件包圍起來，可有效防止元件與元件或走線之間的訊號干擾。

在完成佈局及電路模擬後，須執行設計規則檢查(Design Rule Check; DRC)和佈局與線路比對(Layout versus schematic; LVS)驗證無誤後即完成佈局。在完成佈局後晶片尺寸為 $0.95 \times 0.77 \text{ mm}^2$ ，如圖4.1所示。

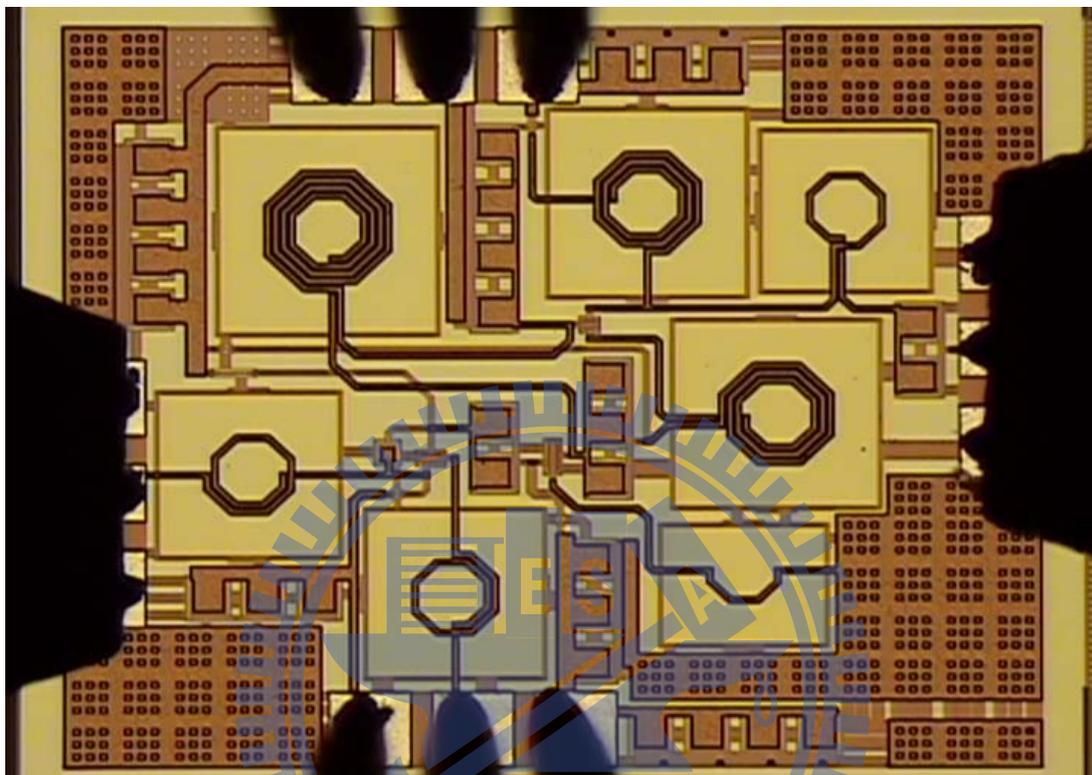


圖4.1 電容回授匹配與電流再利用之低雜訊放大器佈局圖

4.2 模擬結果

在電路設計階段，電晶體的特性參數會隨製程的變異因素(process corner)會產生漂移。依據特性漂移的範圍訂定電晶體的參數變異範圍，NMOS 及PMOS 分別定義三組參數(slow, typical, fast)，電路的模擬應考慮參數的變動corners simulation (SS, ,TT, ,FF)，以供模擬實際下線結果參考，如圖4.2所示

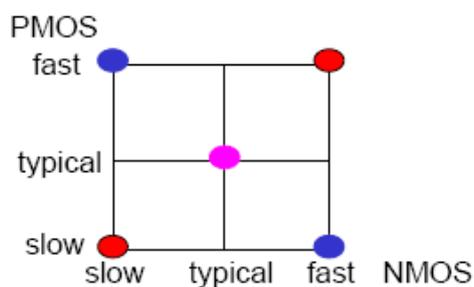


圖 4.2 參數變異範圍

此論文電路模擬結果與量測之比較分別如下列各圖所示，並將其結果參數值列於表4.1，此外將其結果參數值與其他論文之比較列於表4.2與表4.3。

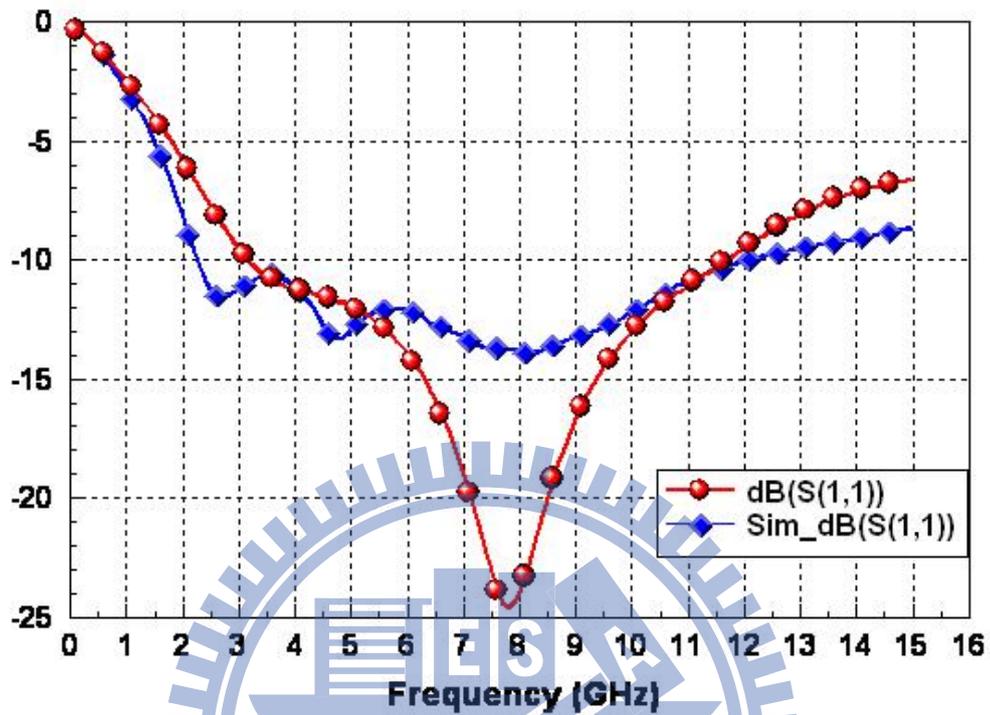


圖 4.3.1 S_{11} 輸入阻抗之比較結果

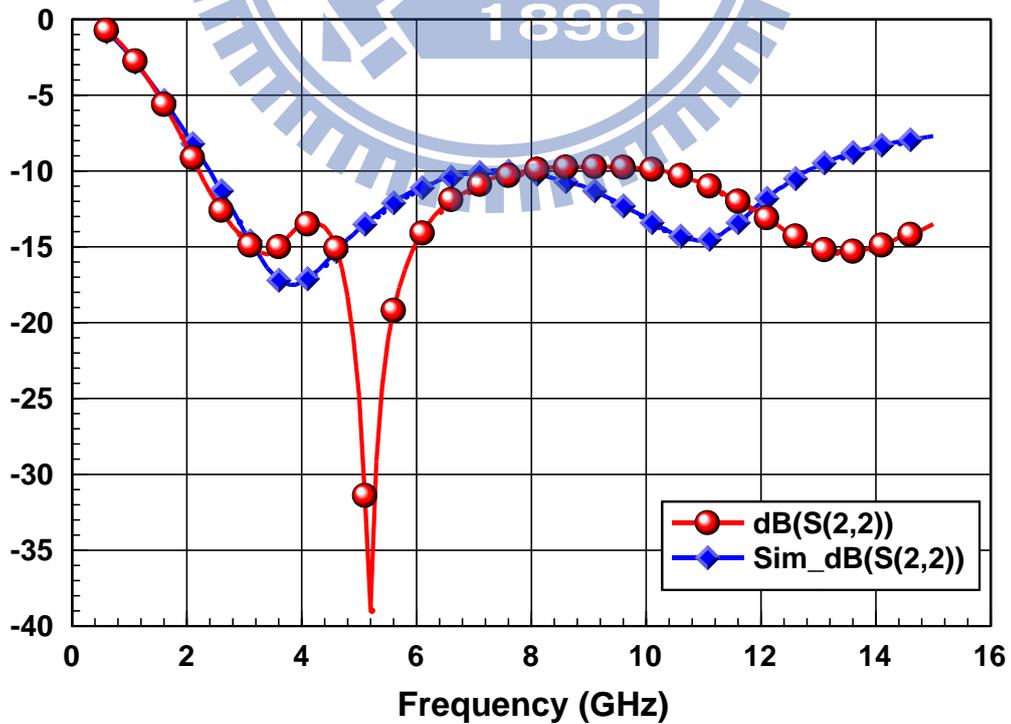


圖 4.3.2 S_{22} 輸出阻抗之比較結果

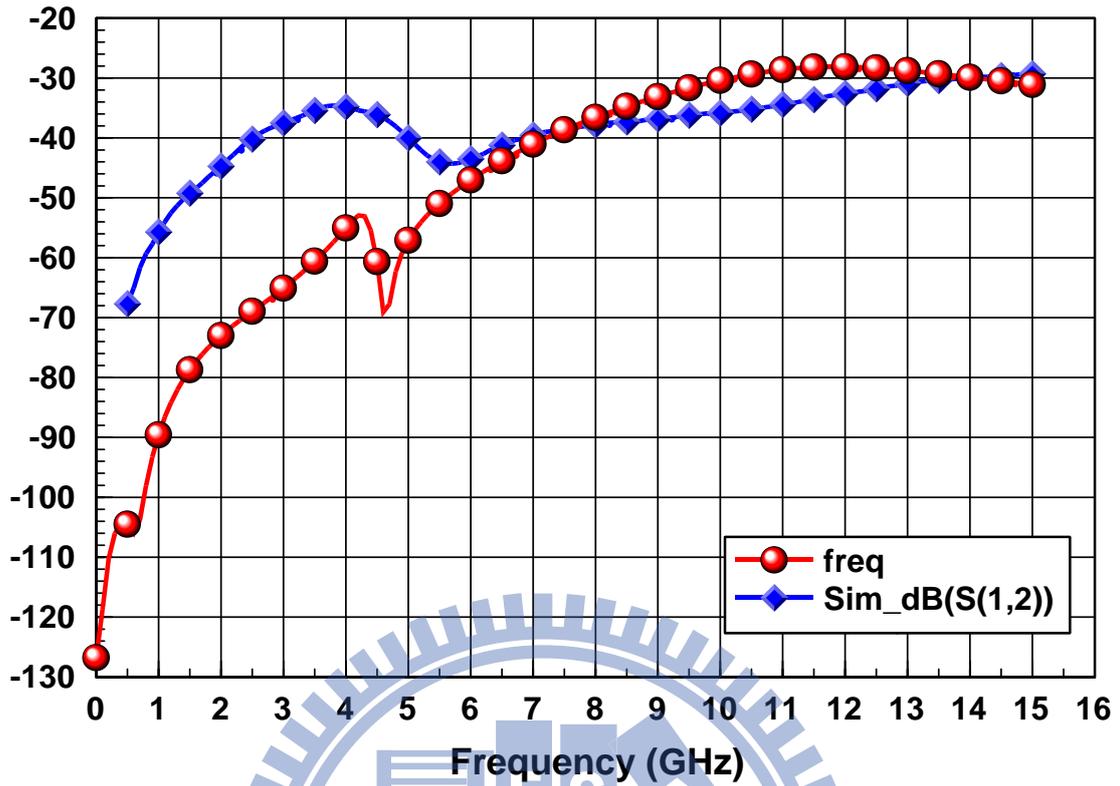


圖 4.3.3 S_{12} 之比較結果

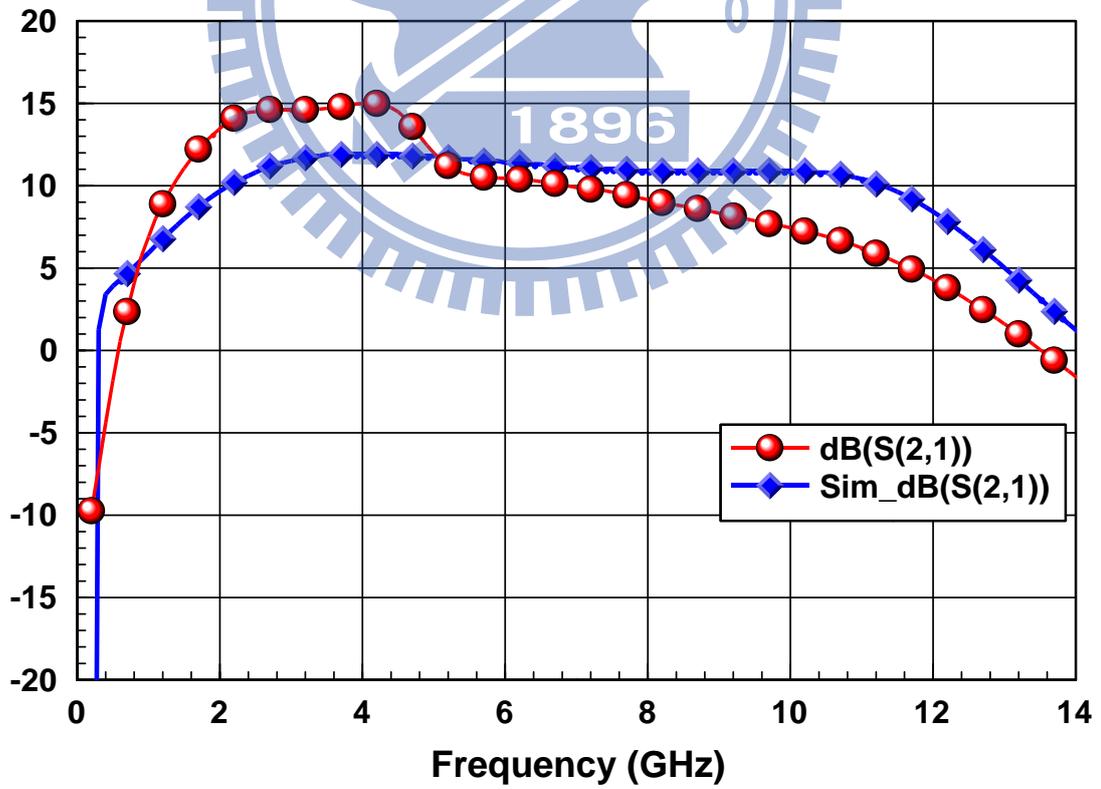


圖 4.3.4 S_{21} 之比較結果

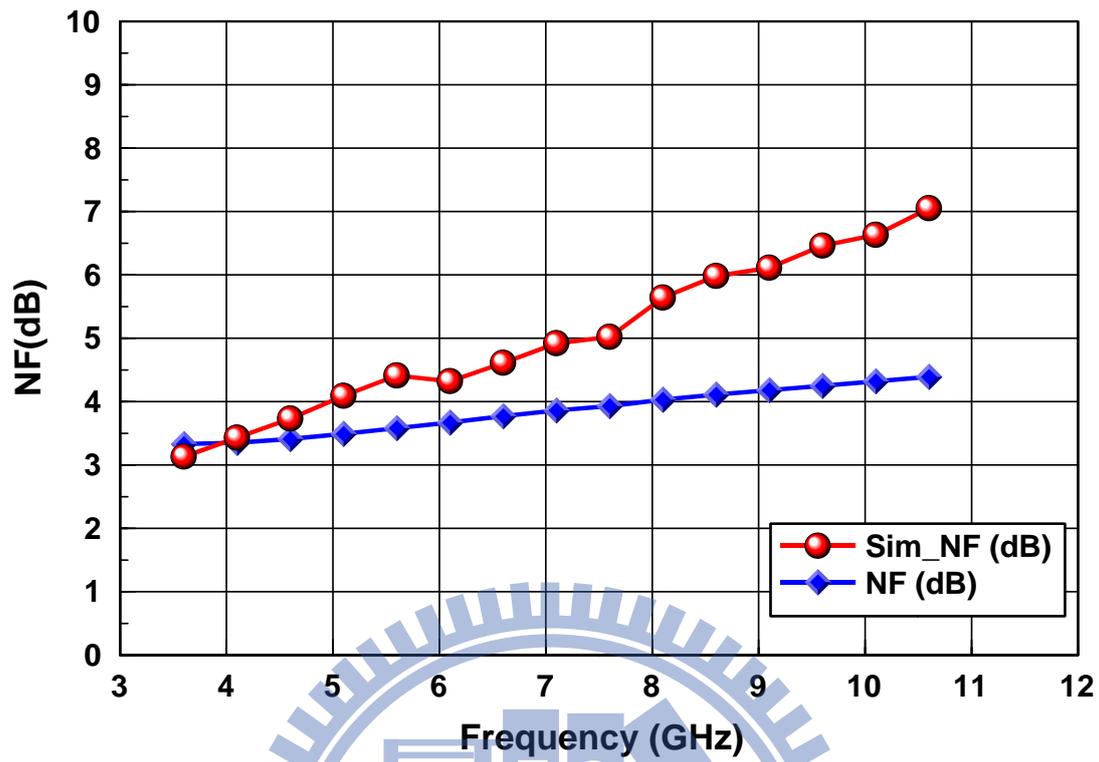


圖 4.3.5 NF 之比較結果

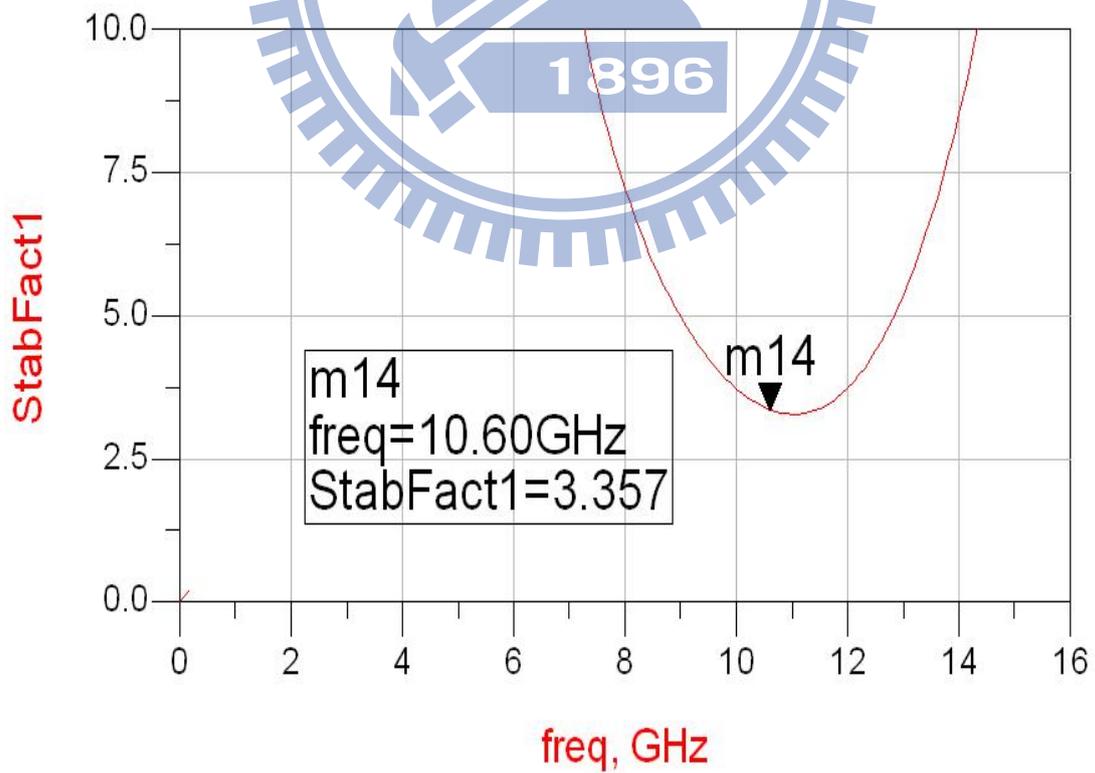


圖4.3.6 穩定度模擬結果

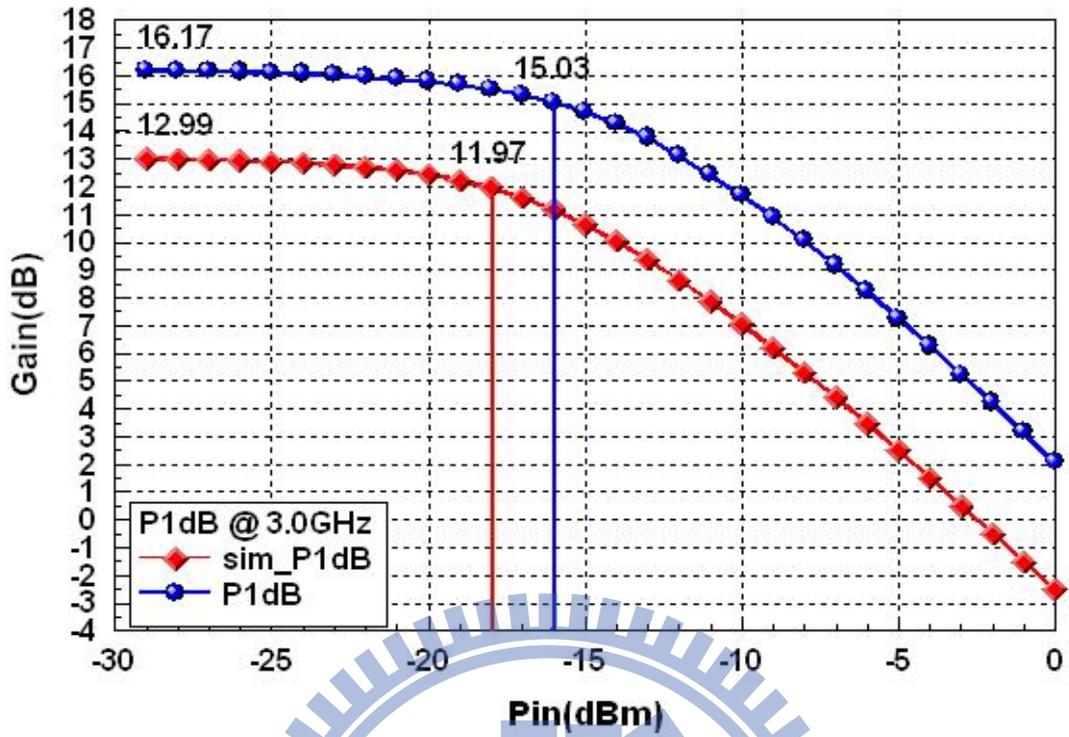


圖4.3.7 P1dB在3.0GHz下之比較結果

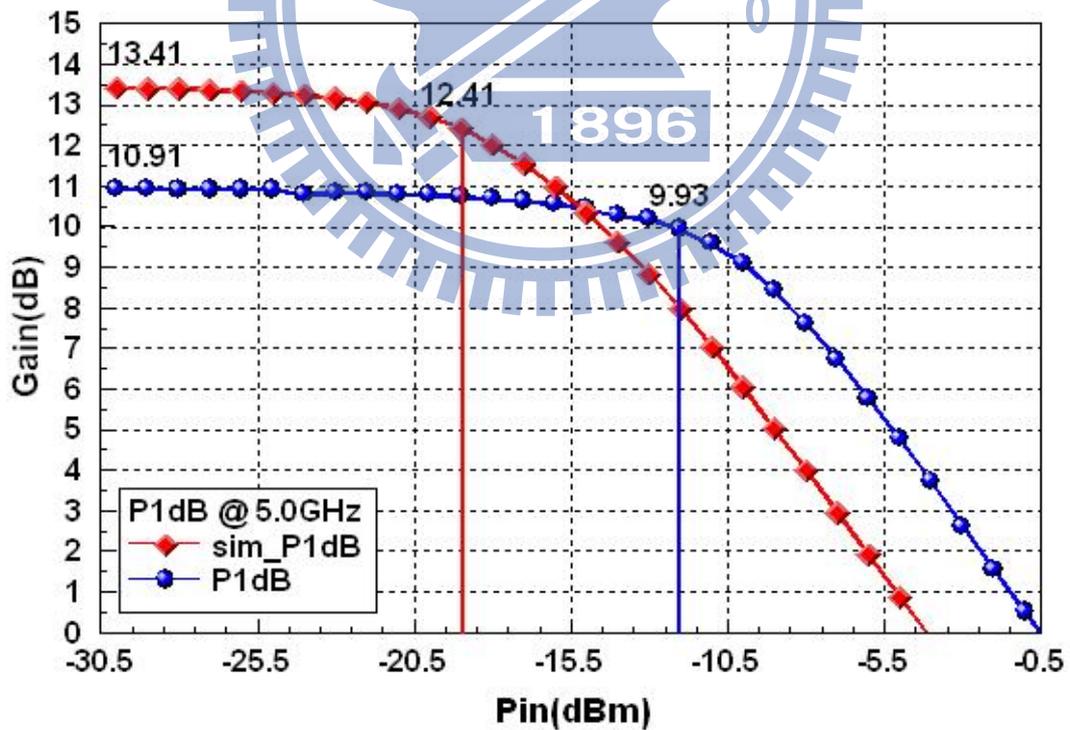


圖4.3.8 P1dB在5.0GHz下之比較結果

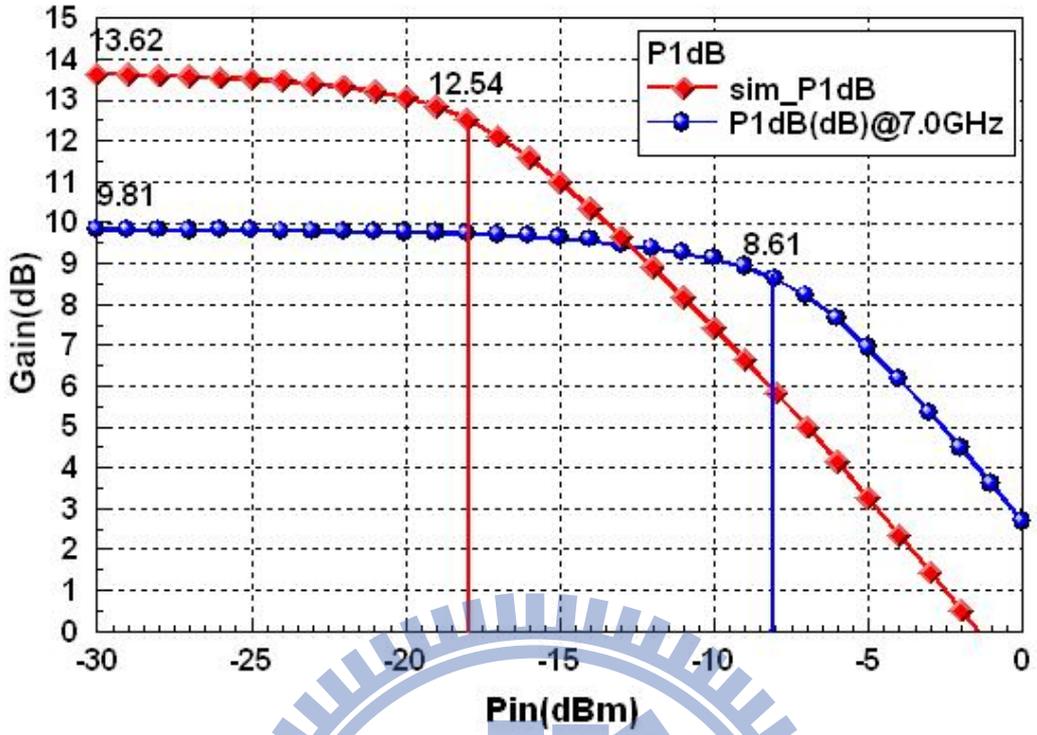


圖4.3.9 P1dB在7.0GHz下之比較結果

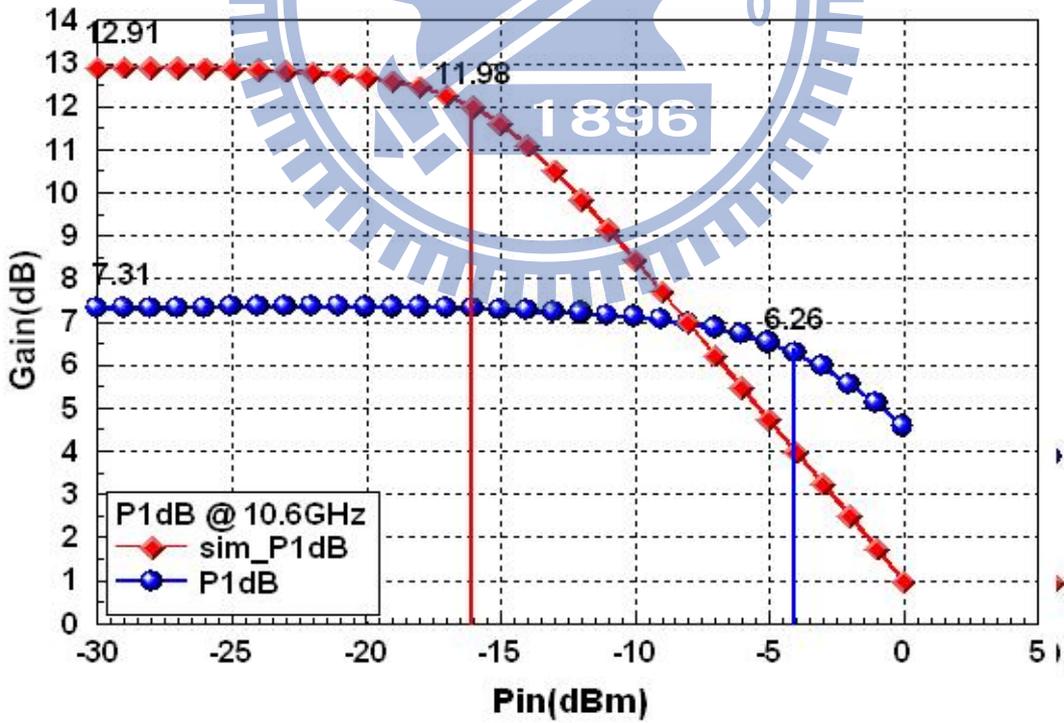


圖4.3.10 P1dB在10.6GHz下之比較結果

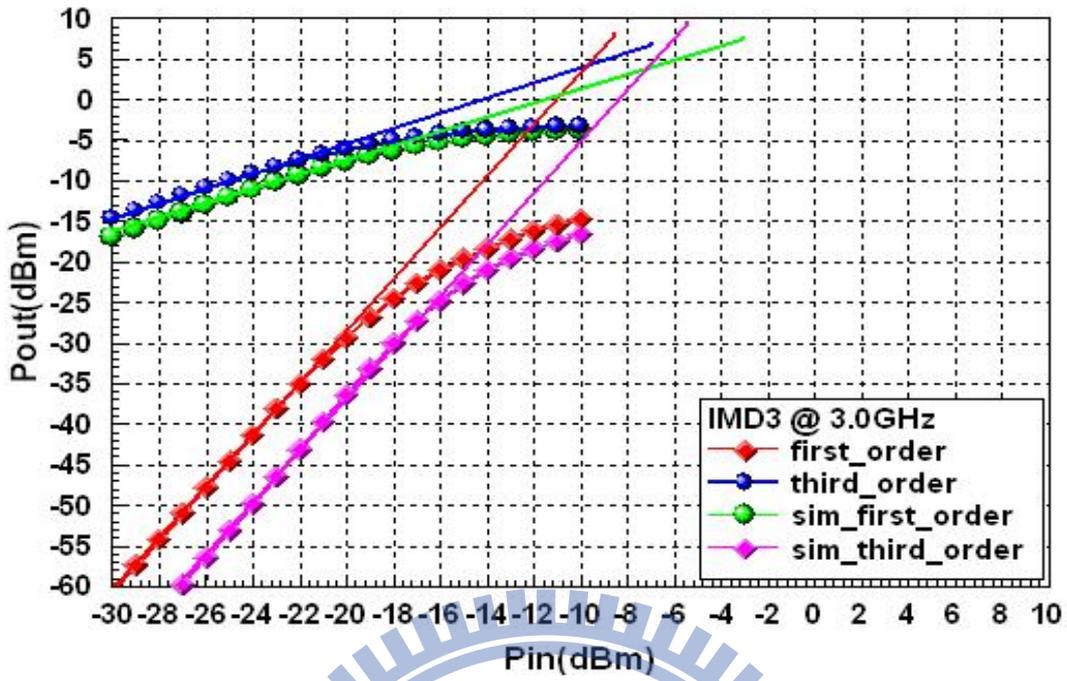


圖4.3.11 IIP3在3.0GHz下之比較結果

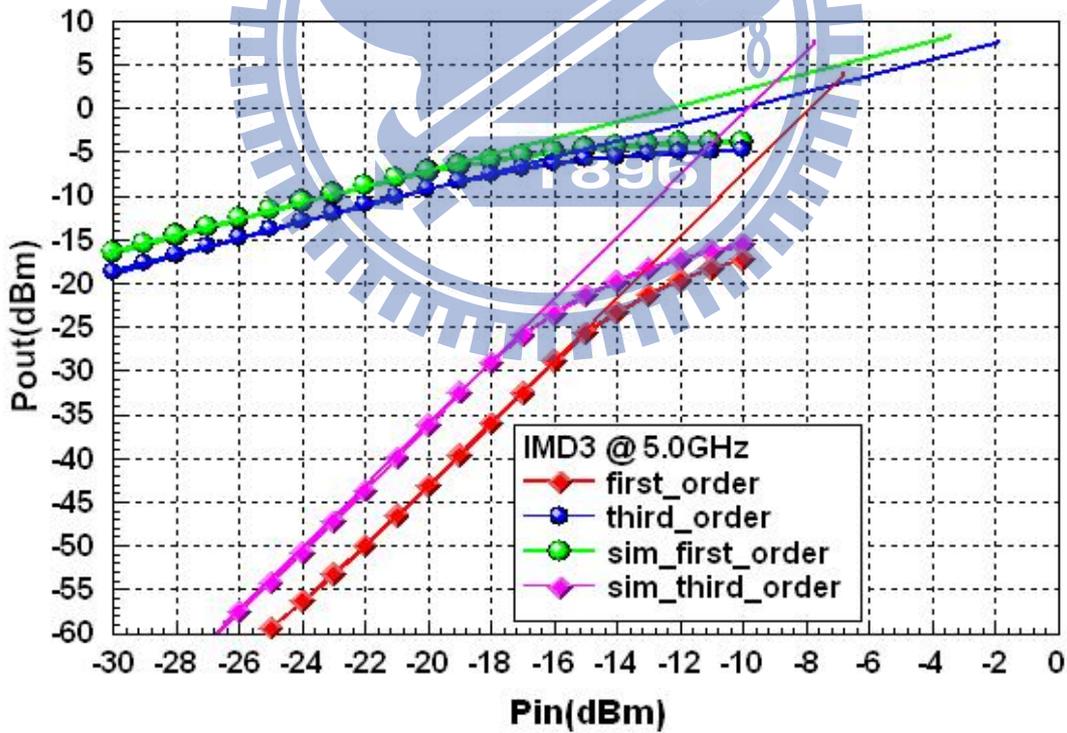


圖4.3.12 IP3在5.0GHz下之比較結果

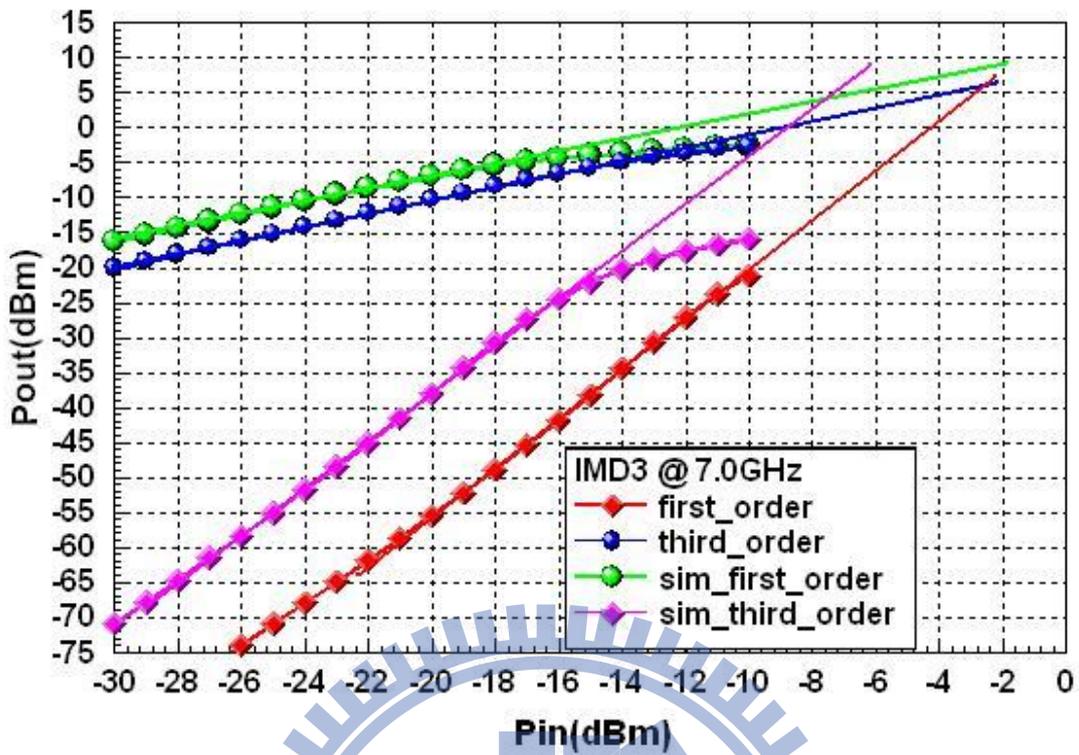


圖4.3.13 IP3在7.0GHz下之比較結果

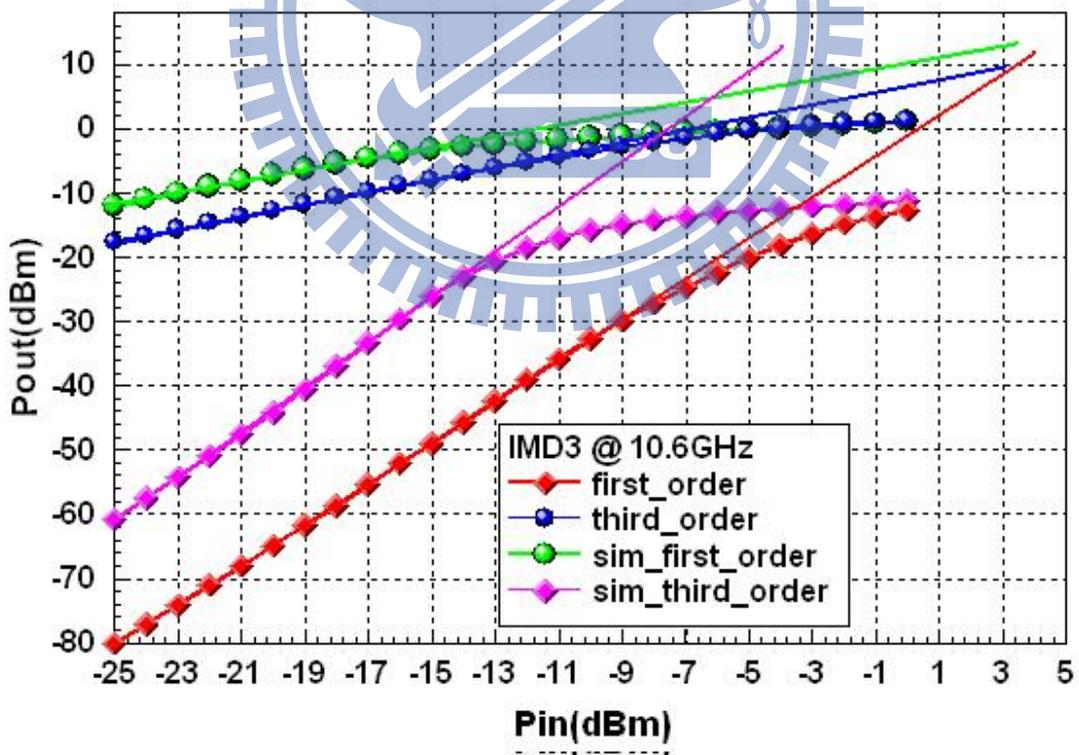


圖4.3.14 IP3在10.6GHz下之比較結果

| Frequency | | 3.1~10.6GHz | |
|-----------------|---------|-------------|-----------|
| Conner | | Post-sim | Measured |
| S11(dB) | | < -10.7 | < -10.07 |
| S22(dB) | | < -10.6 | < -15.2 |
| S12(dB) | | < -29.7 | < -28.25 |
| S21(dB) | | < -10.6 | < 6.66 |
| N.F.(dB) | | 3.41~4.55 | 3.13~7.05 |
| IIP3(dBm) | 3.1GHz | -8.1 | -10 |
| | 5.0GHz | -5.1 | -7 |
| | 7.0GHz | -5.0 | -1.8 |
| | 10.6GHz | -2.2 | 4 |
| P1dB(dBm) | 3.1GHz | -19.5 | -16 |
| | 5.0GHz | -19.0 | -11.2 |
| | 7.0GHz | -18.5 | -9.5 |
| | 10.6GHz | -16.25 | -5 |
| Power (mW@1.5V) | | 25.485 | 26.7 |

表4.1 表示模擬結果與量測參數值之比較

一、 相關研究比較：

| | [19] | [20] | [21] | Post-Sim | Measure |
|------------------------------|-------------------|-------------------|-------------------|----------------------------|----------------------------|
| Technology | 0.13 μ m CMOS | 0.18 μ m CMOS | 0.18 μ m CMOS | 0.18 μ m CMOS | 0.18 μ m CMOS |
| Topology | Current-reuse | Current-reuse | Current-reuse | Feedback+ Current-reuse | Feedback+ Current-reuse |
| RF(GHz) | 3.1-10.6 | 3.1-10.6 | 3.1-10.6 | 3.1-10.6 | 3.1-10.6 |
| S11(dB) | < -17.5 | < -8.7 | < -8.6 | < -10.7 | < -10.07 |
| S22(dB) | < -14.4 | < -10.9 | < -8 | < -10.6 | < -15.2 |
| S21(dB) | 7.92 \pm 0.23 | 10.0-13.1 | 9.5 | <12.1 | < 6.66 |
| NF(dB) | 2.5 - 4.56 | 2.7-4.9 | 5-5.6 | 3.41~4.55 | 3.13~7.05 |
| P1dB(dBm) | -14 * | NA | NA | -21.5 | -16 |
| IIP3(dBm) | -4 * | NA | NA | -8.1 | -1.8 |
| Chip area (mm ²) | 0.435 | NA | 0.98 | 0.72 | 0.72 |
| Power consumption (mW) | 10.68 | 13.9 | 9.4 | 10.24 | 26.7 |

*At 6 GHz **At 3.1GHz

表4.2 在相同技術下參數比較表

| | [22] | [23] | [24] | Post-Sim | Measure |
|------------------------------|-------------------|-------------------|-------------------|----------------------------|----------------------------|
| Technology | 0.18 μ m CMOS | 0.18 μ m CMOS |
| Topology | Dual Feedback | Cascad+ CS | CG+ Cascad | Feedback+ Current-reuse | Feedback+ Current-reuse |
| RF(GHz) | 3.1-10.6 | 3.1-10.6 | 2-10.1 | 3.1-10.6 | 3.1-10.6 |
| S11(dB) | -11.24 dB | -9.7 to -19.9 | <-9.76 | < -10.7 | < -10.07 |
| S22(dB) | -18.5 dB | -8.4 to -22.5 | NA | < -10.6 | < -15.2 |
| S21(dB) | 10.87 ~ 12.02 dB | 11.4 \pm 0.4 | 10.2 | <12.1 | < 6.66 |
| NF(dB) | 4.7 ~ 5.6 dB | 4.12 ~ 5.16 | 3.68 | 3.41~4.55 | 3.13~7.05 |
| P1dB(dBm) | -20 | -7.86* | NA | -21.5 | -16 |
| IIP3(dBm) | -12.0 ~ -10.6 | 0.72* | -1* | -8.1 | -1.8 |
| Chip area (mm ²) | 0.665 | 0.447 | NA | 0.72 | 0.72 |
| Power consumption (mW) | 10.57 | 22.7 | 7.2 | 10.24 | 26.7 |

*At 6.4 GHz

表4.3 與其他技術參數比較表

4.3 結論

本論文提出3.1~10.6GHz之超寬頻低雜訊放大器的設計與製作，主要是利用電容回授與電流再利用放大電路來完成。論文中，討論了設計觀念，模擬結果的討論，再者設計LNA所需之放大器，分析與評估系統規範與需求，以低消耗功率與低雜訊為目標。此晶片利用第一級放大器的輸出負載(RC Loading)及兩個電感(L_g , L_s)作匹配，減少輸入端的匹配電路，有效的降低雜訊指數，而cascade架構提供較好的頻率響應 (frequency response) 與隔絕度 (isolation)，在第一級放大器輸入端串上一個電感，且利用 C_{gd} 及 L_s 回授來達到寬頻的輸入匹配。

在此架構電路實際量測結果如下：在供應電壓1.5V下，頻寬為3.1~10.6 GHz，輸入反射係數小於-10.07dB以下，輸出反射係數小於-15.2dB以下，平均順向增益大於6.66dB，逆向隔離小於-28.25dB以下，雜訊指數為3.13~7.05dB，input P1dB 為-16dBm，最小值為IIP3為-10dBm，晶片消耗功率為26.7mW。

為了電路能達到輸入阻抗50歐姆，必須在回授電容與NMOS尺寸上做取捨，此兩種參數會使影響電路的雜訊指數、增益與消耗功率。當回授電容增大時，會使在低頻段的增益值降低並且雜訊指數也增加，但若是增加NMOS的尺寸，雖然能改善增益與雜訊卻增加總體的消耗功率，也是此電路架構在未來需要作改善的地方。

4.4 未來研究方向

在此論文架構中，輸入匹配級部份，由於在drain端使用一顆負載電阻 R_L ，導致消耗了部分功率，並且必須在回授電容與NMOS尺寸上做取捨，而嚴重影響到電路的雜訊指數、增益與消耗功率。為了改善此問題，希望能使用一顆PMOS來替代電阻 R_L ，不僅能大大減少功率損耗且達到原有的效能，如圖5.1所示，為PMOS來替代電阻 R_L 。

在 per-simulation @SS 製程變異模式下，修改後與原電路架構下模擬結果如圖 5.2.2 所示，其結果參數值列於表 5.1；可由表 5.1 得知，將原負載修改為 PMOS 後，不僅能減少功率損耗且達到原有的效能。

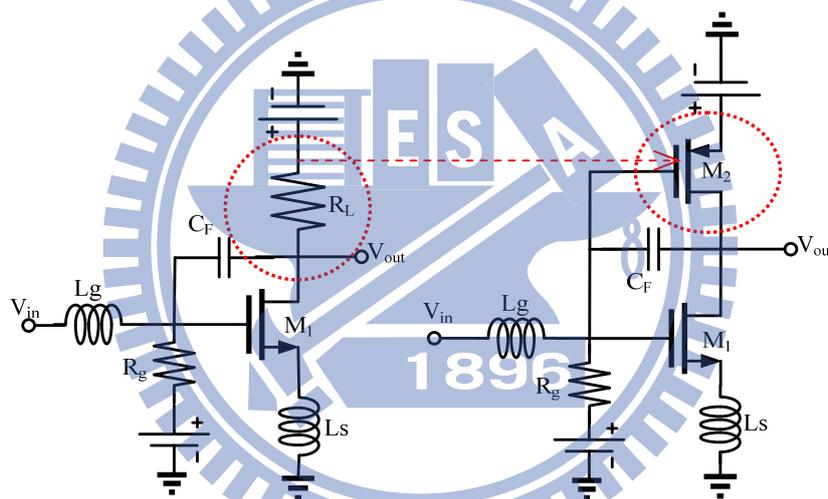


圖 4.4 以 PMOS 替代原負載電阻 R_L 之電路

| 電路種類 | 原負載電阻電路 | 修改為 PMOS 之電路 |
|-----------------|------------|--------------|
| Conner | SS | SS |
| S11(dB) | < -10 | <10.7 |
| S22(dB) | < -11.18 | <11.4 |
| S21(dB) | <14 | <14.4 |
| N. F. (dB) | 2.022~3.53 | 1.76~3.47 |
| Power (mW@1.5V) | 13.4 | 9.63 |

表 4.4 以 PMOS 替代原負載電阻 R_L 後之比較

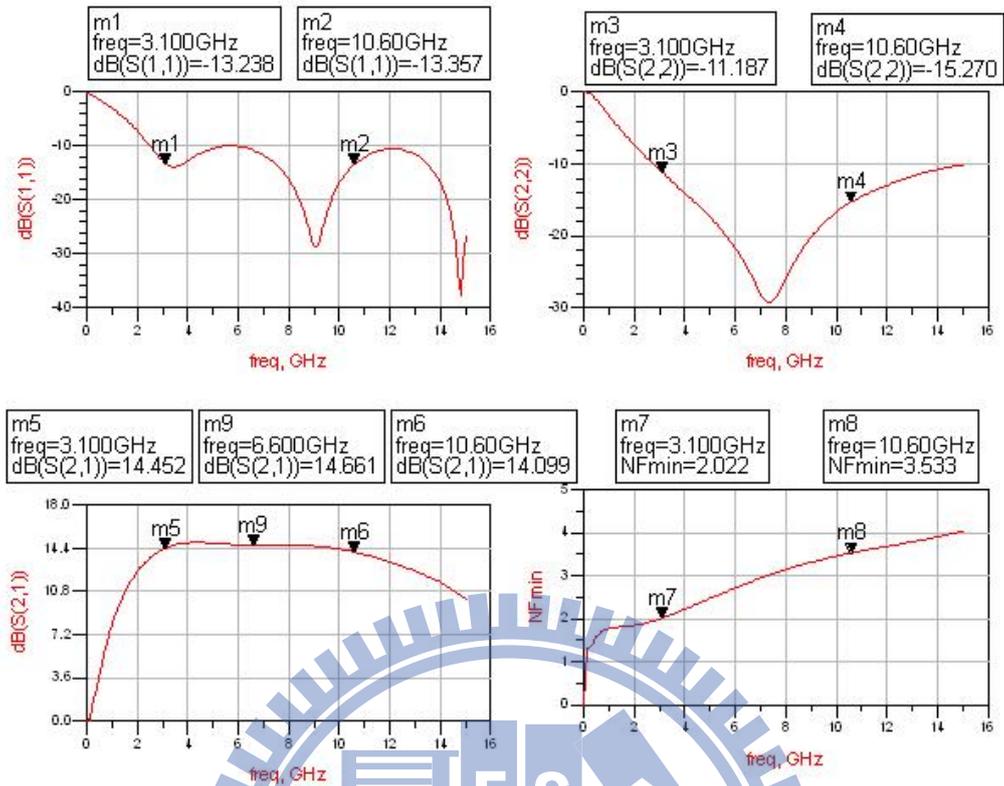


圖 4.5.1 原電路在 Pre-sim 下結果

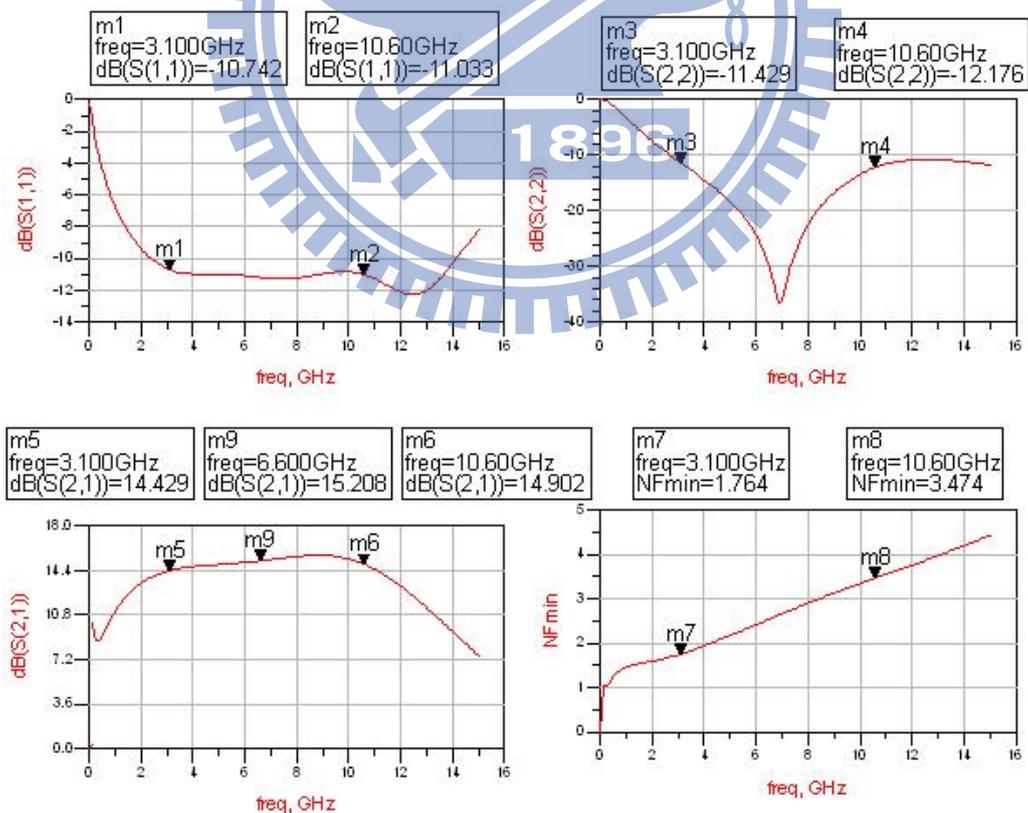


圖 4.5.2 修改至 PMOS 後在 Pre-sim 下結果

參 考 文 獻

- [1] 江坤山, “寬頻無線傳輸, 發射!” 2005 年 12 月科學人雜誌。
- [2] M. P. Wylie-Green, P. A. Ranta, J. Salokannel, “Multi-band OFDM UWB solution for IEEE 802.15.3a WPANs”, *Advances in Wired and Wireless Communication*, 2005 IEEE/Sarnoff Symposium, pp.102-105, April 18-19, 2005.
- [3] R.-H. Y. Behzad Razavi and K. F. Lee, "Impact of Distributed Gate Resistance on the Performance of MOS Devices," *IEEE Transaction on Circuit and Systems-I: Fundamental Theory and Applications*, vol. 41, pp. 750-754, Nov. 1994.
- [4] Y. H. Yu, Y. J. Chen, Heo D, "A 0.6 V low power UWB CMOS LNA," *IEEE Microwave and Wireless Components Letters*, Vol. 17, pp.229–231, March 2007.
- [5] K. H. Chen, C. K. Wang, "A 3.1-10.6GHz CMOS Cascade Two-stage Distributed Amplifier for Ultra-Wideband Application" *IEEE Asia-Pacific Conference on Advanced System Integrated Circuit*, pp. 296-299, August 4-5, 2004.
- [6] R.-L. Wang, M.-C. Lin, C.-F. Yang, and C.-C. Lin, "A 1 V 3.1–10.6 GHz full-band cascode UWB LNA with resistive feedback," in *Proc.IEEE EDSSC Conf.*, Dec. 2007, pp. 1021–1023.
- [7] C. W. Kim, M. S. Kang, P. T. Anh, H. T. Kim, S. G. Lee, "An Ultra-Wideband CMOS Low Noise Amplifier for 3-5GHz UWB system" *IEEE Journal of Solid-State Circuit*, Vol. 40, No. 2, pp. 544-547, Feb. 2005.
- [8] A. Bevilacqua, "An Ultra-Wideband CMOS LNA for 3.1 ~ 10.6GHz Wireless Receivers," *IEEE International Solid-State Circuits Conference*, vol. 37, pp.382-383, Feb. 2004.
- [9] Guillermo Gonzalez, "Microwave Transistor Amplifiers Analysis and Design", Prentice Hall Upper Saddle River, New Jersey, 1997.
- [10] B. Razavi, "RF Microelectronics", Prentice Hall Inc., 1998
- [11] A. Maas, *Nonlinear Microwave Circuits*, Artech House, 1988.

- [12] Po-Wei Lee, Hung-Wei Chiu, Tien-Ling Hsieh, Guo-Wei Huang and Shey-Shi Lu ,
”Miniaturized Triple Band 2.4/5.2/5.7GHz Low Power SiGe Integrated Low Noise
Amplifier For WLAN “.
- [13] Robert Hu , “Wide-Band Matched LNA Design Using Transistor’s Intrinsic Gate–Drain
Capacitor”, IEEE Transactions on Microwave Theory and Techniques, vol.54, NO. 3,
MARCH 2006
- [14] C. Y. Cha and S. G. Lee, “A low power, high gain LNA topology,” IEEE International
Conference on Microwave and Millimeter Wave Technology Proceedings, pp.420–423,
2000.
- [15] H. H. Hsieh and L. H. Lu, “Design of ultra-low-voltage RF frontends with complementary
current-reused architectures,” IEEE Transactions on Microwave Theory and Techniques,
Vol. 55, pp. 1445–1458, July 2007.
- [16] F. Xiaohua, S.-S. Edgar, and S.-M. Jose, “A 3GHz-10GHz Common gate ultra wideband
Low Noise Amplifier,” in Proc. Midwest Symposium on Circuit and Systems, vol.1, pp.
631-634, Aug. 2005.
- [17] Chang-Ching Wu, Mei-Fen Chou, Wen-Shen Wuen, and Kuei-Ann Wen, “A low power
CMOS low noise amplifier for ultra-wideband wireless applications, ”IEEE International
Symposium on Circuits and Systems (ISCAS), vol. 5, pp.5063- 5066, May 2005.
- [18] Choong-Yul Cha and Sang-Gug Lee, “A 5.2-GHz LNA in 0.35 μ m CMOS Utilizing Inter-
Stage Series Resonance and Optimizing the Substrate Resistance”, IEEE journal of solid-
state circuits, vol.38, NO. 4, APRIL 2003
- [19] Yi-Jing Lin, Shawn S.H. Hsu, Member, IEEE, Jun-De Jin, C. Y. Chan. “A 3.1–10.6 GHz
ultra-wideband (UWB) low noise Amplifier with Current-Reuse Technique” in IEEE
MWCL , March 2007
- [20] Jen-How Lee; Chi-Chen Chen; Hong-Yu Yang; Yo-Sheng Lin; “A 2.5-dB NF 3.1–10.6
GHz CMOS UWB LNA with small group-delay-variation” Radio Frequency Integrated

Circuits Symposium, 2008. RFIC 2008. IEEE June 17 2008-April 17 2008 Page(s):501-504 Digital Object Identifier 10.1109/RFIC.2008.4561486

- [21] Zhe-Yang Huang; Che-Cheng Huang; Yeh-Tai Hung; Meng-Ping Chen; "A CMOS current reused low-noise amplifier for ultra-wideband wireless receiver" Microwave and Millimeter Wave Technology, 2008. ICMMT 2008. International Conference on Volume 3, 21-24 April 2008 Page(s):1499 – 1502 Digital Object Identifier 10.1109/ICMMT.2008.4540731
- [22] Kao, H.L.; Chin, A.; Chang, K.C.; McAlister, S.P.; "A Low-Power Current-Reuse LNA for Ultra-Wideband Wireless Receivers from 3.1 to 10.6 GHz" Silicon Monolithic Integrated Circuits in RF Systems, 2007 Topical Meeting on 10-12 Jan. 2007 Page(s): 257 - 260 Digital Object Identifier 10.1109/SMIC.2007.322807
- [23] Chang-Tsung Fu; Chien-Nan Kuo; "3~11-GHz CMOS UWB LNA using dual feedback for broadband matching" Radio Frequency Integrated Circuits (RFIC) Symposium, 2006 IEEE 11-13 June 2006 Page(s):4 pp. - 56 Digital Object Identifier 10.1109/RFIC.2006.1651089
- [24] Lee, J.-H.; Chen, C.-C.; Lin, Y.-S.; "0.18 μ m 3.1-10.6 GHz CMOS UWB LNA with 11.4 \pm 0.4 dB gain and 100.7 \pm 17.4 ps group-delay "Electronics Letters Volume 43, Issue 24, Nov. 22 2007 Page(s):1359 - 1360 Digital Object Identifier 10.1049/el:20071702
- [25] Bo- Yang Chang; Jou, C.F.; "Design of a 3.1-10.6GHz low-voltage, low-power CMOS low-noise amplifier for ultra-wideband receivers "Microwave Conference Proceedings, 2005. APMC 2005. Asia-Pacific Conference Proceedings Volume 2, 4-7 Dec.2005 Page(s):4 pp. Digital Object Identifier 10.1109/APMC.2005.1606458