

# ARM 匯流排介面之設計

研究生：易育聖

指導教授：黃宇中 博士

國立交通大學電子工程學系（研究所）碩士班

## 摘要

現今有許多的應用是必須同時結合微控制器與數位信號處理器的功能，因此在單晶片系統的環境下整合這兩個智產(IP)，同時用來處理控制及信號結合的工作是非常重要的課題。本論文為了維持數位信號處理器的高效能，數位信號處理器的時脈週期將高於系統的時脈週期，以提升其運算速度，達到加速計算的目的。

本論文中，選擇 DR8051 為系統的微控制器，ADSP2188 為系統的數位訊號處理器，並根據 ARM 公司所提出的 SoC 匯流排 AMBA 架構及協定來整合數位訊號處理器及微控制器。本論文除了設計微控制器及數位訊號處理器的轉換器(wrapper)來符合 AMBA 匯流排的協定外，還包含了直接記憶體存取、同步動態記憶體控制器及 AMBA 架構一些基本的元件：仲裁器、解碼器與橋接器等模組，以達到一基本的單晶片系統。最後利用微控制器控制數位訊號處理器執行一個離散傅立葉轉換(DFT)的程式，並從微控制器來監控最後執行的結果。

整個架構是以硬體描述語言 VHDL( Very High Speed Integration Circuit Hardware Description Language)撰寫完成，並利用 Xilinx 公司 Virtex II xc2v6000 型之 FPGA 晶片實現整個系統，系統時脈週期可達 48MHZ，數位信號處理器時脈週期可達 75MHZ。