

鎳金屬誘發側向結晶複晶矽薄膜電晶體

— 界面狀態與低溫複晶矽薄膜電晶體特性之研究

學生:趙育誠

指導教授:吳耀銓 博士

國立交通大學工學院半導體材料與製程設備學程



摘要

本論文主要研究鎳金屬誘發側向結晶複晶矽的結構特性，並以固相結晶法比較兩種不同機制的低溫結晶製程製作的複晶矽薄膜，觀察其結晶溫度、結晶特性及晶粒尺寸等。接著利用鎳金屬誘發側向結晶及固相結晶兩種方法製作的薄膜電晶體，除了比較出薄膜電晶體的電性表現受到複晶矽結構極大的影響，此外，當主動區上方預先沉積氧化矽再進行結晶製程對兩種不同結晶機制的薄膜電晶體，在電性的表現上將呈現不同的效應。

首先，我們針對鎳金屬誘發側向結晶及固相結晶複晶矽作微結構的探討。除了觀察到以鎳金屬誘發側向結晶複晶矽擁有較大的晶粒尺寸，當我們將製程溫度由 550°C 降至 500°C 時，晶粒尺寸有增加的趨勢，這可能的原因是 Ni 在較低的溫度下擴散速率較慢，造成前端的 NiSi₂ 核密度較低，在誘發結晶的過程中，NILC 晶粒較不會受到鄰近的 NILC 晶粒限制而抑制其成長的空間。

接著，本研究比較了界面狀態對鎳金屬誘發側向結晶及固相結晶複晶矽薄膜電晶體的影響。我們以上述兩種不同結晶機制而相同的薄膜電晶體結構探討界面狀態的影響。當我們在非晶矽上方覆蓋一層氧化層時，元件特性竟出奇的差，且不同結晶製程的元件特性幾乎相同，這可能是由於非晶矽本身即含有大量的缺陷，當非晶矽在進行低溫結晶製程時，由低密度的非晶矽薄膜重新排列成為密度

較高的複晶矽薄膜後，大量的缺陷集中在 Oxide/Si 界面處，造成 Oxide/Si 界面處形成大量的捕陷位置，這種位於界面處的捕陷密度產生的電荷會隨著元件的操作，所帶的電性也會不同，因此降低了主要載子遷移率，並使的元件開關能力變差，造成臨界電壓漂移，次臨界斜率增加。但經過 NH_3 電漿鈍化後，元件大部分特性均獲得提升。以固相結晶法製作的 SPC TFT(H)與 CO-SPC TFT(H)經電漿鈍化後的元件特性幾乎相同，而 CO-NILC TFT(H)的元件特性卻依舊不比 NILC TFT(H)，這可能是因為 Ni 原子或 NiSi_2 容易被 trap 在 Oxide/Si 界面，在界面處聚積大量的帶電荷金屬離子，於元件操作時捕捉主要載子而降低元件特性，其中包括電子遷移率、臨界電壓及開關電流比。

最後，我們同時製作了第二章節介紹的 CO-NILC 及 CO-SPC 結構，嘗試以半導體製程中常見的表面清洗化學溶液，即鹽酸($\text{HCl}^{37\%}$)與硫酸加雙氧水($\text{H}_2\text{SO}_4^{95\%} + \text{H}_2\text{O}_2^{32\%}$)3 比 1 的比例，針對兩種不同結晶製程做表面處理並製作薄膜電晶體比較元件特性。實驗結果發現，當我們將 CO-NILC 上方覆蓋的氧化矽移除後在以鹽酸進行表面處理所製作的 HCL-NILC TFT，由於移除了 trap 在 Oxide/Si 界面的 Ni 原子或 NiSi_2 ，在電性上獲得大幅提升，其中包括電子遷移率提升了 172%，開關電流比提升了 387%，而對 HCL-SPC TFT 亦有些微提升，但尚在標準差範圍內，影響不大。



Ni-Metal Induced Lateral Crystallization of Polycrystalline Silicon Thin Film Transistors

— Interface state and LTPS TFTs Device Performance

Student : Yu-Cheng Chao

Advisor : Dr. YewChung Sermon Wu

**Institute of Semiconductor Material and Process Equipment
College of Engineering
National Chiao Tung University**



Abstract

In this thesis, Structural characteristics of polycrystalline silicon (poly-Si) made by Ni-metal induced lateral crystallization (NILC) has been studied. Two kinds of poly-Si thin film were fabricated by different mechanisms of low temperature crystallization process, NILC and SPC and further explore the effect of the two mechanisms on the microstructure and the crystallization temperature of poly-Si. It was found that the electrical performance of the polycrystalline silicon thin-film transistors which were made by NILC and SPC is greatly affected by the microstructure of the poly-Si. Moreover, deposition of the silicon oxide on the active region before crystallization process may lead to different results on the electrical performance of the two kinds of polycrystalline silicon thin-film transistors .

Initially, the microstructure of poly-Si is investigated. It has been observed that the poly-Si fabricated by NILC has the larger crystal grain size and the grain size increased as the processing temperature decreased from 550°C to 500°C . The reason is thought to be that under the lower temperature, the diffusion rate of Ni is decreased and hence the nuclei density of NiSi₂ in the front end is reduced. During the induced crystallize

process, the NILC grains may not be restrained by the nearby grains and therefore have more space to grow into larger grains.

Furthermore, we discuss the effect of interface state upon the NILC and SPC polycrystalline silicon thin-film transistors by considering the TFTs with the same structure but made by the two kinds of mechanisms. It was found that when an oxide layer was covered above the amorphous silicon, the electrical characteristics of the two devices are extremely the same. It is possibly due to the large amount of defects within the amorphous silicon. During the low temperature crystallization process, the atoms of the low density amorphous silicon thin film rearrange and form the high density polycrystalline silicon thin film. Thus a large number of defects gather at the oxide/Si interface and cause a lot of trap site. The electric potential of the charges induced by the trap state density of the interface will change as the operation of the device. As the result, it was found that the field-effect mobility and on/off ability were decreased, the threshold voltage shift and flat subthreshold swing. However, after passivated by the NH_3 plasma, most the device performance are improved. The device performance of SPC TFT and CO-SPC TFT are almost identical, but the electrical characteristics of the CO-NILC TFT(H) is still worse than NILC TFT(H). The reason is thought to be that the Ni atoms or NiSi_2 are easily trapped at the Oxide/Si interface and accumulated a large amount of charged metallic ions, which capture the major carriers during the operation of the device and reduce the performance such as the mobility of electrons, threshold voltage and the on/off current ratio.

Finally , we fabricate CO-NILC and CO-SPC structures that introduced in chapter two, use the $\text{HCl}^{37\%}$ solution and $\text{H}_2\text{SO}_4^{95\%} + \text{H}_2\text{O}_2^{32\%}$ (3 : 1) solution to do the surface treatment and then further compare the characteristics of the TFT devices. The results are shown that the HCl-NILC TFT which was made by removing the NiSi_2 or Nickel atom above the Oxide/Si interface and proceeding with HCl surface treatment has a great enhancement on the electrical characteristics. The mobility of the electrons is 172% increased, the ON/OFF current ratio is 387% improved. The performance of the HCl-SPC TFT is also slightly promoted, but in the standard deviation scope.

誌 謝

感謝指導教授吳耀銓老師給予學生在生活上、論文研究以及論文演講表達上的關懷與指導，謝謝老師這段時間來的悉心教授。

感謝參與我口試的口試委員們交大材料所的陳智老師及親愛的學長胡國仁博士，謝謝你們在口試給予的建議與指導，學生獲益良多。

感謝實驗室的學長姐同學學弟妹們，胡晟明學長、胡國仁學長、王寶明學長、張智榜學長、李美儀學姐、賴明輝學長、陳建誌學長、廖崢學長、黃秉緯學長、鄭季豪學長，謝承佑學長、陳奕宏學長，邱偉哲學長、曾卿杰學長、廖偉志同學、張盛傑同學、張岱民同學、鄭筑文同學、楊子明同學、黃璽豪同學、陳俞中學弟、許堉程學弟、鍾承璋學弟、錢煥宇學弟及卓昕如學妹，謝謝你們的加油打氣及生活上與研究上的大力相助，也是你們讓我的碩士生涯能夠多采多姿，也希望往後的日子裡，實驗室也能這樣的和樂融融。

最後我要感謝我的父母、兄妹以及女友咚咚，謝謝你們全力的支持與包容，讓我能無後顧之憂。

趙育誠

~ 2009 四月 新竹交大 ~

目錄

中文摘要	I
英文摘要	III
致謝	V
目錄	VI
表目錄.....	IX
圖目錄.....	X
第一章 序論	1
1.1 顯示技術發展與演進.....	1
1.2 液晶顯示器.....	1
1.3 液晶顯示器驅動方式.....	3
1.4 薄膜電晶體.....	3
1.5 非晶矽與低溫複晶矽.....	4
1.6 低溫複晶矽(LTPS, Low Temperature Polycrystalline Silicon).....	5
1.6.1 低溫複晶矽的優勢.....	5
1.6.2 低溫複晶矽結晶方法.....	7
1.6.2.1 固相結晶法(SPC, Solid Phase Crystallization)	7
1.6.2.2 準分子雷射退火結晶法(ELC, Excimer Laser Crystallization).....	8
1.6.2.3 鎳金屬誘發結晶 / 鎳金屬誘發側向結晶(NIC / NILC, Ni-Metal Induced / Ni-MetalInduced Lateral Crystallization)	14
1.7 低溫複晶矽薄膜電晶體(LTPS TFTs, Low Temperature Polycrystalline Silicon Thin Film Transistor)結構簡介.....	18
1.8 電性影響因素.....	20
1.8.1 晶界能障與晶界載子補陷(Carrier Traps at Grain Boundary).....	20
1.8.2 晶界與晶粒缺陷	22
1.8.3 過渡金屬雜質	22
1.9 電性改善方法.....	23
1.9.1 後退火(Post-Annealing)	24
1.9.2 電漿鈍化(Plasma Passivation)	24
1.9.3 捉聚 (Gettering)	24
1.10 論文的研究動機與分段架構.....	26

1.10.1 論文的研究動機	26
1.10.2 論文的分段架構	26
參考文獻	27

第二章 Oxide/Si 界面對鎳誘發側向結晶複晶矽薄膜電晶體的影響.....33

2.1 研究背景回顧	33
2.1.1 鎳金屬誘發側向結晶(NILC)與固相結晶(SPC)	33
2.1.2 氧對 NILC 之影響	35
2.2 研究動機	35
2.3 研究方法	35
2.3.1 鎳金屬誘發結晶及固相結晶之 a-Si 試片製備	35
2.3.2 金屬誘發結晶與固相結晶之複晶矽試片退火條件	38
2.3.3 試片分析	39
2.3.4 金屬誘發結晶與固相結晶複晶矽薄膜電晶體元件製備	40
2.4 結果與討論	43
2.4.1 材料分析	43
2.4.1.1 NILC 飽和長度與 SPC 的生成	43
2.4.2 NILC 與 SPC 及 CO-NILC 與 CO-SPC 的薄膜電晶體特性比較	50
2.4.2.1 NILC 與 CO-NILC 的結晶速率	50
2.4.2.2 Oxide/a-Si 界面對鎳金屬誘發結晶速率的影響	52
2.4.2.3 Oxide/a-Si 界面對 NILC TFT 特性之影響	54
2.4.2.4 a-Si 薄膜厚度對 NILC 速率的影響	63
2.4.2.5 NILC 在 Oxide/poly-Si 界面處的鎳含量	66
2.5 結論	68
參考文獻	69

第三章 表面處理對鎳金屬誘發側向結晶的效率.....71

3.1 研究背景回顧	71
3.1.1 濕式洗淨技術的發展	71
3.2 研究動機	72
3.3 研究方法	72
3.3.1 NILC 複晶矽薄膜電晶體元件製備	72

3.3.1.1 NILC 複晶矽薄膜電晶體元件製作方法第一部份：實驗關鍵製程·····	72
3.3.1.2 NILC 複晶矽薄膜電晶體元件製作方法第二部份：後續元件製作流程·····	75
3.4 基本電性量測·····	77
3.4.1 I_D-V_G 特性曲線·····	77
3.4.2 I_D-V_D 特性曲線·····	77
3.5 結果與討論·····	78
3.6 結論 ·····	85
參考文獻·····	86
第四章 總結與未來工作 ·····	82
4-1 總結 ·····	87
4-2 未來工作 ·····	87



表目錄

第一章

表 1-1 a-Si TFT 與 LTPS TFT 特性比較	7
表 1-2 準分子雷射氣體及其波長	9

第二章

表 2-1 RCA clean 步驟	36
表 2-2 LPCVD 沉積非晶矽的參數	36
表 2-3 NILC TFT、CO-NILC TFT、SPC TFT 與 CO-SPC TFT 電性參數比較表	56
表 2-4 NILC TFT(H)、CO-NILC TFT(H)、SPC TFT(H)與 CO-SPC TFT(H) 電性參數比較表	62

第三章

表 3-1 鍍金屬誘發結晶退火條件	73
表 3.2 CO-NILC TFT(H)、HCL-NILC TFT(H)、H ₂ SO ₄ -NILC TFT(H) 電性參數比較表	80
表 3.3 CO-SPC TFT(H)、HCL-SPC TFT(H)、H ₂ SO ₄ -NILC TFT(H) 電性參數比較表	83
表 3.4 電子遷移率與捕陷密度改善效率比較表	84

圖目錄

第一章

圖 1.1 不施加電壓	2
圖 1.2 施加電壓	2
圖 1-3 底閘極(Bottom Gate)電晶體基本結構	4
圖 1.4 非晶矽與多晶矽面板之開口率比較	6
圖 1.5 部分熔融區域晶粒成長示意圖。	11
圖 1.6 所示之完全熔融區域晶粒成長示意圖	12
圖 1.7 近乎全熔融區域晶粒成長示意圖	13
圖 1.8 c-Si 在 NiSi ₂ /a-Si 介面形成的結晶成長機制	15
圖 1.9 Si 與 NiSi ₂ 晶體結構	15
圖 1.10 鎳金屬薄膜對應不同溫度下之矽化物相	17
圖 1-11 MILC 的優選成長方向	18
圖 1.12 上部閘極的薄膜電晶體結構	19
圖 1.13 下部閘極的薄膜電晶體結構	19
圖 1.14 LDD 結構示意圖	20
圖 1.15 Air-Cavity 結構示意圖	20
圖 1.16 GOLDD 結構示意圖	20
圖 1.17 Multi-Gate 結構示意圖	20
圖 1.18 Sub-Gate 結構示意圖	20
圖 1.19 (a) 晶粒與晶界示意圖 (b)為了去補償被晶界所捕陷的電荷在晶粒周圍的晶界處形成空乏區域 (c)電荷空乏區造成能帶彎曲，而且形成能障	21
圖 1-20 很多在晶粒中的置換型摻雜原子所貢獻的自由載子很快速的就被固定在晶界處的捕陷位置 N_t 每單位面積的能量不超過能隙 (Bandgap)	22
圖 1-21 捕陷(Traps)主要集中在晶界處，然而在晶粒中的缺陷也有建立起一些態位。淺拖曳態位(Shallow tail state)與應變鍵(Strained Bonds)有關，而在中間能隙的深態位(Deep State)是由斷鍵(Broken Bonds)造成的	23
圖 1.22 (1)內部捉聚法(Intrinsic Gettering) (2)外部捉聚法(Extrinsic Gettering) (3)化學捉聚法(Chemical Gettering)	25

第二章

- 圖 2.1 SPC TFT與NILC TFT的 I_D-V_G 特性曲線圖.....34
- 圖 2.2 在NILC-TFT 和SPC-TFT中晶界所形成的勢壘.....34
- 圖 2.3 試片備置流程，(a)SPC之 a-Si 試片，(b)NILC之 a-Si 試片.....37
- 圖 2.4 Lindberg/Blue M Tub Furnace 機台38
- 圖 2.5 JEOL JSM6700F SEM 儀器39
- 圖 2.6 複晶矽薄膜電晶體元件製作流程.....42
- 圖 2.7 以 500°C 退火 OM 圖。(a)NILC 試片退火 25 小時及 50 小時；(b)SPC 試片退火 25 小時及 50 小時.....44
- 圖 2.8 NILC 試片以 500°C 退火再經過 Secco etching 處理後拍攝 NILC 前端區的 SEM 圖。(a)25 小時；(b)50 小時.....45
- 圖 2.9 SPC 試片以 500°C 退火再經過 Secco etching 處理的 SEM 圖。(a)25 小時；(b)50 小時.....45
- 圖 2.10 以 520°C 退火 OM 圖。(a)NILC 試片退火 12 小時及 24 小時；(b)SPC 試片退火 12 小時及 24 小時.....46
- 圖 2.11 NILC 試片以 520°C 退火再經過 Secco etching 處理後拍攝 NILC 前端區的 SEM 圖。(a)12 小時；(b)24 小時.....46
- 圖 2.12 SPC 試片以 520°C 退火再經過 Secco etching 處理後拍攝的 SEM 圖。(a)12 小時；(b)24 小時.....47
- 圖 2.13 以 550°C 退火 OM 圖。(a)NILC 試片退火 25 小時及 50 小時；(b)SPC 試片退火 6 小時及 9 小時.....47
- 圖 2.14 NILC 試片以 550°C 退火再經過 Secco etching 處理後拍攝 NILC 前端區的 SEM 圖。(a)6 小時；(b)9 小時.....48
- 圖 2.15 SPC 試片以 550°C 退火再經過 Secco etching 處理的 SEM 圖。(a)6 小時；(b)9 小時.....48
- 圖 2.16 SPC 晶粒形成阻礙 NILC 結晶示圖.....49
- 圖 2.17 NILC 試片與 CO-NILC 試片的金屬誘發結晶成長曲線圖.....50
- 圖 2.18 NILC 試片在 540°C 退火 36 小時的 NILC 長度 OM 圖.....51
- 圖 2.19 CO-NILC 試片在 540°C 退火 36 小時的 NILC 長度 OM 圖.....51
- 圖 2.20 (a)沉積 a-Si。(b)與(c)分別為不同的 NILC 樣品結構，(b)於 a-Si 上方直接鍍上鎳金屬鍵，(c)在 a-Si 上方沉積 LTO 後，蝕刻接觸孔，再鍍上鎳金屬鍵.....52
- 圖 2.21 NILC 長度與速率對時間的關係圖，有/無沉積 LTO 及有/無預先退火對結

晶速率的影響	53
圖 2.22 NILC TFT 與 CO-NILC TFT 的 I_d-V_g 轉移特性曲線圖	55
圖 2.23 SPC TFT 與 CO-SPC TFT 的 I_d-V_g 轉移特性曲線圖	55
圖 2.24 CO-NILC TFT 與 CO-SPC TFT 的 I_d-V_g 轉移特性曲線圖	57
圖 2.25 NILC、SPC、CO-NILC、CO-SPC 的 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖	57
圖 2.26 NH_3 電漿鈍化前後的 NILC TFT 的 I_d-V_g 轉移特性曲線圖	58
圖 2.27 NH_3 電漿鈍化前後的 SPC TFT 的 I_d-V_g 轉移特性曲線圖	59
圖 2.28 NH_3 電漿鈍化前後的 CO-NILC TFT 的 I_d-V_g 轉移特性曲線圖	59
圖 2.29 NH_3 電漿鈍化前後的 CO-SPC TFT 的 I_d-V_g 轉移特性曲線圖	60
圖 2.30 NILC TFT(H)與 CO-NILC TFT(H)的 I_d-V_g 轉移特性曲線圖	61
圖 2.31 SPC TFT(H)與 CO-SPC TFT(H)的 I_d-V_g 轉移特性曲線圖	61
圖 2.32 $550^\circ C$ 退火 24 小時, a-Si 薄膜厚度與 N(M)ILC 長度關係圖	63
圖 2.33 N(M)ILC TEM 橫截面圖。(a) (b)	64
圖 2.34 NILC 結晶過程示意圖	64
圖 2.35 不同膜厚在 NILC 前端區的 SEM 圖。(a)20 奈米(b)30 奈米(c)50 奈米(d)100 奈米	65
圖 2.36 NILC Poly-Si 薄膜中 Ni 含量的 SIMS 縱深分析圖	66
圖 2.37 NILC TFT(H)與 CO-NILC TFT(H)的 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖	67

第三章

圖 3.1 NILC 複晶矽薄膜電晶體元件第一部份製作流程圖	74
圖 3.2 NILC 複晶矽薄膜電晶體元件第二部份製作流程圖	76
圖 3.3 三組元件的驅動電流	78
圖 3.4 $V_D=0.1V$, NILC 三組元件的 I_d-V_g 轉移特性曲線圖	79
圖 3.5 $V_D=5V$, NILC 三組元件的 I_d-V_g 轉移特性曲線圖	80
圖 3.6 NILC 三組元件以 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖	81
圖 3.7 $V_D=0.1V$, SPC 三組元件的 I_d-V_g 轉移特性曲線圖	82
圖 3.8 $V_D=5V$, SPC 三組元件的 I_d-V_g 轉移特性曲線圖	83
圖 3.9 SPC 三組元件以 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖	84

第一章 導論

1.1 顯示技術發展與演進

顯示技術經過長時間的演變後，傳統的 CRT 已擁有技術成熟、色彩飽和度佳、應答速率快、無視角依存性、價格便宜等優勢，具有值得信賴的畫面品質，而體積大與重量重及輻射高等缺點，驅使人類必須不斷研發新式顯示技術，例如薄膜電晶體液晶顯示器(TFT-LCDs, Thin Film Transistor-Liquid Crystal Displays)、電漿電視(PDPs, Plasma displays)、有機電激發光顯示器(OLEDs, Organic Light-Emitting Displays)及場發射顯示器(FEDs, Field Emission Displays)等。在這些顯示器中以 TFT-LCDs 的技術發展最純熟，也是最普及。

由於科技的發展造就液晶顯示器的應用領域急劇變化，從早期的筆記型電腦，擴充到桌上型監視器，並進一步進入大尺寸高畫質電視。還有一些應用是以前不曾想到，現在卻很普遍的，例如飛機上每個座位都配有液晶顯示器，連高速公路的遊覽車也不例外，市場上的需求往往是驅動技術進步的原動力。人類在視覺上所能接收到的資訊，大部分將經由顯示器介面而來，視覺的頻寬將會限制人對資訊的接收速率。目前所有顯示器的高矩陣顯示頻寬，均遠低於人類視覺的頻寬，所以為了有效利用人類視覺的頻寬，具有高解析度和高顯示內容的顯示器，將成為未來發展的主軸。

1.2 液晶顯示器

人類正在進入信息時代，在這一時代，作為顯示技術，TFT-LCD(薄膜晶體管液晶顯示器，Thin film transistor- Liquid Crystal Display)越來越被市場看好。「液晶顯示器」，Liquid Crystal Display(LCD)一詞，始於 1968 年，美國 RCA 公司的工程師們製造了世界第一台使用液晶顯示的螢幕。然而，新型的液晶顯示器具有重量輕、體積薄小、低耗電、低輻射等優點，未來繼續朝提高應答速率、增加視角廣度努力，進一步再提升解析度和降低生產成本，其應用之普遍性將無可限量。TFT-LCD 利用漸臻成熟的半導體製程技術，在透明的玻璃基板上佈建用來操控光閥的薄膜電晶體，該技術具有低功耗，高分辨率等優點，再利用具有旋光特性的液晶材料做為顯示的介質，簡單來說就是將液晶

灌入兩片抽完真空的玻璃間，再加上電壓，並適當的控制玻璃的間距，便能改變入射光的偏轉特性。液晶可以改變它的分子結構，因此可以讓不同程度的光量通過它本身。液晶顯示器結構中含有背光源(Backlighting)、偏光片(Polarizing)、透明導電層(Transparent)、液晶(Liquid Crystal)、對準層(Alignment Layer)、彩色濾光片(Color Filter)陣列及空間裝置(Spacer)^[1-1]。

液晶層位於兩片玻璃片之間，當施以一個電壓給配向層，則產生一個電場，使配向層界面的液晶朝某一個方向排列。色彩的表現則交由彩色濾光片來負責，每一個像素都由紅、綠、藍三個子像素(Sub-pixel)所組成。當液晶層不施任何電壓降時，液晶是在它的初始狀態，會把入射光的方向扭轉 90 度，因此讓背光源的入射光能夠通過整個結構，如圖 1.1 所示。當液晶層施以某一電壓差，液晶會改變它的初始狀態，使液晶的排列方向不扭轉，而不改變光的極化方向，因此經過液晶的光會被第二層偏極片吸收而整個結構呈現不透光的狀態，如圖 1.2 所示。

參照半導體產業以矽單晶基板的尺寸大小 2 吋、4 吋、6 吋、8 吋、12 吋代表製程技術精進的世代改變，TFT-LCD 顯示器光電產業亦習慣以玻璃基板的尺寸大小來代表製程技術的世代進步程度。由於技術來源的日系廠商大多各自獨立開發製程技術，因此基板尺寸規格並沒有一致的規範。

TFT-LCD 可分為非晶矽(a-si)與多晶矽(p-si)以及單晶矽(s-si)等型，相比之下，p-siTFT-LCD 更能克服電源的不穩定以及對大規模積體電路(VLSI)的依賴，從而能大大降低成本，所以 p-si TFT-LCD 成了目前研製與開發 LCD 的主流。

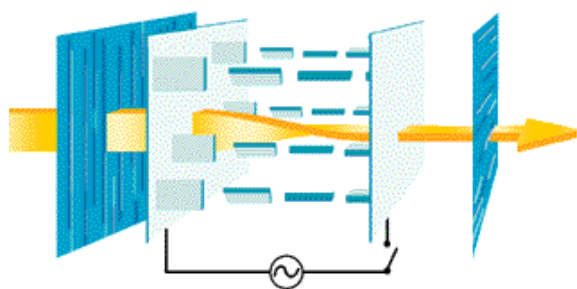


圖 1.1 不施加電壓^[1-2]。

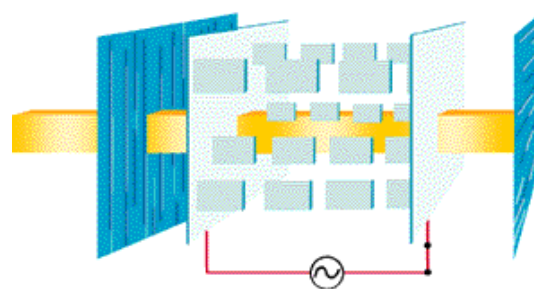


圖 1.2 施加電壓^[1-2]。

1.3 液晶顯示器驅動方式

LCD 主要可分成三種，分別為扭轉向列型(TN)、超扭轉向列型(STN)及薄膜電晶體型(TFT)。依驅動電路方式的不同又可分為被動式矩陣驅動及主動式矩陣驅動。TN 與 STN 屬於被動式矩陣，此型的液晶顯示器由於電容串因(Capacitor Coupling)嚴重，而導致會有殘影及對比差及反應速度慢等缺點，再加上又是採用多工方式驅動，驅動方式較為複雜。因此此類型的顯示器要達到高解析度、高畫質與全彩的目標便十分困難。但由於製造成本低廉因此部分低階的顯示器如手機上的面板便常用此技術。而目前被廣泛研究的薄膜電晶體(TFT, Thin Film Transistor)是屬於主動矩陣式，此種技術由於利用薄膜電晶體作為控制液晶旋轉的開關元件，使得每個畫素相互間的影響變小，改善了上述被動式矩陣驅動液晶顯示器的缺點。且驅動方式較為簡單，因此顯示器的畫質與解析度能夠進一步提升。然而利用薄膜電晶體方式驅動的液晶顯示器，其成像品質的好壞與電晶體的特性有很大的關係，如漏電流、驅動電流、寄生電容、臨界電壓與開關速率等。因此如何製造出品質好，特性佳的薄膜電晶體相當重要。



1.4 薄膜電晶體

電晶體是由閘極、源極和汲極所構成的三接點電子元件，如圖 1.3 所示。其原理是利用圖中氮化矽(SiN_x)作為絕緣層，讓閘極和通道的部分隔開，當閘極沒有外加一個電壓時，就沒有電流從源極流向汲極，此時唯一通過的電流即稱為漏電流。而當閘極加一夠大的正電壓時，在通道部分會感應出電子來，此時如果再在汲極部分加一電壓，將使大量電子經由源極流向汲極，使得薄膜電晶體從原本的「關閉」變成「開啟」的狀態^[1-3]。所以薄膜電晶體可以被視為一個開關。

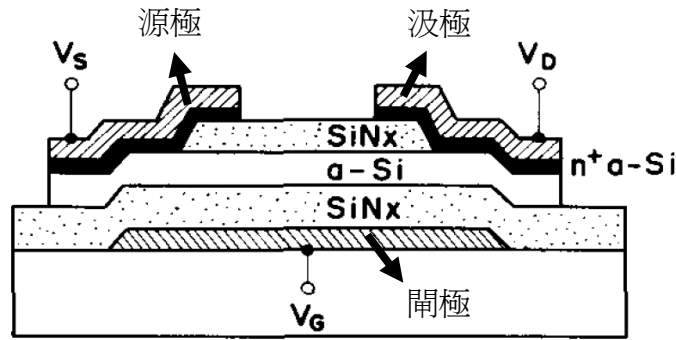


圖 1-3 底閘極(Bottom Gate)電晶體基本結構^[1-4]。

1.5 非晶矽與低溫複晶矽

主動矩陣式液晶顯示器是現今市場的主流，其中以非晶矽薄膜電晶體 (a-Si:H TFT-LCD) 為 TFT-LCD 中較為成熟的技術，在半導體製程中，矽烷在高溫真空下經電漿激發分解可沉積矽薄膜，而非晶矽製造方式一般是藉由電漿輔助化學氣相沉積技術(PECVD, Plasma Enhanced Chemical Vapor Deposition) 鍍覆大面積且高度均勻的含氫非晶矽薄膜。非晶矽薄膜電晶體有以下優點: 為一低溫製程 ($<350^{\circ}\text{C}$)，非常適合製造於玻璃基板上的 TFT；為連續製程，利用電漿輔助化學氣相沉積的方式連續沉積閘極介電層、主動層和汲/源極層，再回蝕(Etchback)定義所需的形貌。因此底閘極(Bottom Gate)結構的薄膜電晶體較符合要求，整個製程步驟較為簡單，並且有較低的漏電流。但是非晶矽 TFT 也有著某些無法改進的缺點，如電子遷移率 (Mobility) 很低 ($<1\text{cm}^2/\text{V}\cdot\text{S}$)，開啟電流 (On current) 較小。在這些先天缺陷下，非晶矽的 TFT-LCD 有著反應速率慢，解析度低，開口率較低等缺點。由於畫素的增加，需要比非晶矽 TFT 電性更好的元件才能有更好的特性，因此發展出了比非晶矽薄膜電晶體電性更好的複晶矽薄膜電晶體，以改進上述的缺點。

若以低壓化學氣相沉積(LPCVD, Low Pressure Chemical Vapor Deposition) 系統沉積矽薄膜，當溫度於 $500-900^{\circ}\text{C}$ 之間有機會生成磊晶矽，當溫度介於 $575^{\circ}\text{C}\sim 650^{\circ}\text{C}$ 將形成多晶矽，而當溫度低於這個區間時，沉積的薄膜將形成非晶矽^[1-5]。導入氫的目的在降低矽薄膜材料內部的缺陷密度，以空隙異原子的方式補捉懸空的矽鍵，減小帶隙狀態密度，以改善其光電特性。由於玻璃基板不耐高溫，無法像半導體製程中矽基板以高溫直接形成結晶型的矽，且高溫製

程亦會影響氫保留在非晶矽材料內部的能力。

非晶矽的電子遷移率較低，不到 $1\text{cm}^2/\text{V}\cdot\text{S}$ ，而低溫多晶矽(LTPS)可達 $100\sim 200\text{cm}^2/\text{V}\cdot\text{S}$ ，大大提升製作 n 和 p 通道設計的能力，除了可降低薄膜電晶體的大小、增加面板開口率及亮度，尚可設計將積體電路同時製作在玻璃基板上，減少驅動 IC 的需求和模組貼附成本，朝 SOG(System On Glass)的發展方向邁進。

形成低溫再結晶型複晶矽的技術主要有三個方向：(1)固相結晶法、(2)金屬誘發/金屬誘發側向結晶、(3)準分子雷射回火結晶法。其中固相結晶法受限於玻璃基板耐溫限制，金屬誘發側向結晶法尚無法解決量產應用瓶頸，僅準分子雷射回火技術有突破性發展，甚受產學各界重視。主要的準分子雷射技術可以運用脈衝式 XeCl 氣體雷射，其波長約在 308 奈米，藉由一連串的除氫、結晶、離子植入活化、氫化、製作 MOS 電極等步驟，可達到高品質的 LTPS 薄膜電晶體^[1-6]。



1.6 低溫複晶矽(LTPS, Low Temperature Polycrystalline Silicon)

1.6.1 低溫複晶矽的優勢

一般複晶矽薄膜製作的方法分為直接沉積複晶矽(As-Deposited Polysilicon)及沉積非晶矽再退火(Annealing)兩種。直接沉積複晶矽製程溫度在 625°C 以上，高於一般玻璃基板的軟化溫度 600°C ，且直接沉積的複晶矽，其晶粒(Grain)較小，缺陷(Defect)較多，製作出來的薄膜電晶體特性較差，所以通常無人使用此方式製作，此法一般用於半導體製程中的閘極多晶矽沉積。另外一種製作複晶矽的方法為先利用低壓化學氣相沉積(LPCVD, Low Pressure Chemical Vapor Deposition)、PECVD 或濺鍍(Sputtering)的方式沉積非晶矽薄膜，再利用熱處理的方式使其再結晶為複晶矽薄膜。

再結晶的方式可分為高溫及低溫兩類，以玻璃基板的軟化溫度 600°C 為分界。高溫再結晶通常以爐管(Furnace)或是快速熱退火(RTA, Rapid Thermal Annealing)的方式進行，由於使用高溫製程，所以必須使用較昂貴且小尺寸的石英基板，並限制了其應用範圍。因此低溫再結晶的方式是目前最受矚目並為工業界採用的技術。利用低溫再結晶所製造的低溫複晶矽(LTPS, Low-Temperature-Poly-Silicon)薄膜電晶體具有較高載子移動率^[1-7]。

電子與電洞的移動率是決定一個 TFT 元件等效傳導率與尺寸大小的重要參數，而高載子移動率使得 LTPS TFT-LCD 具有下列的競爭優勢：

- I. 可縮小畫素(Pixel)中 TFT 的尺寸，增加透光區域的面積，而達到高開口率，如圖 1.4 所示。因此在相同的發光亮度下，LTPS TFT-LCD 可採用低瓦數的背光源，達到低耗電量的要求。另外藉由完全自我對準(Fully Self-Alignment)來形成源/汲極區域，則可降低寄生與重疊電容所需的儲存電容面積也能因此縮小，讓開口率進一步提高，而能提供更高精細、高解析度的液晶面板。
- II. 可將周邊驅動電路與液晶面板同時製作於玻璃基板上，有利於減少電路板驅動 IC 與面板電極之間的連線，而降低材料成本;同時更可以在後段模組組裝過程中，避免組裝造成的產品損害，進而提升良率降低製造成本。
- III. 可降低顯示器模組的重量與厚度。驅動電路的整合不但能消除驅動 IC 本身的重量與厚度，也省去的與其相關的 TAB 及 PCB 封裝所增加的厚度與重量，可達到縮小面板厚度約 10%~20%，達成產品薄型化的要求。
- IV. 可增加液晶顯示器面板的可靠度。TAB 連接線的故障與鬆脫是面板損壞的主因，因此省去 TAB 的封裝將使得液晶顯示器面板的可靠度得以提升。
- V. 可降低驅動電壓，進而降低液晶面板的功率消耗。LTPS-TFT 具有高載子移動率與低臨界電壓(Threshold Voltage)的特性，因此在固定驅動電流下，驅動 LTPS-TFT 的電壓可大幅降低，再加上寄生電容的減少，則驅動液晶面板的功率消耗能大幅降低。表 1-1^[1-8]列出了 a-Si TFT 與 LTPS TFT 的各方面特性比較。

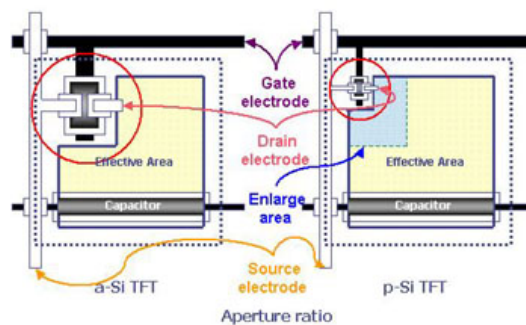


圖 1.4 非晶矽與多晶矽面板之開口率比較^[1-8]。

表 1-1 a-Si TFT 與 LTPS TFT 特性比較^[1-9]

項目		非晶矽TFT	低溫複晶矽TFT
基板	材質	第六代玻璃	第四代玻璃
	面積	2227500 mm ²	598400 mm ²
製程	溫度	< 350 °C	< 600 °C
	設計準則	5 微米	1.5 微米
	使用光罩數	4~5 道	5~9 道
	閘極氧化層厚度	300 nm	80~150 nm
特性	晶格結構	Short Range Order H-Termination	Grain boundary
	臨界電壓	1 V	1.2 V
	載子移動率	0.5~1 cm ² /V-s	> 100 cm ² /V-s
	操作電壓	15~25 V	5~15 V

1.6.2 低溫複晶矽結晶方法

低溫複晶矽的量產技術在過去十年間急速熱絡的展開，包括固相結晶法 (SPC, Solid Phase Crystallization)、準分子雷射退火(ELC, Excimer Laser Crystallization)及金屬誘發/金屬誘發側向結晶(MIC/MILC, Metal Induced Lateral Crystallization)等，以下將分別介紹。

1.6.2.1 固相結晶法(SPC, Solid Phase Crystallization)

固相結晶法是成本最低，也是技術門檻最低的結晶法。在 1997 年 V. Subramanian 與 P. Dankoski 等人^[1-9]曾報導過，運用固相結晶法將沉積的非晶矽薄膜再結晶化的複晶矽薄膜電晶體比直接沉積複晶矽製做的薄膜電晶體擁有更好的電性。固相結晶法是將已沉積之非晶矽薄膜置入爐管中進行 600°C 退火約 24 小時，所得到的晶粒大多呈橢圓形，並具有較高的缺陷密度(Defect Density)存在於複晶矽薄膜中，而再結晶的生成是藉由熱力學驅動力給予足夠

的能量跨越最初的能障將非晶矽形成介穩態相轉變成複晶矽。影響結晶性的主要原因是在非晶矽薄膜中的成核比例，而成核比例嚴重受到沉積非晶矽薄膜的方法與條件的影響^[1-10~1-11]，因為非晶矽的組織結構與亂度會影響薄膜穩定的成核，高亂度的組織將影響矽原子成核所需跨越的能障。一般的作法，為了得到較大的晶粒，可以改變非晶矽的沈積參數及退火條件。但是利用固相結晶法所得到的複晶矽晶粒品質和另兩種結晶法相比仍然是較差的。另外，退火溫度過高並不適用於一般的玻璃基板，一般的玻璃基板軟化溫度約為 600°C 左右，可能將造成玻璃的變形。固相結晶包括二個步驟，分別為成核(Nucleation)和成長(Growth)。成核又可分為均質成核(Homogeneous)和異質(Heterogeneous)成核。以固相結晶法來說，由於非晶矽裡含有缺陷，缺陷自由能較高，較容易吸附溶質原子造成原子聚集，形成異質成核，進而成長；也有部分的成核是以均質成核進行，然後再進行成長。但是一般的固相結晶法退火時間太長，且最後所得到的晶粒缺陷多，並且含有大量的微雙晶(Micro-Twin)^[1-12]因此最後所做出的薄膜電晶體特性並不佳。



1.6.2.2 準分子雷射退火結晶法(ELC, Excimer Laser Crystallization)

準分子雷射結晶法為目前業界最廣泛使用的結晶技術，準分子雷射結晶法比起固相結晶法可得到較佳的結晶品質，這是因為熔融引發複晶矽成長。Excimer 準分子為 Excited 及 Dimer 二字的組合，又稱激態分子，而準分子雷射是在雷射管中封入稀有氣體，如 Xe，與鹵素氣體，如 Cl，工作物為處於激發態的複合粒子，其活性介質不完全是個分子，介由電子束或電漿放電漿稀有氣體激發到電子激態，生成只有在激態情況才能生存的雙原子分子，當放出光子而降回到基態時，即分解為原子，此即表示分子中有惰性氣體，在基態時不會與其他分子結合，但在激態時即會產生結合。一般準分子雷射結晶法製法的製造過程是先利用 PECVD 沉積低含氫量的非晶矽薄膜，再以 400~500°C 做去氫的動作，去氫完成後以準分子雷射作為主要動力能量，利用瞬間雷射脈波產生高能量入射到非晶矽薄膜表面，在薄膜中距離表面約 100 奈米的深度產生熱能效應，使非晶矽薄膜瞬間達到 1000°C~1200°C 而融化，實現非晶矽向複晶矽的轉變。這種方法獲得的複晶矽薄膜的特性滿足顯示面板用 TFT 開關元件及周邊驅動用 TFT 元件性能的要求^[1-13]。準分子雷射主要是在紫外光範圍的高輸出脈衝雷射 (High-Output Pulsed Lasers) 振盪，光束相當大，脈衝的時間非常

短，約 10ns，因此加熱的時間是很短暫的，而且結晶的晶粒缺陷較少，品質較佳且不會傷害玻璃基板。缺點是雷射設備成本過高，而且結晶的均勻性不佳，當雷射將非晶矽層熔融結晶後，在兩晶粒的交界處會隆起產生晶界。此現象會導致表面粗糙，將會影響元件的製作。當然還有其他的缺點，像是玻璃基板通常需要雷射掃描 20 次左右才能形成良好的結晶。為了提高生產效率，現在有採用多路雷射同時掃描的方式。也可以採用矩形光束的方法，使雷射能量均勻集中形成一個矩形光束，對基板進行有選擇性的掃描。常用的準分子雷射器如表 1-2 所示。因為 XeCl 準分子雷射器具有較好的氣體穩定性和在波長 308 奈米處非晶矽薄膜具有高吸收係數($\sim 106 \text{ cm}^{-1}$)的優點。所以很多廠商採用 XeCl 準分子雷射器進行生產。

表 1-2 準分子雷射氣體及其波長

Laser gas	F2	ArF	KrCl	KrF	XeCl	XeF
$\lambda(\text{nm})$	157	193	222	248	308	351

而依照矽膜融化之狀態，所需的雷射能量密度 (Fluence) 可區分為三個重要臨界點^[1-14~1-17]：

I. 部分融化之能量密度 (Partial Melting Fluence, 簡稱 **Ft**) :

若能量密度介於完全融化之能量密度與臨界融化之能量密度時，熔融矽之結晶模式屬於三維的成長模式，且結晶晶粒尺寸會隨能量密度的提高而增加，但由於此區能量較低，因此產生之晶粒將不會太大。

II. 完全融化之能量密度 (Complete Melting Fluence, 簡稱 **Fc**) :

若是能量密度大於完全融化之能量密度時，非晶矽薄膜會完全被熔融，液態矽則在極大過冷度下產生大量結晶核，導致凝固後的晶粒尺寸較小，直徑只有數十個奈米長。

III. 近乎完全融化之能量密度 (Near Complete Melting Fluence, 簡稱 **Fn**) :

當能量密度略低於完全融化之能量密度時，非晶矽薄膜處於幾乎完全被熔融的狀態，而在非晶矽膜與玻璃的界面上留下少數不連續的未熔融顆粒，則以此作為晶種作側向之結晶成長，其晶界隨著固/液介面往平行薄膜方向形成側向結晶而獲得最大的結晶

晶粒，此晶粒通常是矽膜厚的好幾倍，所以稱此區域為 SLG (Superlateral-Growth) 區，但此區的製程窗口 (Processing Window) 過於狹小，很難控制雷射能量在此能量範圍內，只要輕微的雷射能量變動將會導致多晶矽膜成為另外兩種狀態，即部分融化或完全融化。

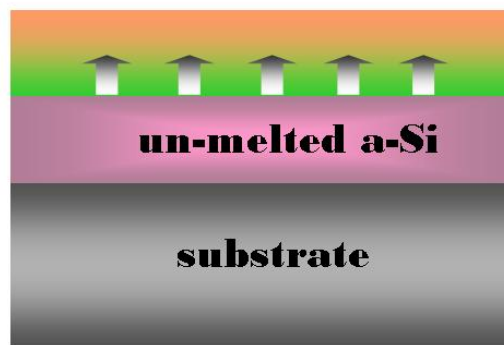
依照能量密度之差異性，區分為三種晶粒成長方式^[1-18]，如圖 1.5 所示之部分熔融區域晶粒成長示意圖、圖 1.6 所示之完全熔融區域晶粒成長示意圖及圖 1.7 為近乎全熔融區域晶粒成長示意圖。



Excimer laser irradiation



Vertical growth



Fine-grain polysilicon

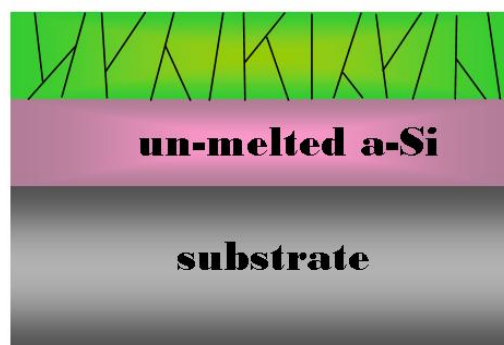
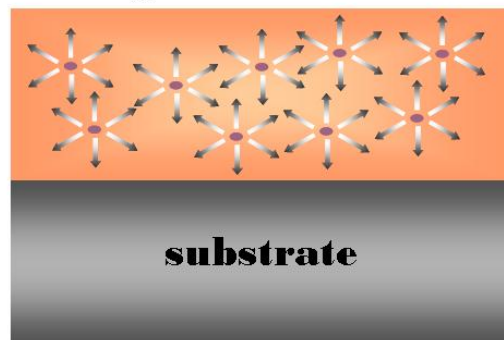


圖 1.5 部分熔融區域晶粒成長示意圖。

Excimer laser irradiation



Homogeneous nucleation

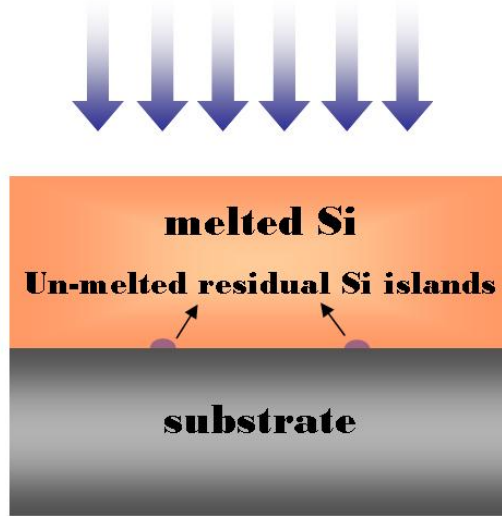


Fine-grain polysilicon

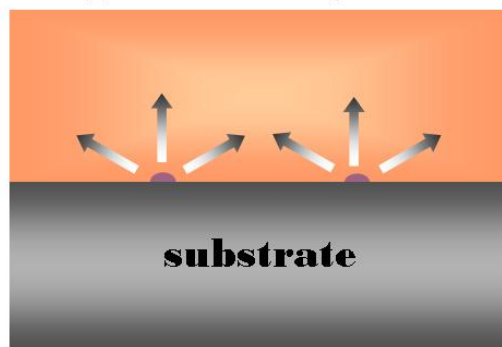


圖 1.6 所示之完全熔融區域晶粒成長示意圖。

Excimer laser irradiation



Super lateral growth



large-grain polysilicon

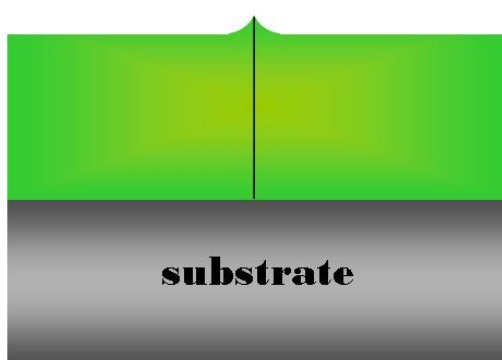


圖 1.7 近乎全熔融區域晶粒成長示意圖。

1.6.2.3 鎳金屬誘發結晶 / 鎳金屬誘發側向結晶(NIC / NILC, Ni-Metal Induced / Ni-Metal Induced Lateral Crystallization)

使用爐管以固相結晶法製做複晶矽需要高溫及非常長的退火時間，而鎳金屬誘發結晶/鎳金屬誘發側向結晶能夠降低退火溫度及退火時間^[1-19~1-22]，並且以鎳金屬誘發側向結晶製作複晶矽可以獲得較大的晶粒尺寸，減少薄膜電晶體通道中晶界的比例。在 1963 年 Wagner 和 Ellis 等人^[1-23]發現少量的特定金屬可以幫助矽結晶。依照不同誘發結晶的方式可以分成兩類：第一種是與矽產生共晶反應(例如：Al^[1-24]、Au^[1-25]等)，由於共晶點的溫度通常比一般單相結晶的溫度低，所以可以在低溫下產生結晶。以 Al 為例，M. S. Haque^[1-24]在研究中指出 Al 與 Si 的共晶溫度在 577°C，但在 200°C 左右便開始與 a-Si 層反應產生結晶。金屬向內擴散時不僅使 a-Si 結晶，同時因為金屬摻雜的關係導致 Si 層轉變成 p 型。

另一種低溫結晶的方式是利用金屬與矽反應成介穩定(Metastable)的矽化物(例如：Ni^[1-25~1.28]、Pd^[1.29~1.30]等)，在矽化物移動的過程中，金屬原子的自由電子與介面處的 Si-Si 共價鍵發生反應，降低 a-Si 結晶所需的能障(Energy Barrier)，使得結晶溫度降低。一般較常用的金屬為 Ni，而其機制也最清楚，因此以 Ni 來說明此類金屬誘發結晶的過程。Ni 會先與 Si 反應成多種矽化物^[1-31]，在靠近 a-Si 區域的地方會產生富 Si 的 NiSi₂，於 NiSi₂ 中的 Ni 原子在 NiSi₂ 與 a-Si 介面的自由能比在 NiSi₂ 與 c-Si 介面處低，這個自由能差會使 Ni 原子往 a-Si 層移動；反之，在 NiSi₂ 中的 Si 原子在 NiSi₂ 與 c-Si 介面的自由能比在 NiSi₂ 與 a-Si 介面處低，驅使 Si 原子往 c-Si 的方向擴散。換句話說，由於 Ni 與 Si 在 NiSi₂/c-Si 及 NiSi₂/a-Si 界面處的自由能的差異，產生了驅動力使得 NiSi₂ 持續的往 a-Si 延伸，而所經之處產生 Si 結晶^[1-32]。由 Hayzelden 在 1993 年提出的分裂機制，首先會在 NiSi₂ 上形成 c-Si 結晶核，然後 Si 會往 c-Si/NiSi₂ 的介面移動，而誘發結晶，接著，又在 NiSi₂ 的領導端(leading edge)處先形成了 c-Si 結晶核，同時 Ni 為了降低在 NiSi₂/c-Si 介面處化勢 (Chemical Potential)，造成 Ni 會往 NiSi₂/a-Si 介面處擴散，因此產生 NiSi₂ 的遷移，同時也形成一個新的 NiSi₂/c-Si 介面。如圖 1.8(a)(b)(c)所示的 NiSi₂/a-Si 介面形成的結晶成長機制示意圖，而此過程一直重複，因而得到針狀的誘發結晶。

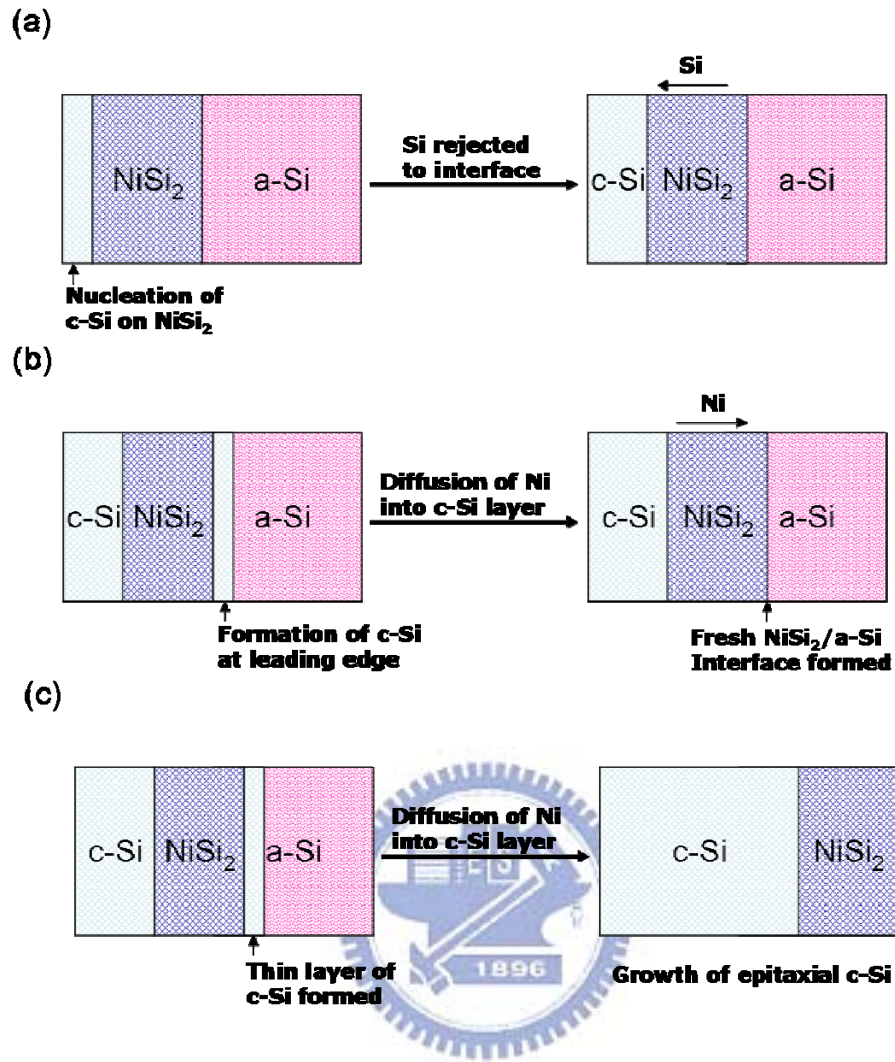


圖 1.8 c-Si 在 $\text{NiSi}_2/\text{a-Si}$ 介面形成的結晶成長機制^[1-33]。

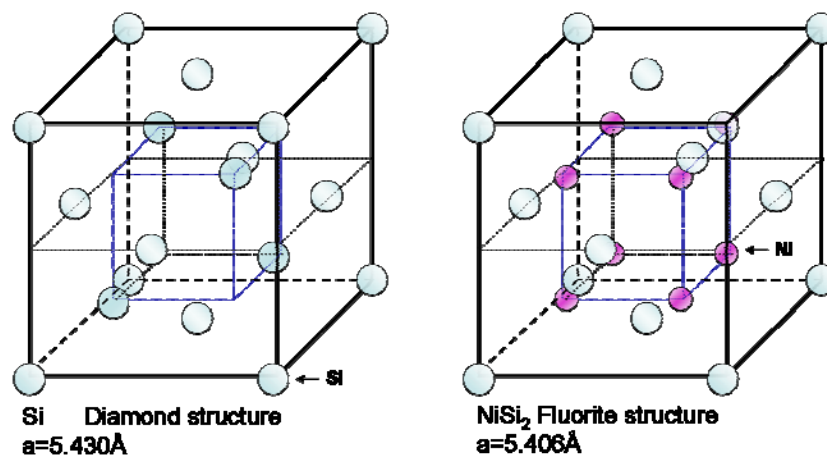


圖 1.9 Si 與 NiSi_2 晶體結構。

圖 1.9 為 Si 與 NiSi₂ 的晶體結構。Si 為鑽石(Diamond)結構、晶格常數為 5.430Å；NiSi₂ 屬於螢石(Fluorite)結構、晶格常數為 5.406Å，兩者因晶格常數不同所產生的晶格不匹配(Lattice Mismatch)僅有 0.44%。在眾多金屬矽化物中 NiSi₂ 擁有與矽最相似的結構及最接近的晶格常數，因此相當適合做為誘發結晶的核。故我們在實驗中將以 Ni 為誘發結晶的金屬。

Ni 在元素週期表中屬於過渡金屬，在結晶或非晶矽中都屬於快速擴散源，由於 Ni 較小的原子尺寸與矽為較鬆散的鑽石結構，因此 Ni 在矽中主要是藉著間隙式擴散(Interstitial Diffusion)來快速移動。在此機制中，擴散係數(D)會遵守 Arrhenius 方程式：

$$D_i = D_{i,0} \exp\left(-\frac{H_i^M}{kT}\right) \quad (1-1)$$

其中 H_i^M 為焓的變化量， $D_{i,0}$ 為指數係數， T 為溫度。以 Ni 而言，在非晶矽中的擴散係數大概是 $2.9 \cdot 10^{-3} \exp[-1.3(\text{eV})/kT]$ cm²/s^[1-34]，在 400°C 下，這約為在結晶矽中擴散的十萬分之一，這擴散被抑制的原因來自於非晶矽內部的本質缺陷(intrinsic defect)，Ni 在非晶矽中擴散係數可由下式表示

$$D_{Ni}(a-Si) = D_{Ni}(a-Si) / \left[1 + \alpha C^t \exp\left(H_{Ni}^B / kT\right)\right] \quad (1-2)$$

其中 $\alpha = Z_{Ni}(\theta^0/\theta^*) \exp(S_{Ni}^B/kT)$ ， C^t 為被捕陷的原子(traps)比例、 $H^B(S^B)$ 為釋放一個被捕陷的間隙原子所需的焓(熵)， Z_{Ni} 為一個捕限陷阱周圍的捕捉間隙數以及 θ^0 (θ^*) 代表間隙原子(被捕陷的間隙原子)的頻率。由於非晶矽有高濃度的本質捕捉陷阱(intrinsic traps)以及較大的 H^B ，這 Ni 在非晶矽中的擴散被大幅度的抑制^[1-34]。

而在 Ni-Si 的反應中，主要是藉由 Ni 原子在 Si 中擴散來進行。在 200°C 時 Ni 與 Si 首先產生 δ -Ni₂Si，之後隨著退火溫度的提高，在 350°C 時 Ni₂Si 逐漸被 NiSi 相所取代，這兩階段的相變化皆是由擴散機制所控制。而在 750°C 左右的高溫 NiSi 慢慢形成 NiSi₂。此時 NiSi₂ 的形成主要是由成核機制所控制的，需要在高溫下才能形成^[1.32]。一般，退火過程中 Ni 並不會直接與矽反應形成 NiSi₂，而會先反應形成 NiSi 的介穩定相，再由 NiSi 與 Si 反應而得到 NiSi₂。在 NiSi 與 Si 的反應機制裡，NiSi 與 a-Si 反應形成 NiSi₂ 是屬於擴散控制，也就是 a-Si 反應形成 NiSi₂ 是很容易很快的，只需在 350°C 左右就可以形成 NiSi₂；而 NiSi 與 c-Si 反應形成 NiSi₂ 則是屬於成核控制，c-Si 反應形成 NiSi₂

是比較不容易的，所以需要在高溫下才能達成。因此就金屬誘發結晶而言，Ni 與 a-Si 反應形成 NiSi_2 來誘發結晶並不需要很高的溫度。圖 1.10(a)(b)列出了鎳金屬薄膜在非晶矽與複晶矽中對應不同溫度下所形成的矽化物相^[1.35]。

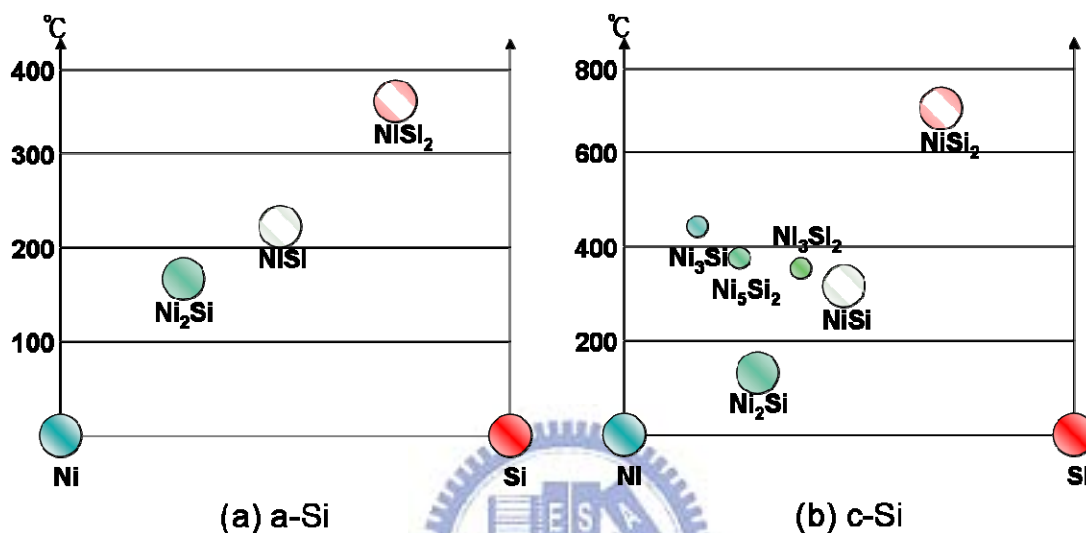


圖 1.10 鎳金屬薄膜對應不同溫度下之矽化物相^[1.35]。

Ni 與 a-Si 反應形成了 NiSi_2 ，接著由於熱力學上的驅動力，使得 NiSi_2 往前移動，如前述的結晶成長機制，形成金屬誘發結晶（MIC）。若整個反應是發生在薄膜之中，則 NiSi_2 的移動受限於表面與基板底部，迫使 NiSi_2 向只能向薄膜的水平方向移動，則形成金屬誘發側向結晶（MILC）^[1-33]。

MILC 成長方向有其優選性，如前所述 NiSi_2 (111) 平面跟 Si (111) 平面的晶格常數只有 0.44% 的不匹配。當 c-Si 在 NiSi_2 {111} 平面上產生磊晶時，並不會有介面差排的出現。所以在 MILC 的過程中，{111} 為其 c-Si 的優選方向^[1.32]。圖 1-11 為 3 個不同軸向的 NiSi_2 核，在軸向為 $\langle 110 \rangle$ 的情況下， NiSi_2 八面體結構的四個 {111} 方向將會平行薄膜的上下表面。但是如果軸向為 $\langle 100 \rangle$ 或 $\langle 111 \rangle$ 的情況下，{111} 方向並不會平行薄膜表面。所以 c-Si 的成長將會被薄膜上下表面所限制。所以 c-Si 的成長的優選軸向為 $\langle 110 \rangle$ 而優選成長方向為 $\langle 111 \rangle$ 。由於 MILC 有上述的優選性，所以以此方法成長的複晶矽會有其方向性，這也成為 MILC 方法最大的優點。

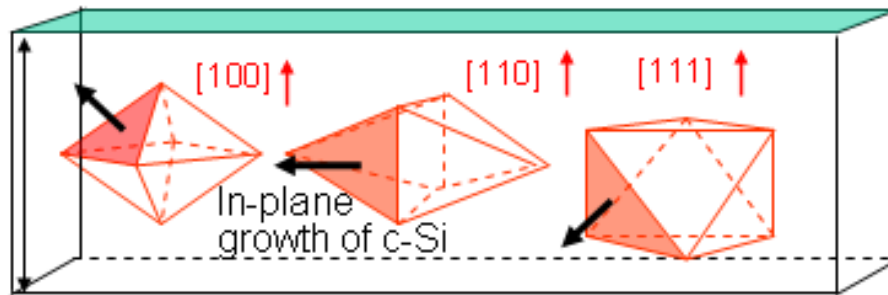


圖 1-11 MILC 的優選成長方向。

1.7 低溫複晶矽薄膜電晶體(LTPS TFTs, Low temperature polycrystalline silicon Thin film transistor)結構簡介

目前 LTPS TFT 的結構有上部閘極(Top Gate)與下部閘極(Bottom Gate)兩種，上部閘極的 LTPS TFT 如圖 1.12 所示。此種結構與 VLSI(超大型積體電路，Very Large Scale Integration)非常相似，故與 MOSFET(金氧半場效電晶體，Metal-Oxide-Semiconductor Field Effect Transistor)相容性非常高。利用自我對準(Self-Align)定義歐姆接觸區域可得到與通道連續的結構，提供了精確的源極(Source)與汲極(Drain)接面(Junction)，減少額外的微影製程及光罩(Mask)對位偏移的現象。相較於下部閘極結構，上部閘極結構可將寄生電容減至最小。

下部閘極結構的 LTPS TFT 如圖 1.13 所示。此種結構與 a-Si TFT 製程相容性高，除了在面板上具有較低的光漏電流特性，且閘極介電層、主動層及汲/源極層為連續沉積，故可以藉由連續沉積製程得到潔淨的 Oxide/Si 界面。而在 LTPS 製程中，由於下部閘極本身的結構的關係，在 Poly-Si/Gate Insulator 界面處晶粒尺寸(Drain size)與捕陷位置(Trap site)的影響，電子遷移率較上部閘極為低，在製程上仍有很大的進步空間。因此綜觀低溫多晶矽薄膜電晶體的所有性能，上部閘極均要優於下部閘極，所以在未來上部閘極將為 LTPS TFT 的主流結構^[1-36-1-37]。

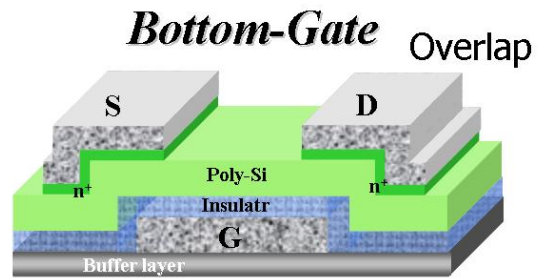
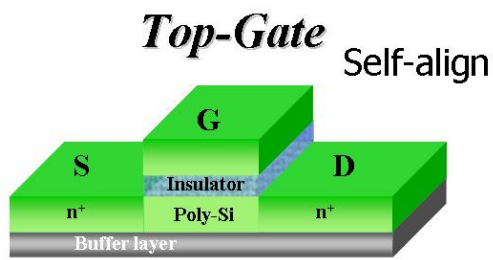


圖 1.12 上部閘極的薄膜電晶體結構。

圖 1.13 下部閘極的薄膜電晶體結構。

此外，為克服低溫複晶矽薄膜電晶體在先天上的缺點，開發出許多不同類型的結構例如低濃度摻雜汲極 (LDD, Lightly Doped Drain)，如圖 1.14 所示，主要的目的是為了降低閘極兩端端面間的載子易受到大電場而被加速，形成所謂的熱載子(Hot-Carrier)，而造成導通；為了避免大量的熱載子產生，便將閘極兩旁與汲極/源極緊鄰的地方做極輕度的摻雜，以降低端面載子數量，進而降低熱載子效應，然而這種結構必須精確的控制 LDD 長度與佈植的劑量，在加上額外增加的植入劑量控制與微影製程成本，還有待進一步研究開發 [1-37]。

在 2002 年 M.-C. Lee 及 W.-J. Nam 等人 [1-38] 曾報導 Air-Cavity 形式的結構如圖 1.15 所示，利用空氣的低介電常數特性抑制了在界面處產生的垂直電場誘發的漏電流，並減少了臨界電壓飄移的現象，這種結構可視為另一種 LDD 型式。但在此法需以濕式蝕刻的方式製作，製程上控制不易且良率偏低。結合 Overlap 型與 LDD 型所設計出的 GOLDD(Gate Overlap LDD)型式在 2002 年 Y. Mishima 等人 [1-39] 曾報導，如圖 1.16 所示，這類型的結構同時兼具 LDD 型式的低漏電流與 Overlap 形式的高導通特性，可以有效降低扭曲效應與提升元件可靠度，但此結構在製造上較為複雜且加上小尺寸時設計頗為困難。而另一種藉由閘極分布的數量而降低通道中電場的分布進而有效的抑制熱載子效應與漏電流的型式為 Multi-Gate 多重閘極型，如圖 1.17 所示，此種結構常見於 TFT 畫素區域 [1-36]。再來則是由 C. F. Yeh 等人 [1-40] 在 1994 年報導的 Field Plated 型與 Sub-Gate 型，如圖 1.18 所示。顧名思義，此種結構具有較佳的耐壓特性，藉由次閘極的控制能夠克服通道中電場過大的問題，但須額外的電極控制，操作仍屬不便 [1-36~1-37]。

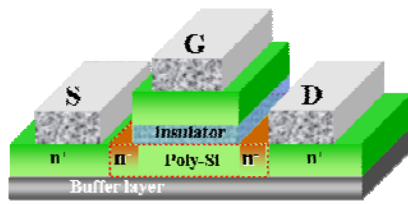


圖 1.14 LDD 結構示意圖。

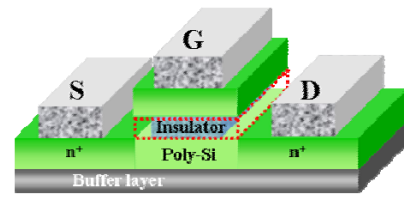


圖 1.15 Air-Cavity 結構示意圖。

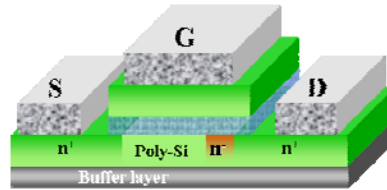


圖 1.16 GOLDD 結構示意圖。

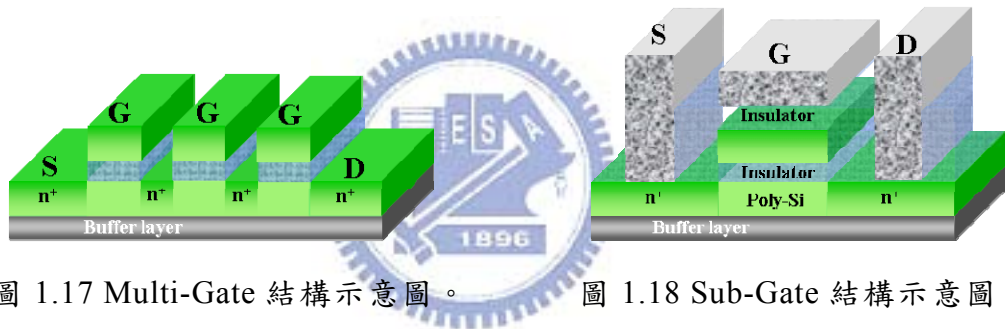


圖 1.17 Multi-Gate 結構示意圖。

圖 1.18 Sub-Gate 結構示意圖。

1.8 電性影響因素

1.8.1 晶界能障與晶界載子補陷(Carrier Traps at Grain Boundary)

在基本的載子捕陷的模式中假設晶界本身是非常窄的（與晶粒相比）他們唯一的效應是去改變有效的摻雜物原子及在晶粒中的自由載子數目。晶界本身即當作摻雜物偏析及載子捕陷的位置，因此晶界的存在會影響載子移動進而影響元件的特性，如圖 1-19 所示。當電荷被晶界所捕陷時，為了去補償被晶界所捕陷的電荷，所以在晶界周圍形成一個空乏區域，根據 Poisson's equation，在空乏區的電荷造成能帶彎曲，而且會形成能障而阻礙剩下的主要載子在晶粒間移動^[1-41]。能障高度 (V_B) 能用摻雜濃度 N 及空乏區寬度 xd 以 Poisson's equation 表示：

$$\frac{d^2V}{dx^2} = \frac{qN}{\epsilon} \quad (1-3)$$

q : 一個電子的電荷大小

ϵ : 矽的介電常數

只考慮一維的空間，解方程式得到 V_B

$$V_B = \frac{qN}{2\epsilon} x^2 d \quad (1-4)$$

由 V_B 的解可以了解能障大小和置換型雜質濃度、捕陷密度及能量有很大的關係。

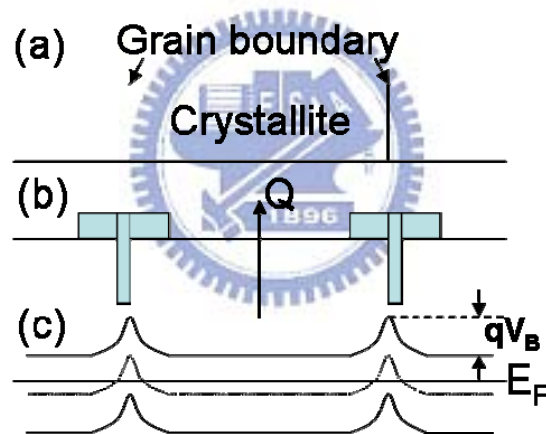


圖 1.19 (a) 晶粒與晶界示意圖 (b)為了補償被晶界所捕陷的電荷在晶粒周圍的晶界處形成空乏區域 (c)電荷空乏區造成能帶彎曲，而且形成能障 [1.46]。

由於電子的傳導行為由載子的數目多寡所決定，要決定自由載子在多晶矽中的數目，必須先考慮置換型的雜質濃度。雜質原子會偏析在晶界中造成損失，而且在電性上不發生作用；但即使將此損失考慮進去，多晶矽的電導度仍然比具有相同摻雜濃度的單晶矽低，因為單晶矽中自由載子直接由在晶粒中的置換型摻雜原子所貢獻至價帶及導電帶，而多晶矽因為有晶界的關係，大部分

的自由載子會被捕陷(Trap)在低能量的晶界位置，因而無法貢獻到傳導帶 [1-42~1.43]，示意圖如圖 1-9 所示。

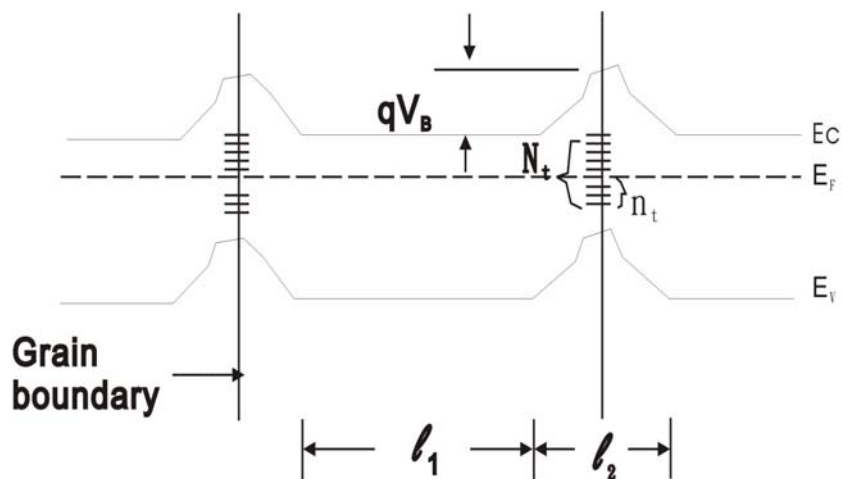


圖 1-20 很多在晶粒中的置換型摻雜原子所貢獻的自由載子很快速的就被固定在晶界處的捕陷位置 Nt 每單位面積的能量不超過能隙 (Bandgap) [1-44]。

1.8.2 晶界與晶粒缺陷

在晶界處的懸鍵 (Dangling Bonds) 及晶粒中的缺陷兩者都會引出一個在多晶矽中的允許的態位 (Allowed State)，如圖 1-21 所示。其中和懸鍵有關的深態位 (Deep State) 擁有大約禁止能隙 (Forbidden Energy gap) 一半的能量 [1-42]，此深態位對載子傳輸的最大影響就是允許載子產生 (Generation) 與再結合 (Recombination)。除了在中間能隙 (Mid-Gap) 附近的態位是由斷鍵 (Broken Bonds) 造成之外，應變鍵 (Strained Bonds) 也會產生的一個高密度的在能帶邊的淺拖曳態位 (Shallow Tail State)。這些態位都會捕捉載子而造成載子傳導率下降。

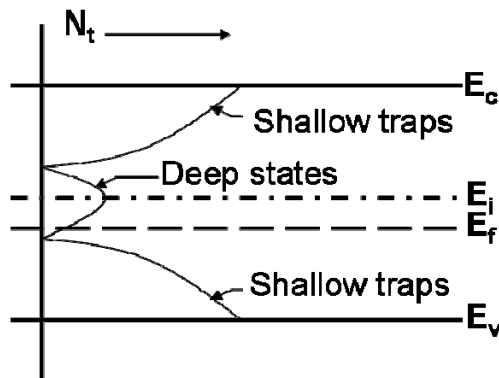


圖 1-21 捕陷(Traps)主要集中在晶界處，然而在晶粒中的缺陷也有建立起一些態位。淺拖曳態位(Shallow tail state)與應變鍵(Strained Bonds)有關，而在中間能隙的深態位(Deep State)是由斷鍵(Broken Bonds)造成的^[1-45]。

1.8.3 過渡金屬雜質



在晶圓製程階段，由於成長環境的雜質污染及熱應力造成之缺陷均留於晶圓當中，且無可避免的會引入第三類過渡金屬原子(鉬、鐵、銅、鎳等)，這些金屬原子在矽中均屬於快速擴散源，其高擴散性會更進一步的減損元件特性，同時後續之加工所造成之缺陷亦存於其中，在 IC 製造過程中，這些缺陷均會影響元件之良率及電性品質。這些金屬雜質會在 MOS 結構的 Gate Oxide 中成為矽化物析出，導致電性崩潰，且在半導體中產生的能隙深層能階(Deep levels in the Band Gap)會強烈的影響少數載子(Minority Carrier)的壽命。而對於以鎳金屬誘發側向結晶方式製作的薄膜電晶體，同樣的鎳金屬以及其矽化物所造成的能隙深層能階亦會影響電晶體的導通特性。

1.9 電性改善方法

晶界能障、晶界補陷、晶界與晶粒缺陷以及金屬雜質的存在會大大的減損複晶矽元件的電性。因此為了提升電性，減少晶界的數量、減少晶界中的有效的捕陷位置、減少晶界與晶粒缺陷以及降低金屬雜質濃度，有以下幾種方式。

1.9.1 後退火 (Post-Annealing)

晶界本身是個能障，晶界的存在將會阻礙載子移動，因而減少電子移動率，而減損 TFT 元件的效能，因此如何減少晶界的數量對改善 TFT 元件特性來說也是一個很重要的課題。另外，晶粒內缺陷的消除對提升元件特性也有很大的幫助。因此很多研究相繼的提出如何減少晶界及消除晶粒缺陷，其中最有效的方式就是利用後退火的方式^[1-45~1-47]，即在非晶矽膜結晶完後，再利用高溫退火的方式或準分子雷射退火的方式進行結晶，通常可以得到尺寸較大，缺陷較少的晶粒，因而改善多晶矽膜的品質。

1.9.2 電漿鈍化 (Plasma Passivation)

由於缺陷被鈍化所以禁止能隙的態位不會被活化，因此不會再捕陷載子。晶界中的懸鍵的形成是由於不同指向的晶粒的接和點的晶格排列不連續所引起的，因而這些懸鍵形成了很多的捕陷位置。在 Si/SiO₂ 界面的懸鍵一般常用 H 原子將懸鍵中斷，所以利用 H 原子可以將晶界中的懸鍵鈍化以減少晶界中的有效捕陷數目。當捕陷載子的數目減少晶界的能障也跟著減少^[1-48]。一般可利用電漿(Plasma)來進行晶界鈍化改善元件的執行效果，常用來進行晶界鈍化的電漿有 H₂、N₂O 及 H₂/N₂ 混和型電漿^[1-49~1-51]，根據文獻中^[1-51]報導 H₂/N₂ 混和型電漿會比 H₂ 電漿有更好的鈍化效果，這是由於 H₂/N₂ 混和型電漿除了有氮離子 (N⁺) 的鈍化作用外，同時提高原子間的撞擊機會，因而提高鈍化的離子數目，可以加強鈍化的效果，另外 NH₃ 電漿也有不錯的鈍化效果，跟 H₂ 電漿相比可以讓熱載子(Hot Carrier)有更好的穩定性，同時可以讓匣極氧化層有更低的漏電流及更高的崩潰電壓^[1-52~1-53]。

1.9.3 捉聚 (Gettering)

為了降低金屬雜質原子在電性上所造成的傷害，一般使用捉聚(Gettering)方式將雜質原子移除或降低其濃度。捉聚方法根據其作用機制可分成五類^[1-54]：金屬矽化物析出(Metal-Silicide Precipitation)、偏析(Segregation into Second

Phases)、缺陷補陷(Atomic Trapping by Defects)、與摻雜原子作用(Interaction with Electronic Dopants)以及磷擴散捉聚與非平衡過程(Phosphorus-Diffusion Gettering and Nonequilibrium Processes)。而捉聚的技術則有下列三種：內部捉聚法(Internal Gettering)、化學捉聚法(Cheical Gettering)，以及外部捉聚法(External gettinger)^[1-55]，如圖所示。捉聚的方法必須根據電子元件的結構以及特性需求來做選擇。對於薄膜電晶體，目前只有夏普的 CGS 技術，利用離子植入將磷離子植入主動層中通道區域的兩端，在退火過程因為植入磷離子區域有缺陷的出現，造成此區域的金屬雜質溶解度提高而將通道區域的金屬雜質吸附到離子植入區，達到捉聚的效果^[1-56]。

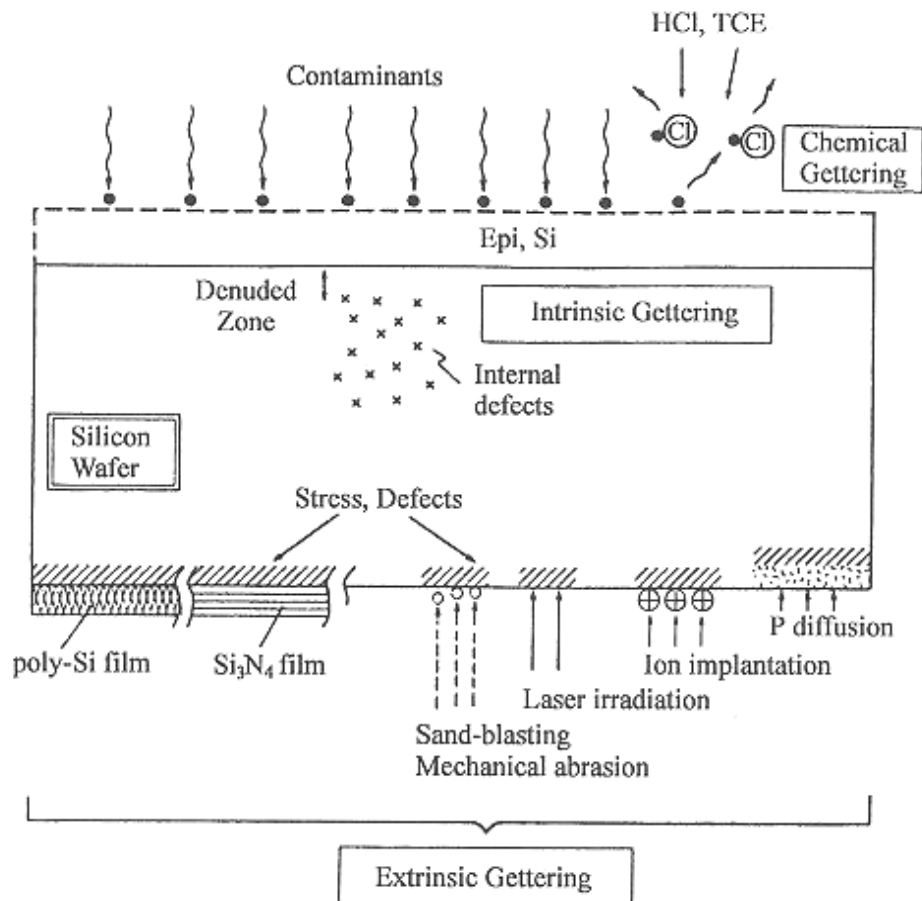


圖 1.22 (1)內部捉聚法(Intrinsic Gettering) (2)外部捉聚法(Extrinsic Gettering) (3)化學捉聚法(Cheical Gettering)^[1-57]。

1.10 論文的研究動機與分段架構

1.10.1 論文的研究動機

本論文希望研究在進行 NILC 製程時，在 Si 薄膜表面會形成一層非常薄的氧化矽，而這層氧化矽的生成是消耗了 a-Si 薄膜本身的厚度並產生了一個新的 Oxide/a-Si 的界面。因此，本次研究則是在 a-Si 薄膜結晶化之前另外以 PECVD 沉積一層 TEOS-Oxide(四乙基正矽酸鹽氧化物，Tetraethyl Orthosilicate-Oxide)再進行 NILC 製程，並製作成 TFT。主要探討不同機制生成的氧化層在 NILC 製程中造成的影響。同時也以相同製程在 a-Si 上方有/無覆蓋 TEOS-Oxide，分別製作了一組 SPC TFT 作為對照組，詳細討論 Oxide/a-Si 界面對鎳金屬誘發側向結晶造成什麼影響，並對電性方面作詳盡的探討。

在早期曾有人分別使用了 RCA Clean 步驟中的硫酸加雙氧水($H_2SO_4 + H_2O_2$, 3:1)溶液以及 37% 的鹽酸(HCL)溶液來移除鍍覆在矽薄膜表面的鎳金屬。從第二章所討論的研究中，我們發現預先在主動層上方覆蓋一層氧化層再進行 NILC 結晶製程所製作的 TFT，產生了高度的捕陷密度，因此本研究將利用上述兩種溶液進行 Oxide/Si 界面進行表面處理後，製作成薄膜電晶體比較其電性。

1.10.2 論文的分段架構

此論文共分為四個章節，第一章是導論，主要介紹顯示器的發展沿革與結晶技術的介紹；第二章主要是探討 Oxide/Si 界面對鎳誘發側向結晶複晶矽薄膜電體的影響；第三章探討的是表面處理對鎳金屬誘發側向結晶的效應。

參考文獻

- 【1-1】 紀國鐘，鄭晃忠，”液晶顯示器技術手冊”，經濟部技術處，pp.3-4，中華民國九十一年十月。
- 【1-2】 <http://www.thg.com.tw/>
- 【1-3】 Yue Kuo, “THIN FILM TRANSISTORS-Materials and Processes” Volume 1-Amorphous Silicon Thin Film Transistors, Kluwer Academic Publisher Group, pp. 90-95, 2004.
- 【1-4】 Ibaraki N., Fukuda K., and Takata H., “The Effect of Interface States on Amorphous-Silicon Transistors”, IEEE Trans. Electron Devices , **36**, pp. 2971-2972, 1989.
- 【1-5】 James D. Plummer, Michael D. Deal, Peter B. Griffin, “Silicon VLSI Technology: Fundamentals, Practice, And Modeling”, Prentice Hall, pp. 504-541, 2000.
- 【1-6】 陳志強，” LTPS低溫複晶矽顯示器技術” ，全華科技圖書股份有限公司，Ch. 5, pp.6-36, 2004.
- 【1-7】 林敬偉，低溫多晶矽薄膜電晶體液晶顯示器技術，電子月刊第十卷第八期，pp.135-145，中華民國93年8月。
- 【1-8】 <http://cn.fpdisplay.com/technology/>
- 【1-9】 陳志強，” LTPS低溫複晶矽顯示器技術” ，全華科技圖書股份有限公司，Ch.5, pp.1-3, December 2004.
- 【1-10】 Subramanian V., Dankoski P., Degertekin L., Khuri-Yakub B., and Saraswat K.C., "Controlled Two-Step Solid-Phase Crystallization for High-Performance Polysilicon TFTs." IEEE Electron Device Lett., **18**, pp. 378-381, 1997.
- 【1-11】 Voutsas A.T. and Hatalis M.K., "Deposition and crystallization of amorphous Si low-pressure chemical vapor deposited films obtained by low-temperature pyrolysis of disilane." J. Electrochem. Soc., **140**, pp. 871-877, 1993.
- 【1-12】 Voutsas A.T. and Hatalis M.K., "Structural characteristics of as deposited and crystallized mixed-phase silicon films." J. Electron. Mat., **23**, pp. 319-330, 1994.
- 【1-13】 Haji L., Joubert P., Stoemenos J., and Economou N.A., “Mode of

- growth and microstructure of polycrystalline silicon obtained by solid-phase crystallization of an amorphous silicon film”, J. Appl. Phys., **75**, pp.3944-3952, 1994.
- 【1-14】 Hatano M., Moon S., and Lee M., Suzuki K, Costas P. Grigoropoulos, “Excimer laser-induced temperature field in melting and resolidification of silicon thin films”, J. Appl. Phys., **87**, pp.36-43, 2000.
- 【1-15】 Rezek B., Nebel C.E., and Stutzmann M., ”Laser beam induced currents in polycrystalline silicon thin films prepared by interference laser crystallization”, J. Appl. Phys., **91**, pp.4220-4228, 2002.
- 【1-16】 James S. Im, H. J. Kim, and Michael O. Thompson, “Phase transformation mechanisms involved on excimer laser crystallization of amorphous silicon films,” Appl. Phys. Lett., **63**, pp.1969~1971, 1993.
- 【1-17】 James S. Im and H. J. Kim, “On the super lateral growth phenomenon observed in excimer laser-induced crystallization of thin Si films”, Appl. Phys. Lett., **64**, pp.2303-2305, 1994
- 【1-18】 胡國仁， ” 金屬誘發側向結晶應用於低溫多晶矽薄膜電晶體-結晶成長之熱力學、動力學極電晶體元件效能”，國立交通大學工學院材料科學與工程學系 博士論文，pp.4-8 中華民國 九十四年十月。
- 【1-19】 Aoyama T., Kawachi G., Konishi N., Suzuki T., Okajima Y., and Miyata K., “Crystallization of LPCVD silicon films by low temperature annealing.” J. Electrochem. Soc., **136**, pp. 1169-1173, 1989.
- 【1-20】 Jin Z., Bhat G. A., Yeung M., Kwok H. S. and Wong M., “Nickel induced crystallization of amorphous silicon thin films.” J. Appl. Phys., **84**, pp. 194-200, 1998.
- 【1-21】 Hempel T., Schoefeld O., and Syrowatka F., “Needle-like crystallization of Ni doped amorphous silicon thin films.” Solid State Commun., **85**, pp. 921-924, 1993.
- 【1-22】 Lee S. K., Ihn T. H., and Joo S. K., “Low Temperature Poly-Si Thin-Film Transistors Fabrication by Metal-Induced Lateral Crystallization.” IEEE Electron Device Lett., **17**, pp. 407-409, 1996.
- 【1-23】 Haque M. S., Naseem H. A., and Brown W. D., “Aluminum-induced crystallization and counter-doping of phosphorous-doped hydrogenated amorphous silicon at low temperatures”, J. Appl. Phys., **79**, pp.

7529-7536, 1996.

- 【1-24】 Hultman L., Robertsson A., Hentzell H. T. G., Engström I., and Psaras P. A., “Crystallization of amorphous silicon during thin-film gold reaction”, J. Appl. Phys., **62**, pp. 3647-3655, 1987.
- 【1-25】 Yoon S. Y., Kim K. H., Kim C. O., Oh J.Y. and Jang J., “Low temperature metal induced crystallization of amorphous silicon using a Ni solution”, J. Appl. Phys., vol. **82**, pp. 5865-5867, 1997.
- 【1-26】 Quli F. A. and Singh J., “Transmission electron microscopy studies of metal-induced crystallization of amorphous silicon” ,Materials Science and Engineering, **B67**, pp. 139-144 , 1999.
- 【1-27】 Jin Z., Bhay G. A., Yeung M., Kwok H. S. and Wong M., “Nickel induced crystallization of amorphous silicon thin films”, J. Appl. Phys., **84**, pp.194-200, 1998.
- 【1-28】 Hempel T. and Schoefeld O., “Needle-like crystallization of Ni doped amorphous silicon thin films”, Solid State Commun., **85**, p.921, 1993.
- 【1-29】 Lee S. W., Jeon Y. C. and Joo S. K., “Pd induced lateral crystallization of amorphous Si thin films”, Appl. Phys. Lett., **66**, pp. 1671-1673, 1995.
- 【1-30】 Lee S. W., Lee B. I., Kim T. K., and Joo S. K., “Pd₂Si-assisted crystallization of amorphous silicon thin films at low temperature”, J. Appl. Phys., **85**, pp. 7180-7184, 1999
- 【1-31】 Guliantz E. A., Anderson W. A., Guo L. P., Guliantz V., “Transmission electron microscopy study of Ni silicides formed during metal-induced silicon growth”, Thin Solid Films, **385**, pp. 74-80, 2001.
- 【1-32】 Hayzelden C., Batstone J.L., “Silicide formation and silicide-mediated crystallization of nickel-implanted amorphous silicon thin films”, J. Appl. Phys., **73**, pp. 8280-8289 , 1993.
- 【1-33】 胡晟民, “金屬誘發非晶矽薄膜側向結晶-成長機制、金屬捉聚與低溫複晶矽薄膜電晶體效能之研究”, 國立交通大學工學院材料科學與工程學系 博士論文, pp.9, 中華民國 九十七年六月.
- 【1-34】 Kuznetsov A. Yu., and Svensson B. G., “Nickel atomic diffusion in amorphous silicon”, Appl. Phys. Lett., **66**, pp. 2229-2231, 1995.
- 【1-35】 Yue Kuo, “THIN FILM TRANSISTORS-Materials and Processes” Volume 2-Polycrystalline Silicon Thin Film Transistors”, Kluwer

- Academic Publisher Group, pp. 236, 2004.
- 【1-36】 Yue Kuo, “THIN FILM TRANSISTORS-Materials and Processes” Volume 1-Amorphous Silicon Thin Film Transistors”, Kluwer Academic Publisher Group, pp. 183-202. 2004.
- 【1-37】 Yue Kuo, “THIN FILM TRANSISTORS-Materials and Processes” Volume 2-Polycrystalline Silicon Thin Film Transistors”, Kluwer Academic Publisher Group, pp. 146-175, 2004.
- 【1-38】 Lee M.C., Nam W.J. and Han M.K., “A New Polysilicon TFT with Air-Cavity”, Physica Scripta., **T101**, pp.188-191, 2002.
- 【1-39】 Mishima Y. and Ebiko Y., “Improved Lifetime of Poly-Si TFTs With a Self-Aligned Gate-Overlapped LDD Structure”, IEEE Trans. Electron Devices, **49**, pp.981-985, 2002.
- 【1-40】 Yeh C.F. and Chern C.H., “Improved I-V Characteristics of Polysilicon Thin Film Transistors with Novel Dual-Buffer Drain Structure “, Jpn. J. Appl. Phys., **33**, pp.643~648, January 1994.
- 【1-41】 Cao M., King T., and Saraswat K., “Determination of the densities of gap states in hydrogenated polycrystalline Si and Si_{0.8}Ge_{0.2} films,” Appl. Phys. Lett., **61**, pp.672-674, 1992.
- 【1-42】 Mandurah M., Saraswat K.C., Helms C.R. and Kamins T.I., “ Dopant segregation in polycrystalline silicon”, J. Appl. Phys., **51**, pp. 5575-5763, 1980.
- 【1-43】 Fripp A.L., “Dependence of resistivity on the doping level of polycrystalline silicon”, J. Appl. Phys., **46**, pp. 1240-1244, 1975.
- 【1-44】 Kamins T.I., “ Hall mobility in chemically deposited sil polycrystalline icon”, J. Appl. Phys., **42**, pp. 4357-4365, 1971.
- 【1-45】 Yoon S.Y., Young N., Van der Zaag P.J., and McCulloch D., “High-Performance Poly-Si TFTs Made by Ni-Mediated Crystallization Through Low-Shot Laser Annealing”, IEEE Electron Device Lett., **24**, pp. 22-24, January 2003.
- 【1-46】 Miyasaka M., Shimoda T., Makihira K., Asano T., Be la Pecz and Stoemenos J., “Structural Properties of Nickel Metal-Induced Laterally Crystallized Silicon Films and Their Improvement Using Excimer Laser Annealing” Jpn. J. Appl. Phys., **42**, pp.2592-2599, 2003.

- 【1-47】 Jagar S., Wang H., and Chan M., “Design Methodology of the High Performance Large-Grain Polysilicon MOSFET”, IEEE Trans. Electron Devices, **49**, pp. 795-801, 2002.
- 【1-48】 Malhi S. D. S., Shichijo H., and Lam H. W., “Characteristics and three-dimensional integration of MOSFETs in small-grain LPCVD polycrystalline silicon,” IEEE Trans. Electron Devices, **32**, pp. 258-281, 1985.
- 【1-49】 Wu I.W., Huang T.Y., Jackson W.B., Lewis A.G., and Chiang A., “Passivation kinetics of two types of defects in polysilicon TFT by plasma hydrogenation”, IEEE Electron Device Lett., **12**, pp. 181-183, 1991.
- 【1-50】 Wang F. S., Huang C. Y., Cheng H. C., “Novel N₂O plasma passivation on polycrystalline silicon thin-film transistors,” Materials Research Society Symposium - Proceedings, **424**, Flat Panel Display Materials, pp 177-181, 1996.
- 【1-51】 Tsai M. J., Wang F. S., Cheng K. L., Wang S. Y., Feng M. S., and Cheng H. C., “Characterization of H₂/N₂ plasma passivation process for poly-Si thin film transistors (TFTs)”, Solid-State Electronics, **38**, pp. 1233-1238, 1995.
- 【1-52】 Yu C. M., Lin H. C., Huang T. Y., and Lei T. F., “H₂ and NH₃ Plasma Passivation on Poly-Si TFTs with Bottom-Sub-Gate Induced Electrical Junction,” J. Electrochem. Soc., **150**, pp. G843-G848, 2003.
- 【1-53】 Cheng H. C., Wang F. S., and Huang C. Y., “Effects of NH₃ plasma passivation on N-channel polycrystalline silicon thin-film transistors,” IEEE Trans. Electron Devices, **44**, pp 64-68, 1997.
- 【1-54】 Myers S. M., Seibt M., and Schröter W., “Mechanisms of transition-metal gettering in silicon”, J. Appl. Phys., **88**, p. 3795, 2000.
- 【1-55】 Gay N., Martinuzzi S., Solid St. Phenom., “Comparison of external gettering efficiency of phosphorus diffusion, aluminium-silicon alloying and helium implantation in silicon wafers”, **57-58**, pp.115, 1997.
- 【1-56】 Mizuki T., Matsuda J.S., Nakamura Y., Takagi J., and Yoshida T., " Large Domains of Continuous Grain Silicon on Glass Substrate for High-Performance TFTs " , IEEE Trans. Electron Devices, **51**, pp.

204-211, 2004.

【1-57】 http://www.arconet.com.tw/ssttpro/tech/tech_1.asp?idxid=119



第二章 Oxide/Si 界面對鎳誘發側向結晶複晶矽薄膜電晶體的影響

2.1 研究背景回顧

在LTPS製程技術中，金屬誘發結晶/金屬誘發側向結晶(MIC/MILC)相較於固相結晶與準分子結晶具有較低的熱預算(Thermal Budget)及較低的製造設備成本優勢。Ni是最廣泛使用的金屬，故又稱NIC/NILC，相較於Al或Pd，以Ni為前驅物的結晶技術是一種可以得到高品質的複晶矽薄膜的技術。而Ni在350°C左右即可與a-Si形成NiSi₂(Nickel Disilicide)，由於NiSi₂的晶格常數與Si非常相近，因此，以其為晶種誘發結晶，可降低非晶矽結晶所需的能障，使得結晶溫度降低。

2.1.1 鎳金屬誘發側向結晶(NILC)與固相結晶(SPC)

在1999年Gururaj A. Bhat及Z. Jin等人^[2-1]曾比較過NILC與SPC所製作的TFT在電性上的差異，如圖2.1所示的I_D-V_G特性曲線圖。由圖中可以看出SPC TFT在V_D為0.1V時擁有較低的漏電流，約為0.8Pa，而電子遷移率、次臨界斜率及開啟電流的表現均不如NILC TFT。這是因為由SPC所製作的多晶矽薄膜電晶體其晶粒(Grain)小，晶界(Grain Boundary)比例高，在晶界中的懸鍵(Dangling Bonds)形成的深態位(Deep State)會捕捉載子而造成載子的傳導率下降，如圖2.2所示的示意圖。而NILC所製作的薄膜電晶體改善了以上這些問題。

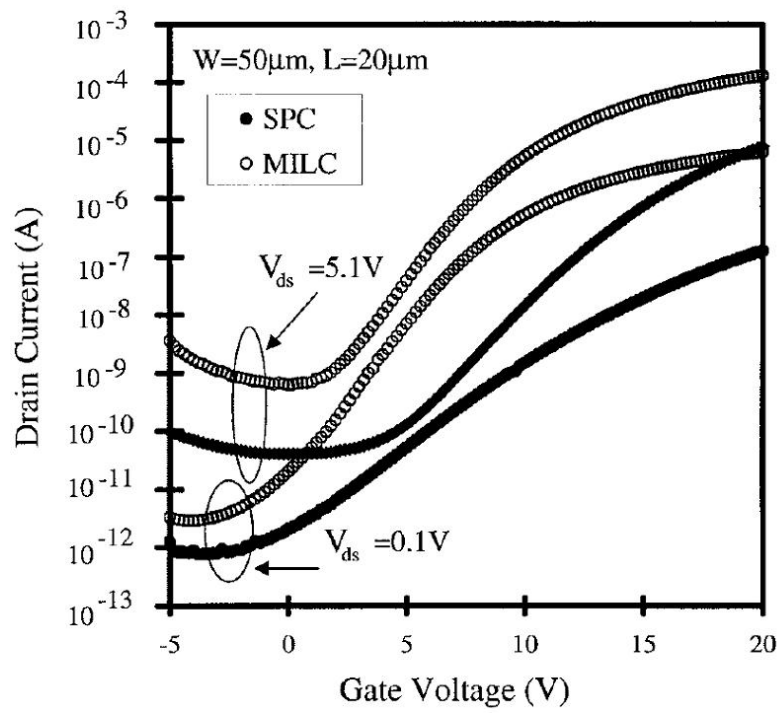


圖2.1 SPC TFT與NILC TFT的 I_D - V_G 特性曲線圖^[2-1]。

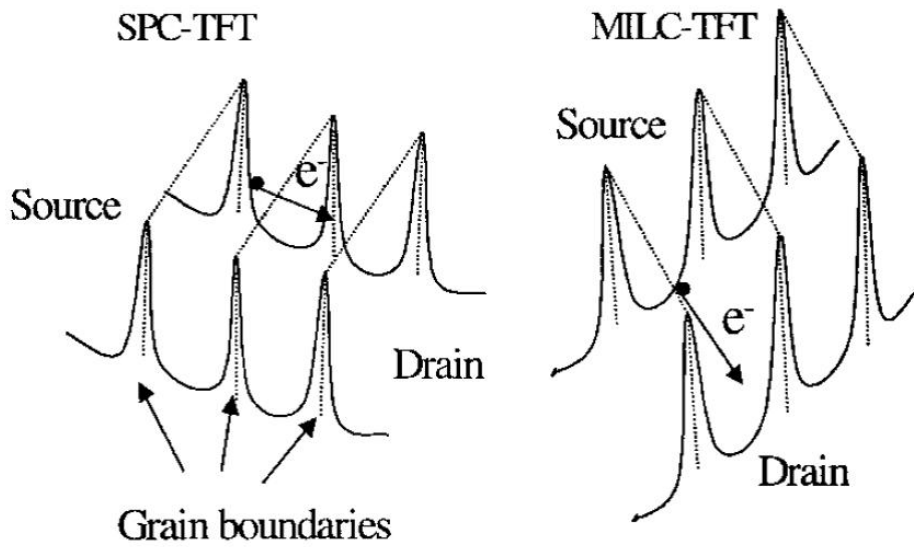


圖2.2 在NILC-TFT 和SPC-TFT中晶界所形成的勢壘^[2-1]。

2.1.2 氧對NILC之影響

以鎳金屬誘發結晶技術目前被熱烈的研究中。在2003年Y.D Lin及Sermon Wu等人^[2-2]報導過，當Ni(鎳, Nickel)及NiO(氧化鎳, Nickel Oxide)在550°C下對a-Si(Amorphous Silicon)薄膜誘發側向結晶，並在退火過程中通N₂及O₂氣氛，發現其結晶速率並沒有太大的影響，而在此研究中從TEM(穿透式電子顯微鏡, Transmission Electron Microscopy)的分析上發現在Si薄膜上方會形成一層約2奈米厚的氧化層，而這層氧化矽的生成是(a)消耗了a-Si薄膜本身的厚度及(b)產生了一個新的Oxide/a-Si的界面，但這些結構上的改變並不會影響NILC的成長速率。

2.2 研就動機

由以上的簡介我們知道在進行NILC製程時，在Si薄膜表面會形成一層非常薄的氧化矽，而這層氧化矽的生成是消耗了a-Si薄膜本身的厚度並產生了一個新的Oxide/a-Si的界面。因此本次研究則是在a-Si薄膜結晶化之前另外以PECVD沉積一層TEOS-Oxide(四乙基正矽酸鹽氧化物, Tetraethyl Orthosilicate-Oxide)再進行NILC製程，並製作成TFT，探討不同機制生成的氧化層在NILC製程中造成的影響。同時也以相同製程在a-Si上方有/無覆蓋TEOS-Oxide，分別製作了一組SPC TFT作為對照組，並對電性方面作詳盡的探討。接下來將詳細討論Oxide/a-Si界面對鎳金屬誘發側向結晶造成什麼影響。

2.3 研究方法

2.3.1 鎳金屬誘發結晶及固相結晶之a-Si試片製備

實驗試片的製備。首先在(100 p-type)的四吋矽晶圓(Silicon Wafer)上以濕式氧化的方式成長5000Å的SiO₂層，如反應式(1)：



此步驟是為了要模擬平面顯示器的玻璃基板(Glass Substrate)，在成長氧化層之前，先以傳統的 RCA clean 清洗矽晶圓(Silicon Wafer)，其流程如下表 2-1：

表 2-1 RCA clean 步驟

去離子水沖洗	5 分鐘
硫酸：雙氧水 = 3：1 (75~85°C)	15 分鐘
去離子水沖洗	5 分鐘
氟氟酸：去離子水 = 1：100	15 秒
去離子水沖洗	5 分鐘
氨水：雙氧水：去離子水 = 0.25：1：5 (75~85°C)	15 分鐘
去離子水沖洗	5 分鐘
鹽酸：雙氧水：去離子水 = 6：1：1 (75~85°C)	15 分鐘
去離子水沖洗	5 分鐘
氟氟酸：去離子水 = 1：100	15 秒
氮氣吹乾	

而在成長完氧化層之後，利用 LPCVD(低壓化學沉積系統，Low Pressure Chemical Vapor Deposition)成長 1000 Å 的 a-Si，其 LPCVD 的參數如表 2-2：

表 2-2 LPCVD 沉積非晶矽的參數

通入氣體	操作溫度(°C)	壓力(mtorr)	流量(sccm)
SiH ₄	550	100	40

利用黃光微影將主動區圖形顯影在 a-Si 層上，並以 Poly RIE 乾蝕刻(Dry Etch)定義出主動區，此時即完成 SPC 之 a-Si 試片的備製。NILC 之 a-Si 試片會再以黃光微影在 a-Si 主動區上顯影出一條狀圖形，隨後用 E-beam 蒸鍍(Electron Beam Evaporation) 在試片鍍覆 50Å 的鎳，最後用 Lift-off 將多餘光阻及鎳移除，留下鎳金屬線(Metal line)圖形。製備流程如圖 2-3 所示。

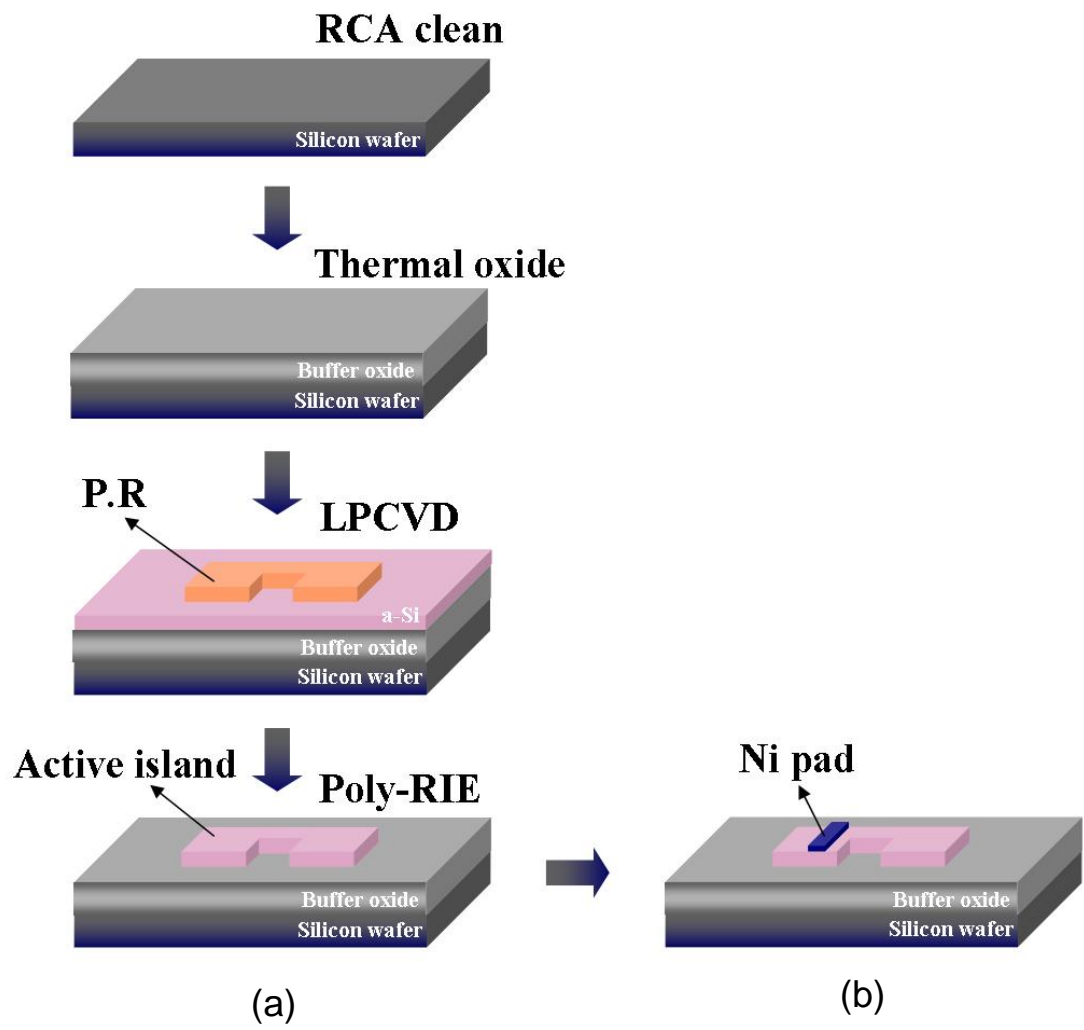


圖 2-3 試片備置流程，(a)SPC 之 a-Si 試片，(b)NILC 之 a-Si 試片。

2.3.2 金屬誘發結晶與固相結晶之複晶矽試片退火條件

本實驗使用的設備如圖 2.4 所示的傳統爐管退火(CFA, Conventional Furnace Annealing), 型號為 Lindberg/Blue M Tub Furnace, 退火條件是在定溫常壓下通入氮氣氣氛下進行, 退火溫度分別為 500°C、520°C、550°C。



圖 2.4 Lindberg/Blue M Tub Furnace 機台。

2.3.3 試片分析

上述 NILC 試片和 SPC 試片均以相同的參數進行退火動作，以 OM 觀察試片金屬誘發結晶的現象以及顯微結構，並利用 SEM(掃描式電子顯微鏡，Scanning Electron Microscope)如圖 2.5 所示，儀器型號為 JEOL JSM6700F，配合 Secco Etching^[2-3]溶液蝕刻來觀察 NILC 複晶矽的顯微結構做分析比較。



圖 2.5 JEOL JSM6700F SEM 儀器。

2.3.4 金屬誘發結晶與固相結晶複晶矽薄膜電晶體元件製備

在複晶矽薄膜電晶體的製作上，則是分別在 a-Si 上方有/無覆蓋一層 TEOS-Oxide 進行 NILC，製作成 TFT(薄膜電晶體，Thin Film Transistor)比較其電特性，同時也以相同方式製作一組 SPC TFT 作為對照，並對電性方面作詳盡的探討。電晶體結構如圖 2.6 所示，製作流程如下：

1. 以傳統的 RCA clean 清洗 Silicon wafer。
2. 使用 Furnace 成長 5000Å 的 SiO₂，模擬 Glass substrate。
3. 使用 LPCVD 成長 1000Å 的 a-Si，預備作為結晶化材料。
4. 利用黃光微影系統顯影出主動層(mask1)。
5. 使用 RIE dry etch 定義出主動層。
6. 以 H₂SO₄ + H₂O₂ 溶液移除光阻，並以 HF + H₂O 溶液蝕刻 Chemical oxide。
7. NILC TFT sample：

(a)利用黃光微影系統顯影出 matel line。

(b)使用 E-beam 鍍覆 Ni line，並利用丙酮(Actone)以 Lift-off 方式將多餘光阻及 Ni 移除。

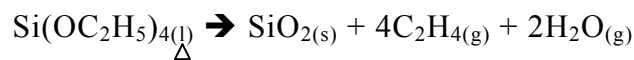
SPC TFT sample：

(a) 無製程處理。

CO-NILC TFT sample (Cover Oxide-NILC TFT)：

(a) 以 RCA clean 清洗主動層表面。

(b) 使用 PECVD 沉積 1000Å 的 TEOS-oxide，反應式如式(2)。



(c) 利用黃光微影系統顯影出 matel line。

(d) 以 BOE(Buffer oxide etch)溶液蝕刻 matel line 接觸窗。

(e) 使用 E-beam 鍍覆 Ni line，並利用丙酮(Actone)以 Lift-off 方式將多餘光阻及 Ni 移除。

CO-SPC TFT sample (Cover Oxide-SPC TFT)：

(a) 以 RCA clean 清洗主動層表面。

(b) 使用 PECVD 沉積 1000Å 的 TEOS-oxide。

8. 使用 CFA 退火，溫度為 540°C 通入氮氣進行退火，退火時間為 36 小時。

9. 以 $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ 溶液移除 Ni line，浸泡時間為 20 分鐘，並以 $\text{HF} + \text{H}_2\text{O}$ 溶液蝕刻 Chemical oxide。
10. RCA clean
11. NILC TFT sample :
 - (a) 使用 PECVD 沉積 1000\AA 的 TEOS-oxide。
- SPC TFT sample :
 - (a) 使用 PECVD 沉積 1000\AA 的 TEOS-oxide。
- CO-NILC TFT sample (Cover Oxide-NILC TFT) :
 - (a) 無製程處理。
- CO-SPC TFT sample (Cover Oxide-SPC TFT) :
 - (a) 無製程處理。
12. 使用 LPCVD 沉積厚度為 1200\AA 的 a-Si 膜作為 gate。
13. 利用黃光微影系統定義出 Gate(Mask2)
14. 使用 RIE dry etch 將 Poly-gate 定義出來
15. 以 $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ 溶液移除光阻，並以 $\text{HF} + \text{H}_2\text{O}$ 溶液蝕刻 Chemical oxide。
16. 使用離子佈植製程(Ion implantation)定義毆母接觸區域。
(佈植元素： PH_3 ；能量： 35 keV ；劑量： $5 \times 10^{15}\text{ ions/cm}^2$)
17. 活化製程(Activation): 在 600°C 進行 12 小時活化。
18. 使用 PECVD 沉積 Passivation oxide 4000\AA 。
19. 利用黃光微影系統顯影出金屬電極接觸窗(Contact hole) (Mask3)。
20. 以 BOE 溶液蝕刻金屬電極接觸窗。
21. 以 $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ 溶液移除光阻，並以 $\text{HF} + \text{H}_2\text{O}$ 溶液蝕刻 Chemical oxide。
22. 使用熱蒸鍍(Thermal Coater) 鍍覆厚度為 5000\AA 的 Al 電極。
23. 利用黃光微影系統顯影出源極(Source)、汲極(Drain)及閘極(Gate)的接觸電極(Mask4)。
24. 利用 Al 的蝕刻液進行 source、drain 及 gate 的 Al 電極蝕刻。
25. 利用丙酮將多餘光阻剝離。
26. Al sintering : 400°C , 30min。
27. 電性量測。

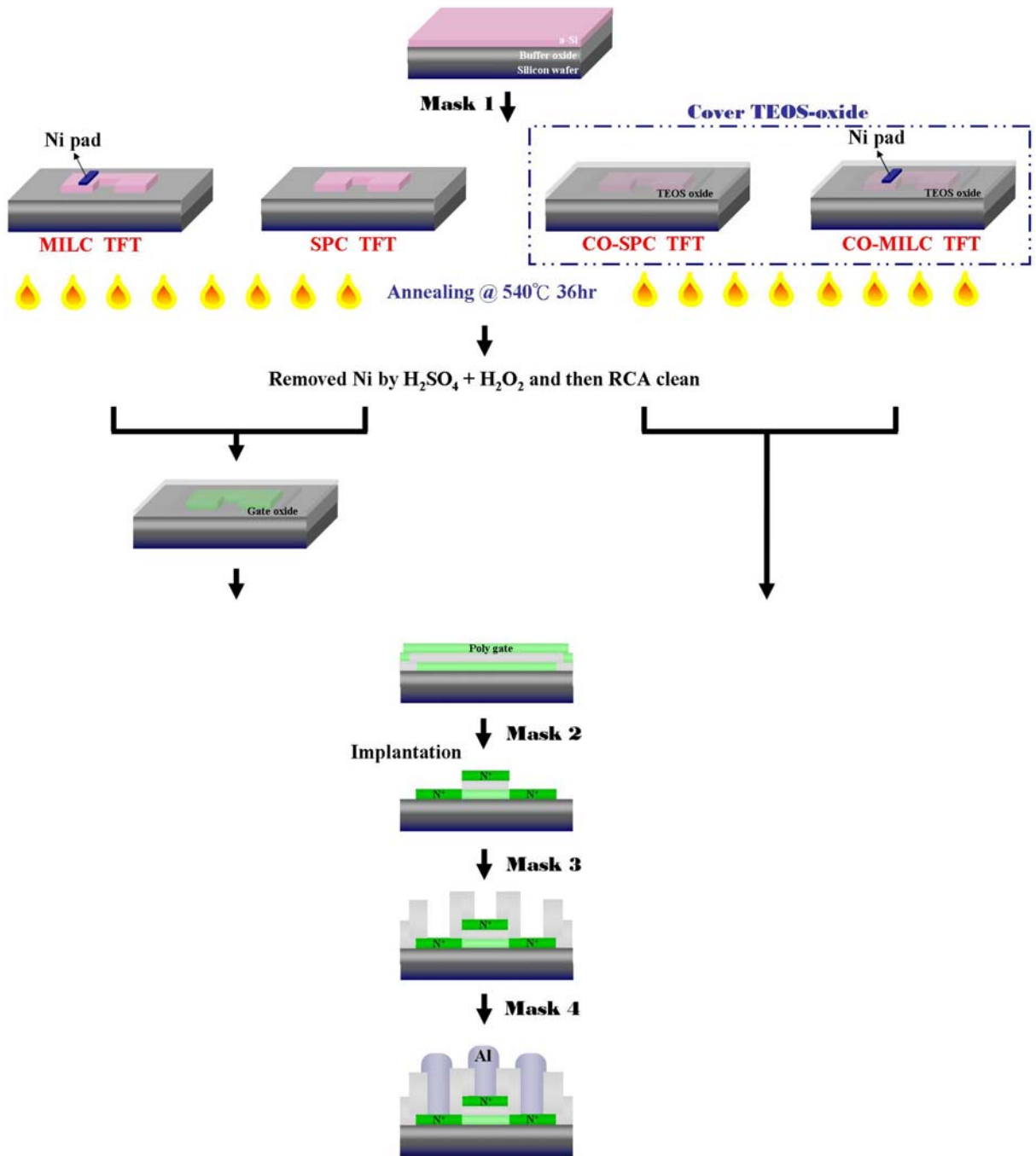


圖 2.6 複晶矽薄膜電晶體元件製作流程圖。

2.4 結果與討論

2.4.1 材料分析

2.4.1.1 NILC 飽和長度與 SPC 的生成

如前述，我們將試片選擇在常壓氮氣氣氛下分別以 500°C、520°C、550°C 的溫度下以不同時間進行退火，比較 NILC 試片與 SPC 試片的結晶現象有何不同。圖 2.7(a)(b)分別為 500°C 退火 25 小時及 50 小時的 NILC 與 SPC 試片的 OM 圖。由圖 2.7(a)中發現 NILC 試片在 500°C 退火 25 小時尚可分辨出三個不同顏色的區域，深的黃綠色部分為以 E-beam 擇區鍍上 Ni，淺的黃綠色部分為以 NILC 方式結晶的複晶矽，粉紅色部分則是尚未結晶的非晶矽。當試片經過 500°C 50 小時退火後，上述的 NILC 複晶矽的區域與非晶矽的區域色澤以逐漸相近，且 NILC 由一開始的等速率線性成長到一特定時間開始逐漸減緩至此時便停滯下來，導致這種現象的原因有二，第一為 Ni 來源不足，就是擇區鍍覆上的 Ni 不夠，造成 NILC 無法再向前繼續反應；第二為非晶矽中的 SPC 生成，SPC 的生成使得原本造成 NiSi_2 核向前移動的熱力學驅動力消失，因此造成 NILC 停止進行^[2-4]。為了方便觀察，在試片的製作方面我們將兩組試片以 Secco etching 溶液來做蝕刻，Secco etching 溶液為一種對矽晶界與晶粒具有選擇比的溶液，它能有效的對晶界進行蝕刻，這能幫助我們在 SEM 的觀察上獲得晶粒的形貌與大小，如圖 2.8(a)所示的 SEM 圖，照片拍攝的位置在 NILC 前端。很明顯的當試片在 500°C 退火 25 小時，NILC 針狀結晶晶粒非常清晰，晶粒寬度約為 100nm，長度約為 594nm，而前端出現了些微的 SPC 晶粒，而觀察在 500°C 下退火 50 小時的 NILC 試片已經有大量的 SPC 晶粒形成，如圖 2.8(b)所示。圖 2.9(a)(b)則為 SPC 試片同樣在 500°C 下分別退火 25 小時及 50 小時再經過 Secco etching 處理後拍攝 SEM 照片作為對照。我們再將兩組試片以 520°C 及 550°C 不同溫度下進行退火，如圖 2.10(a)(b)及 2.13(a)(b)所示的 OM 圖，並同樣將試片進行 Secco etching 處理後拍攝 SEM 照片。當 NILC 試片經過 520°C 退火 12 小時後，如圖 2.11(a)所示的 SEM 圖，我們量測 NILC 針狀晶粒的寬度約為 82nm，長度約為 560nm，位置取樣在 NILC 前端，並發現在 NILC 前端尚無 SPC 生成，再觀察 520°C 退火 12 小時的 SPC 試片，同樣沒有發現 SPC 形成，如圖 2.12(a)所示的 SEM 圖。而試片在經過 520°C 退火 24 小時後，如圖 2.11(b)所示的 SEM 圖，可以發現在 NILC 前端區域出現大量的 SPC 晶粒，相

同的情形發生在 520°C 退火 24 小時的 SPC 試片，如圖 2.12(b)所示，及 550°C 退火 6 小時及 9 小時的 NILC 試片的 NILC 前端區域和 SPC 試片，如圖 2.14(a)(b) 及圖 2.15(a)(b)所示的 SEM 圖，量測 NILC 晶粒尺寸其寬度約為 75nm，長度約為 500nm，而由於在 NILC 前端形成大量橢圓形 SPC 晶粒使得原本造成 NiSi₂ 核向前移動的熱力學驅動力消失，因此造成 NILC 停止進行，如圖 2.16 所繪製的示意圖，說明 SPC 晶粒的形成會阻礙 NILC 的 NiSi₂ 誘發結晶的進行，由於當 NiSi₂ 碰到 SPC 晶粒時，Ni 在 SPC 晶粒與 NILC 晶粒間的驅動力會比在非晶矽與 NILC 小，因為 Ni 誘發結晶的驅動力降低了，因此造成其結晶速率變慢。而在 500°C 退火可以得到較大的 NILC 晶粒，推測可能的原因是由於 Ni 在 500°C 下的擴散速率較慢，造成前端的 NiSi₂ 核密度較低，在誘發結晶的過程中，NILC 晶粒較不會受到鄰近的 NILC 晶粒限制而抑制其成長的空間。

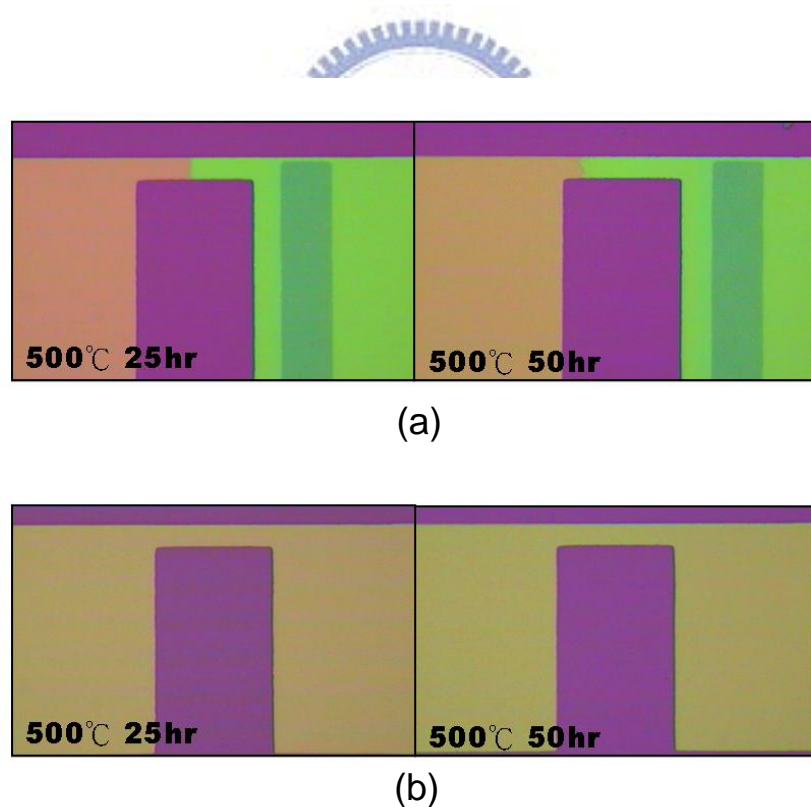


圖 2.7 以 500°C 退火 OM 圖。(a)NILC 試片退火 25 小時及 50 小時；(b)SPC 試片退火 25 小時及 50 小時。

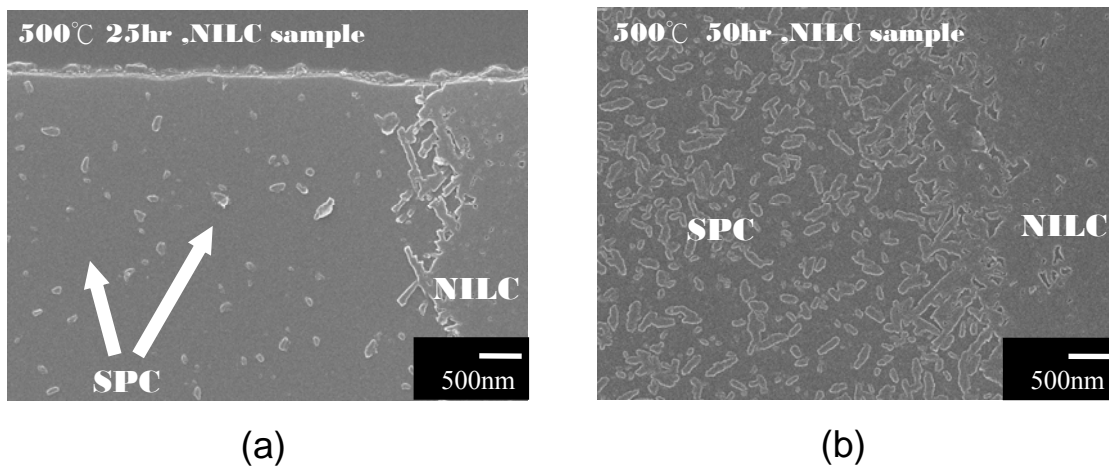


圖 2.8 NILC 試片以 500°C 退火再經過 Secco etching 處理後拍攝 NILC 前端區的 SEM 圖。(a)25 小時；(b)50 小時。

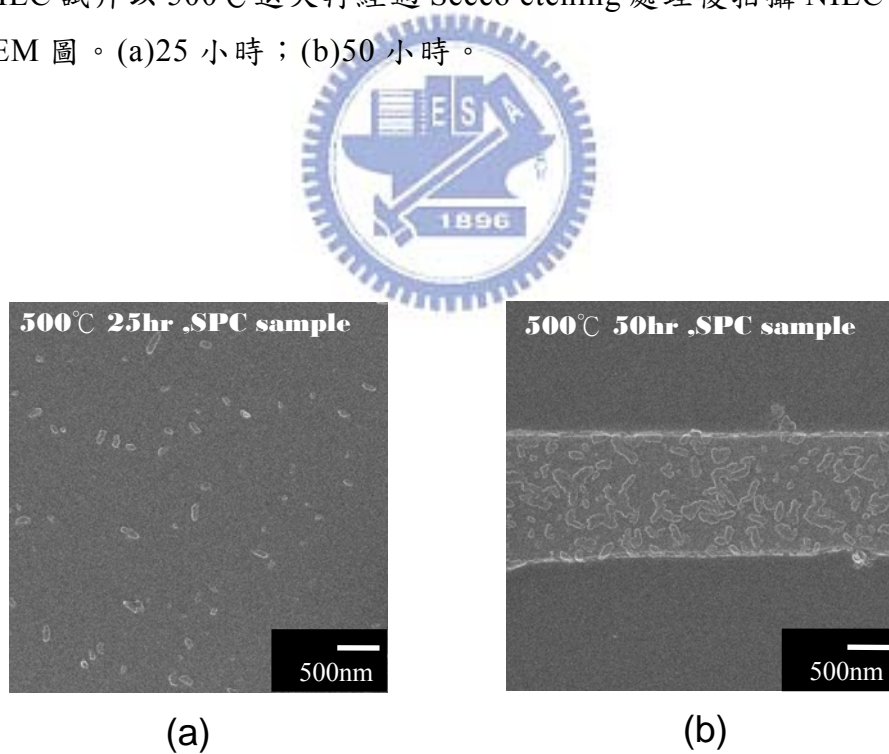
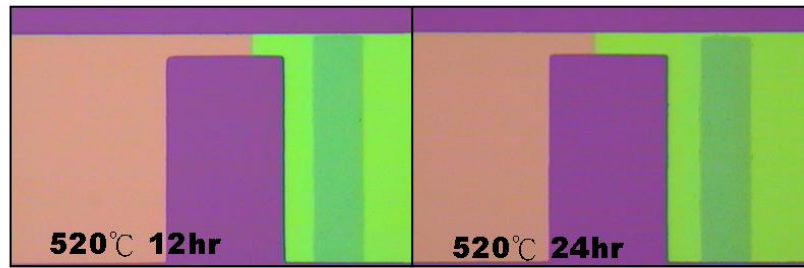


圖 2.9 SPC 試片以 500°C 退火再經過 Secco etching 處理的 SEM 圖。(a)25 小時；(b)50 小時。

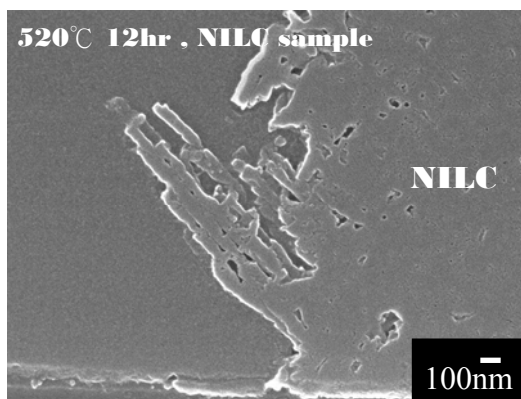


(a)

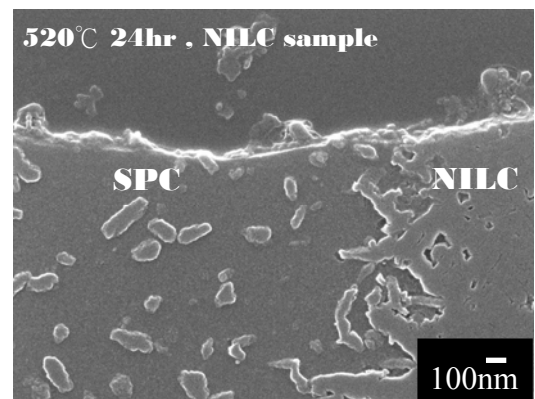


(b)

圖 2.10 以 520°C 退火 OM 圖。(a)NILC 試片退火 12 小時及 24 小時；(b)SPC 試片退火 12 小時及 24 小時。



(a)



(b)

圖 2.11 NILC 試片以 520°C 退火再經過 Secco etching 處理後拍攝 NILC 前端區的 SEM 圖。(a)12 小時；(b)24 小時。

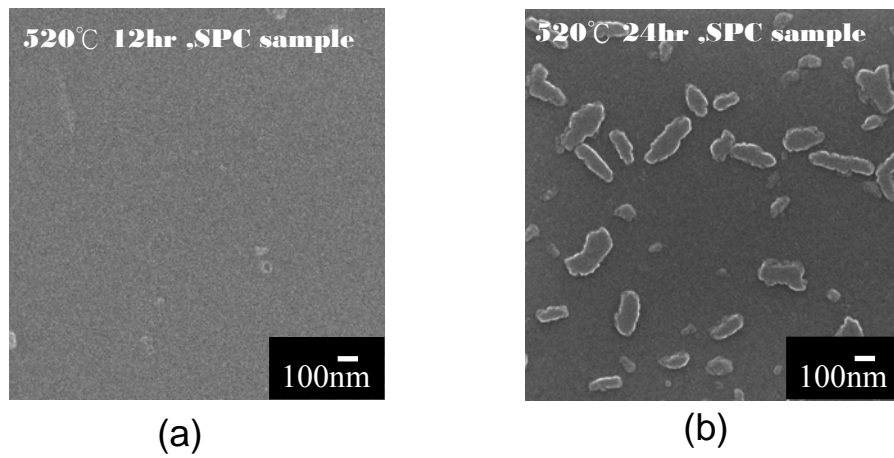


圖 2.12 SPC 試片以 520°C 退火再經過 Secco etching 處理後拍攝的 SEM 圖。(a)12 小時；(b)24 小時。

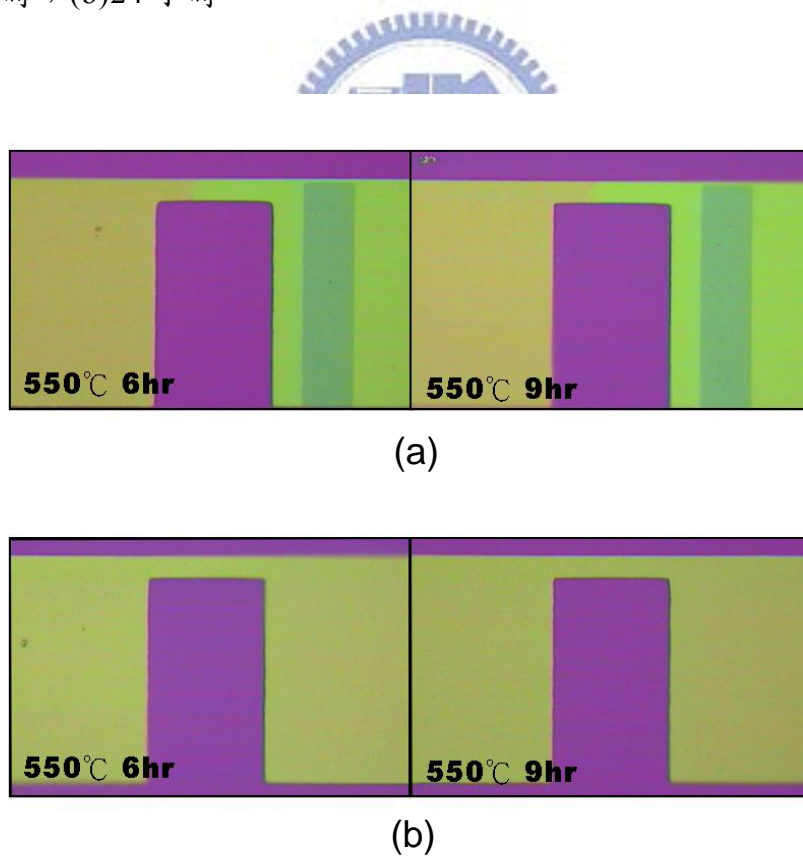
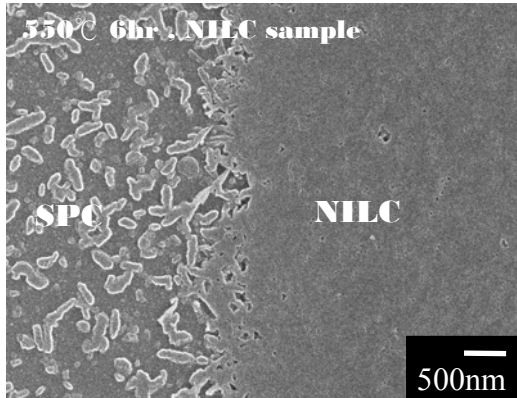
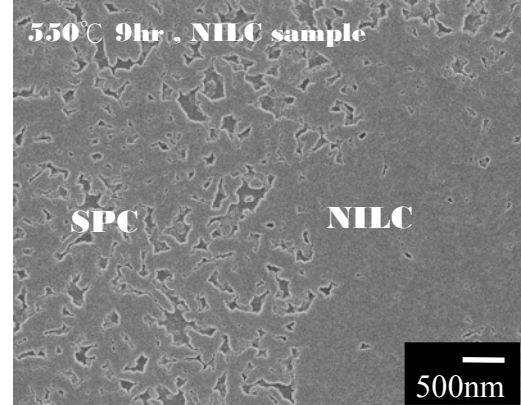


圖 2.13 以 550°C 退火 OM 圖。(a)NILC 試片退火 25 小時及 50 小時；(b)SPC 試片退火 6 小時及 9 小時。

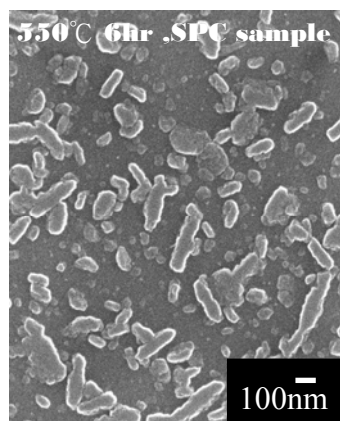


(a)

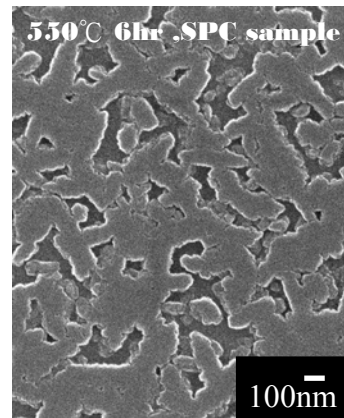


(b)

圖 2.14 NILC 試片以 550°C 退火再經過 Secco etching 處理後拍攝 NILC 前端區的 SEM 圖。(a)6 小時；(b)9 小時。



(a)



(b)

圖 2.15 SPC 試片以 550°C 退火再經過 Secco etching 處理的 SEM 圖。(a)6 小時；(b)9 小時。

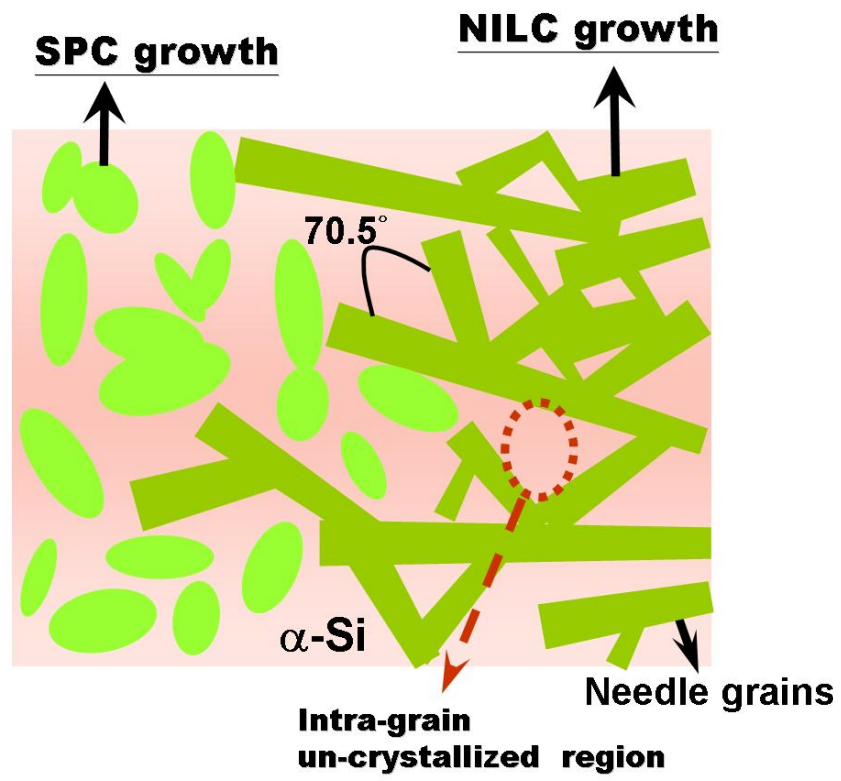


圖 2.16 SPC 晶粒形成阻礙 NILC 結晶示意圖。



2.4.2 NILC 與 SPC 及 CO-NILC 與 CO-SPC 的薄膜電晶體特性比較

2.4.2.1 NILC 與 CO-NILC 的結晶速率

在元件的製作上，我們除了以 NILC 及 SPC 兩種不同結晶技術來製作 TFT 外，如前述的元件備製流程，也製作了一組在主動層上方覆蓋一層 100nm 厚度的 TEOS-oxide，再進行 NILC 及 SPC 結晶製程來製作 TFT，我們將試片代號分別命名為 NILC、SPC、CO-NILC、CO-SPC。經由試片分析我們觀察到在 500°C 下退火可以得到較大的 NILC 晶粒，但比起 550°C 的 NILC 結晶速率，在 500°C 退火進行 NILC 結晶需要非常長的時間才能使 NILC 的晶粒成長超過我們繪製的主動層光罩中通道長度，因為我們希望在後續製程的金屬接觸區域能夠實際涵蓋到 NILC 晶粒，因此在時間效率的考量下，我們選擇以 540°C 進行 NILC 退火。圖 2.17 為 NILC 試片與 CO-NILC 試片的生長曲線圖，退火條件為溫度 540°C 在常壓氮氣氣氛下進行 36 小時退火，我們是以 OM 觀察並測量在不同的退火時間點下 NILC 的成長長度，圖中各曲線有同樣的趨勢也就是一開始以線性方式隨時間增加而 NILC 長度漸長，但到達一定長度後則 NILC 長度增加速率減緩並且最後不再增加，也就是有一飽和長度，如圖 2.18 及圖 2.19 所示的 OM 圖，在試片經過 540°C 退火 36 小時後，從圖中可以明顯看出兩組不同結構的試片，即 NILC 與 CO-NILC，其 NILC 結晶區域均已成長到我們所定義的金屬接觸區，且可由曲線圖及 OM 圖發現 NILC 與 CO-NILC 兩組試片的 NILC 成長速率幾乎相同。

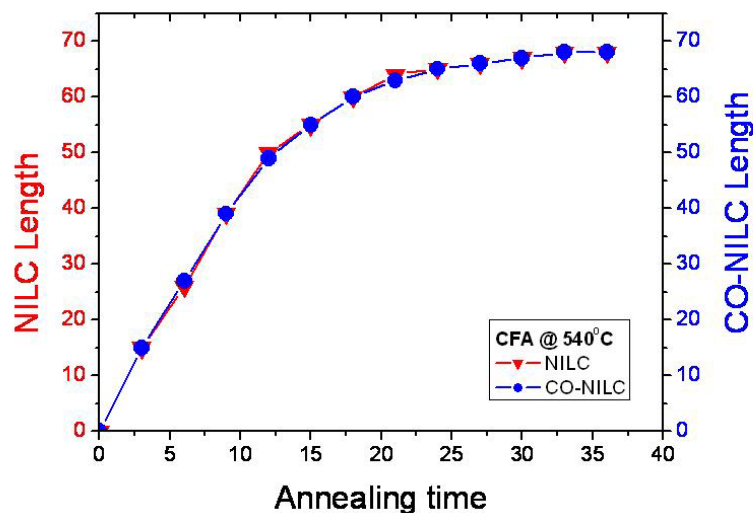


圖 2.17 NILC 試片與 CO-NILC 試片的金屬誘發結晶成長曲線圖。

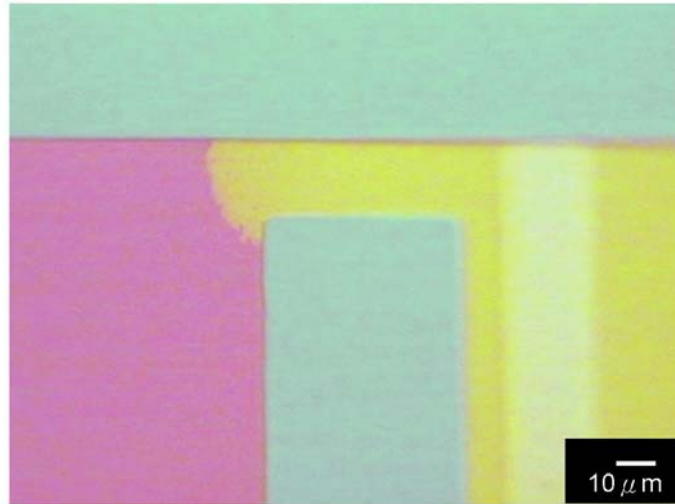


圖 2.18 NILC 試片在 540°C 退火 36 小時的 NILC 長度 OM 圖。

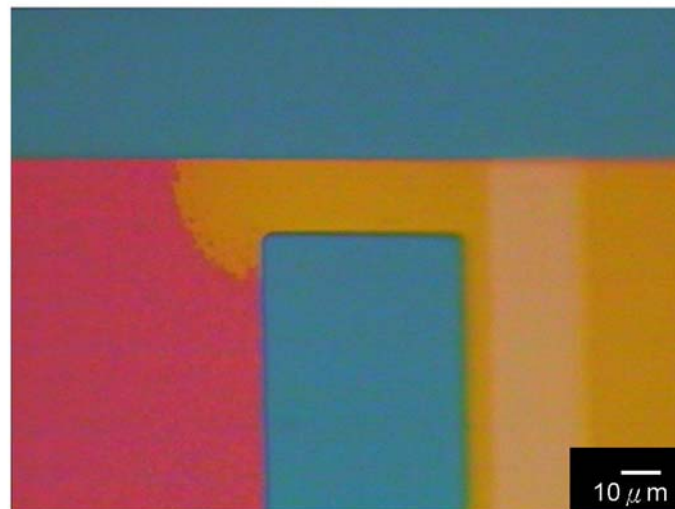


圖 2.19 CO-NILC 試片在 540°C 退火 36 小時的 NILC 長度 OM 圖。

2.4.2.2 Oxide/a-Si 界面對鎳金屬誘發結晶速率的影響

Z. Jin 及 M. Wong 等人^[2-5]曾報導過 Oxide/a-Si 界面對結晶速率的影響。在他們的實驗中，以兩種不同的結構來進行 NILC 的研究，一種是在氧化層上面沉積一層厚度為 100 奈米的 a-Si 後直接鍍上鎳金屬鍵，而另一只樣品則是在相同厚度的 a-Si 薄膜上方還沉積了一層 LTO(低溫氧化層, Low Temperature Oxide)，之後，在 LTO 蝕刻出接觸孔，再鍍上鎳金屬鍵，結構示意圖如圖 2.20 所示。結果發現在經過 550°C 70 小時的退火後，兩組試片的結晶速率相同，如圖 2.21 所示，因此這說明了在 a-Si 上方鎳金屬鍵以外的區域有/無覆蓋氧化層並不會影響到結晶速率。這個結論與我們的觀察結果是一致的，雖是兩組不同結構的試片，即 NILC TFT 與 CO-NILC TFT，但 NILC 的成長速率是一樣的，也就是說在我們的實驗條件中不論是有/無覆蓋氧化矽薄膜皆不會影響 NILC 的成長速率^[2-6]。

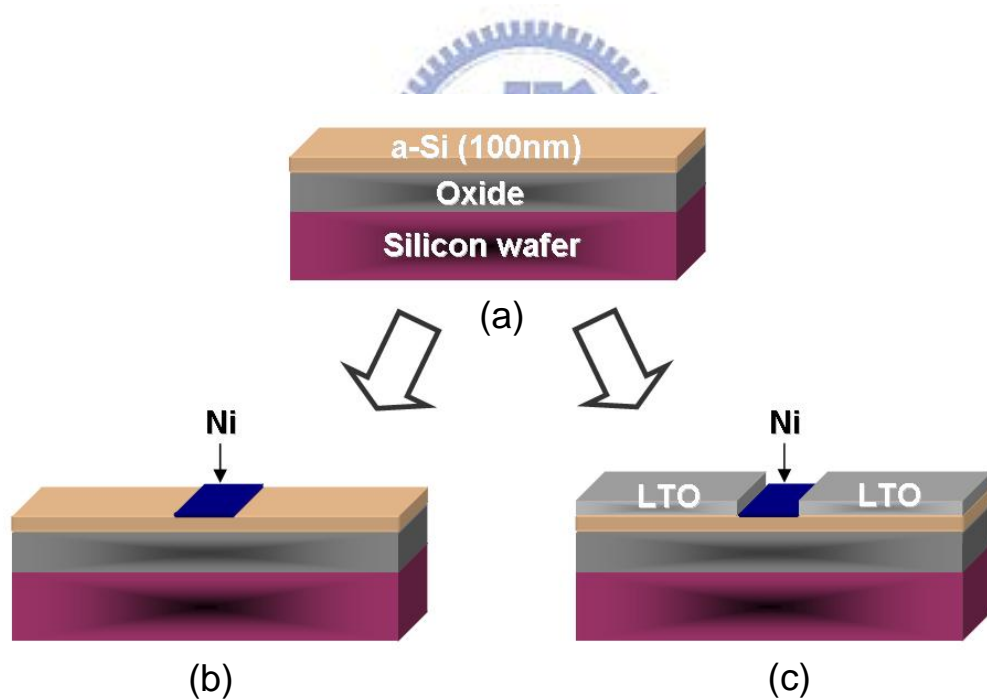


圖 2.20 (a)沉積 a-Si。(b)與(c)分別為不同的 NILC 樣品結構，(b)於 a-Si 上方直接鍍上鎳金屬鍵，(c)在 a-Si 上方沉積 LTO 後，蝕刻接觸孔，再鍍上鎳金屬鍵。

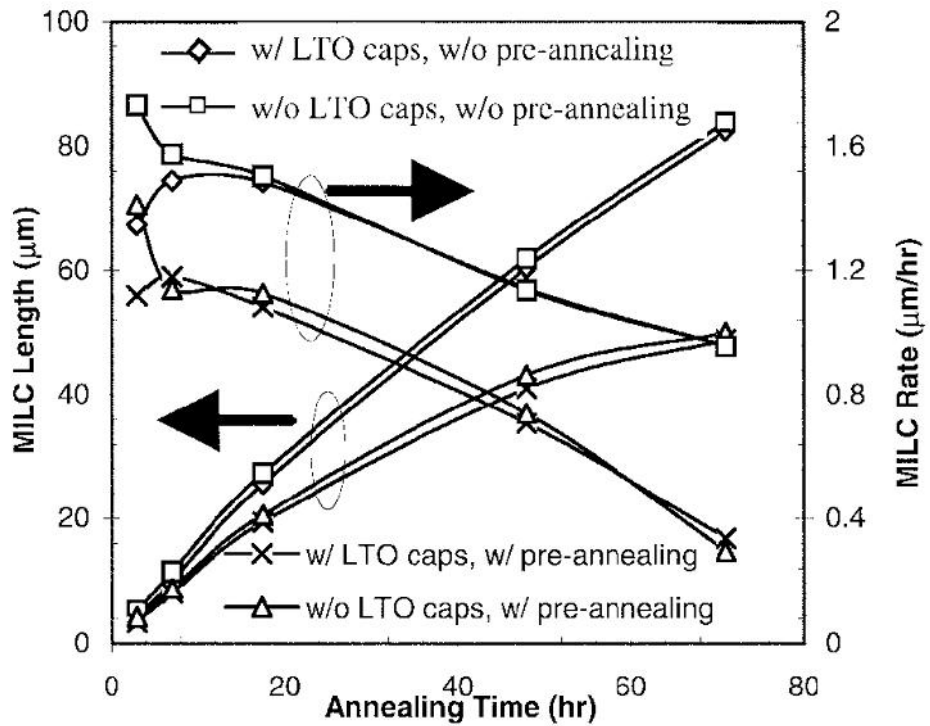


圖 2.21 NILC 長度與速率對時間的關係圖，有/無沉積 LTO 及有/無預先退火對結晶速率的影響^[2-4]。

2.4.2.3 Oxide/a-Si 界面對 NILC TFT 特性之影響

接著我們分別比較 NILC TFT 與 CO-NILC TFT 及 SPC TFT 與 CO-SPC TFT 四組試片的電特性，分別量測各組元件汲極電流對閘極電壓轉移特性曲線 (I_d - V_g Transfer Characteristics)，量測儀器是使用 Keithley SCS4200 參數分析儀，量測的元件尺寸為 $W=10\mu\text{m}$ 、 $L=10\mu\text{m}$ 。我們比較了電性中常見的五種參數，依序為(a)電子遷移率(Mobility)、(b)次臨界斜率(Subthreshold Slope)及(c)臨界電壓(Threshold Voltage)是在操作電壓 ($V_d=5\text{V}$) 的狀態下做量測、(d)開/關電流比 (On Off ratio) 和 (e) 最小電流 / 通道寬度 (Minimum Leakage Current/Channel Width)是在 $V_d=0.1\text{V}$ 的狀態下量測。其中電子遷移率由公式 (2-1) 導出：

$$\mu_{fe} = \frac{L}{W} \times \frac{g_m}{C_{ox} V_D} \quad 2-1$$

μ_{fe} 為電子遷移率， L 為通道長度， W 為通道寬度， g_m 為轉移電導 (Transconductance)， C_{oxide} 為閘極氧化層電容， V_D 為操作電壓。

次臨界斜率則是以 I_d - V_g 特性曲線之斜率的倒數決定。

臨界電壓的計算方法是使用定電流法，在 $V_D=0.1\text{V}$ 的狀況下，額訂一 I_D 值，其 I_D 值計算由公式 (2-2) 決定，而將此 I_D 值對應到其相對的 V_G ，此對應的 V_G 即所謂的 V_{th} 。

$$I_d = \frac{W}{L} \times 10\text{nA} \quad 2-2$$

開/關電流比的部分， I_{on} 是取決於 $V_d=5\text{V}$ 的最大電流值，而 I_{off} 部分是看最小電流值。

最小電流/通道寬度則是 $V_d=5\text{V}$ 下最小電流值除以通道寬度所得。

圖 2.22 為 NILC TFT 與 CO-NILC TFT 的 I_d - V_g 轉移特性曲線圖，圖 2.23 為 SPC TFT 與 CO-SPC TFT 的 I_d - V_g 轉移特性曲線，表 2.3 為 NILC TFT、CO-NILC TFT 元件電性的比較。

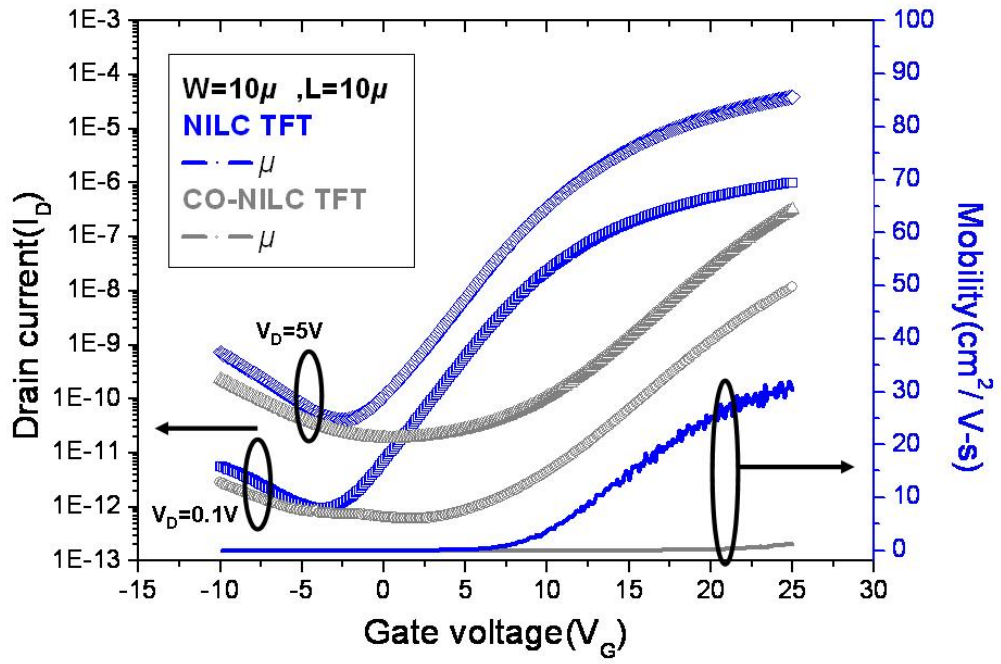


圖 2.22 NILC TFT 與 CO-NILC TFT 的 I_d - V_g 轉移特性曲線圖。

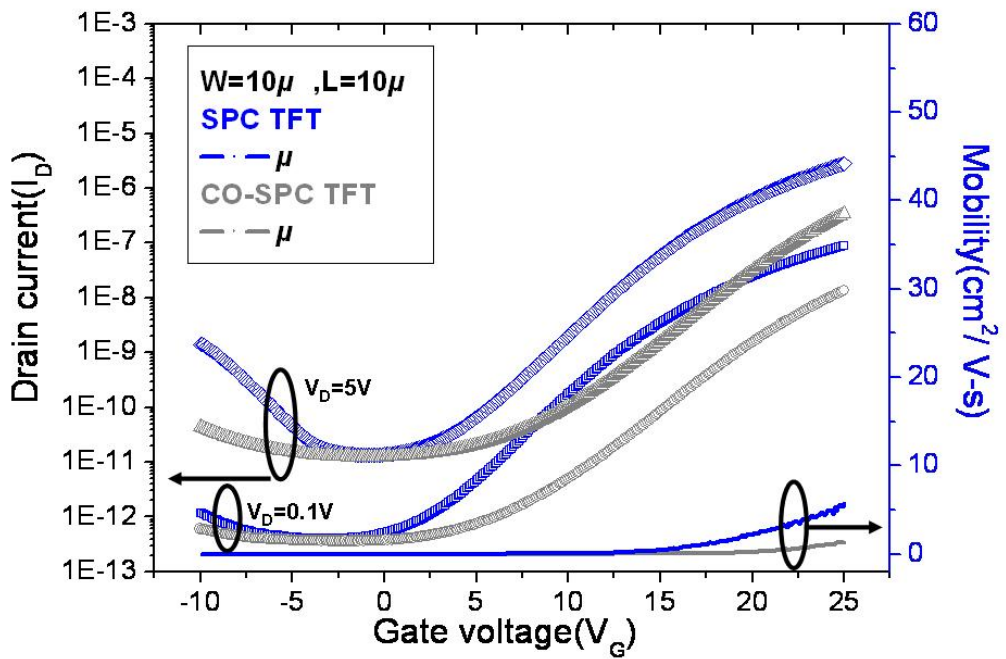


圖 2.23 SPC TFT 與 CO-SPC TFT 的 I_d - V_g 轉移特性曲線圖。

表 2-3 NILC TFT、CO-NILC TFT、SPC TFT 與 CO-SPC TFT 電性參數比較表

W/L=10μm/10μm	NILC TFT	CO-NILC TFT	SPC TFT	CO-SPC TFT
Mobility (cm ² /V-s)@V _D =0.1V	31.8±6	1.3±0.5	5.51±6	1.33±5
Subthreshold Slope (V/dec.)@ V _D =0.1V	2.34±0.4	2.75±0.5	2.74±0.4	3.26±0.5
Threshold Voltage (V) @V _D =0.1V	8.61±2	24.6±3	17.46±2	24.17±3
On/Off ratio current (10 ⁵) @V _D =5V	9.46±2	0.17±2	2.12±2	2±2
Minimum leakage current / channel width (pA/ μ m) @V _D =5V	4.1±1	1.86±1	1.34±1	1.23±1

由圖 2.22 所示的 I_d - V_g 轉移特性曲線圖及表 2.3 的電性參數比較表中可以發現 NILC TFT 的電子遷移率明顯比 CO-NILC TFT 高出近 30 倍，且 NILC TFT 擁有較低的次臨界斜率及較高的開/關電流比，而漏電流的部份則是以 CO-NILC TFT 較低。接著再量測 SPC TFT 與 CO-SPC TFT，如圖 2.23 所示，發現與前一組試片有同樣的趨勢，CO-NILC TFT 與 CO-SPC TFT 的元件特性表現均較差，比較兩者的 I_d - V_g 轉移特性曲線，如圖 2.24 所示的 CO-NILC TFT 與 CO-SPC TFT 的 I_d - V_g 轉移特性曲線圖及電性參數幾乎非常相似。因此我們對四組 TFT 分別以 Levinson's and Proano's 方法做了捕陷密度的計算。此法是藉由在低 V_D 與高 V_G 的條件下，以 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖求其斜率，其中 V_{FB} 定義為在 $V_D=0.1V$ 下，最小 I_D 所對應的 V_G ，圖 2.25 為 NILC TFT、CO-NILC TFT、SPC TFT、CO-SPC TFT 的 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖。由圖中可以看出在主動層上方覆蓋一層 TEOS-oxide 的元件具有高度的捕陷密度(Trap State Density)，我們推測除了結晶製程技術不同以外，高度的捕陷密度是造成四組元件在電性上的差異的主要原因之一，因此我們將四組試片進行 NH_3 電漿鈍化處理再觀察其元件特性表現。

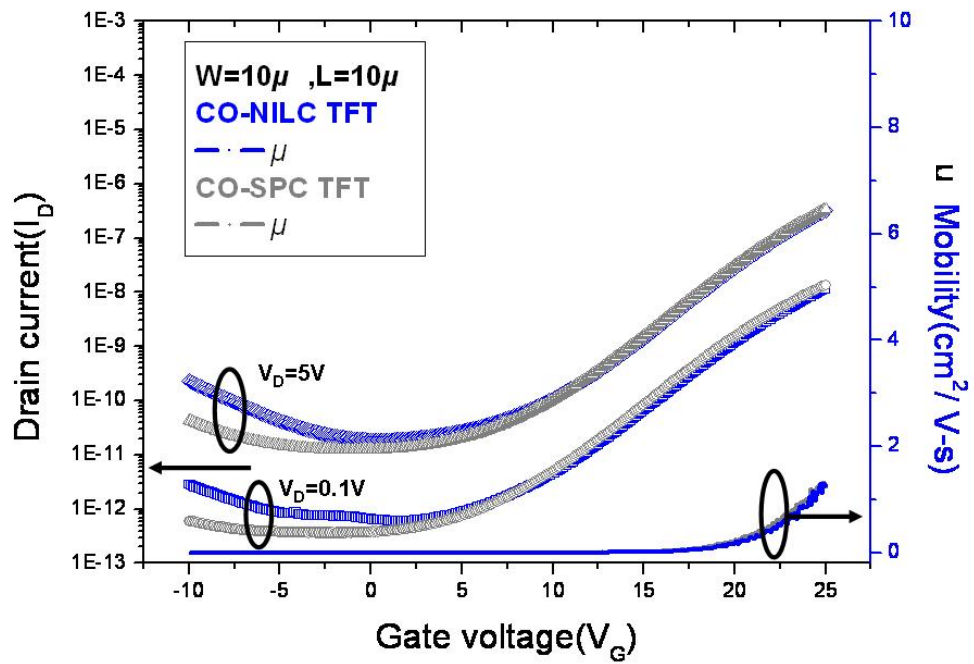


圖 2.24 CO-NILC TFT 與 CO-SPC TFT 的 I_d - V_g 轉移特性曲線圖。

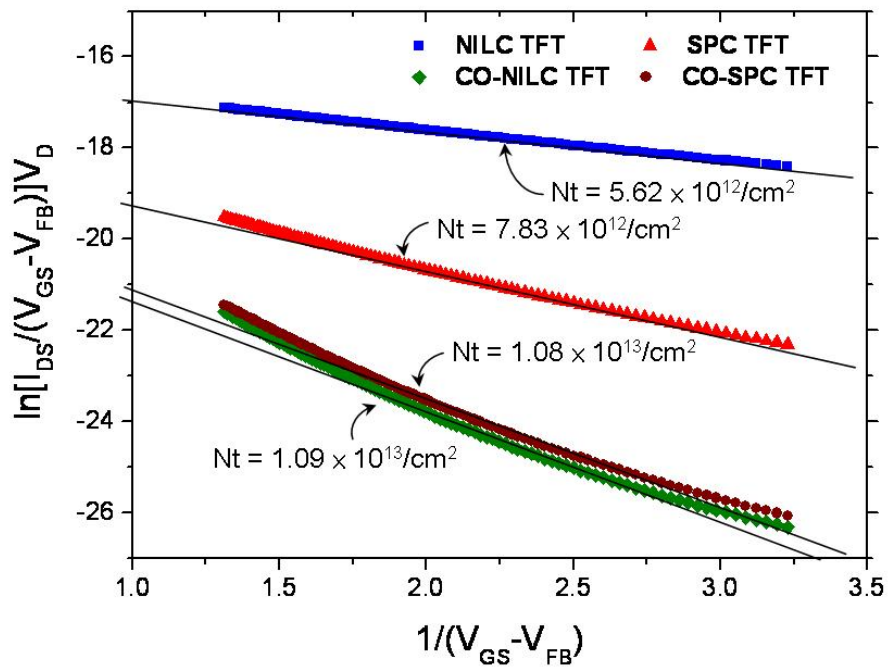


圖 2.25 NILC、SPC、CO-NILC、CO-SPC 的 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖。

在低溫複晶矽薄膜電晶體中，有幾種缺陷與捕陷密度 N_t 有關，主要是氧化層與複晶矽的界面處以及複晶矽晶界中的懸建形成的很多的載子捕陷位置。大部分與鎳金屬有關的缺陷存在於氧化矽與複晶矽的界面以及存在於晶界上，這些缺陷會產生的能隙深層能階而造成薄膜電晶體電性的衰退^[2-4]。在第一章 1.9.2 電漿鈍化的篇幅中討論過，經過 NH_3 電漿鈍化後可使 NILC 元件特性大幅提升^{[2-7][2-8]}，因此我們重新量測，比較在電漿鈍化前後的元件特性，其中，在試片代號尾端有(H)表示經過 NH_3 電漿鈍化處理的元件，如圖 2.26~2.29 的 I_d - V_g 轉移特性曲線圖。

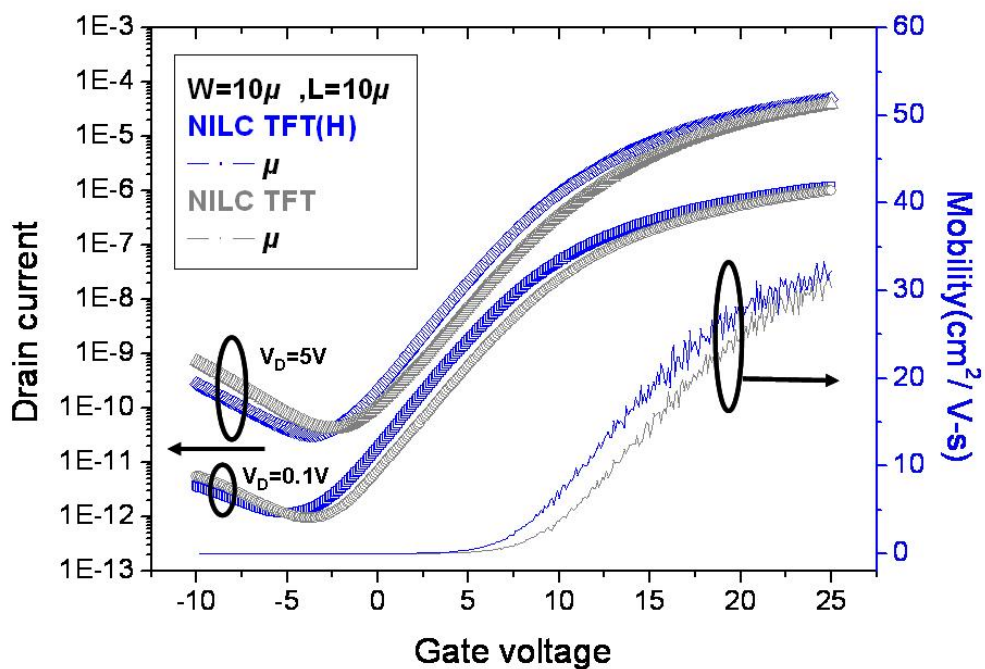


圖 2.26 NH_3 電漿鈍化前後的 NILC TFT 的 I_d - V_g 轉移特性曲線圖。

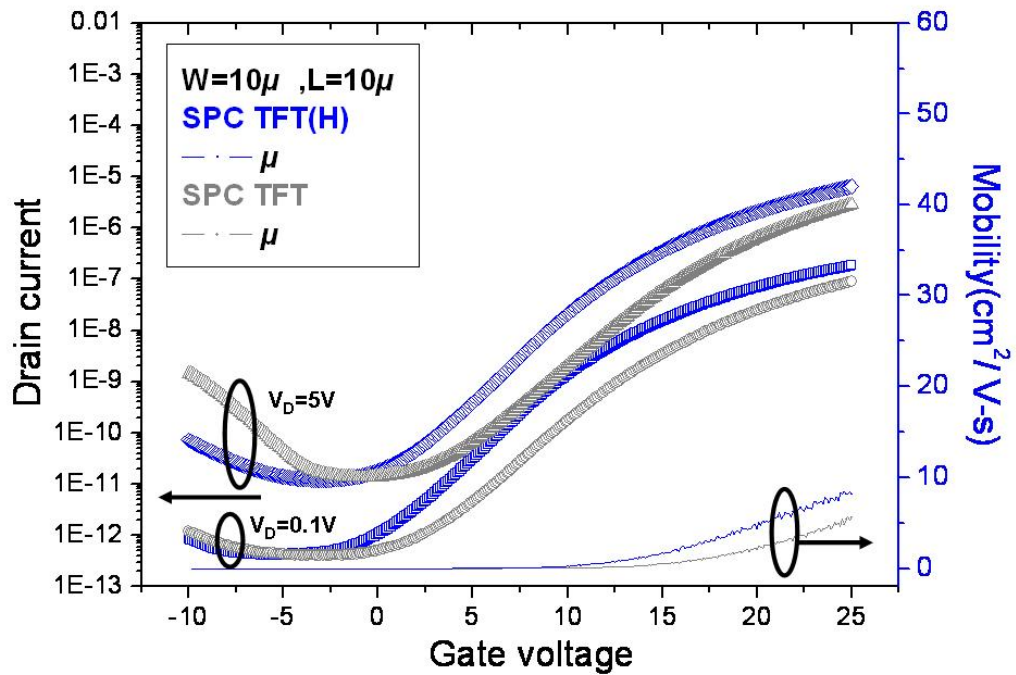


圖 2.27 NH₃ 電漿鈍化前後的 SPC TFT 的 I_d-V_g 轉移特性曲線圖。

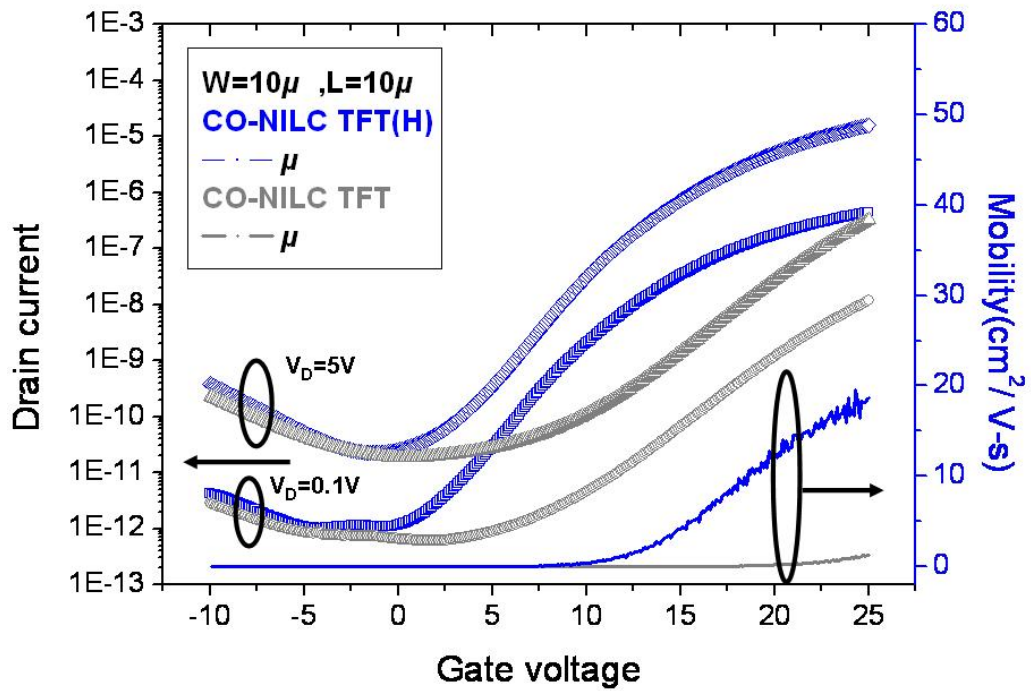


圖 2.28 NH₃ 電漿鈍化前後的 CO-NILC TFT 的 I_d-V_g 轉移特性曲線圖。

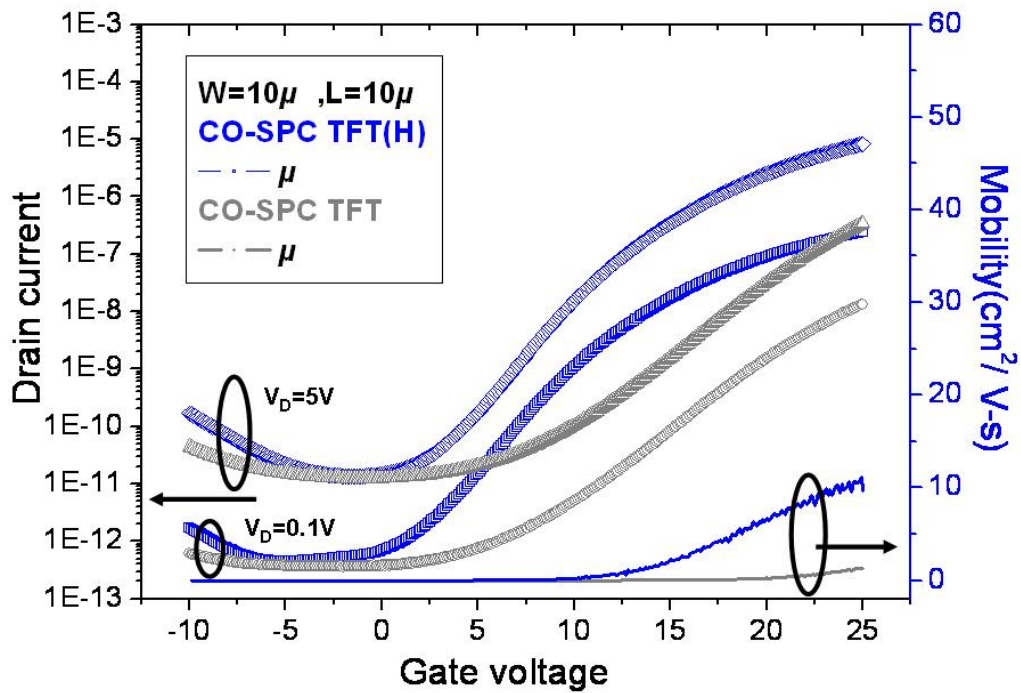


圖 2.29 NH_3 電漿鈍化前後的 CO-SPC TFT 的 I_d - V_g 轉移特性曲線圖。

由圖 2.26~2.29 中可以看出在經過 NH_3 電漿鈍化的 TFT 在電性的表現上均有提升，改善較為顯著則是在主動層上方覆蓋 TEOS-oxide 再進行不同結晶製程的元件。因此，我們推測降低元件特性可能的原因是由於非晶矽在結晶化製程中，大量的缺陷集中在 Oxide/Si 界面處而影響元件特性。非晶矽本身即含有大量的缺陷，一般業界所製造的非晶矽薄膜電晶體均含有氫原子，目的在降低矽薄膜材料內部的缺陷密度，利用 H 原子將懸鍵中斷，懸鍵經鈍化可減少有效捕陷數目，減少了載子捕陷的數目在帶隙間形成的能障也就跟著減少。當非晶矽在進行低溫結晶退火製程時，由低密度的非晶矽薄膜重新排列成為密度較高的複晶矽薄膜後，大量的缺陷集中在 Oxide/Si 界面處，造成 Oxide/Si 界面處形成大量的捕陷位置，這種位於界面處的捕陷密度產生的電荷會隨著元件的操作，所帶的電性也會不同。換言之，在界面捕陷位置處產生的電荷可是正電、中性或負電，既然在界面處的捕陷位置可以捕捉或釋放電子及電洞，在元件操作時將會與主要載子發生作用，降低主要載子遷移率，並使的元件開關能力變差，造成臨界電壓漂移，次臨界斜率增加。我們繼續比較經過 NH_3 電漿鈍化過的元件特性，如圖 2.30 所示的 NILC TFT(H)與 CO-NILC TFT(H)的 I_d - V_g 轉移特性曲線圖及圖 2.31 所示的 SPC TFT(H)與 CO-SPC TFT(H)的 I_d - V_g 轉移特性曲線圖與表 2.4 的電性參數比較。

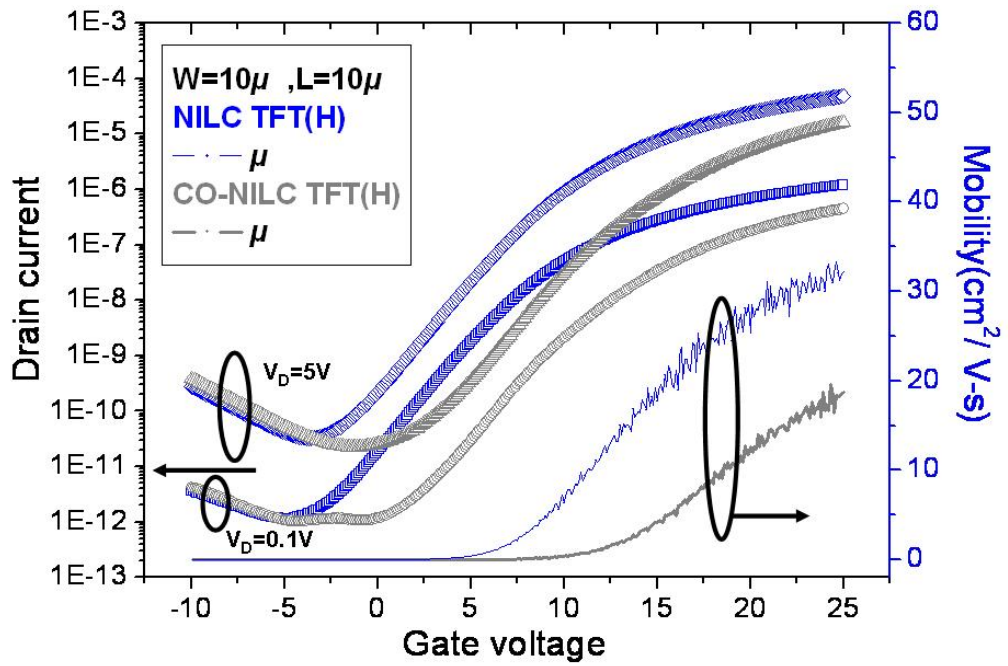


圖 2.30 NILC TFT(H)與 CO-NILC TFT(H)的 I_d - V_g 轉移特性曲線圖。

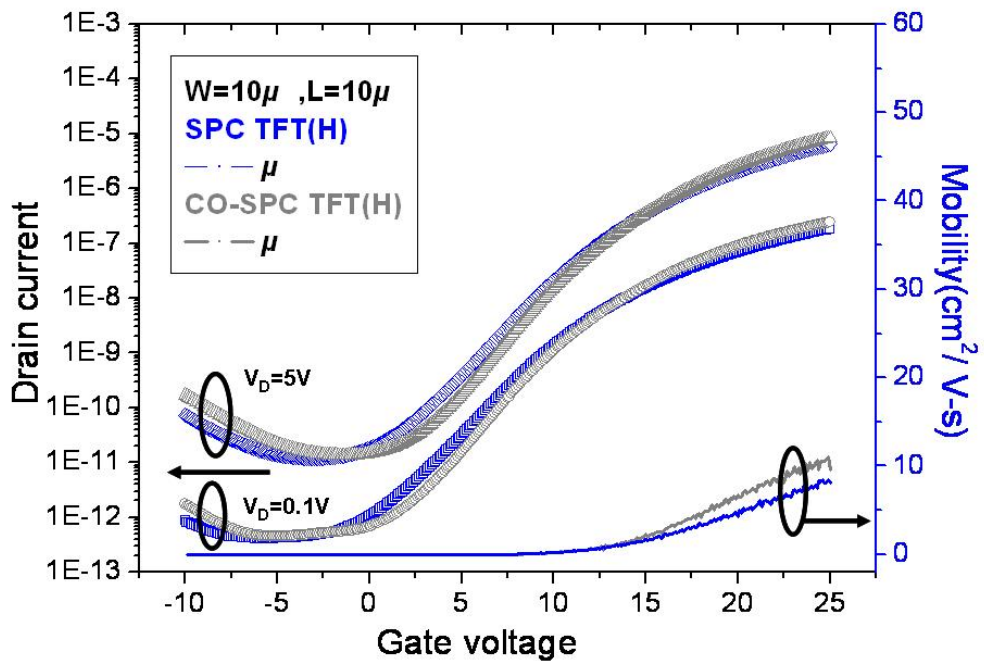


圖 2.31 SPC TFT(H)與 CO-SPC TFT(H)的 I_d - V_g 轉移特性曲線圖。

表 2-4 NILC TFT(H)、CO-NILC TFT(H)、SPC TFT(H)與 CO-SPC TFT(H)

W/L=10μm/10μm	NILC TFT(H)	CO-NILC TFT(H)	SPC TFT(H)	CO-SPC TFT(H)
Mobility (cm ² /V-s)@V _D =0.1V	33.06±6	19.43±5	8.41±5	11.02±5
Subthreshold Slope (V/dec.)@ V _D =0.1V	2.16±0.4	2.08±0.4	2.50±0.5	2.18±0.5
Threshold Voltage (V) @V _D =0.1V	7.24±2	12.56±2	13.90±3	13.83±3
On/Off ratio current (10 ⁵) @V _D =5V	14.8±2	7.13±2	5.34±2	6.21±2
Minimum leakage current / channel width (pA/ μ m) @V _D =5V	3.25±1	2.24±1	1.20±1	1.35±1

由圖 2.30、2.31 及表 2-4 可以看出經過 NH₃ 電漿鈍化處理後的 CO-SPC TFT 的載子遷移率明顯略優於 SPC TFT，而以 NILC 製程製作的 TFT 元件與 SPC 製程製作的 TFT 元件兩者的現象恰好相反，CO-NILC TFT 的載子遷移率並無法提升至與 NILC TFT 相當的水準，接下來我們討論這種現象的發生原因。



2.4.2.4 a-Si 薄膜厚度對NILC 速率的影響

在 2002 年由 T. Ma 及 M. Wong 等人^[2-9]曾報導過，在 550°C 下 NILC 結晶速率與 a-Si 厚度的效應，如圖 2.32 所示，這項實驗是在 550°C 下進行退火 24 小時，當 a-Si 的薄膜厚度由 100 奈米往 30 奈米遞減時，結果發現其誘發結晶的速率急速的減緩，造成這種現象的原因是當鎳金屬在誘發結晶的過程中，Ni 原子或 NiSi₂ 會被 trap 在 a-Si 薄膜上下界面，如圖 2.33 所示的 NILC 的 TEM 截面圖，當 a-Si 薄膜厚度越薄時，Ni 原子在薄膜內擴散或 NiSi₂ 誘發結晶時與上下界面接觸的機率越大，也就越容易 trap 在上下界面，為便於詳盡說明，將其會製成圖 2.34 的示意圖，當 a-Si 薄膜厚度越薄時，trap 的機會就越高，在結晶的過程中就容易受到阻礙，因此降低了誘發結晶的速度^{[2-10][2-11]}。

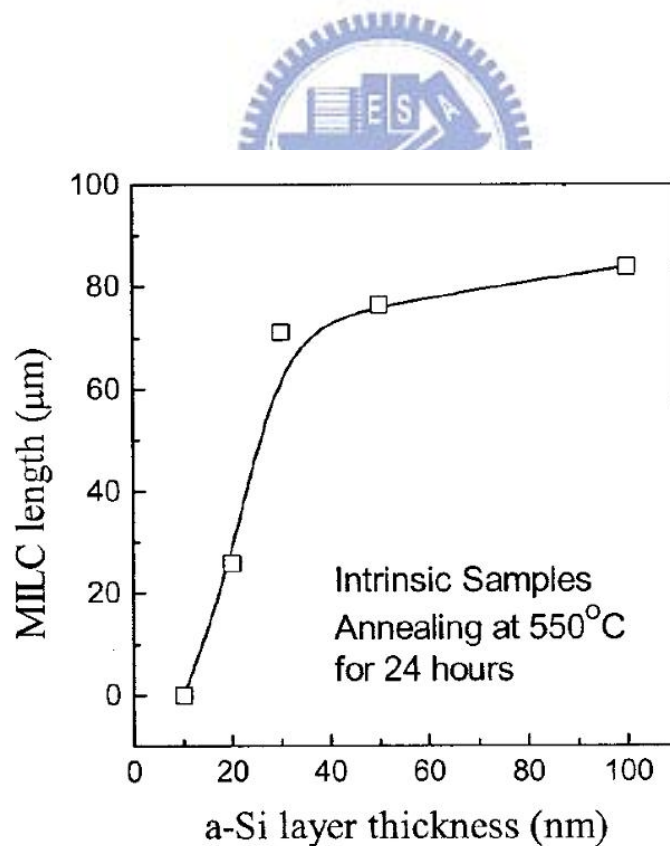
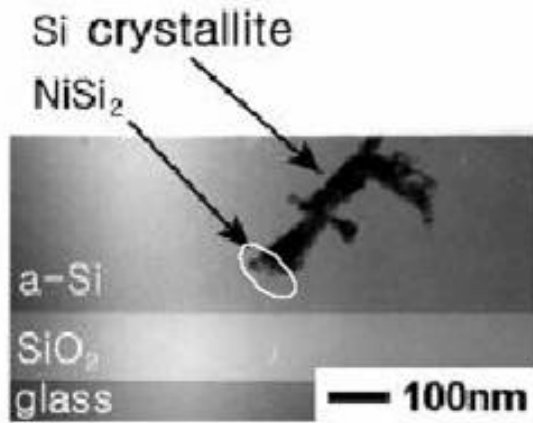
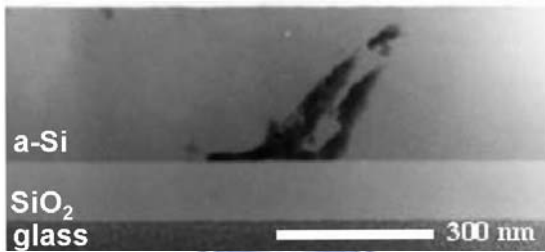


圖 2.32 550°C 退火 24 小時，a-Si 薄膜厚度與 N(M)ILC 長度關係圖^[2-8]。

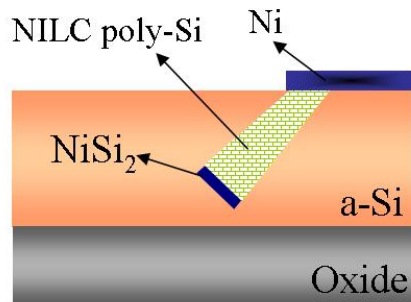


(a)

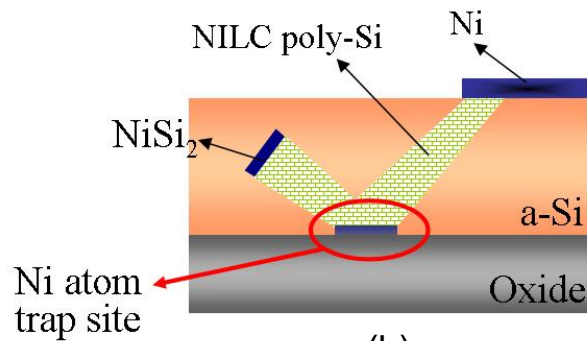


(b)

圖 2.33 NILC TEM 橫截面圖。(a)^[2-10]，(b)^[2-12]。



(a)



(b)

圖 2.34 NILC 結晶過程示意圖。

當薄膜厚度為 20 奈米時，如圖 2.35(a)所示的 SEM 圖，在 NILC 區域中 Ploy-Si(Polycrystalline Silicon)之領導端的 NiSi_2 的密度明顯較薄膜厚度為 30 奈米、50 奈米及 100 奈米時為低，如圖 2.35(b)(c)(d)所示的 SEM 照片，樣品被取樣在 NILC 前端，從照片中可以明顯看出 NILC Poly-Si 是由樹枝狀的晶粒結構組成，並且比較薄膜厚度為 30 奈米、50 奈米及 100 奈米，可以發現隨著薄膜厚度增加，在相同的溫度條件下，NILC 領導端的 NiSi_2 區域越不明顯且隨著薄膜厚度越厚，領導端的 NiSi_2 密度越高且體積越小，推測可能的原因是由於當 a-Si 薄膜厚度變薄時，截面積變小，造成 Ni 往 a-Si 區域擴散不易再加上接觸薄膜上下界面的機會變大，越容易 trap 在上下界面而減緩了結晶速率。以上的現象說明了在鎳金屬在誘發結晶的過程中，Ni 原子或 NiSi_2 會被 trap 在 a-Si 薄膜上下界面。

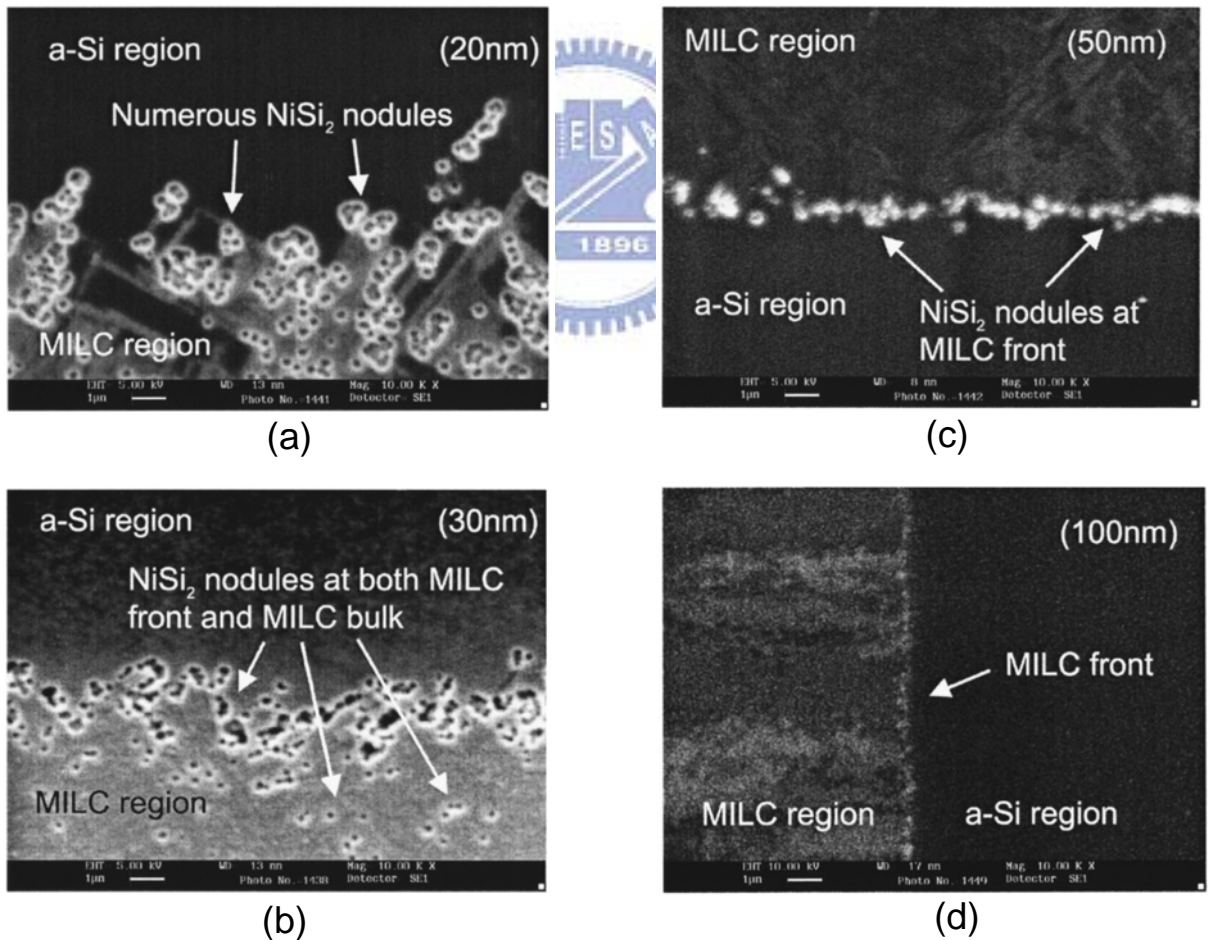


圖2.35 不同膜厚在NILC前端區的SEM圖。(a)20奈米(b)30奈米(c)50奈米(d)100奈米^[2-8]。

2.4.2.5 NILC 在 Oxide/Poly-Si 界面處的鎳含量

在 2007 年 C.M. Hu 及 Sermon Wu 等人^[2-13]所報導，當 Ni 在 a-Si 薄膜誘發結晶時，在薄膜的上下界面處會殘留高濃度的 Ni，如圖 2.36 所示的 SIMS(二次離子質譜儀，Secondary-Ion Mass Spectroscopy)縱深分析圖，使用的分析儀器型號為 ION-TOF, 德國 TOF.SIMS IV (飛行時間二次離子質譜儀，Time-of-flight Secondary-Ion Mass Spectroscopy)。從圖中可以發現由 NILC Poly-Si 薄膜的鎳含量。其中，在 NILC Poly-Si 的表面以及下方與 Oxided wafer 的界面明顯出現了高度的鎳含量的訊號。由 SIMS 圖中我們可以明顯看出在 Poly-Si/SiO₂ 界面處的鎳含量明顯高出 Poly-Si 許多數量，因此我們推測主要原因來自於 Oxide/Si 界面處的具有高度的晶格不連續排列所引起，在界面處產生大量的缺陷，在誘發結晶的過程中，Ni 原子或 NiSi₂ 就被 trap 在這些缺陷中。

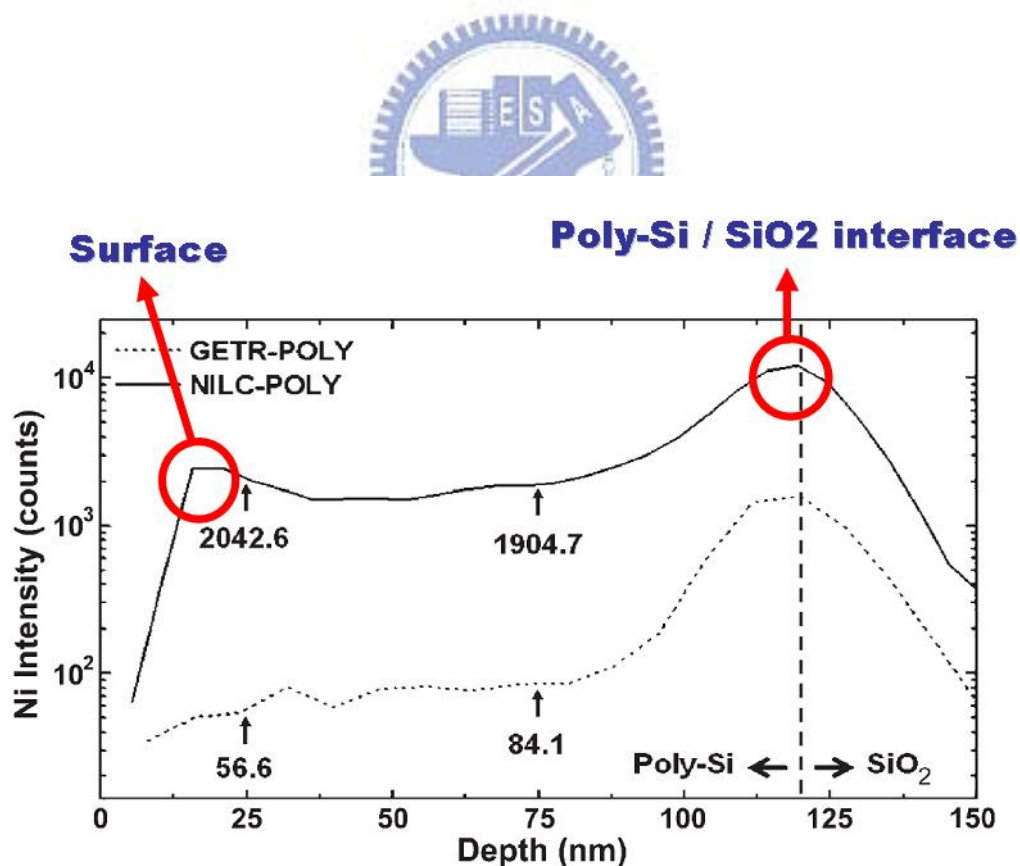


圖2.36 NILC Poly-Si薄膜中Ni含量的SIMS縱深分析圖^[2-11]。

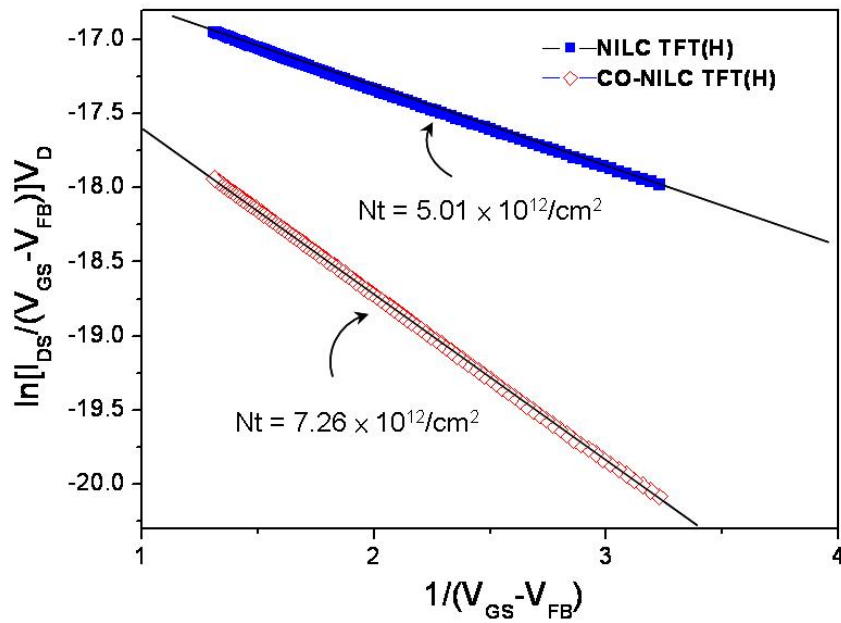


圖 2.37 NILC TFT(H)與 CO-NILC TFT(H)的 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖。

當我們再次對 NILC TFT(H)與 CO-NILC TFT(H)分別以 Levinson's and Proano's 方法做捕陷密度的計算，如圖 2.37 所示。發現 CO-NILC TFT 確實具有較高的捕陷密度。在 NILC 的複晶矽中，有兩種缺陷與捕陷密度 N_t 有關，為與鎳金屬相關的缺陷以及晶界缺陷。大部分與鎳金屬有關的缺陷存在於氧化矽與複晶矽的界面以及存在於晶界上，這些缺陷會產生的能隙深層能階而造成薄膜電晶體電性的衰退。

2.5 結論

本研究主要的內容是提出以不同結晶製程技術，即 NILC 與 SPC，比較在結晶製程前預先在主動層上方覆蓋一層氧化層與在製程中於主動層上方所生成的氧化層，兩者所產生的 Oxide/Si 界面對 NILC 薄膜電晶體的影響。

從 OM 及 SEM 的觀察可以發現，相較於 SPC 複晶矽成長機制，在非晶矽膜的每個位置都有可能成核，導致成核數目過多，反而使得晶粒在成長的過程中受到周圍晶粒的限制而無法得到大晶粒，NILC 複晶矽成長的晶粒擁有較大的晶粒尺寸，且藉由幾何圖形的設計，我們可以控制 NILC 晶粒成長方向平行通道，降低通道中晶界的密度，提升載子遷移率。

我們以上述的結構製作成 NILC TFT、CO-NILC TFT、SPC TFT 及 CO-SPC TFT，由電性量測發現 CO-NILC TFT 與 CO-SPC TFT 在 Oxide/Si 界面擁有較高的捕陷密度，這個現象可能是因為當非晶矽在進行低溫結晶退火製程時，由低密度的非晶矽薄膜重新排列成為密度較高的複晶矽薄膜後，大量的缺陷集中在 Oxide/Si 界面處，造成 Oxide/Si 界面處形成大量的捕陷位置，造成主要載子遷移率降低，元件開關能力變差，臨界電壓漂移，次臨界斜率增加。

經過 NH_3 電漿鈍化後的 CO-SPC TFT(H) 在電性上的表現已提升至與 SPC TFT(H) 相同水準，這證實了 CO-NILC TFT(H) 在電性的表現依舊不如 NILC TFT(H) 的原因可能是由於 Ni 原子或 NiSi_2 被 trap 在 Oxide/Si 界面，在界面處聚積大量的帶電荷金屬離子，於元件操作時捕捉主要載子而降低元件特性，其中包括電子遷移率、臨界電壓及開關電流比。而導致。

參考文獻

- 【2-1】 Gururaj A. Bhat, Zhonghe Jin, Hoi S. Kwok, and Man Wong, “Effects of Longitudinal Grain Boundaries on the Performance of MILC-TFT’s”, IEEE Electron Device Lett., **20**, pp.97-99, 1999.
- 【2-2】 You-Da Lin, YewChung Sermon Wu, Chi-Wei Chao, Guo-Ren Hu, “Effects of oxygen on the growth of Ni induced lateral crystallization of amorphous silicon films”, Materials Chemistry and Physics, **80**, pp.577–580, 2003.
- 【2-3】 F. Secco d’ Aragano, “Dislocation etch for (100) planes in silicon” J. Electro. Soc. **119**, pp.948, 1972.
- 【2-4】 胡晟民, “金屬誘發非晶矽薄膜側向結晶-成長機制、金屬捉聚與低溫複晶矽薄膜電晶體效能之研究”, 國立交通大學工學院材料科學與工程學系 博士論文, pp.26, 中華民國 九十七年六月.
- 【2-5】 Zhonghe Jin, Keith Moulding, Hoi S. Kwok, and Man Wong, “The Effects of Extended Heat Treatment on Ni Induced Lateral Crystallization of Amorphous Silicon Thin Films”, IEEE Trans. Electron Dev., **46**, pp.78-82, 1999.
- 【2-6】 胡國仁, ” 金屬誘發側向結晶應用於低溫多晶矽薄膜電晶體-結晶成長之熱力學、動力學極電晶體元件效能”, 國立交通大學工學院材料科學與工程學系 博士論文, pp.72 中華民國 九十四年十月.
- 【2-7】 Yung-Chun Wu, Ting-Chang Chang, Cheng-Wei Chou, Yuan-Chun Wu, Po-Tsun Liu, Chun-Hao Tu, Wen-Jun Huang, Jen-Chung Lou, and Chun-Yen Chang, “Effects of Channel Width and NH₃ Plasma Passivation on Electrical Characteristics of Polysilicon Thin-Film Transistors by Pattern-Dependent Metal-Induced Lateral Crystallization”, J. ECS., **152**, pp.G545-G549, 2005.
- 【2-8】 H. C. Cheng, F. S. Wang, and C. Y. Huang, “Effects of NH₃ plasma passivation on N-channel polycrystalline silicon thin-film transistors”, IEEE Trans. Electron Devices, **44**, pp64-68, 1997.
- 【2-9】 Tianfu Ma, and Man Wong, “Dopant and thickness dependence of metal-induced lateral crystallization of amorphous silicon films”, J. Appl. Phys., **91**, pp.1236-1241, 2002.

- 【2-10】 Seong Jin Park, Bong Rae Cho, Kyung Ho Kim, Kyu Sik Cho, Seong Yeol Yoo, Ah Young Kim, and Jin Jang, “SPC Poly-Si TFT Having a Maximum Process Temperature of 380°C”, SID Symposium Digest of Technical Papers, **32**, pp. 562-565, 2001.
- 【2-11】 胡國仁， ” 金屬誘發側向結晶應用於低溫多晶矽薄膜電晶體-結晶成長之熱力學、動力學極電晶體元件效能”， 國立交通大學工學院材料科學與工程學系 博士論文， pp.70-71 中華民國 九十四年十月.
- 【2-12】 Kyung Ho Kim, Seong Jin Park, Sung Hoon Kim, Jin Jang, “Cross-sectional TEM study on Ni-mediated crystallization of amorphous silicon”, J. Non-Crystalline Solids, **352**, pp.976-979, 2006.
- 【2-13】 Chen-Ming Hu, YewChung Sermon Wu, and Chi-Ching Lin, “Improving the Electrical Properties of NILC Poly-Si Films Using a Gettering Substrate”, **28**, pp.1000-1003, 2007.



第三章 表面處理對鍍金屬誘發側向結晶的效應

3.1 研究背景回顧

在半導體製程技術中，晶圓洗淨之技術及潔淨度(Cleanliness)，是影響晶圓製程良率(Yield)、元件品質(Quality)及可靠度(Reliability)，最重要的因素之一，而在成長氧化層之前的清洗步驟是製程中最具關鍵性的一環，將影響之後所成長極薄之閘極氧化層品質，這與晶圓表面潔淨度有密切的關聯。當製程技術日益精進，隨著晶圓尺寸增加，CD_S(關鍵尺寸，Critical Dimensions)減小，元件(Devices)之積集度(Integrity)更是大為的提高，要製作如此高精密複雜的IC(積體電路，Integrated Circuit)，是需要非常潔淨的晶圓表面來製作。因此，要如何清洗晶圓，以期超潔淨度之需求，是目前ULSI(超大型積體電路，Ultra Large Scale Intgration)製程中，非常重要的步驟之一。

3.1.1 濕式洗淨技術的發展

在 ULSI 製程中，清洗矽晶圓表面的污染和雜質是清洗的主要目的。在製造過程中，幾乎每道程序都涉及到清洗，而且積體電路的積極度越高，製造程序越多，所需的清洗程序也越多。在諸多的清洗程序中，只要其中某一程序無法達到要求，則將前功盡棄，導致整批晶圓的報廢。在晶圓表面清洗技術上由最初 RCA 實驗室發明了 SC1(Standard Clean 1, $\text{NH}_4\text{OH}+\text{H}_2\text{O}_2+\text{H}_2\text{O}$)，即 APM(氨水/雙氧水混合液，Ammonia Peroxide Mixture)，和 SC2 (Standard Clean 2, $\text{HCl}+\text{H}_2\text{O}_2+\text{H}_2\text{O}$)，即 HPM(鹽酸/雙氧水混合液，Hydrochloric Peroxide Mixture)的組合。理論上 SC1 是去除顆粒，SC2 是去除重金屬沾污。最初的 SC1 比例是 1 : 1 : 5，但隨著對 NH_4OH 對矽基板刻蝕的擔心，使用越來越稀釋的比例。還有使用 DHF(稀釋氫氟酸溶液，Diluted HF) 去除自然氧化層。有不同的順序衍生成不同的技術，如 A clean, B clean, HF last 等，但最核心的還是 RCA 洗淨。隨之設備的配置中就要使用多個藥液槽，藥液槽之間還要使用水洗槽，避免上一步藥液混入下一個藥液槽，最後是乾燥。這種多槽的設備被稱為濕式工作站(Wet station)或濕式工作檯(Wet bench)。每個藥液槽都有包含泵和過濾器的循環系統，延長藥液的使用壽命，還有補充系統，定時補充新鮮藥液，可以保持藥液成分穩定^{[3-1][3-2]}。

3.2 研究動機

在 2000 年與 2006 年 Zhiguo Meng 等人^{[3-3][3-4]}分別使用了 RCA Clean 步驟中的硫酸加雙氧水($\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$, 3:1)溶液以及 37% 的鹽酸(HCL)溶液來移除鍍覆在矽薄膜表面的鎳金屬。從第二章所討論的研究中，我們發現預先在主動層上方覆蓋一層氧化層再進行 NILC 結晶製程所製作的 TFT，由於在 oxide/Si 界面處聚積了大量的 Ni 原子或 NiSi_2 ，產生了高度的捕陷密度。因此本研究將利用上述兩種溶液進行 Oxide/Si 界面進行表面處理後，製作成薄膜電晶體比較其電性。

3.3 研究方法

3.3.1 NILC 複晶矽薄膜電晶體元件製備

在 NILC 複晶矽薄膜電晶體元件製作上，我們將製作流程分成兩部分說明，第一個部份為實驗關鍵製程，第二個部分為後續元件製作流程，接下來對這兩個部分作詳細的說明。

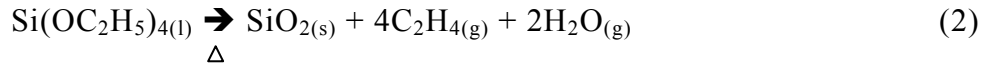


3.3.1.1 NILC 複晶矽薄膜電晶體元件製作第一部份：實驗關鍵製程

在一開始的薄膜電晶體元件的製作上，我們是取(100 p-type)的四吋矽晶圓用傳統的 RCA clean 清洗矽晶圓表面後，再以濕式氧化的方式成長 5000Å 的 SiO_2 層，如反應式(1)：



此步驟是為了要模擬平面顯示器的玻璃基板(Glass substrate)，利用低壓化學沉積系統(LPVCVD)，成長 1000 Å 的非晶矽並定義出主動層，接著以電漿輔助化學氣相沉積系統(PECVD)於主動層上方沉積一層 TEOS-Oxide，如反應式(2)：



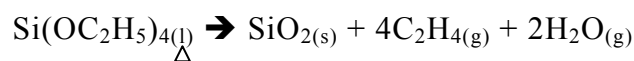
以 B.O.E. (Buffer oxide etch) 溶液蝕刻出蝕刻出接觸孔洞後再用 E-gun 在試片鍍覆厚度為 5 奈米的鎳，並以傳統爐管退火方式(CFA)進行 NILC 製程，誘發結晶退火條件如表 3-1：

表 3-1 鎳金屬誘發結晶退火條件

操作溫度	通入氣體	壓力	製程時間
540	N ₂	1 Atm	36 小時

誘發結晶後，將試片上殘餘未消耗的鎳用硫酸蝕刻去除，此時將 TFT 試片分成三組，對照組將繼續保留在 NILC 製程前預先覆蓋在主動層上方的氧化層作為閘極介電層，代號為 CO-NILC TFT(H)，其中(H)表示元件將在最終以 NH₃ 電漿鈍化處理。另外兩組 TFT，如圖 3.1 所示的示意圖，則是將預先在 NILC 製程前覆蓋於主動層上方的氧化層移除後，再進行本次實驗的關鍵製程，以 HCL 溶液浸泡 2 小時，TFT 試片代號為 HCL-NILC TFT(H)，以及用 H₂SO₄+H₂O₂ 溶液，以 3：1 的比例浸泡 20 分鐘，TFT 試片代號為 H₂SO₄-NILC TFT(H)，以上為 NILC 複晶矽薄膜電晶體元件製作方法第一部份：實驗關鍵製程。製作流程如下：

1. 以傳統的 RCA clean 清洗 Silicon wafer。
2. 使用 Furnace 成長 5000Å 的 SiO₂，模擬 Glass substrate。
3. 使用 LPCVD 成長 1000Å 的 a-Si，預備作為結晶化材料。
4. 利用黃光微影系統顯影出主動層(mask1)。
5. 使用 RIE dry etch 定義出主動層。
6. 以 H₂SO₄ + H₂O₂ 溶液移除光阻，並以 HF + H₂O 溶液蝕刻 Chemical oxide。
7. 以 RCA clean 清洗 CO-NILC TFT sample (Cover Oxide-NILC TFT) 主動層表面。
8. 使用 PECVD 沉積 1000Å 的 TEOS-oxide，反應式如式(2)。



9. 利用黃光微影系統顯影出 matel line。
10. 以 BOE(Buffer oxide etch)溶液蝕刻 matel line 接觸窗。
11. 使用 E-beam 鍍覆 Ni line，並利用丙酮(Actone)以 Lift-off 方式將多餘光阻及 Ni 移除。
12. 使用 CFA 退火，溫度為 540°C 通入氮氣進行退火，退火時間為 36 小時。
13. 以 $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ 溶液移除 Ni line，浸泡時間為 20 分鐘，並以 $\text{HF} + \text{H}_2\text{O}$ 溶液蝕刻 Chemical oxide。
14. 以 BOE 溶液移除 TEOS-oxide。
15. HCL-NILC TFT sample (Cover Oxide-NILC TFT):
 - (a) 以 37% 的 HCL 溶液浸泡 2 小時。
 - (b) 使用 DI water 沖洗 5 分鐘。
16. H_2SO_4 -NILC TFT sample (Cover Oxide-NILC TFT):
 - (a) 以 $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ 溶液，3：1 的比例浸泡 20 分鐘。
 - (b) 使用 DI water 沖洗 5 分鐘。

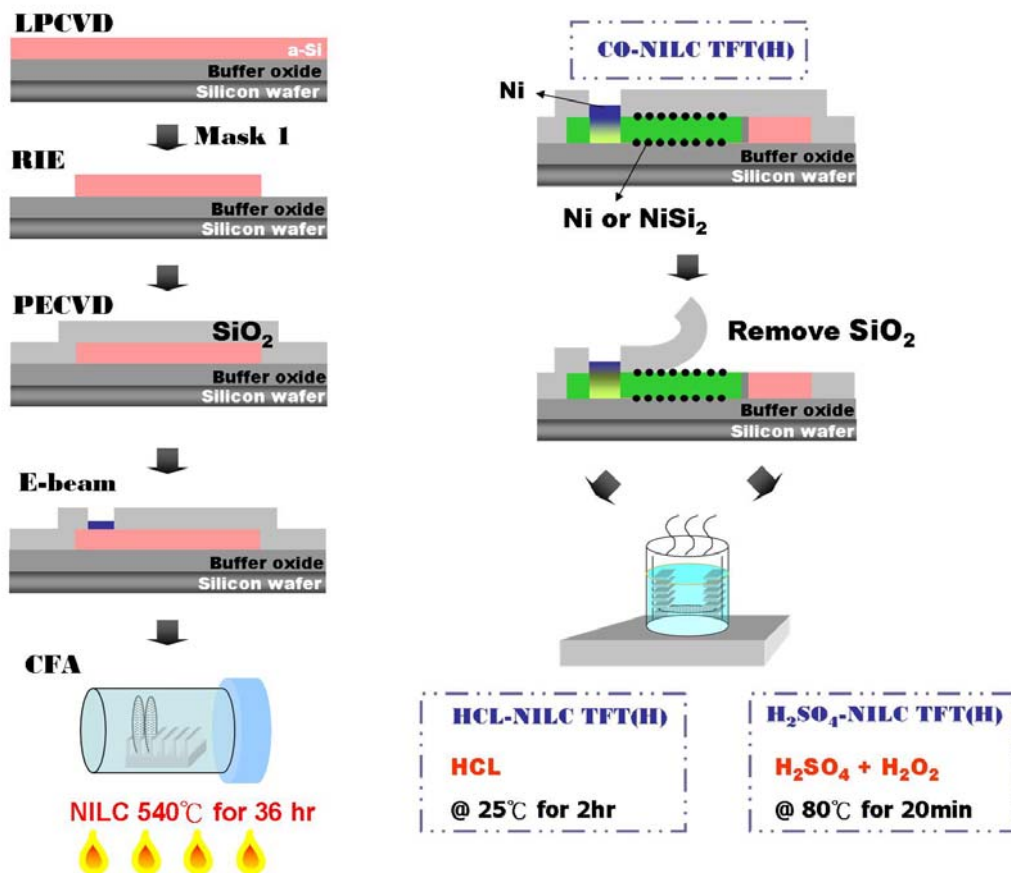


圖 3.1 NILC 複晶矽薄膜電晶體元件第一部份製作流程圖。

3.3.1.2 NILC 複晶矽薄膜電晶體元件製作第二部份：後續元件製作流程

完成第一部分的元件製程後，接著進行第二部份的元件製作。我們分別將經過 HCL 溶液與 $H_2SO_4 + H_2O_2$ 溶液處理過的 TFT 試片以 DI water 沖洗 5 分鐘後，將試片進行 RCA Clean，再以 PECVD 沉積新的 TEOS-Oxide 作為閘極介電層，接著所有 TFT 試片同時沉積多晶矽作為閘極(Gate)，並以自我對準(Self-Align)方式定義出歐姆接觸區後在以 $600^\circ C$ 活化 12 小時，再製作 Passivation layer(保護層)及鍍上金屬電極，如圖 3.2 所示，製作流程如下：

1. RCA Clean。
2. HCL-NILC TFT sample與H₂SO₄-NILC TFT sample 以PECVD沉積一層厚度為 1000\AA 的 TEOS-Oxide 作為 Gate Oxide。
3. 使用 LPCVD 沉積一層 1200\AA 的 a-Si 膜作為 Gate。
4. 利用黃光微影系統定義出 Gate(Mask2)。
5. 使用 RIE dry etch 將 Poly-gate 定義出來。
6. 以 $H_2SO_4 + H_2O_2$ 溶液移除光阻，並以 HF + H_2O 溶液蝕刻 Chemical oxide。
7. 使用離子佈植製程(Ion implantation)定義歐母接觸區域。
(佈植元素：PH₃；能量：35 keV；劑量： 5×10^{15} ions/cm²)
8. 活化製程(Activation): 在 $600^\circ C$ 進行 12 小時活化。
9. 使用 PECVD 沉積 Passivation oxide 4000\AA 。
10. 利用黃光微影系統顯影出金屬電極接觸窗(Contact Hole) (mask3)。
11. 以 BOE 溶液蝕刻金屬電極接觸窗。
12. 以 $H_2SO_4 + H_2O_2$ 溶液移除光阻，並以 HF + H_2O 溶液蝕刻 Chemical oxide。
13. 使用熱蒸鍍(Thermal Coater) 鍍覆厚度為 5000\AA 的 Al 電極。
14. 利用黃光微影系統顯影出源極(Source)、汲極(Drain)及閘極(Gate)的接觸電極(Mask4)。
15. 利用 Al 的蝕刻液進行 Source、Drain 及 Gate 的 Al 電極蝕刻。
16. 利用丙酮將多餘光阻剝離。
17. Al sintering : $400^\circ C$, 30min。
18. NH₃ 電漿鈍化。
18. 電性量測。

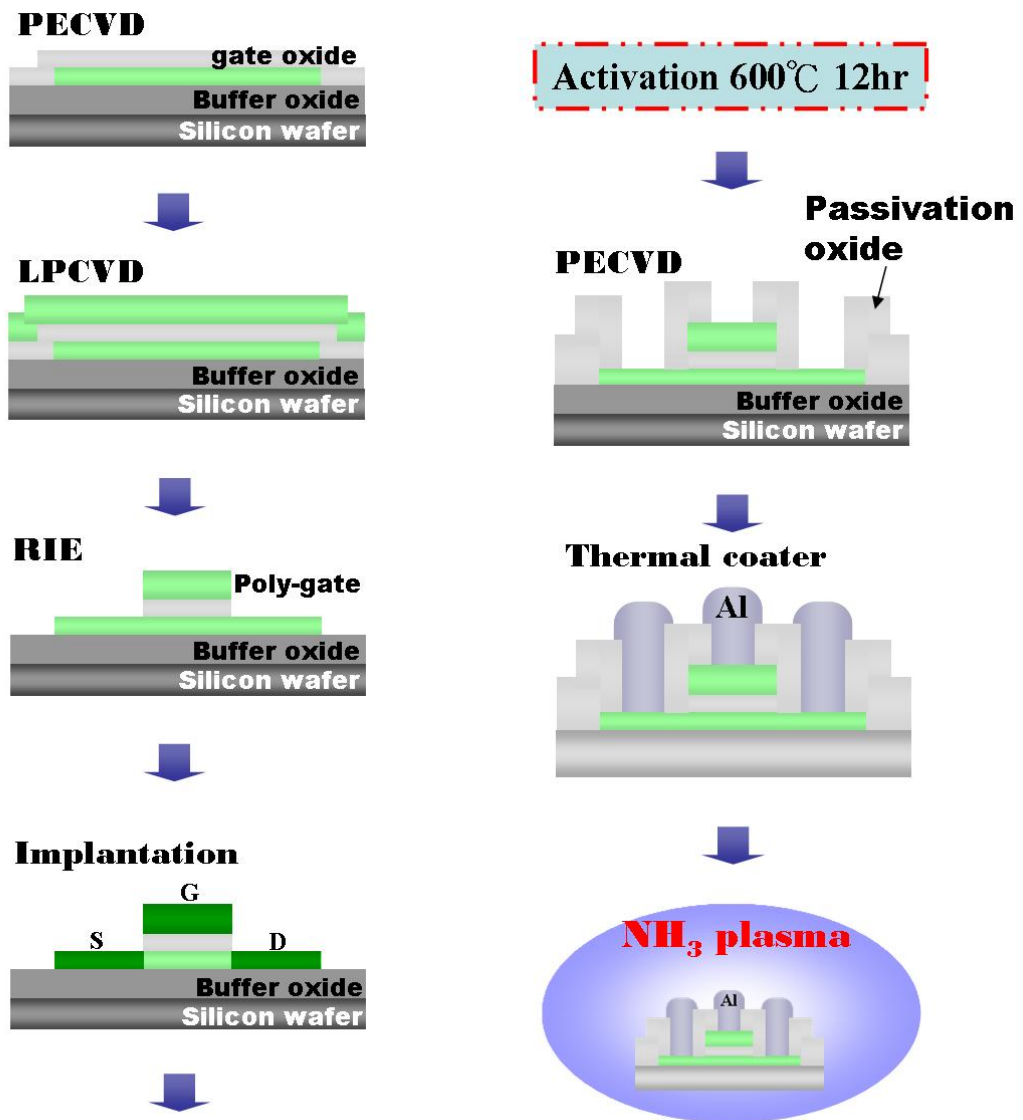


圖 3.2 NILC 複晶矽薄膜電晶體元件第二部份製作流程圖。

3.4 基本電性量測

3.4.1 I_D - V_G 特性曲線

I_D - V_G 轉移特性量測是使用 Keithley SCS4200 參數分析儀。將以上三組 N 型複晶矽薄膜電晶體元件操作在線性區($V_D=0.1\text{ V}$ 及 5 V)，量測其汲極電流(I_D)與閘極電壓(V_G)的關係，可測得元件開關電流，進而萃取出轉移電導(Transconductance)、次臨界斜率(Subthreshold Slope)及臨界電壓(Threshold Voltage)。

3.4.2 I_D - V_D 特性曲線

I_D - V_D 量測同樣使用 Keithley SCS4200 參數分析儀。將以上三組 N 型複晶矽薄膜電晶體元件的 V_G - V_{TH} 分別操作在 4 V 、 5 V 的電壓下，而汲極電壓由 0 V 掃到 5 V 量測汲極電流(I_D)與汲極電壓(V_D)的關係。



3.5 結果與討論

接著我們開始量測三組元件的電特性。圖 3.3 分別表示出三組元件的驅動電流，元件尺寸為 $W=10\mu\text{m}$ 、 $L=10\mu\text{m}$ ，而元件電流驅動公式由公式(3.1)及公式(3.2)^[3-3]決定：

在非飽和區

$$I_d = \frac{W\mu_{fe}C_{ox}}{2L} [2(V_G - V_{TH})V_D - V_D^2] \quad (3.1)$$

在飽和區

$$I_d = \frac{W\mu_n C_{ox}}{2L} (V_G - V_{TH})^2 \quad (3.2)$$

W (Width)為通道寬度， L (Length)為通道長度， μ_n (Mobility)為電子遷移率， V_G 為閘極電壓， V_D 為汲極電壓， V_{TH} 為臨界電壓。

由公式(3.2)可以發現到，在元件的長寬比、介電係數、氧化層厚度以及 $V_G - V_{TH}$ 固定下，主動層表面經過鹽酸溶液處理的 HCL-NILC TFT(H)顯然擁有較大的電流驅動能力，因此我們推測 HCL-NILC TFT(H)可能具有較大的電子遷移率。

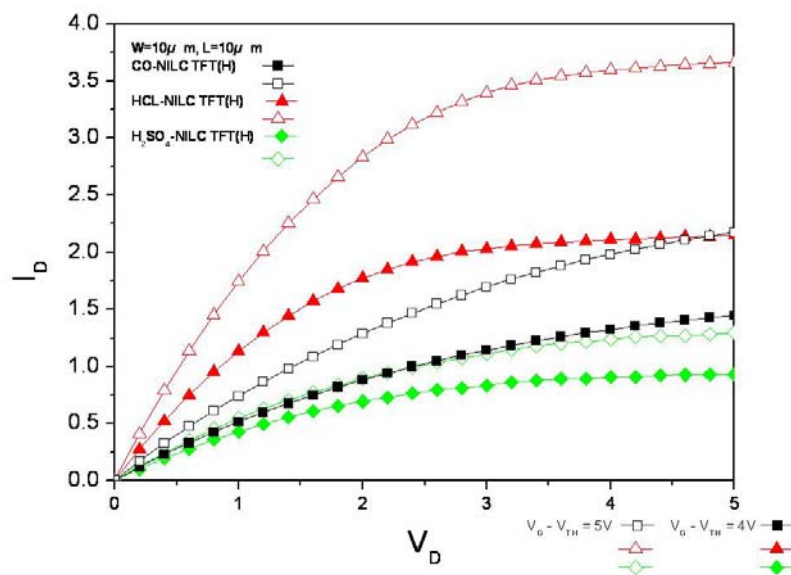


圖 3.3 三組元件的驅動電流。

圖 3.4 及圖 3.5 為 NILC 三組元件分別在汲極電壓(V_D)為 0.1V 至 05V 量測的汲極電流對閘極電壓轉移特性曲線(I_d - V_g transfer Characteristics)，元件尺寸為 $W=10\mu\text{m}$ 、 $L=10\mu\text{m}$ 。

表 3.3 為 NILC 三組試片所製備之元件電性上的比較，比較其電特性中常見的五種參數(a)電子遷移率，(b)次臨界斜率則是以 I_d - V_g 特性曲線之斜率的倒數決定及(c)臨界電壓是在操作電壓 ($V_D=5V$) 的狀態下做量測，而(d)開/關電流比(On Off ratio) 的 I_{on} 是取決於 $V_D=5V$ 的最大電流值，而 I_{off} 部分是看最小電流值與(e)最小電流/通道寬度(Minimum Leakage Current/Channel Width)是在 $V_D=5V$ 下最小電流值除以通道寬度所得。

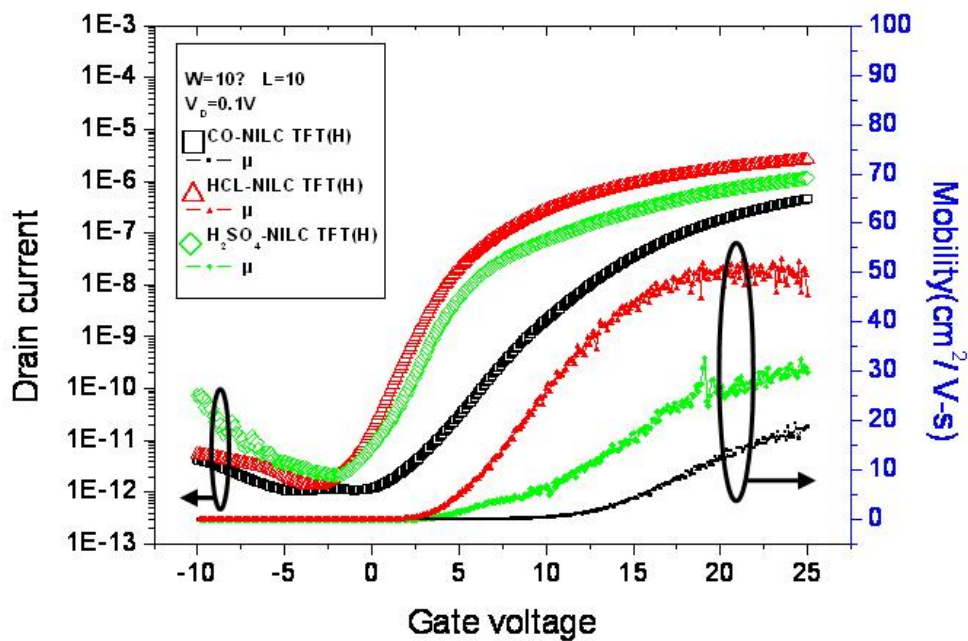


圖 3.4 $V_D=0.1V$ ，NILC 三組元件的 I_d - V_g 轉移特性曲線圖。

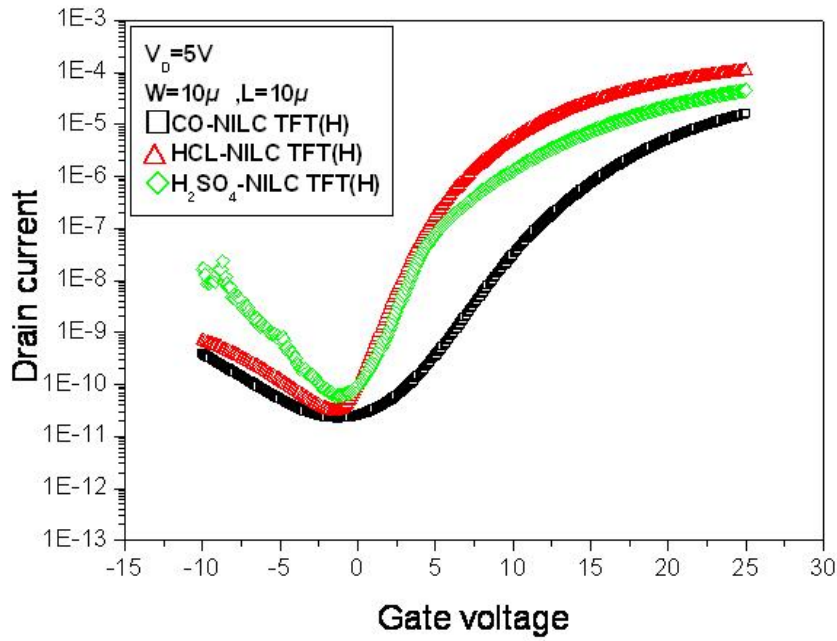


圖 3.5 $V_D=5V$ ，NILC 三組元件的 I_d-V_g 轉移特性曲線圖。

表 3.2 CO-NILC TFT(H)、HCL-NILC TFT(H)、 H_2SO_4 -NILC TFT(H) 電性參數比較表

$W/L=10\mu m/10\mu m$	CO-NILC TFT(H)	HCL-NILC TFT(H)	H_2SO_4 -NILC TFT(H)
Mobility ($cm^2/V\cdot s$)@ $V_D=0.1V$	19.43±5	52.78±5	32.48±5
Subthreshold Slope (V/dec.)@ $V_D=0.1V$	2.08±0.4	1.27±0.4	0.52±0.5
Threshold Voltage (V) @ $V_D=0.1V$	12.56±2	4.20±2	5.66±3
On/Off ratio current (10^5) @ $V_D=5V$	7.13±2	34.77±2	7.61±2
Minimum leakage current / channel width (pA/ μm) @ $V_D=5V$	2.24±1	3.11±1	5.94±1

我們將萃取出的轉移電導換算成電子遷移率由公式(3.3)及公式(3.4)^[3-3]決定：

轉移電導

$$g_m = \frac{\partial I_D}{\partial V_G} \quad (3.3)$$

電子遷移率

$$\mu_{fe} = \frac{L}{W} \times \frac{g_m}{C_{ox} V_D} \quad (3.4)$$

並將走勢繪入圖 3.4 中比較，由圖中可以看出 HCL-NILC TFT(H)的確擁有較高的電子遷移率，H₂SO₄-NILC TFT(H)次之，相較於 CO-NILC TFT(H)，HCL-NILC TFT(H)提升約 169%，而 H₂SO₄-NILC TFT(H)提升約 67%，推測其改善的原因是由於鹽酸移除了聚積在主動層表面大量的金屬離子。

由表 3.3 也可以比較出 HCL-NILC TFT(H)具有較高的開關電流比，相較於 CO-NILC TFT(H)，HCL-NILC TFT(H)大幅提升近 387%，而 H₂SO₄-NILC TFT(H)並無顯著的改善，僅提升 6%，推測可能的原因是由於鹽酸大幅降低了主動層表面的金屬離子而進而降低了位於界面處的捕陷密度 Nt(Trap state density)。因此，我們藉由 Levinson's and Proano's 方法做了捕陷密度的計算，藉由在低 V_D 與高 V_G 的條件下，以 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖求其斜率，其中 V_{FB} 定義為在 V_D=0.1V 下，最小 I_D 所對應的 V_G，圖 3.6 為 NILC 三組元件的 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖，

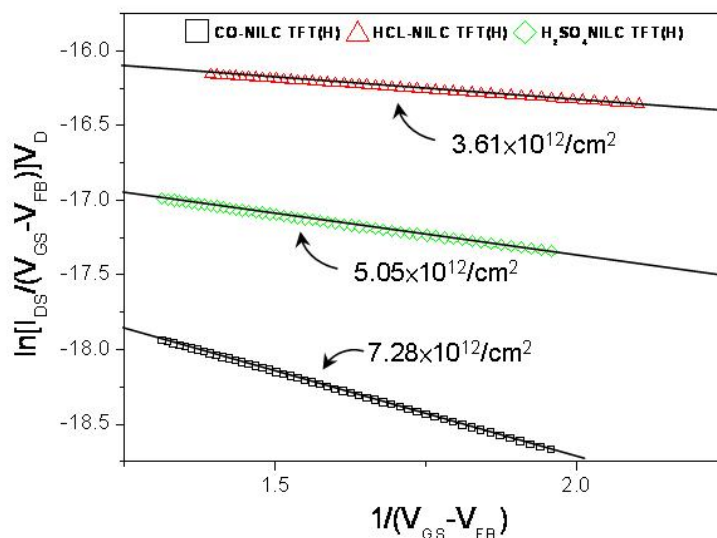


圖 3.6 NILC 三組元件以 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖。

由圖 3.6 可以看出 CO-NILC TFT(H) 具有高度的捕陷密度(Trap state density)，HCL-NILC TFT(H) 的捕陷密度確實下降了。在第二章節我們已經討論過，在 Oxide/Si 界面處聚積的 NiSi₂ 會造成缺陷密度的提升，因此，我們進一步驗證以鹽酸進行表面處理是否能夠將 Oxide/Si 界面處聚積的 NiSi₂ 移除，我們如法砲製了一組以相同製程製作的 TFT，僅結晶技術是以固相結晶法製作，而結晶生成的退火時間是在主動層上方覆蓋一層 TEOS-Oxide 進行 540°C 36 小時退火加上活化製程 600°C 退火 12 小時，元件待號分別為 HCL-SPC TFT(H)、H₂SO₄-SPC TFT(H) 及 CO-SPC TFT(H)。

接著我們以相同的量測手法進行的電性量測，如圖 3.7 及圖 3.8 所示的 $V_D=0.1V$ 與 $V_D=5V$ 的 I_d-V_g 轉移特性曲線圖。

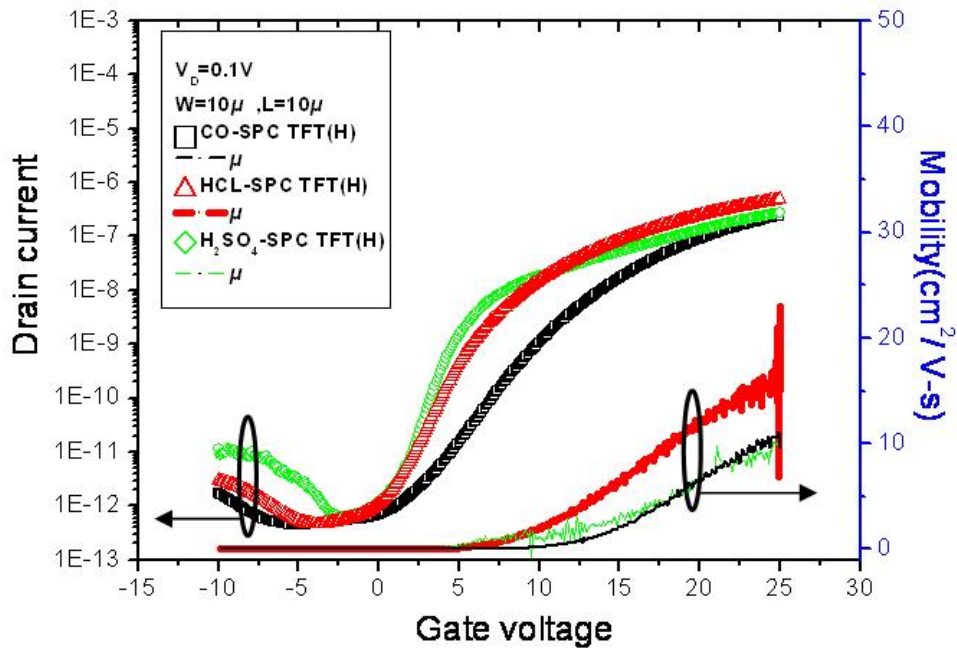


圖 3.7 $V_D=0.1V$ ，SPC 三組元件的 I_d-V_g 轉移特性曲線圖。

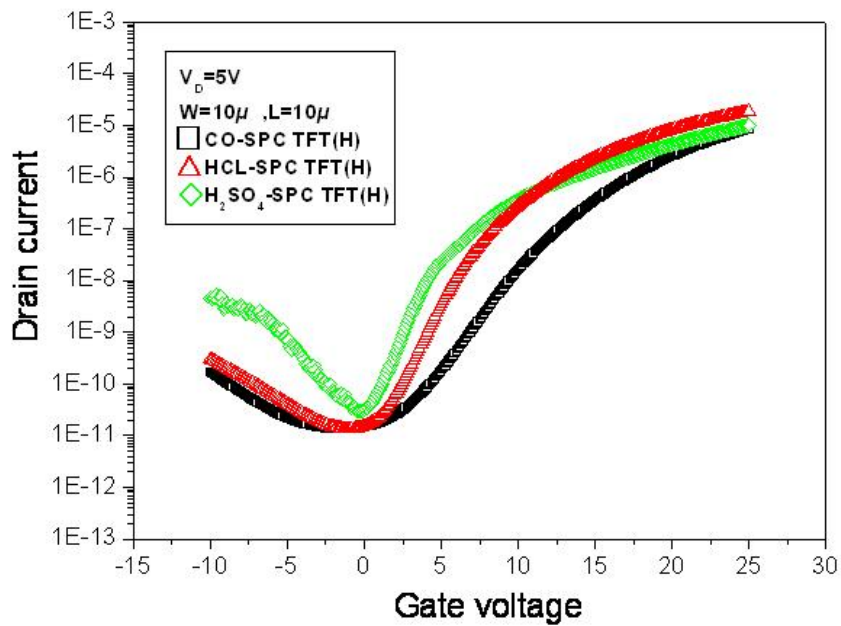


圖 3.8 $V_D=5V$ ，SPC 三組元件的 I_d-V_g 轉移特性曲線圖。

表 3.3 CO-SPC TFT(H)、HCL-SPC TFT(H)、 H_2SO_4 -NILC TFT(H) 電性參數比較表

$W/L=10\mu m/10\mu m$	CO-SPC TFT(H)	HCL-SPC TFT(H)	H_2SO_4 -SPC TFT(H)
Mobility ($cm^2/V\cdot s$)@ $V_D=0.1V$	11.02±5	16.5±5	9.86±5
Subthreshold Slope (V/dec.)@ $V_D=0.1V$	2.18±0.4	1.27±0.4	0.83±0.5
Threshold Voltage (V) @ $V_D=0.1V$	13.83±2	9.09±2	3.4±3
On/Off ratio current (10^5) @ $V_D=5V$	6.21±2	13.86±2	7.61±2
Minimum leakage current / channel width (pA/ μm) @ $V_D=5V$	1.35±1	1.36±1	2.95±1

由圖 3.7 及圖 3.8 與表 3.4 中可以看出，經過鹽酸處理的 HCL-SPC TFT(H) 一樣在同製程的條件下擁有較高的電子遷移率及開關電流比，以 Levinson's and Proano's 方法做了捕陷密度的計算，如圖 3.9 所示。

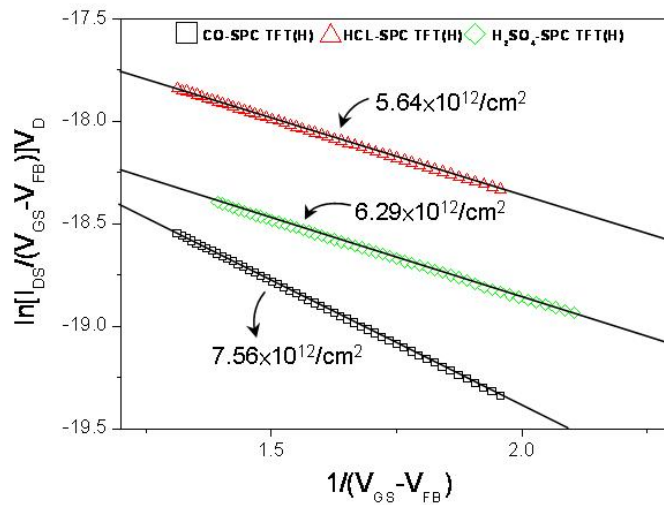


圖 3.9 SPC 三組元件以 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖。

由圖 3.9 中顯示 SPC 結晶製程製作的 TFT，再移除結晶製程前覆蓋的氧化層後經過鹽酸溶液與硫酸加雙氧水溶液的表面處理後，的確對降低了補陷密度，主動層表面經硫酸加雙氧水溶液處理過的 H_2SO_4 -SPC TFT(H) 約降低了 41%，而經過鹽酸處理的 HCL-SPC TFT(H) 約降低了 30%，而由圖 3.6 顯示以 NILC 結晶製程製作的 TFT 在移除氧化層並對主動層表面以硫酸加雙氧水溶液處理的 H_2SO_4 -NILC TFT(H) 比起未經處理的 CO-NILC TFT(H) 在缺陷密度的計算上約降低了 44%，而表面經鹽酸處理經過的 HCL-NILC TFT(H) 大幅降低了 102%，為了方便比較，我們將數據整理列於表 3.4。

表 3.4 電子遷移率與捕陷密度改善效率比較表

Use solution	HCL		$H_2SO_4 + H_2O_2$	
Crystallization	NILC	SPC	NILC	SPC
Rate				
$(\mu_{\square}/\mu_{co} - 1) \times \%(\uparrow)$	172%	50%	67%	-11%
$(Nt_{co}/Nt_{\square} - 1) \times \%(\downarrow)$	102%	34%	44%	20%

從表 3.4 中我們比較出表面經由鹽酸溶液處理的 NILC 與 SPC 元件對電子遷移率均有提升，而提升效果以 HCL-NILC TFT(H)元件的效過最為顯著。接著比較缺陷密度改善的效果，發現 HCL-NILC TFT(H)大幅的降低了缺陷密度，而硫酸加雙氧水溶液對不同結晶製程的 TFT 元件改善效果並明顯的差異。因此我們推測以硫酸加雙氧水溶液進行表面處理無法有效的移除聚積在表面的 NiSi_2 ，這是因為我們比較了在不同結晶製程下以硫酸加雙氧水溶液進行表面處理的捕陷密度並無明顯的差異，而鹽酸可能移除了大部分聚積在表面的 NiSi_2 ，使得缺陷密度下降及電子遷移率獲得提升。

接著可由缺陷密度觀察出不同的溶液進行表面處理對 SPC 結晶製程的 TFT 也沒有太大的影響影響並不大，在電子遷移率方面，HCL-SPC TFT(H)的略為提升， H_2SO_4 -SPC TFT(H)雖微微下降，但還在標準差範圍，影響不大。

3.6 結論

本研究主要的內容是將預先在主動層上覆蓋氧化層再進行 NILC 製程於 Oxide/Si 界面所聚積大量的 NiSi_2 ，藉由常見於半導體製程中的化學溶液進行表面處理，比較 NILC TFT 電性改善的效果，我們藉由不同的結晶技術驗證了改善的效果。

由電性量測可以觀察出以鹽酸對不同結晶製程進行表面處理能夠提升載子遷移率及開關電流比，對 NILC TFT 而言，載子遷移率大幅提升 172%，開關電流比提升了 387%，這是由於鹽酸有效地移除了 trap 在 Oxide/Si 界面處的 NiSi_2 。

硫酸加雙氧水溶液對不同的結晶製程進行表面處理並無太大的變化，這是因為硫酸加雙氧水溶液無法有效的移除 trap 在 Oxide/Si 界面處的 NiSi_2 ，即效果不如鹽酸。

参考文献

- 【3-1】 <http://www.shiyanjichina.cn/info/detail/3-483.html>
- 【3-2】 <http://www.2ic.cn/?uid-255120-action-viewSPACE-itemid-6892>
- 【3-3】 Zhiguo Meng et al., “High Performance Low Temperature Metal-Induced Unilaterally Crystallized Polycrystalline Silicon Thin Film Transistors for System-on-Panel Applications”, IEEE Trans. Electron Devices, 47, pp. 404-409 2000.
- 【3-4】 Zhiguo Meng et al., “Polycrystalline Silicon Films and Thin-Film Transistors Using Solution-Based Metal-Induced CrystallizationJ. Display Technology, 2 , pp. 265-273, 2006.
- 【3-5】 Donald A. Neamen, “Semiconductor Physics & Devices”. 2ndED, Chaper 10.



第四章 總結與未來工作

4.1 總結

我們比較了鎳金屬誘發側向結晶與固相結晶，即 NILC 與 SPC，對其微結構作觀察與分析兩種不同製程相較之下，SPC 複晶矽成長機制，在非晶矽膜的每個位置都有可能成核，導致成核數目過多，反而使得晶粒在成長的過程中受到周圍晶粒的限制而無法得到大晶粒，NILC 複晶矽成長的晶粒擁有較大的晶粒尺寸，且藉由幾何圖形的設計，我們可以控制 NILC 晶粒成長方向平行通道，降低通道中晶界的密度，提升載子遷移率。

由實驗證明不論是有/無覆蓋氧化矽薄膜皆不會影響 NILC 的成長速率，由文獻報導我們知道 Ni 原子或 NiSi₂ 會被 trap 在 a-Si 薄膜上下界面，被 trap 住的 NiSi₂ 影響了 NILC TFT 特性，造成電子遷移率下降，臨界電壓飄移及開關電流降低。

我們也利用了半導體製程中常見的化學溶液，即鹽酸與硫酸加雙氧水溶液兩種溶液對兩種不同的結晶化製程對表面做處理，由實驗中我們發現鹽酸對表面移除 NiSi₂ 的效果較為顯著。



4.2 未來工作

近年來由於對顯示系統的解析度與耗電量的要求逐漸提高，低溫多晶矽薄膜電晶體(Low-Temperature Poly-Si Thin Film Transistors, LTPS TFTs)被視為未來可能成為下一世代的顯示技術主流，與傳統a-Si:H顯示器最大差異在於LTPS 反應速度較快，且有高亮度、高解析度等優點。

在未來將持續針對 LTPS 做更深入的了解，以及如何提升 LTPS TFT 效能，例如利用缺陷捉聚機制降低 NILC 複晶矽中 Ni 的含量降低漏電流，提升元件可靠度並設計結合成長機制增加晶粒尺寸以及摻雜不同元素於主動區探討對元件特性提升效果等等。

目前主流的多晶矽薄膜電晶體結構是使用上閘極結構，將進一步研究如何運用於下部閘極結構，結合非晶矽薄膜電晶體製程。