

第一章、序論

1-1. 電子封裝簡介

電子封裝技術是目前電子產業相當重要的一環，主要功能在於將訊號由電子元件經由基板的連線傳遞到外部的其他元件，以達到電力及訊號的傳送；並藉由基板的連接增加散熱面積、以避免元件使用過程中所產生之熱量累積對晶片造成損壞，以及藉由外部封裝材料保護核心相當脆弱的電子元件，一般而言電子構裝細分成三種不同的層級(level) [1]，如圖 1-1 所示，其中的第一層封裝是將裸露的積體電路晶片經由各種方式（覆晶接合、打線封裝或捲帶封裝）將其 I/O 經由構裝體的線路連接出來，及晶片的密封保護之製程 (Chip to Module)；第二層級是將第一層次封裝完成的元件組合於印刷電路板上的製程 (Module to PCB)；第三層級則把數個電路板組合於主機板上 (PCB to mother board)，在第二層封裝部分，面臨的挑戰在可攜式電子產品的快速發展的同時，如何在無鉛化的同時又可以保有抗衝擊的可靠，是目前在封裝上的挑戰。本篇研究將討論在第一層封裝上，無鉛錫銀銲錫對 Cu 5 μ m 與 Cu 5 μ m/Ni 3 μ m 金屬墊層的可靠度與破壞進行研究。隨著電子產品朝微小化、高速化的發展，如處理器以及繪圖晶片等消費性電子產品的大量需求，封裝技術勢必需

面對如下的挑戰：1. 接腳間距縮小 2. 接點厚度降低 3. 散熱不易。

當前發展成熟的金線打線接合的方式，因為僅可在晶片周圍連接導線，接點數有其極限（圖 1-2.）[A]已經無法滿足需要高密度接點的需求，然而具有體積小、單位面積下具高 I/O 數、低電子遲滯性、散熱好、自組裝特性 (Self-alignment)) (圖 1-3)、良好的電性等優點的覆晶封裝開始被使用並成為目前高階產品封裝的主流。覆晶封裝最早由 IBM 公司在 60 年代所提出，覆晶接合方式系利用錫球面朝下接合的技術如（圖 1-4），稱為 C4 製程，如(圖 1-5) (Controlled Collapse Chip Connection) [2]。積體電路晶片與基板的連結，是以晶片上的錫料凸塊和在基材上的連接材料所形成的電路連結，C4 製程利用高鉛錫做為錫錫凸塊(solder bump)來接合。高鉛的優點在於，有良好的延展性可抵抗來自外部的衝擊，之後亦有衍生出以共晶錫鉛做為錫料，共晶錫對於銅的接觸角小，可有效防止剝離(sapling)，同時具有優異的溼潤效果(wettability)、機械強度、可靠度以及低熔點，所以常被使用於基板的接著媒介。且鉛價格低廉，可以有效降低成本，且具有自動對準的功用，可增加製程的簡便與速度。

但是鉛會造成許多問題，諸如環境汙染、破壞人體神經系統。各國對於電子產業中，已經明文立法要求，歐盟實行”限用有害物質指令(RoHS)”，日本則完全禁止，在西元2005之後的國內電子元件，不

得含有鉛、鎘、汞與溴化耐燃劑(多溴聯苯類、多溴聯苯醚類)物質。

為了將來要把電子產品銷售到這些國家，需將電子產品無鉛化以符合無鉛環保的規定。

1-2. 無鉛議題

長久以來，鐸錫中所用到的鐸料都是以錫鉛系合金，如高鉛-共晶錫鉛之複合鐸錫 (composite solder)、或共晶錫鉛 (eutectic SnPb) 為主，因為含鉛鐸錫具有以下優點：一、鉛提供良好的延展性及表面光澤；二、鉛可使鐸錫有效降低表面能跟介面能；三、共晶錫鉛的熔點為 183°C 相對於純鉛(232°C)與純錫(327°C)有較低的熔點；四、95Pb5Sn高鉛鐸錫的液相點與固相點溫差大約為 10°C ，可被當為高溫鐸錫使用。因此，具有低熔點的共晶錫鉛焊錫和具有高熔點的高鉛鐸錫可被運用為複合鐸錫以避免高鉛鐸錫的高溫製程過程中對底部的塑膠基板造成傷害。然而鉛具有毒性，近年來環保議題逐漸受到重視，基於鐸錫材料中的鉛對人體及環境的影響，而開始有禁用或限制使用的呼聲。歐盟議會通過了 RoHS (Restriction of Hazardous Materials) 法案[3]，亦即限用有害物質法案，規定成員國必須在2006年7月1日以後禁止大部分鉛的使用。日本的 JEIDA (Japanese Electronic Industry Development Association) 也訂定出無鉛鐸料的使用時程[4]，規定有

鉛錒料在 2005 年以後只能用在部分特例上，許多日本公司更是提早引入無鉛相關製程應用於其消費及電子產品。之後許多國家相繼跟進禁鉛的計畫，也宣告無鉛錒料時代的來臨。但以工業的角度來看，無鉛錒料的要求對各項產業帶來非常大的衝擊，因為無鉛錒料的製程及特性與過去時代有很大的不同，加上新材料的出現所引發的專利問題，因此電子工業發達國家均非常重視無鉛錒料的研究，紛紛訂定各自的發展計畫，期望可以找到適當的無鉛錒料，把衝擊減到最低。選用之無鉛錒錫須具備含鉛錒錫的優點而又不具毒性；故近年來無鉛錒錫開發已成為微電子工業相當重要的一項研發工作，台灣身為全世界主要之半導體元件製造及封裝重鎮，更必須積極因應以維持優勢。在製程方面，無鉛錒錫選擇須考慮以下幾點：一、熔點須低於 260 °C，因為目前大多數封裝業所採用基板均為高分子基板，無法承受過高的迴錒 (reflow) 溫度，故所使用的錒錫材料其迴錒溫度不能過高。二、良好的熱、電和機械性質，在原本在錒錫材料中可以吸收機械應力的鉛被禁用後，無鉛錒錫本身所承受的應力問題也成為一重要的課題。三、合理的價格以及容易取得性：由於目標為大量的消費級電子產品，故無鉛錒錫的成分來源需均顧原料成本及可得性。四、無毒性與環境污染之虞：成分必須對人體及環境友善，五、易於生產製造。目前包括美、歐、日等先進國家，紛紛提出多種不同合金組成的錒料，

例如 Sn-Cu、Sn-Ag、Sn-Zn、Sn-Ag-Bi、Sn-Ag-Cu 等，而目前最被看好的鐸料，則是以錫銀合金為主的無鉛鐸料，未來無鉛鐸料的開發與研究是目前非常熱門的議題，新組成的鐸料必須有良好的性質。

1-3. 研究動機

隨著高科技新產品不斷追求輕薄短小，高速化，電子元件功能的必須更大幅增加，尺寸相對的縮小，鐸錫接點的尺寸勢必隨之縮小 而所承載的電流也相對的提高，再加上電流集中效應(current crowding effect) 的影響，所以對於元件所產生的焦耳熱(Joule heating)勢必會相當的可觀。因此，此電熱效應的結合，在鐸錫接點通電後的破壞模式中，扮演很重要的角色，鐸錫接點內因通入高電流所造成的溫度梯度(thermal gradient) 將會很大，故鐸錫接點內的熱遷移效應(thermomigration)不能輕忽。另外由於傳統的錫鉛材料之鉛會對環境造成危害，在重視環保的今日，無鉛化已確定是未來的趨勢；共晶錫銀是目前最看好用來取代錫鉛鐸錫的替代的鐸料，然而以前適用於共晶錫鉛凸塊的各種設計以及對應材料，對於無鉛鐸錫凸塊來說不一定可行，其可靠度就更需要做評估，此為本篇研究的主要重點。在電性量測方面，在積體電路中凱文鐸錫結構

(Kelvin bump probes) 很早就被利用 (如圖1-6.)，相關研究甚至可溯及上個世紀的前半，該結構可針對欲量測的指令範圍做電性的觀測，且可避除接點電阻對電性量測的影響，故長久以來一直都是電性量測的首選工具之一；而在過去利用凱文結構做電遷移觀測的相關研究則可回溯到70年代，在Al stripe上利用凱文結構做詳細的電性分析，到目前為止，覆晶鉚錫接點電遷移研究中的電性觀測，一般對於鉚錫凸塊系統的研究中多以雛菊花環結構 (daisy chain structure)，直接定義電路開路時為鉚錫接點破壞的時間，可是這樣的實驗方式會產生不少問題，首先，因為鉚錫接點本身的電阻通常大約為幾個 $m\Omega$ 僅佔總迴路的極為小部份，或是迴路的總電阻就已經超過鉚錫電阻的大小，故雛菊花環結構對於覆晶鉚錫接點內的微小變化極不敏感無法對於鉚錫接點電阻變化做精確的觀測，僅僅可偵測到鉚錫接點的破壞；第二，由於製程上的方便，迴路上的鋁導線與欲研究的焊錫點之幾何結構差異極為可觀，負載電子流流動的截面差異百倍以後並不少見，在此情況下，總迴路上承受電遷移能力最差的點不一定在鉚錫接點本身，鋁導線也很有可能是造成電路開路的原因，一但這種情況發生，就很有可能造成覆晶鉚錫接點電遷移破壞時間分析上的錯誤。儘管雛菊花環結構有上述的重大缺點，但因為試片設計與製作過程上的方便，截至目前為止在覆晶鉚錫接點的相關研究中，雛菊花環結構一直

都還是最常見也最容易被利用的結構，由於覆晶鉚錫接點中的凱文結構因為還沒有一定的設計規範，且試片設計的門檻也較高，故將凱文結構利用在覆晶鉚錫電性的相關研究一直都很少見。凱文結構的優點可以量測鉚錫內部如介面間的細微變化、IMC的生成、或是內部的微結構遭到破壞，利用這種技術在電遷移效應產生期間對於整個系統的輕微的電性變化都可以量測出來，而準確值可以達到毫歐姆的等級。利用凱文結構可以量測一顆鉚錫接點的電阻值，而為小到0.1 毫歐姆也可以量測出來。因此藉由此分析方法，可以輕易並且精確的觀測到鉚錫接點中的細微變化。在本研究中將使用凱文結構量測單顆鉚錫球的電阻變化，對無鉛共晶錫銀鉚錫接點搭配不同Cu 與 Cu/Ni金屬墊層在高溫通電下的可靠度及破壞模式做進一步的討論。

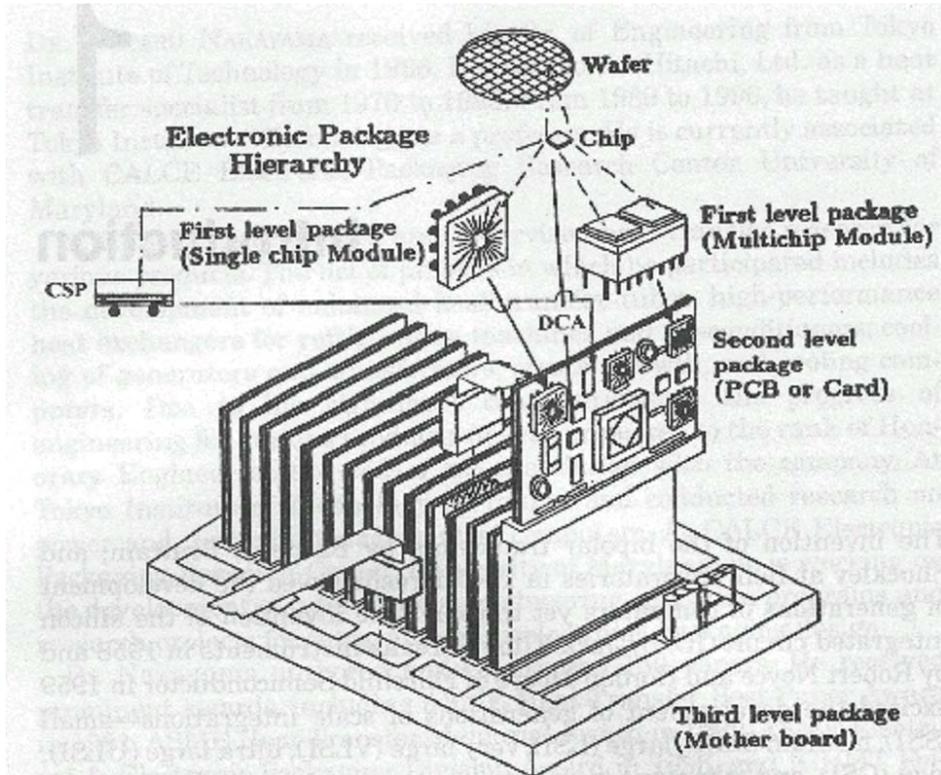


圖 1-1 各封裝層級示意圖。

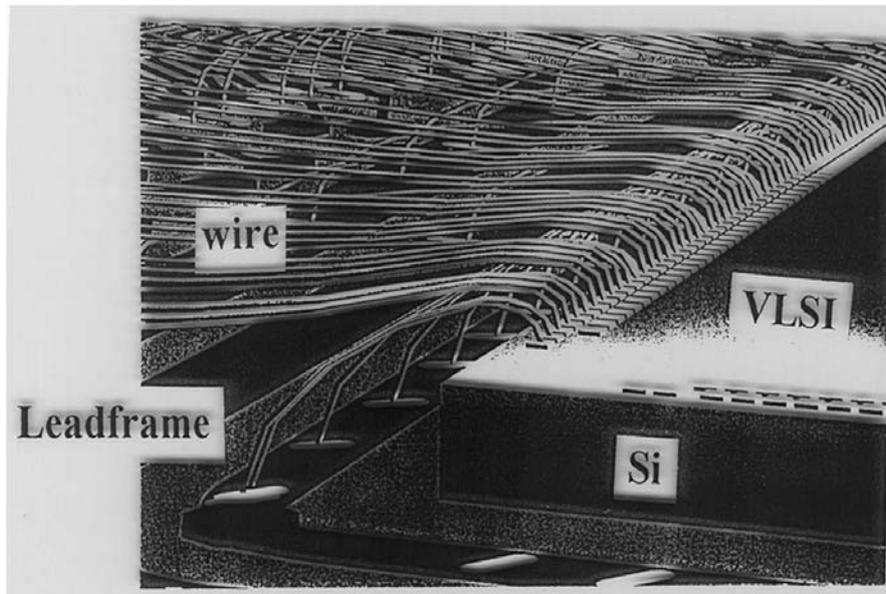


圖 1-2 打線封裝 (wire-bonding) 示意圖。

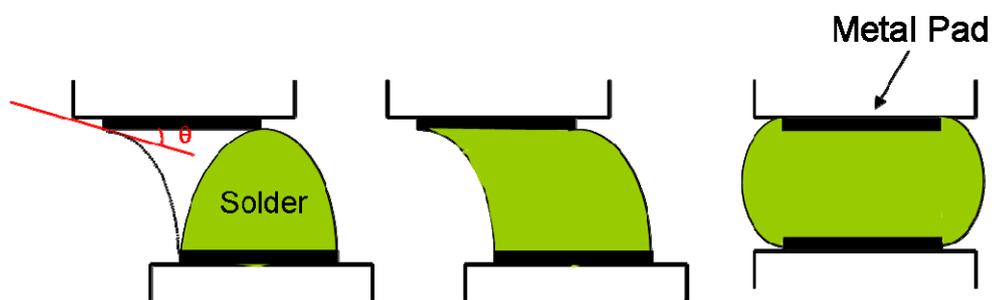


圖 1-3 覆晶鉚錫自我對位 (self alignment) 示意圖。

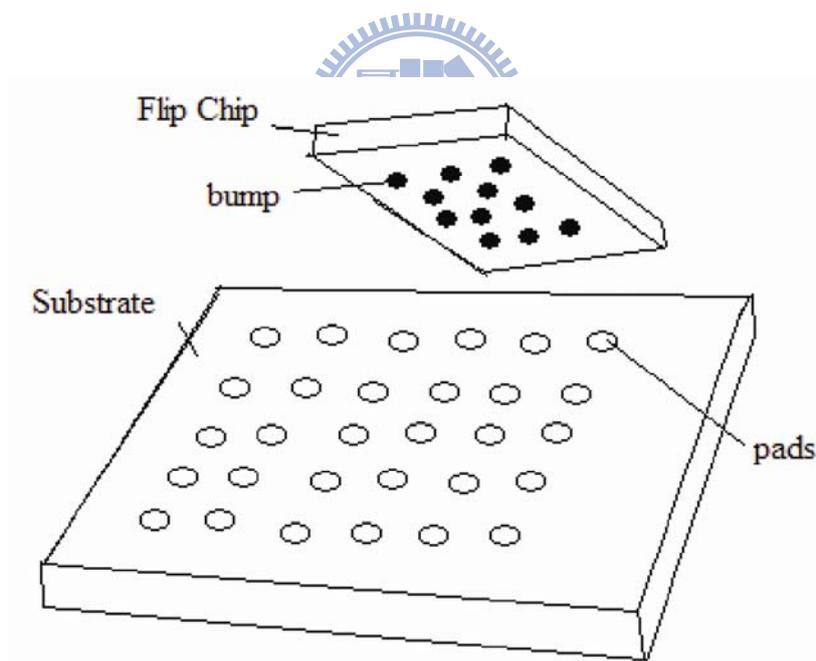


圖 1-4 覆晶鉚錫 (flip chip) 封裝示意圖。

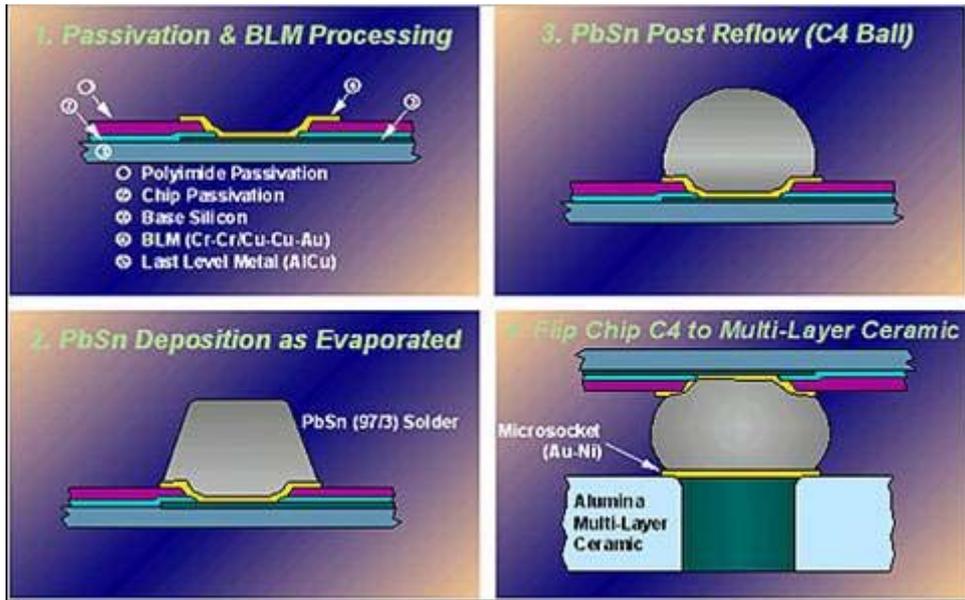


圖 1-5 Controlled Collapse Chip Connection 製程示意圖。

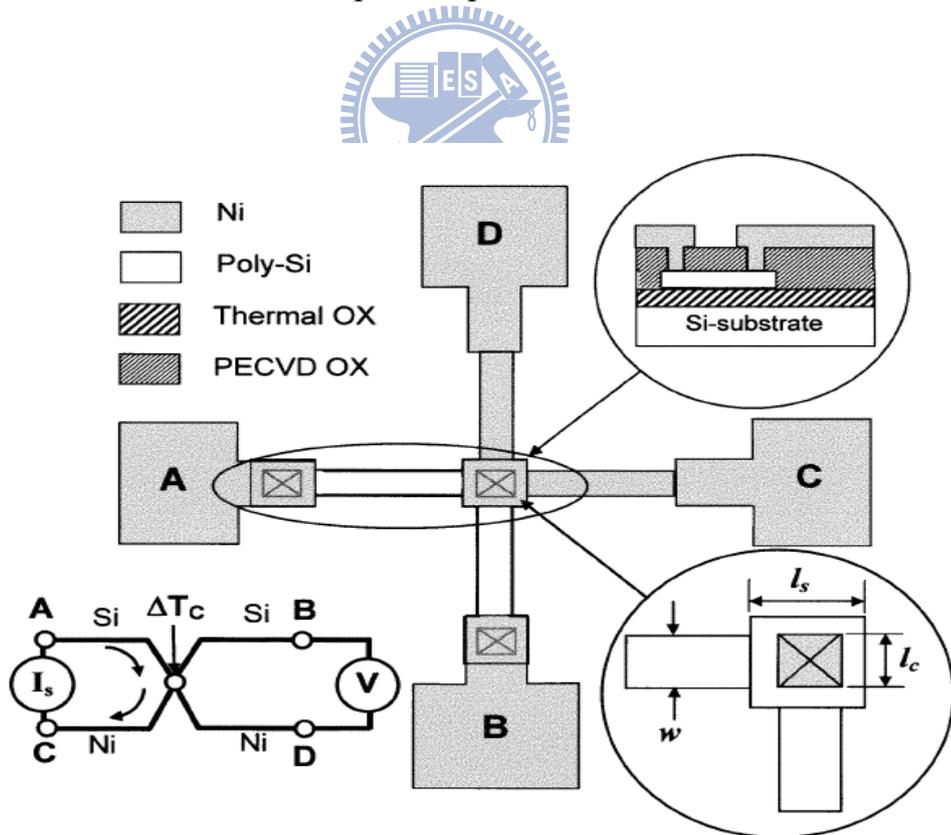


圖 1-6 Kelvin structure 在半導體電性量測示意圖

第二章 文獻回顧

2-1. 電遷移理論

電遷移(electromigration)是一種質量藉著電場以及電荷移動的現象。藉著電場的驅動，質量移動方向等同於電子移動方向。如(圖 2-1)所示，這是一個典型的 Blech 結構[5]，顯示電遷移效應在鋁導線中的影響。由於電遷移的效應在陰極端產孔洞，而陽極端產生質量堆積。K. N. Tu 發表於 JAP.2003[6]有系統的介紹電遷移起源，金屬部份的電遷移，則是由 P. S. Ho 與 T. Kwok[7]最先提出研究，Seith 與 Wever 也以定位點 (marker) 的運動，來量測質量遷移的位移量，此方式在測量電遷移上，後來成為標準的方法。電遷移的主要驅動力為電子風力(electron wind force)，在 1914 年由 Skaupy 提出，來量化電遷移的質量傳輸。

H. Wang, C. Bruynseraede 等人在 APL 2004 提出[8]，當電子聚集發生於電遷移在銅導線的 damascence 當中，為了加速電子聚集效應，他們使用特定的結構並且發現到有孔洞的產生，而後藉由有限元素分析法的模擬結果，可得知持續性的原子推動力是如何作用在特定的路徑上，最後導致孔洞產生，同時原子流的發生也受到通電造成的焦耳熱效應溫度梯度影響。

由Nernst-Einstein提出以下電遷移通量的計算公式:

$$J = \frac{Ne\rho}{kT} Z^* jD = \frac{Ne\rho}{kT} Z^* jD_0 \exp\left(-\frac{Q}{kT}\right) \quad (1)$$

J 為電遷移通量， ρ 為密度 T 為絕對溫度， Z^* 有效電荷量， D_0 為擴散係數， Q 為擴散活化能。從其中相關研究得出在不同 Blech 結構線寬下會有不同的漂移速率以及活化能，(10, 3, 11 μ m) 的飄移速率分別為 16、49、66 nm/h，而活化能為 0.73 ± 0.12 eV。[9][10]

在 K. N. Chiang, C. C. Lee 等人發表在 APL 2006 的文獻中[11]指出，無鉛錒錫受電遷移作用影響下，會有明顯孔洞生成並且有介金屬化合物 intermetallic compound (IMC) 生成。如(圖 2-2)並且破壞不僅僅在鋁導線與錒錫接點，同時也可能發生於鋁導線或是銅導線處。可以使用 Black'equation 來估算電遷移活化能。以下為 Black'equation:

$$MTTF = A \frac{1}{j^n} \exp\left(\frac{Q}{kT}\right) \quad (2)$$

MTTF(mean-time to failure)為定義的焊錒接點平均破壞時間， j 為電流密度， T 為絕對溫度， Q 為電遷移活化能。也可利用此公式來判斷受電遷移影響之接點平均破壞時間，將公式可改寫成以下形式:

$$\ln(MTTF) = \ln A - n \ln J + \frac{Q}{kT} \quad (3)$$

改變電流密度 j 以及溫度 T ，配合公式作圖可由斜率及截距得知 n 值以及 Q 值，進而估算鉚錫接點之平均破壞時間。

2-2. 鉚錫接點內的電遷移現象

儘管金屬線中的電遷移效應已為前人所發現，但是由於覆晶鉚錫系統的幾何結構由平板狀導線加上鉚錫球所組成，並非一般單純的線狀或塊狀，加上其組成成分複雜；金屬導線、金屬墊層及鉚錫本身的材料均不相同都會影響到鉚錫系統受電遷移的影響，而鉚錫系統的電遷移現象不同於一般銅或鋁導線所展現的電遷移行為，這是因為銅或鋁金屬擁有極高的熔點，加上純金屬與鉚錫系統之間的微結構截然不同的緣故；由於銅或鋁導線的熔點均超過 $1000\text{ }^{\circ}\text{C}$ ，而通電情形下的鉚錫接點溫度約在 100 至 $200\text{ }^{\circ}\text{C}$ ，這個溫度對於銅或鋁導線來說過低以至於電遷移的現象不明顯，但相對於鉚錫接點本身來說其溫度已經達到其熔點的 60% 以上，故電遷移的影響將相當顯著。

在金屬與積體電路的研究中，K. N. Tu 發表於 JAP. 2003[12] 有系統的介紹現今電遷移的起源。現在由於積體電路的尺寸縮小，而使得鉚錫的電流密度增加，因此電遷移在鉚錫球中是一個重要的可靠度議題。在大多數高效能元件上 在一個晶片上約有 7000 個鉚錫接點假設

每個錒錫接點的直徑為 50 μm 當他通過一個 0.2A 的電流時電流密度約為 10^4 A/cm^2 這樣的電流密度約比通過銅導線或鋁導線的電流密度小兩個數量級，但是在這樣一個小的電流密度電遷移現象仍然會因為晶格擴散而發生[13][14]。目前所知會影響錒錫電遷移現象的因素是：一、錒錫的合金成分；因為錒錫中主要的擴散元素是鉛或錫，因此這兩種元素在錒錫中所含的比例會影響電遷移的速率，同時因為合金成分不同，造成微結構的差異也是另一個原因；二、電流密度；電流密度分布不均勻造成的電流集中效應也會造成電遷移破壞；三、通電時錒錫內的溫度；電流通過時，電子與周圍原子激烈碰撞，所產生的焦耳熱效應，提高了錒點的溫度，因為錒料主要是低熔點的金屬，升溫會顯著加速錒點中的界面反應。上述的這些因素對電遷移的破壞時間或成因都有很大的影響。

2-2-1. 焦耳熱效應

焦耳熱(Joule heating)是當電子通過金屬時，電能會轉變為熱能，此熱能會對錒錫接點造成影響熱，焦耳熱造成的功率可表示為以下式子：

$$P = I^2 R = j^2 \rho V \quad (4)$$

P 為熱功率， I 為電流， R 為電阻， j 為局部電流密度， ρ 為電阻

率， V 則為體積。 I^2R 為總熱功率， $j^2\rho$ 為單位體積下的熱功率。此熱量會對鉛錫凸塊內部的溫度造成影響，是為焦耳熱效應(Joule heating effect)。

在 S.H. Chiu 與 C. Chen 等人發表於 APL 2006 的文獻當中指出 [15]，鉛錫接點在通電作用下，產生的焦耳熱效應，對鉛錫溫度的影響，並提出利用紅外線顯像技術對通電的覆晶結構觀測，驗證熱點(hot spot)的存在，熱點出現在鉛導線進入鉛錫處。如(圖 2-3)所示，而焦耳熱效應會提高鉛錫溫度並使得電阻上升。鉛錫內部實際溫度與實驗溫度不同，會造成平均破壞時間，見公式(3)，中的溫度項產生誤差，溫度項 T 與平均破壞時間(MTTF)呈 \exp 層級減少，些微的影響即會造成很大的差異，Wu et al.在 ECTC 2002[17]中提到，在共晶錫鉛鉛錫中，電流密度為 $5 \times 10^3 \text{ A/cm}^2$ ，因為焦耳熱效應會使得原本的溫度從 125°C 提高為 150°C ，導致平均破壞時間由 277 小時變為 84 小時，由以上可知溫度項影響之巨。

2-2-2. 電流集中效應

由 Liang et al.在JMR[18]所發表的研究中指出，藉由三維有限元素分析法模擬可得到電流密度在鉛錫接點中的分布，鉛錫內部最大電流密度遠大於平均電流密度，最大電流密度出現在鉛錫凸塊與金屬墊層的介面，是電遷移最易發生之處，導致空孔喜好分布在此介面上，

這是局部高度電流密度產生的電流集中效應(current crowding effect)所致。當電子流從導線通往錒錫內部時，其路徑面臨劇烈的幾何形狀改變，因為導線與錒錫的接觸面面積遠小於錒錫截面積大小，加上金屬墊層的電阻率也小於錒錫之電阻率，使得大部分的電子流集中在鋁導線與金屬墊層的介面，鋁導線與金屬墊層的介面處會先散布電子流，而後這些電子流再流入錒錫內部，此舉會造成電子流的分布不均勻，電遷移現象出現在最大電流密度之處導致破壞，電流集中效應在電遷移破壞中扮演重要的角色。

2-2-3. 鋁導線在薄膜金屬墊層中的破壞

Seung-Hyun Chae 等人發表 2006 年發表，共晶錒銀錒錒若使用的是銅的 UBM，通常孔洞會先形成於 Cu_6Sn_5 與錒錒的介面在電遷移測試的初期，但是導致試片形成斷路的孔洞則會沿著 Cu_6Sn_5 與 Cu_3Sn 的介面擴展(圖 2-5)；而共晶錒銀錒錒使用的是鎳的 UBM 時，孔洞在電遷移測試的初期會沿著 Cu_3Sn_4 與錒錒的介面形成，最後擴展開始錒錒接點形成斷路如(圖 2-6)所示。介金屬化合物的生長是藉由電子流的驅動，遵循著線性關係的成長動力學(圖 2-7)，而介金屬化合物的成長伴隨著體積的收縮，這一結果加速了破壞的發展在電遷移測試下。

2-3. 電遷移造成鉍錫凸塊破壞的機制遷移

2-3-1. 電遷移下造成不對稱的 UBM 消耗

在 Y.C. Hu 等人[20]的研究中，在晶片端採用14m 厚的銅 UBM 與銅導線及鉍錫凸塊接合，在 100°C 下通以電流密度為 2.5×10^4 A/cm²，因在鋁導線與鉍錫凸塊的介面處為電流集中效應區，此效應造成銅墊層快速的溶解，不只有 UBM 結構的銅層發生溶解，連部份的銅導線也都消耗掉，而鉍錫就沿著銅墊層回填到介金屬化合物層與鋁導線，促使鉍錫凸塊加速破壞如圖力，況且導線處的電流密度更高，所以會破壞更快。



2-3-2. 電遷移下造成孔洞的生成

Everett C. C. Yeh, 等人[21]的研究顯示，Al/Ni(V)/Cu 所構成的薄膜 UBM 結構，總厚度為 1 μ m，在 125°C 通以 2.25×10^4 A/cm² 的電流密度，在電遷移可靠度測試中，同時記錄電位的變化，發現當孔洞生成在 UBM 與鉍錫凸塊的介面處時，電位有些微的變化，當孔洞延著此介面生長與橫越整個接觸面積時，電位會瞬間的上升，並且發現到，孔洞生成的凝核時期，需要比較多的時間，一旦孔洞生成，即快速的生長而導致迴路開路如(圖2-8)。

在 K. N. Tu 等人[16]的研究中，當 95.5Sn–4.0Ag–0.5Cu 鉍錫球

搭配Al/Ni(V)/Cu 所構成的薄膜 UBM 如(圖2-9)，在 146°C 電流密度為 $3.67 \times 10^3 \text{A/cm}^2$ 的測試下，電阻上升15%後觀測到鬆餅狀的孔洞生成在介金屬化合物 與鍍錫凸塊的界面處，經過 6 小時孔洞橫越了整個界面，並提出數學模型以解釋孔洞在界面成長的情形，利用此模型可以推算出，在不同的測試條件下孔洞的生長速率及其對應的孔洞大小，最後經由實驗結果來驗證，發現數學理論值與實驗結果十分吻合。

2-4. 減緩電遷移現象的應變與討論

在覆晶鍍錫凸塊電遷移可靠度測試中，主要破壞因子為電流集中效應造成孔洞生成與 UBM 的溶解，在此可以藉由更換其他類型的材料或更改結構的設計，藉此來減緩電流集中效應提高鍍錫凸塊的可靠度。

2-4-1. UBM 種類的變換

T. L. Shao 等人[23]利用模擬的方法，針對不同材質與結構的 UBM，去探討鍍錫凸塊的電流密度分佈情形，研究中定義 crowding ratio 為最大電流密度除以 UBM 處的平均電流密度並藉由 crowding ratio 的大小來推估抗電遷移的能力，文中提出當五種不同結構的晶片端 UBM，分別為薄膜：Ti /Cr-Cu / Cu、Al / Ni(V) / Cu，

厚膜：Cu、Ni、Cu / Ni。crowding ratio 大小分別是 Ti / Cr-Cu / Cu > Al / Ni (V) / Cu > Cu > Ni > Cu/Ni。實驗結果發現 crowding ratio 值越大，其破壞時間也就越短，與模擬結果相吻合。最後提出厚膜 UBM 可以有效的減緩電流聚集效應，增加抗電遷移的能力。

2-4-2. UBM 厚度的改變

Jae-Woong Nah, 等人[24,25]研究一個具有抵抗電流集中效應引起電遷移破壞的結構，研究中採用厚為 5 μ m、10 μ m、50 μ m 的銅墊層接在 20 μ m 鉛錫凸塊上進行電遷移測試，如圖 2-10，再搭配數值模擬方法去探討鉛錫凸塊的電流密度分佈情形，模擬結果顯示鉛錫凸塊內部的電流密度分佈隨著銅墊層的厚度越厚越均勻，達到 50 μ m 厚的銅墊層時，電流集中效應已由鉛錫凸塊和銅墊層的介面與轉移到厚銅金屬墊層的內部，此轉移增加了鉛錫凸塊抗電遷移的能力，因銅金屬墊層本身就比鉛錫凸塊更抗電遷移，在實驗方面也證實同樣的結果，其破壞模式為銅墊層的快速溶解，與大量介金屬化合物的生成，但此兩種結構皆比在鉛錫凸塊更抗電遷移，且銅墊層越厚有越長的 MTTF，然而 5 μ m 和 10 μ m 的破壞模式都一樣，到了銅墊層厚度超過 10 μ m 時，其主要破壞並非因電遷移效應所造成，反而伴是隨著熱遷移現象取代電流集中效應而影響可靠度。

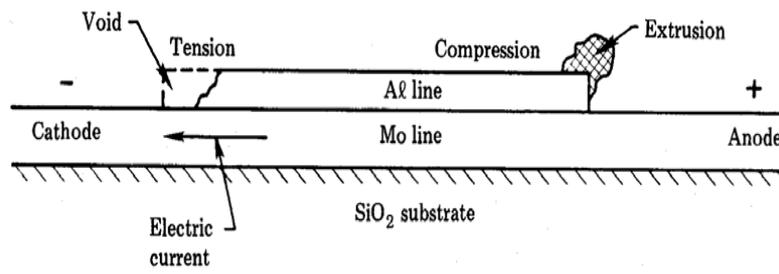


圖 2-1 Blech 所使用於測試金屬導線電遷移效應之試片，在鋁導線中電遷移的影響，造成質量隨電子流方向移動，一端產生孔洞(void)，一端產生質量堆積(extrusion)。

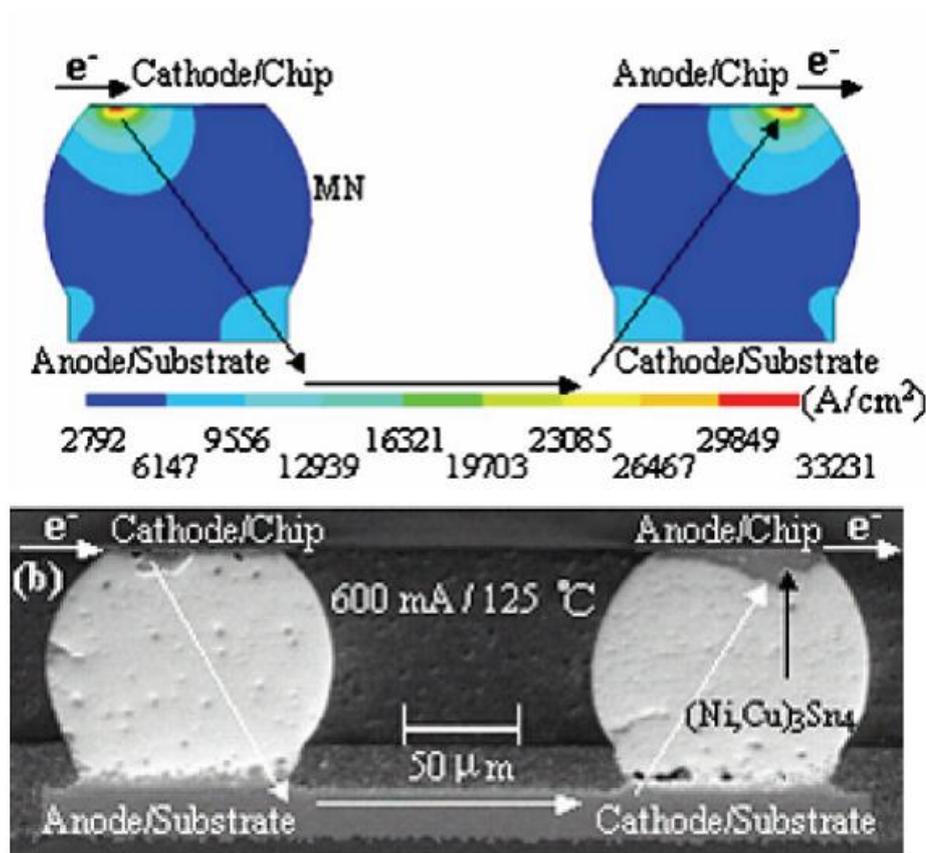


圖 2-2 上圖為無鉛錒錫內部電流密度分布模擬。下圖為無鉛錒錫經過 1431 小時通電，電流密度為 $1.68 \times 10^4 \text{ A/cm}^2$ 之 SEM 影像，孔洞生成於電子流由導線進入錒錫處(左邊錒錫凸塊左上角)。

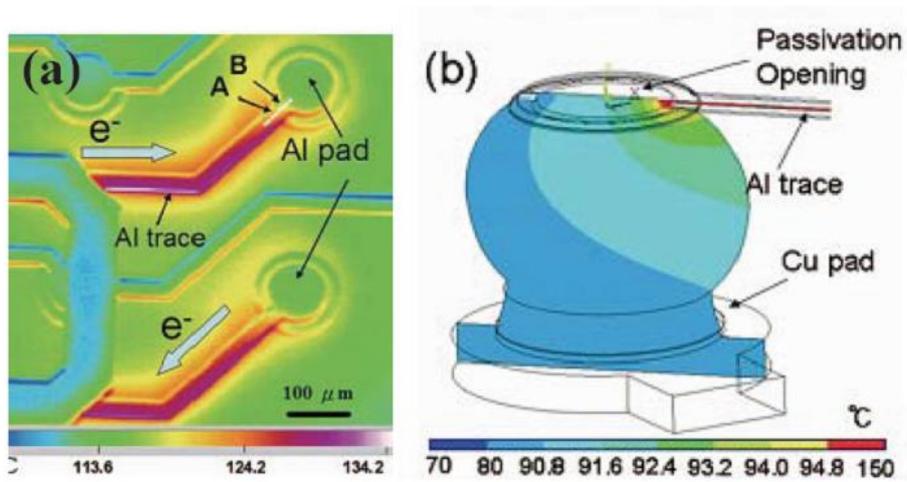


圖2-3 (a)通入0.59 A 電流，以紅外線顯像儀觀測到的溫度分布。

(b)通入電流時，鉚錫內部溫度分布模擬。[16]



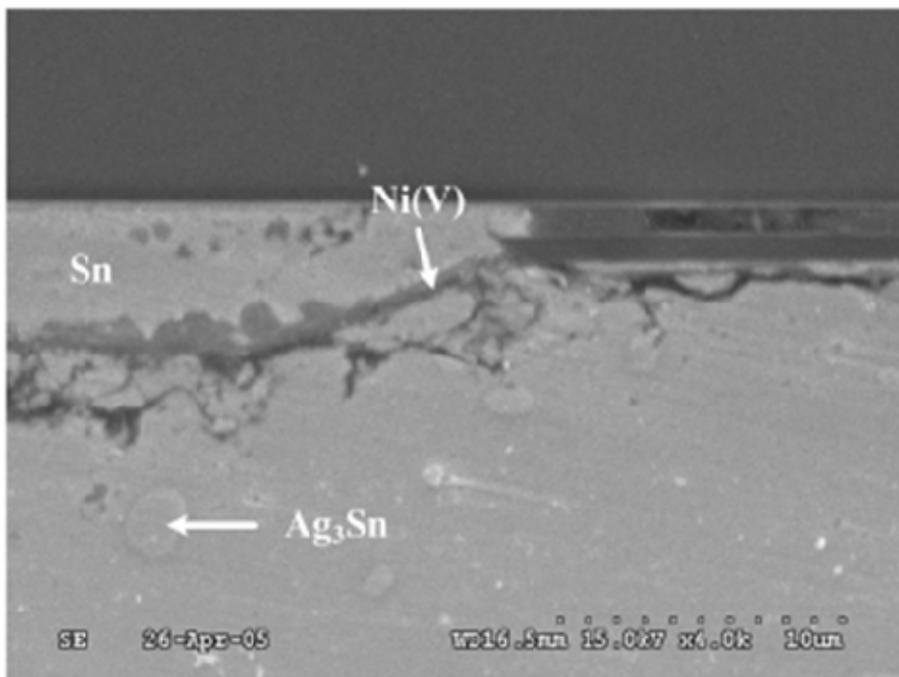
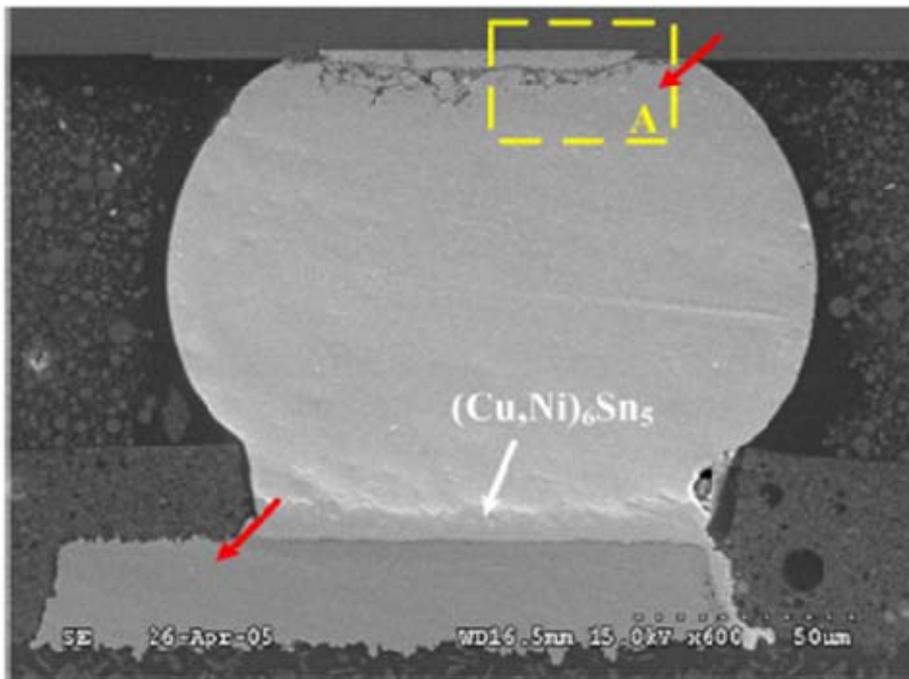


圖 2-4 上圖為錫銀銅鉍錫接點經過 2250 小時通電測試後的 SEM 影像剖面圖，下圖為白框部分的放大圖。[19]

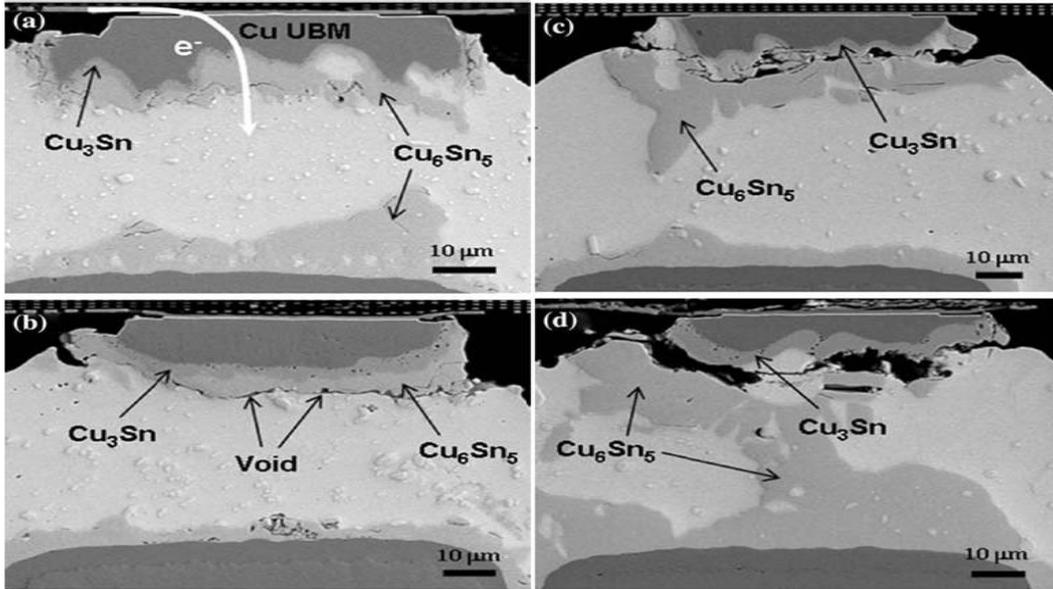


圖 2-5：在使用銅 UBM 之錫錫接點的電遷移破壞變化(a)電遷移測試前(b)孔洞生成(c)裂縫擴展(d)接點斷路。

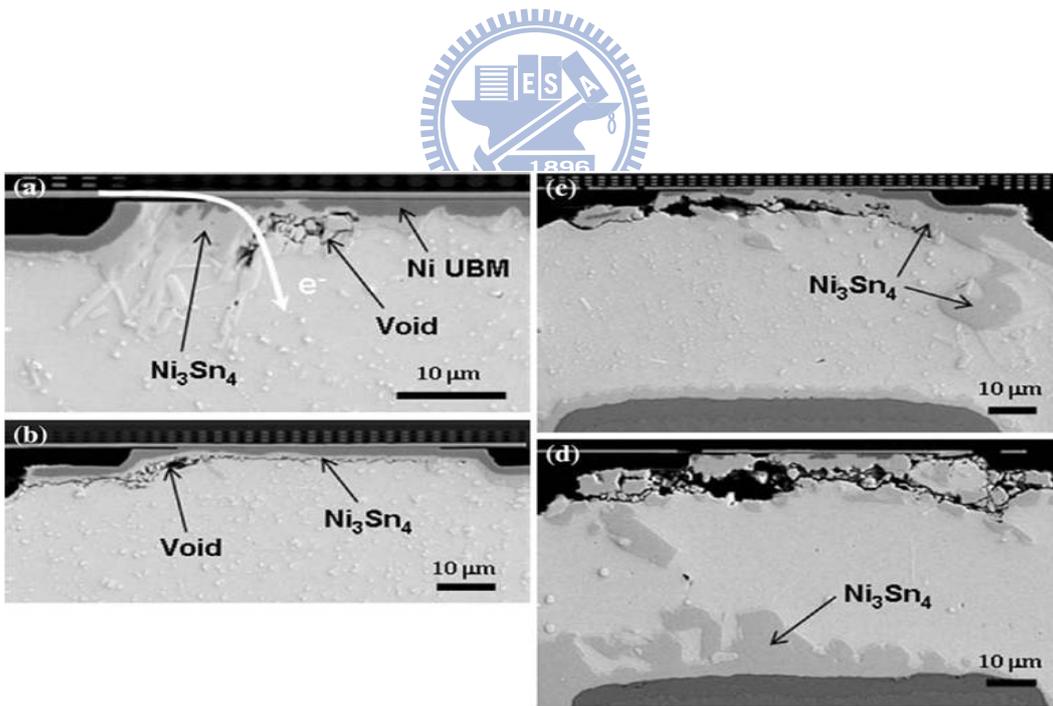


圖 2-6：在使用鎳 UBM 之錫錫接點的電遷移破壞變化(a)空洞生成初期(b)孔洞擴展沿著介金屬化合物與錫錫介面(c)介金屬化合物與孔洞成長(d)接點斷路。

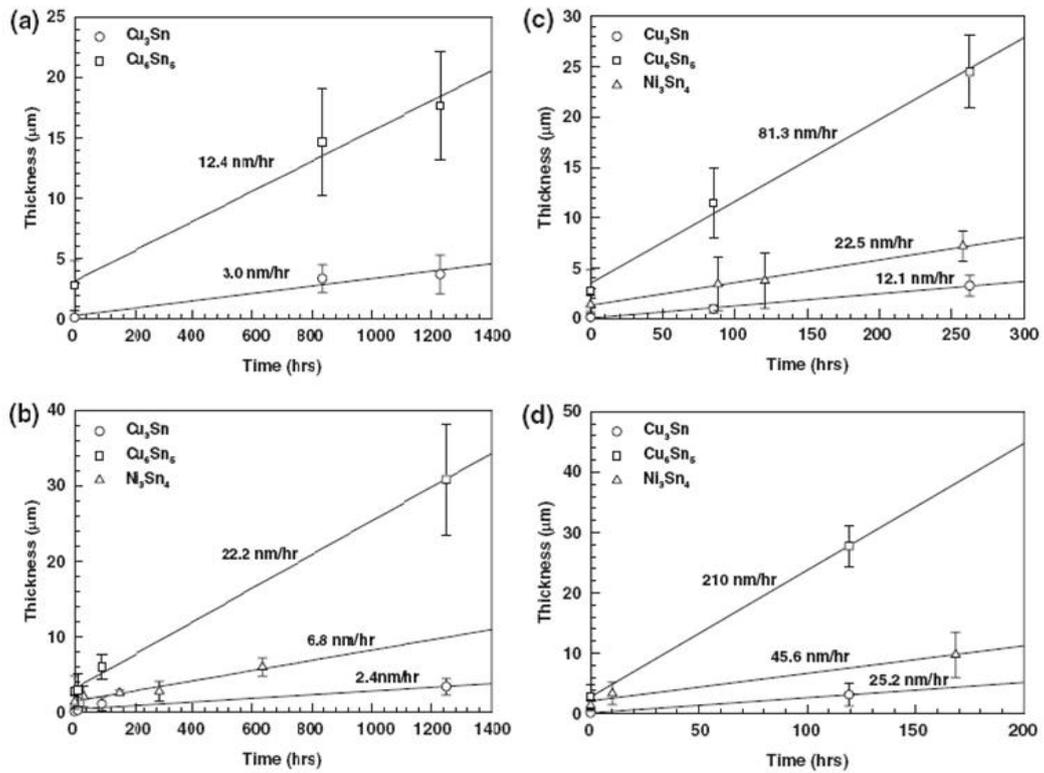


圖 2-7：在(a)115°C、(b)130°C、(c)140°C與(d)150°C矽基板溫度下通 1.01A 電流大小下，其介金屬化合物生成厚度對時間關係圖。

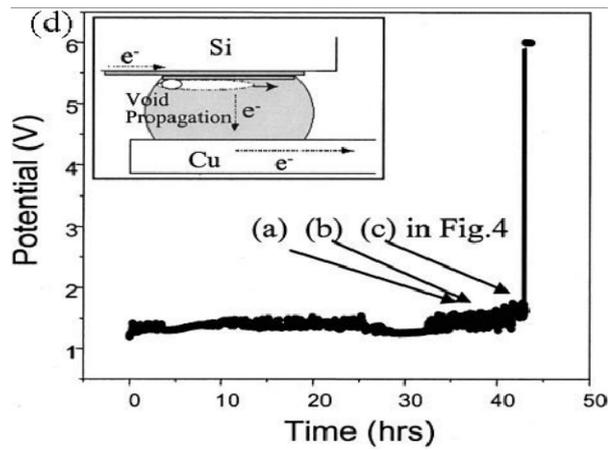
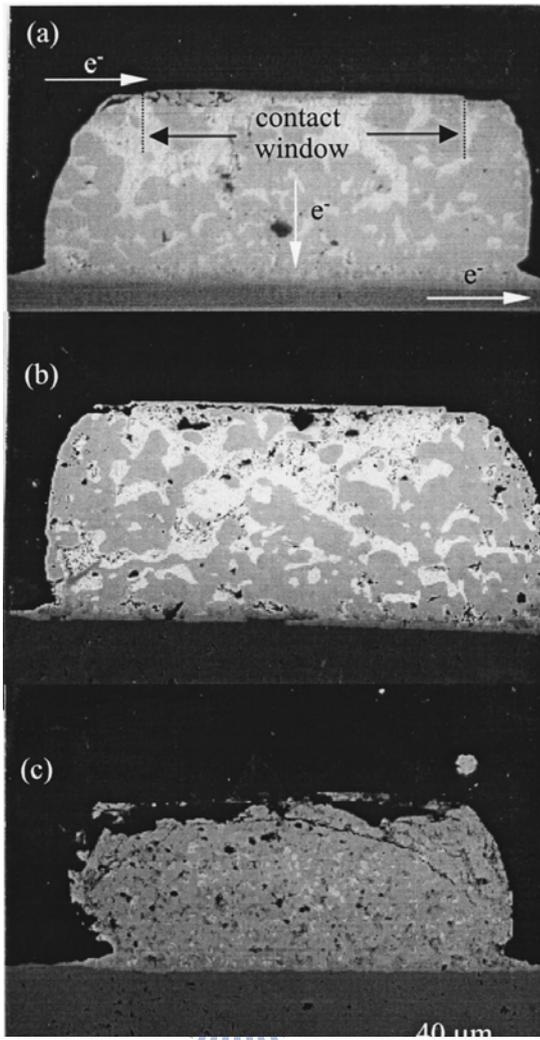


圖2-8 (a)-(d) 孔洞生成與成長在 125°C 施加電流密度 $2.25 \times 10^4 \text{ A/cm}^2$ 之連續過程。(d)電遷移下，錐錫凸塊相對電位與時間關係圖。[22]

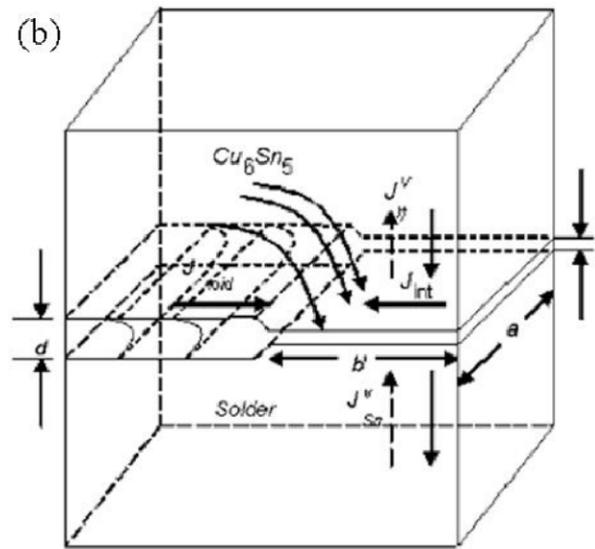
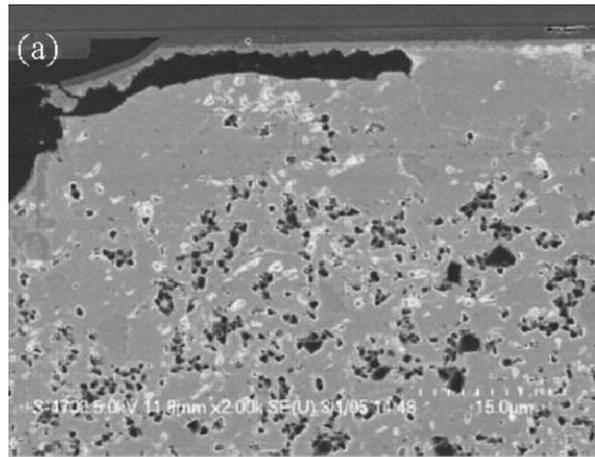


圖2-9 (a)鬆餅狀孔洞生成於IMC與錐錫球界面 (b)模擬孔洞生成之數學模型。[23]

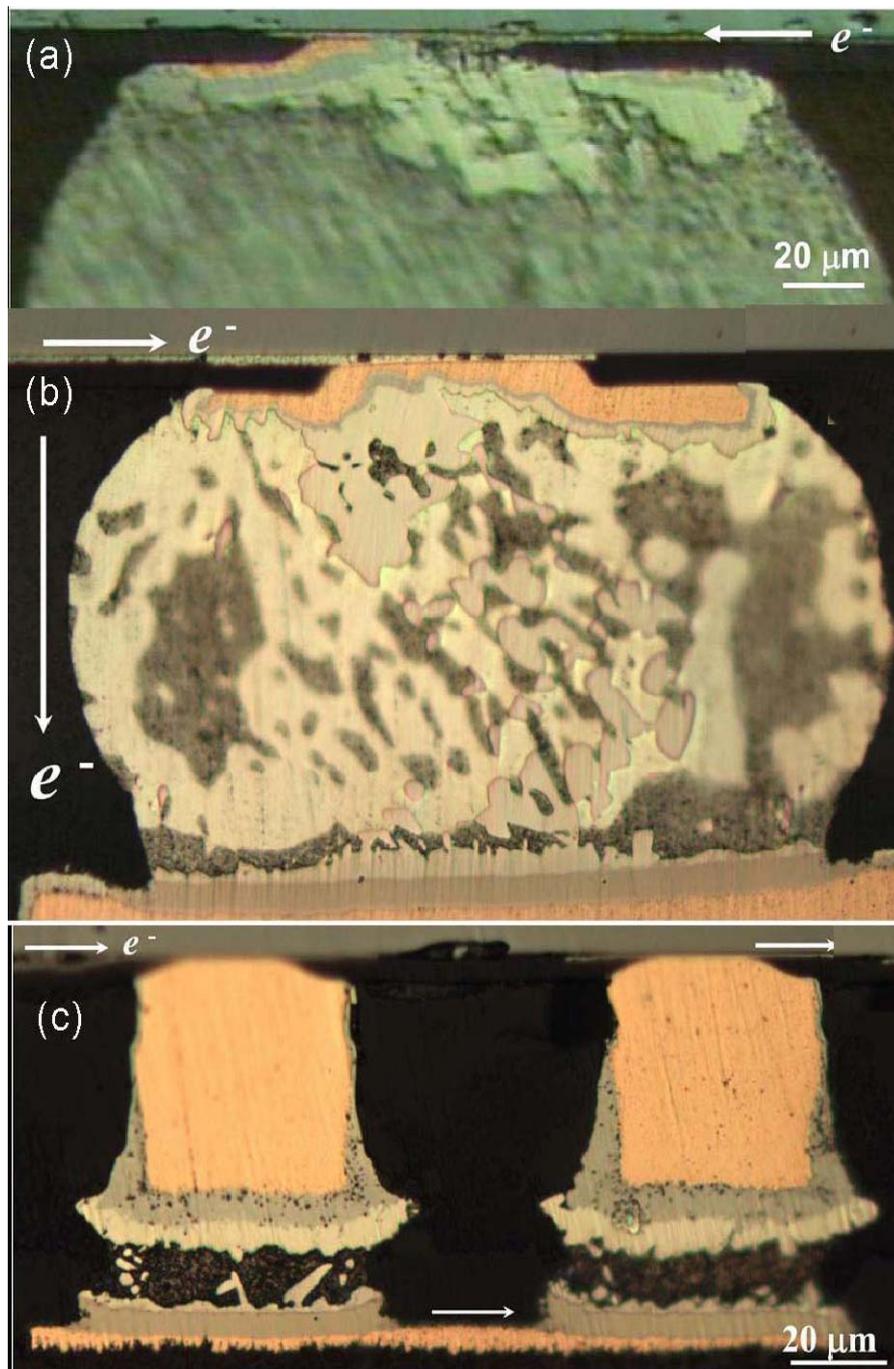


圖2-10 (a) 5 μm 厚銅墊層施加 $2.25 \times 10^4 \text{ A/cm}^2$ 的破壞情形。(b) 10 μm 厚銅墊層施加 $3 \times 10^4 \text{ A/cm}^2$ 於 100°C ，100 小時後其破壞情形。(c) 50 μm 厚銅墊層施加 $6.75 \times 10^4 \text{ A/cm}^2$ 於 100°C ，100 小時後其破壞情形。[25]

第三章、實驗方法與步驟

本章節將就錒錫試片結構、線路，以及實驗所需之儀器、步驟做介紹，並說明如何利用凱文結構做四點量測。

3-1. 試片製備

實驗的試片，是由米輯科技所提供的共晶錒銀覆晶封裝試片，試片結構如（圖 3-1、圖 3-2、圖 3-3、圖 3-4）。本篇研究在探討錒錒球不同金屬電層電遷移測試的影響，所使用的 UBM（under-bump metallization）種類有兩種分別為 Ti /Cu /Cu /N 因此準備兩組試片，他們的錒錒球成分與體積、板端基材皆相同，厚準備兩組試片，他們的錒錒球成分與體積、板端基材皆相同，厚度分別為 0.5 μm / 0.5 μm / 5 μm / 3 μm ，其中 Ti 與 0.5 μm 厚的 Cu 層是利用電子槍蒸鍍而成，5 μm 厚的 Cu 與 3 μm 厚的 Ni 則是電鍍而成。以黃光顯影的方式定義出開口大小，再用濕式蝕刻法，定出 UBM opening 為 110 μm ，直徑 125 μm ，而 contact opening 為 85 μm 。其中鋁導線寬為 100 μm 厚 1.5 μm ，錒錒接點間 pitch 為 1mm。

錒料是以共晶錒銀成分是 96.5Sn3.5Sn。先利用電鍍將錒錒固定在 UBM 所在，再以加熱爐加熱到 220°C 約 1 分鐘。基板的部份，使用 FR5 基板，而其接著的銅墊層之上為 5 μm 的無電鍍鎳、1 μm 金，下

方銅墊層的直徑為 $280\mu\text{m}$ ，以上為Cu/Ni 墊層的鍍錫凸塊試片，Cu 墊層的鍍錫凸塊試片。

3-2. 實驗方法

3-2-1. 凱文結構在本實驗中的應用

(圖3-5. (a)) 所示為本研究所指之凱文鍍錫結構俯視圖，研究中將利用此結構觀測鍍錫受電遷移影響時的變化。結構中共包含四顆鍍錫球，此四顆鍍錫球由一條 $3150\mu\text{m}$ 長的鋁導線連接四個鋁墊層，並標示為b1到b4如圖，鋁導線厚 $1.5\mu\text{m}$ 、寬 $100\mu\text{m}$ ，鍍錫球與鍍錫球的間隔為 1 mm ，此外如圖所示，在FR4基板上還有六條銅導線連接到此四顆鍍錫球上，並標示為n1到n6銅導線厚 $30\mu\text{m}$ 、寬 $100\mu\text{m}$ ，b1到b4依序連接了1、2、2、1條銅導線，導線的走向分別如圖所示。利用六條鋁導線不同的連接方式可以分別量測到b2、b3的單顆鍍錫電阻與中間的鋁導線電阻，不過在本研究中將著重在b3的電性觀測。

如(圖3-5. (b)) 標註箭頭方向所示，在此研究中，由n3及n4通入電流，電子流在b2中從基板端流向晶片端，在b3中則相反方向。鍍錫b2的電壓降可以由n1與n2量測得到，而鍍錫b3的電壓降則可利用n5及n6量測得到，利用這樣的量測方式即可在發生電遷移的同時量測到

兩個不同方向的鉛錫電阻，因為電流集中效應，在以往的研究中大多顯示孔洞生成在鉛錫球的晶片端，所以在本研究會將大部分的重心放在b3 的電阻以及微結構變化上，並對於受電子流向相反的b2鉛錫球一並探討。

3-2-2 鉛錫接點電阻量測

本研究使用電源供應器為 Aglient 3646 模組，利用電源供應器來控制所需要的電流及電流密度。使用的量測儀器及資料交換器 (Data switch) 配合有二十個獨立頻道，這兩組儀器在量測時間小於 90 天、100 mV 的量測範圍下，電壓的量測精確度範圍約為 $5\mu\text{V}$ 。上述兩儀器皆符合通用儀器通訊協定，同時支援序列埠與 GPIB 控制介面，配合上適當的軟體便可利用遠端對量測做穩定、長期、精確的連續控制，在本研究中即利用美國國家儀器公司所開發的圖形化儀器控制軟體 LabVIEW，做為資料擷取及儀器控制的工具。

為了做加速的電遷移測試，我們將覆晶錫銀試片置於 150°C 的加熱板上通以 0.8 安培的電流；加熱方式是將試片以晶片端朝上的方式平貼於加熱板上，並以耐熱膠帶固定，靜置試片到試片內部的溫度達到平衡才開始通入電流測量。電流流經的迴路與量測的位置則如 3-2-1 所述。利用 UBM 半徑為 $60\mu\text{m}$ 為考量，0.8 A 所對應的電流密度為 $1.23 \times 10^4 \text{ A/cm}^2$ ，通電方向如圖所示。為了觀察試片的微結構變化，

我們做了電阻變化不同階段的微結構觀察，分別是錒錫 b3 電阻上升至初始值的 1.2、1.5、2、3、6、以及接點斷路時停止通電，取下試片觀察微結構比較兩組不同金屬墊電層試片在相同電阻上升值時比較不同的破壞模式所造成的影響的差異。

3-2-3 試片破壞模式觀測

做完通電測試程序的試片，先利用遠紅外線觀測儀 IR(Infrared Scope)，如(圖 3-6)觀察鋁導線是否斷路，接下來依序使用不同號數的 SiC 砂紙 120、400、1000、1500、2000、4000 做研磨，再用 Al_2O_3 顆粒 $1\mu m$ 、 $0.3\mu m$ 作研磨拋光至錒錫球正中央，研磨方向如圖 3-7 所示。為了觀察通電後試片微結構的變化，觀測前將研磨之試片經由濺鍍 (sputter) 鍍上一層鉑 (Pt)，以改善試片表面之導電度及保護表面不受氧化，藉由光學顯微鏡(OM)、電子顯微鏡(SEM)、來觀察其破壞後橫截面的影像。同時配合『X 光能量分佈圖譜』(EDX) 來鑑定其特定區域的組成，以了解經過電遷移測試之後不同位置的組成變化。

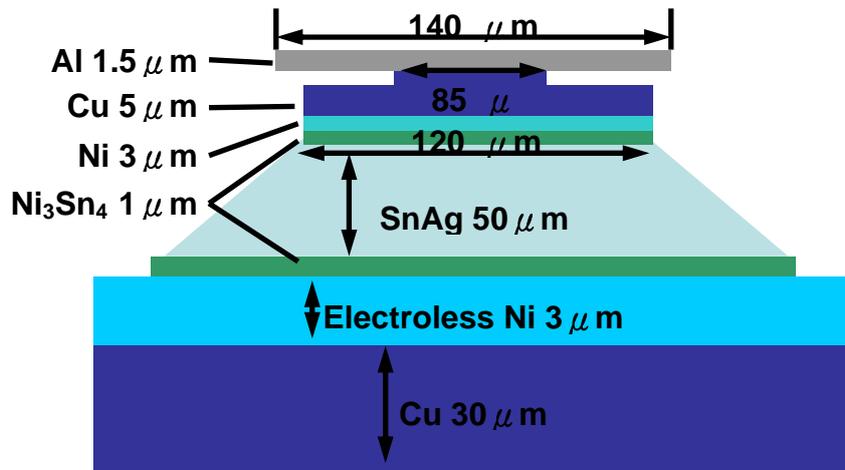


圖 3-1 Cu 5 μm /Ni 3 μm 金屬墊層銲錫凸塊結構示意圖

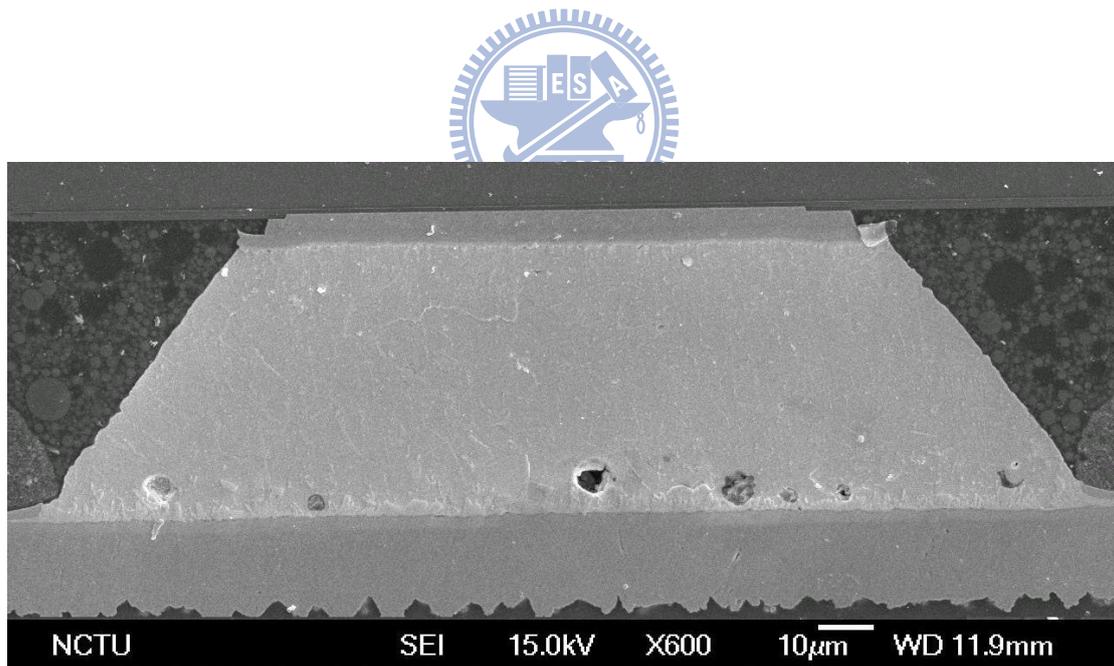


圖 3-2. Cu 5 μm /Ni 3 μm 金屬墊層銲錫凸塊 SEM 影像

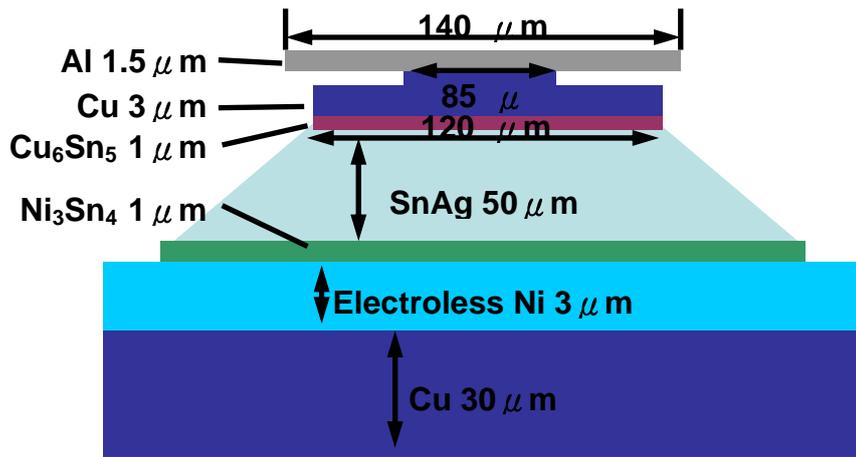


圖 3-3. Cu 5 μm 金屬墊層鉍錫凸塊結構示意圖

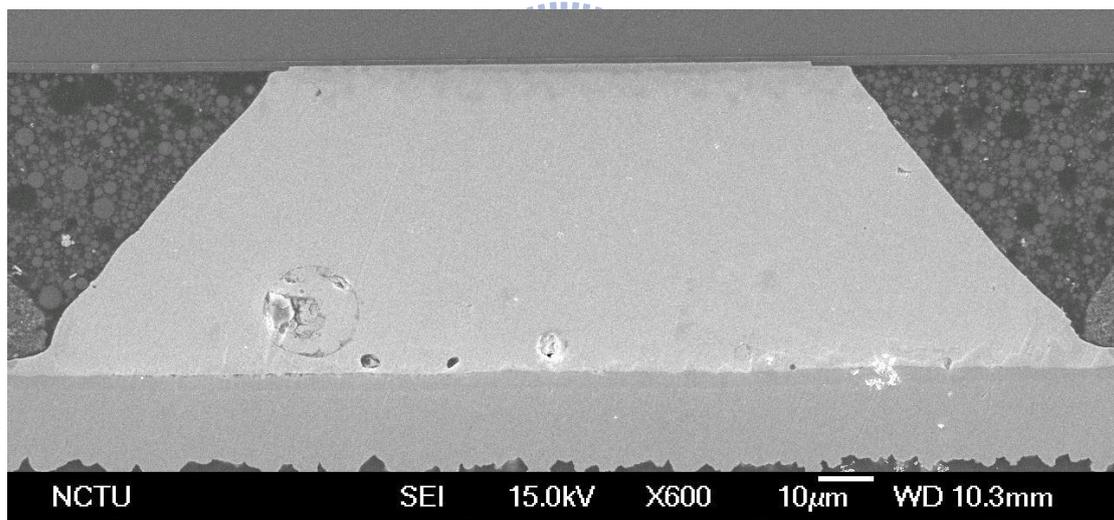


圖 3-4. Cu 5 μm 金屬墊層鉍錫凸塊 SEM 影像

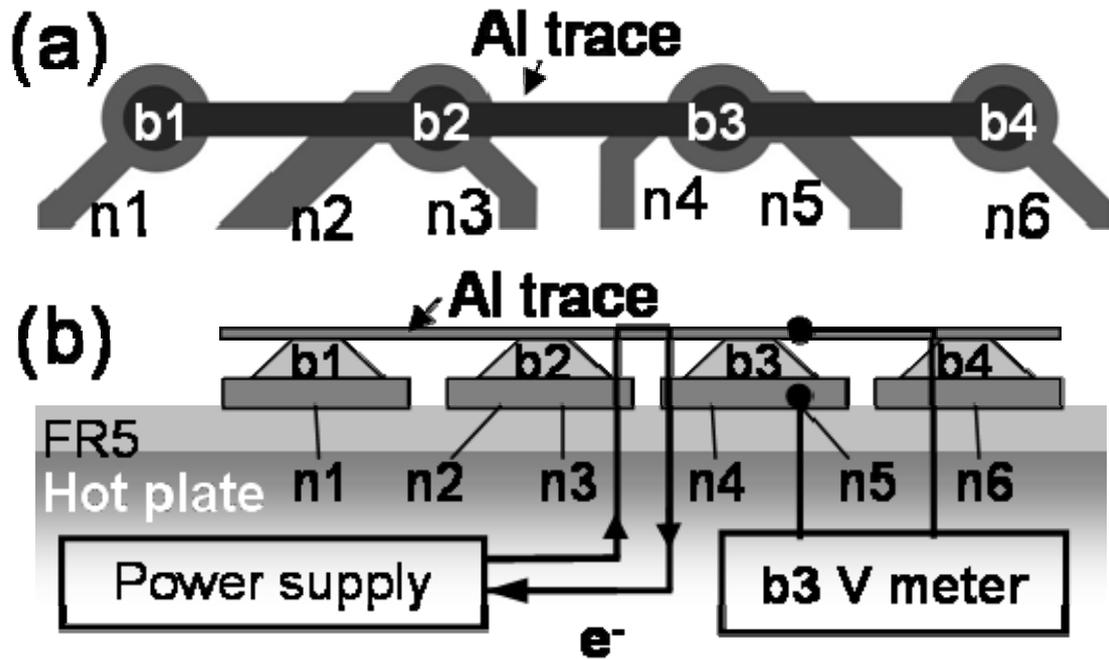


圖 3-5. (a) 凱文鉍錫結構俯視圖

(b) 凱文鉍錫結構剖面側視圖



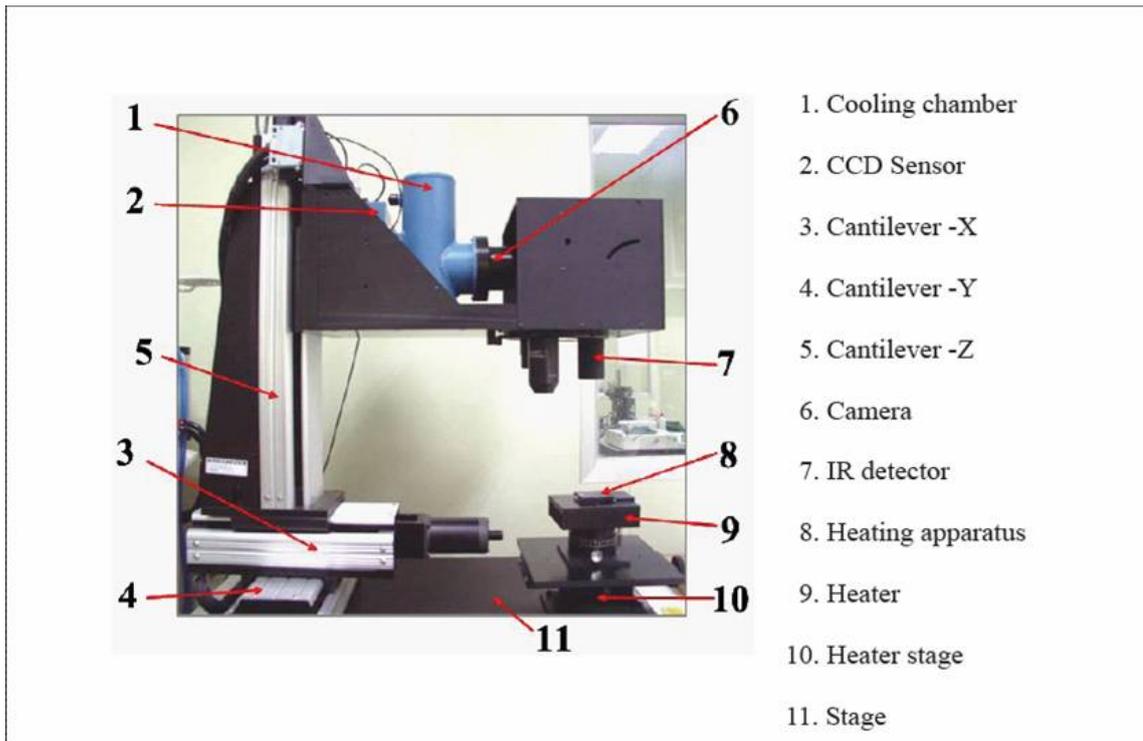


圖 3-6 遠紅外線觀測儀

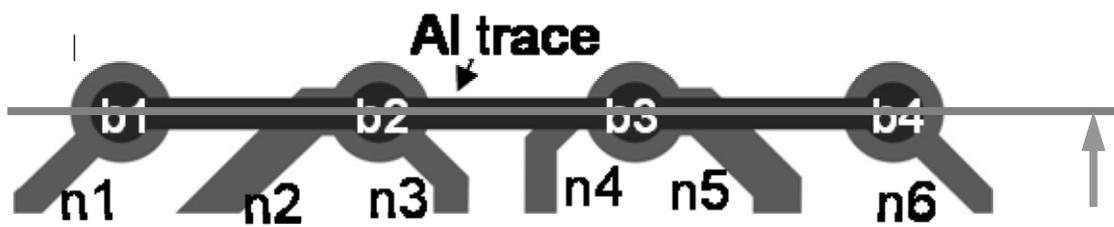
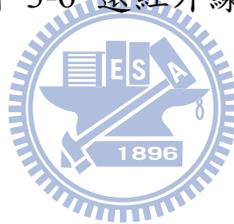


圖 3-7. 試片研磨方向示意圖

第四章 結果與討論

4-1 破壞模式分析

一般在鐳錫接點通電可靠度測試中，所觀察到主要微結構改變通常出現在電子流方向向下的鐳錫凸塊破壞最先，最主要發生在電子流向下的鐳錫凸塊，破壞會出現在電子流聚集處，即鋁導線與鐳錫凸塊接觸的界面，破壞模式為界面上產生孔洞，孔洞隨著通電成長至整個界面使得迴路失效，或是鐳錫凸塊上方金屬墊層消耗。其實在電子流向下的鐳錫凸塊有著電阻上升的同時，電子流向上的鐳錫凸塊也有微結構化變化的發生因此本研究重點在電子流向下的 b3 鐳錫凸塊外，也將一併觀測電子流向上的 b2 鐳錫凸塊。此章節將探討Cu/Ni 墊層與Cu 墊層的錫銀凸塊電遷移行為，實驗中利用凱文結構來量測錫銀鐳錫接點，配合金屬墊層為Cu 5 μ m (簡稱 Cu 5) 與 Cu 5 μ m/Ni 3 μ m (簡稱 Cu 5/Ni 3) 種不同金屬墊層，在加熱板 140 °C 下通以 0.8 安培的電流，當電阻上升到原來的 1.2 倍， 2 倍， 3 倍， 6 倍，直到完全斷路時的微結構變化做比較。

4-1-1 Cu 5/Ni 3 金屬墊層破壞模式

A. 電子流向下的破壞模式

圖4-1為 Cu 5/Ni 3 金屬墊層錫銀鉛錫接點在通電測試前之橫截面電子顯微鏡影像圖，可以觀測到有一層薄薄的介金屬化合物在金屬墊層與鉛錫之間形成，推測應是在覆晶製程中鉛錫球回鉛時所形成的。圖4-2為 Cu 5/Ni 3 金屬墊層鉛錫接點在加熱板 140°C 下通以 0.8 安培的電流，經過 213.3 小時之後，鉛錫球電阻上升至 1.2 倍時之電子顯微鏡影像圖，比較圖4-1和4-2可以發現到，電子流由晶片端左上方往基板端流動如同圖中箭頭所示；可以明顯的觀察到電子流由鋁導線進入鉛錫內部的入口處有微小的孔洞生成，沿著介金屬化合物與共晶錫銀鉛錫的介面由左邊往右邊擴展，最初孔洞形成應是受電流集中效應的影響，初期孔洞生成的地方也是電流集中的嚴重區域，熱點發生的地方。其他則沒有明顯的微結構改變，整個金屬墊層也保持完好，介金屬化合物之厚度無顯著變化。

隨著通電時間的增加，電阻上升時其微結構的變化如圖 4-3 所示，該圖為鉛錫接點通電 405.2 小時之後，電阻上升至 2 倍時之電子顯微鏡影像圖，因為電子流進入鉛錫受到幾何形狀的改變造成電流集中效應，在入口處的位置會形成最大電流密度區，此處也是

空洞最先形成的位置，當孔洞形成後電子流被迫改變路徑，向右擴散，因此孔洞繼續沿著介金屬化合物與共晶錫銀的介面擴展，隨著通電時間的增加，孔洞延伸的長度較電阻上升 1.2 倍時長，在晶片端的金屬墊層原子也因為隨著電子流的驅動進入鉍錫內部，在基板端之介金屬化合物有明顯變厚的情形發生，而鉍錫的錫原子也有擴散進入金屬墊層形成介金屬化合物(Cu_6Sn_5)。

在通電 457.6 小時之後，圖4-4為鉍錫接點電阻上升到回原來 3 倍時的電子顯微鏡影像圖，發現孔洞的生成並未停止而是繼續沿著介金屬化合物與共晶錫銀的介面由左邊往右邊擴展，而且在最右端有慢慢加深的情形，因為孔洞的延伸，使得電子流由鋁導線進入最後由金屬墊層的后端進入鉍錫內部，此時的鉍錫和金屬墊層接觸面變小，使得電流密度變大，電阻增加，伴隨著焦耳熱效應也更嚴重，局部熱點溫度更高，後端孔洞破壞情形也越明顯。當電子流通過的鍍層遭到電遷移破壞後，銅原子因為電子流的驅動擴散進入鉍錫內部與錫反應，最後在基板端及鉍錫內部也形成大量的介金屬化合物，此介金屬化合物經EDX分析為 $(\text{Cu},\text{Ni})_6\text{Sn}_5$ 。此時在晶片端金屬墊層局部消耗，並反應形成介金屬化合物，隨著電遷移破壞時間的增加，發生了剝離現象，被電子流帶離進入鉍錫球內部，而鉍錫球內部的錫原子也擴散佔據金屬墊層位置，錫原子和介金屬化合物相

較下電遷移抗性較低，於是孔洞便於金屬墊層和鋁導線的介面形成。

圖 4-5 為在通電 720.8 小時之後，鉍錫接點電阻上升 6 倍時之電子顯微鏡影像圖，此時晶片端金屬墊層大量被消耗，並形成更多的介金屬化合物，銅原子也因為持續受電子流的驅動被帶離進入鉍錫內部，而在銅金屬墊層上形成更多的孔洞，在鉍錫內部及基板端可以看到有更多來自晶片端的銅和鎳原子所反應之介金屬化合物形成。

圖 4-6 為鉍錫接點經過 1959.3 小時電遷移破壞鉍錫接點斷開後電子顯微鏡影像圖，在長時間電遷移破壞下，可以看到晶片端金屬墊層完全消耗，此時介面接著性很差，銅和鎳原子不斷的被帶離，隨電子流的由晶片端移動到基板端，在鉍錫內部及在基板端反應形成大量的介金屬化合物，在最後階段晶片端介金屬化合物與共晶錫銀介面的孔洞，因為孔洞擴展至整個介面，使電流進入的面積變小，電流密度大幅上升，電流集中導致嚴重的焦耳熱產生，使得鉍錫接點斷路。

B. 電子流向上的破壞模式

同A. 所使用的鉚錫是 Cu 5/Ni 3 金屬墊層的錫銀鉚錫接點。圖4-7為 b2 錫銀鉚錫接點在加熱板 140 °C下，通以 0.8 安培的電流，電流方向由基板端往晶片端流動，各個不同階段時間的電遷移破壞微結構電子顯微鏡影像圖。通電時間分別為未通電、 213.3、 405.2、 457.6、 720.8、1959.3 小時，電子流方向同圖中箭頭所示，電子流由鉚錫凸塊右下進入往上，初期當電子流由銅導線進入銅墊層在基板端鎳墊層有大量錫原子與其反應使得原先在基板端的介金屬化合物Ni₃Sn₄ 厚度隨著通電時間增加而緩慢變厚，持續受電遷移作用時，基板端鎳墊層鎳原子順著電子流方向由基板端往晶片端不斷被帶出，無電鍍鎳墊層逐漸消耗，當無電鍍鎳層局部消耗，此時基板端銅墊層銅原子，藉著電遷移的驅動快速的進入鉚錫內部與錫原子反應形成大量不規則形狀的介金屬化合物 (Cu,Ni)₆Sn₅，而錫原子擴散到原為基板端銅金屬墊層之位置，產生介金屬化合物 Cu₆Sn₅，兩種反應同時進行，隨著電遷移測試時間的持續增加，最後無電鍍鎳墊層消耗越來越嚴重，使得基板端的銅墊層銅原子不斷的被帶入鉚錫內部與錫原子反應形成更多的介金屬化合物，在基板端有更多錫原子擴散到銅金屬墊層，然而在晶片端的金屬墊層形狀完整沒有因為電遷移破壞而被消耗造成破損。

由錫銀鉚錫接點與金屬墊層為 Cu 5/Ni 3 電遷移實驗中可以發現，不同的電子流方向造成不同的破壞模式，電子流向上的鉚錫接點，其主要破壞是在晶片端生孔洞的生成，金屬墊層大量消耗，形成大量且不規則的介金屬化合物，在電子流向上的鉚錫接點反而是以不規則的介金屬化合物形成在基板端以及鉚錫內部，主要是因為基板端銅墊層電阻小、截面積大，基板端之銅導線寬度為 100 μm 厚度為 30 μm ，而晶片端之鋁導線寬度為 100 μm 但厚度僅 1.5 μm ，所以當電流由銅導線進入時，會先散佈至銅墊層，之後往上流入鉚錫時，可以減緩電流集中效應降低電遷移破壞。



4-1-2 Cu 5 墊層的破壞模式

A. 電子流向下的破壞模式

圖 4-8 為錫銀鉚錫接點搭配 Cu 5 金屬墊層在通電測試前橫截面電子顯微鏡影像圖，圖 4-9 則為鉚錫接點在加熱板 140 $^{\circ}\text{C}$ 下通以 0.8 安培的電流，經過 71.7 小時之後，電阻上升至 1.2 倍時電子顯微鏡影像圖，比較兩張圖可以發現到，電子流由左上方進入鉚錫如同圖中箭頭所示；可以很明顯的發現電子流由鋁導線進入金屬墊層時，電子流進入端由於電流集中效應影響會形成最高電流密度區，局部溫度升高使得金屬

墊層前端局部逐漸消耗且反應形成介金屬化合物，於其成份組成為 Cu_6Sn_5 ，在電遷移持續作用下，圖 4-10 為鉚錫接點通電 107.4 小時之後，電阻上升至 2 倍時電子顯微鏡影像圖，在電子流進入端的金屬墊層隨著時間的增加，銅原子快速擴散到鉚錫內部此為濃度擴散與電遷移效應，此點可由分布的介金屬化合物 Cu_6Sn_5 看出並無 Ni 由下往上遷移反應形成介金屬化合物，持續的電遷移作用下，在金屬墊層有些介金屬化合物隨著電子流方向被往下遷移而剝離，且在鉚錫內部可以看到金屬墊層銅原子受電子流驅動進入到鉚錫內部所形成的介金屬化合物 Cu_6Sn_5 。在通電 169.6 小時之後，圖 4-11 為鉚錫接點電阻上升到原來 3 倍時的電子顯微鏡影像圖，在電遷移持續作用下，及電流集中效應的加成，可以看到在晶片端的金屬墊層幾乎完全消耗，在鉚錫內部及晶片端形成大量的介金屬化合物，在電子流由鋁導線進入鉚錫內部的入口處有孔洞生成，最初孔洞形成應是受電流集中效應的影響，當孔洞形成後電子流被迫改變路徑，向右擴散，因此孔洞繼續沿著介金屬化合物與錫銀鉚錫的介面擴展，隨著通電時間的增加而延伸。

圖4-12 為鉚錫接點通電 239.4 小時之後，鉚錫接點電阻上升至 6 倍時電子顯微鏡影像圖，持續電遷移作用下，金屬墊層完全消耗，形成介金屬化合物順著電子流的方向向下遷移而剝離，在基板端及鉚錫內部形成更多介金屬化合物，到最後階段因為孔洞生成擴展越

來越大，使得電子流進入鉚錫內部的接觸面變小，電流密度大幅上升，電流集中導致嚴重的焦耳熱產生，錫球上端的鋁導線和鉚錫熔毀使得接點斷路如圖 4-13。

比較錫銀鉚錫接點搭配金屬墊層為Cu 5/Ni 3 和Cu 5兩種不同的金屬墊層時，在電子流向下的電遷移破壞模式也不相同，如圖 4-14 Cu 5金屬墊層的破壞模式依序為金屬墊層的消耗、介金屬化合物的形成、孔洞的生成。Cu 5/Ni 3金屬墊層的破壞模式依序為孔洞的生成、金屬墊層的消耗、介金屬化合物的形成。如圖 4-15 在達到各階段破壞條件所需的時間比較，Cu 5/Ni 3金屬墊層相較於Cu 5金屬墊層各階段平均時間差異最少有 2 倍之多，在鉚錫接點斷路時的平均時間差更有 6 倍，主要是因為Cu 5/Ni 3金屬墊層多了一層鎳層可以讓電子流能再一次被分流減緩電流集中效應，且鎳原子的擴散速度慢可以減緩反應速度，因此Cu 5/Ni 3金屬墊層的設計相較於Cu 5金屬墊層，可以增加鉚錫接點的life time。

B. 電子流向上的破壞模式

圖 4-16 為在 b2 共晶錫銀鉛錫接點在加熱板 140 °C 下，通以 0.8 安培的電流，電流方向由基板端往晶片端流動，各個不同階段時間的電遷移破壞電子顯微鏡影像圖。通電時間分別為未通電、71.7、107.4、169.6、239.4、316.2 小時電子流方向同圖中箭頭所示，電子流由鉛錫凸塊右下進入之後經過鉛錫內部最後從晶片端右邊鋁導線離開，電子流由銅導線進入銅墊層，在基板端鎳墊層鎳原子隨電子流方向由下往上遷移，和鉛錫內部錫原子反應使得原先在基板端的介金屬化合物 Ni_3Sn_4 厚度隨著通電時間增加變厚，在晶片端可以觀察到金屬墊層隨著時間逐漸消耗並生成介金屬化合物 Cu_6Sn_5 ，持續受電遷移作用下，在鉛錫內部生成不規則的介金屬化合物，最後當無電鍍鎳層局部溶解，基板端的大量銅原子進入鉛錫內部與大量錫原子反應形成大量的介金屬化合物，此時晶片端金屬墊層完全反應消耗，形成介金屬化合物並有孔洞的生成。

Cu 5 金屬墊層的鉛錫凸塊和 Cu 5/Ni 3 金屬墊層的鉛錫凸塊在電子流向上的破壞模式在基板端的情形相似，但 Cu 金屬墊層的破壞沒有 Cu/Ni 金屬墊層來的嚴重，主要是因為破壞的時間和 Cu/Ni 金屬墊層相比短上許多。在晶片端的破壞模式則不相同，Cu 金屬墊層完全消耗，形成介金屬化合物，孔洞的生成，Cu 5/Ni 3 金屬

墊層形狀完整沒有因為電遷移破壞而被消耗造成破損，主要是因為
鎳層的擴散慢能減緩反應速率。



4-1-3 無鉛鉚錫接點熱遷移行為

試片結構由上而下分別為矽晶片、鋁導線、鉚錫接點、銅襯墊、FR4 基板五層，結構中鋁導線電阻值最高，因鋁導線長度較長及截面積較小約會具有較大的電阻值(約數十倍以上)，相對的會具有更大的焦耳熱效應(Joule heating)，此效應會使得晶片端會有比較高的溫升。故此，與鋁導線緊連之矽基板則形成高溫區；反之，遠離鋁導線之FR4 基板則形成低溫區，因此上下兩區域之溫度梯度造成鉚錫接點內部亦形成相當程度之溫度梯度，而產生熱遷移效應。



觀測b1和b4鉚錫凸塊在受熱時效下的熱遷移行為，當b3鉚錫凸塊受電遷移破壞，電阻上升到的 1.2倍 2倍 3倍 6倍直到完全開路時，觀察未通電的b1和b4鉚錫凸塊，在加熱板140°C下，熱遷移破壞之微結構變化。

圖4-17 和圖4-18 為錫銀鉚錫接點搭配 Cu 5 金屬墊層 b1 和 b4 鉚錫凸塊在加熱板 140°C下，不通以電流，熱時效時間 0、71.7、107.4、169.6、239.4、316.2 小時之微結構電子顯微鏡影像圖，由於鋁導線為主要發熱源，所以造成晶片端的溫度大於基板端的溫度；因此在鉚錫接點內部晶片端與基板端之間有溫度梯度的產生。而這一溫度梯度

提供了一個原子移動的趨動力，在初期因為銅金屬墊層的銅原子受到熱遷移的影響往鉚錫接點內較冷端移動，和鉚錫內部的錫原子反應形成介金屬化合物，隨著時間增加而逐漸變厚，經 EDX 分析為 (Cu₆Sn₅)，而溫度梯度造成鉚錫接點內錫原子從底部較冷的區域，移動到較熱的晶片端，累積在晶片端，隨著熱時效持續的作用下，介金屬化合物(Cu₆Sn₅)因熱遷移效應的影響，在較熱端的晶片端有剝離的情形產生，往冷端的基板端移動有積聚增厚的現象。最後階段空孔形成在矽基材與鉚錫接點區域左右兩端，而在基板端累積一厚度均勻的介金屬化合物。



圖4-19和圖4-20為為錫銀鉚錫接點搭配 Cu 5/Ni 3金屬墊層b1和b4 鉚錫凸塊在加熱板140°C下不通以電流，熱時效時間0、213.3、405.2、457.6、720.8、1959.3小時之微結構電子顯微鏡影像圖，由於金屬墊層的鎳層，可以減緩反應速率，雖然受熱時效時間相較於Cu 5金屬墊層多上許多，但反應卻沒有像Cu 5金屬墊層來的嚴重；初期可以觀測到在基板端的介金屬化合物以及晶片端金屬墊層和鉚錫間的介金屬化合物，隨著時間增加緩慢變厚，而在其他地方則沒有明顯的變化，到最後階段在晶片端觀察到銅金屬墊層在長時間的熱時效作用下，左右兩端有些微的消耗，且在晶片端和基板端形成一厚度均勻的介金屬化合物。

Cu 5/Ni 3金屬墊層和Cu 5金屬墊層相較下，熱時效時間較長，在最後階段時間差有6.2倍之多，但其反應卻只有在銅金屬墊層左右兩端有些微的消耗，而Cu 5金屬墊層則是金屬墊層完全消耗並形成孔洞，因此Cu 5/Ni 3金屬墊層相較於和Cu 5金屬墊層較能抵抗熱遷移破壞。

在本研究中，其熱源來自兩個地方，一、下端加熱試片的加熱板其溫度維持在140°C，二、電流通過鋁導線形成焦耳熱效應導致試片溫度提高。我們在140°C之環境通入電流，因焦耳熱效應的影響，會使得試片內的實際溫度略高於環境溫度，此結構經紅外線熱像儀觀察到約為10°C，故此，與鋁導線緊連之矽基板則形成高溫區；反之，遠離鋁導線之FR4 基板則形成低溫區由於造成局部溫度不平衡（即溫度梯度）而形成有熱遷移效應。

接著我們證明b1和b4錫錫凸塊有受焦耳熱效應產生的熱遷移效應影響。我們另作一Cu 5 金屬墊層試片比較，利用熱時效的方式，使用溫度150°C（實驗溫度加上焦耳熱效應上升的10°C），且經過相同的時效處理316.2小時，如圖4-20 (a) 為時效處理後之微結構電子顯微鏡影像圖，在未通電的環境下，錫錫接點內部溫度是非常均勻，其反應機制為化學能導致的擴散，可以觀察到錫錫接點的銅金屬墊層消耗，而原先在晶片端和基板端的介金屬化合物厚度變的

更厚，不同於b1和b4鉛錫凸塊 如圖4-20 (b) 銅金屬墊層完全消耗並形成大量介金屬化合物，並剝離到冷端基板端堆積，最後孔洞的生成。因此可證明b1和b4鉛錫凸塊雖然沒有通以電流經過鉛錫內部但仍有焦耳熱效應產生，造成鉛錫接點內部形成相當程度之溫度梯度，而產生熱遷移效應。



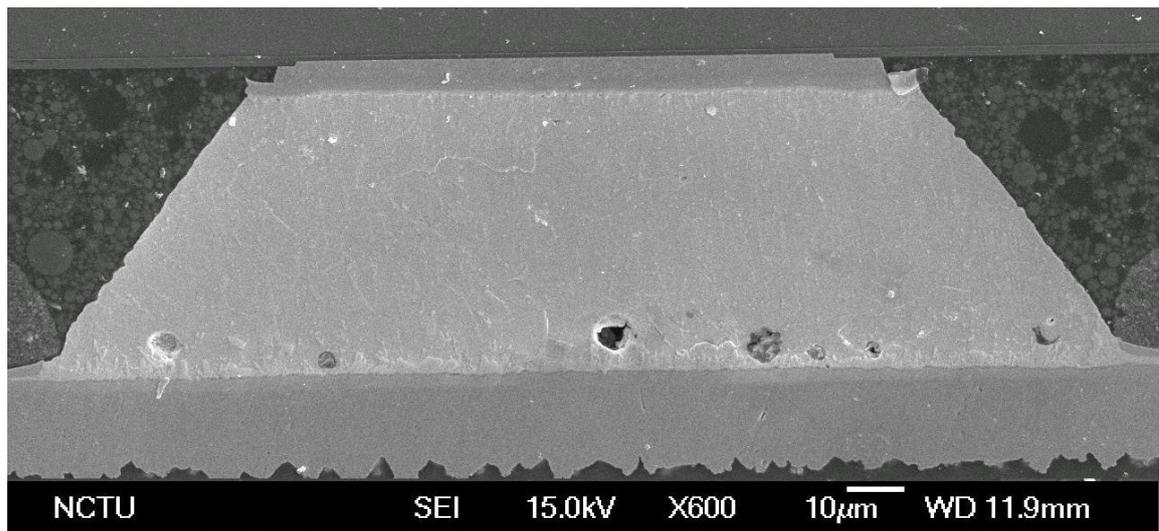


圖 4-1 為 Cu₅/Ni₃ 金屬墊層共晶錫銀鉛錫接點在通電測試前橫截面電子顯微鏡影像圖。



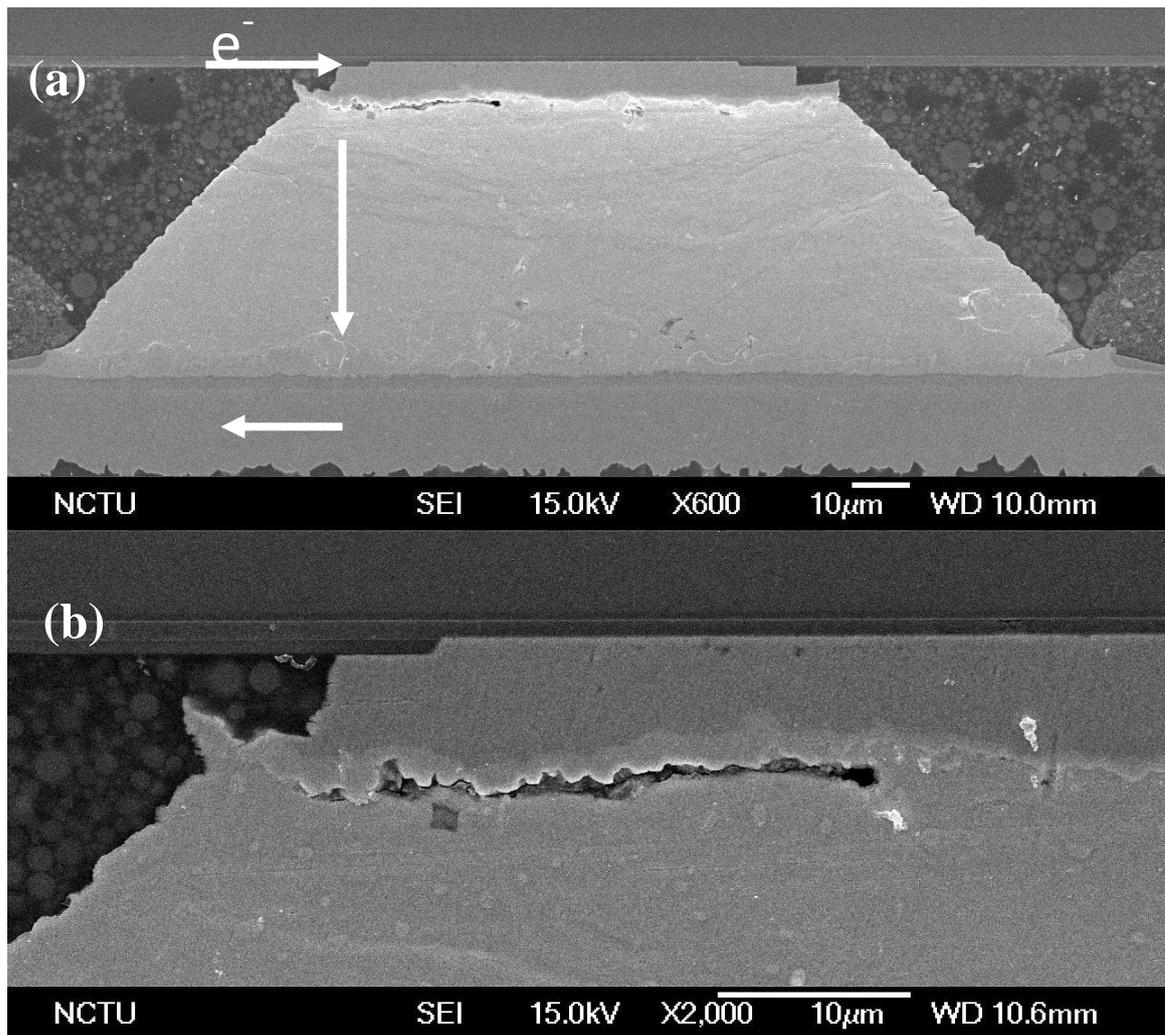


圖 4-2 Cu₅/Ni₃ 金屬墊層試片在 140 °C 下，通入 0.8 A，通電時間 213.3 小時，b3 電阻上升至 1.2 倍時之 SEM 剖面圖。

(a) 為電子流方向由左上往左下的鉍錫凸塊，SEM 剖面圖。

(b) 為圖(a) 孔洞生成局部放大SEM剖面圖。

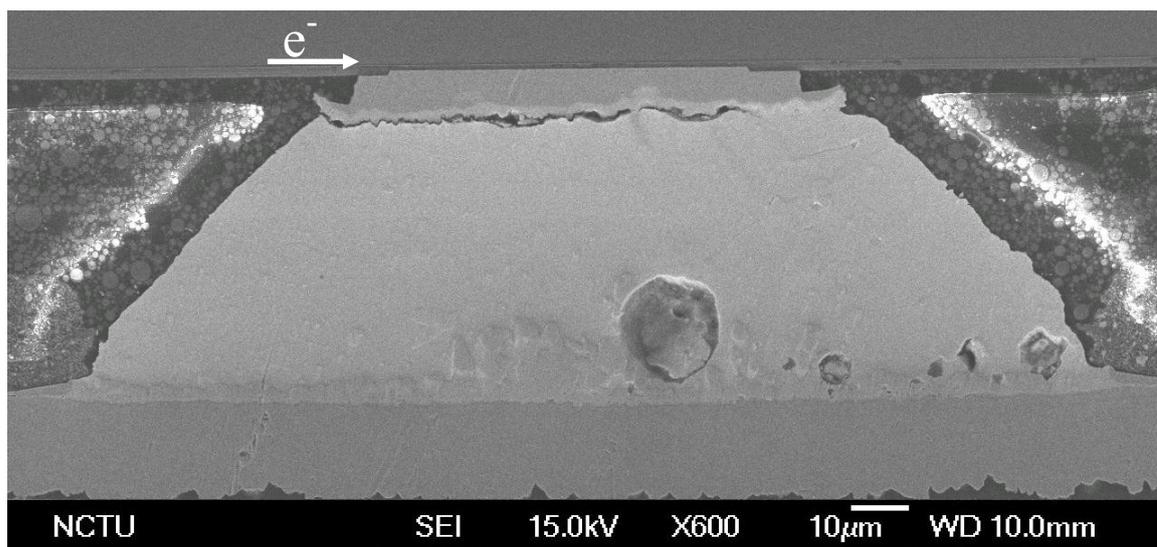


圖 4-3 Cu 5/Ni 3 墊層試片在 140 °C 下，通入 0.8 A，通電時間 405.2 小時，b3 電阻上升至 2 倍時之 SEM 剖面圖。

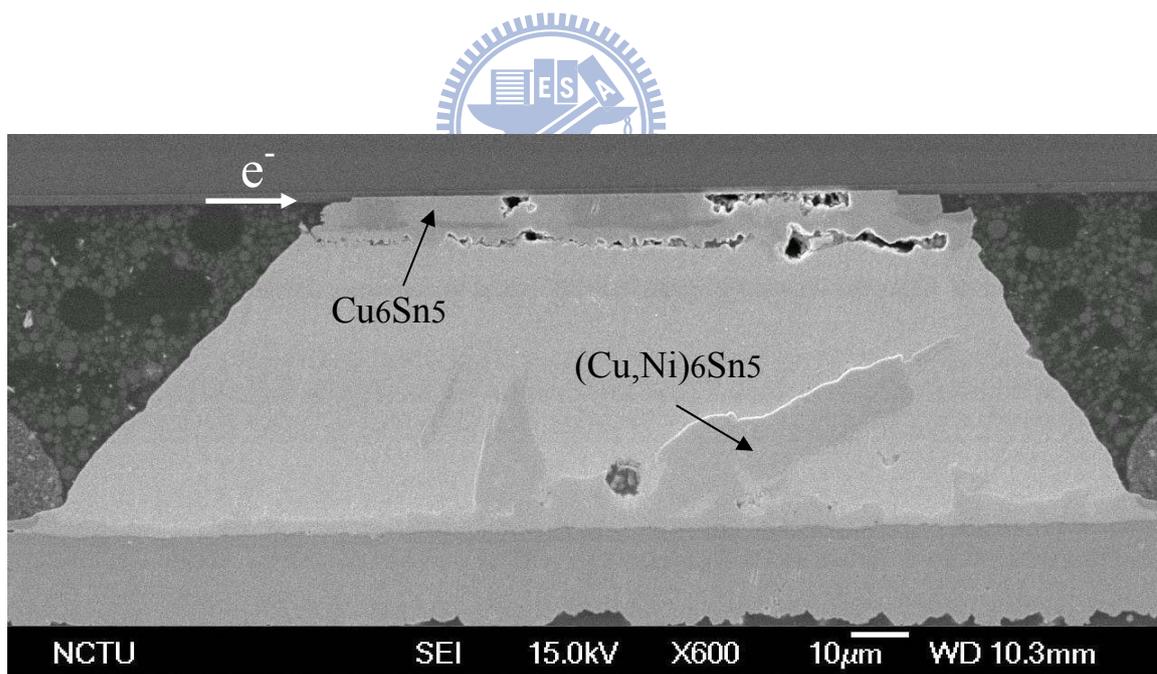


圖 4-4 Cu 5/Ni 3 金屬墊層試片在 140 °C 下，通入 0.8 A，通電時間 457.6 小時，b3 電阻上升至 3 倍時之 SEM 剖面圖。

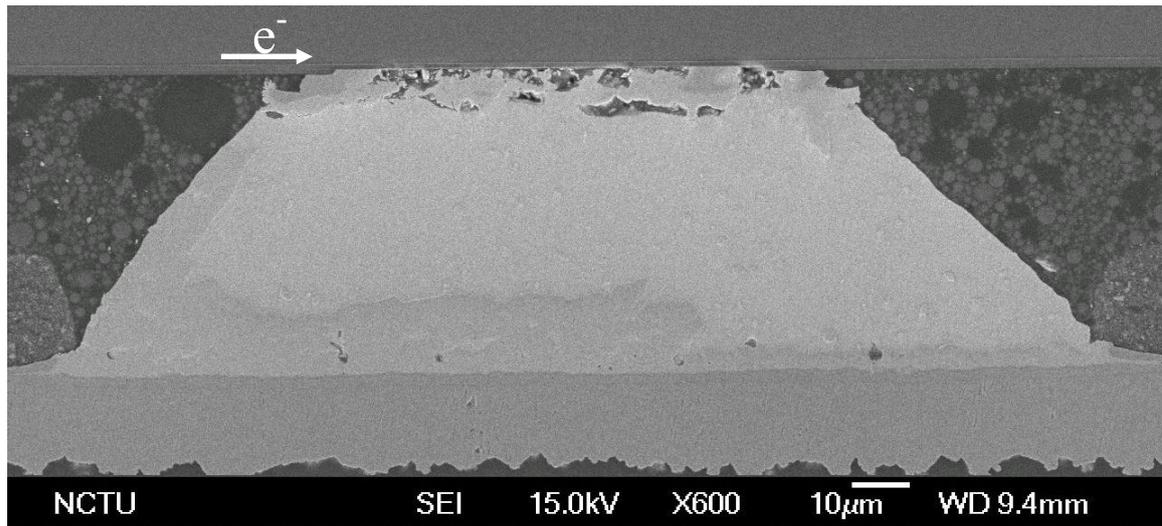


圖 4-5 Cu 5/Ni 3 金屬墊層試片在 140 °C 下，通入 0.8 A，通電時間 720.8 小時，b3 電阻上升至 6 倍時之 SEM 剖面圖。

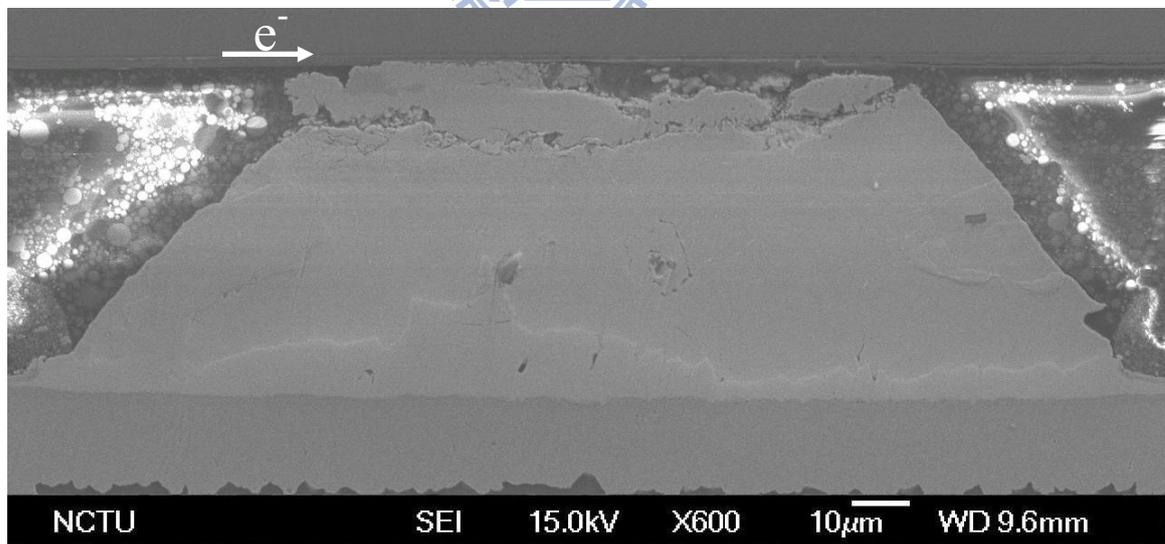


圖 4-6 Cu 5/Ni 3 金屬墊層試片在 140 °C 下，通入 0.8 A，通電時間 1959.3 小時，b3 銲錫接點斷路之 SEM 剖面圖。

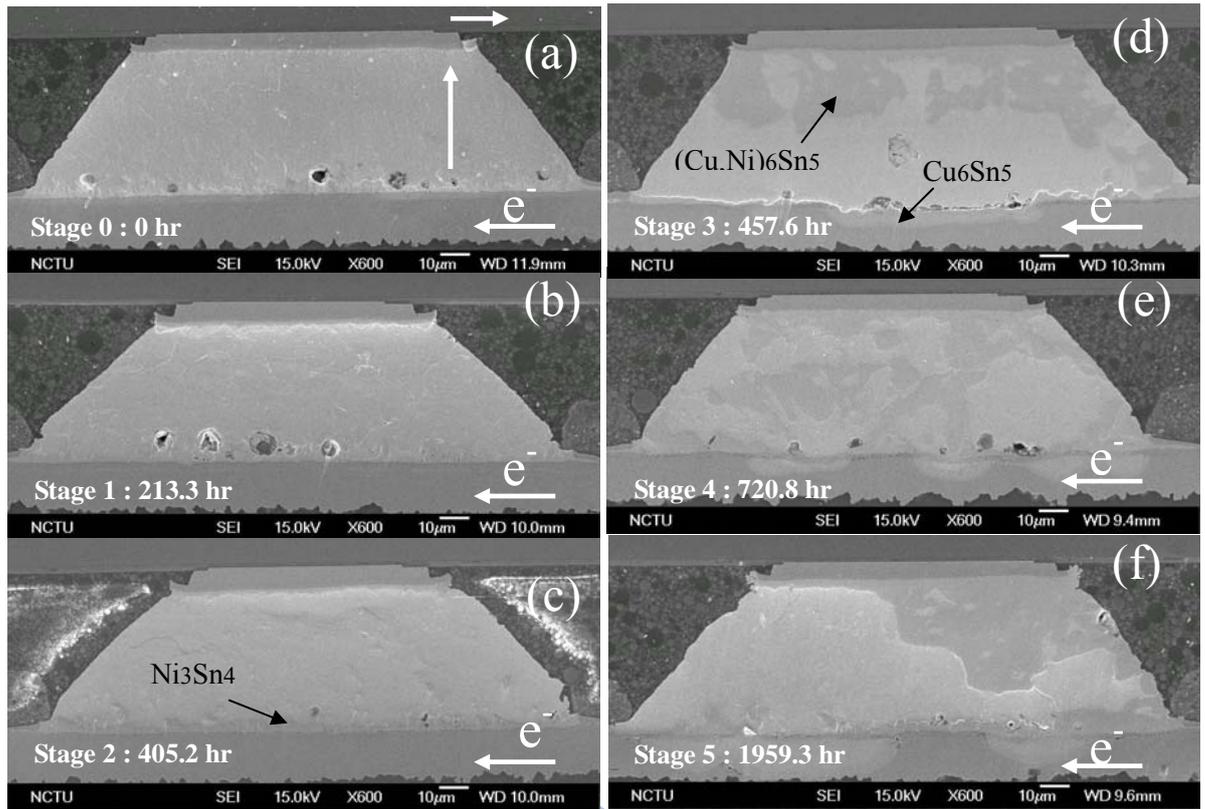


圖 4-7 為 Cu 5 / Ni 3 金屬墊層試片在 140 °C 下，通入 0.8 A，b2 鉅錫接點不同階段通電時間 (a) 未通電前 (b) 213.3 小時 (c) 405.2 小時 (d) 457.6 小時 (e) 720.8 小時 (f) 1959.3 小時之 SEM 剖面圖。

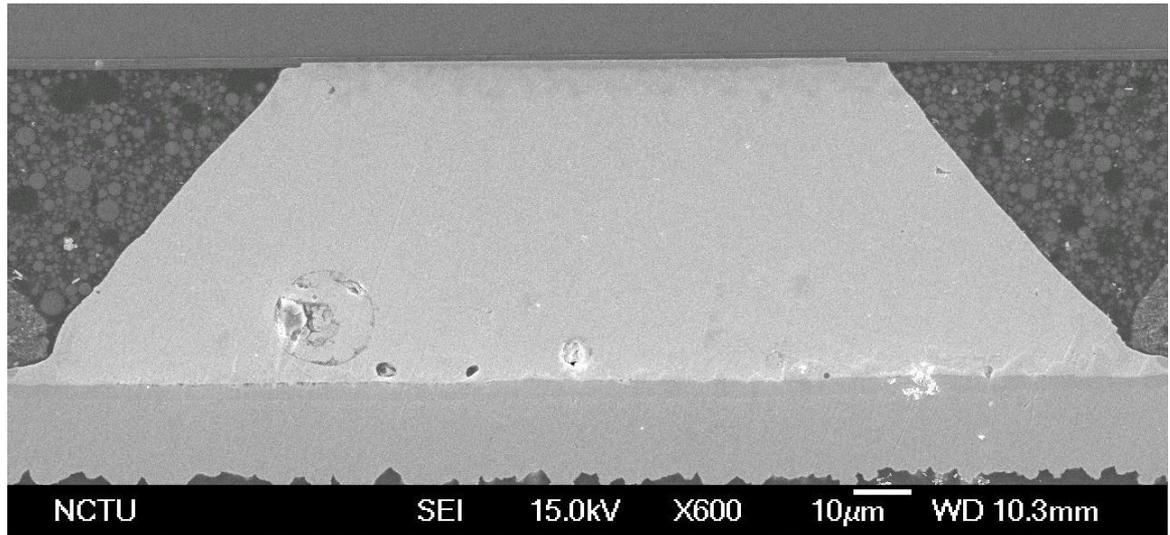


圖 4-8 為 Cu 5 金屬墊層錫銀鉛錫接點在通電測試前橫截面電子顯微鏡影像圖。

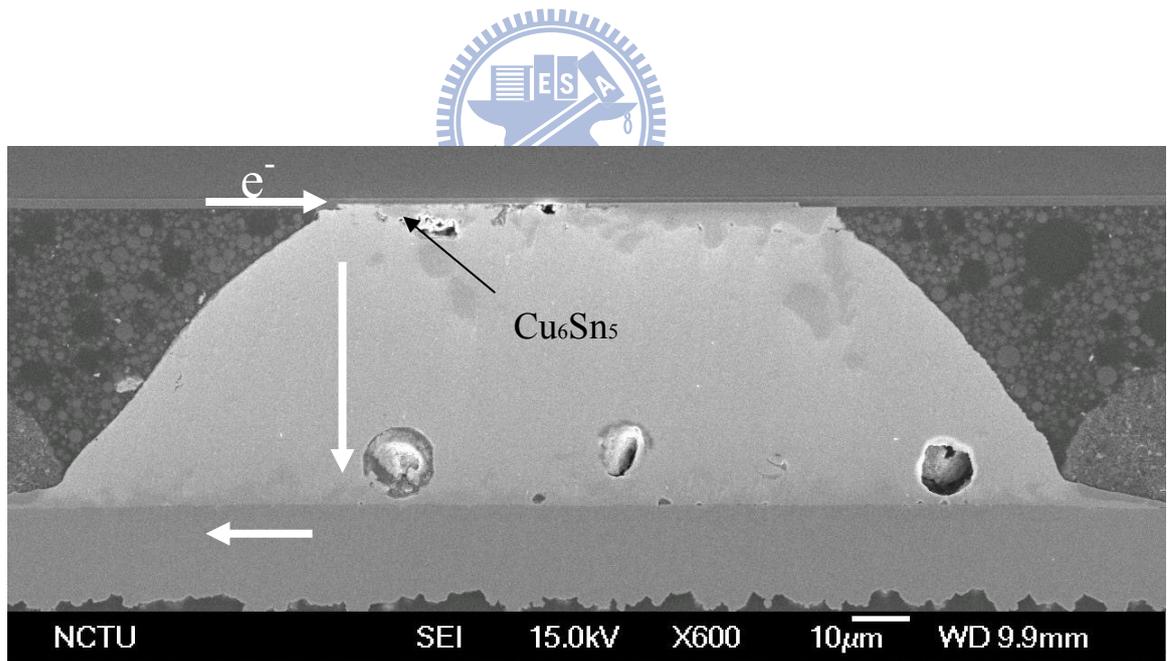


圖 4-9 Cu 5 金屬墊層試片在 $140\text{ }^\circ\text{C}$ 下，通入 0.8 A ，通電時間 71.7 小時，b3 電阻上升至 1.2 倍時之 SEM 剖面圖。

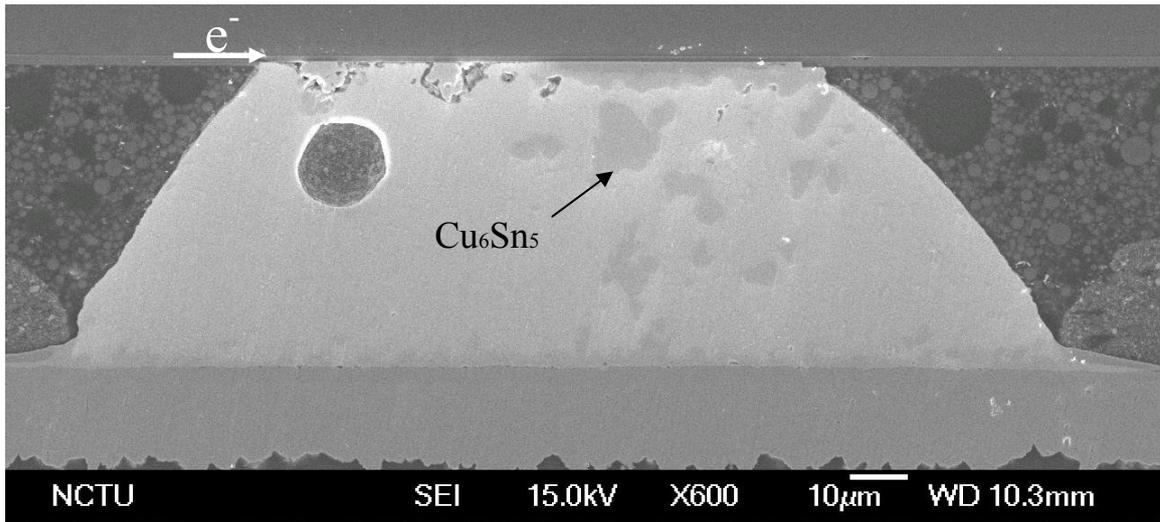


圖 4-10 Cu 5 金屬墊層試片在 140 °C 下，通入 0.8 A，通電時間 107.4 小時，b3 電阻上升至 2 倍時之 SEM 剖面圖。

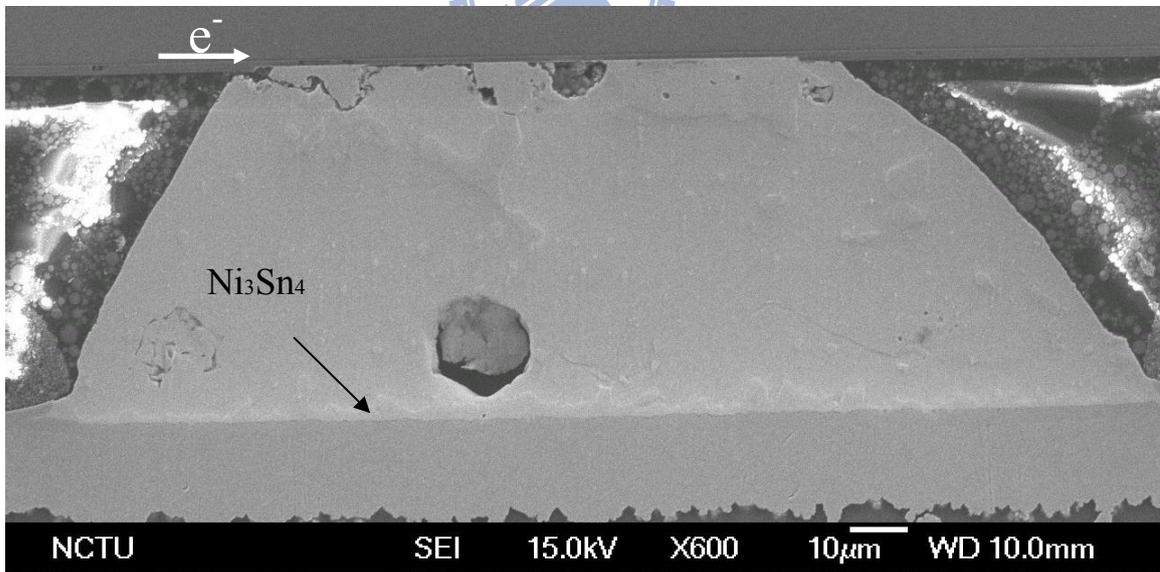


圖 4-11 Cu 5 金屬墊層試片在 140 °C 下，通入 0.8 A，通電時間 169.6 小時，b3 電阻上升至 3 倍時之 SEM 剖面圖。

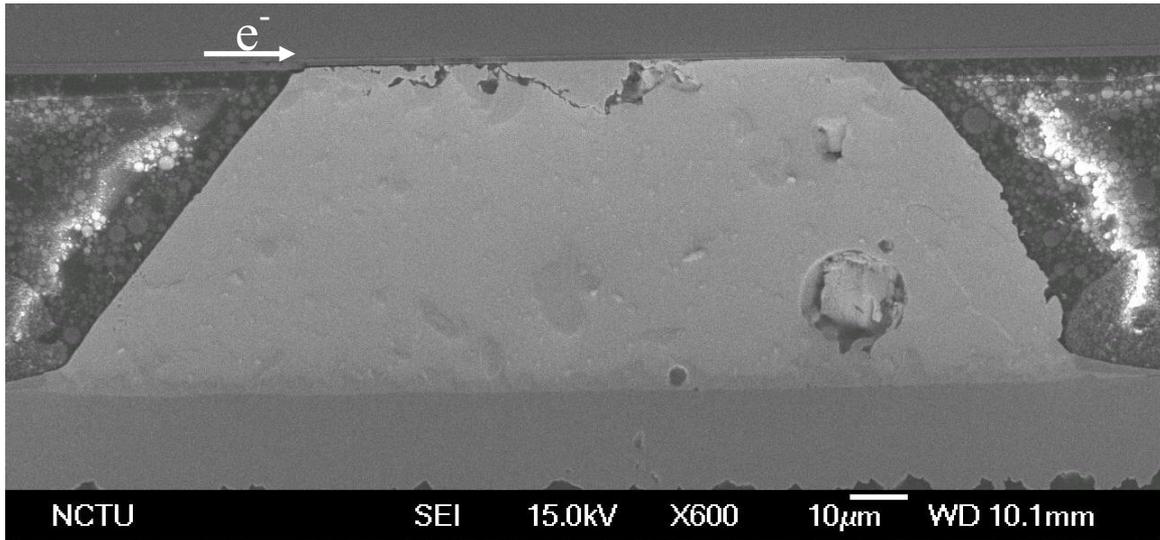


圖 4-11 Cu 5 金屬墊層試片在 140 °C 下，通入 0.8 A，通電時間 239.4 小時，b3 電阻上升至 6 倍時之 SEM 剖面圖。

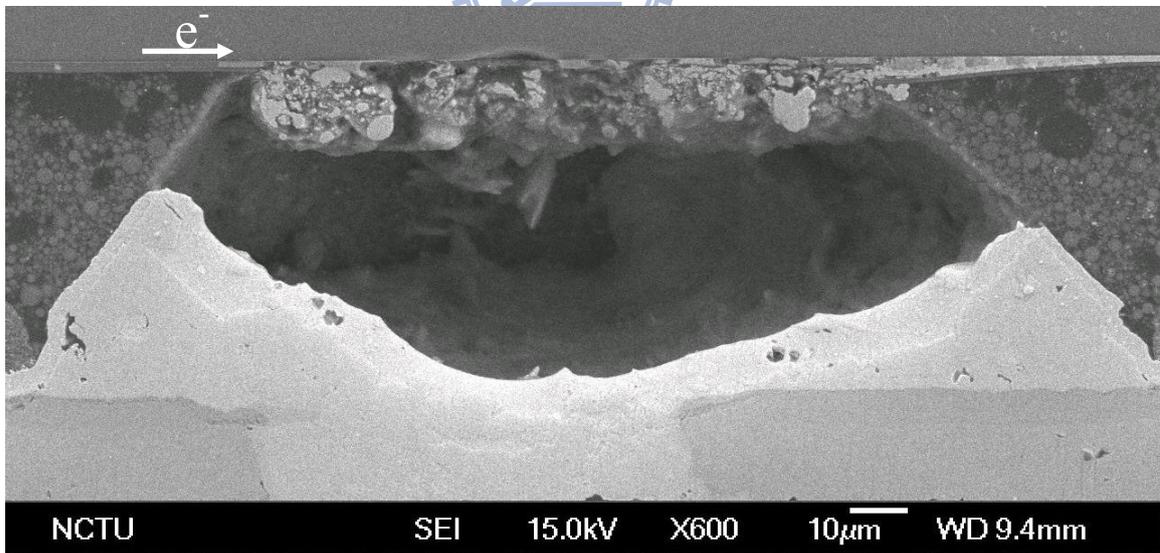


圖 4-13 Cu 5 金屬墊層試片在 140 °C 下，通入 0.8 A，通電時間 316.2 小時，b3 鍍錫凸塊完全斷路之 SEM 剖面圖。

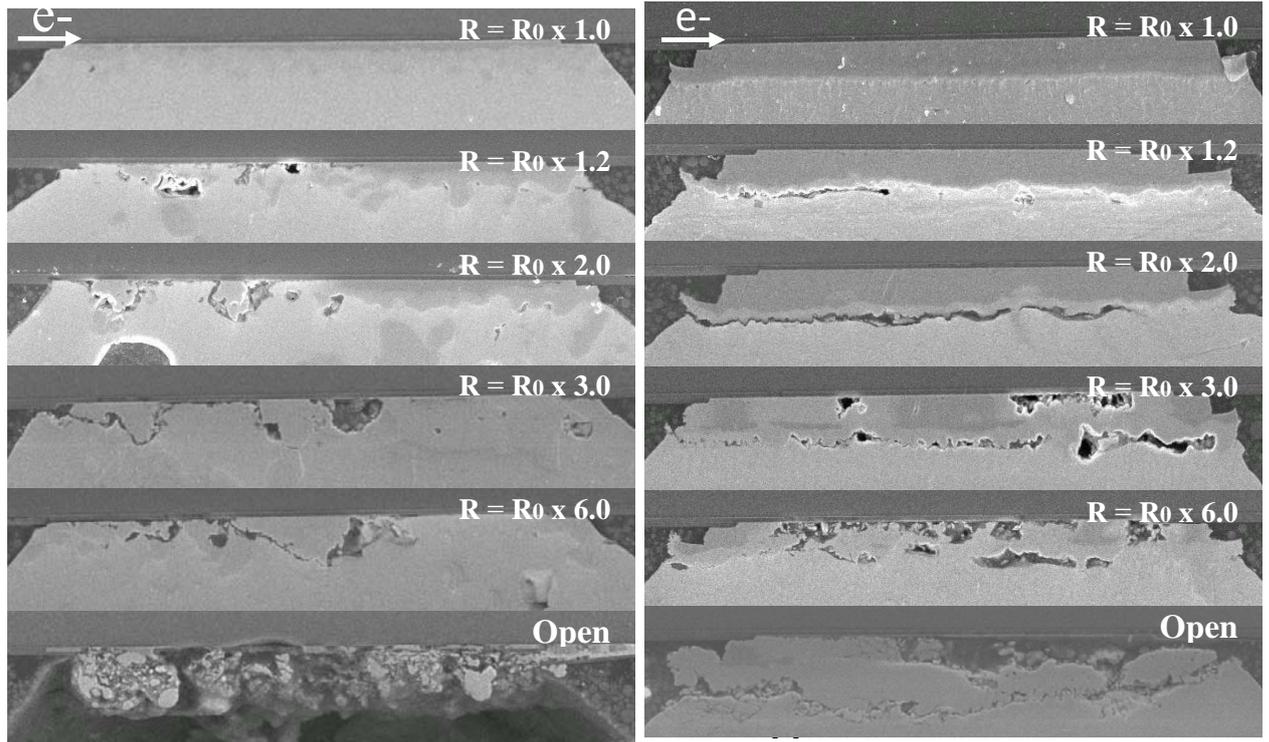
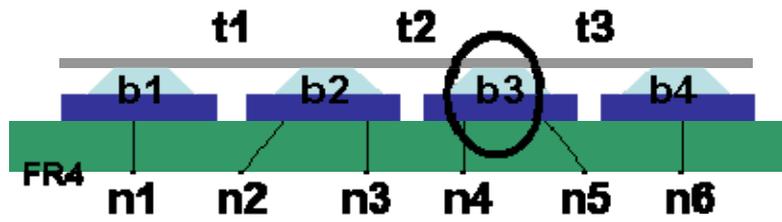


圖 4-14 Cu 5 μ m 與 Cu 5 μ m/Ni 3 μ m 金屬墊層錐錫凸塊破壞模式之 SEM 剖面圖。





R/ R0=R ratio	Current stressing time (hrs)	
	Cu 5	Cu 5 / Ni 3
1.2	71.7	213.3
2	107.4	405.2
3	169.6	457.6
6	239.4	720.8
OPEN	316.2	1959

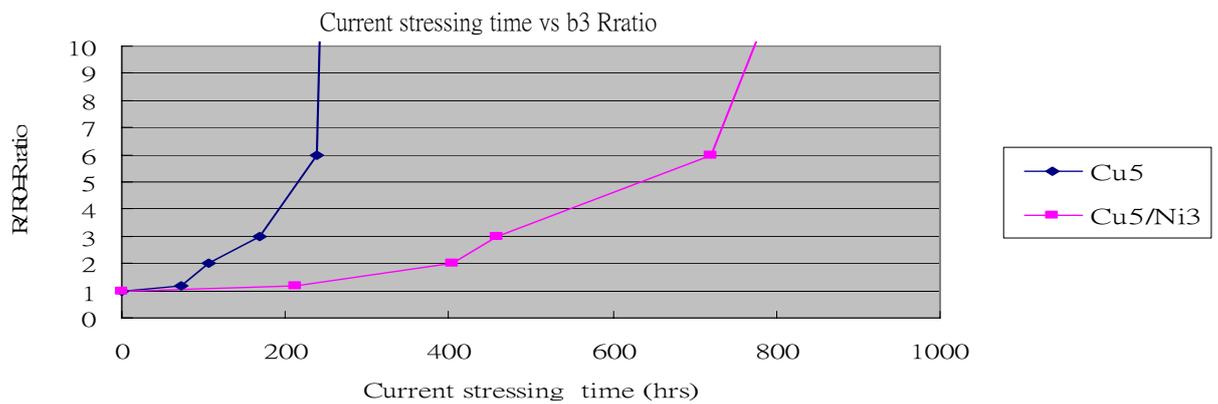
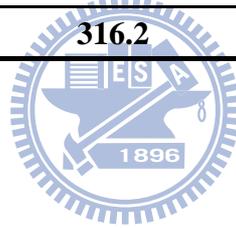


圖 4-15 Cu 5 μ m 與 Cu 5 μ m/Ni 3 μ m 金屬墊層試片在 140 $^{\circ}$ C 下，通入 0.8 A，通電時間對電阻變化曲線圖。

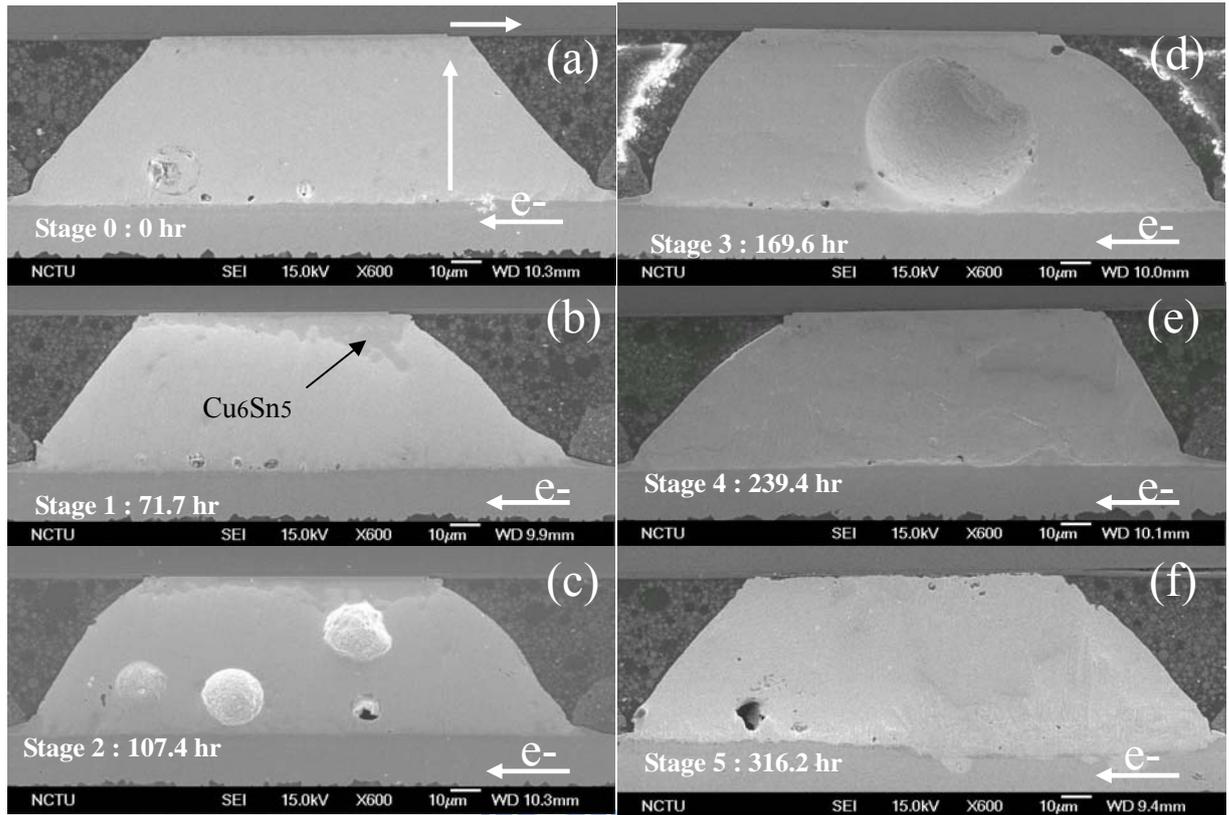


圖 4-16 為 Cu 5 金屬墊層試片在 140 °C 下，通入 0.8 A，b2 銲錫接點不同階段通電時間 (a) 未通電前 (b) 71.7 小時 (c) 107.4 小時 (d) 169.6 小時 (e) 239.4 小時 (f) 316.2 小時之 SEM 剖面圖。

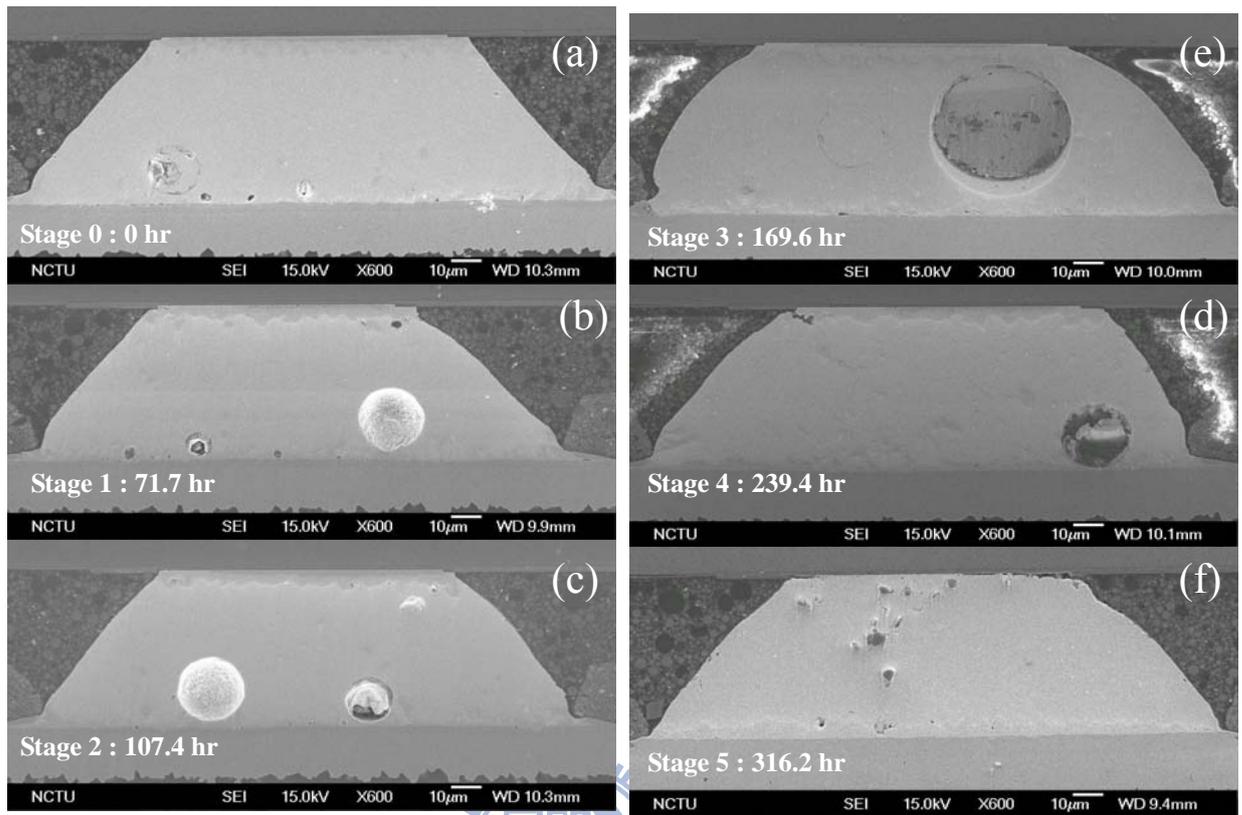


圖 4-17 為 Cu5 金屬墊層試片在 140°C 下，通入 0.8 A，b1 銲錫接點不同階段熱時效時間 (a) 未通電前 (b) 71.7 小時 (c) 107.4 小時 (d) 169.6 小時 (e) 239.4 小時 (f) 316.2 小時之 SEM 剖面圖。

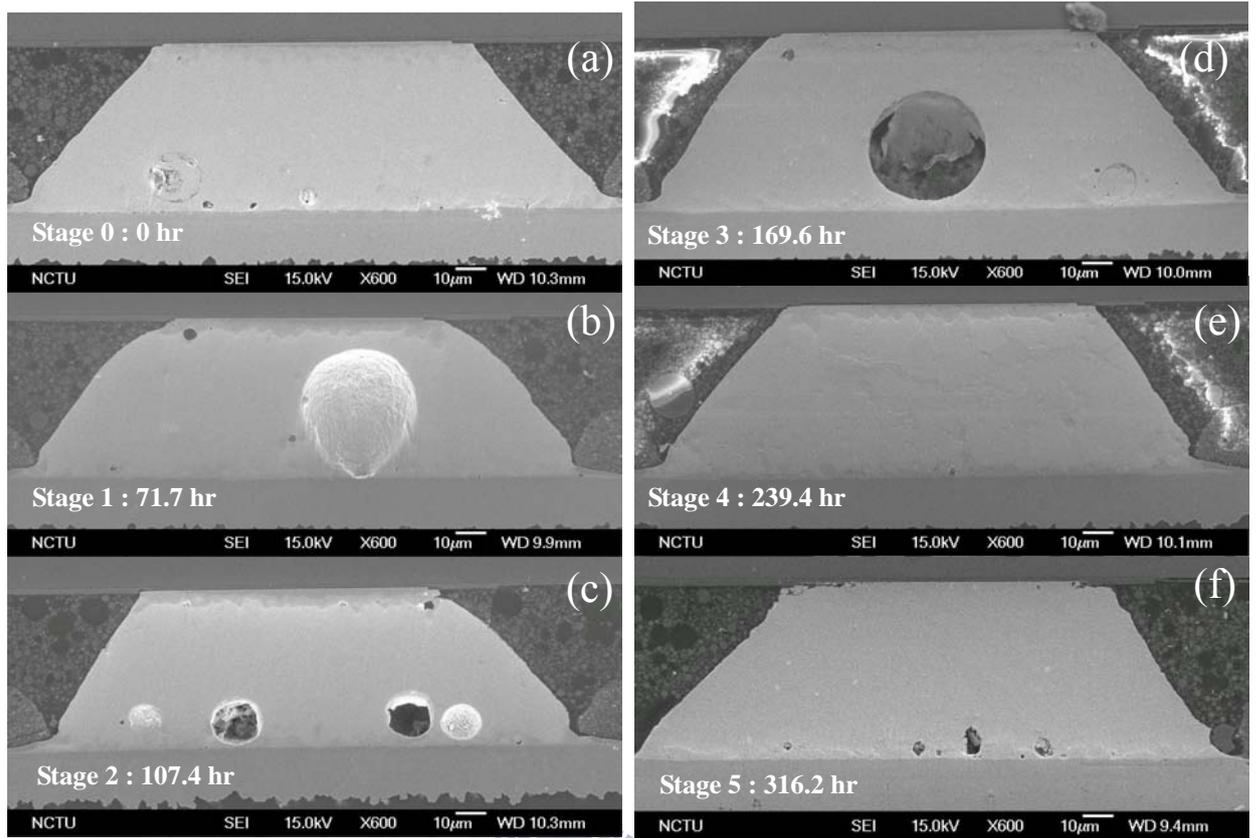


圖 4-18 為 Cu5 金屬墊層試片在 140°C 下，通入 0.8 A，b4 銲錫接點不同階段熱時效時間 (a) 未通電前 (b) 71.7 小時 (c) 107.4 小時 (d) 169.6 小時 (e) 239.4 小時 (f) 316.2 小時之 SEM 剖面圖。

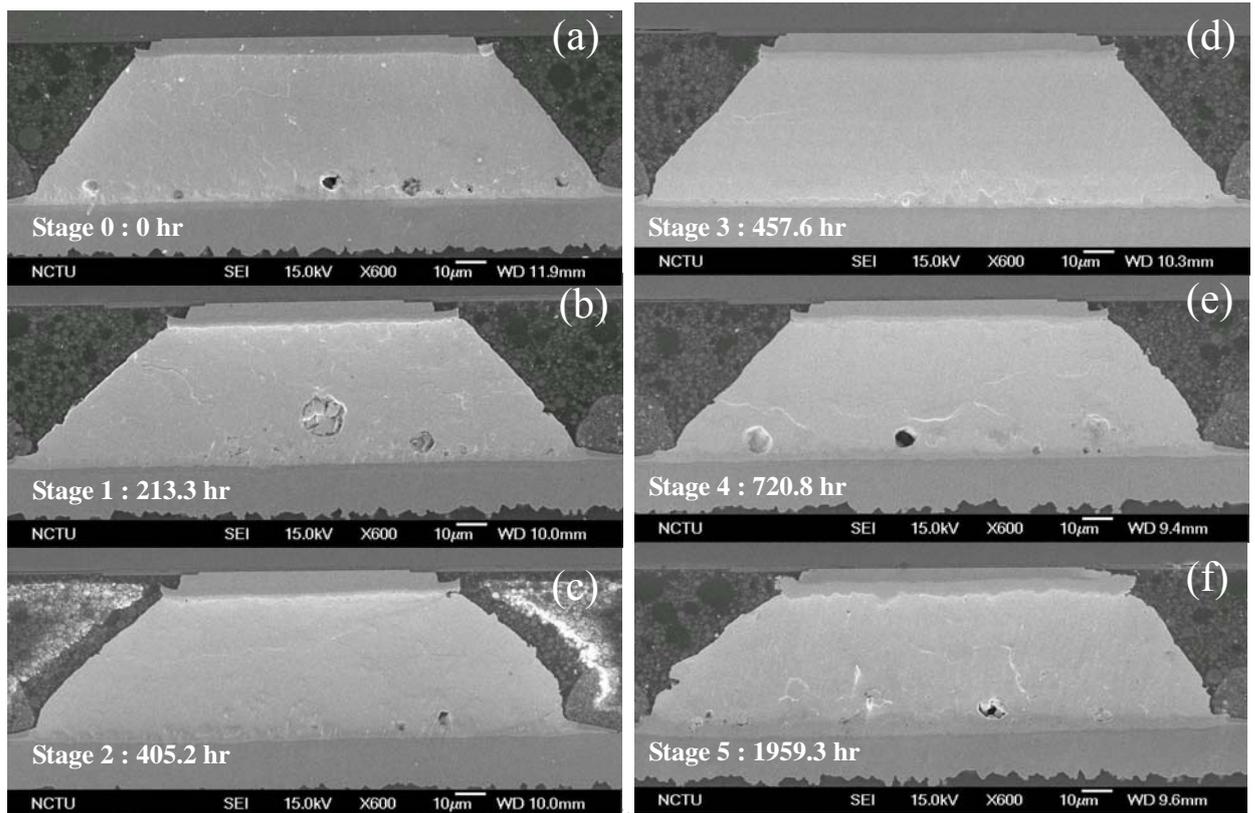


圖 4-19 為 Cu₅/Ni₃ 金屬墊層試片在 140 °C 下，通入 0.8 A，b1 鉅錫接點不同階段熱時效時間 (a) 未通電前 (b) 71.7 小時 (c) 107.4 小時 (d) 169.6 小時 (e) 239.4 小時 (f) 316.2 小時之 SEM 剖面圖。

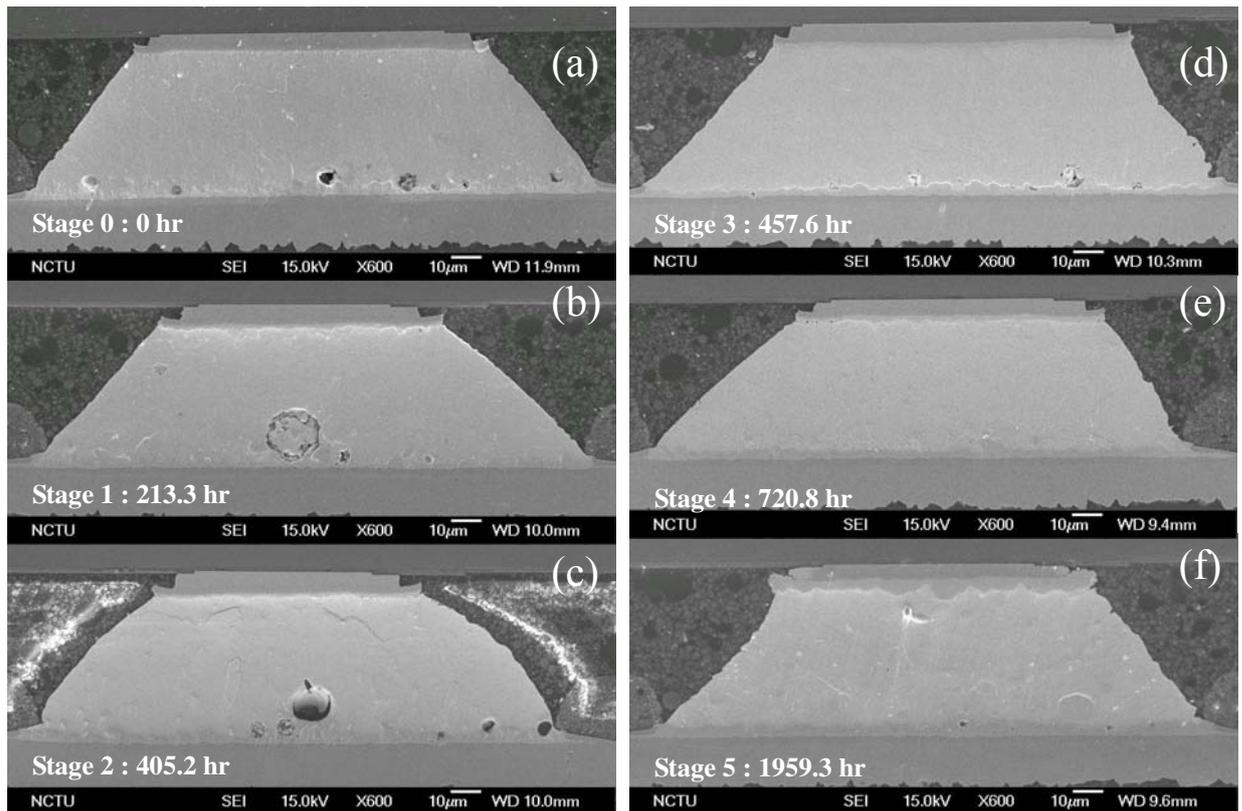


圖 4-20 為 Cu 5/Ni 3 金屬墊層試片在 140 °C 下，通入 0.8 A，b4 鉅錫接點不同階段熱時效時間 (a) 未通電前 (b) 71.7 小時 (c) 107.4 小時 (d) 169.6 小時 (e) 239.4 小時 (f) 316.2 小時之 SEM 剖面圖。

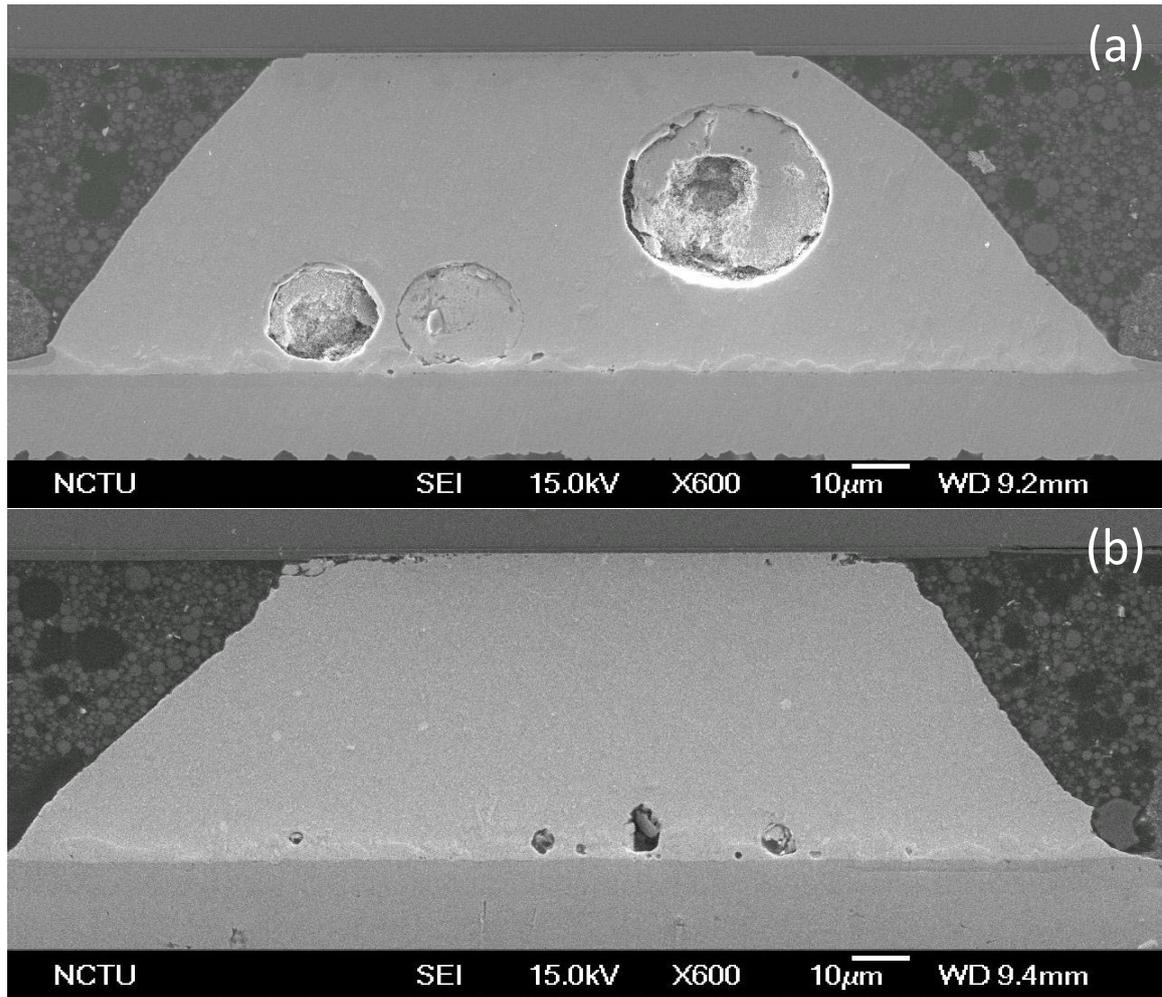


圖 4-21 為錫銀鉛錫接點搭配 Cu 5 金屬墊層試片

(a) 錫錫接點在 150 °C 下，未通以電流，熱時效時間 316.2 小時

(b) 錫錫接點在 140 °C 下，鋁導線有電流通過，但錫錫接點未通以電流，熱時效時間 316.2 小時之 SEM 剖面圖。

第五章、結論

凱文結構可以準確針對單顆鉕錫凸塊受電遷移破壞的行為進行觀測，實驗發現銅鎳墊層比銅墊層的鉕錫凸塊更抗電遷移，在相同的通電條件下，Cu 5 金屬墊層鉕錫接點的平均破壞時間均小於 Cu 5/Ni 3 鉕錫接點。主要因素是 Cu 5/Ni 3 鉕錫接點多一層鎳層可以讓電子流能再一次被分流，減緩電流集中效應，且鎳原子的擴散慢，可以減緩反應速率。電子流的方向不同導致不同的破壞模式，電子流向下，由鋁導線進入鉕錫處有著電流集中效應使得初期孔洞的生成由此開始，銅鎳墊層主要破壞為孔洞的生成，金屬墊層完全的消耗，形成大量且不規則的介金屬化合物，而電子流向上的，反而是以不規則觀的介金屬化合物形成在基板端以及鉕錫內部，主要是因為基板端銅墊層電阻小，截面積大，當電流由銅導線進入時，會先散佈至銅墊層，之後往上流入鉕錫時可以減緩電流集中效應降低電遷移破壞。

第六章、參考文獻

1. Intel Technology Journal, Vol. 9, Issue 4, 2005.
2. V. B. Fiks, Soviet Physics – Solid State, Vol. 1, pp.14-28, 1959.
3. European Union Waste in Electrical and Electronic Equipment (WEEE) Directive, 3rd Draft, May 2000.
4. Japanese Ministry of Health and Welfare Waste Regulation on Un-Reusable Pb, June 1998.
5. K. N. Tu, J. W. Mayer and L.C. Feldman, “Electronic Thin Film Science,” Macmillan, New York (1992)
6. Tu K.N., Recent advances on electromigration in VLSI of interconnects, JAP, Vol. 94 (9) , pp. 5451-5473, 2003.
7. Paul S Ho and Thomas Kwok, Electromigration in metals, Rep. Prog. Phys.52, pp. 301-348, 1989.
8. H. Wang, C. Bruynseraede, and K. Maex, Impact of current crowding on electromigration-induced mass transport, pp.517-519, APL V. 84, N. 4, 2004.
9. I. A. Blech and C. Herring, Appl. Phys. Lett. 29, 131 (1976) .
10. T. L. Shao, S. W. Liang, T. C. Lin, and Chih Chen, 3-D simulation c3.European Union Waste in Electrical and Electronic Equipment (WEEE) Directive, 3rd Draft, May 2000.
11. K. N. Chiang, C. C. Lee, C. C. Lee, and K. M.Chen,Current crowding-induced electromigration in SnAg3.0Cu0.5 microbumps, Appl. Phys. Lett. 88,0702, 2006.
12. K. N. Tu. J. Appl. Phys., 94(9), p.5451, 2003
13. K. N. Tu, J. W. Mayer and L.C. Feldman, “Electronic Thin Film Science,” Macmillan, New York, 1992
14. C. Y. Liu, C. Chen, C. N. Liao, and K. N. Tu, Appl. Phys. Lett. 75, 58 1999
15. S. H. Chiu, T. L. Shao, and Chih Chen, Infrared microscopy of hot spots induced by Joule heating in Flip-chip SnAg solder joints under accelerated electromigration, APL 88, 022110, 2006.
16. Lingyun Zhang, Shengquau Ou, Joanne Huang, and K. N. Tu, Effect of current crowding on void propagation at the interface between intermetallic compound and solder in flip chip solder joints, APL, Vol. 88, 012106, 2006
17. J. D. Wu, P. J. Zheng, Kelly Lee, C. T. Chiu, and J.J. Lee, 2002 Electronic Components and Technology Conference, p. 452.

18. S.W. Liang, T.L. Shao, Chih Chen, Everett C.C. Yeh, K.N. Tu, , J. Mater. Res., Vol. 21, No. 1, P.137
19. Liu, Y.-H. and Lin, K.-L., "Damages and Microstructural Variation of High-Lead and Eutectic SnPb Composite Flip Chip Solder Bumps Induced by Electromigration," J. Mater. Res., Vol. 20, No. 8 (2005), pp. 2184-2193.
20. Y. C. Hu, Y. H. Lin, C. R. Kao, K. N. Tu, J. Mater. Res., Vol. 18, No. 11, Vol.18 Nov 2003
21. E. C. C. Yeh, W. J. Choi, and K. N. Tu, P. Elenius, and H. Balkan, Appl Phys. Lett. Vol.80, Issue4, pp. pp. 580-582 (2002).
22. Q. T. Huynh, C. Y. Liu, C. Chen, and K. N. Tu, J. Appl. Phys. Vol.89, Issue 8, pp. 4332-4335 (2001).
23. T. L. Shao, S. W. Liang, T. C. Lin, and Chih Chen, J. Appl. Phys. Vol.98, Issue 4, 044509 (2005).
24. Jae-Woong Nah, J. O. Suh, and K. N. Tu, Seung Wook Yoon, Vempati Srinivasa Rao, and Vaidyanathan Kripesh and Fay Hua J. Appl. Phys. Vol. 100, Issue 12, 123513 (2006).
25. Jae-Woong Nah, Kai Chen, J. O. Suh, and K. N. Tu, ECTC 2007 pp.1450-1455.

