

# 錫鉛覆晶鉚錫中金屬墊層電遷移與熱遷移行為之研究

研究生：李侑錚

指導教授：陳智博士

游欽宏博士

## 國立交通大學 工學院半導體材料與製程設備學程

### 摘要

電子構裝技術是指從半導體積體電路製作完成後，與其它的電子元件共同組裝於一個連線結構(Interconnection)之中，以達成特定設計功能的所有製程。然而隨著元件的輕、薄、短、小，以及功能與效用的追求，晶片內部 I/O 接點的數目與日俱增，因此 Flip Chip 使用覆晶鉚錫矩陣式排列的 I/O 為最有效的解決方式。然而因為製程的演進使得鉚錫尺寸持續微縮，晶片運作時通過鉚錫的電流密度與日俱增。因此有關鉚錫本身可靠度議題也越來越重要。

在本文中我們將研究晶片運作時鉚錫內部的電遷移與熱遷移對可靠度造成的影響。我們使用凱文結構的方式來量測與監控鉚錫球接點的電阻變化，並且定義鉚錫接點電阻上升 20%、100%、500%與完全斷路四種實驗條件來測試電遷移的影響，再搭配 IR 上鉚錫通電時內部的溫度梯度來估算熱遷移的影響，最後再透過光學顯微鏡與電子顯微鏡研究不同通電時期電遷移與熱遷移的混合機制。

我們發現當試片在分別 150°C、160°C 加熱盤上同時加以 0.8 安培電流時，各種原子的作用力方向不同會影響破壞時間的長短與介金屬化合物生成的多寡。其中當原子電遷移作用力與熱遷移作用力的方向是同向時，破壞的機制會更快速；而電遷移與熱遷移的方向是反向時，破壞的機制會減緩。

# Effect of UBM structure on Electromigration and thermomigration behavior in flip chip SnPb solder joints

Student : Yu-Cheng Lee

Advisor : Dr. Chih Chen

Dr. Chin-Horng Yau

Program of Semiconductor Material and Processing Equipment College of  
Engineering  
National Chiao Tung University

## Abstract

Electronic Packaging Technology is a process to fabricate all of the electronic devices in one interconnection structure. As the consumer electronic products move toward more lightly, thinner and smaller, we need higher density of input/output joints. Therefore, Flip Chip Technology is a best solution. Along with the solder bump shrinking and current density increased. Reliability issue is more and more important.

In the study, we investigate the behavior of Electromigration and Thermomigration by using Kelvin Structure to measure the resistance of solder bump. We define the experiment condition as the resistance increased 20%、100%、500% and opening stage. We also evaluate the thermal gradient of bump cross-section from IR's snapshot. Finally, we can use the OM and SEM to look into the mix mechanism of Electromigration and Thermomigration.

When the current stress were applied on a hotplate with temperature at 150°C、160°C and the current is 0.8 ampere at the same time. The difference of atomic migration force direction will influence the failure time and Intermetallic compound (IMC) growth. If Electromigration and Thermomigration force are in the favorable direction, it will speed the failure mechanism. If Electromigration and

Thermomigration force are unfavorable direction, it will slow down the failure mechanism.



## 誌謝

在此要先謝謝家人，尤其是太太妙甘對我在心理上與家庭上的支持。能讓我在工作之餘，還有心力可以進修學業。

感謝宗寬學長在實驗室時不厭其煩的教導我們實驗的重點與內容，阿丸學長幫助我們如何設置儀器條件，翔耀學長提醒我們試片研磨的重點，都讓我獲益不少。宗霖，謝謝你伴同我一起走過交大的歲月，一起找老師、做實驗，一起撐過研究的低潮。

而最感謝陳智老師，謝謝你對我們的包容、支持與指導，不僅是在課業上的指導，尤其是老師對我們學生所說的專家的定義，對我在工作或生活處世上都有莫大的影響。



# 目錄

摘要.....	I
ABSTRACT.....	II
誌謝.....	IV
目錄.....	V
圖目錄.....	VII
表目錄.....	X
<b>第 1 章 序論.....</b>	<b>1</b>
1-1 電子構裝簡介.....	1
1-1-1 電子構裝之功能.....	1
1-1-2 電子構裝之層次.....	1
1-1-3 Chip-to-module Interconnections.....	2
1-2 覆晶接合技術簡介.....	2
1-2-1 覆晶凸塊材料.....	3
1-2-2 覆晶凸塊製程.....	4
1-3 研究動機.....	5
<b>第 2 章 文獻回顧.....</b>	<b>16</b>
2-1 電遷移理論.....	16
2-2 共晶錫鉛加熱通電後的現象.....	18
2-2-1 錫銅介金屬化合物的產生.....	18
2-2-2 錫鉛鉛錫的微結構變化.....	19
2-2-3 電流集中效應.....	20
2-2-4 焦耳熱效應與 TCR 效應.....	21
2-2-5 熱遷移現象.....	22
2-2-6 電遷移下造成的孔洞生成.....	22
2-2-7 電遷移與熱遷移混合的機制.....	23
2-3 減緩電遷移的方式.....	24
2-3-1 UBM 種類的更換.....	24
2-3-2 UBM 厚度的改變.....	24
2-3-3 錫鉛凸塊製程的選擇.....	24
<b>第 3 章 試片結構與實驗方法及步驟.....</b>	<b>33</b>

3-1 試片結構.....	33
3-2 實驗方法與步驟.....	33
3-2-1 熱遷移初始條件試片.....	33
3-2-2 電遷移的加速測試.....	34
3-2-3 銲錫內部電阻量測.....	34
3-2-4 銲錫內部溫度量測.....	35
3-2-5 試片架構與迴路設計.....	35
3-2-6 試片破壞模式的觀察.....	35
<b>第 4 章 結果與討論.....</b>	<b>39</b>
4-1 無電遷移與熱遷移狀態下的微結構觀察.....	39
4-2 通電初期的微結構觀察.....	39
4-3 通電中後期的微結構觀察.....	40
4-4 熱遷移與電遷移混合機制觀察.....	41
4-5 結論.....	41
<b>第 5 章 參考文獻.....</b>	<b>78</b>



## 圖目錄

圖 1-1 第一階層至第三階層構裝示意圖 .....	6
圖 1-2 A)WIRE BONDING、B)TAPE AUTOMATIC BONDING、C)FLIP CHIP BONDING 示意圖 .....	7
圖 1-3 UBM CROSS SECTION .....	8
圖 1-4 C4 PROCESS FLOW .....	8
圖 1-5 COMPOSITE SOLDER .....	9
圖 1-6 $Cu_6Sn_5$ 生成 .....	9
圖 1-7 $Cu_6Sn_5$ SPALLING .....	9
圖 1-8 EUTECTIC SnPb 與 Al/Ni(V)/Cu 金屬層反應，經迴銲後並沒有發生 $Cu_6Sn_5$ 剝離現象 .....	10
圖 1-9 PLATING BUMP PROCESS .....	10
圖 1-10 PRINTING BUMP PROCESS .....	11
圖 1-11 BALL PLACEMENT PROCESS .....	11
圖 1-12 PLATING BUMP WITH RDL PROCESS .....	12
圖 1-13 AREA ARRAY PAD AND PERIPHERAL PAD .....	12
圖 1-14 PLATING BUMP WITH RDL PROCESS 示意圖 .....	13
圖 2-1 典型的 BLECH 結構，質量傳遞的方向與電子流方向相同 .....	25
圖 2-2 鋁線平均漂移速度與電流密度關係 .....	25
圖 2-3 鋁原子受靜電力與電子風力之晶格位能變化示意圖。 .....	26
圖 2-4 Sn/Pb/Cu PHASE DIAGRAM .....	26
圖 2-5 V 形溝槽示意圖與橫截。 .....	27
圖 2-6 (A) 0 DAY (B) 2 DAYS (C) 8 DAYS，大部份鉛聚集於陽極端 [14]。 .....	27
圖 2-7 用有限元素法分析不同結構對電流密度之變化 .....	28
圖 2-8 典型銲錫接點模型，顯示截面積的變化導致的電流密度改變 [21] .....	28
圖 2-9 通入 0.59 A 電流，以紅外線顯像儀觀測到的溫度分布 [23]。 .....	29
圖 2-10 銲錫內部溫度梯度模擬 [20] .....	29
圖 2-11 孔洞生成在上方陰極端 [20] .....	30
圖 2-12 孔洞生成在上方陽極端 [20] .....	30
圖 2-13 鬆餅狀的孔洞示意圖。 .....	31
圖 2-14 錫原子與鉛原子遷移示意圖。鉛原子聚集在 CHIP/ANODE 和 SUBSTRATE/ANODE 端。 .....	31
圖 2-15 電遷移與熱遷移混合的機制。 .....	31
圖 2-16 (A) 5 MM 厚銅墊層施加 $2.25 \times 10^4 \text{ A/cm}^2$ 的破壞情形。(B) 10 MM 厚銅墊層施加 $3 \times 10^4 \text{ A/cm}^2$ 於 100 °C，100 小時後其破壞情形。(C) 50 MM 厚銅墊層施加 $6.75 \times 10^4 \text{ A/cm}^2$ 於 100 °C，100 小時後 其破壞情形。 [19] .....	32
圖 3-1 銅金屬墊層銲錫凸塊結構圖 .....	36

圖 3-2 凱文結構在半導體量測示意圖 .....	37
圖 3-3 通電迴路俯視圖 .....	37
圖 3-4 通電迴路設計示意圖 .....	37
圖 3-5 試片研磨方向 .....	38
圖 3-6 鉍錫電阻上升曲線圖 .....	38
圖 4-1 SnPB 在烤箱放置 60 HR 的 INITIAL STAGE，IMC 仍明顯存在。 .....	43
圖 4-2 紅外線熱像儀觀察 100°C 下，電子流由左上方進入鉍錫的溫度梯度。 .....	44
圖 4-3 SnPB 150°C 0.8A 電阻上升 20%，B1 剖面圖。 .....	44
圖 4-4 SnPB 150°C 0.8A 電阻上升 20%，B2 剖面圖。 .....	45
圖 4-5 SnPB 150°C 0.8A 電阻上升 20%，B3 剖面圖。 .....	46
圖 4-6 SnPB 150°C 0.8A 電阻上升 20%，B4 剖面圖。 .....	47
圖 4-7 SnPB 150°C 0.8A 電阻上升 100%，B1 剖面圖。 .....	48
圖 4-8 SnPB 150°C 0.8A 電阻上升 100%，B2 剖面圖。 .....	49
圖 4-9 SnPB 150°C 0.8A 電阻上升 100%，B3 剖面圖。 .....	50
圖 4-10 SnPB 150°C 0.8A 電阻上升 100%，B4 剖面圖。 .....	51
圖 4-11 SnPB 150°C 0.8A 電阻上升 500%，B1 剖面圖。 .....	52
圖 4-12 SnPB 150°C 0.8A 電阻上升 500%，B2 剖面圖。 .....	53
圖 4-13 SnPB 150°C 0.8A 電阻上升 500%，B3 剖面圖。 .....	54
圖 4-14 SnPB 150°C 0.8A 電阻上升 500%，B4 剖面圖。 .....	55
圖 4-15 SnPB 150°C 0.8A 電阻上升 OPEN，B1 剖面圖。 .....	56
圖 4-16 SnPB 150°C 0.8A 電阻上升 OPEN，B2 剖面圖。 .....	57
圖 4-17 SnPB 150°C 0.8A 電阻上升 OPEN，B3 剖面圖。 .....	58
圖 4-18 SnPB 150°C 0.8A 電阻上升 OPEN，B4 剖面圖。 .....	59
圖 4-19 SnPB 160°C 0.8A 電阻上升 20%，B1 剖面圖。 .....	60
圖 4-20 SnPB 160°C 0.8A 電阻上升 20%，B2 剖面圖。 .....	61
圖 4-21 SnPB 160°C 0.8A 電阻上升 20%，B3 剖面圖。 .....	62
圖 4-22 SnPB 160°C 0.8A 電阻上升 20%，B4 剖面圖。 .....	63
圖 4-23 SnPB 160°C 0.8A 電阻上升 100%，B1 剖面圖。 .....	64
圖 4-24 SnPB 160°C 0.8A 電阻上升 100%，B2 剖面圖。 .....	65
圖 4-25 SnPB 160°C 0.8A 電阻上升 100%，B3 剖面圖。 .....	66
圖 4-26 SnPB 160°C 0.8A 電阻上升 100%，B4 剖面圖。 .....	67
圖 4-27 SnPB 160°C 0.8A 電阻上升 500%，B1 剖面圖。 .....	68
圖 4-28 SnPB 160°C 0.8A 電阻上升 500%，B2 剖面圖。 .....	69
圖 4-29 SnPB 160°C 0.8A 電阻上升 500%，B3 剖面圖。 .....	70
圖 4-30 SnPB 160°C 0.8A 電阻上升 500%，B4 剖面圖。 .....	71
圖 4-31 SnPB 160°C 0.8A 電阻上升 OPEN，B1 剖面圖。 .....	72



圖 4-32 SNPB 160°C 0.8A 電阻上升 OPEN，B2 剖面圖。	73
圖 4-33 SNPB 160°C 0.8A 電阻上升 OPEN，B3 剖面圖。	74
圖 4-34 SNPB 160°C 0.8A 電阻上升 OPEN，B4 剖面圖。	75
圖 4-35 SNPB 150°C B3 電阻上升曲線。	76
圖 4-36 SNPB 160°C B3 電阻上升曲線。	77



## 表目錄

表 1-1 SINGLE CHIP PACKAGES: BALL GRID ARRAY PACKAGES-NEAR AND LONG TERM.....	14
表 1-2 COMPARISON BETWEEN WIRE / FLIP CHIP IN HIGH PERFORMANCE APPLICATION.....	14
表 1-3 各種鉛錫合金的熔點.....	15
表 3-1 實驗條件.....	38
表 4-1 B2、B3 鉛錫內部電遷移與熱遷移作用力方向.....	77
表 4-2 阻值上升條件與實驗時間數據關係表.....	77



# 第1章 序論

## 1-1 電子構裝簡介

電子構裝技術是指從半導體積體電路製作完成後，與其它的電子元件共同組裝於一個連線結構(Interconnection)之中，以達成特定設計功能的所有製程；而其成品(構裝體)主要是提供一個引接的介面，使內部電性訊號可透過封裝材料(引腳)連接到系統，並提供矽晶片免於受外力與水、濕氣、化學物之破壞與腐蝕等。綜觀台灣近代的工業發展，電子構裝工業(Electronic Packaging Industry)伴隨著電子工業的亮眼表現和電子產品輕、薄、短、小與高功能的要求而愈顯重要。

### 1-1-1 電子構裝之功能

以電子構裝之功能而言，主要有下列四項，分別是

- (1) 訊號傳送(Signal Distribution)：負責連接訊號線(signal line)將訊號從外部系統傳輸到內部的電子元件上，或將電子元件處理過的訊號輸出到外部系統。
- (2) 電能傳送(Power Distribution)：提供電源輸入以驅動矽晶片的正確運作。
- (3) 熱的散失(Heat Dissipation)：金屬材料的特性移除晶片運作時所產生的熱能。
- (4) 保護支持(Protection and Support)：保護電子元件免受外在環境影響。[1]

### 1-1-2 電子構裝之層次

若電子構裝依據製程接合的順序，亦可分為以下不同的層次，

- (1) Level 0 : chip-level 的連結，又可稱作 Si Bare Die，主要是半導體製程電晶體的閘極(Gate)與閘極間使用鋁導線或銅導線繞線 (routing) 的型式。
- (2) Level 1 : chip-to-module 的連結，又可稱作 Bare Die Packaging，為積體電路晶片 (Die) 與構裝結構接合形成電子元件(Electronic Module)。如果以傳統的打線製

程(Bonding)為例，包括晶元粘著(Die Attach)、打線接合(Wire Bonding)與封膠(Encapsulation)等製程。

(3) Level 2 : module-to-board 的連結，則是指將經第一層次構裝與其它的電子元件組合於電路板上，組成一次系統或準系統的層次。

(4) Level 3 : board-to-board 的連結，使準系統與系統連結產生作用，如將顯示卡模組、記憶體模組組裝在主機板上， [2]。第一層次至第三層次構裝，如圖 1-1所示

### 1-1-3 Chip-to-module Interconnections

我們再深入第一層次的連線技術。Level 1 主要是提供一個引接的介面，使內部電性訊號可透過封裝材料連接到系統，並提供矽晶片免於受外力與水、濕氣、化學物之破壞與腐蝕等。而現今的主流有三種：分別為打線接合 (Wire Bonding)、卷帶式接合(Tape Automatic Bonding) 和覆晶接合(Flip Chip Bonding) 如圖 1-2所示 [3]。

(1) 打線接合：晶片先以適當的材料，如 Au-Si、Au-Sn 的共晶(Eutectic)或環氧樹脂(Epoxy)黏著劑，將晶片固著於金屬導線引腳架上(Lead Frame)再以熱壓接合 (Thermocompression Bonding)或搭配超音波接合(Ultrasonic Bonding)的方式，將金屬線打在 IC 的錫墊(Pad)與引腳架上進行接合，完成晶元(Die)與基板之間的連結。

(2) 卷帶式接合：為 1968 年美國通用電氣所開發，係利用搭載有蜘蛛式金屬引腳的卷帶軟片以內引腳接合完成晶元的連結，再以外引腳接合完成基板之間的連結。

(3) 覆晶接合：是應用面積陣列(Area Array)的概念，將晶元上的錫墊(pad)分布置於晶元中央，再利用錫墊上形成的金屬凸塊與基板相連。

### 1-2 覆晶接合技術簡介

覆晶接合技術可分材料與製程兩部份說明：

### 1-2-1 覆晶凸塊材料

覆晶凸塊材料又可分兩部份，第一部份是連接晶片與錒錫凸塊的 UBM (under-bump metallization)層，一般分為三層，其結構如圖 1-3所示。

- (1) 黏著層 (Adhesion Layer)：常用的黏著層材料為 鈦 (Ti)、鉻 (Cr) 等金屬。目的在與錒墊上的金屬 (Aluminum Pad) 和周圍的保護層(passivation layer)形成強而有力的接合。
- (2) 擴散阻障層 (Barrier Layer)：常用的擴散阻障層材料為 鎳 (Ni)、銅 (Cu)、鉬 (Mo)、鉑 (Pt)、鎢 (W) 等金屬。目的在於防止錒墊與錒錫合金之間的相互擴散，因為錒錫中的錒成分容易與一般所使用的 鋁 (Al)、銅 (Cu) 形成介金屬化合物 (Intermetallic Compound, IMC)，其具脆性的物理特性容易導致錒錫凸塊的脆裂，進而降低錒錫衝擊測試時的可靠度。
- (3) 潤濕層或抗氧化層 (Wetting/Protective Layer)：常用的潤濕層或抗氧化層材料為 金 (Au)、鈀 (Pd) 等貴金屬。目的在於防止擴散阻障層的氧化，同時提供對錒錫的濕潤效果。

覆晶凸塊材料的第二部份即為錒錫凸塊本身。主要依含鉛量的多寡分為高鉛錒錫、複合錒錫、共晶錒鉛、無鉛錒錫四種。

- (1) 高鉛錒錫 (High SnPb)：最早來自IBM於 1960s所發展的 C4 [4] (Controlled Collapse Chip Connection)製程 (圖 1-4)，C4 所使用的錒球成份為高鉛錒錫 ( $\text{Sn}_5\text{Pb}_{95}$ )，這是因為鉛可以提供錒錒球良好的延展性，同時也因為 $\text{Sn}_5\text{Pb}_{95}$ 對銅的接觸角小，因此具有很高的可靠度；然而C4製程也有使用上的限制，如表 1-3所示， $\text{Sn}_5\text{Pb}_{95}$ 的熔點接近  $310^\circ\text{C}$ 的物理限制 [5]，因此只能應用在昂貴與厚重的陶瓷基板上。

(2) 複合鉛錫 (Composite SnPb)：時代演進，電子產品在輕量化與價格的考量下，覆晶接合的基板開始嘗試高分子材料，而遇到的第一個難題就是高分子材料基板較低的玻璃轉換溫度如何忍耐較高迴錫溫度的高鉛錫錫上。而兼具高鉛錫錫可靠度與共晶鉛錫低熔點的即為複合鉛錫(圖 1-5)，高鉛錫錫部份因為含錫量較少，迴錫過程中形成的  $\text{Cu}_6\text{Sn}_5$  並不多，所以對鉛錫錫的可靠度影響不高。

(3) 共晶錫鉛 (Eutectic SnPb)：剛開始使用  $\text{Sn}_{63}\text{Pb}_{37}$  的共晶錫鉛時，具有較低製程溫度的優點，但也引生了另外一個難題，剝離(spalling)的現象。成因為UBM若使用鉻(Cr)/銅(Cu)/金(Au)的組合時，UBM中的銅會與鉛錫球中的錫反應生成介金屬化合物  $\text{Cu}_6\text{Sn}_5$  (圖 1-6)，導致UBM中的銅持續消耗，若銅完全消耗殆盡， $\text{Cu}_6\text{Sn}_5$  就會在介面產生剝離的現象(圖 1-7) [6]。而C.Y. Liu 於 2000 年的研究發現 [7]，如果在UBM使用銅(Cu)/鎳(Ni) 鈦(Ti)/鋁(Al)的結構，經  $200^\circ\text{C}$  迴錫十分鐘後並沒有發生  $\text{Cu}_6\text{Sn}_5$  剝離現象。

(4) 無鉛鉛錫：於鉛錫錫中使用替代鉛的材料，如  $\text{SnAnCu}$  等。優點在於減低鉛錫錫材料中鉛對生物環境的危害，而缺點則是略高於共晶錫鉛的熔點溫度及其可靠度。

### 1-2-2 覆晶凸塊製程

覆晶凸塊製程方式非常多樣，大致可分為電鍍 (Plating Bump Process)、網版印刷(Printing Bump Process)、直接錫球置放 (Ball Placement Process)、電鍍錫球重分佈技術(Plating Bump with Redistribution Layer Process)等。

(1) Plating Bump Process：製程步驟如圖 1-9所示，第一步是批覆一層保護層材料 BCB (benzocyclobutene) 或 Polyimide 薄膜，接續使用濺鍍法批覆 UBM，而後定義錫球放置區域。再使用電鍍法將鉛錫球定位後，移除光阻並回流 (reflow) 使鉛錫錫完全接合在晶元上。

(2) **Printing Bump Process**：製程步驟如圖 1-10所示，前準備方法類似電鍍，差別在於需要先行定義 UBM 層，再接續使用網版印刷的方式將錫膏 (solder paste) 用鋼模轉印於錫球定位區域。

(3) **Ball Placement Process**：如圖 1-11所示在保護層完成UBM完成後，塗佈助錫劑 (flux) 並將錫球直接置放在 UBM 上，再直接加溫回流 (reflow) 完成接合動作。

(4) **Plating Bump with Redistribution Layer Process**：製程步驟如圖 1-12所示，主要目的在降低晶片更改封裝設計的成本，一般 IC 佈局皆將鉛墊放置於 die 的四周，重分布技術即是將鉛墊佈局於週邊 (peripheral pad) 的方式更改成矩陣式 (area array pad) (圖 1-13)，優勢在於客戶不需重新設計與重新拉線 (re-route)，即可將打線接合的產品更改成覆晶封裝的方式 (圖 1-14)。

### 1-3 研究動機

根據National Semiconductor Technology Roadmap[8] 概估，對於high performance的晶片，I/O的數量呈現倍增的現象 (表 1-1)。另外依據 2005 年出版的roadmap [9]的看法，為了符合高效能與低成本的目標，覆晶接合是現階段最有利的選擇 (表 1-2)。然而以業界而言，如何準確預測一個元件的使用壽命是極為重要的，因此本研究將針對覆晶錫通電使用時，所可能產生的各種破壞模式進行觀察，藉以建立未來預估產品破壞時間的參考。

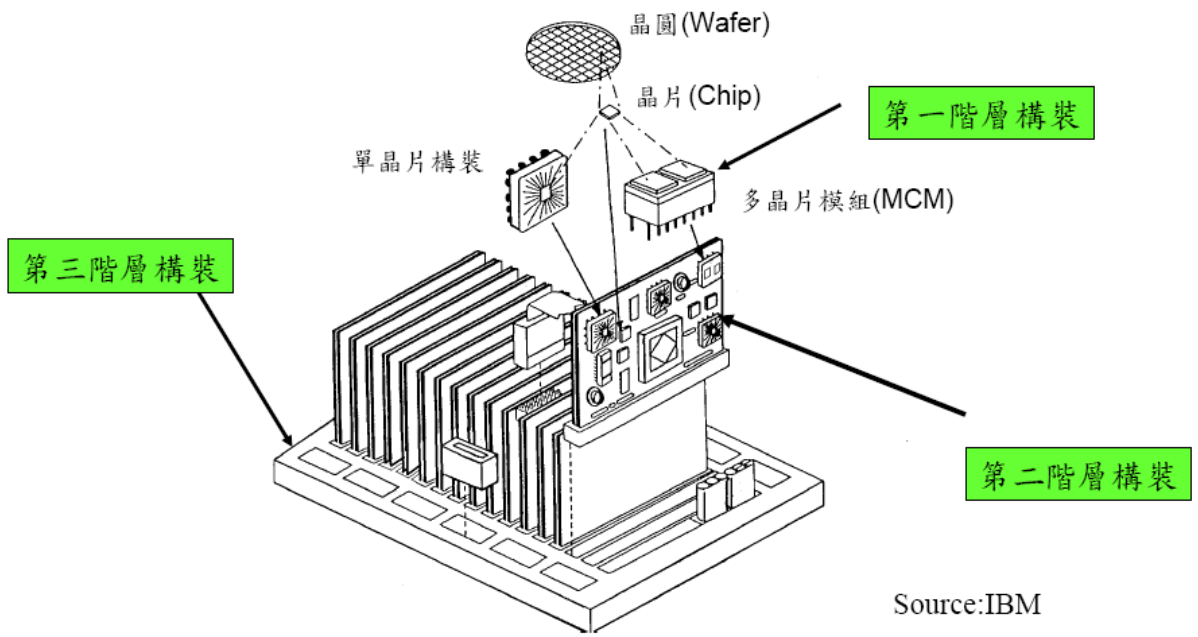
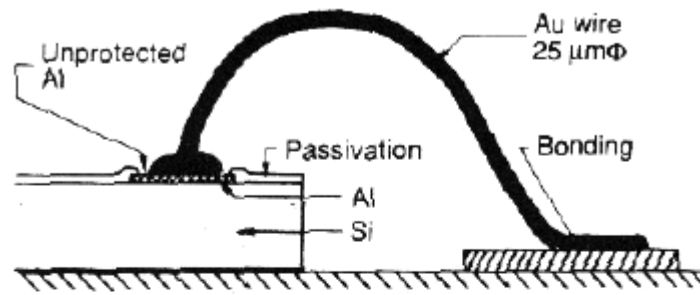


圖 1-1 第一階層至第三階層構裝示意圖

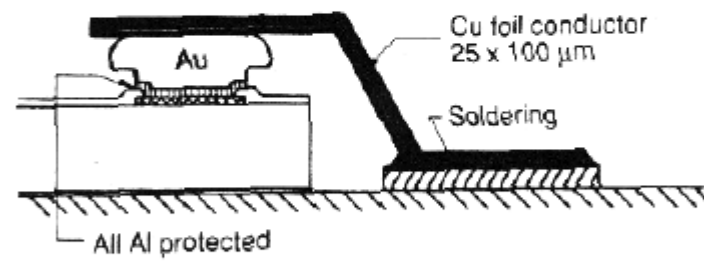




### A) Wire bonding



### B) Tape Automated bonding (TAB)



### C) Flip-Chip

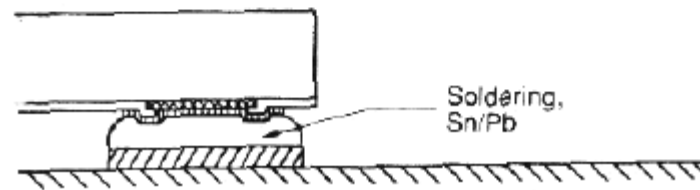


圖 1-2 A)Wire Bonding、B)Tape Automatic Bonding、C)Flip Chip Bonding 示意圖

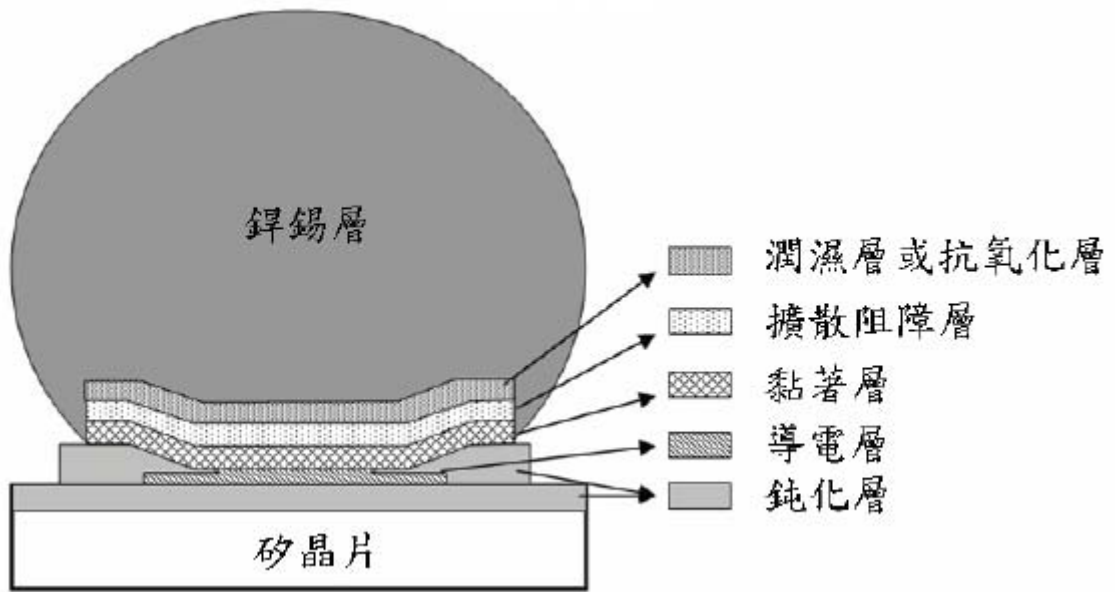


圖 1-3 UBM cross section

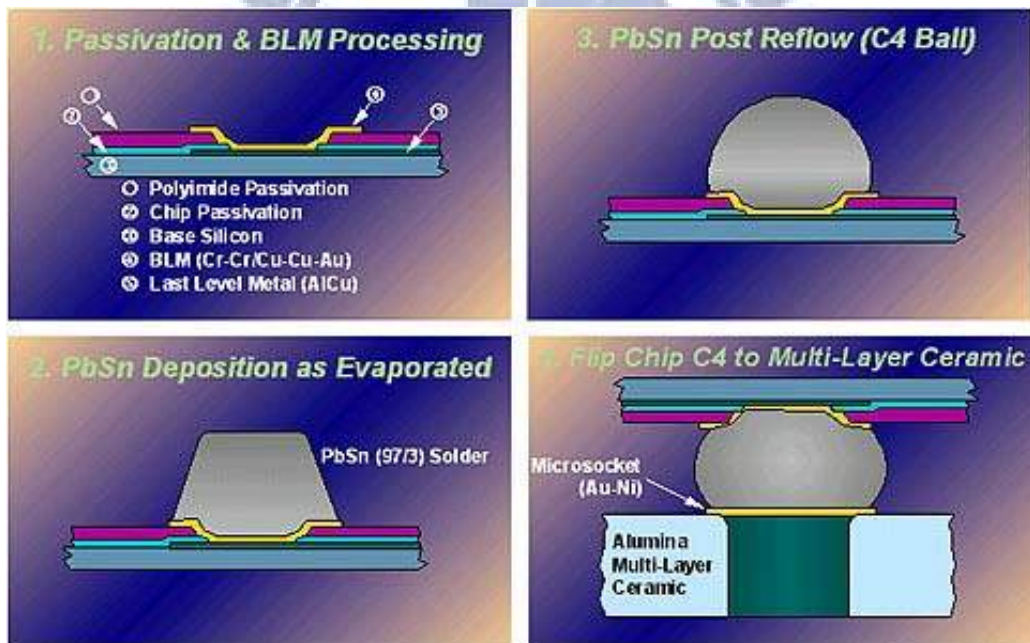


圖 1-4 C4 Process flow

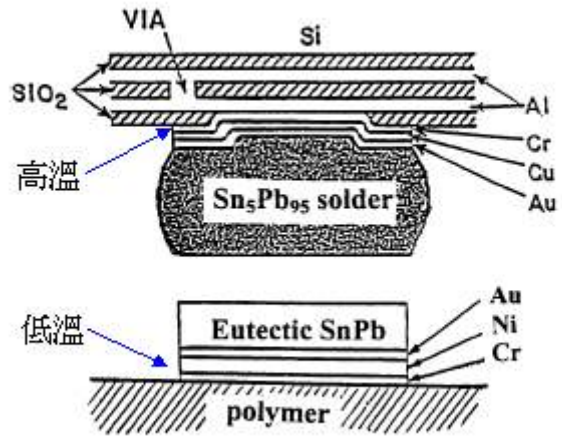


圖 1-5 composite solder

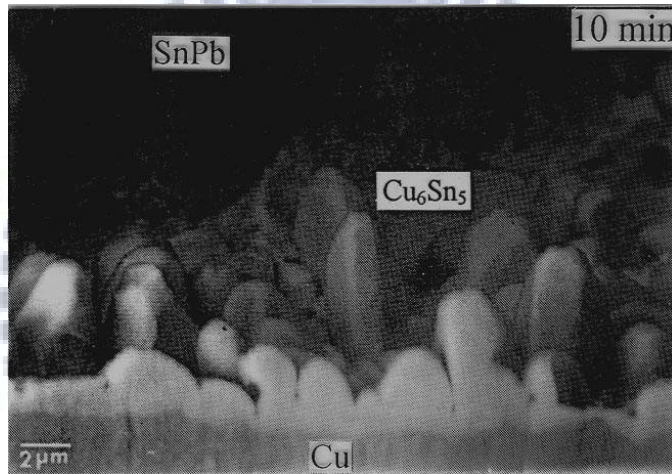


圖 1-6  $\text{Cu}_6\text{Sn}_5$  生成

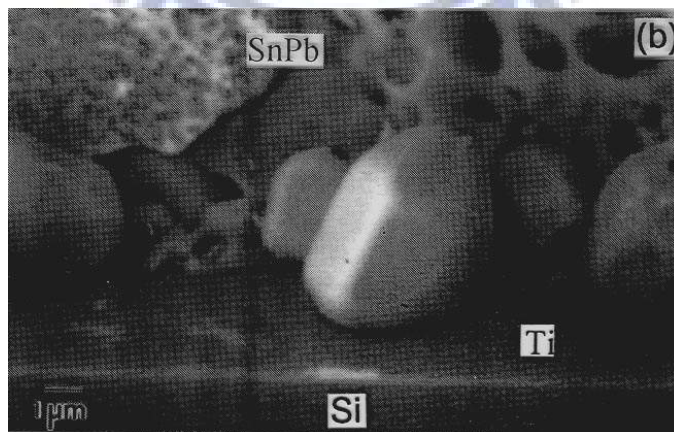


圖 1-7  $\text{Cu}_6\text{Sn}_5$  spalling

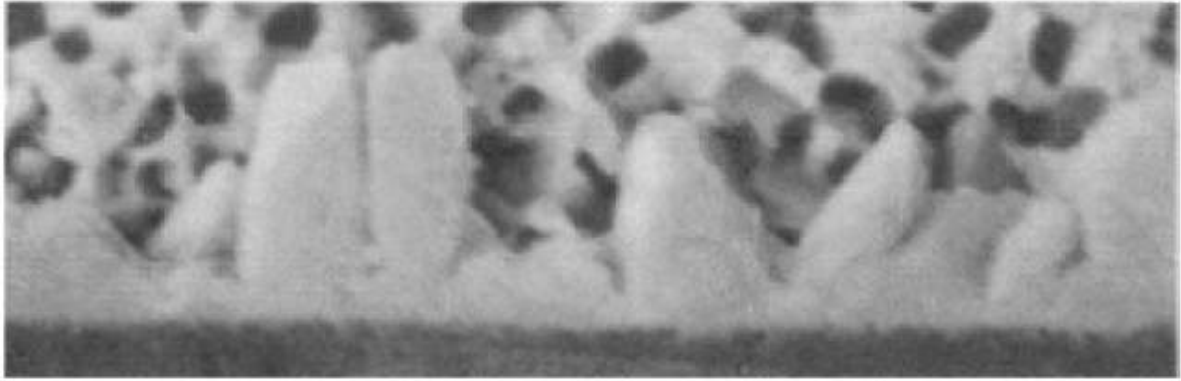


圖 1-8 Eutectic SnPb 與 Al/Ni(V)/Cu 金屬層反應，經迴錫後並沒有發生  $\text{Cu}_6\text{Sn}_5$  剝離現象

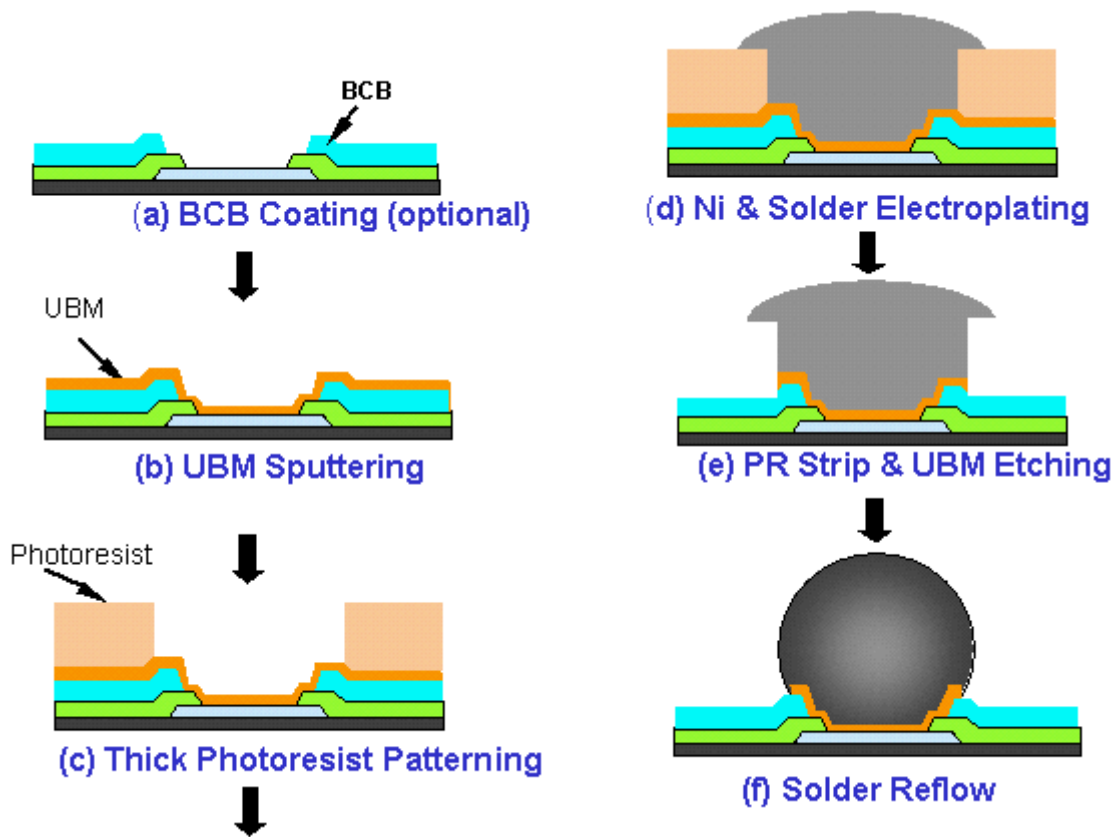


圖 1-9 Plating Bump Process

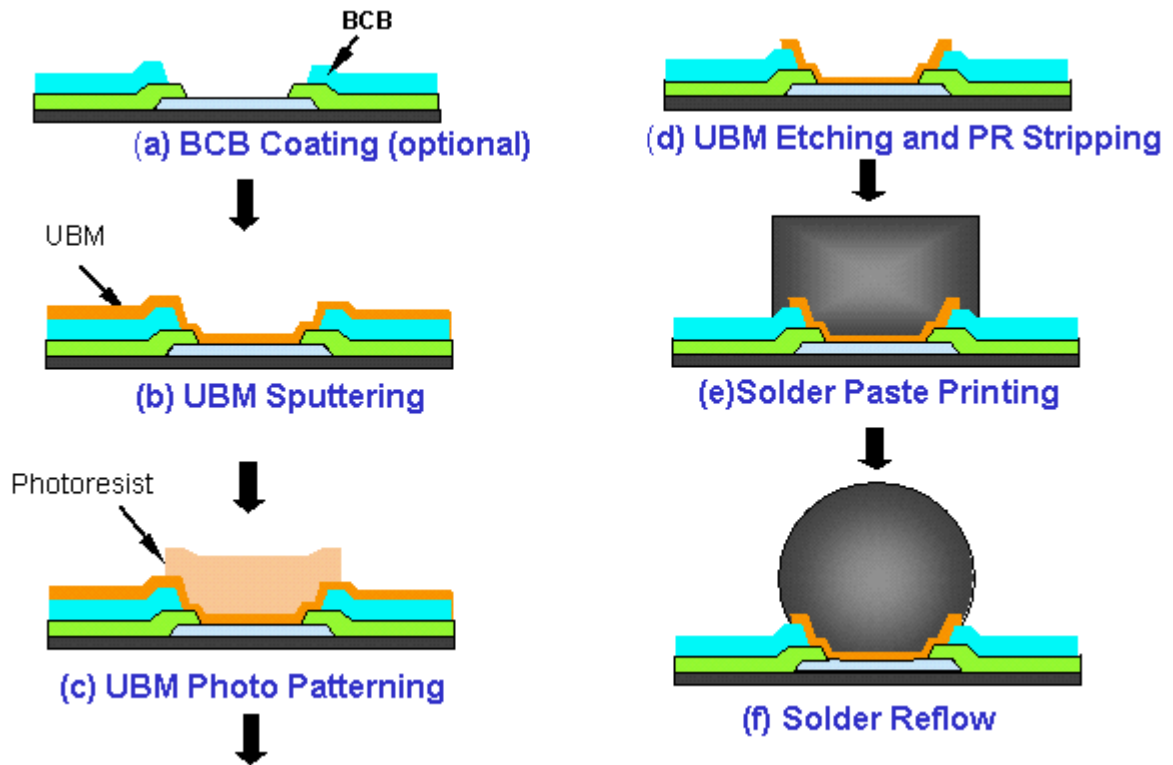


圖 1-10 Printing Bump Process

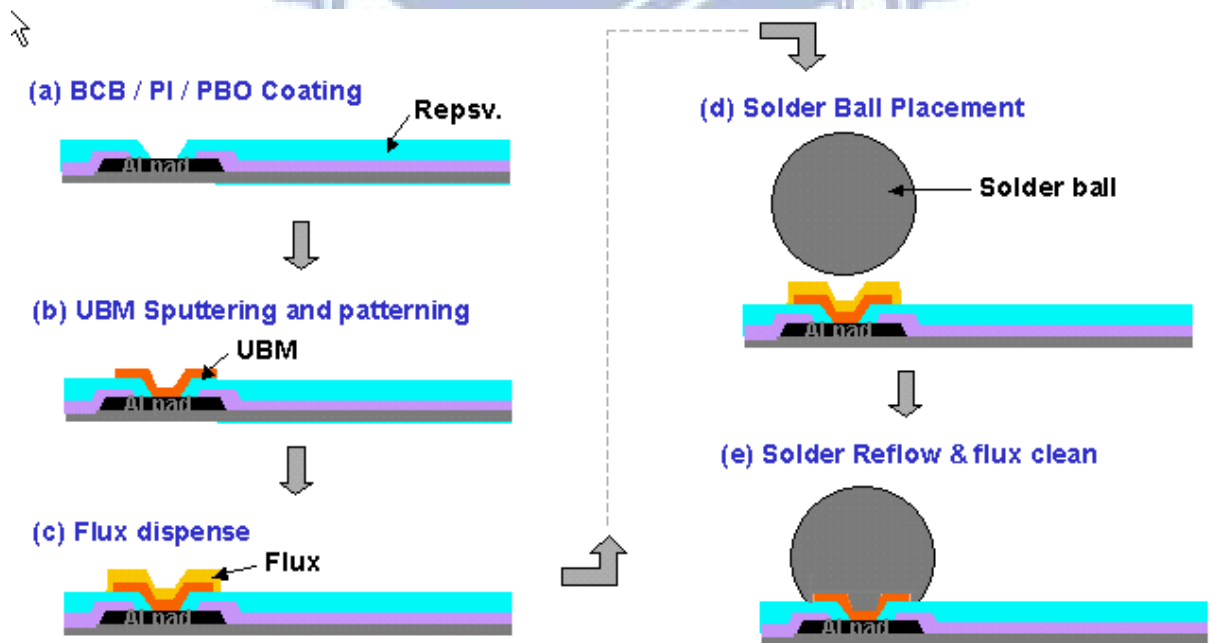


圖 1-11 Ball Placement Process

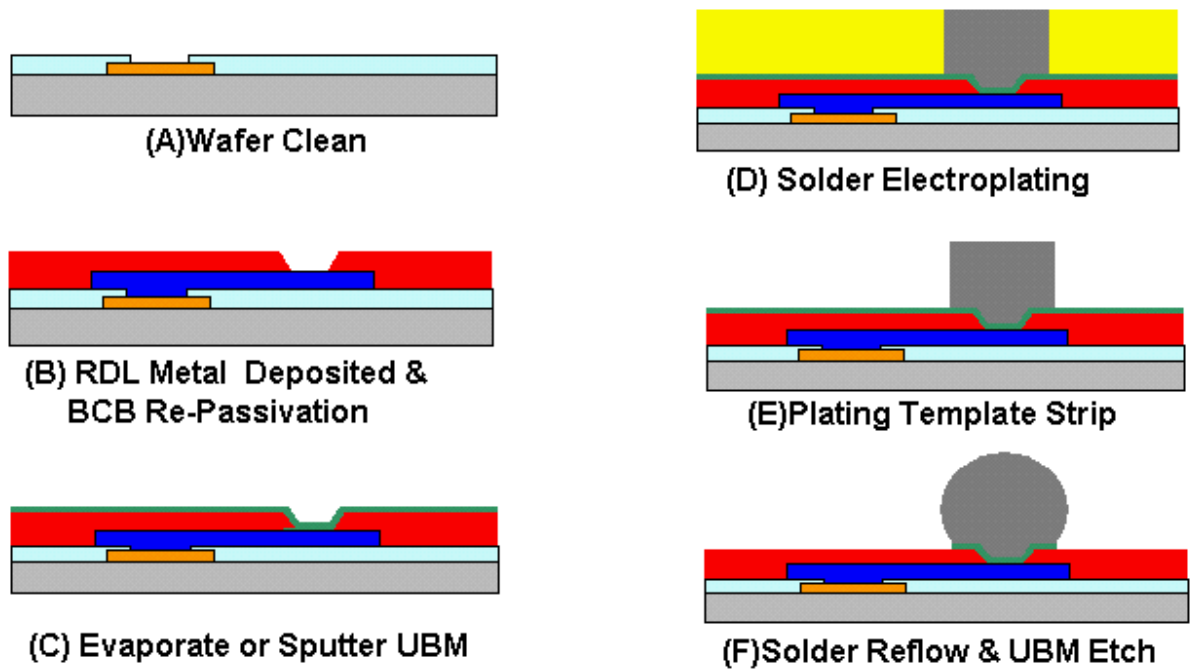
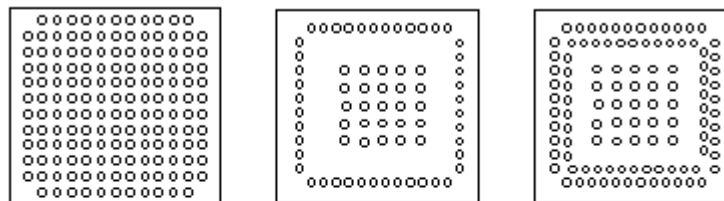


圖 1-12 Plating Bump with RDL Process

**Area array Pad:**



**Peripheral Pad:**

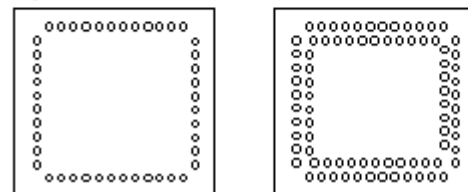


圖 1-13 Area array Pad and Peripheral Pad

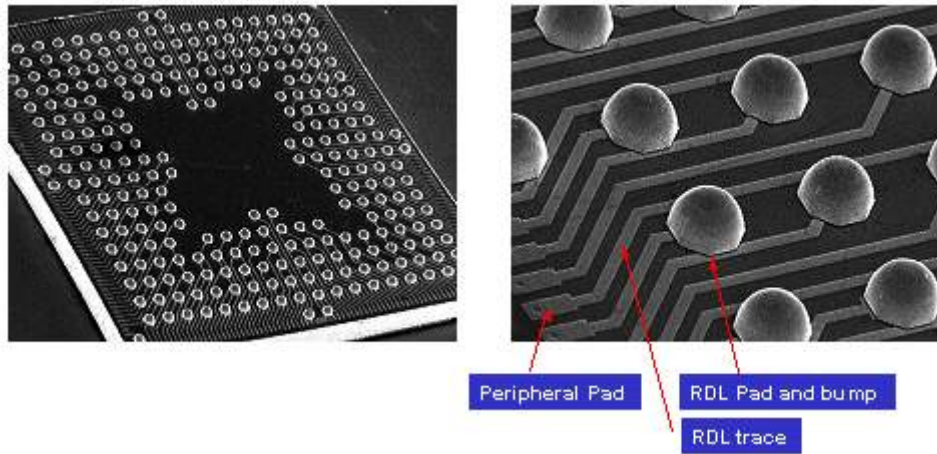


圖 1-14Plating Bump with RDL Process 示意圖



Table 62b Single Chip Packages: Ball Grid Array Packages—Long Term

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
<b>BGA solder ball Pitch (mm)</b>			
Low cost	1.0	0.8	0.8
Hand-held	0.8	0.8	0.65
Cost-performance	0.8	0.8	0.65
High-performance	0.65	0.5	0.5
Harsh	1.0	0.8	0.8
<b>BGA Possible Pincount</b>			
Low cost	684	800	968
Hand-held	800	968	1200
Cost-performance	2112	2664	3612
High-performance	3612	6844	8448 *
Harsh	684	800	968

$A = \text{Integer (BGA size/pitch)}$ ;  $R = \text{Integer (A/3)}$ ;  $\text{pincount} = (A-R) \times R \times 4$ ; body sizes rounded to nearest JEDEC size

\* This is the I/O limit for the 50 mm BGA package, and is not sufficient for the 8758 pins shown in Table 59a.

表 1-1 Single Chip Packages: Ball Grid Array Packages-Near and Long Term

				2005	2006	2008	2010	2012	2014
				High Performance/Low Cost, Handheld					
Passive devices	Capacitor	o for YES		o/o	o/o	o/o	o/o	o/o	o/o
	Resistor			o/-	o/o	o/o	o/o	o/o	
	Inductor			-/o	o/o	o/o	o/o	o/o	
Active devices	Optical	o for YES		o/o	o/o	o/o	o/o	o/o	o/o
	CCD/CMOS Sensor			-/o	-/o	-/o	-/o	-/o	-/o
	MEMS			-/-	-/-	-/o	-/o	-/o	-/o
Package Inner Structure	IC to IC Connection	o for Applicable	Wire	-/o	-/o	-/o	-/o	-/o	-/o
			Flip Chip	-/o	o/o	o/o	o/o	o/o	o/o
			Via Hole	-/-	-/o	-/o	-/o	-/o	-/o
	IC to Substrate Interconnection	o for Applicable	Wire	o/o	o/o	o/o	o/o	o/o	o/o
			Flip Chip	o/o	o/o	o/o	o/o	o/o	o/o
			Via Hole	-/-	-/o	-/o	-/o	-/o	-/o
Embedded Components	IC	o for Applicable	IC	o/o	-/-	/o	/o	o/o	o/o
	Passives		Capacitor	-/-	o/o	o/o	o/o	o/o	o/o
			Resistor	-/-	o/o	o/o	o/o	o/o	o/o
			Inductor	-/-	-/o	o/o	o/o	o/o	o/o
Substrate Material	Organic	o for Applicable	Rigid	o/o	o/o	o/o	o/o	o/o	o/o
			Flexible	-/o	-/o	-/o	-/o	-/o	-/o
	Inorganic		Ceramic	o/o	o/o	o/o	o/o	o/o	o/o
			Silicon	-/-	o/o	o/o	o/o	o/o	o/o

表 1-2 Comparison between Wire / Flip Chip in High Performance application



Alloy System [mass%]						Code	Melting Temperature [°C]		Shear Strength at 1 mm min <sup>-1</sup> [Nmm <sup>-2</sup> ]	
Sn	Pb	Ag	Sb	In	Bi		Solid	Liquid	20°C	100°C
100						Sn	232		22,1	19,0
63	37					Sn63	183	183	-	-
60	40					Sn60	183	188	33,6	21,6
50	50					Sn50	183	216	30,0	24,0
40	60					Sn40	183	234	34,3	13,7
10	90						275	302	28,9	14,7
5	95						310	314		
62	36	2				Sn62	179	179	43,0	18,6
10	88	2					268	299	-	-
5	93,5	1,5					296	301	23,8	15,7
96,5		3,5				Ag3,5	221	221	37,7	22,5
95			5			Sb5	236	243	37,2	21,1
	40			60		In60	174	185	-	-
	50			50		In50	180	209	-	-
37	37			25		In25	138	138	-	-
42					58	Bi58	139	139	50,0	19,5
15	33				52	Bi52	96	96	-	-
34	42				24	Bi24	100	146	34,3	17,5
43	43				14	Bi14	143	163	-	-

表 1-3 各種錒錫合金的熔點

## 第2章 文獻回顧

### 2-1 電遷移理論

電遷移 (Electromigration) 因電流作用導致原子移動產生的擴散現象。這現象最初是被 Gerardin (1861) 在熔化的錫鉛裡發現[10]。而至 1914 年，Skaupy 提出電子風 (electron wind) 的觀念，也就是移動中的電子與原子間的動量交換，當電子的流動可以視為對原子而言擴散的磨擦力，因此我們可以透過量化的方式來描述電遷移所造成的質量傳送。Blech 於 1976 年透過如圖 2-1 的典型 Blech 結構 [11]，於兩側施加一電場，通入高密度電流的鋁導線後，發現試片導線因為電流的影響，可以發現到原子質量傳遞的方向與電子流方向相同，導致在陽極端出現隆起物，而在陰極端會生成孔洞的狀況，符合 Skaupy 的電子風理論。在這漂移速率的實驗中，Blech 也發現會產生電遷移的臨界電流會隨著溫度的增加而減小，而電流密度越大，則飄移速率也越快 (圖 2-2)。

電遷移的驅動力主要是由電子風力 (electron wind force) 與電場產生的靜電力 (electrostatic force) 所組成。其中電子風力如上段敘述，是指對於一金屬材料施加電流作用下，電流中的電子不斷的與原子碰撞發生動量傳遞的現象。而另一個作用力：電場靜電力，即是單純的離子受到電場的作用而發生位移的驅動力。；然而即便具有兩種驅動力，電遷移現象也不一定會發生，如圖 2-3 晶格上的原子需要處在高溫的環境下才有機會提升本身的位能跨越位能井頂端，進而產生晶格的移動，也就是發生電遷移的現象，透過圖 2-3 我們可以知道電遷移事實上就是一種熱電混合效應，而且電子風力與電場靜電力的作用方向剛好相反，其中電子風力與電子流方向同向，而與靜電力則與電流方向同向。計算原子擴散通量的式子可表示成下列的式子[12]

$$J = -D \frac{\partial C}{\partial X} + \sum_i CM_i F_i \quad (1)$$

其中

$D$  表示擴散係數

$C$  表示原子濃度

$M$  表示原子遷移率

$F$  表示驅動力

第一項代表的是化學能梯度，而對本研究的金屬材料而言，並不存在化學能梯度，因此第一項為零。第二項代表的是所有驅動力的總和，而此實驗即為電遷移驅動力。式 (2) 是Huntington和 Grone推導出電遷移的關係式，電遷移驅動力就是電子風力與電場靜電力的加總。

$$F_{driving} = \sum_i CM_i F_i = F_{el\_field} + F_{wind} \quad (2)$$

其中電子風的數量級遠大於電場靜電力，所以原子會由陰極端往陽極端推動，再將式 (2) 代入式 (1)，我們可以得到

$$J = CMF_{wind} \quad (3)$$

除此之外，電子風力還可以改寫成如下式 (4)

$$F_{wind} = EZ^*e \quad (4)$$

其中

$E$  表示電場大小 (其中  $E = \rho j$ ， $\rho$  是阻值 而  $j$  是電流密度)

$Z^*$  表示電遷移的有效價數 (effective charge number of electromigration)

是一個參數表示他們受到電遷移的作用，因此有效價數會隨著不同金屬原子而有不同的值。將式 (4) 代入式 (3)，我們可以得到

$$J = CMEZ^* e \quad (5)$$

式 (5) 中的  $C$  是原子濃度，而  $M$  是原子的遷移率(mobility)。依據Nernst-Einstein方程式，原子的遷移率可以表示為

$$M = \frac{D}{kT} \quad (6)$$

將式 (6) 代入式 (5) 可得電遷移的驅動力為

$$J = C \frac{D}{kT} EZ^* e \quad (7)$$

其中

- $C$  表示原子濃度
- $D$  表示擴散係數
- $k$  表示波茲曼常數
- $T$  表示絕對溫度
- $Z^*$  表示受電子風力影響的有效價電數
- $e$  表示電子電荷
- $E$  表示電場( $E=\rho j$ ， $\rho$  為電阻率， $j$  為電流密度)

## 2-2 共晶錫鉛加熱通電後的現象

### 2-2-1 錫銅介金屬化合物的產生

Kim 與 Tu 等人對於Sn/Cu 的薄膜結構研究當中 [6]，發現在室溫下反應會有  $Cu_6Sn_5$  存在於Sn/Cu介面處，而將反應溫度升高至  $150^\circ C$  時，在Sn/Cu介面處將先生成  $Cu_6Sn_5$ ，之後再於  $Cu_6Sn_5/Cu$  處生成  $Cu_3Sn$ ；此現象由圖 2-4 Sn/Pb/Cu phase

diagram可以得知，在 170°C時SnPb/Cu仍為固態的成分組成，因此我們可以從相圖底部共晶 $\text{Sn}_{37}\text{Pb}_{63}$  組成成份的點往相圖中 Cu的頂點作一直線作圖，當剛開始形成介金屬化合物時，由於Sn/Pb 的濃度遠大於 Cu 原子濃度，因此主要生成物為 Sn + Pb +  $\eta$  ( $\text{Cu}_6\text{Sn}_5$ )；然而 $\text{Cu}_6\text{Sn}_5$ 並不穩定 (unstable)，而隨著Cu原子持續擴散使濃度上升，相圖也漸漸移到  $\eta$  ( $\text{Cu}_6\text{Sn}_5$ ) +  $\epsilon$ ( $\text{Cu}_3\text{Sn}$ )+ Pb，也代表 $\text{Cu}_3\text{Sn}$ 也隨之生成。

T.Y. Lee，W. J. Choi 等人於 2002 年使用共晶錫鉛在 Cu UBM 接合後，於 125°C、150°C、170°C 的條件下進行熱時效的實驗。在迴鍍時發現  $\text{Cu}_6\text{Sn}_5$ 的介金屬化合物為 scallop-type 的結構，而若經過熱時效的處理，其介金屬化合物介面處的型態會轉化成 layered-type 的結構，其中的介金屬化合物就包含了  $\eta$  ( $\text{Cu}_6\text{Sn}_5$ ) 與  $\epsilon$ ( $\text{Cu}_3\text{Sn}$ ) 兩種類。

### 2-2-2 錫鉛鍍錫的微結構變化

在不同溫度下，錫與鉛的擴散行為，由 D. Gupta, K. Vieregge於 1999 提出 [13]，利用  $^{210}\text{Pb}$ 與  $^{113}\text{Sn}$ 來當成追蹤子實驗結果顯示，在 120°C以上，鉛原子的擴散速率比錫快，而在 120°C以下，錫原子則擴散的比鉛快。

而Q.T. Huynh 於 2001 年 [14] 於矽晶圓上蝕刻出一V形溝槽，如圖 2-5，溝槽的寬度為 100  $\mu\text{m}$ ，然後在兩端放上做電極用的銅線，並將熔融狀態的錫鉛填滿於V型溝槽內。實驗方式是在 150°C的環境、電流密度  $2.8 \times 10^4 \text{ A/cm}^2$  通電 8 天後，於圖 2-6可以觀察到陽極端有巨大的突出物，而陰極端有巨大孔洞生成。以能量散佈光譜儀來分析，Huynh發現在 150°C陽極端的隆起處有 95%的重量百分比為鉛；Huynh又於常溫下以近兩倍電流密度的環境下重新實驗，並以光譜儀分析時，發現室溫環境下的陽極端變成占重量百分比 92%的錫，這些現象證實了鉛在 150°C時為主要擴散載子，反之室溫下錫為主要擴散載子。

錫鉛錫料在熱疲勞的測試下，我們可以發現測試的試片內部有微結構粗化或是相的成長。Frear et al. 1997 研究微結構變化的原因，提出晶粒大小的變化是熱疲勞測試破壞的原因，發現晶粒粗化的程度與電流密度和溫度有的關係式如下

$$d^n - d_0^n = Kj^m t \quad (8)$$

電流密度項次  $m$  為 3，相成長的指數項為 5.5；在測試範圍內，由此關係式我們可以知道晶粒粗化的程度受電流密度的影響較溫度梯度更大。

在 Jong-Kai Lin 2003 [15]對無電鍍鎳 UBM的共晶錫鉛接點測試中發現通電後發生相分離的現象。另外也發現到當在  $150^\circ\text{C}$  下，電流密度為  $5.1 \times 10^4 \text{ A/cm}^2$  以上，經過 30 小時的通電時間，就可以發現明顯的相分離；富鉛相被推往陽極側聚集，同時伴隨嚴重的 IMC 成長，但不會發生明顯的孔洞生成在通電過程中。

### 2-2-3 電流集中效應

C. Y. Liu 與 K. N. Tu 等人在 2000 年以 Blech 的結構做電流分布的模型研究 [7]，發現電流方向一旦改變，該區域的電流密度梯度也會跟著變化。而電子的行進路線會選擇最短或受最小阻礙的路徑來行進。若路徑為曲線 (假設整個路徑為同材質)，則因為最內側的路徑電阻較小，所以通過的電子數量較多，於是在有彎角的電子流經路徑上就會出現電流聚集的情形。

C. C. Yeh, W. J. Choi 與 K. N. Tu 等人發表在 Applied Physics L. Vol. 80 (2002) [16] 的研究中，提及導線與錫接點幾何型狀的差異會造成錫接點內部的電流集中效應，並由實驗的結果證實此現象會造成錫接點中電流集中處有孔洞生成，結果提示設計者可透過減少轉角的方式減緩電流集中效應。內部電流密度分布分析結果如圖 2-7 示。

T. L. Shao 於 JAP.2005 [21] 便以 ANSYS 建立覆晶錒錫凸塊連線的模型 (圖 2-8) 並使用有限元素分析法對錒錫系統的電流密度做模擬分析，在分析時發現，當電流從晶片端內連接線進入錒錫凸塊時，因為在內連接線的剖面面積比錒錫凸塊小了兩個維度，劇烈的接面面積變化導致劇烈的電流密度改變，形成局部區域電流密度上升，此結果也印證 K. N. Tu 對轉角會對電流密度產生影響，成為設計覆晶錒錫時所需要考量的效應。

#### 2-2-4 焦耳熱效應與 TCR 效應

1841 年 James Prescott Joule 發現了焦耳熱效應 [22]，係指一帶電粒子受一電場加速後，於行走路徑中若與原子發生碰撞，將會損失部分的能量並轉移到離子原子上，以動能或是震動再以熱能的方式表現出來，進而導致環境溫度上升。實驗結果發現，金屬線在通電下所產生的熱能正比於電阻與電流二次方的乘積，焦耳熱造成的功率可表示為以下式子

$$P = I^2 R = j^2 \rho V \quad (9)$$

$P$  為焦耳熱效應的功率， $j$  為電流密度， $\rho$  為電阻率， $V$  為體積。

在 S.H. Chiu 與 Chih Chen 等人於 2006 [23]，提出利用紅外線顯像技術對通電的覆晶結構做觀察，驗證錒錫接點在通電時，會因焦耳熱效應導致熱點的存在，熱點位置在鋁導線進入錒錫處，如圖 2-9 所示。

另一方面，當原子處於高於絕對零度的環境下，原子在晶格位置上會持續不斷的震動，溫度越高震動幅度越大，間接阻礙電子的行走路徑，也意味著電阻的上升，此結果稱為 TCR (Temperature Coefficient of Resistance) 效應。

$$TCR = \left( \frac{R_1 - R_0}{R_0} \right) \left( \frac{1}{T_1 - T_0} \right) \quad (10)$$

我們可以透過求得 TCR 係數，來校正錒錫接點真實的溫度分布。

### 2-2-5 熱遷移現象

熱遷移是一種因為溫度梯度導致原子移動的現象。然而隨著元件微縮，電流密度的增加將伴隨著更嚴重的焦耳熱效應產生，我們可以預估到熱遷移的問題會更顯重要 [18]。

Roush在 1982 年發現，當錫鉛焊錫內部的溫度梯度大於  $1200^{\circ}\text{C}/\text{cm}$ 時，鉛原子會從熱端往冷端跑[19]。而 2003 年 Ye 模擬鍍錫凸塊的內部，因為上下溫差過大，使內部的溫度梯度到達  $1500^{\circ}\text{C}/\text{cm}$ 並施以 1 安培電流後 (圖 2-10)，會有熱遷移所產生的孔洞。再於真實狀況下以  $1.3 \times 10^5 \text{ A}/\text{cm}^2$  將錫鉛焊錫通電 16 小時後，可確實發現孔洞同時生成於圖 2-11 上方陰極端與圖 2-12 上方陽極端，證明錫鉛焊錫內會有熱遷移的現象發生。

### 2-2-6 電遷移下造成的孔洞生成

W. J. Choi、E. C. C. Yeh與 K. N. Tu 等人在 JAP 2003 [11]，利用薄膜 Al / Ni / V / Cu UBM 的共晶鍍錫試片做電遷移可靠度的研究。分別將試片置於  $100^{\circ}\text{C}$ 、 $125^{\circ}\text{C}$ 、 $140^{\circ}\text{C}$  的環境，並通入  $1.90 \text{ A}/\text{cm}^2$ 、 $2.25 \text{ A}/\text{cm}^2$ 、 $2.75 \times 10^4 \text{ A}/\text{cm}^2$  的電流，同時紀錄測試過程中的電位變化，利用  $V = IR$ ，當發現電位產生變化即表示電阻的變化，也代表孔洞生成阻撓電流通過，而當共晶錫鉛與晶片的接觸面佈滿整個孔洞時，電阻更是急速上升，而導致迴路斷路。L. Zhang 和 K.N. Tu 等人又於 2006 發現鬆餅狀的孔洞 (pancake-type void) [24] (圖 2-13)。這篇引用提出在  $150^{\circ}\text{C}$  電流密度  $2.55 \times 10^4 \text{ A}/\text{cm}^2$  下，經過 38 小時在導線與覆晶鍍錫凸塊界面開始生成孔洞；但當有鬆餅狀的孔洞生成後，只需 5 小時孔洞就能橫越整個界面，導致迴路斷路。並以數學模型推求在不同電流密度下，其相對的孔洞大小與成長速率，再與對照實驗結果。發現模型理論值



近似於實驗結果的影像，這使得我們可以有效的估計孔洞生成的大小與速度，進而預測產品破壞時間。

### 2-2-7 電遷移與熱遷移混合的機制

C. Chen 和S.W. Liang 在 2006 年發現電流方向有可能會增加或降低介金屬化合物的生長，對錫鉛錐錫而言，當接點大於 100°C 鉛是主要擴散原子，圖 2-14顯示兩個對照的電流方向，其中左邊錐錫的鉛原子受電流的壓力會移動到基板陽極端 (Substrate/anode)，間接使得錫原子能順利向上與銅原子的UBM形成介金屬化合物  $\text{Cu}_6\text{Sn}_5$ ；而右邊錐錫的鉛原子受電流的壓力會移動到晶片陽極端(Chip/anode)，間接使得錫原子無法順利向上與銅原子的UBM反應形成介金屬化合物 $\text{Cu}_6\text{Sn}_5$ 。因此右邊的錫鉛錐錫上方IMC生成將比左邊的錐錫來得慢。

我們再將電遷移與熱遷移的影響放在一起考慮後，整個機制將會更形複雜。圖 2-15顯示當通電與加熱同時發生時，各種原子的作用力方向。其中當電遷移與熱遷移的方向是同向時，破壞的機制會更快速；而電遷移與熱遷移的方向是反向時，破壞的機制會減緩。因此我們可以推估失效機制會發生在圖 2-15的bump2，理由如下

(1) 模擬顯示電流集中效應的熱點發生在bump2 晶片端進入錐錫處；而bump1 因為基板端銅導線厚度遠大於晶片端鉛導線，電流集中效應比較不容易發生。

(2) 在 bump2 中，錫、鉛、銅原子所受之力都向基板陽極端(Substrate/anode)移動，雖然錫原子受熱遷移之力傾向晶片陰極端(Chip/cathode)移動，但與錫原子受電遷移之力比較仍不足以影響結果。本論文主要將探討電遷移與熱遷移同時發生時對覆晶錐錫的交互影響。

## 2-3 減緩電遷移的方式

### 2-3-1 UBM種類的更換

T. L. Shao等人曾針對不同材質與結構的 UBM與銲錫凸塊內電流密度分佈的關係 [21]，研究中定義 crowding ratio為最大電流密度除以 UBM處的平均電流密度並藉由 crowding ratio的大小來推估抗電遷移的能力，文中提出當五種不同結構的晶片端 UBM，分別為薄膜：Ti / Cr-Cu / Cu、Al / Ni (V) / Cu，厚膜：Cu、Ni、Cu / Ni。crowding ratio大小分別是 Ti / Cr-Cu / Cu > Al / Ni (V) / Cu > Cu > Ni > Cu/Ni。實驗結果發現 crowding ratio 值越大，其破壞時間也就越短，與模擬結果相吻合。最後提出，厚膜 UBM可以有效的減緩電流聚集效應，增加抗電遷移的能力。

### 2-3-2 UBM厚度的改變

Jae-Woong Nah,等人研究一個具有抵抗電流集中效應引起電遷移破壞的結構 [25]，研究中採用厚為 5 $\mu\text{m}$ 、10 $\mu\text{m}$ 、50 $\mu\text{m}$ 的銅墊層接厚為 20 $\mu\text{m}$ 的銲錫凸塊上進行電遷移測試，再搭配數值模擬方法去探討銲錫凸塊的電流密度分佈情形。模擬結果顯示銲錫凸塊內部的電流密度分佈隨著銅墊層的厚度越厚越均勻，也間接減緩電流集中效應的破壞機制，而 5 $\mu\text{m}$ 和 10 $\mu\text{m}$ 的破壞模式都一樣，到了銅墊層厚度超過 10 $\mu\text{m}$ 時，其主要破壞原因並非電遷移效應，而是熱遷移現象取代電流集中效應影響可靠度。實驗方面也證實同樣的結果 (圖 2-16)。

### 2-3-3 銲錫凸塊製程的選擇

依據業界的經驗，銲錫凸塊製程也會影響抗電遷移的特性，原因在於凸塊內孔洞之大小與多寡會左右電遷移的破壞時間；以製程方式而言，因蒸鍍法 (Evaporation) 具有最佳的充填能力，因此凸塊之組成最緻密，空孔最少，具有最好的抗電子遷移能力，而電鍍法 (Electroplating) 次之，最差的則是印刷法(Printing)。

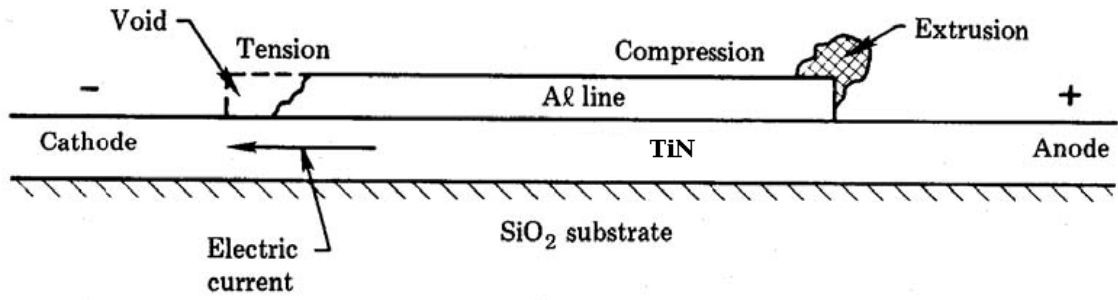


圖 2-1 典型的 Blech 結構，質量傳遞的方向與電子流方向相同

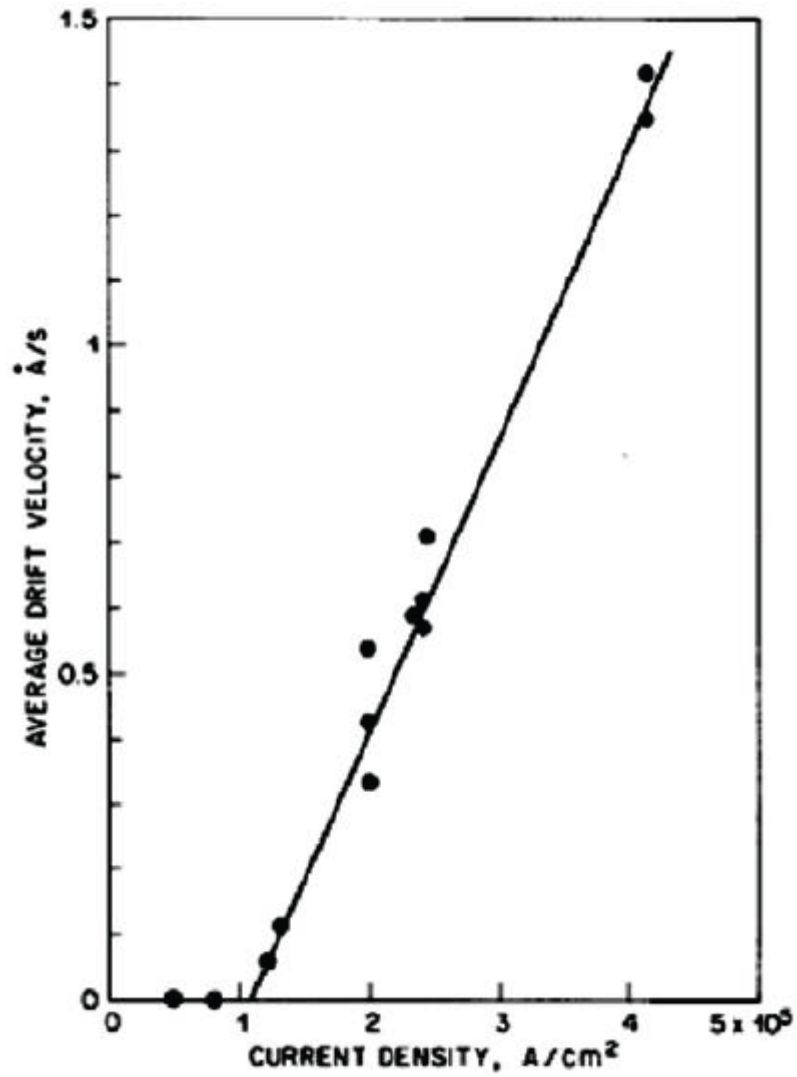


圖 2-2 鋁線平均漂移速度與電流密度關係

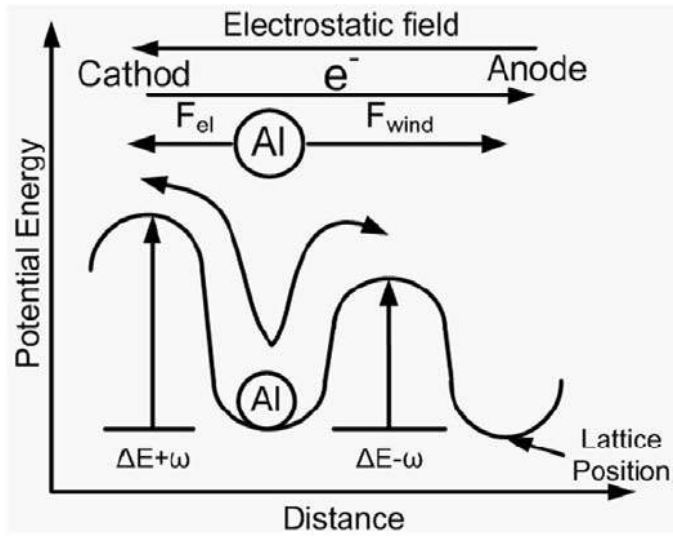


圖 2-3 鋁原子受靜電力與電子風力之晶格位能變化示意圖。

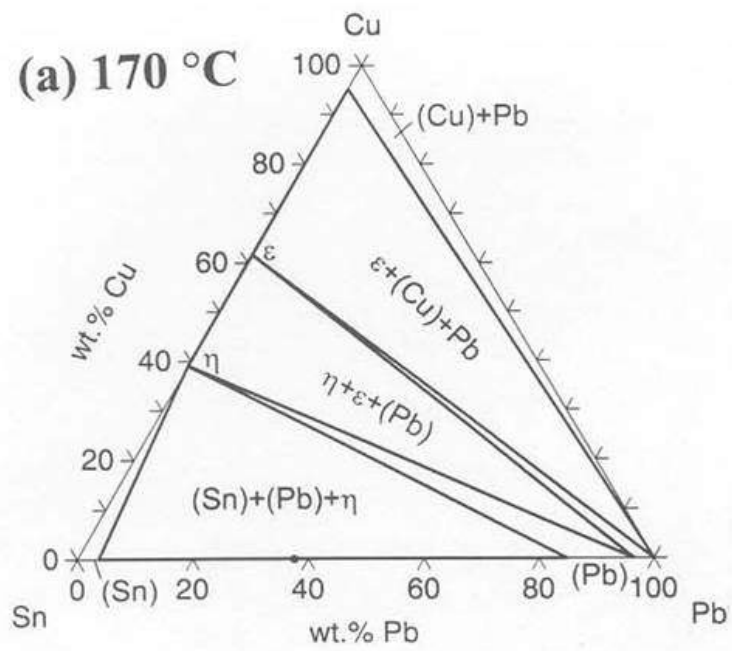


圖 2-4 Sn/Pb/Cu phase diagram

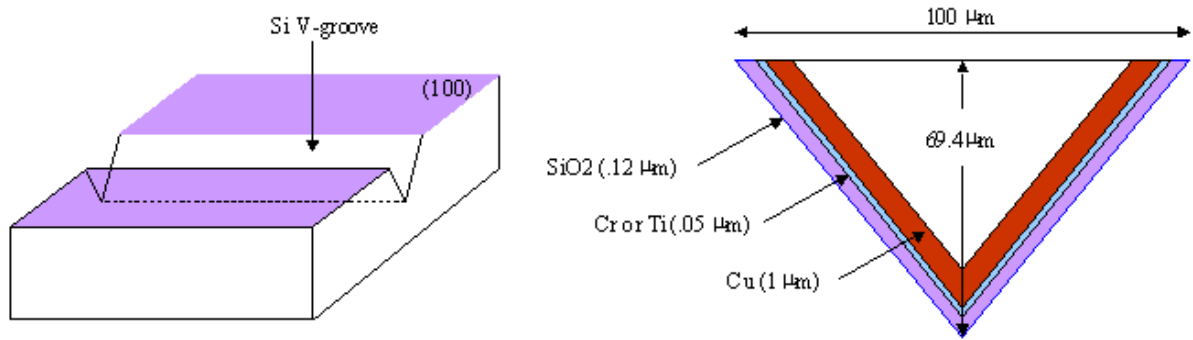


圖 2-5 V 形溝槽示意圖與橫截。

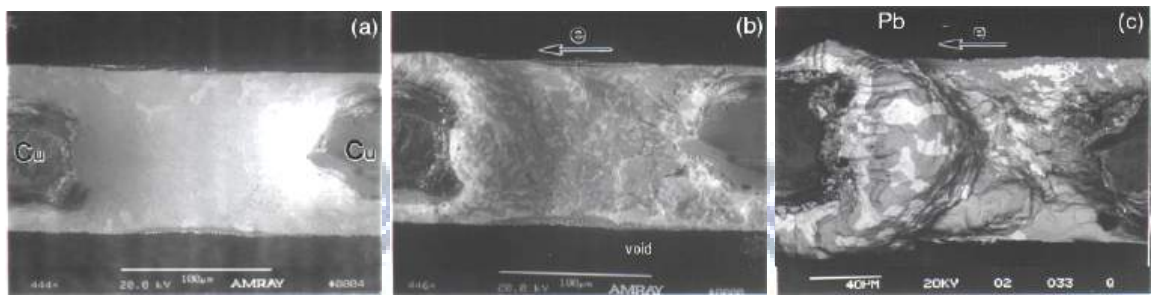


圖 2-6 (a) 0 day (b) 2 days (c) 8 days，大部份鉛聚集於陽極端 [14]。

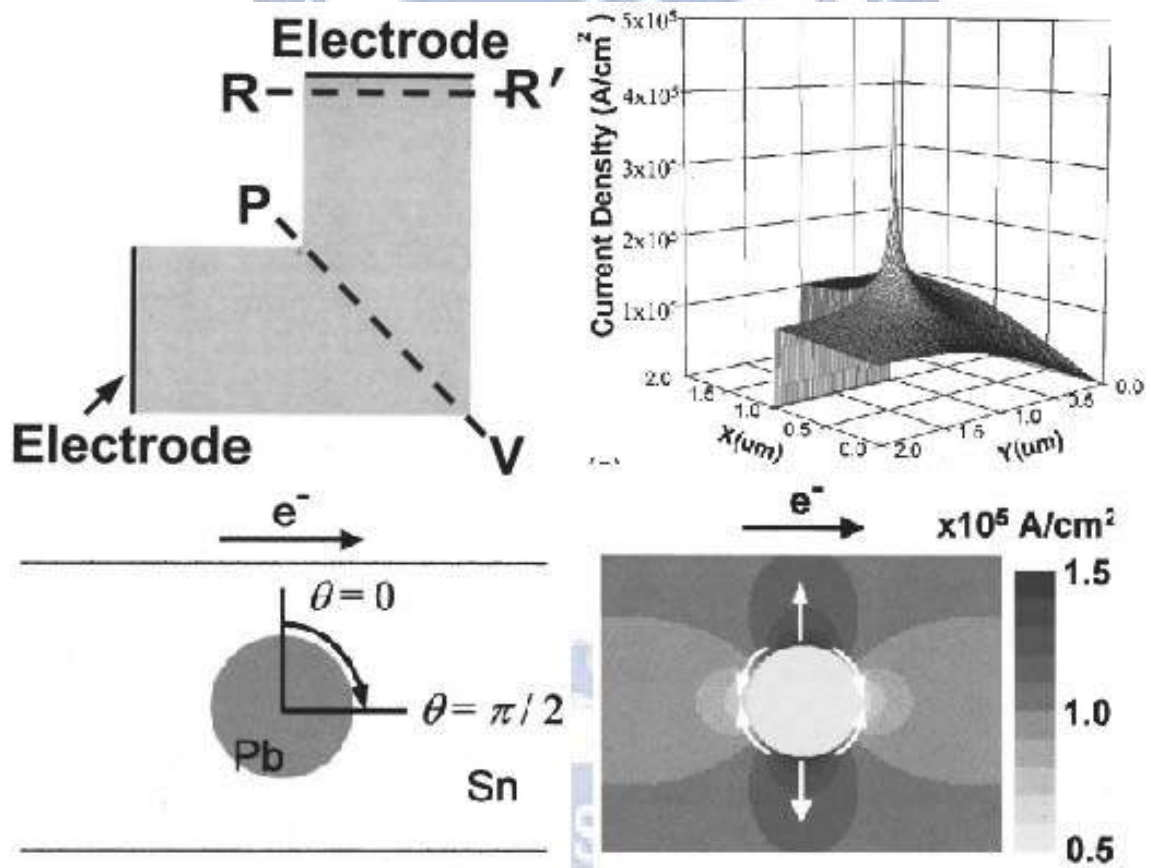


圖 2-7 用有限元素法分析不同結構對電流密度之變化

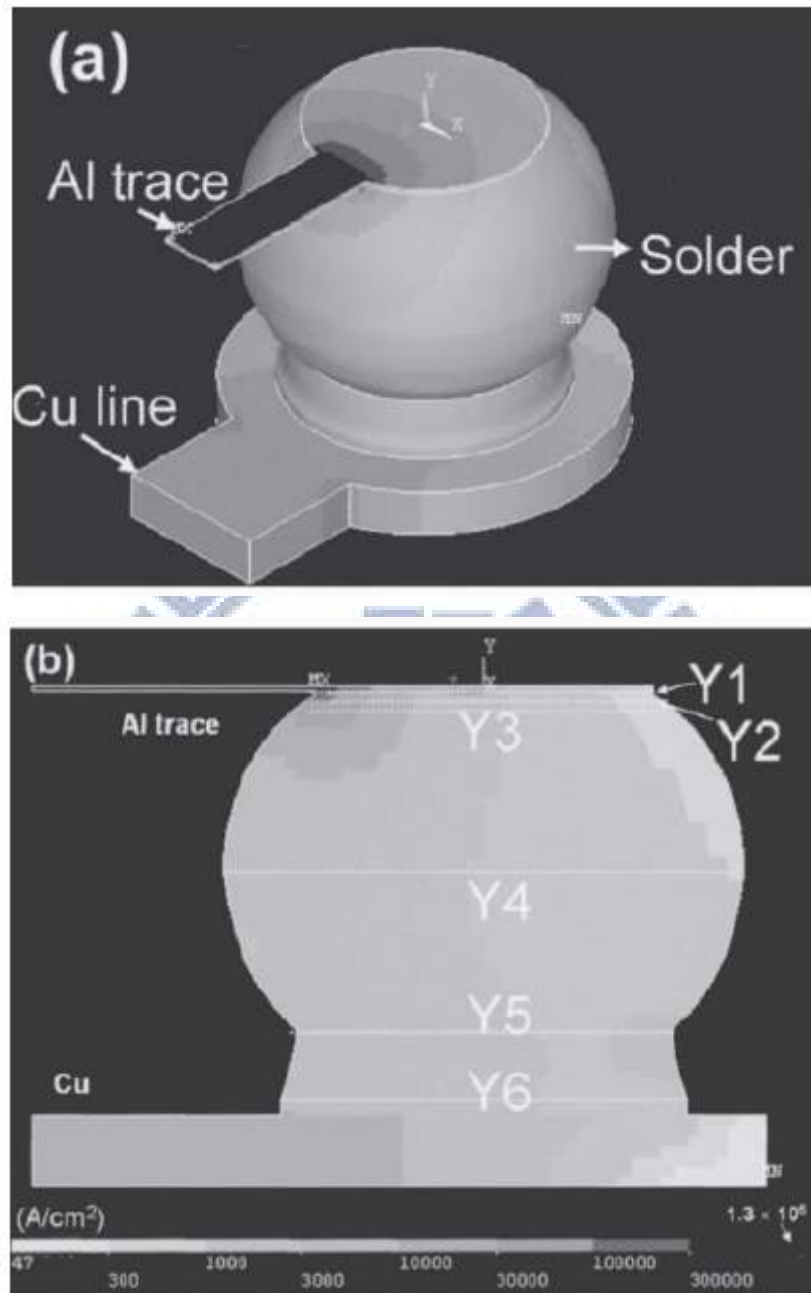


圖 2-8 典型銲錫接點模型，顯示截面積的變化導致的電流密度改變 [21]

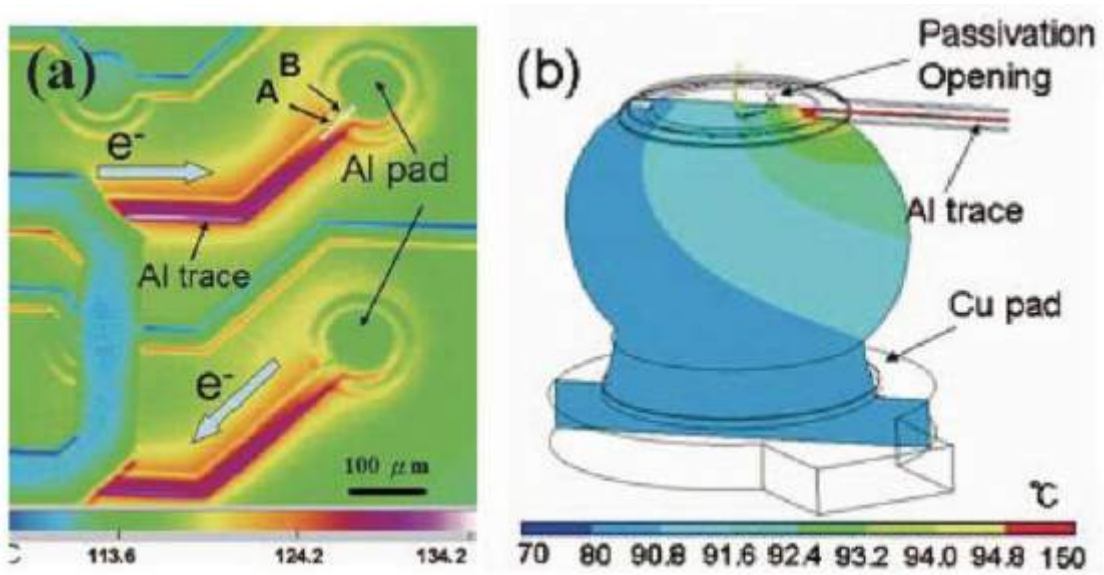


圖 2-9 通入 0.59 A 電流，以紅外線顯像儀觀測到的溫度分布 [23]。

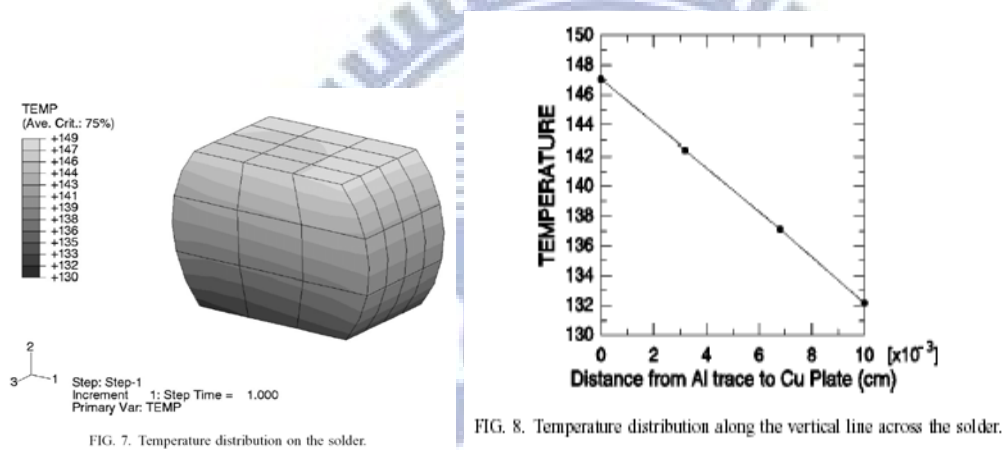


FIG. 8. Temperature distribution along the vertical line across the solder.

圖 2-10 銲錫內部溫度梯度模擬[20]

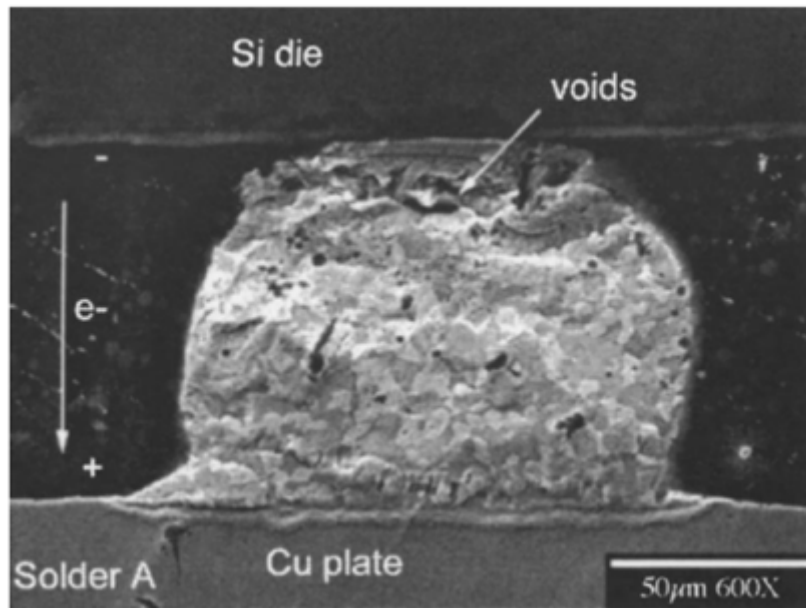


圖 2-11 孔洞生成在上方陰極端 [20]

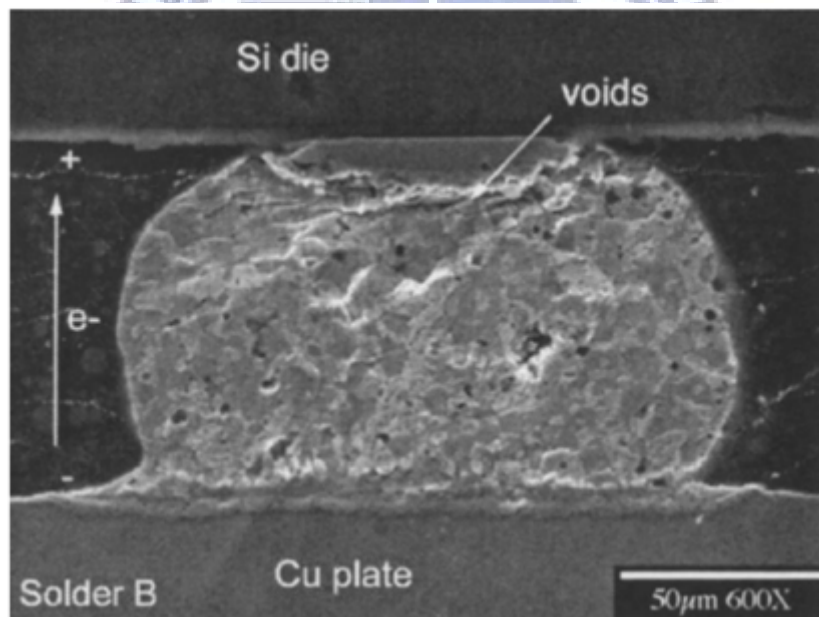


圖 2-12 孔洞生成在上方陽極端 [20]



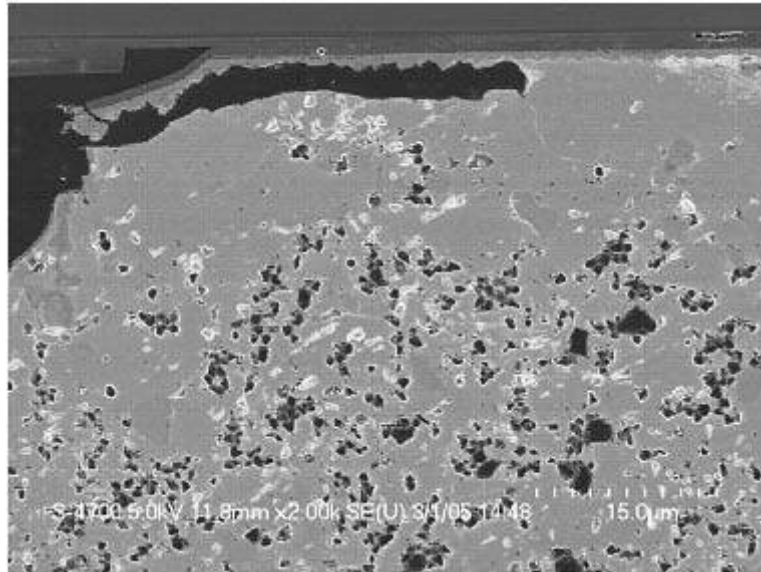


圖 2-13 鬆餅狀的孔洞示意圖。

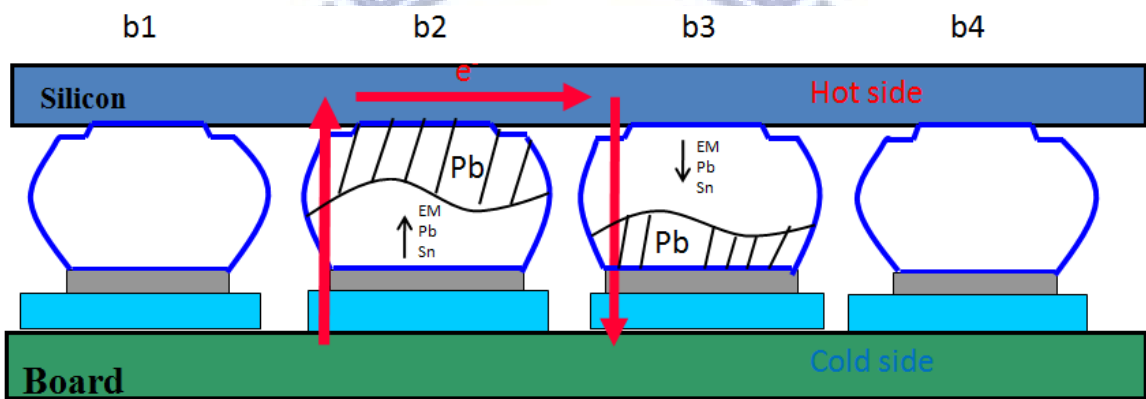


圖 2-14 錫原子與鉛原子遷移示意圖。鉛原子聚集在 Chip/anode 和 Substrate/anode 端。

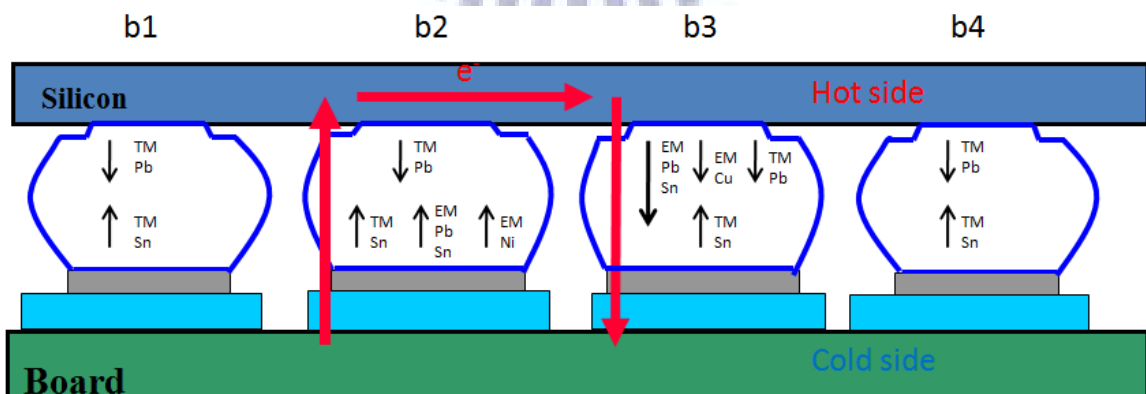


圖 2-15 電遷移與熱遷移混合的機制。

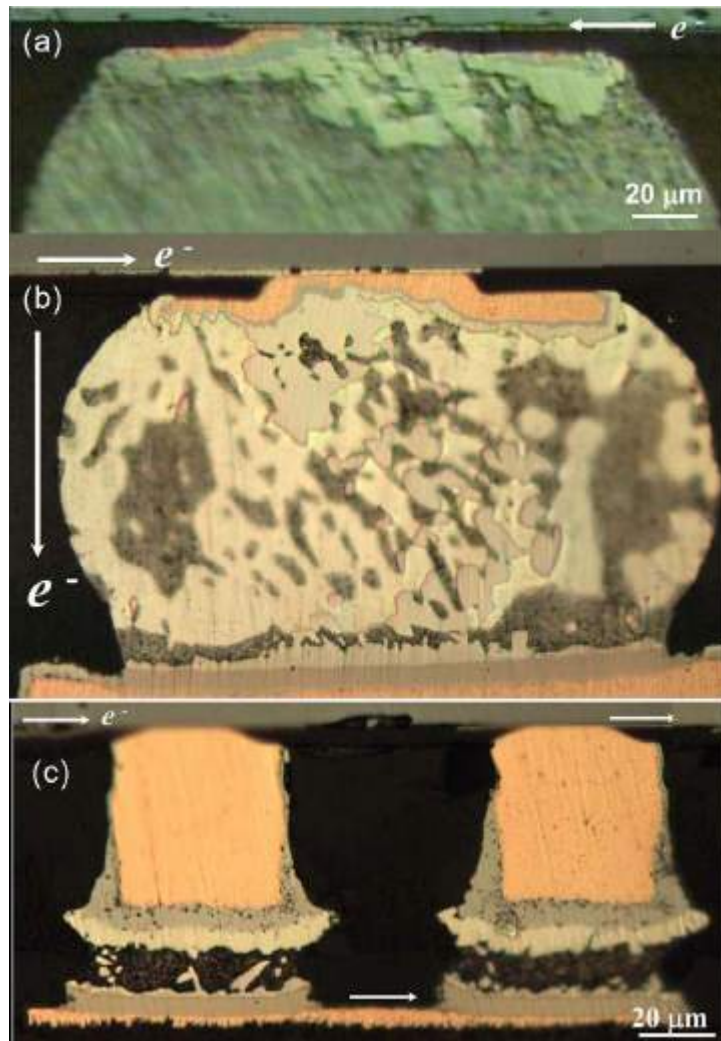


圖 2-16 (a) 5  $\mu\text{m}$  厚銅墊層施加  $2.25 \times 10^4 \text{ A/cm}^2$  的破壞情形。(b) 10  $\mu\text{m}$  厚銅墊層施加  $3 \times 10^4 \text{ A/cm}^2$  於  $100^\circ\text{C}$ ，100 小時後其破壞情形。(c) 50  $\mu\text{m}$  厚銅墊層施加  $6.75 \times 10^4 \text{ A/cm}^2$  於  $100^\circ\text{C}$ ，100 小時後其破壞情形。[19]

## 第3章 試片結構與實驗方法及步驟

實驗的試片是由米輯科技（現飛信半導體股份有限公司）所提供錫鉛覆晶封裝試片，實驗會用到的試片為以 Cu 為金屬墊層的共晶錫鉛凸塊。

### 3-1 試片結構

研究用的試片結構如圖 3-1，其製作流程請參考圖 1-9。試片上端之金屬墊層 (UBM, under bump metallization) 的結構為 Ti (鈦) / Cu (銅) / Cu (銅)，厚度分別為  $0.5\mu\text{m}$  /  $0.5\mu\text{m}$  /  $5\mu\text{m}$ ；其中 Ti (鈦) / Cu (銅) 層是先以 sputter 方式濺鍍，再以  $0.1\mu\text{m}$  的 Cu (銅) 作為種子層 (seed layer)，用電鍍的方式鍍上  $5\mu\text{m}$  Cu (銅)。再以黃光定義 UBM opening region 後電鍍共晶錫鉛凸塊層，接著使用濕式蝕刻法，去除光阻與未定義區的 UBM，再以加熱爐加熱到  $220^{\circ}\text{C}$  約 1 分鐘之後回火完成。而 UBM opening 為  $110\mu\text{m}$ ，直徑  $125\mu\text{m}$ ，contact opening 為  $85\mu\text{m}$ 。上層鋁導線的寬度為  $100\mu\text{m}$ ，厚度為  $1.5\mu\text{m}$ ，共晶錫鉛凸塊高度為  $50\mu\text{m}$ ，最大球徑為  $120\mu\text{m}$ ，每顆錫鉛凸塊的 pitch 為  $1\text{mm}$ 。基板部分為 FR5 基板，而基板上的金屬層分別為  $30\mu\text{m}$  Cu pad 和  $5\mu\text{m}$  Ni(p) 由下而上。

### 3-2 實驗方法與步驟

#### 3-2-1 熱遷移初始條件試片

本篇整體上係研究銅金屬墊層的錫鉛凸塊，對定電流密度下不同溫度去做加速測試，觀察電遷移與熱遷移的狀況，同時紀錄電阻上升跟時間的關係。

而為了對照錫鉛內部因溫度梯度所產生熱遷移的試片，我們需要建立錫鉛內部溫度梯度為零、無熱遷移產生時的對照組。因此我們將試片置於 oven 固定  $160^{\circ}\text{C}$  溫度中 60 小時且不通電的狀況，再將此當作對照組用來比對通電後的實驗結果。

### 3-2-2 電遷移的加速測試

首先將先前提到的試片，放置到 YSC HP-303DN 的加熱盤上，並以耐熱膠將試片平坦的固定，靜置試片待其溫度與環境溫度（加熱盤）達到平衡後，再施以電流進行測試。

我們使用的電源供應器與量測儀器為電流源 Agilent E3642A 與搭配有二十個獨立頻道 Agilent E34901A 模組的資料交換器 Agilent E34970A，設定量測時間小於 90 天、100 mV 的量測範圍下，再搭配美國國家儀器公司 (National Instruments, NI) 的圖形化儀器控制軟體 LabVIEW，作為資料擷取及儀器控制的工具。測試條件為分別在 150°C、160°C 下，通以 0.8A 的電流。利用 UBM opening 半徑為 60μm 為考量，0.8A 的所對應電流密度為 7073.55 A/cm<sup>2</sup>。

### 3-2-3 銲錫內部電阻量測

一般來說，如果使用兩點量測電阻的方式，一般電阻值的數值應考慮如式 (11) 所示

$$R_t = \frac{V}{I} = 2R_p + 2R_c + 2R_{sp} + R_s \quad (11)$$

其中  $R_p$  是探針的阻值、 $R_c$  是接觸電阻、 $R_{sp}$  是擴散熱阻 (spreading resistance)、 $R_s$  是量測目標的電阻 (device resistance)， $R_t$  是總電阻。這種方式無法精確量測目標電阻，所以我們採用凱文結構的方式如圖 3-2，針對目標作四點量測。四點量測可以將整個迴路中  $R_p$ 、 $R_c$ 、 $R_{sp}$  的數值最小化，降低接點電阻對電性量測的影響，使得迴路總電阻趨近於量測目標的電阻，再加上我們量測點是在銲錫背部，也間接使得我們對電阻上升時的監測更為敏銳。

$$R_t = \frac{V}{I} \cong R_s \quad (12)$$

我們利用四點量測其選擇性的優點，量測鉛導線在電遷移下的電阻變化。

### 3-2-4 銲錫內部溫度量測

為建立觀察熱遷移的初始條件，我們先將一塊米輯科技提供的試片，使用砂紙將試片磨至銲錫凸塊中心處，之後置於實驗條件下加熱，並以遠紅外線觀測儀 (Infrared Scope) 觀測，建立銲錫剖面的溫度差異，再以此回推實驗時銲錫內部的溫度梯度。

### 3-2-5 試片架構與迴路設計

圖 3-3 為試片的俯視圖，有四顆銲錫球依序標示為 b1 到 b4，銲錫球間間距為 1mm，在晶片端以一條長 3150  $\mu\text{m}$  的鋁導線連接到銲錫球上端的鋁墊層並將其串連一起，基板端則有六條銅線分別連接至各個銲錫球下，其中銅導線厚 30 $\mu\text{m}$ ，寬 100 $\mu\text{m}$ ，依序標示為 n1 到 n6，銲錫球由 b1 到 b4 分別連接了 1 條、2 條、2 條、1 條銅導線。

迴路電流的設計請參考圖 3-4，我們將試片通以接上 power supply，迴路設計成 n3 接負極而 n4 接正極的方式，所以電子流由 n3 往上通過 b2，然後經過上方鋁導線，往下通過 b3，最後經由 n4 離開。在通電的同時，利用凱文結構的特色量測 n1 和 n2 的電壓降，可以知道當時 b2 的電阻變化情形，相對的量測 n5 和 n6 與 n1 和 n6 的電壓降，可以各別得到 b3 與鋁導線的電阻變化，如此的量測方式，可以在電遷移發生的過程中，即時偵測單顆銲錫球的電性變化，根據先前的研究結果，電遷移破壞多發生在晶片端（電子流方向由晶片往基板端），因此本實驗著重在 b3 與鋁導線電性的量測，鋁導線的電阻量測用來做銲錫溫度的校正，然後破壞標準當 b3 電阻上升值是初始值 20%、100%、500%、完全斷路時 (表 3-1)，就停止通電測試，將試片取下進行觀察並記錄電阻上升狀況，電阻上升曲線定義如圖 3-6。

### 3-2-6 試片破壞模式的觀察

將在不同測試條件下，且已達我們所定義的電阻上升條件的試片進行破壞模式的分析，首先將試片依序以不同號數的 SiC 砂紙由 120、600、1200、2500、4000 做研

磨，研磨剖面如圖 3-5 接近錫錫球的中心點，再依續以  $1\mu\text{m}$ 、 $0.3\mu\text{m}$ 、 $0.05\mu\text{m}$  氧化鋁粉進行拋光。在破壞剖面如圖 3-8 的觀察會利用到光學顯微鏡(OM)，紀錄其微結構的變化與孔洞的生成狀況。更進一步將使用電子顯微鏡(SEM)來觀察橫截面的影像，也將使用 EDX 來鑑定其特定的區域組成，藉以對照電遷移與熱遷移混合機制下，各個錫錫本身破壞程度的差別。我們也將依照資料收集器所記錄的電阻數據與時間的資料，以時間資料為 X 軸、電阻數據為 Y 軸，嘗試建立平均破壞時間的預測曲線圖。

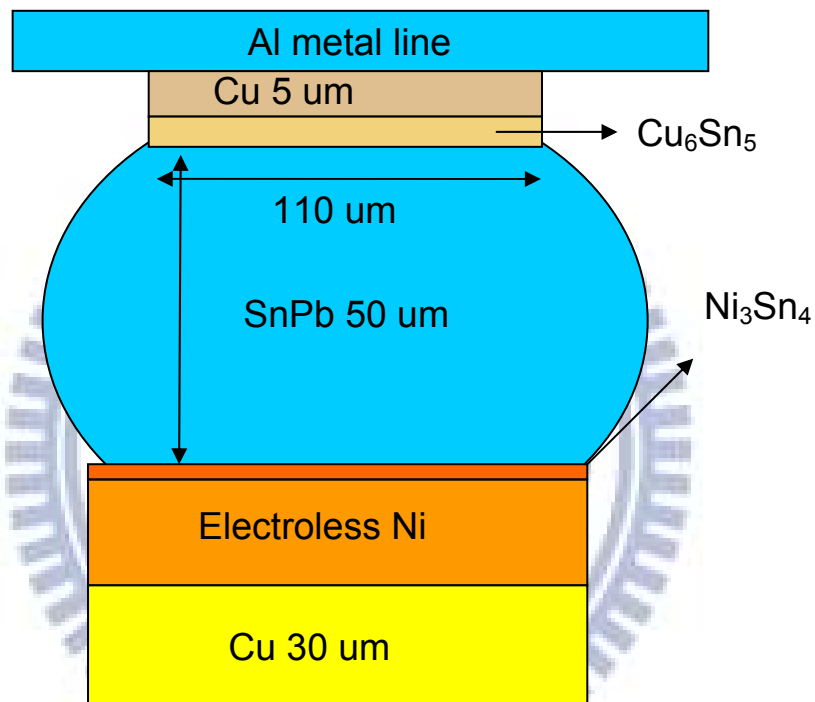


圖 3-1 銅金屬墊層錫錫凸塊結構圖

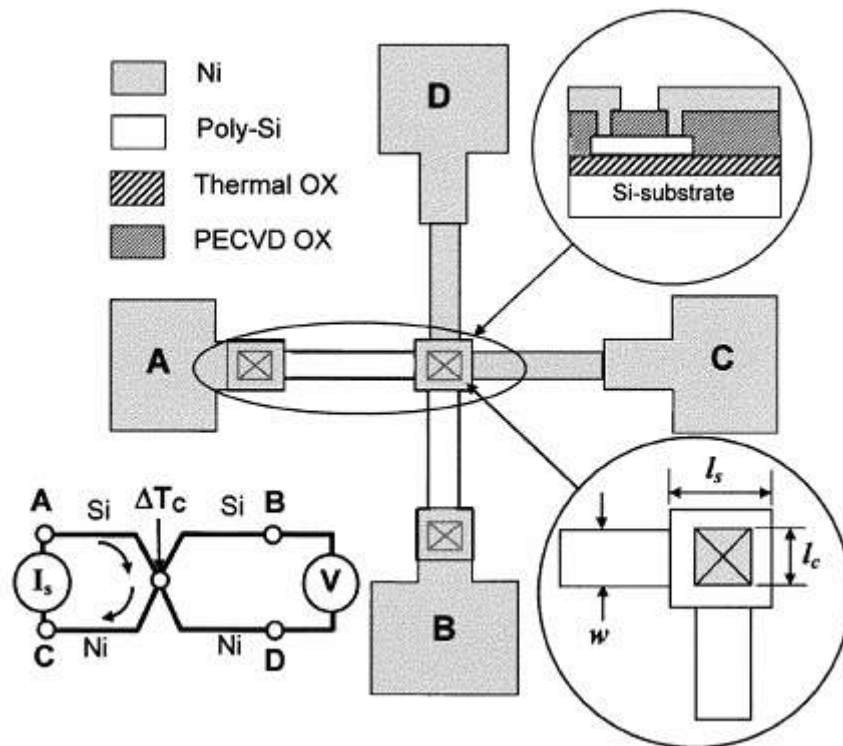


圖 3-2 凱文結構在半導體量測示意圖



圖 3-3 通電迴路俯視圖

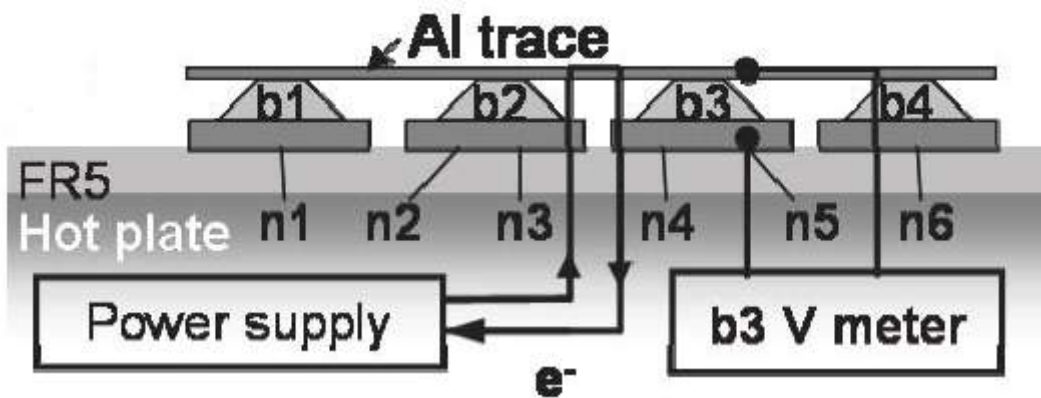


圖 3-4 通電迴路設計示意圖

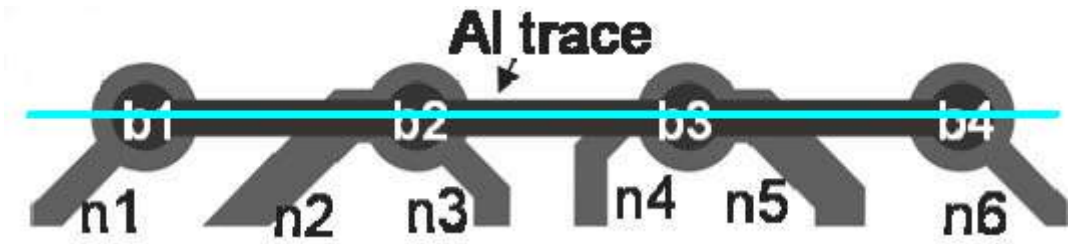


圖 3-5 試片研磨方向

SnPb 錫錫 Cu 墊層	阻值上升 20% 時間	阻值上升 100% 時間	阻值上升 500% 時間	Open 斷路時間
150°C 0.8A				
160°C 0.8A				

表 3-1 實驗條件

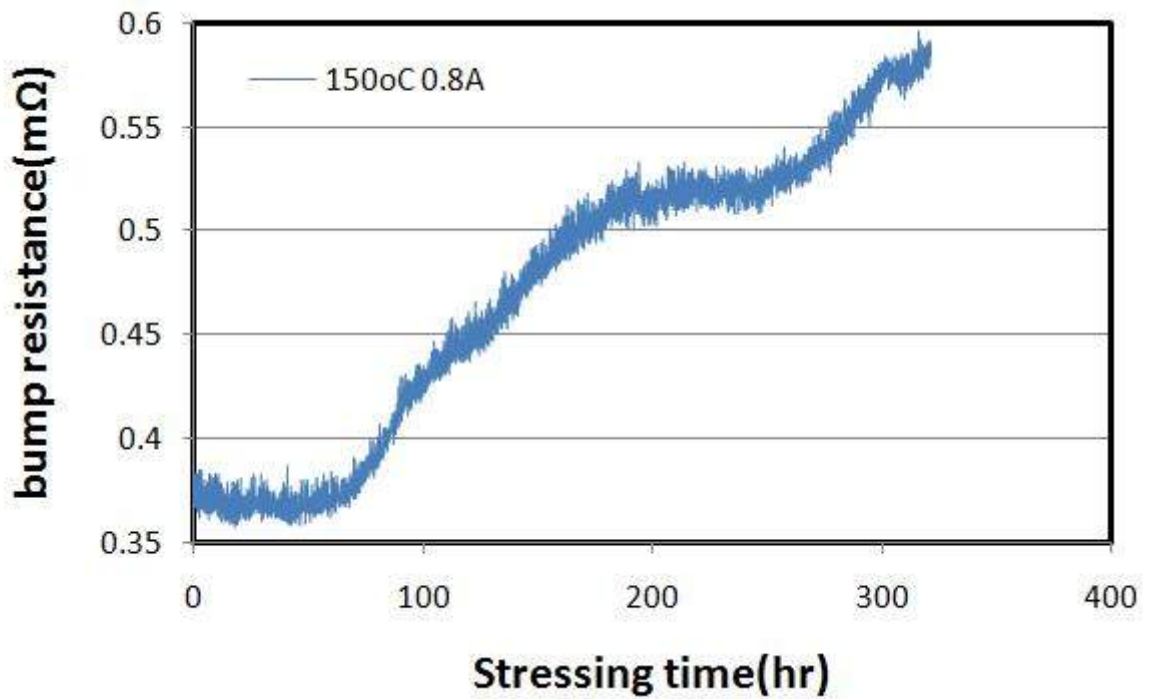


圖 3-6 錫錫電阻上升曲線圖



## 第4章 結果與討論

### 4-1 無電遷移與熱遷移狀態下的微結構觀察

我們觀察圖 4-1的照片，此為晶片置於 oven 中 60 小時，無通電狀態下所得到的結果。因為烤箱中的環境溫度固定，且沒有電流流經錒錫，所以我們可以假設在此為無電遷移與熱遷移的初始狀態，我們可以看到在 $\text{Cu}_6\text{Sn}_5$ 仍明顯存在於上方晶片端，沒有任何擴散或移動的跡象產生。

### 4-2 通電初期的微結構觀察

錒錫凸塊b1、b4 是用以監測晶片鋁導線的電阻變化，無電子流流經。b2 為電子流向上、b3 為電子流向下。圖 4-2為b3 錒錫於  $100^\circ\text{C}$  0.4 安培，換算為同樣電流密度條件下，以紅外線熱顯像儀所拍攝的照片，很明顯的發現錒錫內部有一溫度梯度存在，錒錫上端最熱區域上升  $14.3^\circ\text{C}$ ，而下端上升  $10.6^\circ\text{C}$ ，換算梯度約為  $860^\circ\text{C}/\text{cm}$ 。

我們觀察圖 4-3和圖 4-6可以發現實驗初期因加熱後錒錫產生明顯的相分離，尤其我們可於錒錫與下方銅基板上無電鍍鎳的接面處觀察到介金屬化合物  $\text{Ni}_3\text{Sn}_4$  的生成而錒錫與上方鋁導線的銅UBM接合處觀察到介金屬化合物 $\text{Cu}_6\text{Sn}_5$ 的生成，但沒有電遷移孔洞破壞的現象，此效應原因是熱時效。再深入觀察實驗試片中的錒錫凸塊剖面影像，我們可以明顯的觀察到  $150^\circ\text{C}$  與  $160^\circ\text{C}$  的試片，在相同電流密度的實驗下，微結構中鉛相的粗化情形符合Frear提出的關係式，圖 4-5為  $150^\circ\text{C}$  0.8A的剖面，其鉛相的晶粒比圖 4-29的  $160^\circ\text{C}$  0.8A錒錫剖面鉛相的晶粒為粗；而圖 4-19無通電與圖 4-20有通電的錒錫球比較，發現電流對晶粒粗化程度的影響更為明顯。

觀察圖 4-4我們可以看到錒錫本身的鉛相有順著電子流往鋁導線端推動的狀況，所以在此通電條件下，電子流所產生的電遷移對鉛原子的作用力大於熱遷移對鉛原子的作用力，再對照觀察圖 4-5時鉛相亦順著電子流往下方基板端推動的狀況，我們可以

確定在此實驗條件下電子流的方向對於鉛原子移動有較程度的影響；再深入觀察圖 4-5，發現孔洞的生成並未發生在鉛導線進入鉍錫凸塊之處，推測是因為其界面產生介金屬化合物後，使電子流路徑會選擇繞過介金屬化合物，導致孔洞生成於較後方的接合處，間接造成阻值上升。

### 4-3 通電中後期的微結構觀察

閱讀文獻 T. L. Shao 指出的電流集中效應，孔洞主要生成於電子流集中之處，對電遷移模擬時，電子流由鉛導線進入鉍錫內部的入口處有孔洞生成的狀況相符。我們也可以看到 b3 的破壞主要都集中於上層鉛導線與鉍錫凸塊的界面部分，這也與 Y.H. Lin 與 K.N. Tu 等人發表於 *Acta Mater* 2005[29] 的文獻中，在  $9.2 \times 10^5 \text{ A/cm}^2$  電流密度下，共晶錫鉛經過 50 分鐘，可以發現在 UBM 與鉍錫生成的介金屬化合物間有孔洞的生成；同樣的我們在此實驗對一鉍錫接點通電，經量測電阻上升率約 100% 時 (圖 4-9)，從光學顯微鏡可發現到同樣的現象。而當孔洞沿著 IMC 與錫鉛鉍錫凸塊的界面持續成長時，其電子流可流經面積亦隨之減少，由下方的電阻公式可知，當其他條件不變時，電阻值與截面積成反比，因而面積減少後，其所量測到的鉍錫凸塊電阻值亦隨之上升，可用以解釋電阻變化率曲線斜率的明顯變大是受到孔洞的生成影響。

$$R = \rho \frac{L}{A} \quad (13)$$

其中 R 為電阻； $\rho$  為電阻率、L 為導線長度、A 為其橫截面積。

比對 150°C 與 160°C 在電阻上升 500% 時的狀況，160°C 很明顯在鉍錫內部已因高溫而重新熔融，所以鉛相反而沒有很明顯的粗化，觀察圖 4-28 的焊錫剖面，鉍錫很明顯的侵入下方基板的銅導線，使銅原子也進入鉍錫本身產生大量的  $\text{Cu}_6\text{Sn}_5$  介金屬化合物，分析其侵入的路徑也很明顯是電子流經的最短路徑，我們可認定是通電後產

生的焦耳熱效應使局部溫度升高，使基板端的鎳原子被電子流帶走，因而讓錫鉛最先從此位置突破無電鍍鎳層產生IMC。

#### 4-4 熱遷移與電遷移混合機制觀察

根據Chih Chen 的研究指出，電遷移與熱遷移作用力方向的不同會影響 IMC 生長的情形。透過圖 4-4和圖 4-5 的比較可以發現，b3 的 IMC 生長情形比 b2 還要嚴重。因此我們將 b2 與 b3 兩錫鉛內各種作用力的方向整理如表 4-1，可以發現在 b2 內部，因為鉛為主要載子受電遷移往晶片端聚集時，會迫使錫原子不容易與銅原子接觸，也間接阻礙 $\text{Cu}_6\text{Sn}_5$ 的生成。而 b3 內部狀況則恰巧相反，鉛原子受電子流往基板端移動，UBM上的銅原子更容易與錫原子接觸，因此我們可以在圖 4-5看到有相當多的IMC生成在錫鉛與晶片界面。

觀察圖 4-16和圖 4-17的狀況，我們可以發現晶片的斷路都發生在 b3 的錫鉛凸塊上；對 b2 電子流向上的狀況，雖然錫鉛會往陽極晶片端移動，但對比 b3 而言卻是微不足道的。因為基板端的銅導線厚度遠大於晶片端的鉛導線，所以 b2 電子流進入錫鉛內部時，幾乎無法產生電流集中效應，而且基板端的鎳原子會因為電遷移力往晶片陽極端移動、錫原子也會因為熱遷移力而往晶片陽極端移動；鉛原子電遷移力則是往陽極晶片端、熱遷移力則是往陰極基板端，因此在溫度較高的狀態下，鉛原子為主要擴散載子時，b2 內部的電遷移作用力與熱遷移會有相互抵銷的效果存在。對 b3 電子流向而言，結果恰恰與 b2 相反，因為鉛原子的電遷移力與熱遷移力都是往陽極基板端移動，再加上鉛導線進入 b3 錫鉛時產生的電流集中效應，都讓 b3 錫鉛在陰極晶片端接面上有相當不利的因素，也因此所有晶片的破壞都是產生在 b3 的結果。

#### 4-5 結論

- (1) 觀察實驗時間較短的錫鉛凸塊 b1 和 b4。因為晶片端矽對熱的傳導是有效率的，因此晶片端矽晶元 (Si Die) 的溫度是比基板端還要高。所以 b1 和 b4 在較短時間

內只有熱遷移作用力下僅觀察到 Cu UBM 消耗溶解及 IMC 的成長，銲錫並無明顯破壞的現象。

然而觀察實驗時間較長的銲錫凸塊 b1 和 b4，如圖 4-15、圖 4-18、圖 4-31和圖 4-34的上方晶片端竟然發現已經破壞形成斷路，銅原子已經因為熱遷移而消失了。以往錫鉛銲錫的既有文獻中較少探討銅原子受熱遷移而破壞的狀況。然而在這次的實驗條件下，我們在 open 的晶片中可以重複觀察到，銅原子有明顯因長時間的溫度梯度影響而產生熱遷移的破壞，這現象對長時間使用可靠度要求極高的電子元件而言，值得更深入的研究。

(2) 觀察有通電之銲錫凸塊 b2 和 b3。鉛原子於 120°C 以上溫度，其擴散速度快於錫原子，因此在 150°C 和 150°C 加熱的實驗條件下，除了可觀察到銲錫凸塊的相分離，隨著電子流方向的差異，主要擴散載子的鉛原子會往不同處移動；若電子流由基板端流入晶片端，鉛原子積聚在晶片端；反之若電子流由晶片端流入基板端，鉛原子積聚在基板端，我們也可從此推知鉛原子在銲錫內部受電遷移作用力比受熱遷移作用力大。電子流由晶片端流入基板端之銲錫凸塊 b3 則因受電流集中效應產生較多的 IMC 成長與電遷移破壞，因此我們都可觀察到大部分孔洞都形成於 b3 銲錫與鋁導線介面。

(3) 實驗結果如表 1-1 所記錄，150°C 0.8A 的斷路時間為 200 小時；160°C 0.8A 的斷路時間為 65 小時。150°C 的電阻上升曲線如圖 4-35，可以觀察到電阻會在破壞前急遽上升；而部分 160°C 的曲線(圖 4-36)則因銲錫成為熔融狀態使得銲錫阻值有上下震盪幅度變大的現象產生。電阻變化曲線斜率是受到孔洞的生成影響。

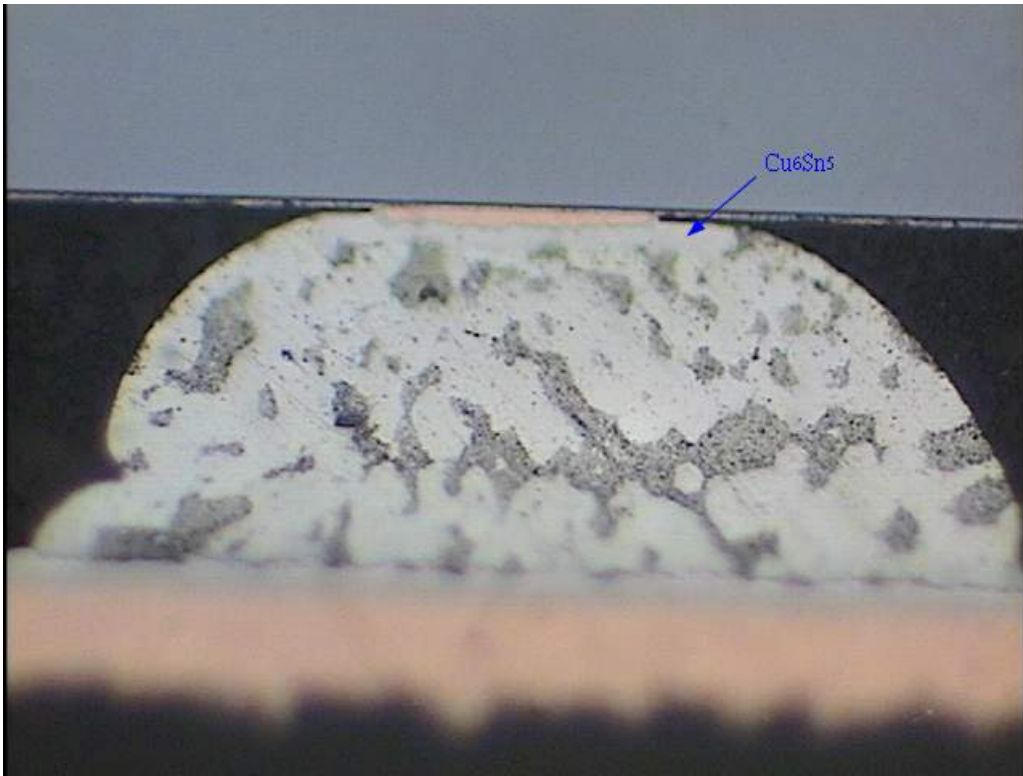


圖 4-1 SnPb 在烤箱放置 60 hr 的 Initial stage，IMC 仍明顯存在。

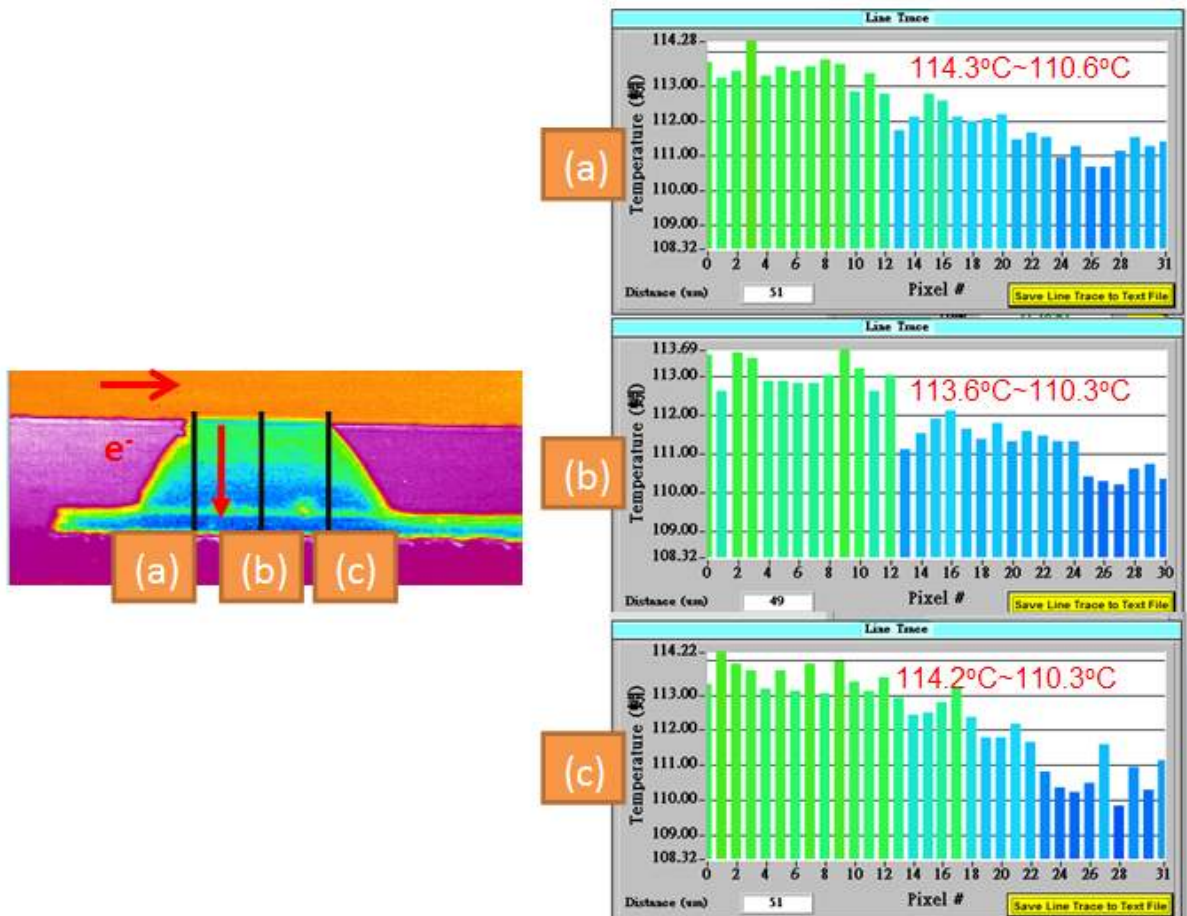


圖 4-2 紅外線熱像儀觀察 100°C 下，電子流由左上方進入鉚錫的溫度梯度。

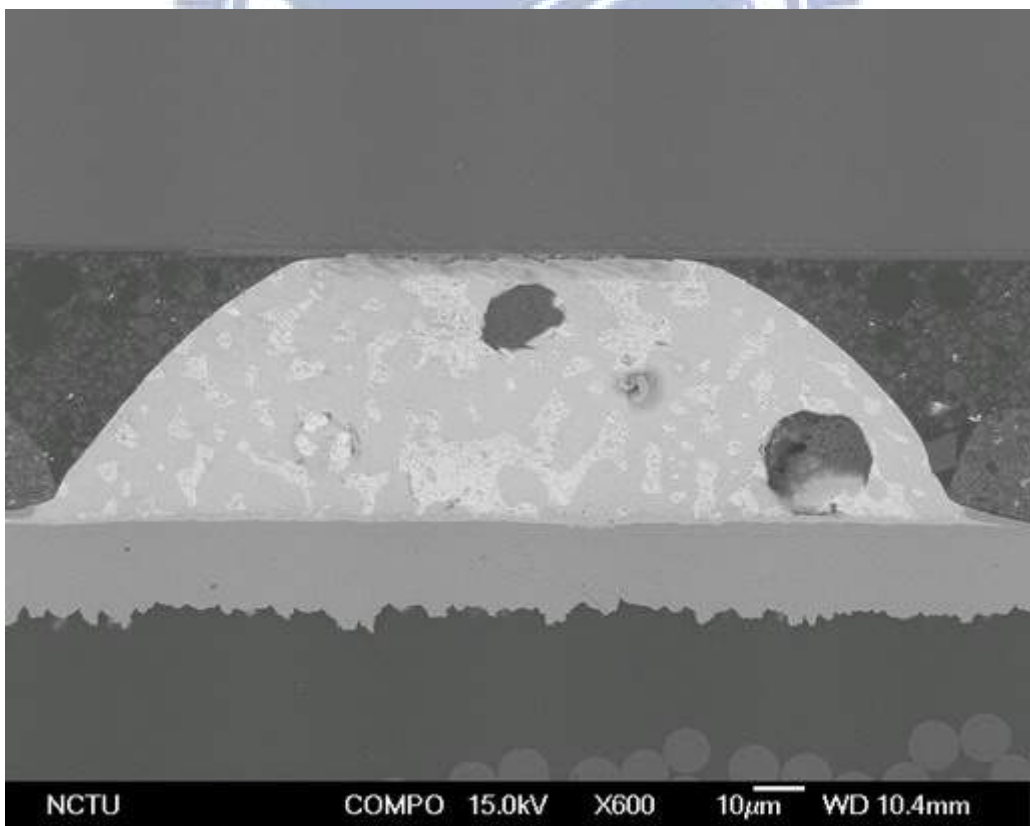
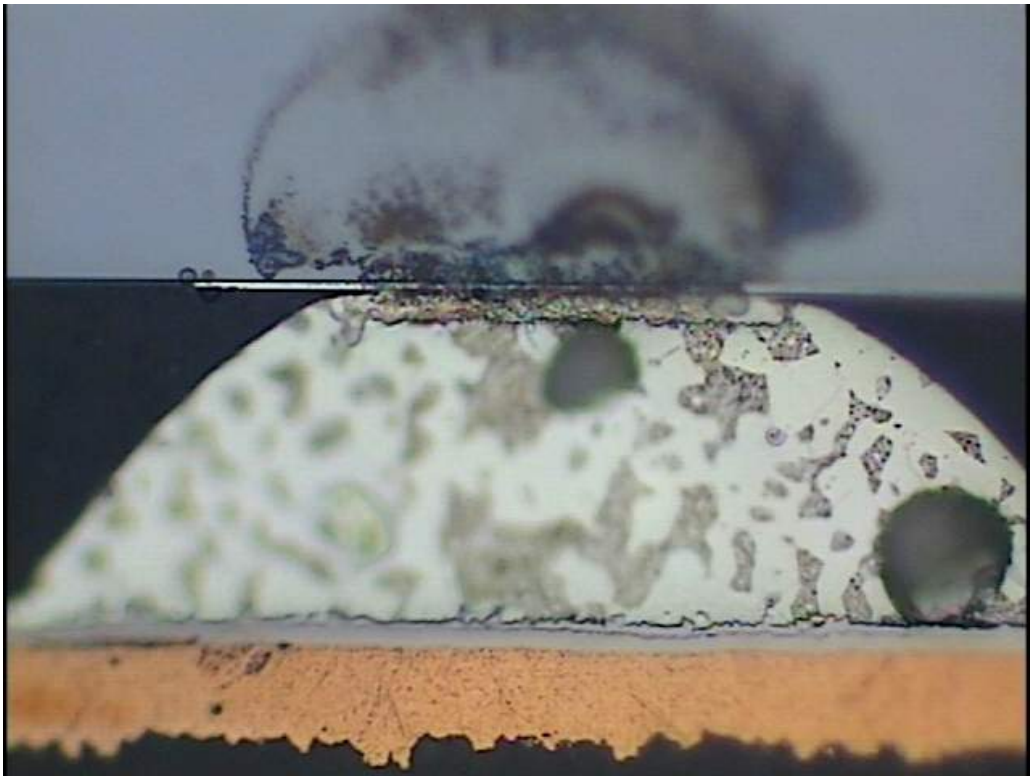


圖 4-3 SnPb 150°C 0.8A 電阻上升 20%，b1 剖面圖。

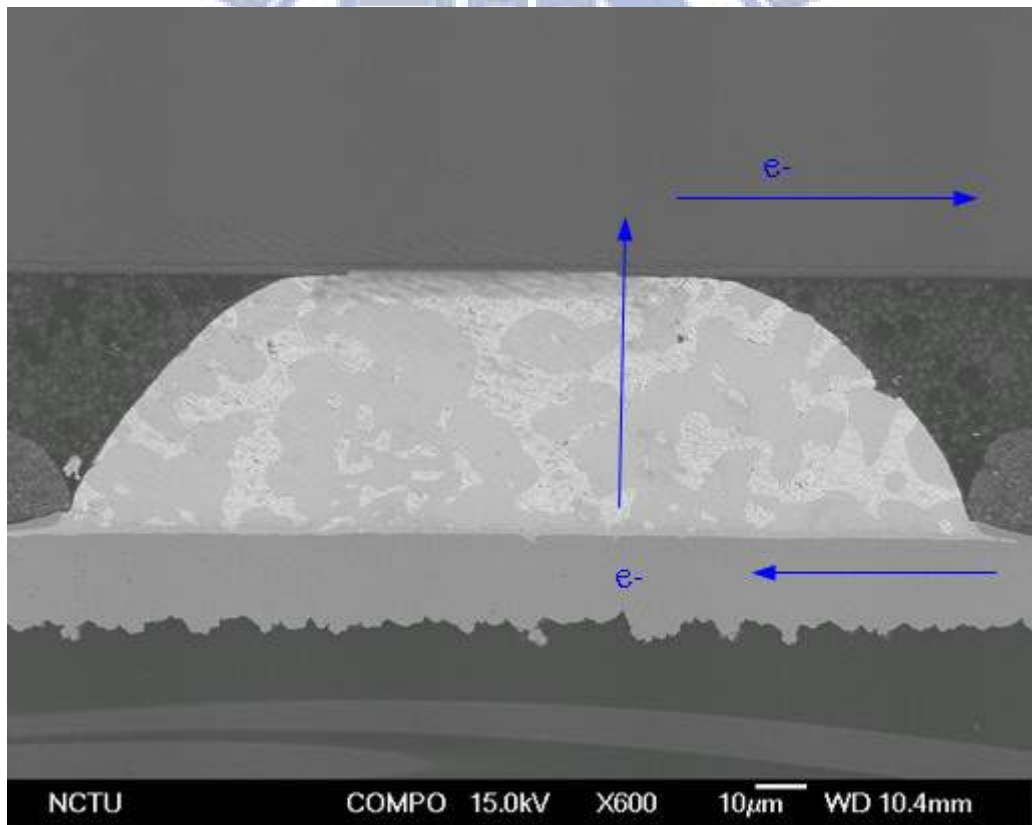
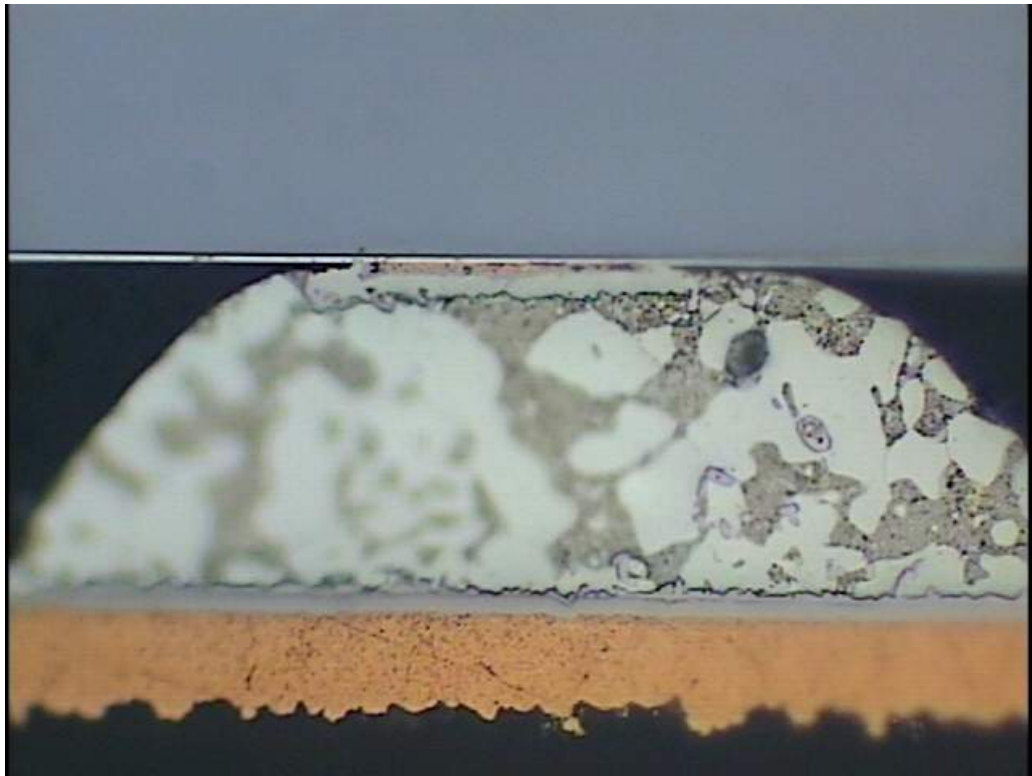


圖 4-4 SnPb 150°C 0.8A 電阻上升 20%， b2 剖面圖。

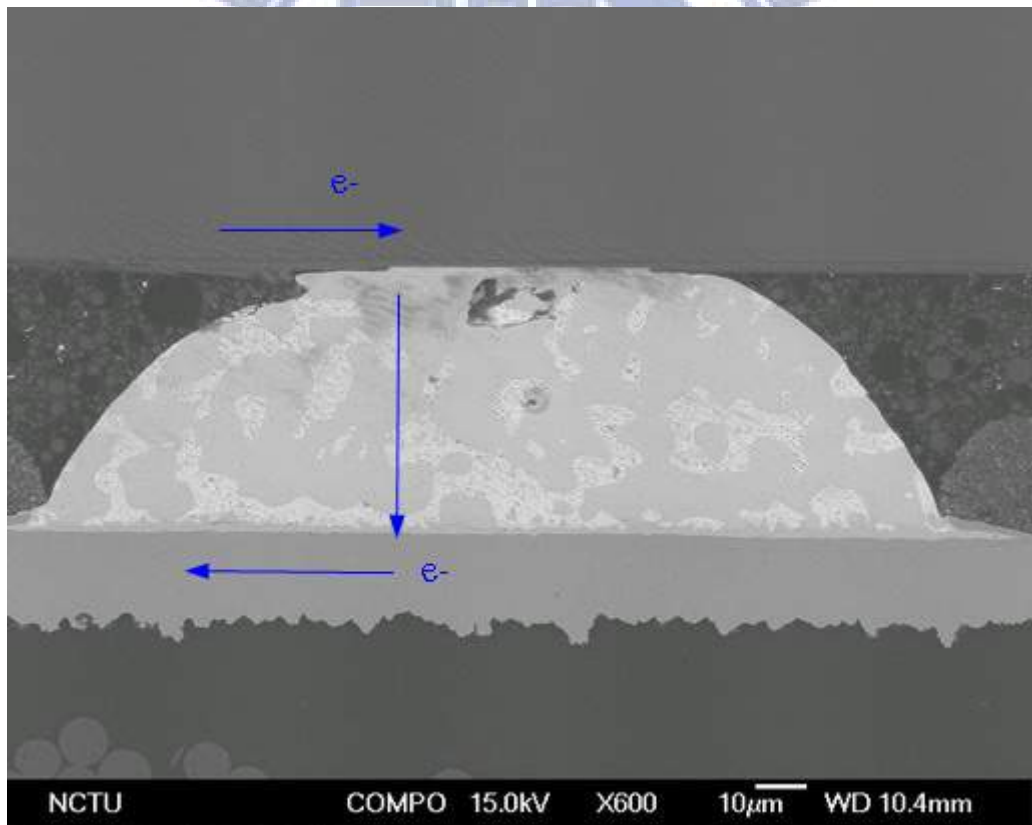
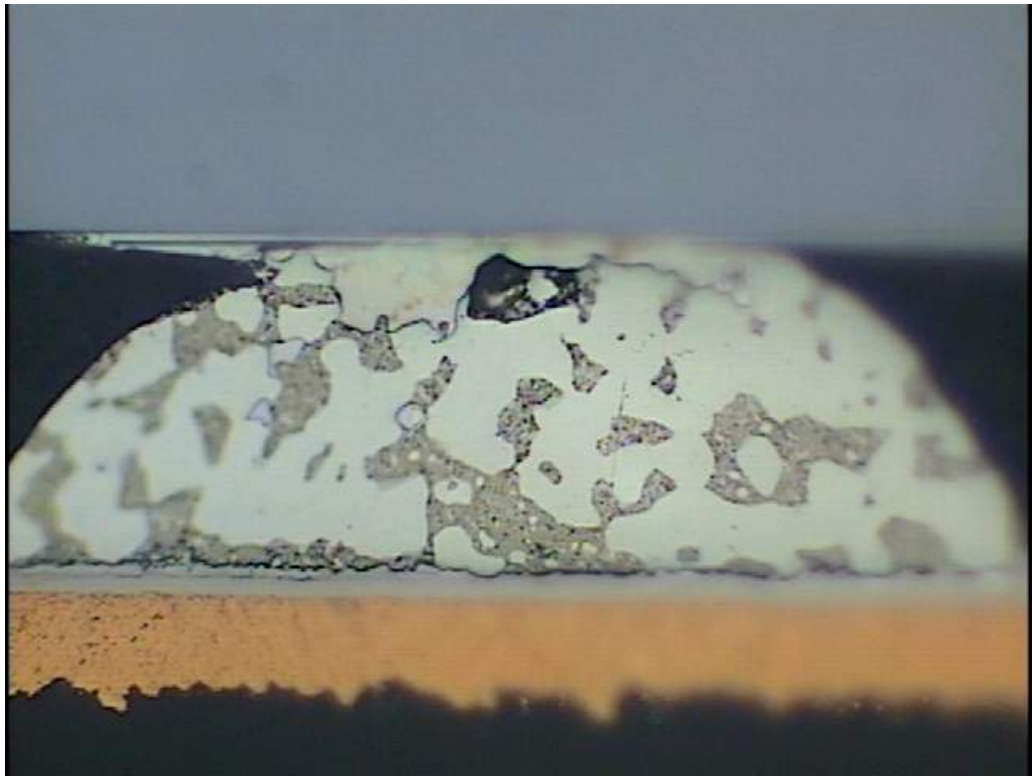


圖 4-5 SnPb 150°C 0.8A 電阻上升 20%， b3 剖面圖。



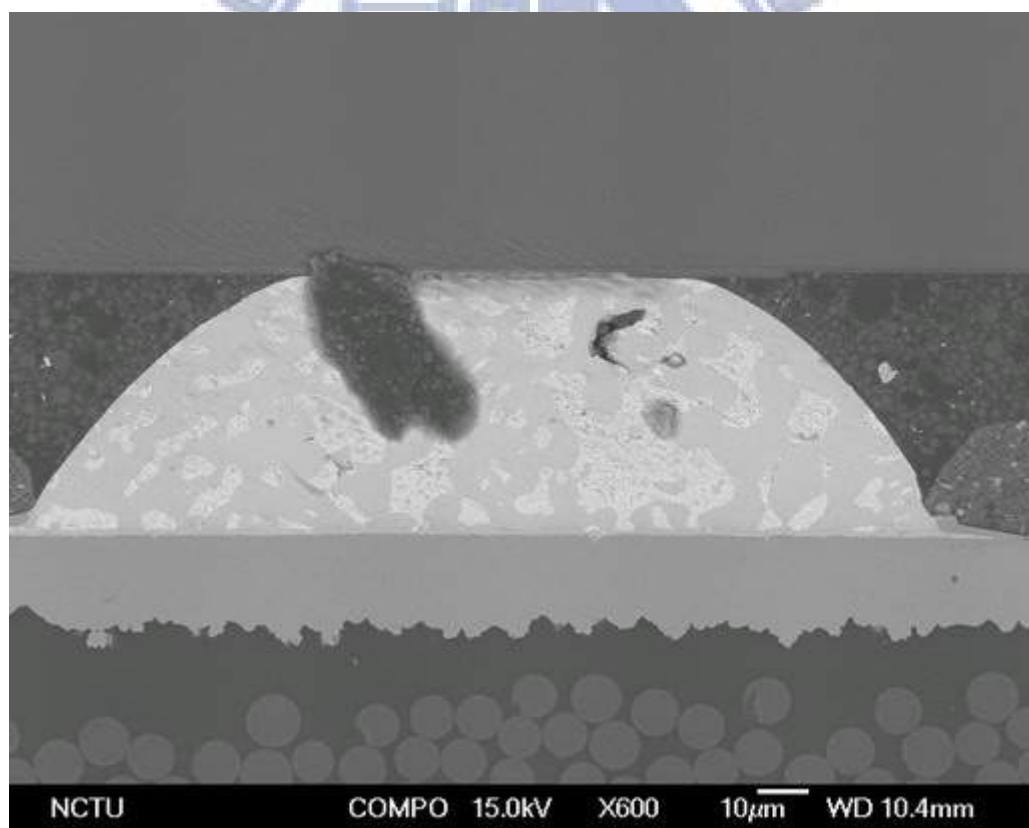
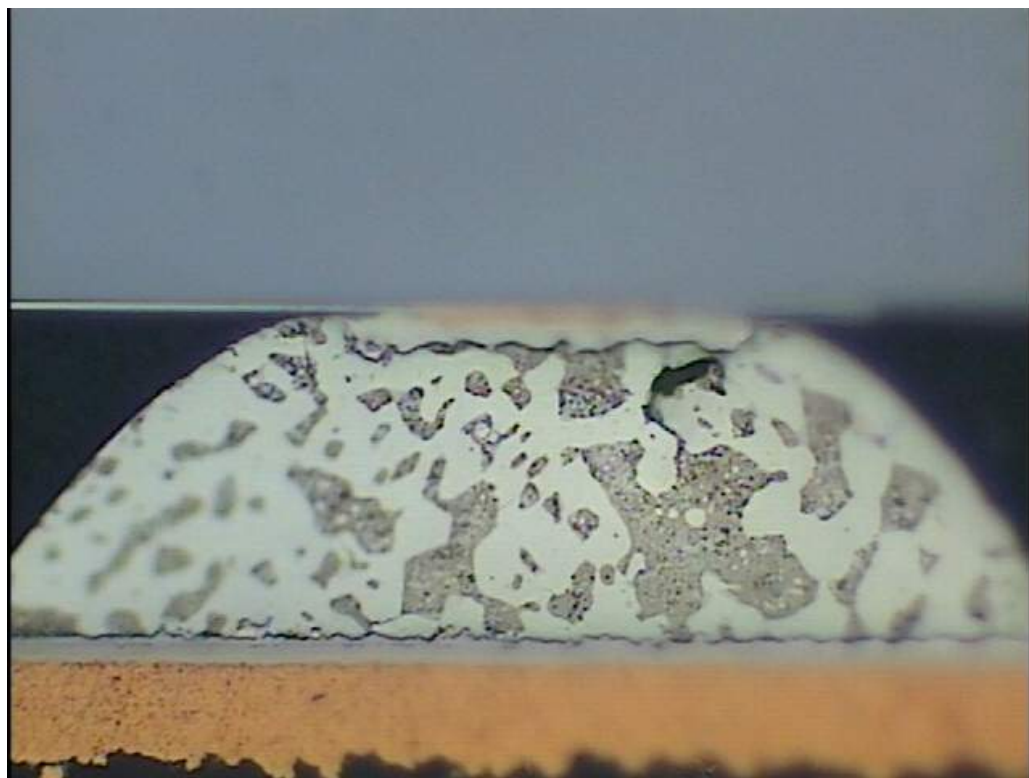


圖 4-6 SnPb 150°C 0.8A 電阻上升 20%， b4 剖面圖。

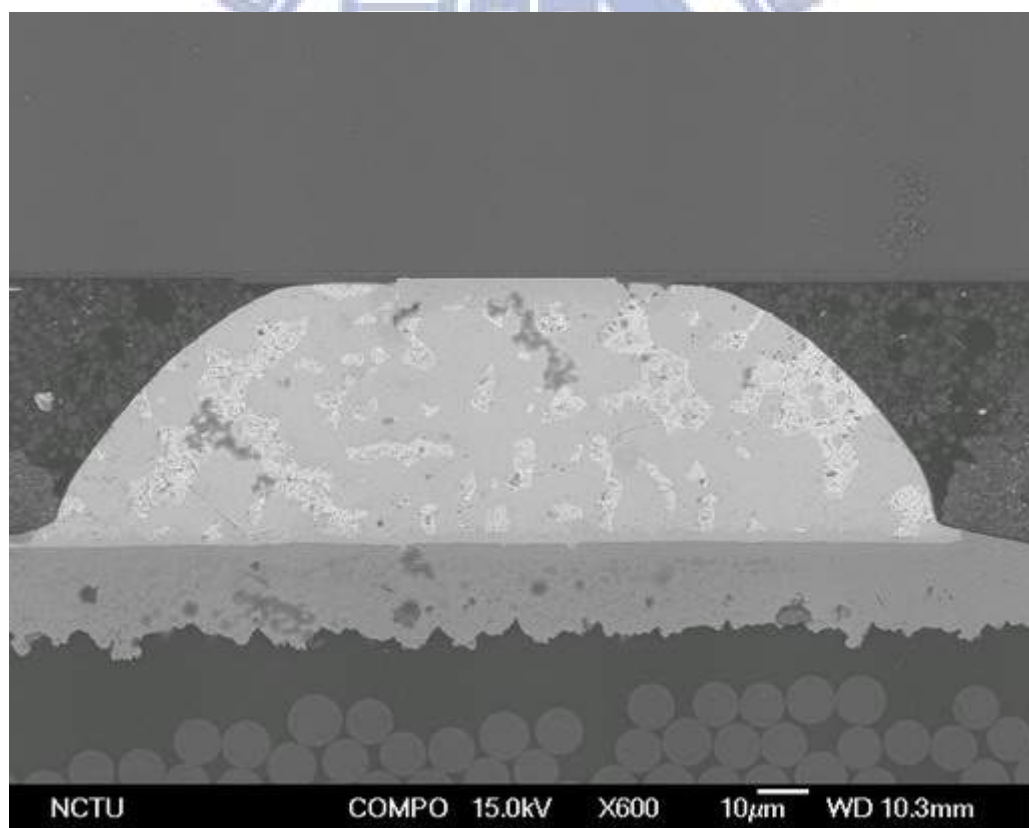
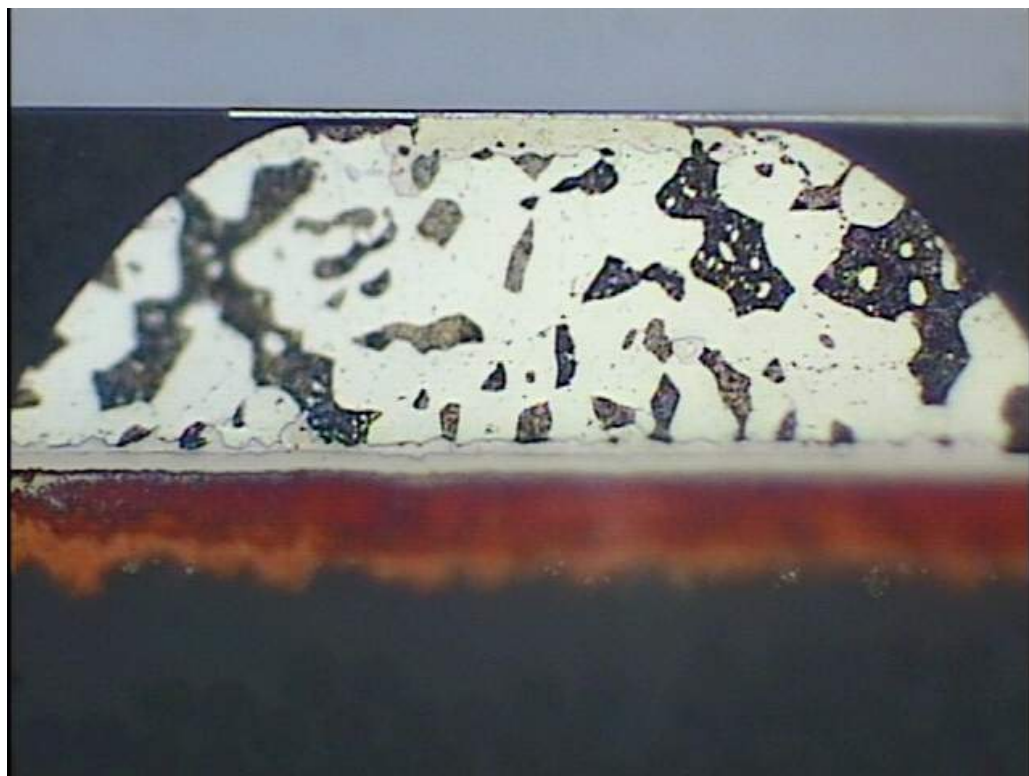


圖 4-7 SnPb 150°C 0.8A 電阻上升 100%， b1 剖面圖。

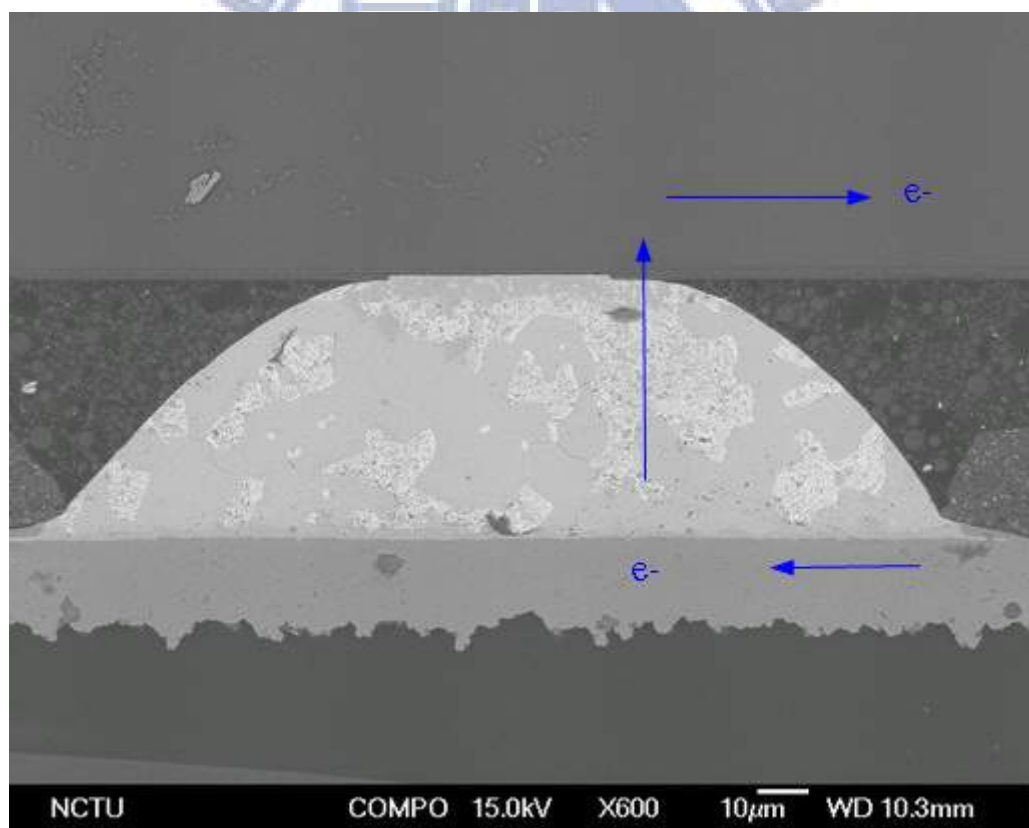
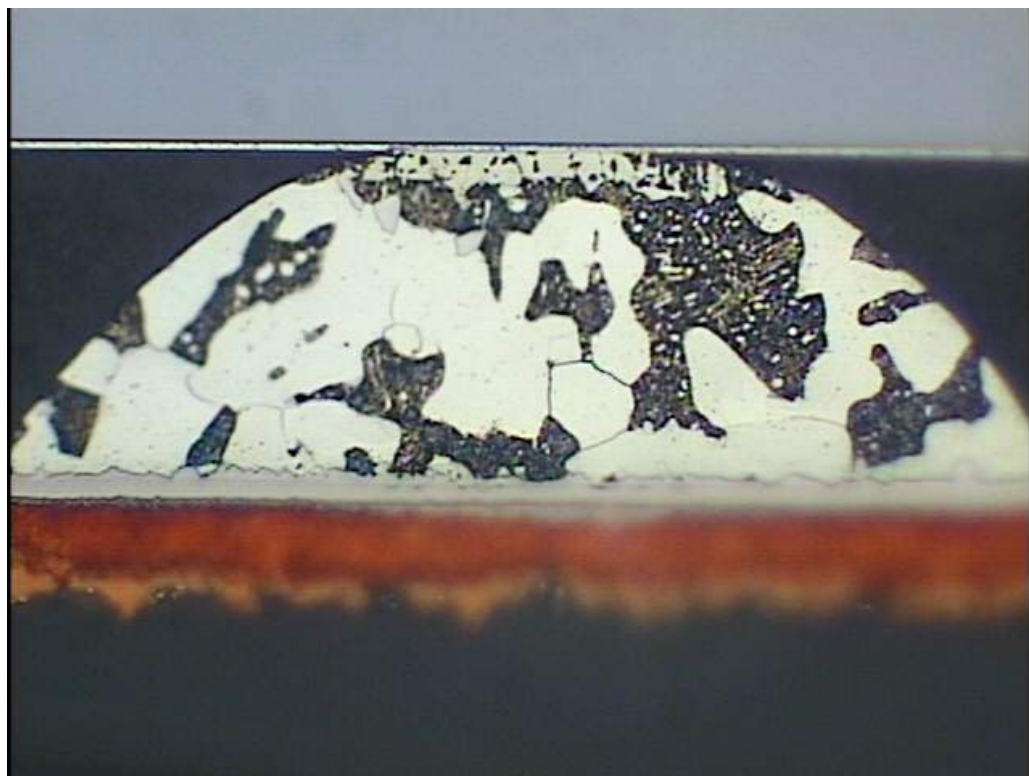


圖 4-8 SnPb 150°C 0.8A 電阻上升 100%， b2 剖面圖。

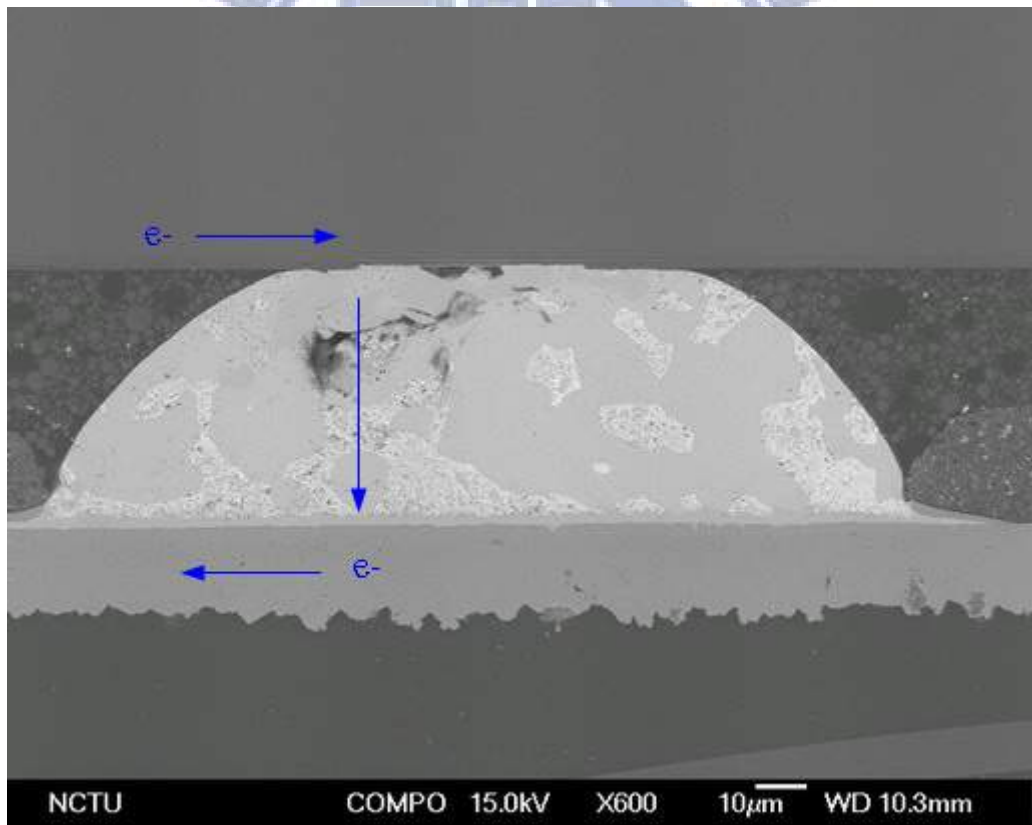
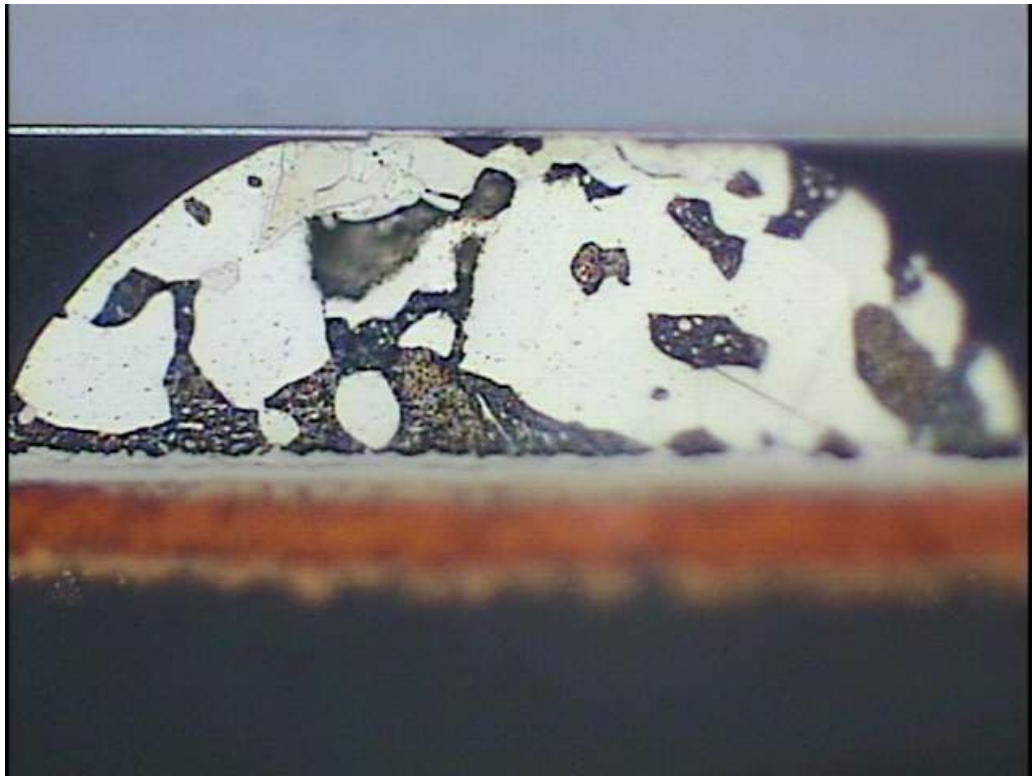


圖 4-9 SnPb 150°C 0.8A 電阻上升 100%， b3 剖面圖。

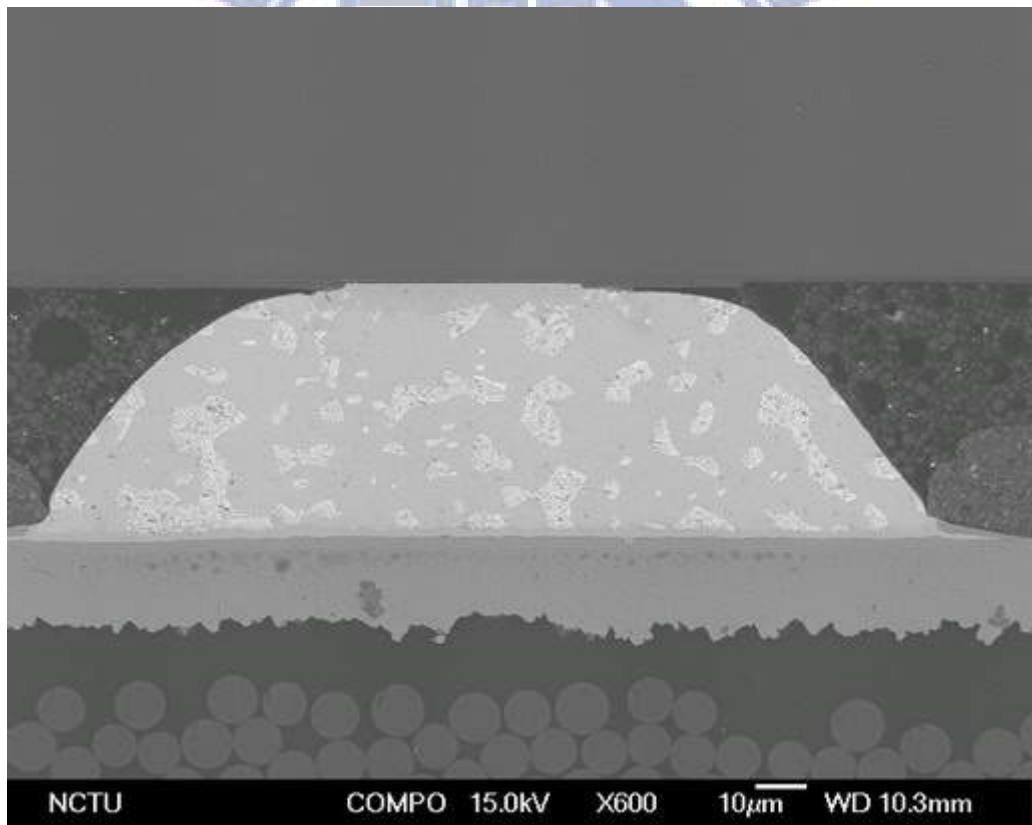
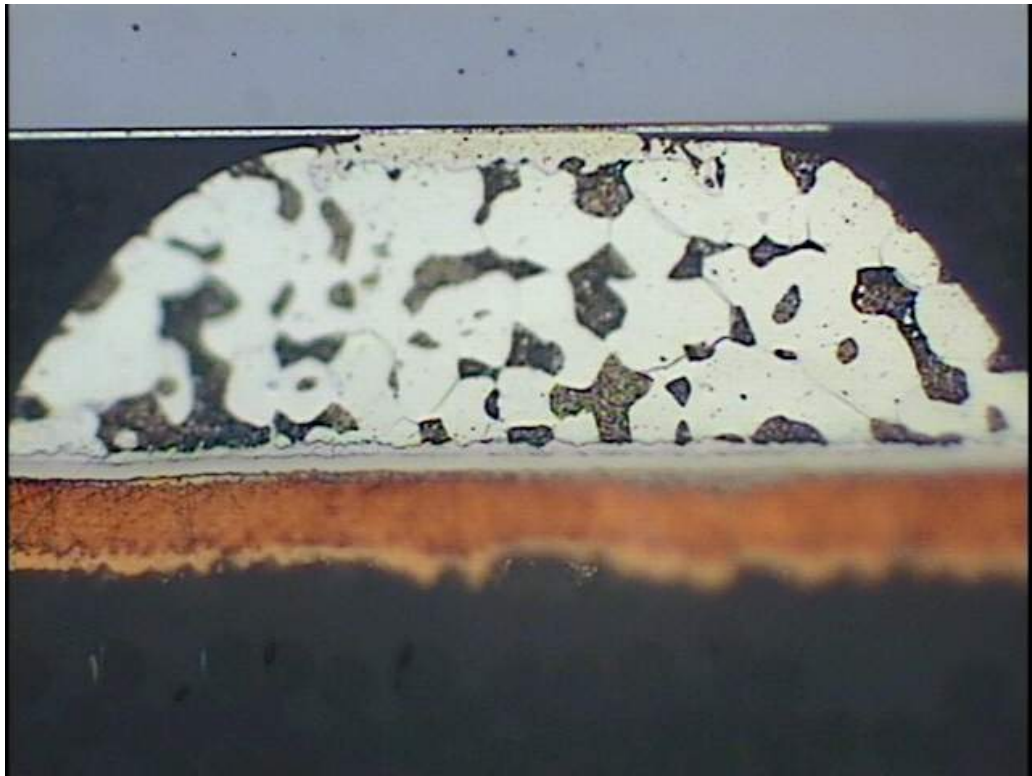


圖 4-10 SnPb 150°C 0.8A 電阻上升 100%，b4 剖面圖。

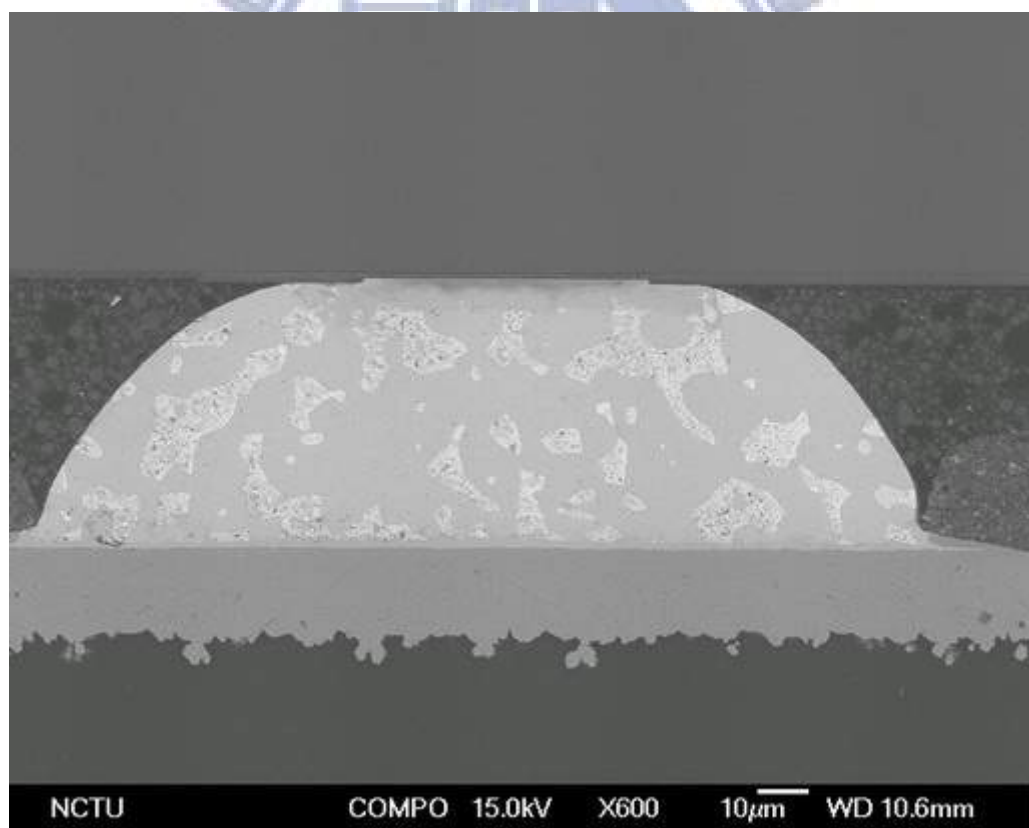
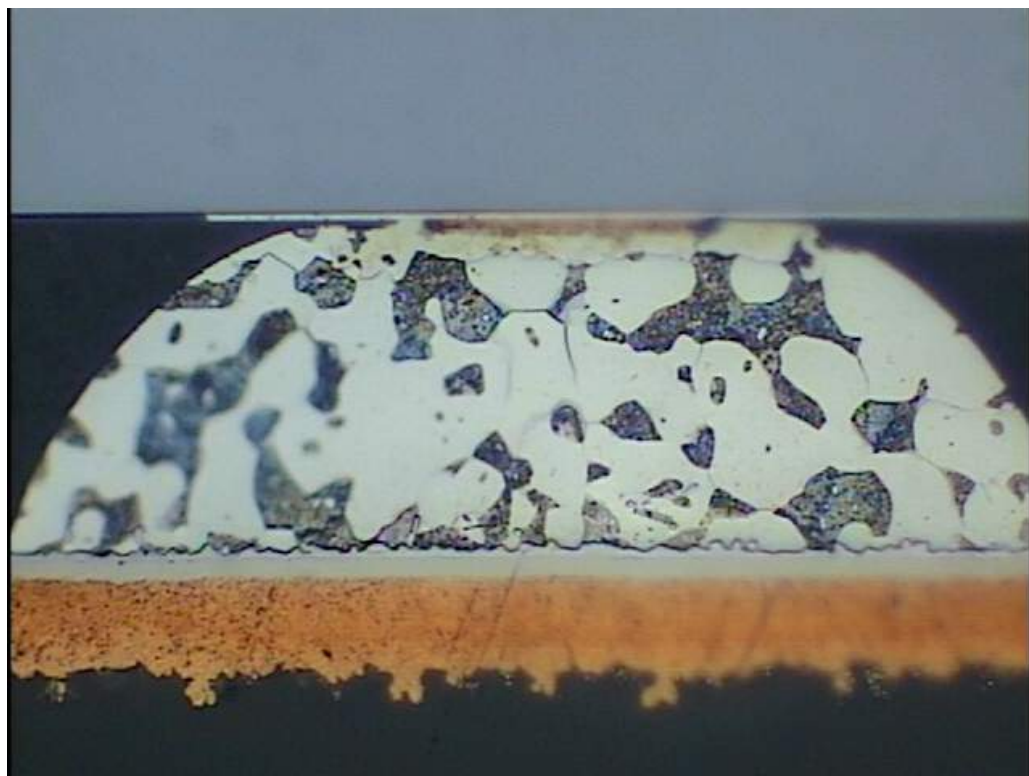


圖 4-11 SnPb 150°C 0.8A 電阻上升 500%， b1 剖面圖。

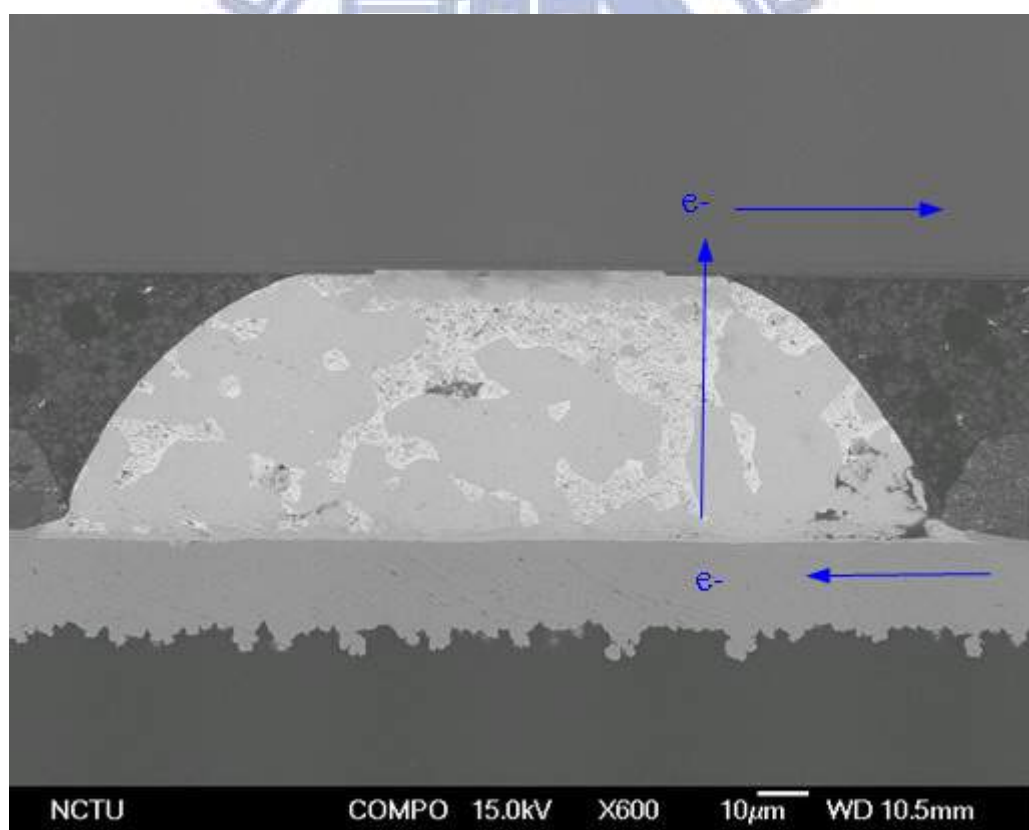
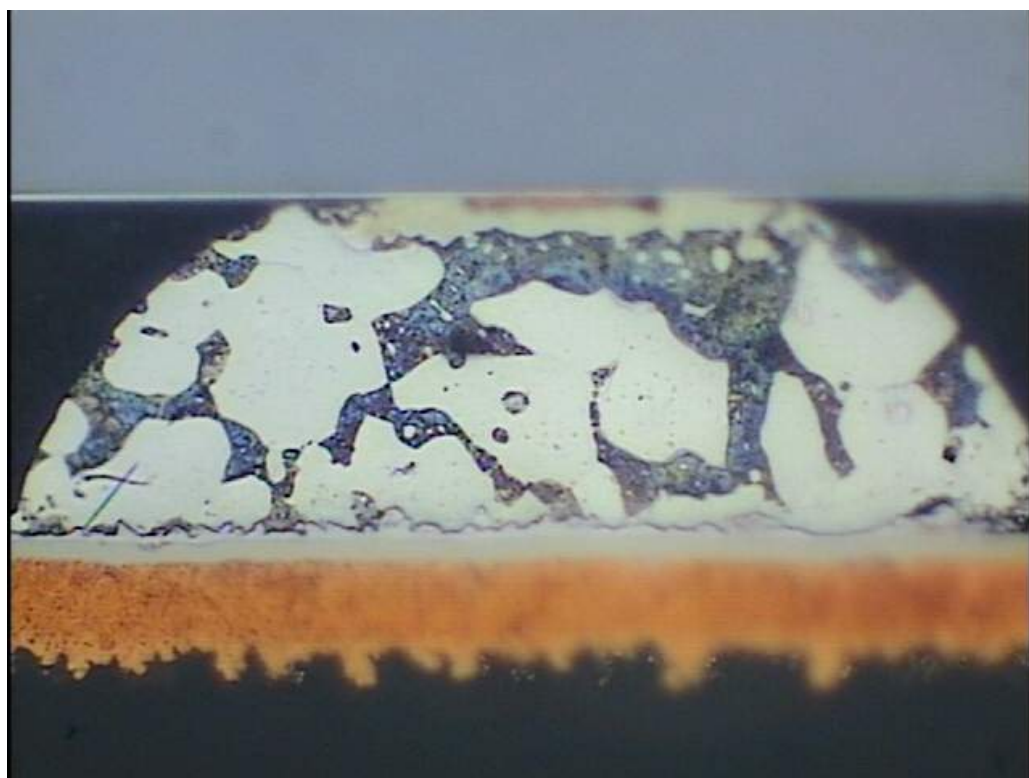


圖 4-12 SnPb 150°C 0.8A 電阻上升 500%， b2 剖面圖。

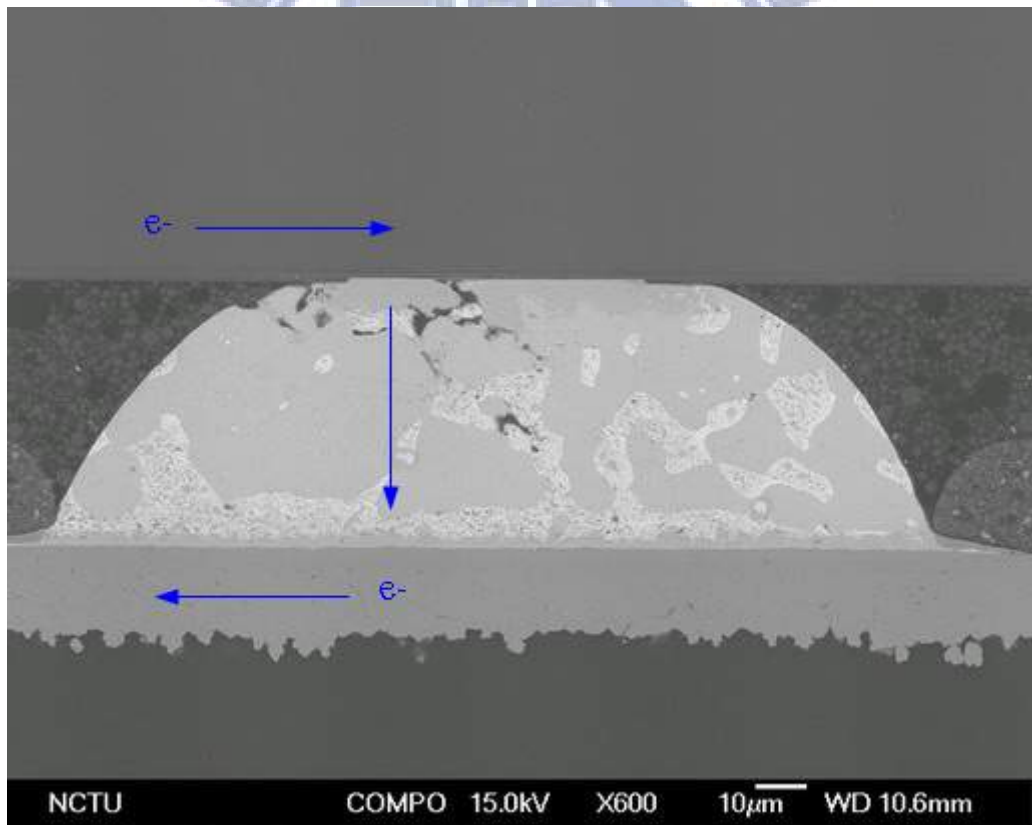
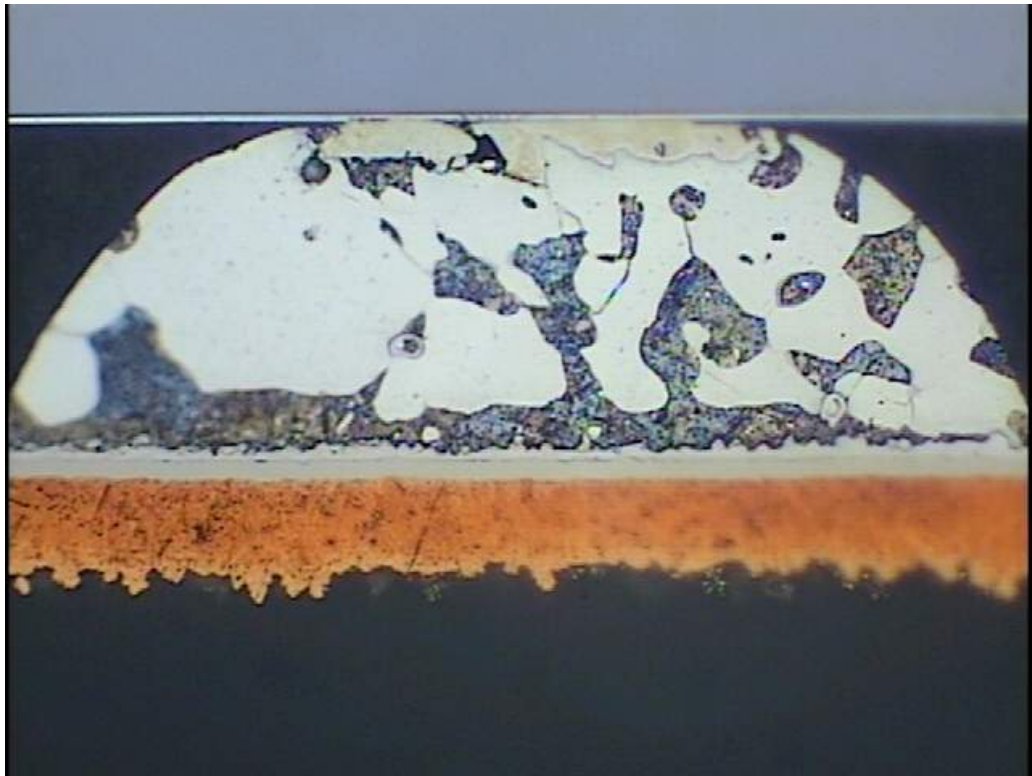


圖 4-13 SnPb 150°C 0.8A 電阻上升 500%， b3 剖面圖。



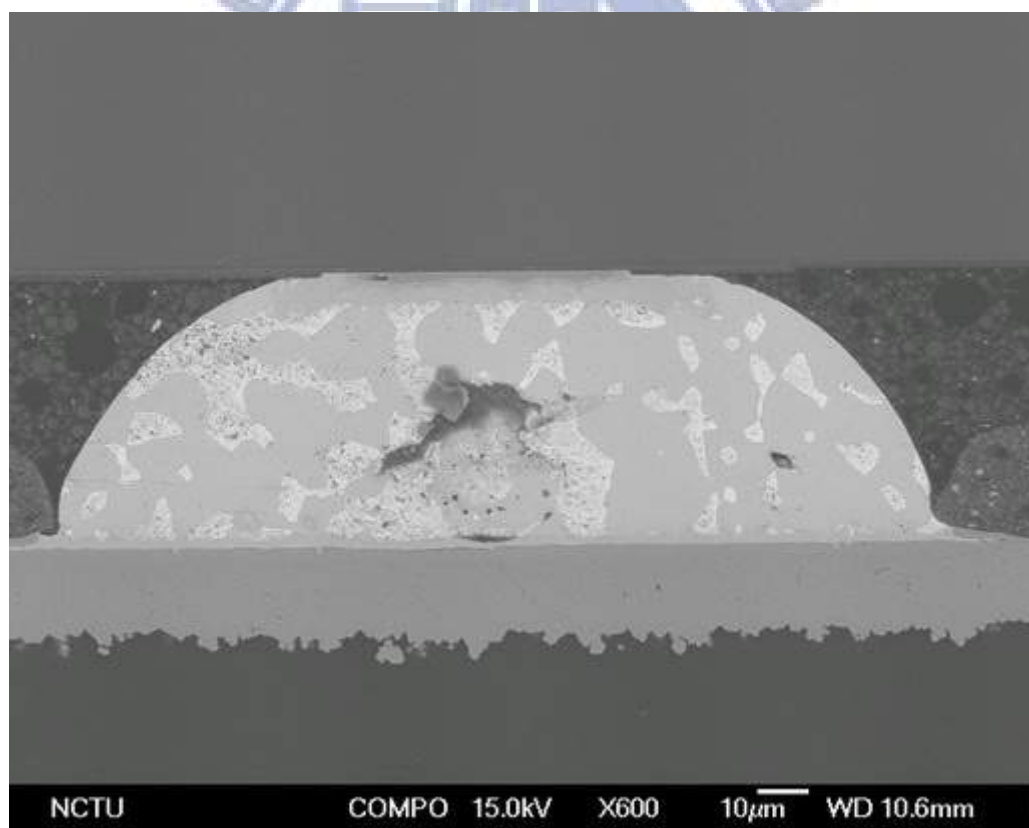
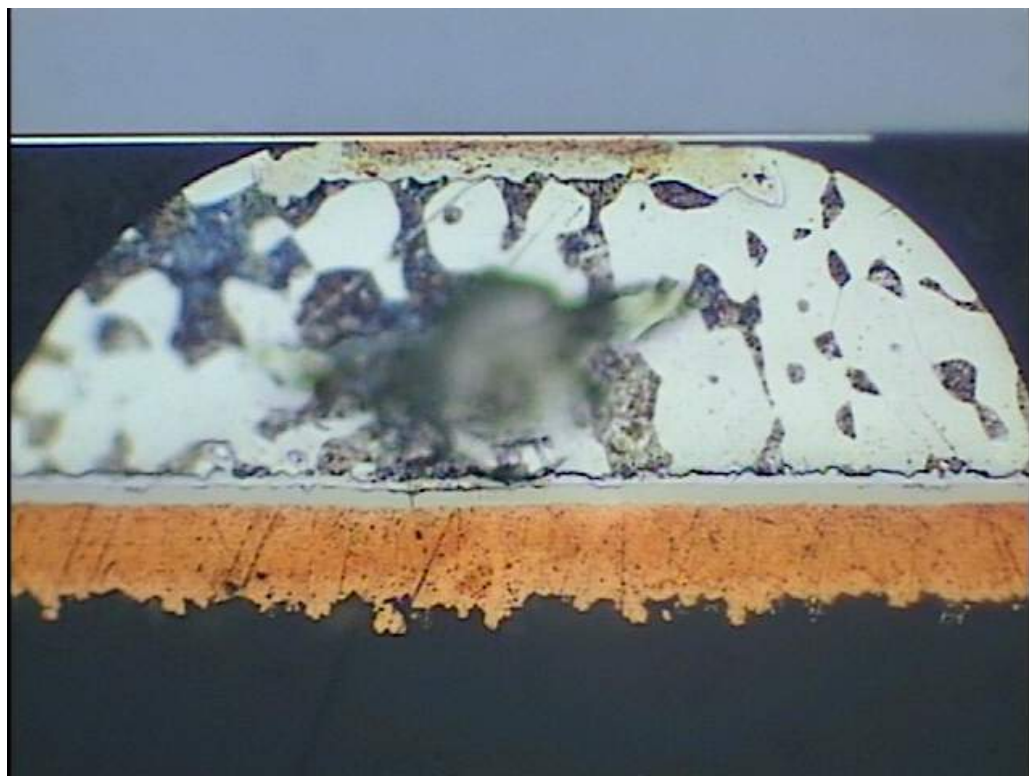


圖 4-14 SnPb 150°C 0.8A 電阻上升 500%，b4 剖面圖。

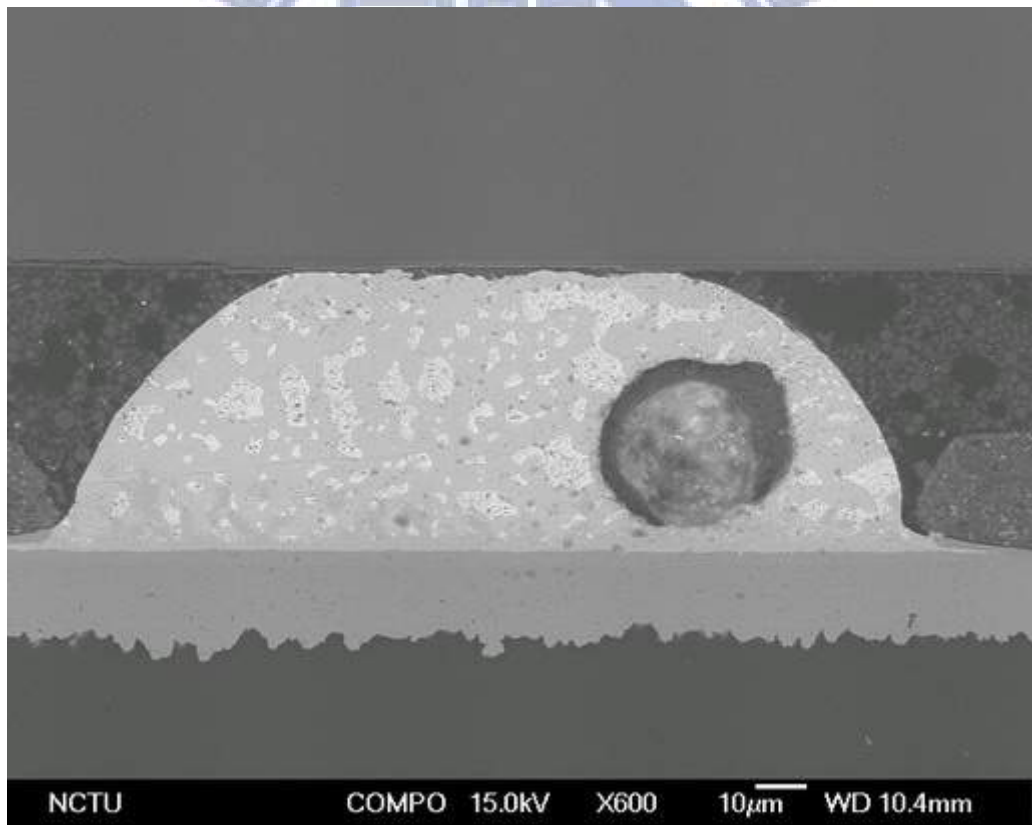
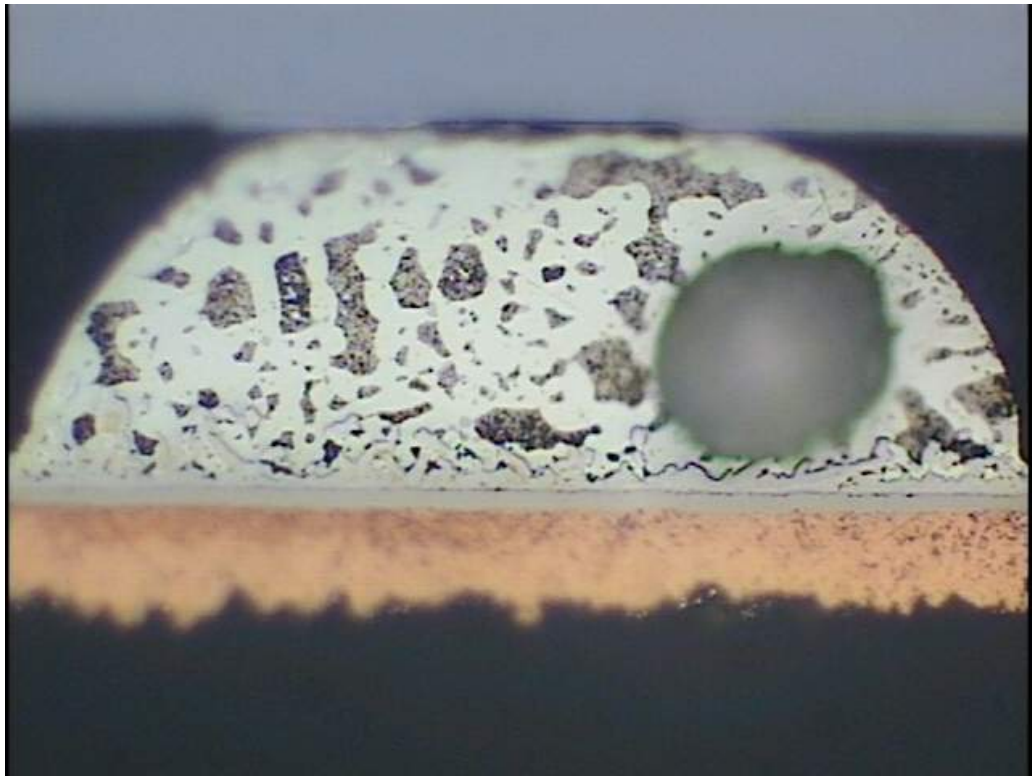


圖 4-15 SnPb 150°C 0.8A 電阻上升 open， b1 剖面圖。

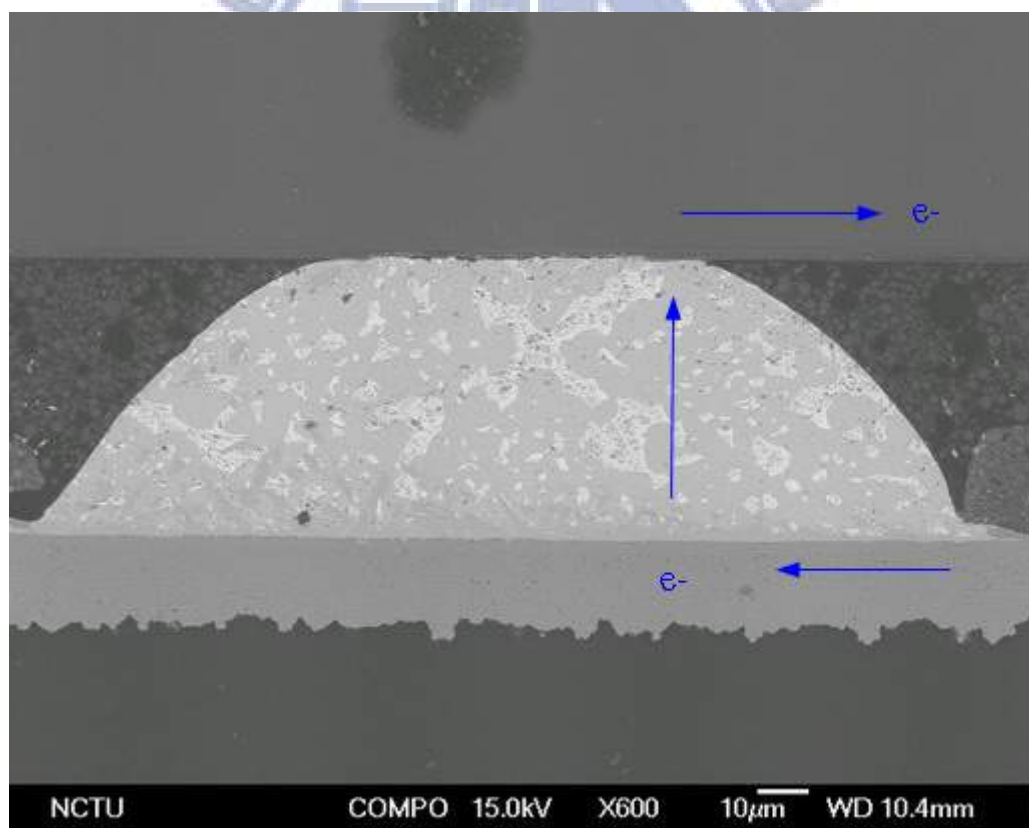
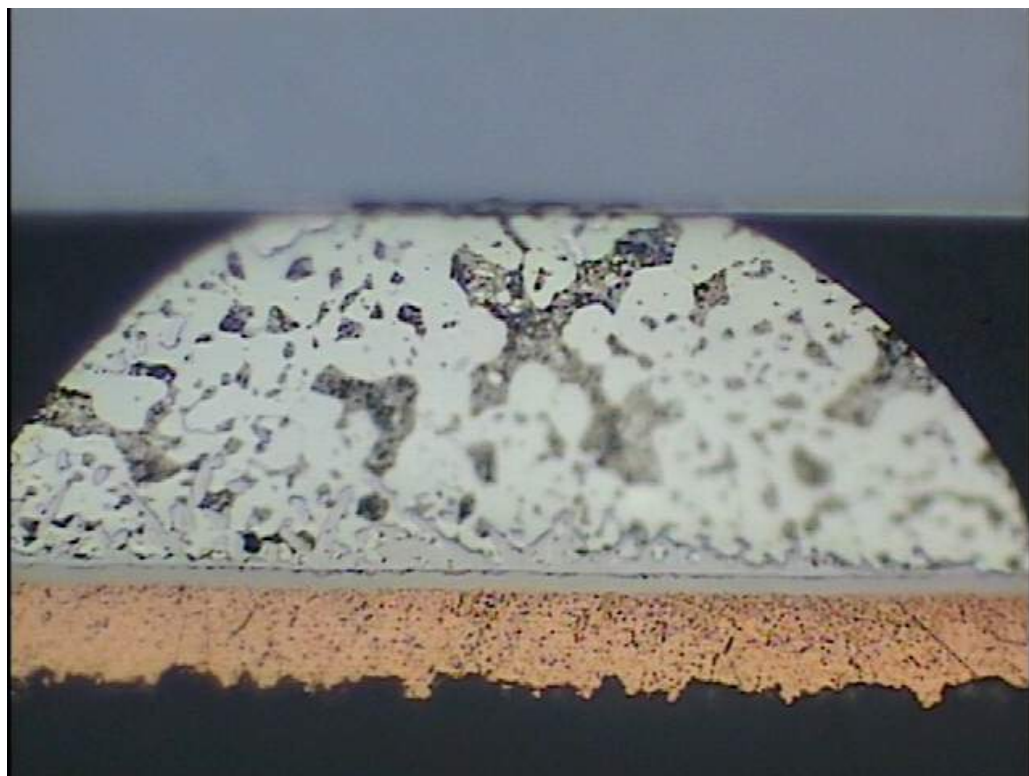


圖 4-16 SnPb 150°C 0.8A 電阻上升 open， b2 剖面圖。

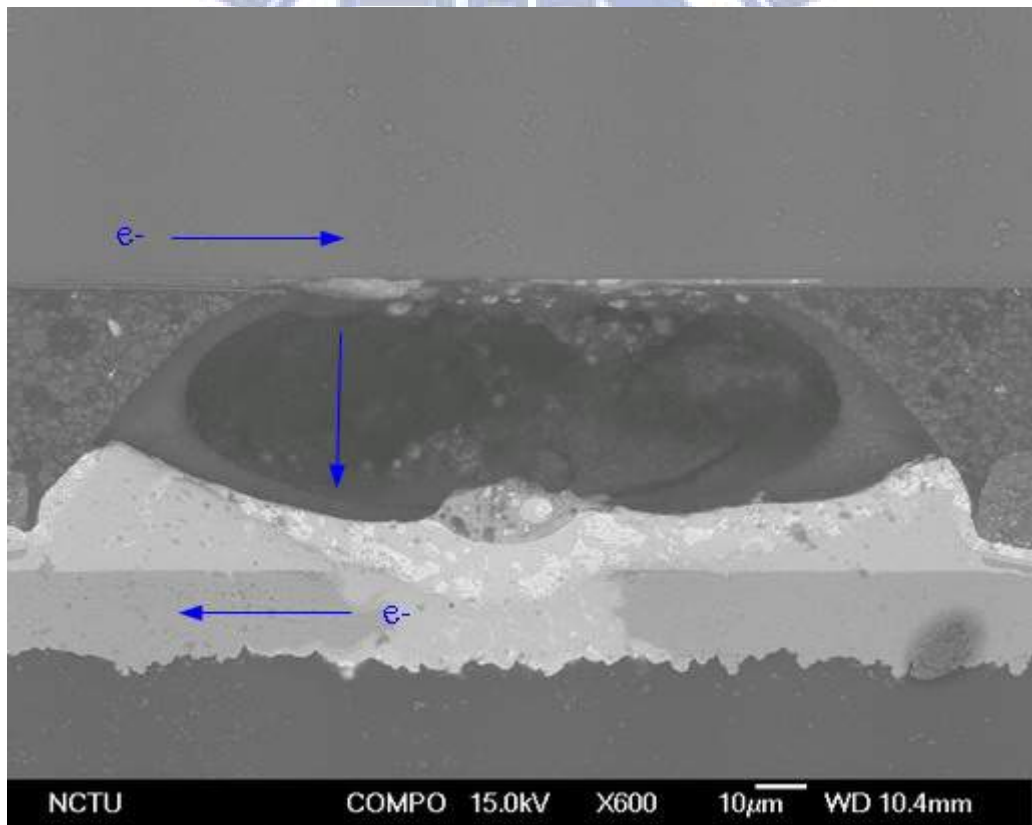
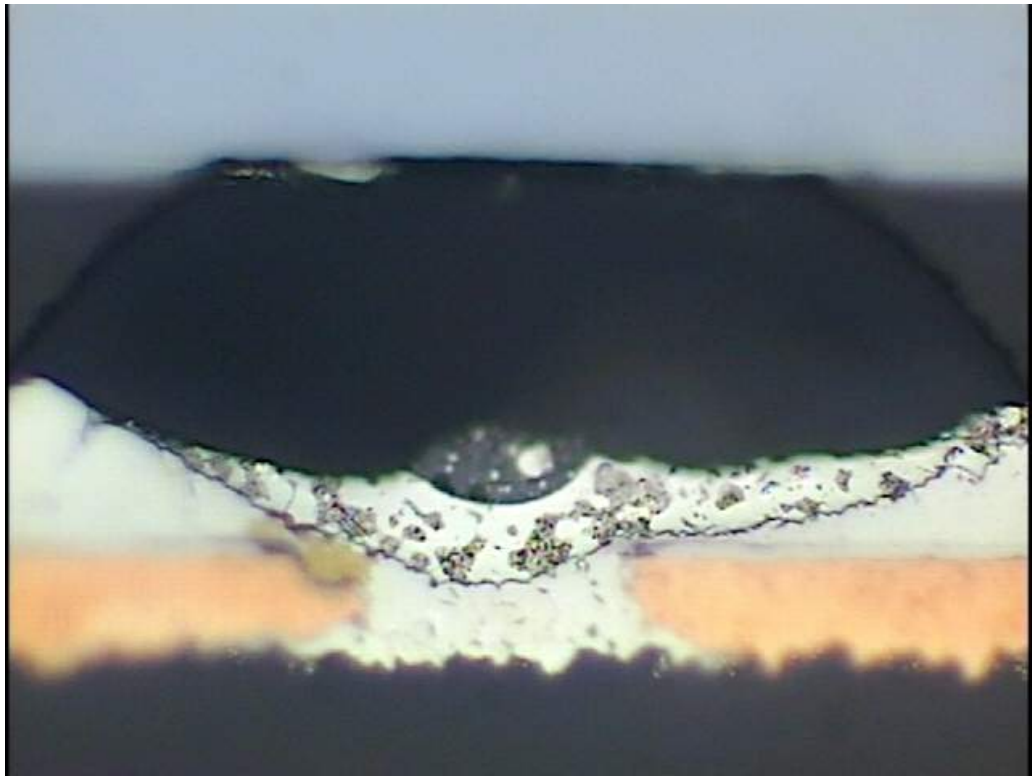


圖 4-17 SnPb 150°C 0.8A 電阻上升 open， b3 剖面圖。

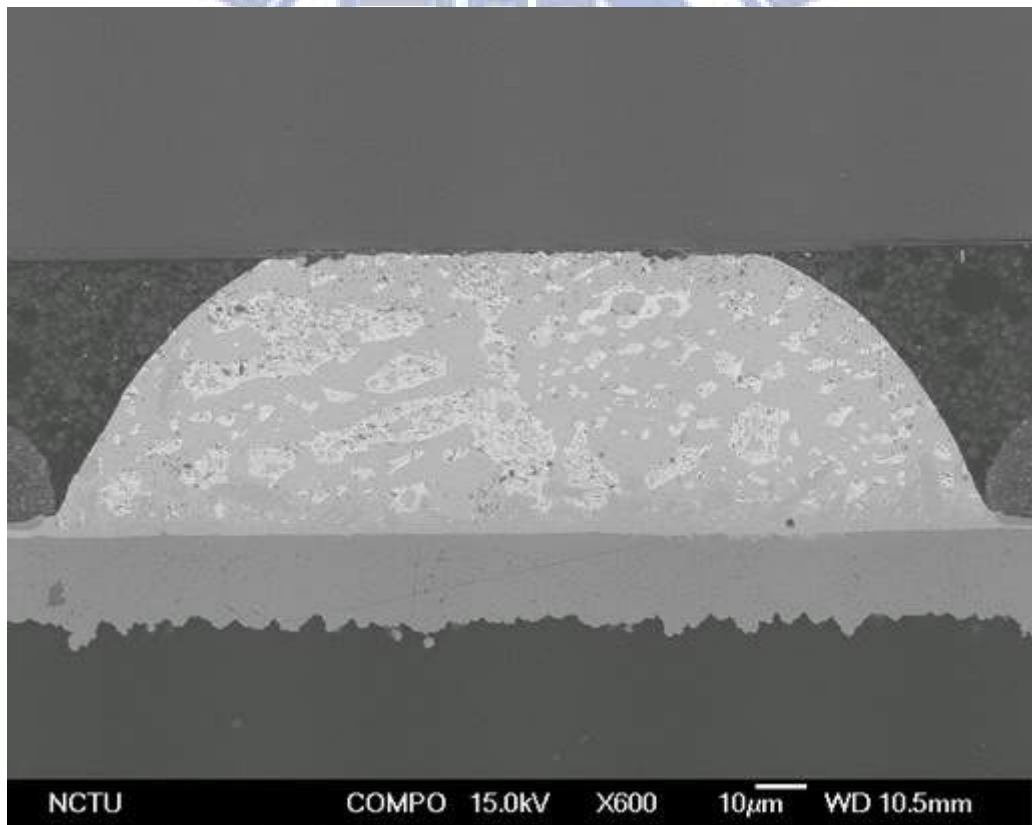
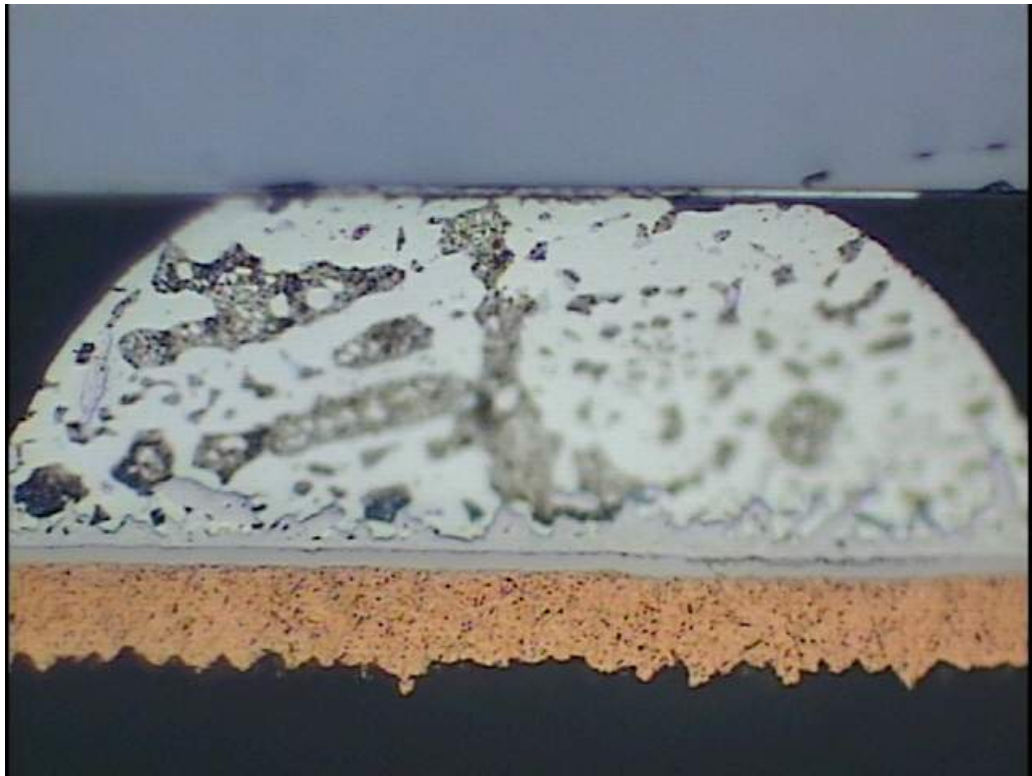


圖 4-18 SnPb 150°C 0.8A 電阻上升 open， b4 剖面圖。

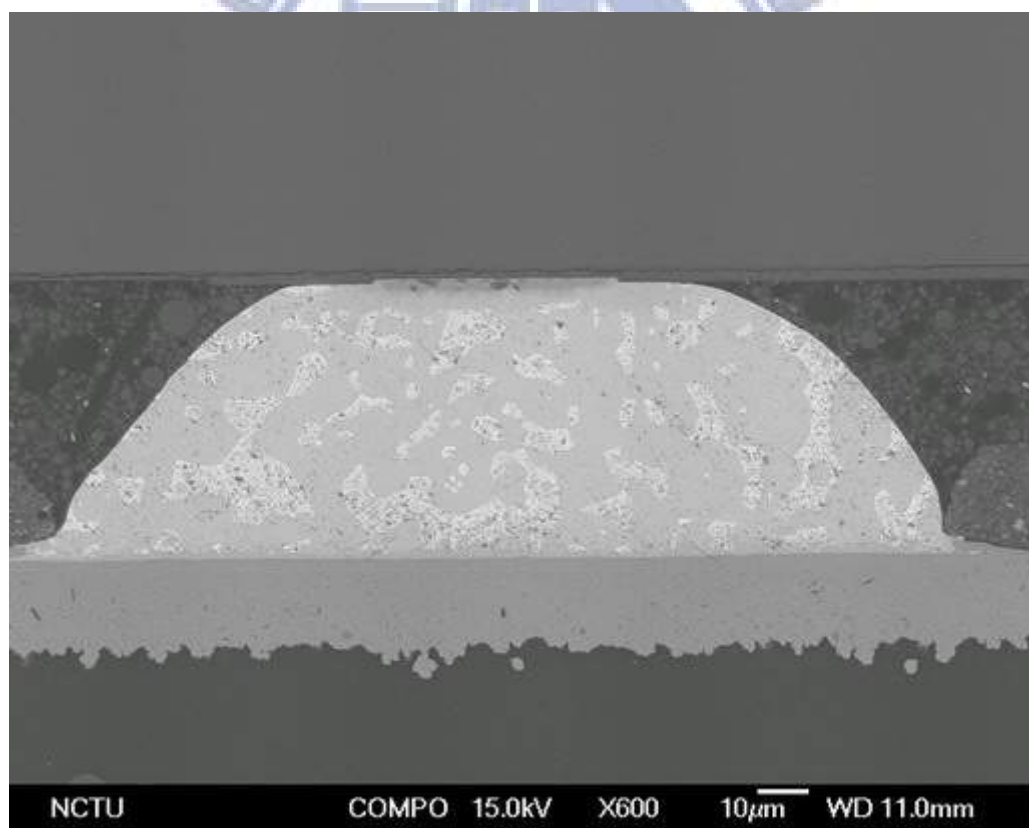
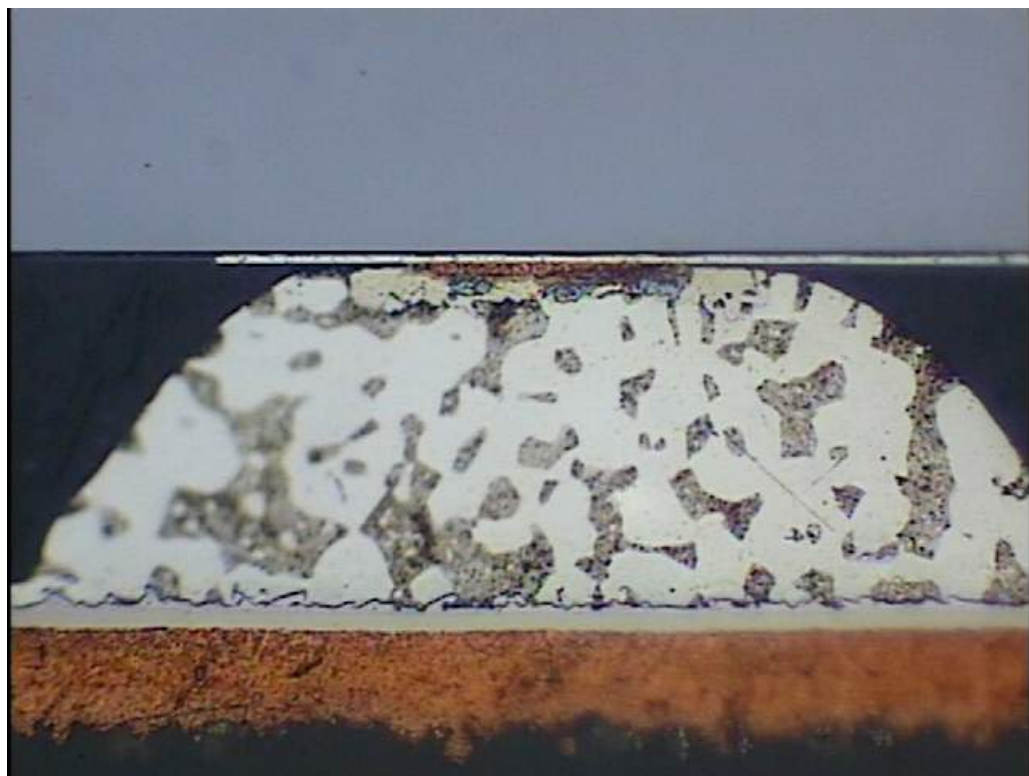


圖 4-19 SnPb 160°C 0.8A 電阻上升 20%， b1 剖面圖。

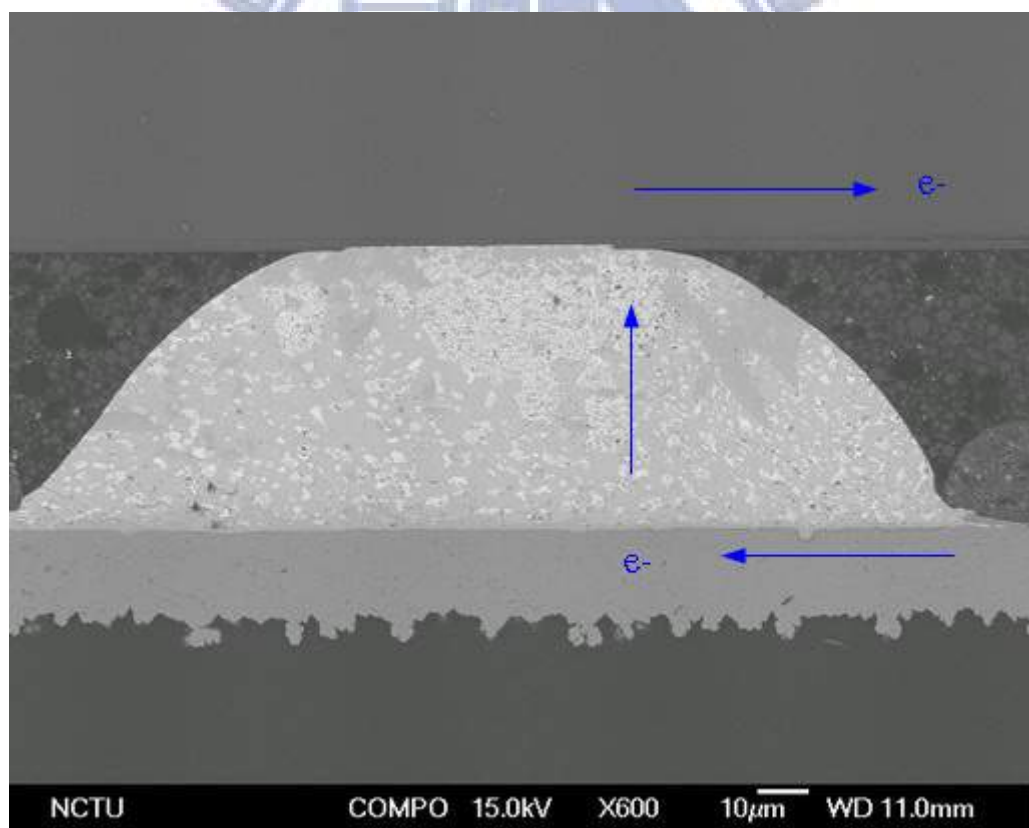
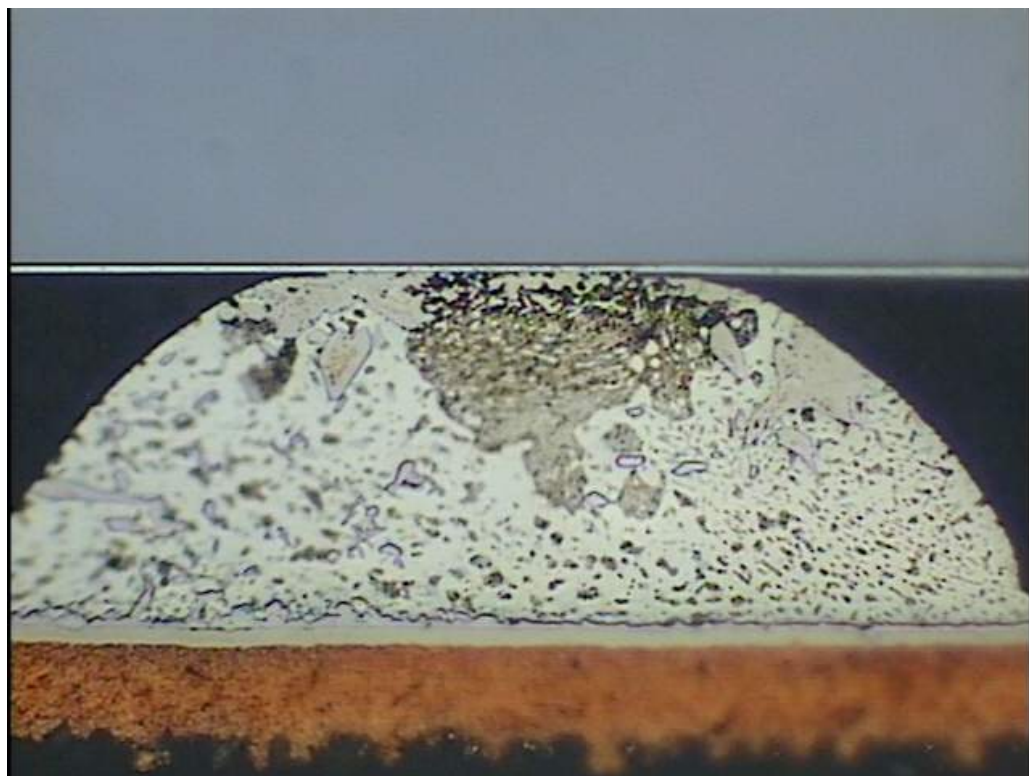


圖 4-20 SnPb 160°C 0.8A 電阻上升 20%， b2 剖面圖。

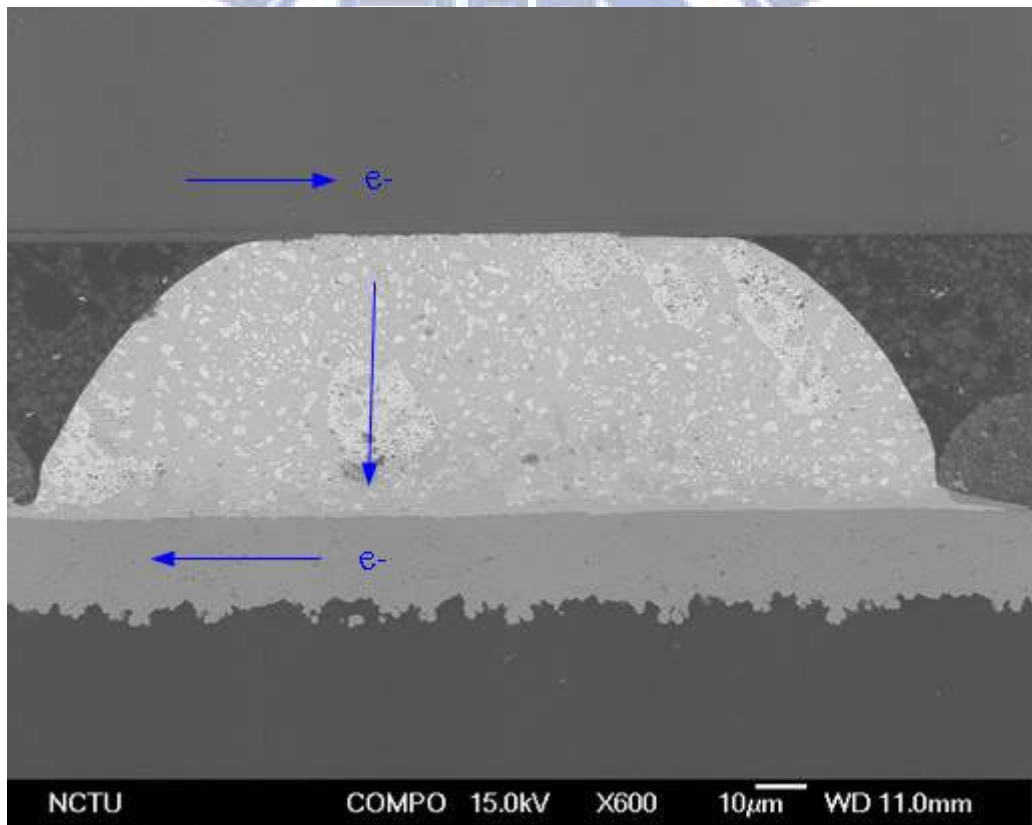
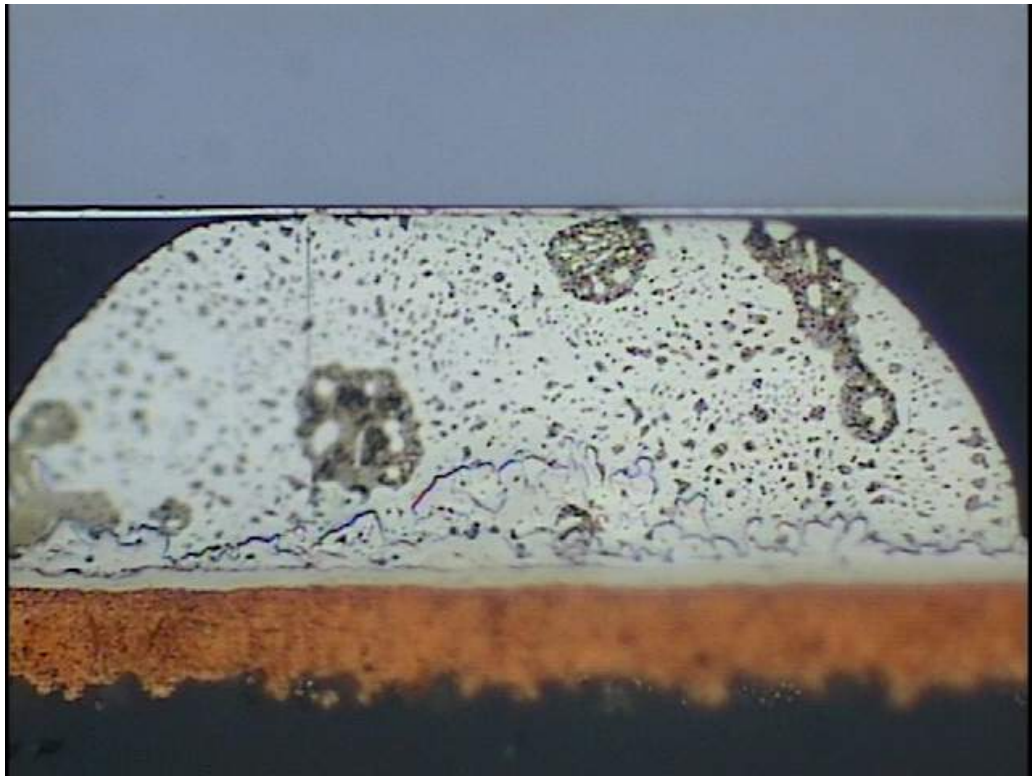


圖 4-21 SnPb 160°C 0.8A 電阻上升 20%， b3 剖面圖。



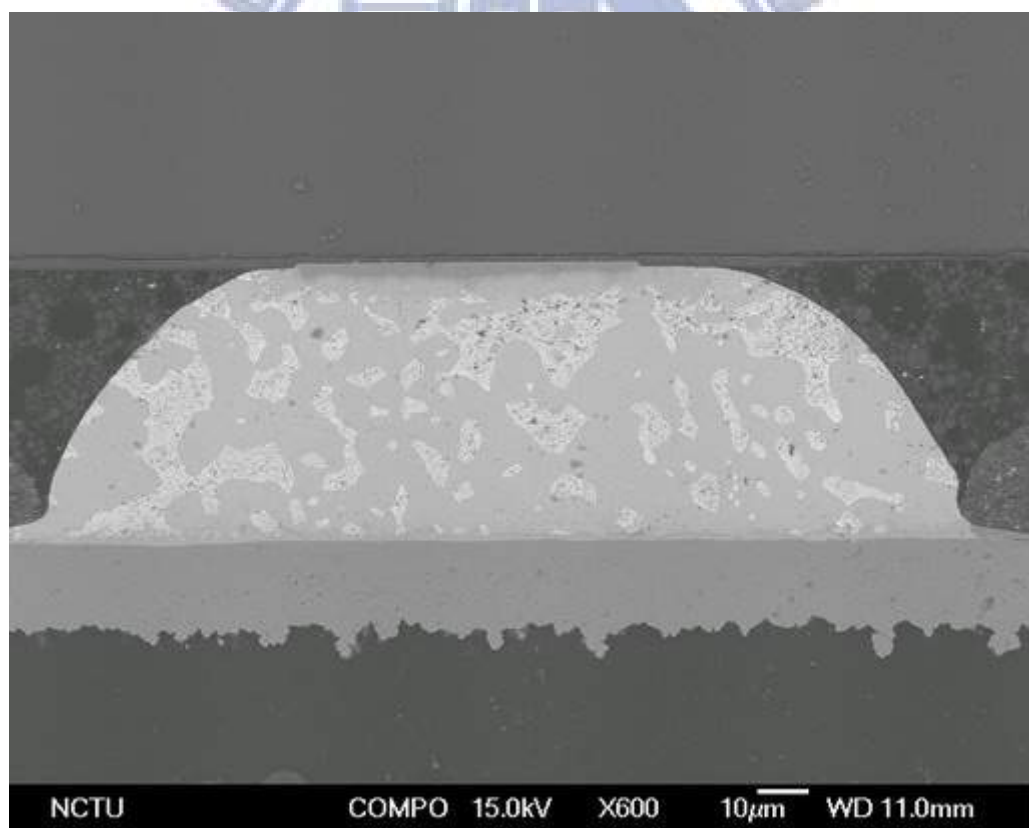
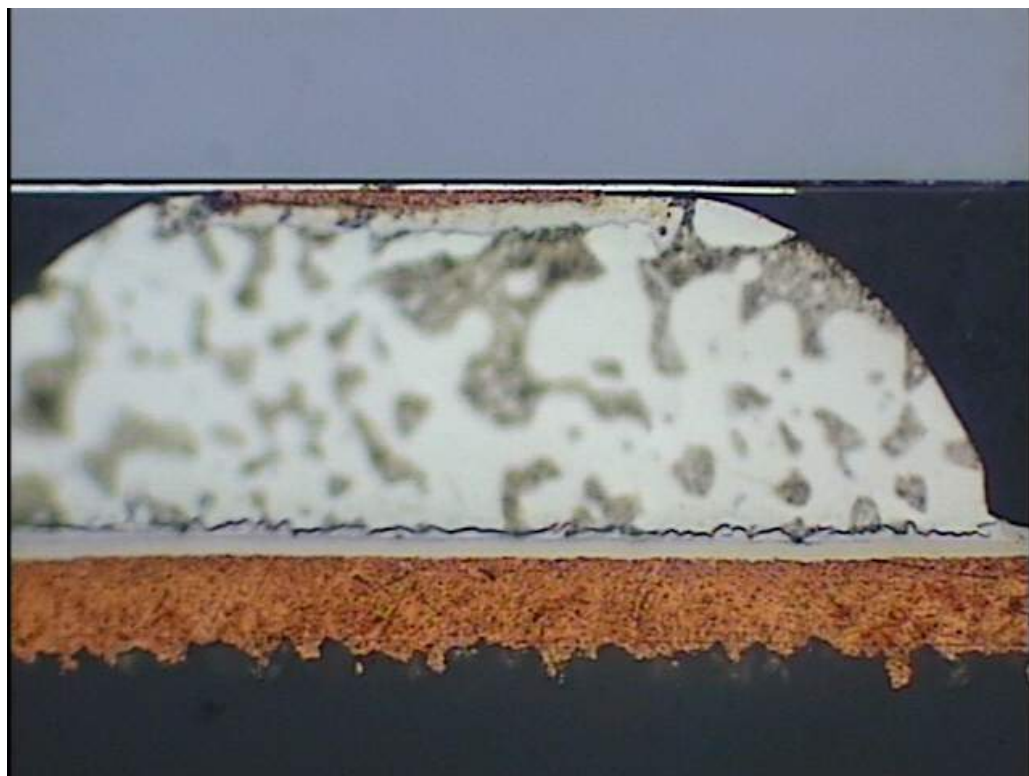


圖 4-22 SnPb 160°C 0.8A 電阻上升 20%， b4 剖面圖。

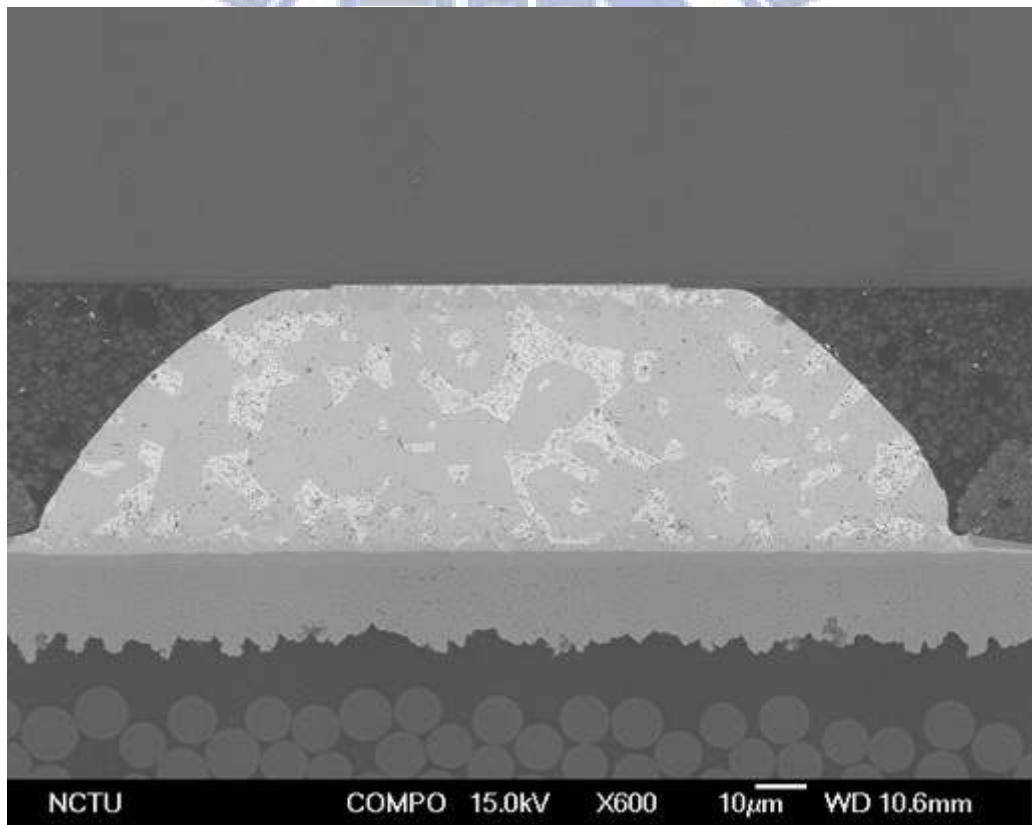
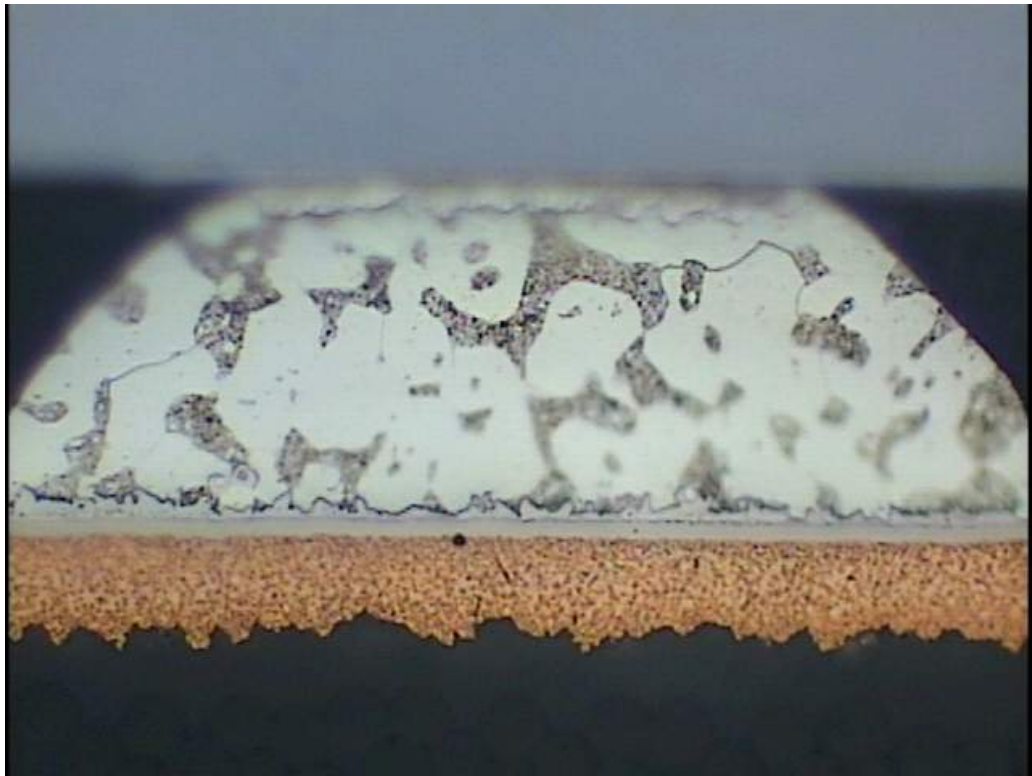


圖 4-23 SnPb 160°C 0.8A 電阻上升 100%，b1 剖面圖。

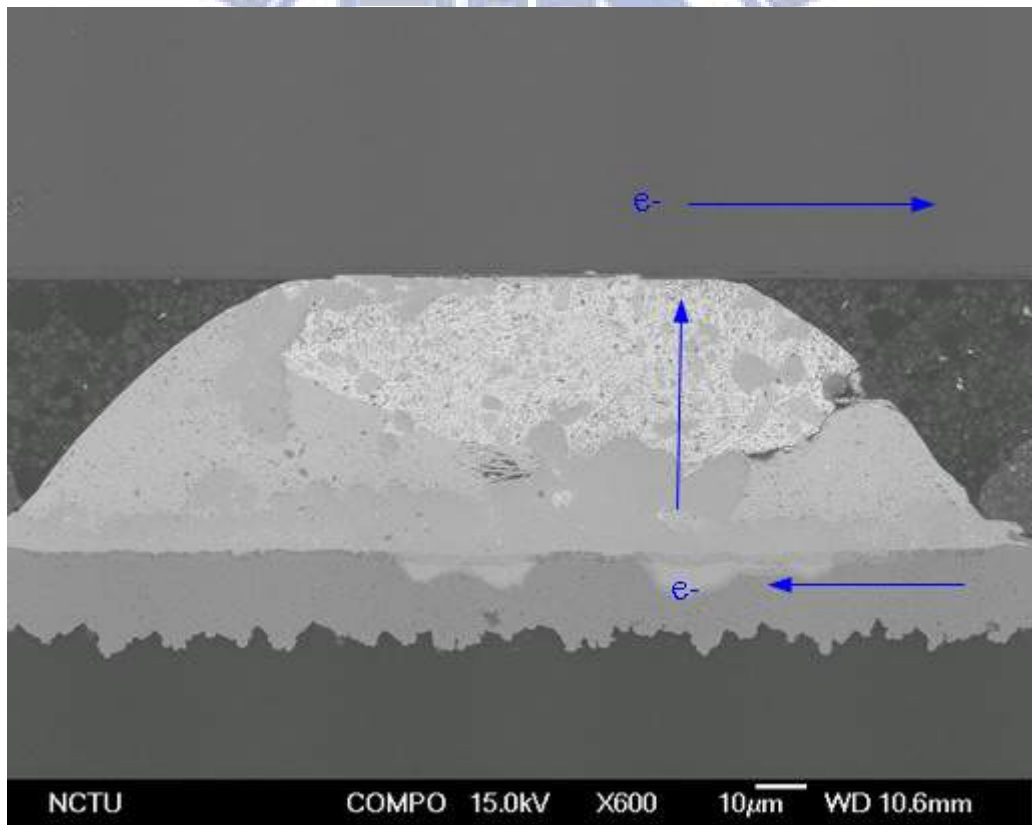
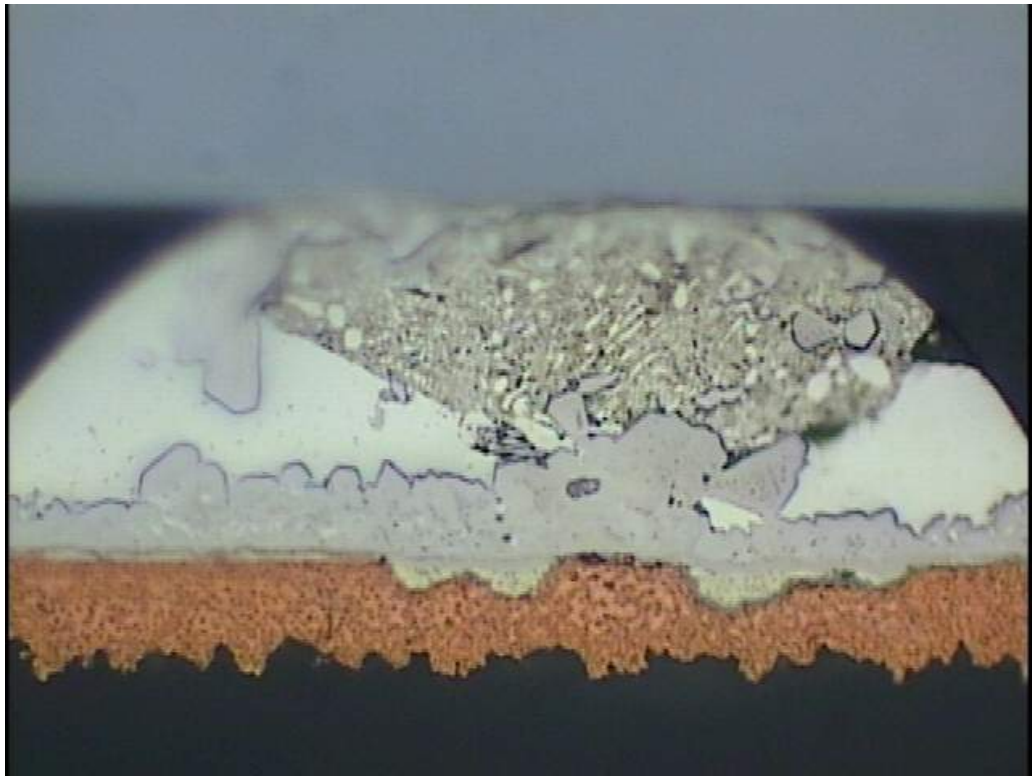


圖 4-24 SnPb 160°C 0.8A 電阻上升 100%， b2 剖面圖。

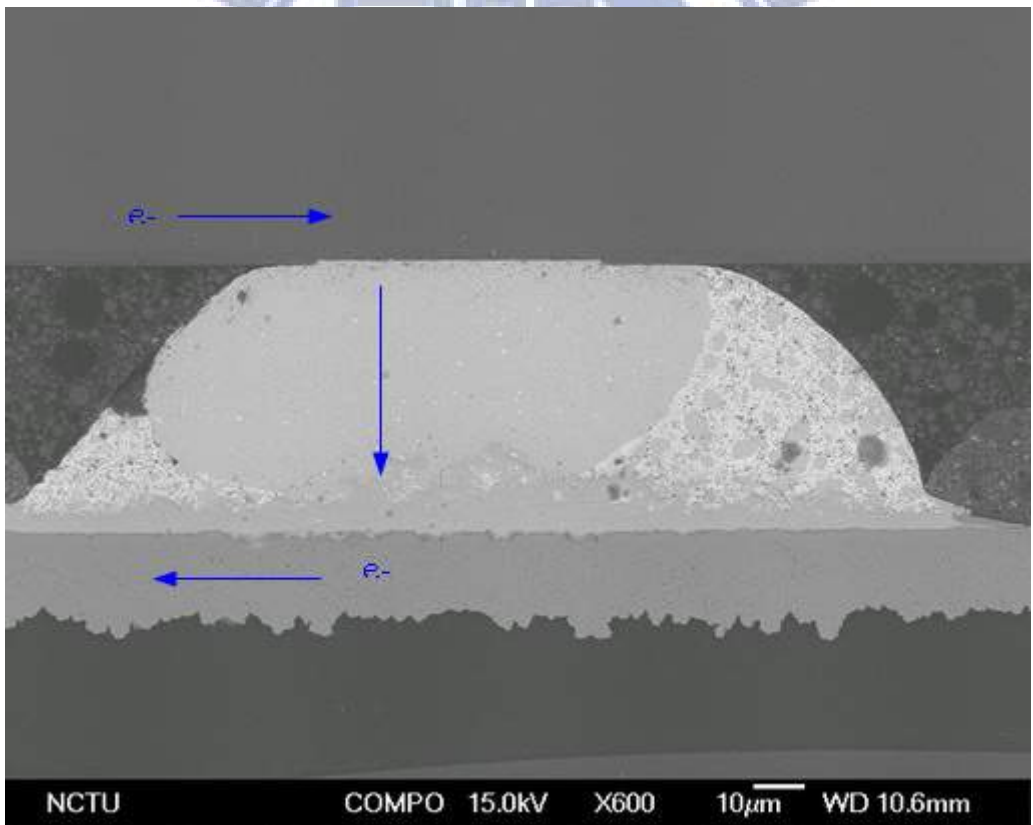
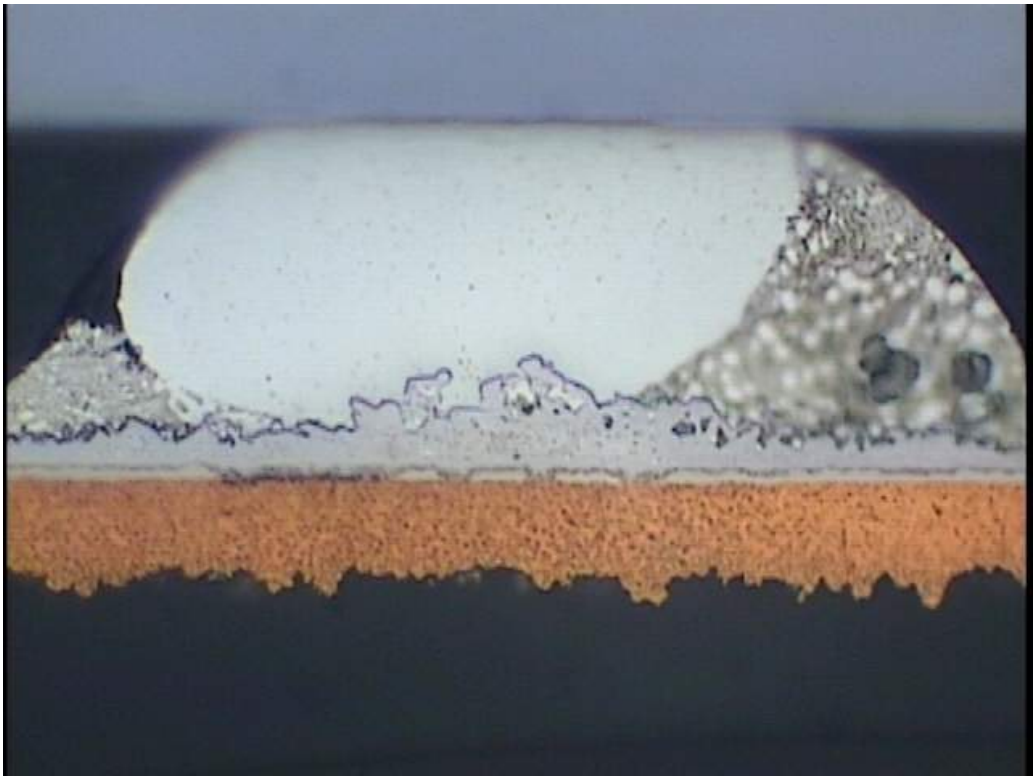


圖 4-25 SnPb 160°C 0.8A 電阻上升 100%，b3 剖面圖。

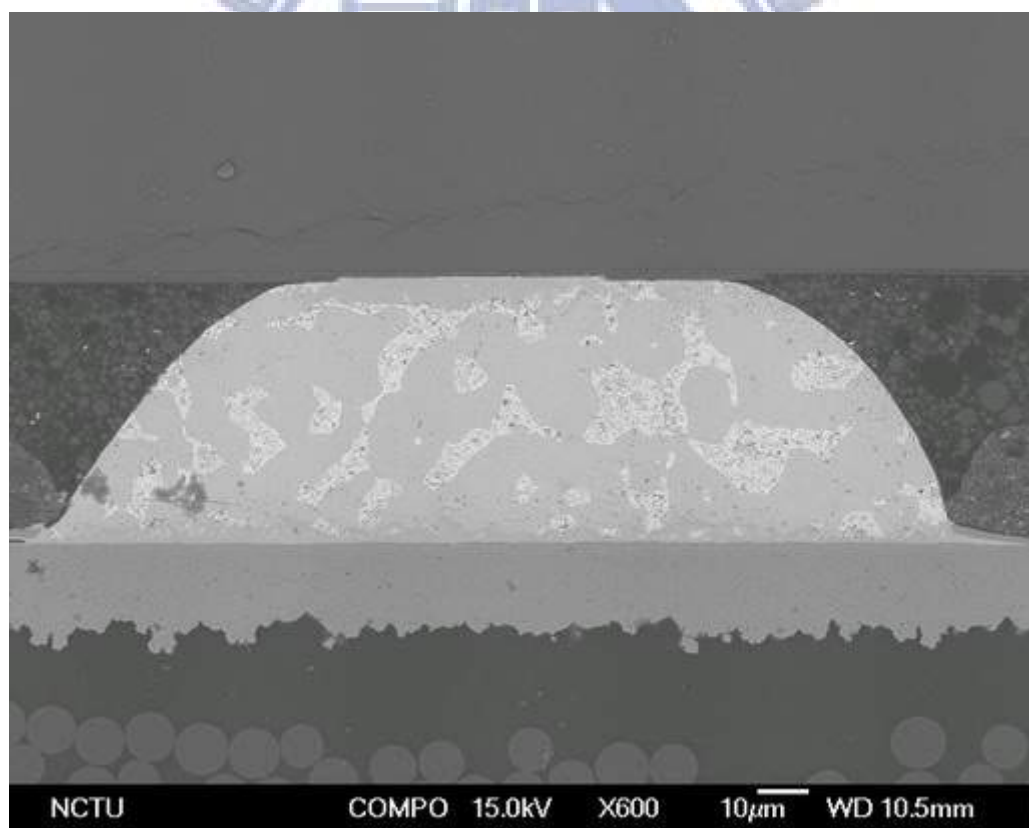
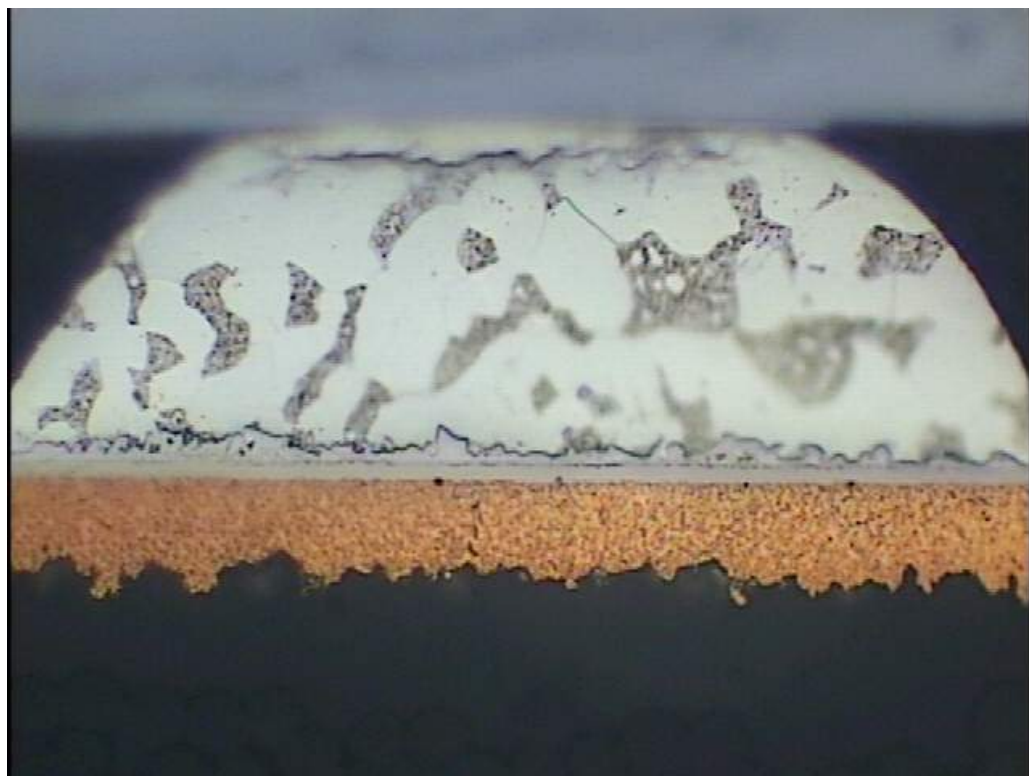


圖 4-26 SnPb 160°C 0.8A 電阻上升 100%，b4 剖面圖。

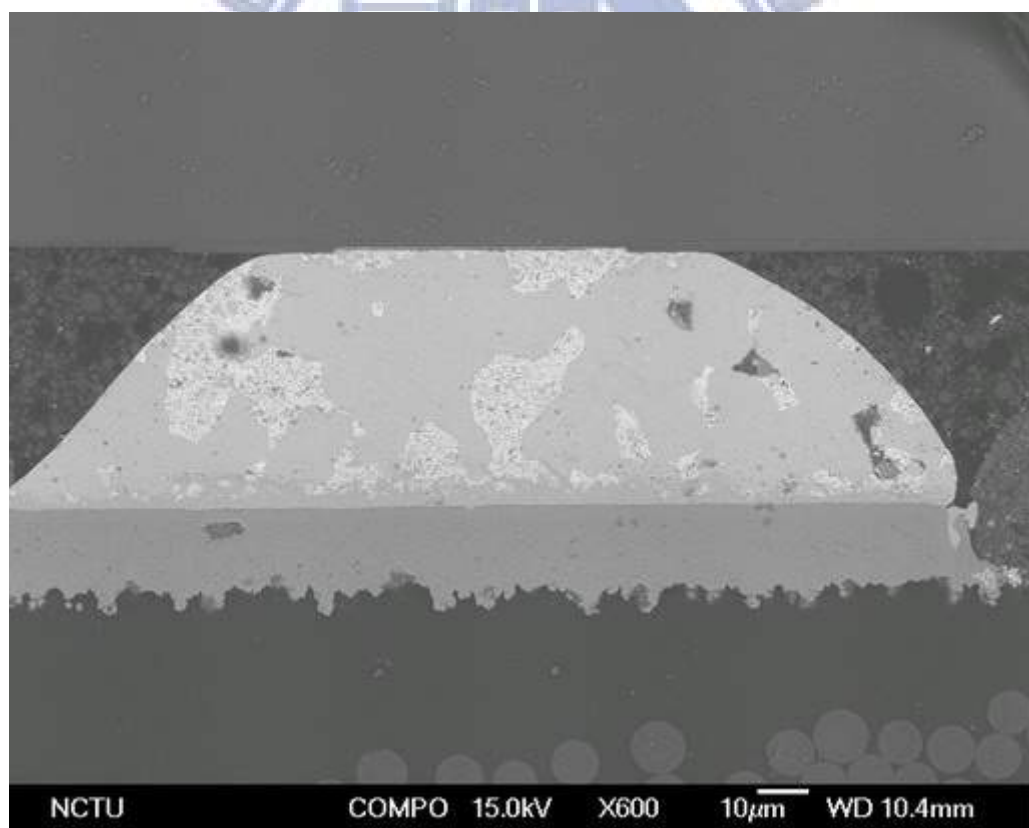
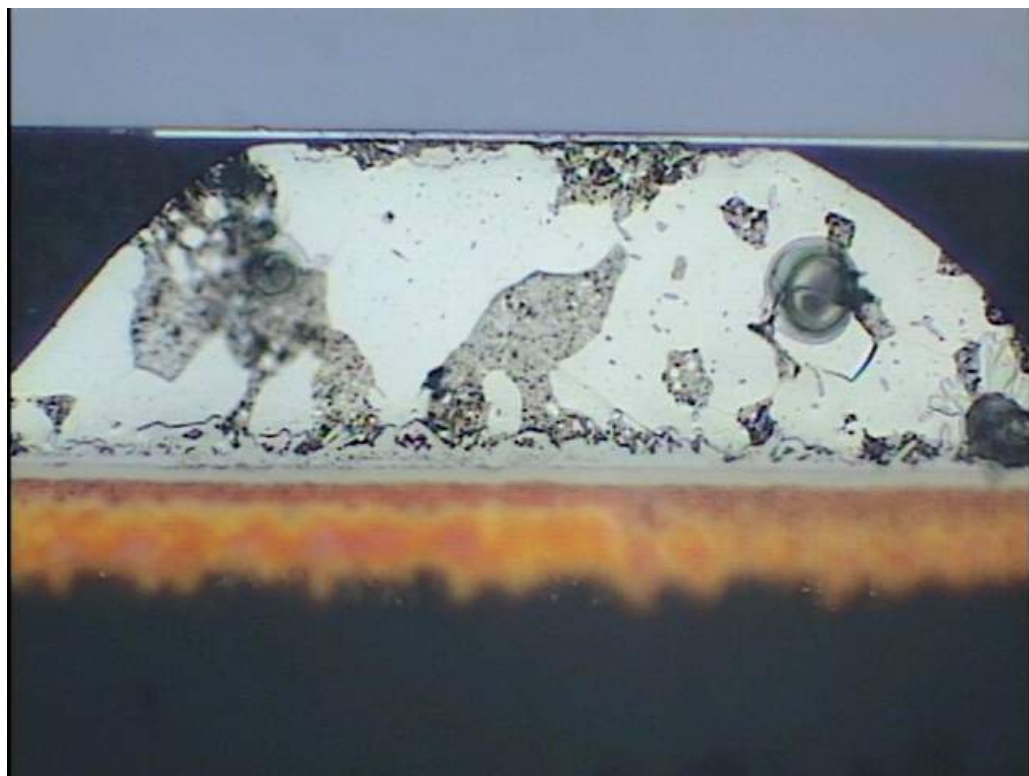


圖 4-27 SnPb 160°C 0.8A 電阻上升 500%， b1 剖面圖。

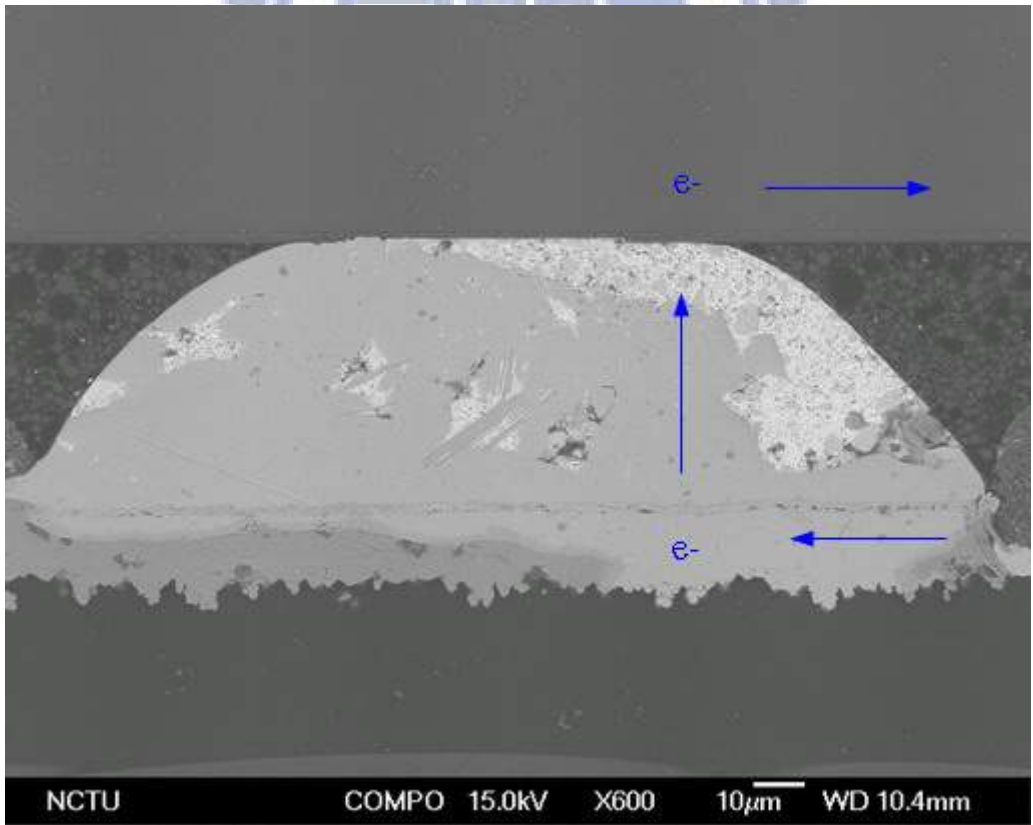
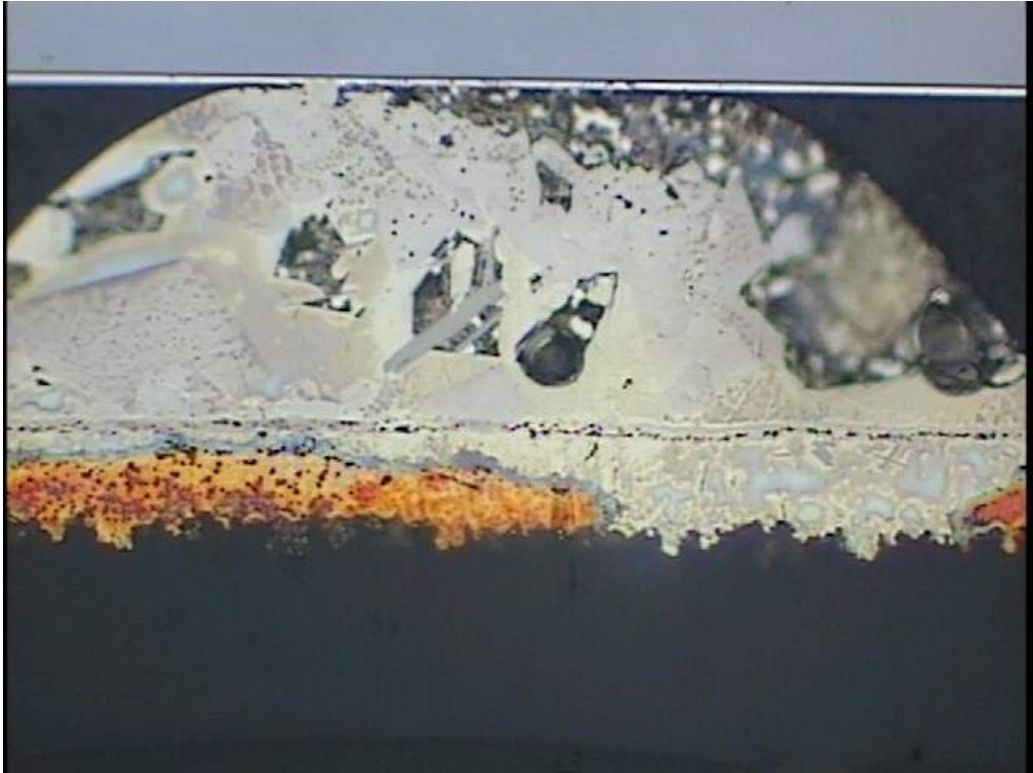


圖 4-28 SnPb 160°C 0.8A 電阻上升 500%， b2 剖面圖。

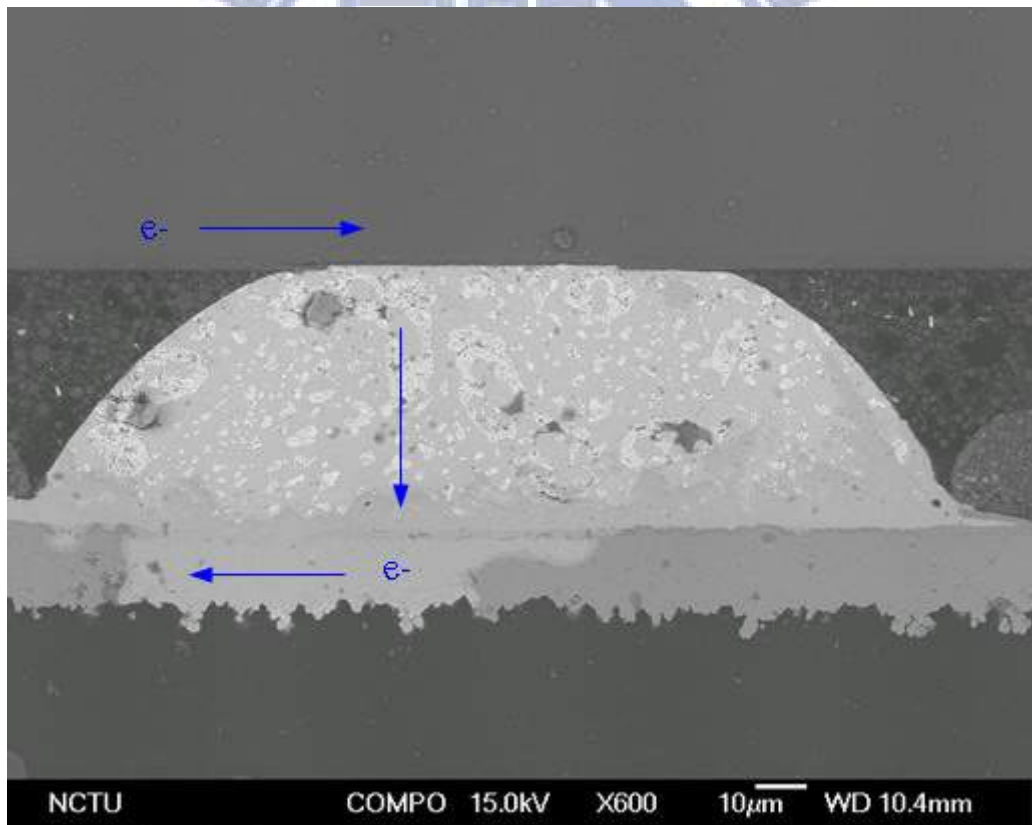
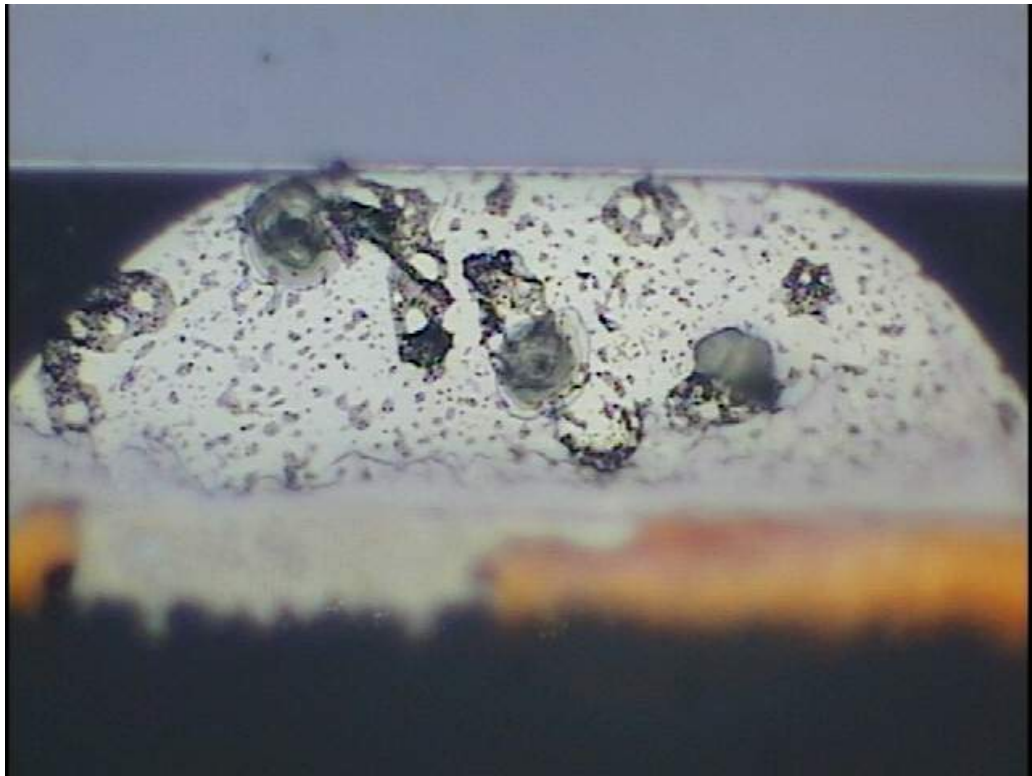


圖 4-29 SnPb 160°C 0.8A 電阻上升 500%，b3 剖面圖。



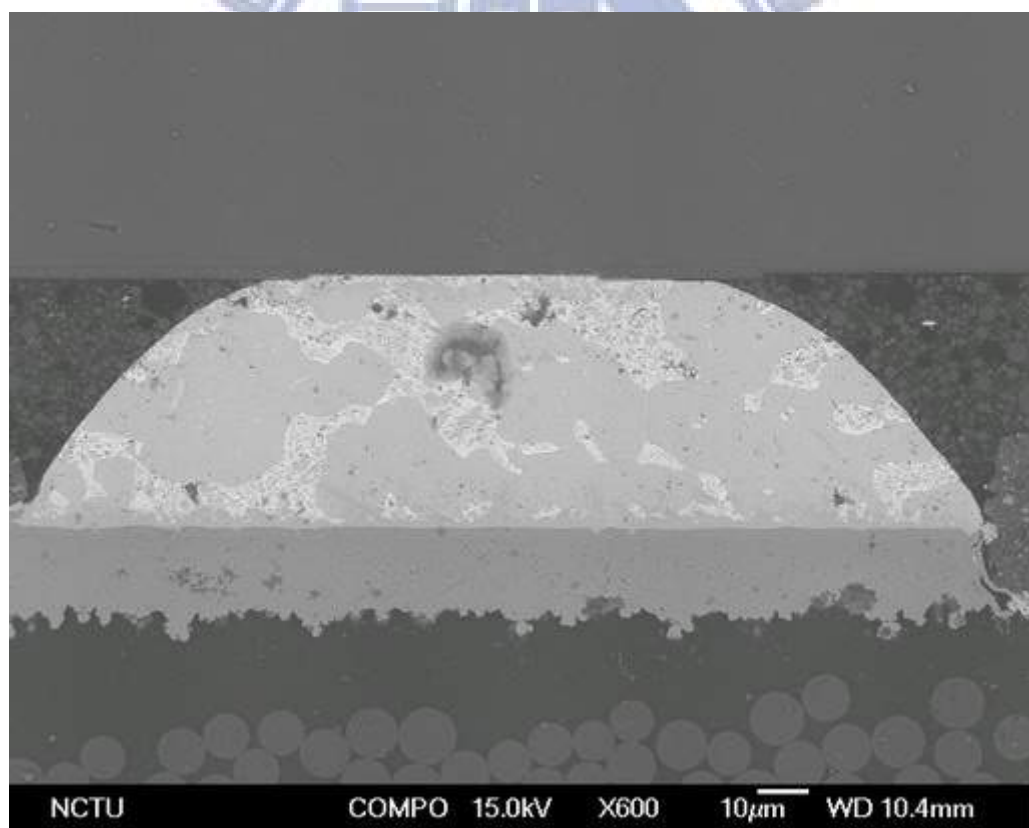
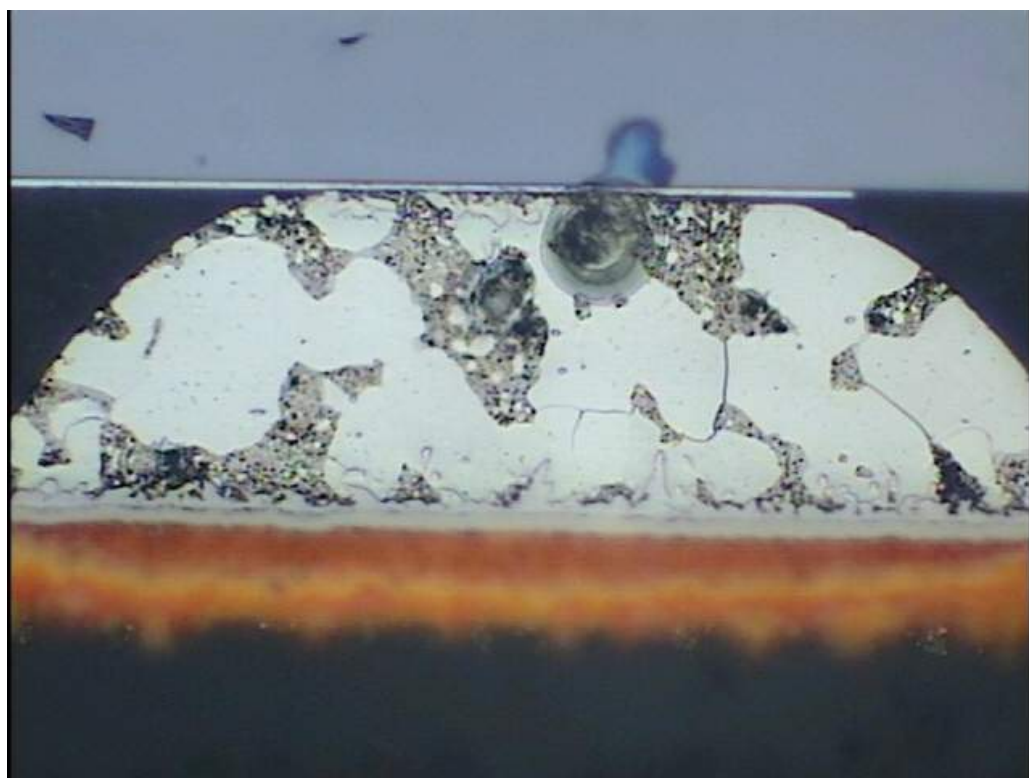


圖 4-30 SnPb 160°C 0.8A 電阻上升 500%，b4 剖面圖。

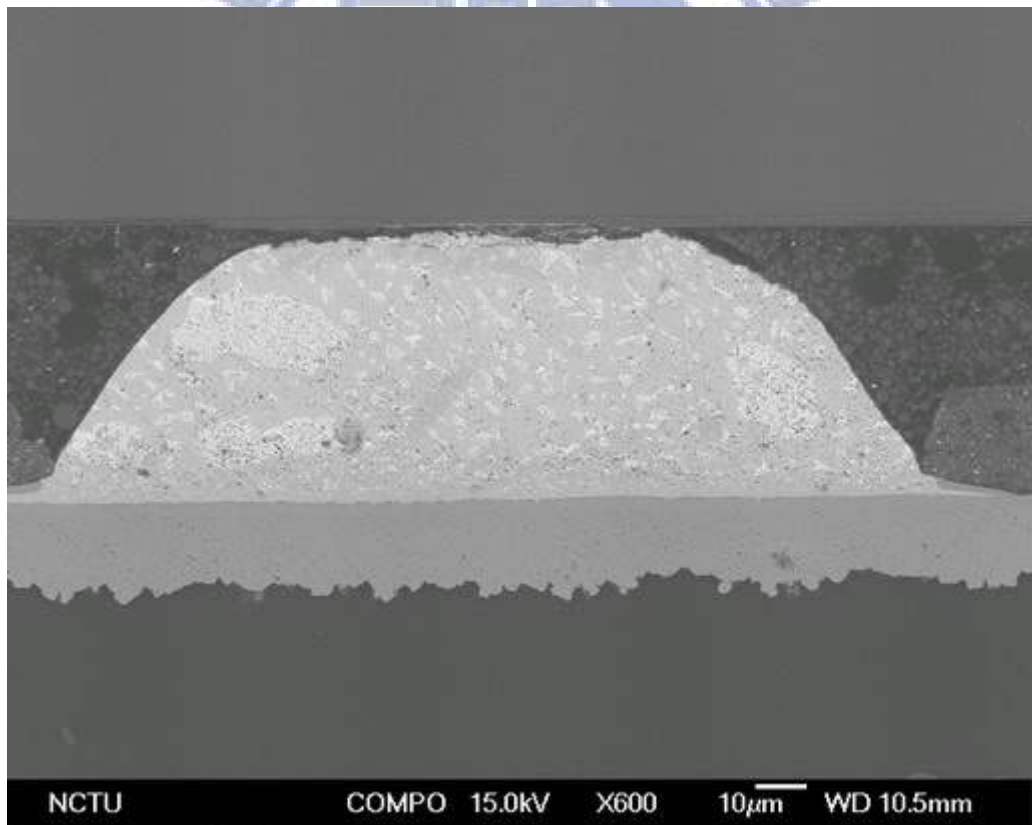
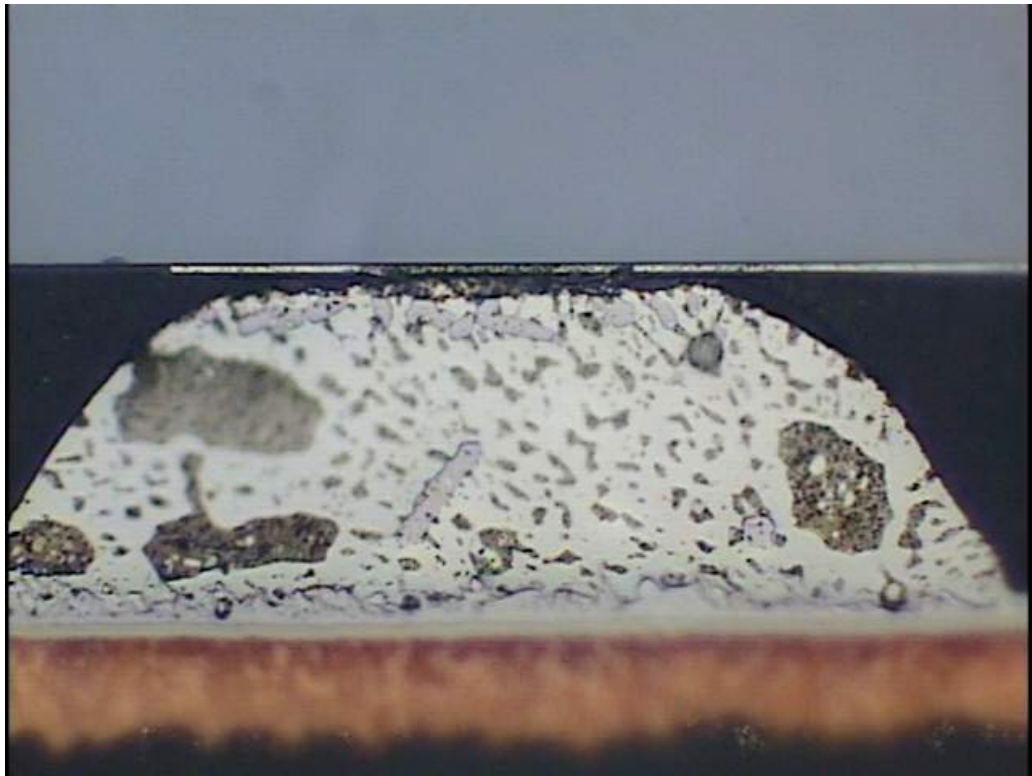


圖 4-31 SnPb 160°C 0.8A 電阻上升 open， b1 剖面圖。

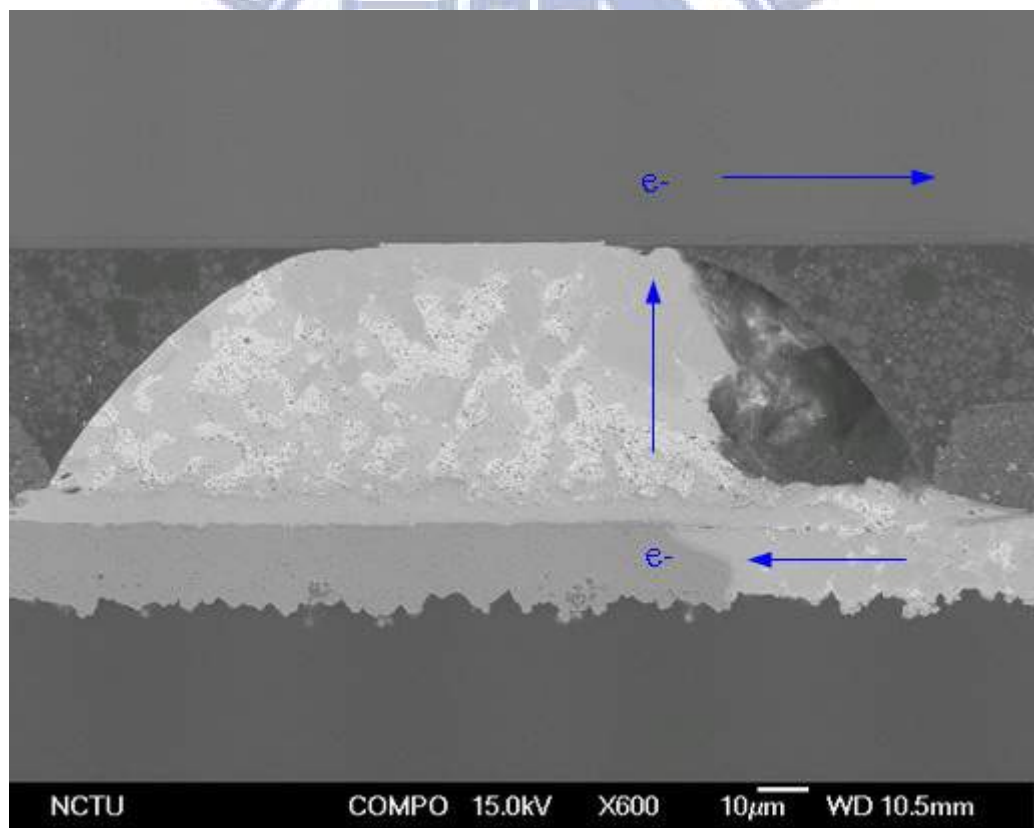
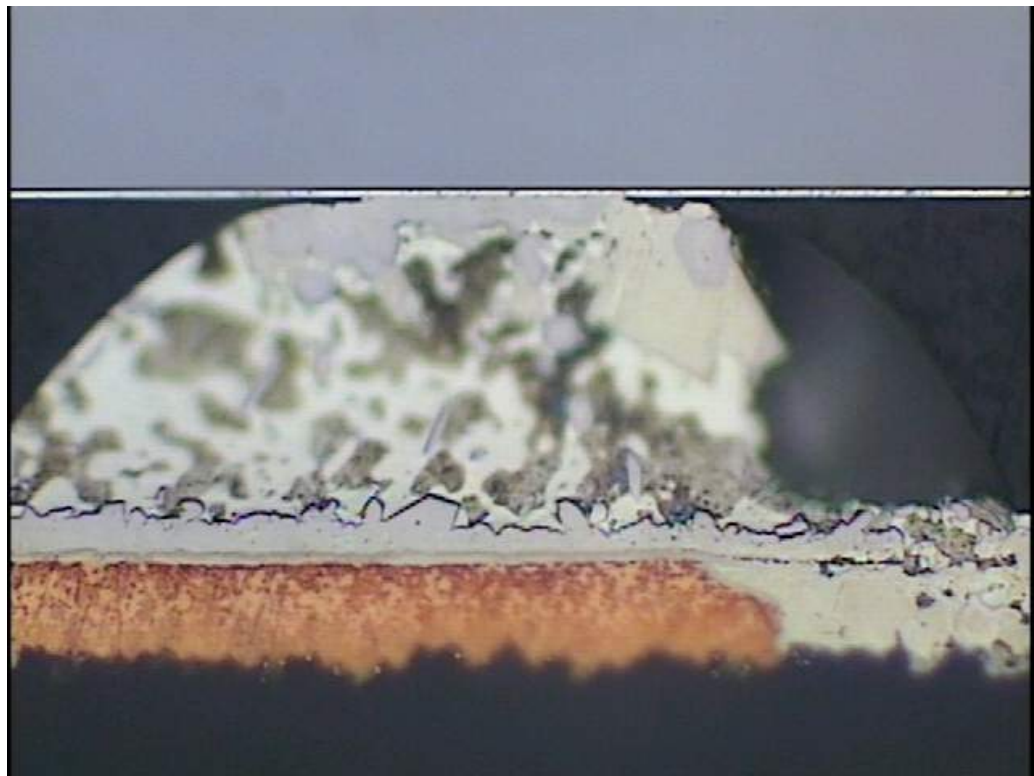


圖 4-32 SnPb 160°C 0.8A 電阻上升 open， b2 剖面圖。

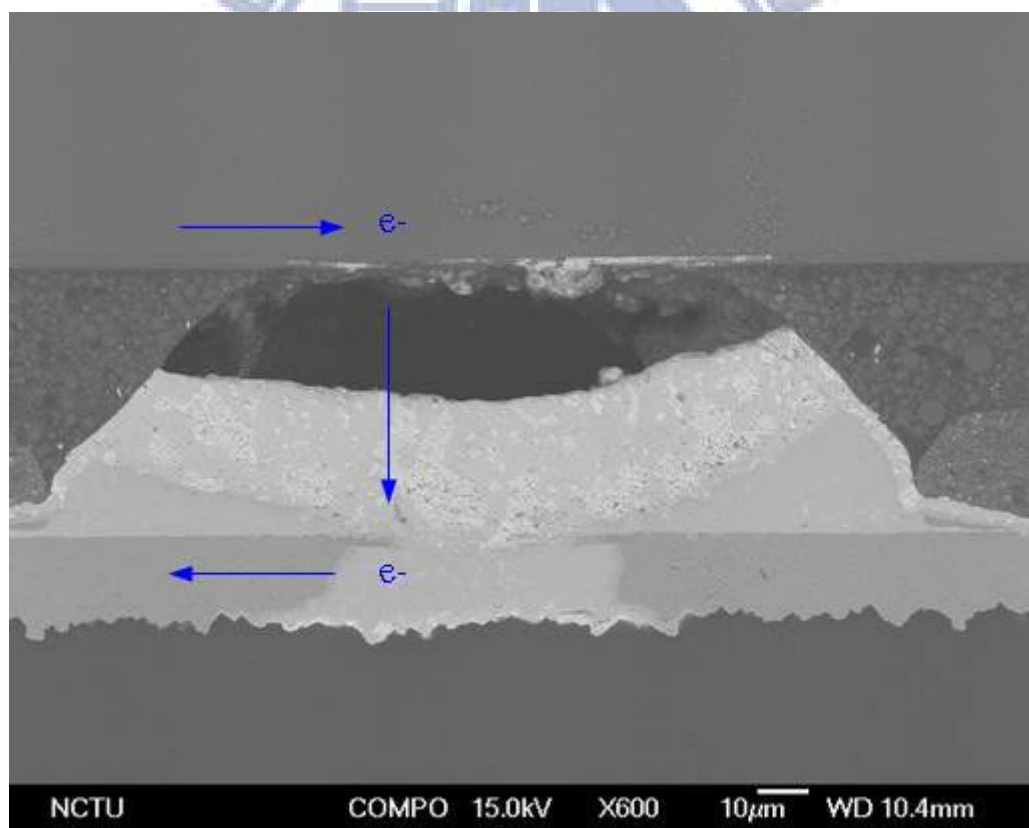
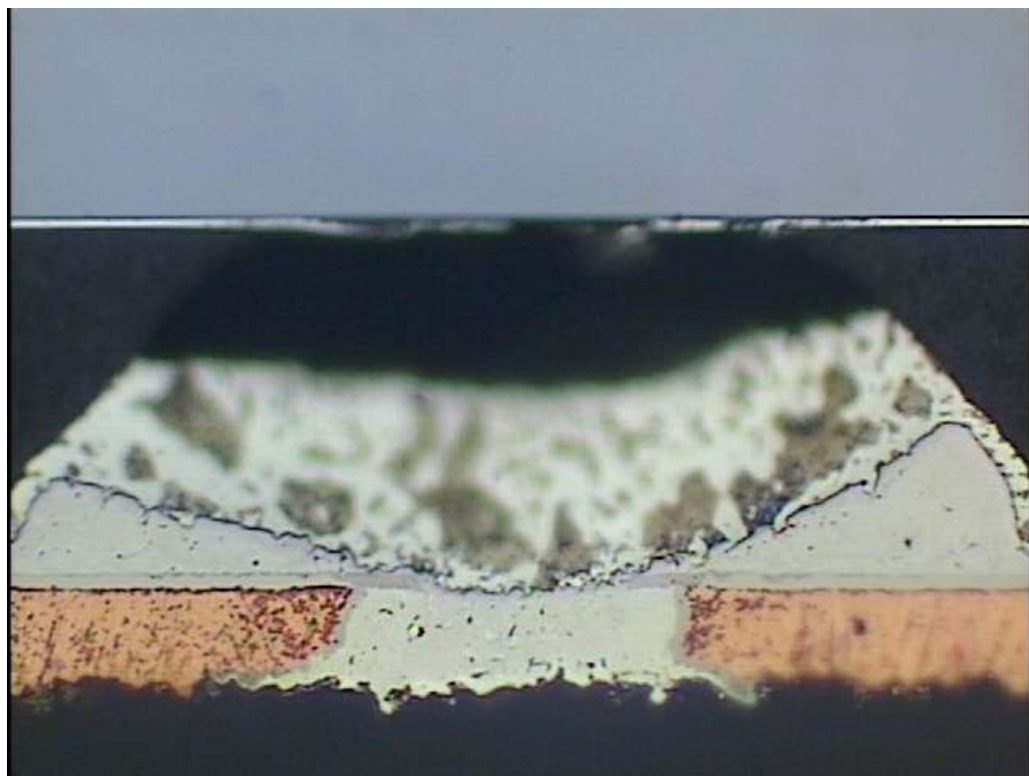


圖 4-33 SnPb 160°C 0.8A 電阻上升 open， b3 剖面圖。

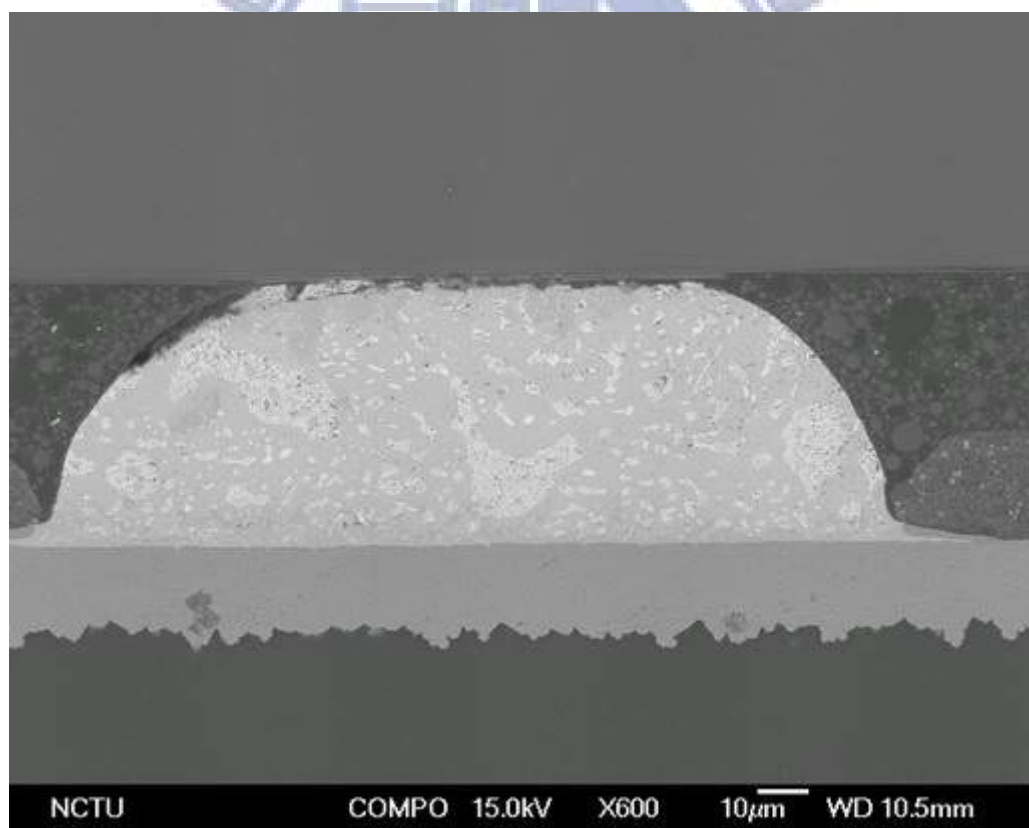
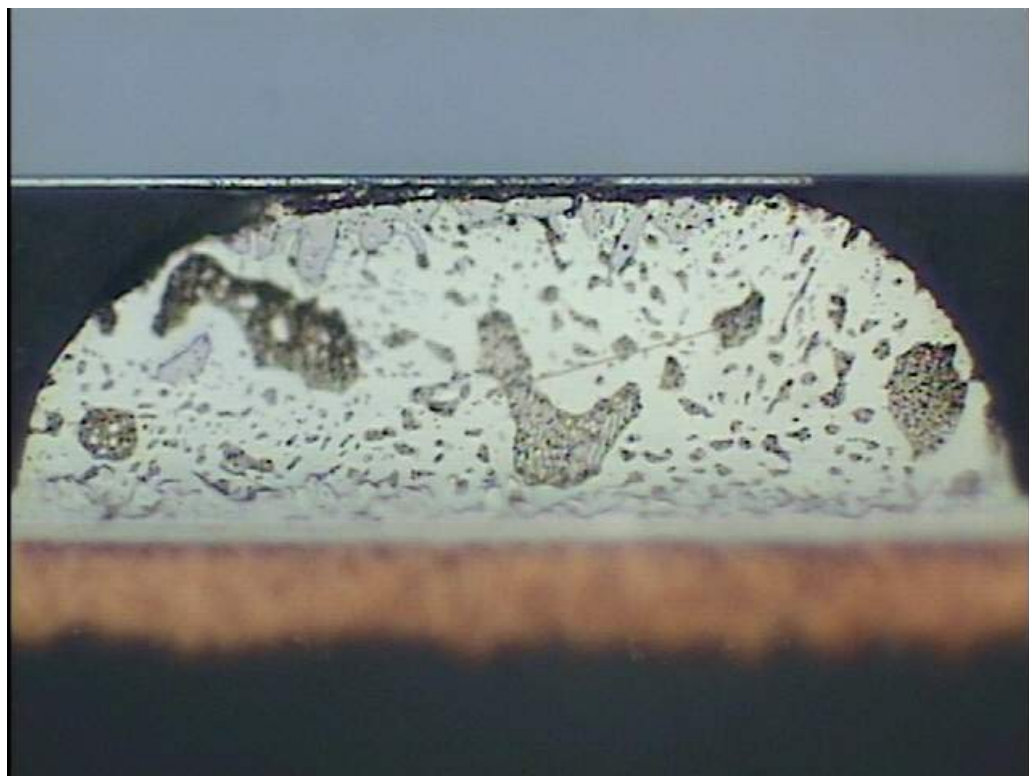


圖 4-34 SnPb 160°C 0.8A 電阻上升 open， b4 剖面圖。

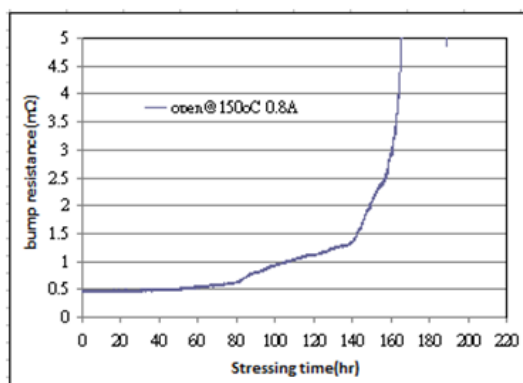
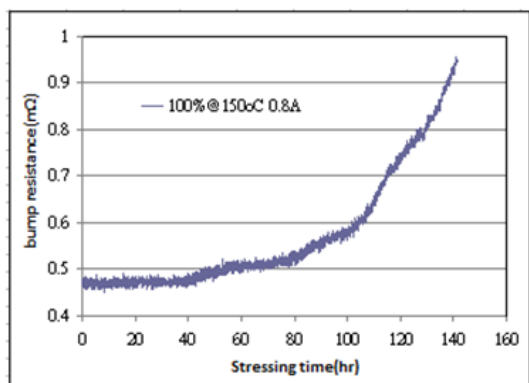
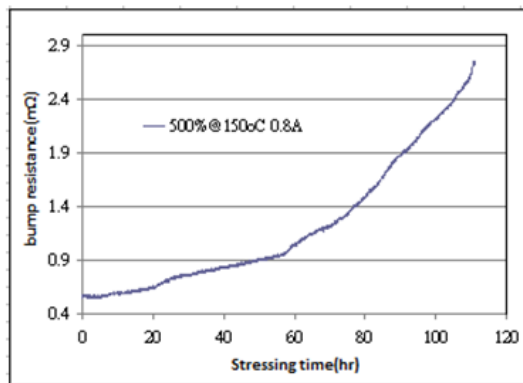
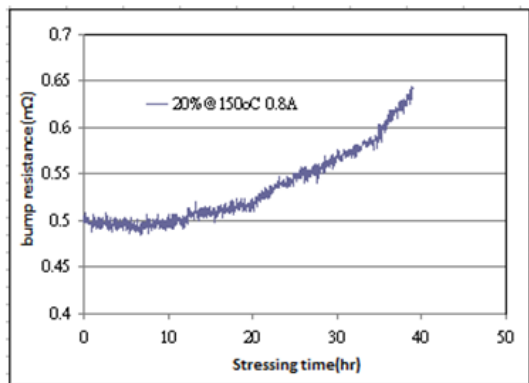


圖 4-35 SnPb 150°C b3 電阻上升曲線。

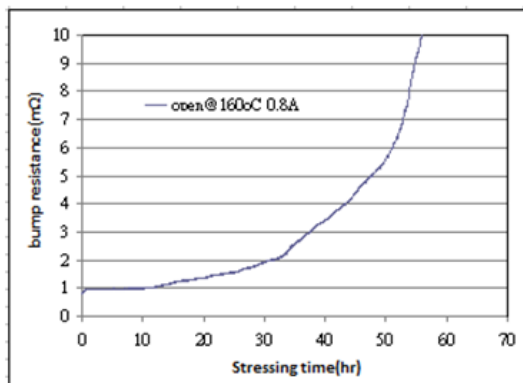
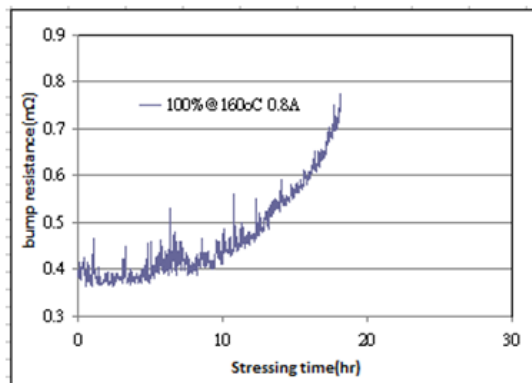
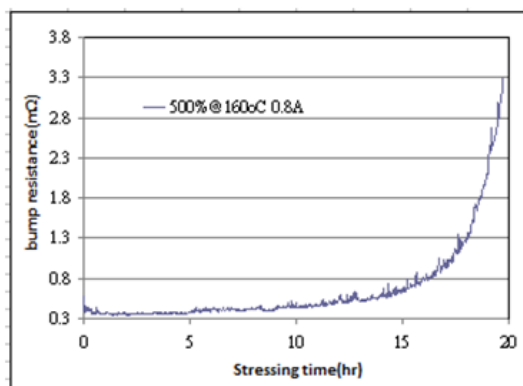
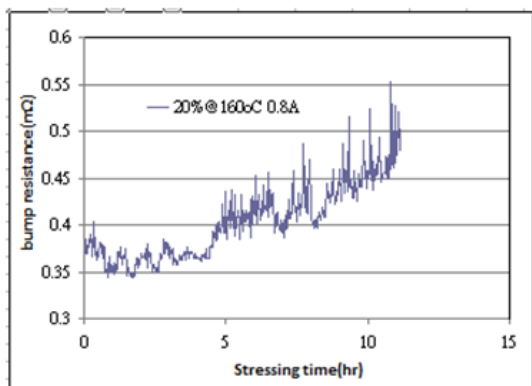


圖 4-36 SnPb 160°C b3 電阻上升曲線。

	EM (Pb)	TM (Pb)	EM (Sn)	TM (Sn)
b2	向上	向下	向上	向上
b3	向下	向下	向下	向上

表 4-1 b2、b3 鉛錫內部電遷移與熱遷移作用力方向

	20%	100%	500%	Open
150 °C	40hr	141hr	111hr	200hr
160 °C	11hr	18hr	19hr	65hr

表 4-2 阻值上升條件與實驗時間數據關係表



## 第5章 參考文獻

- [1] Donald P. Seraphim, Ronald C. Lasky, and Che-Yu Li. Principles of electronic packaging. McGraw-Hill, (1989)
- [2] John H. Lau. Flip chip technology. Mcgraw-Hill, (1995).
- [3] University of Oslo, Electronics Components, Packaging and Production, <http://www.fys.uio.no/studier/kurs/fys4260/chap2.html> (2010).
- [4] V. B. Fiks, Soviet Physics - Solid State, Vol. 1, pp. 14-28, (1959)
- [5] C. Lea: "A Scientific Guide to Surface Mount Technology". Electrochemical Publications, (1988).
- [6] A. A. Liu, H. K. Kim, K. N. Tu, and P. A. Totta: Spalling of Cu<sub>6</sub>Sn<sub>5</sub> spheroids in the soldering reaction of eutectic SnPb on Cr/Cu/Au thin film. J. Appl. Phys. 80, 2774-2779, (1996).
- [7] C. Y. Liu, K. N. Tu, T. T. Sheng, C. H. Tung, D. R. Frear, and P. Elenius, "Electron microscopy study of interfacial reaction between eutectic SnPb and Cu/Ni(V)/Al thin film metallization," J. Appl. Phys. 87, 750-754 (2000).
- [8] The International Technology Roadmap for Semiconductors, Semiconductor Industry Association, (1999).
- [9] The International Technology Roadmap for Semiconductors, Semiconductor Industry Association, (2005).
- [10] H. Gan and K. N. Tu, "Polarity effect of electromigration on kinetics of intermetallic compound formation in Pb-free solder V-groove samples," J. Appl. Phys., Vol. 97 (2005), pp. 063514.
- [11] W. J. Choi, E. C. C. Yeh, and K. N. Tu, Mean-time-to failure study of flip chip solder joints on Cu/Ni(V)/Al thin-film under-bump-metallization, JAP, Vol. 94, N. 9, (2003)
- [12] K. N. Tu, J. W. Mayer and L. C. Feldman, "Electronic Thin Film Science", Macmillan, New York, (1992)
- [13] D. Gupta, K. Vierregge, and Gust, Acta Mater., V.47, No.1, pp. 5-12, 1999.
- [14] Q. T. Huynh, C. Y. Liu, C. Chen, and K. N. Tu, J. Appl. Phys. Vol. 89, Issue 8, pp. 4332-4335 (2001).
- [15] Jong-Kai Lin, Jin-Wook Jang, and Jerry White, Characterization of Solder Joint Electromigration for Flip Chip Technology, pp. 816-821, ECTC (2003)
- [16] C. C. Yeh, W. J. Choi, K. N. Tu, P. Elenius, and H. Balkan, Current-crowding-induced electromigration failure in flip chip solder joints, Appl. Phys. Lett. Vol. 80, 580, 2002.



- [17] C. Chen, S. W. Liang, Electromigration issues in lead-free solder joint, *J Mater. Sci.* 18:259-268,2006
- [18] R.A.Johns and D.A. Blackburn, "Grain boundaries and their effect on thermonigration in pure lead at low diffusion temperatures," *Thin Solid Films*, vol. 25, pp. 291-300, (1975).
- [19] W. Roush and J. Jaspal, *Proceedings of the Electron. Compon. 32nd Conference*, San Diego, CA, 1982, p. 342.
- [20] Hua Ye, Cemal Basaran, and Douglas Hopkins, *Appl. phys. Lett.* 82, 7 (2003).
- [21] T. L. Shao, S. W. Liang, T. C. Lin, Chih Chen, *J. Appl. Phys.* 98, 044509, (2005)
- [22] Joule, J.P. *Philosophical Magazine*, Vol. 19, PP. 260; *Scientific Papers* 65 (1841).
- [23] S. H. Chiu, T. L. Shao, Chih Chen, *Appl. Phys. Lett.* 88, 022110, (2006)
- [24] L. Zhang, S. Ou, Joanne Huang, and K. N. Tu, Effect of current crowding on void propagation at the interface between intermetallic compound and solder in flip chip solder joints, *APL*, Vol. 88, 012106, 2006
- [25] Jae-Woong Nah, J. O. Suh, and K. N. Tu, Seung Wook Yoon, Vempati Srinivasa Rao, and Vaidyanathan Kripesh and Fay Hua *J. Appl. Phys.* Vol. 100, Issue 12, 123513 (2006).
- [26] Tsung-Hsien Chiang, Measurement of electromigration activation energy of eutectic SnPb flip-chip solder joints with Cu/Ni and Cu thick-film Under-bump-metallization, 2008