

錫銀覆晶鉚錫中金屬墊層電遷移與熱遷移行為之研究

研究生：楊宗霖

指導教授：陳智博士

游欽宏博士

國立交通大學 工學院半導體材料與製程設備學程

摘要

高接腳密度與縮減封裝體積的優勢下，覆晶封裝成為進階元件的主流封裝形式。但是覆晶封裝中受到鋁導線到鉚錫的結構影響，產生的電子聚集效應與焦耳熱效應所造成的電遷移現象成為影響元件封裝可靠度的關鍵。覆晶封裝廣泛地使用鉛為鉚錫材料，隨著環保意識的重視，歐盟與美國皆陸續通過法令禁止鉛的使用。錫銀合金熔點較高約 220°C ，且其優異的機械性質使其成為無鉛鉚錫的候選材料之一。

本文探討無鉛覆晶錫銀鉚錫接點於 150°C 與 160°C 的溫度下，通電電流 0.8 安培之電遷移行為。破壞模式皆為銅金屬墊層消耗、介金屬成長、孔洞生成、擴大至試片的完全破壞。

Effect of UBM structure on Electromigration and thermomigration behavior in flip chip SnAg solder joints

Student : Zong Lin Yang

Advisor : Dr. Chin Chen

Dr. Chin Horng Yau

Program of Semiconductor Material and Processing Equipment College of
Engineering

National Chiao Tung University

Abstract

Flip-chip technology has become a mainstream trend in advance electronic package because of its capability of higher I/O density and smaller package size. Electromigration phenomenon had become a crucial reliability concern, due to the effect for current crowding and Joule heating effect in the flip-chip solder joints for its unique line-to-bump structure. Pb is widely used to be the solder bump in the flip-chip package. As the awareness of environmental protection is more attentive, European Union and the US already forbade to use the Pb-containing solder bump through the law. The melting point of Sn-Ag alloy is about 220°C, and its good mechanical property makes it become a candidate of Pb free solder bump materials.

In this study, we investigate the electromigration behavior stressed by 0.8A at 150°C and 160°C in the Sn-Ag solder joints. We found that the electromigration failure mode in the solder specimens is the dissolution of copper UBM, the growing of IMC layer, the generation of void and the void extending into the rest of the contact open.

誌謝

首先感謝我的家人，母親、父親與眾姐姐、姊夫們的鼓勵與督促，讓我再次回到校園，補足我求學的遺憾；多年來讓你們操心與掛念，藉著此機會深深地說聲感謝。

這篇論文感謝陳智老師的指導，老師詳細的講解讓我對封裝議題從聽過到瞭解，甚至成為論文題目。另外還有實驗室宗寬學長的協助，阿丸、翔耀學長的提點，以及許多說不出名字卻不吝幫助的學長姐，一併致謝。還有在職期間的夥伴侑錚，感謝你的相伴，若非你的鼓勵與提攜，慵懶個性的我真不知何時畢業。

另外感謝於在職期間任職的兩家公司聯華電子 8C 擴散模組與鉅晶電子模組整合技術處。承蒙各位長官與同仁照顧與體諒，讓我請假無後顧之憂，下班如入無人之境。特別是聯電的澤緯、松山與兩萬，感謝你們的教育與指導，引領我進入半導體的世界，更重要的是給我良好的工作習慣。

最後感謝自己，也惕厲自己，猶如大學畢業時的環島旅行，要保持動力，不放棄、不怠惰，任何問題才會有解決時候。

目錄

摘要	i
Abstract	ii
誌謝	iii
目錄	iv
圖目錄	vi
第一章、序論	1
1-1 電子封裝簡介	1
1-1-1 覆晶封裝技術(Flip-chip technology)	4
1-2 無鉛議題	5
1-3 研究動機	7
第二章、文獻回顧	12
2-1 電遷移效應	12
2-2 覆晶鉚錫系統中電流所造成的效應	14
2-3 焦耳熱與 TCR 效應	16
2-4 熱遷移效應	17
第三章、實驗方法與步驟	25
3-1 試片製備	25
3-2 實驗方法	26

3-2-1 凱文結構在本實驗中的應用	26
3-2-2 銲錫電阻變化的量測	27
3-3 試片破壞模式的觀測	28
第四章、結果討論	32
4-1 試片剖面觀察與討論	32
4-1-1 b1 銲錫剖面觀察與討論	32
4-1-2 b2 銲錫（電子流向上）剖面觀察與討論	33
4-1-3 b3 銲錫（電子流向下）剖面觀察與討論	34
4-2 試片電阻上升與破壞模式探討	34
4-3 結論	36
第五章、參考文獻	44



圖目錄

圖 1-1 各封裝層級示意圖	8
圖 1-2 打線接合(wire bonding) SEM影像	9
圖 1-3 捲帶式自動接合(tape automatic bonding) SEM影像	9
圖 1-4 覆晶接合(flip chip bonding)示意圖	10
圖 1-5 C4 製程流程圖	11
圖 1-6 覆晶鉚錫自我對位示意圖	11
圖 2-1 鋁受電子風力與靜電力之晶格位能變化示意圖	19
圖 2-2 電遷移在鋁線上的效應示意圖[5]	19
圖 2-3 電流在轉彎進入電阻相對較小的鋁導線時其電流堆積的情形， 而由圖C顯示電子流推動原子的情形[9]	20
圖 2-4 電流在導線及鉚錫接點之間因為截面積的變化導致的電流集中 效應[10]	21
圖 2-5 由左圖可見，溫度最高點出現在鋁導線，而右圖顯示，經由模 擬可看到熱點出現在電流由鋁導線進入鉚錫處[12]	22
圖 2-6 錫鉛鉚錫在 1.3×10^5 A/cm ² (1A)通電 16 h，無論在電子流向 下或是電子流向上的情況都可以發現孔的產生。[16]	23
圖 2-7 通電 1.0 安培後溫度模擬分佈 (a) 鉚錫內 (b) 由鋁導線到銅	

墊層溫度分佈。[16]	24
表 3-1 各銲錫接點與電子流方向。	27
圖 3-1 銲錫接點剖面示意圖	29
圖 3-2 未通電之銲錫橫截面OM圖	29
圖 3-3 凱文銲錫結構俯視圖	30
圖 3-4 凱文銲錫結構剖面側視圖	30
圖 3-5 銲錫電阻曲線圖	31
圖 3-6 試片研磨方向示意圖	31
圖 4-1 試片初始結構OM剖面圖 (a) 銲錫接近UBM (b) 銲錫接近 Cu Pad 37	37
圖 4-2 各條件b1 銲錫剖面結構	37
圖 4-3 150°C b2 銲錫剖面結構	38
圖 4-4 150°C b3 銲錫剖面結構	39
圖 4-5 160°C b3 銲錫剖面結構	40
圖 4-6 160°C 加熱 120 小時(a)加熱板上加熱 (b) oven上加熱.....	40
圖 4-7 紅外線熱像儀觀察 100°C下, 銲錫平均溫度上升至 112.3°C	41
圖 4-8 銲錫b2 各條件比較	41
圖 4-9 銲錫b3 各條件比較	42
圖 4-10 紅外線熱像儀觀察 100°C下, 電子流由左上方進入銲錫中各區	

塊溫度梯度。 43



第一章、序論

1-1 電子封裝簡介

自從 1958 年 Jack Kilby 和 Robert Noyce 發明第一個積體電路後，人們的生活進入了一個以矽為主的半導體時代。四十多年前，摩爾提出預測半導體成長趨勢的摩爾定律 (Moore's Law)，每十八個月電路的密度會增加一倍，現今的半導體產業仍亦步亦趨地依循著摩爾定律。然而電路變得更加複雜更加快速，矽晶片上的電路密度不斷增加，元件的尺寸越做越小，因應電路設計的不同，電子封裝技術也持續地陸續發展出來。電子封裝主要的目的有以下四項：

1. 電能傳送(power distribution)
2. 訊號傳送(signal distribution)
3. 熱的散失(heat dissipation)
4. 保護支持(Protection and support)

電子封裝依不同的接合過程，分為不同層級(level)的封裝[1]，如圖 1-1 所示。第一層次的構裝(1st Level packaging)，又稱晶圓層次的構裝(chip level packaging)，主要是將晶片與構裝結構組合行成模組(module)的製程，本文所探討的覆晶接合技術即是屬於第一層的部份。第二層次的構裝(2nd level packaging)則是將經第一層次構裝後與其它的電子元件組

合於電路板上，形成電路卡或電路板。如何有效的找到低介電常數的材料與無鉛化的替代物是第一層次構裝最主要的議題；在第二層次的構裝中，最常見的考量是印刷電路板的製作及模組元件與電路板的組裝技術，如插件式技術(pin through hole, PTH)與表面黏著技術(surface mount technology, SMT)。第三層次構裝(3rd level packaging)與第四層次構裝(4th level packaging)，是指將電路板與電路卡組合，形成次系統與系統的製程。

電子構裝第一層次的構裝(chip level packaging)中，晶片與基板間的電路導通方式主要可以分為：打線接合(wire bonding) 圖 1-2、捲帶式自動接合(tape automatic bonding) 圖 1-3 與覆晶接合(flip chip bonding) 圖 1-4。分別簡述如下：

(1) 打線接合：

打線接合是最早亦是目前應用最廣的技術，此技術首先將晶片固定於導線架或基板上，再以細金屬線將晶片上與導線架或基板上的錐墊(pad)相連接。而隨著近年來其他技術的興起，打線接合技術正受到挑戰，但由於打線接合技術之簡易性及便捷性，加上長久以來與之相配合之機具與相關技術皆已十分成熟，因此短期內打線接合技術仍不大會為其他技術所淘汰。

(2) 捲帶式自動接合：

捲帶式自動接合技術首先於 1960 年代由通用電子(General Electric, GE)提出。捲帶式自動接合即是將晶片與高分子捲帶上的金屬電路相連接。而高分子捲帶之材料則以聚亞醯胺(polyimide)為主，捲帶上之金屬層則以銅箔使用最多。捲帶式自動接合具有厚度薄、接腳間距小且能提供高 I/O 腳數等優點，適用於需要重量輕、體積小之 IC 產品上。

(3) 覆晶接合:

覆晶式接合早先 IBM 所使用之 C4 (Controlled Collapse Chip Connection) 封裝技術[2]。即使用陶瓷作為基板，陶瓷導熱性佳，機械性質也較高分子材料優秀，然而製造成本較高，加上組裝過程不易自動化的情形下，現今主流消費級電子產品多採用高分子系列作為封裝材料之基板。

隨著電子產品朝微小化、快速化的發展，封裝技術勢必需面對如下的挑戰：

1. 接腳間距縮小。
2. 接點厚度降低。
3. 散熱不易。

早期的 DIP 以引腳固定基板與晶片，為提高 I/O 數、滿足可靠的散熱，發展出許多新的封裝技術，以達成縮小晶片的體積與提高鉚錫接點數量，

當前發展成熟的 BGA (球狀陣列)。在晶片與 BGA 基板的連接可以金線打線接合的方式。由於效能提升的需求，覆晶(flip-chip)技術再度受到矚目，使得錫錫接點技術層次及接點密度更進一步地提升。隨著電子產品因應可攜式產品的普及以及效能的需求而朝微小化、快速化發展，第一層級封裝技術勢必面對許多挑戰。

1-1-1 覆晶封裝技術(Flip-chip technology)

為了達成縮小晶片體積與提高 I/O 數的目標，目前 IC 業界主流所使用的打線接合(wire bonding)方式，僅可在晶片周圍連接導線，I/O 接點受限於晶片邊緣接點數目的限制及無法對晶片中央部分加以利用，且訊號傳遞路徑過長，封裝尺寸也因外接導線而無法縮小；一旦晶片尺寸開始朝向微小化，打線接合方式將因為晶片邊長縮小而不足以應付需求上日漸增加的 I/O 數需求的情形。覆晶式接合為 IBM 於 1960 年代開發的 C4(controlled collapse chip connect)技術(圖 1-5)。其技術乃於金屬錫墊上生成錫錫(solder bump)，並於基板上生成與錫錫相對應之接點，接著將翻轉之錫錫對準基板上之接點將之接合。其優點如下所述，已被看好為未來極具潛力之封裝方式。

1. 接點數優勢：未來對於 I/O 接點數達到 300 以上的需求時，傳統打線封裝將遭遇到技術上的困難，覆晶封裝的接點數將足以滿足高接點數需求。

2. 體積優勢：由於直接將元件與基板作大面積連結，可省下傳統打線封裝所需要的額外導線空間，對於縮小元件總體積有明顯優勢。
3. 低訊號遲滯性：直接與基板連接，連結長度變短、大幅縮短訊號傳遞的長度，使得電阻下降，訊號遲滯減緩，尤其適合用於高頻元件製作。
4. 散熱能力：晶片背面直接裸露，導熱路徑較短，加上體積較小，間接造成外側封膠較薄，有助於晶片整體的散熱能力。
5. 自我對位能力(self-alignment)：由於表面張力效應，迴錫(reflow)過程中的熔融錫會自動接合於基板端的金屬錫墊(pad)如圖 1-6，所以可以此原理來對接點自動對位。

但由於覆晶式接合在可靠度上議題上仍有許多有待解決的問題，如熱應力、冶金反應、電遷移、熱遷移等，且隨著錫錫接點的縮小，IC 功率的增加，電遷移將會是個重要的議題，也是本篇研究所要探討的主題。

1-2 無鉛議題

長久以來，錫錫中所用到的錫料都是以錫鉛系合金，如高鉛-共晶錫鉛之複合錫錫(composite solder)、或共晶錫鉛(eutectic SnPb)為主，因為含鉛錫錫具有以下優點：

- 一、鉛擁有良好的延展性可增加錫錫對機械應力的抵抗能力。
- 二、鉛可使錫錫有效降低表面能跟介面能，使錫錫更易於接合。
- 三、共晶錫鉛其熔點約為 183°C ，較低的迴錫點(約 220°C)也較現今使用

之主流無鉛鉛錫之迴錫點低約 40°C，使得製程上的難度降低。

四、 95Pb5Sn 高鉛鉛錫的液相點與固相點溫差大約為 10°C，可被當為高溫鉛錫使用。

因此，具有低熔點的共晶錫鉛焊錫和具有高熔點的高鉛鉛錫可被運用為複合鉛錫以避免高鉛鉛錫的高溫製程過程中對底部的塑膠基板造成傷害。然而鉛具有毒性，近年來開始有禁用或限制使用的呼聲。歐盟議會通過了 RoHS (Restriction of Hazardous Materials) 法案[3]，亦即限用有害物質法案，規定成員國必須在 2006 年 7 月一日以後禁止大部分鉛的使用。日本的 JEIDA (Japanese Electronic Industry Development Association) 也訂定出無鉛鉛錫料的使用時程[4]，規定有鉛鉛錫料在 2005 年以後只能用在部分特例上，許多公司更是提早引入無鉛相關製程應用於其消費及電子產品。之後許多國家相繼跟進禁鉛的計畫，也宣告無鉛鉛錫時代的來臨。除了環境污染的因素外，含鉛鉛錫中含有少量的 Pb^{210} 同位素，會衰退成 Pb^{206} 進而轉變成 Bi 和放射出 α 粒子，這些粒子通過矽晶片時會產生電子電洞對，這些電子電洞再結合前，會對元件中電容造成電荷累積現象使元件產生 "soft error" 而失效。因此近年來無鉛鉛錫開發已成為微電子工業相當重要的一項研發工作。在製程方面，無鉛鉛錫選擇須考慮以下幾點：

1. 熔點須低於 260°C，因為目前大多數封裝業所採用基板均為高分子基板，無法承受過高的迴錫(reflow)溫度，故所使用的鉛錫材料其迴錫溫

- 度不能過高。
2. 良好的熱、電和機械性質，在原本在鉛錫材料中可以吸收機械應力的鉛被禁用後，無鉛鉛錫本身所承受的應力問題也成為一重要的課題。
 3. 合理的價格以及容易取得性：由於目標為大量的消費級電子產品，故無鉛鉛錫的成分來源需兼顧原料成本及可得性。
 4. 無毒性與環境污染之虞：成分必須對人體及環境友善。
 5. 易於生產製造。

目前以被提出多種不同合金組成的鉛料，例如 Sn-Cu、Sn-Ag、Sn-Zn、Sn-Ag-Bi、Sn-Ag-Cu 等，而目前最被看好的鉛料，則是以錫銀銅合金為主的無鉛鉛料，無鉛鉛料的開發與研究將會是熱門的議題，更有可能成為決定下一代電子封裝優勢的關鍵。

1-3 研究動機

在覆晶封裝無鉛鉛錫中，主要破壞來源通常為晶片(chip)端的金屬墊層(UBM)消耗或是晶片端鉛錫孔洞生成導致接點破壞，但是因應未來 SOP 製程越來越廣泛被應用，因為在銅墊層和鉛錫本體之間沒有作為阻障層的鎳/金層，可能在之後的使用上造成銅墊層的反應和消耗問題，故此篇研究以銅金屬墊層之錫銀無鉛鉛錫為對象，研究其破壞模式。另外，一般對於鉛錫系統的研究中多以雛菊花環結構(daisy chain structure)作為電阻上升及破壞模式之間相互關係的依據；本實驗利用四點量測系統，將量測的範圍

縮小至電流通過的兩顆鉛錫及連接的鋁導線作為電阻上升依據，以期能更加精確的定義電阻上升時間及破壞模式的關聯性。

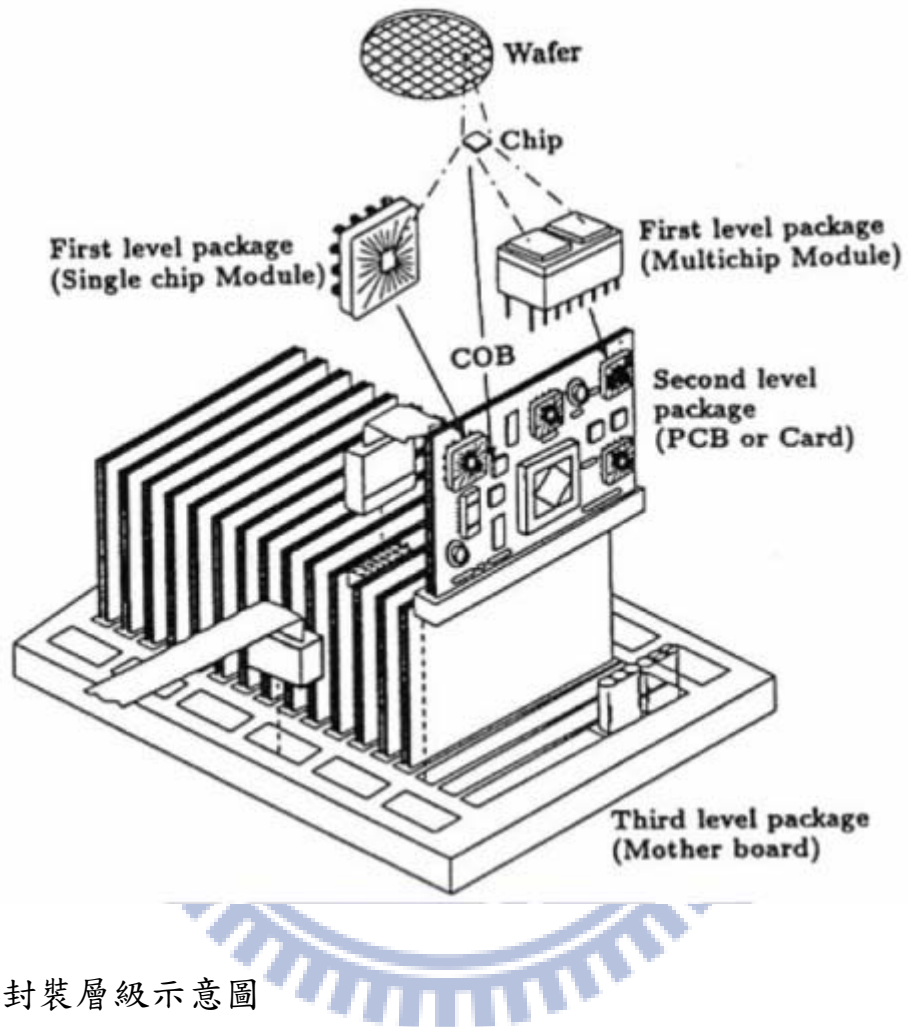


圖 1-1 各封裝層級示意圖

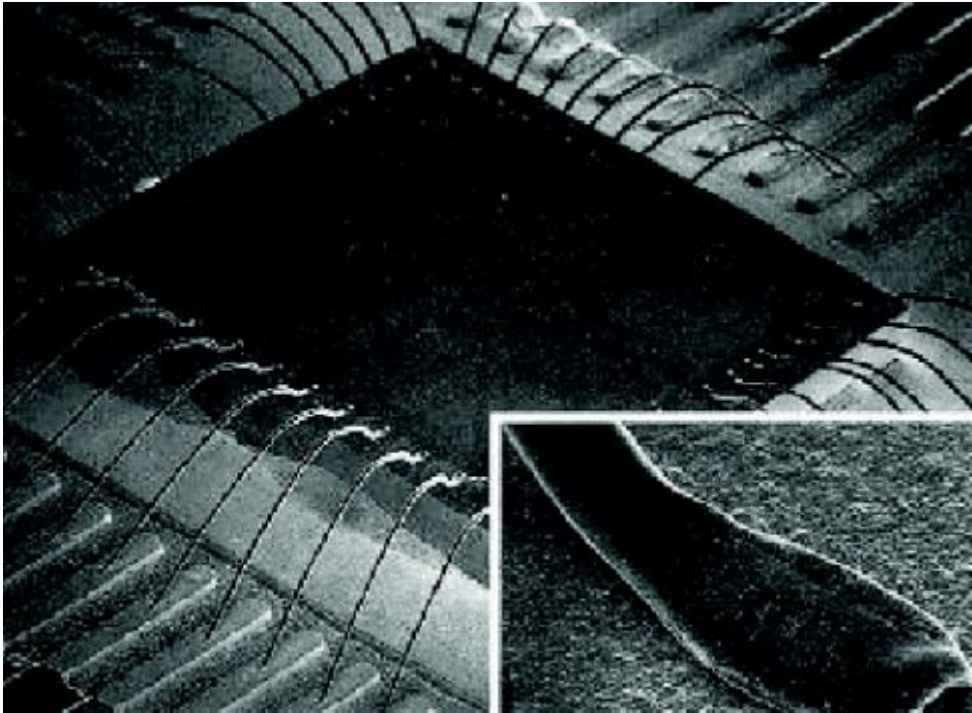


圖 1-2 打線接合(wire bonding) SEM 影像

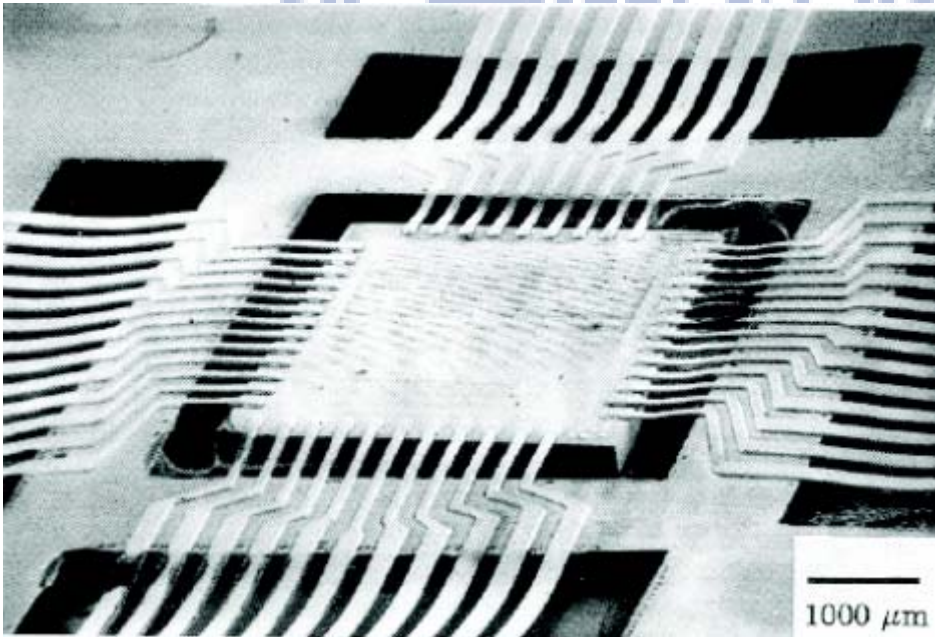


圖 1-3 捲帶式自動接合(tape automatic bonding) SEM 影像

**(a) Chip → Ceramic → polymer
module board**

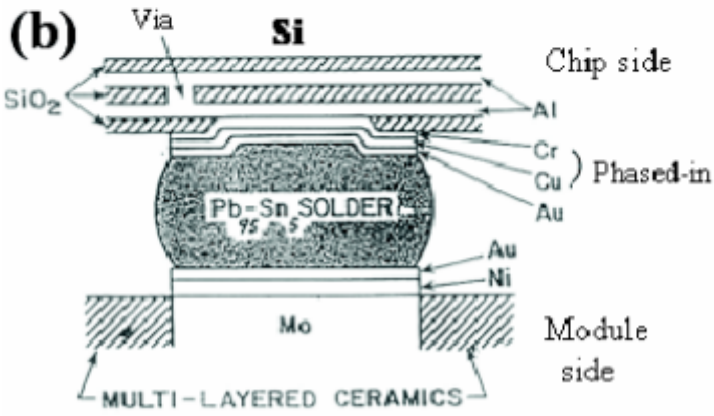
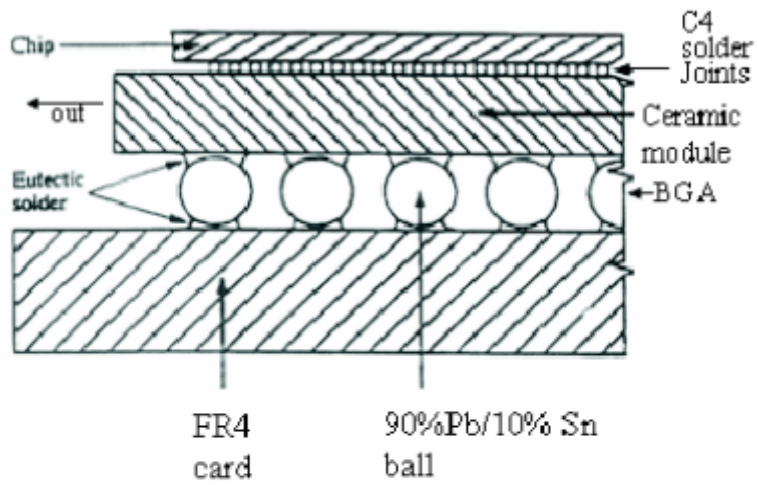


圖 1-4 覆晶接合(flip chip bonding)示意圖

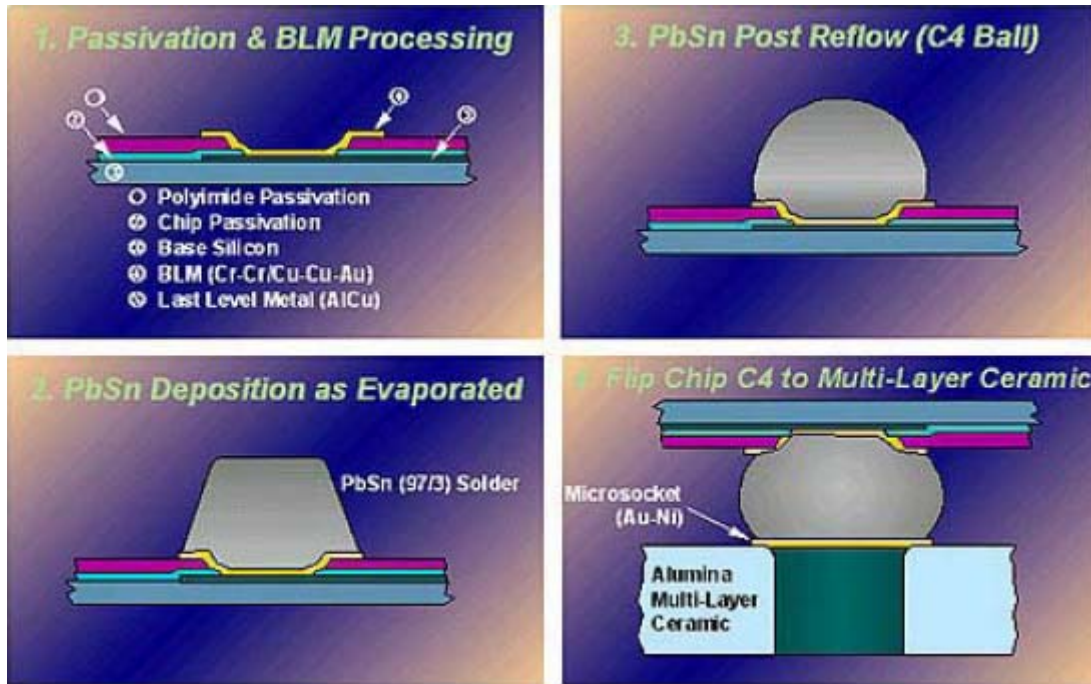


圖 1-5 C4 製程流程圖

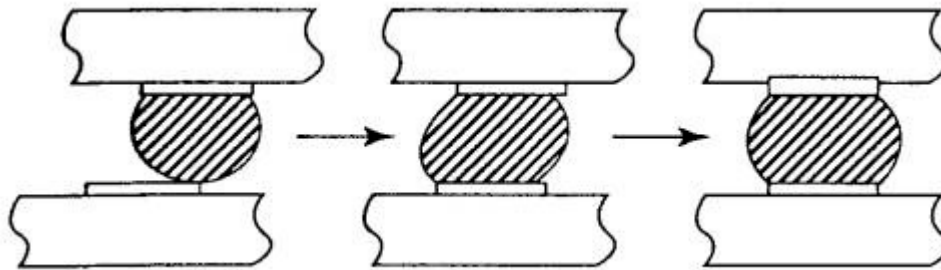


圖 1-6 覆晶鉍錫自我對位示意圖

第二章、文獻回顧

由於本研究著重在利用凱文結構 (Kelvin structure) 觀測覆晶錫銀
鍍錫接點空洞的生成行為，故本章將回顧覆晶鍍錫接點受電遷移效應作用
以及各項相關研究。

2-1 電遷移效應

1914 年，Skaupy 提出了電子風力 (electron wind) 的觀念來量化
電子與物質離子衝撞時動量轉移產生的驅動力。而電場靜電力則是單純的
由電場對金屬離子所產生的作用力。電子風力作用的方向與電流方向相
反，而電場靜電力方向則順著電流方向，故兩作用力的方向是相反的，如
圖 2-1 所示。當電子風力對金屬離子的影響又大於電場靜電力，且在高溫
狀態下被活化的金屬離子，在受到電子風力的牽引下，順著電子流方向移
動而留下孔洞。圖 2-2[5] 為鋁導線在施加電流後產生電遷移的情形，這是一
個典型的 Blech 結構，鋁導線因為電遷移的作用，在陰極端形成孔洞的
破壞，而被推動的原子則在陽極端堆積隆起。金屬材料的電遷移，則是由
Ho 與 Kwok[6] 最先提出研究。Seith 與 Wever 也以定位點 (marker) 的運
動，來量測遷移的位移量，此方式後來成為測量電遷移的標準方式。而覆
晶鍍錫系統中由電流所引起的電遷移現象則由 K. N. Tu 在 JAP.
2003[7] 的論文中系統地加以介紹。

電遷移是以庫倫電場作用力(electrostatic field force)與電子風力(electron wind force)組合而成的驅動力造成質量的移動；當電流流經試片時電子流可視為一種對於原子擴散的摩擦力，這個摩擦力通常稱為電子風力。當我們對一個金屬薄膜通一個大的電流時，電子會撞擊在陰極端的原子會使得電子和擴散原子之間有動量交換，這個現象主要由兩個不同的交互作用力造成的，一為庫倫靜電力，即為電場對原子的作用力，二為電子風力，即電子在移動中對原子因碰撞所引起的動量轉換。在純金屬中的原子擴散流(atomic diffusion flux) 可以下列式子表示[8]:

$$J = -D \frac{\partial C}{\partial X} + \sum_i C M_i F_i \quad (2-1)$$

J 表示為原子擴散通量

D 表示擴散係數

C 表示原子濃度

M 表示原子遷移率

F 表示驅動力

等式後第一項為化學能梯度，對純金屬而言，原子間沒有化學能梯度的存在，因此可視為零。第二項為電子風力與電場靜電力交互作用的總合，因為電子風力遠大於電場靜電力，故可將電場靜電力忽略。而電子風力有可表示為：

$$F_{wd} = EZ^*e \quad (2-2)$$

F_{wd} 表示電子風力

E 表示電場

Z^* 表示有效電遷移價數

e 表示電子電荷

Z^* 愈大表示該原子在電子流作用下愈容易發生電遷移。結合 2.1 式及 2.2 式可得：

$$J = CMF_{wd} \quad (2-3)$$

2.3 式經由 Nernst-Einstein 方程式轉換可改寫成：

$$J = C \frac{D}{KT} Z^* eE \quad (2-4)$$

K 表示波茲曼常數

T 表示絕對溫度

即為電遷移的原子通量(atomic flux)。

2-2 覆晶鉍錫系統中電流所造成的效應

儘管金屬線中的電遷移效應已為前人所發現，早期大家將注意力擺在導線上的電遷移現象，其中以 Paul S. Ho 和 Thomas Kwok[6]等人最早提

出研究。後來隨著覆晶封裝技術的研發，高效能、高反應速率的需求，鉛錫承載的電流愈來愈大，人們開始注意到鉛錫內的電遷移現象，其中 K. N. Tu 為這研究領域最具代表的人物。

覆晶鉛錫系統的幾何結構由平板狀導線加上鉛錫所組成，並非一般單純的線狀或塊狀，加上其組成成分複雜；金屬導線、金屬墊層及鉛錫本身的材料均不相同都會影響到鉛錫系統受電遷移的影響。由於鉛錫和導線之間的幾何形狀的改變，造成電流在流經其中時必須轉彎以流入下一個部分；在導線中的電流可通行截面積與鉛錫中的截面積的差異不但造成電流密度的差異，也造成電流在流經導線及凸塊時會出現集中於交界點的情形，由 K. N. Tu 等人發表於 APL. 2000[9]的研究，以 Blech 結構的電流模擬分布研究指出，電流一旦轉彎就會造成電流集中效應(current crowding effect)，如圖 2-3 所示。造成電流在該局部地區的電流密度上升，此電流密度的上升導致電流密度梯度出現，會驅使該處多餘的空孔往電流密度低的地方流動，進而導致孔洞(void) 出現而對鉛錫的壽命造成影響。而由 T.L. Shoi 於 JAP. 2005 使用有限元素分析法對鉛錫系統的電流密度模擬中[10](如圖 2-4)，也可以看出在導線進入鉛錫及鉛錫進入導線時因為截面積的劇烈改變而造成的電流集中作用。此外，由於電流的堆積也會造成焦耳熱效應的發生，使得該處的局部溫度上升，更容易使鉛錫破壞。

2-3 焦耳熱與 TCR 效應

當電子流經金屬材料時，由於電子和金屬原子之間的碰撞而造成動能的散失，此損失的能量會經由熱能的方式散出而造成錒錫接點在電流通過時溫度的上升，稱之為焦耳熱 (Joule heating)。1841 年 James Prescott Joule 發現了焦耳熱效應[11]。經由實驗結果發現，通入電流 I 於金屬導線中會產生相當於電流二次方與電阻之乘積的熱能，故焦耳熱能公式可表示為：

$$P = I^2 R = \frac{V^2}{R} \quad (2-5)$$

P 表示電功率

I 表示電流

R 表示電阻

V 表示電位差

在 Chiu 等人發表於 APL. 2006 的文獻當中，利用紅外線影像儀 (Infrared, IR) 對通電的覆晶錒錫結構觀測，驗證鋁導線為發熱源，以及錒錫內部熱點 (hot spot) 的存在，此熱點出現在鋁導線進入錒錫處 [12]，如圖 2-5 所示。當原子處於高於絕對零度的溫度下，原子會在其晶格位置上不斷的震動，溫度越高其震動幅度越大，造成電子通過時的阻礙

上升，即電阻會上升，此結果稱為 TCR (Temperature Coefficient of Resistance)。

$$TCR = \left[\frac{R_1 - R_2}{R_0} \right] \left[\frac{1}{T_1 - T_0} \right] \quad (2-6)$$

T_0 表示參考溫度

T_1 表示真實溫度

R_0 表示 T_0 下的電阻

R_1 表示 T_1 下的電阻

2-4 熱遷移效應

熱遷移效應是溫度梯度導致原子運動的現象[13], [14]。隨著元件密度不斷增加的情況下，覆晶錒錫所需承受的電流量可能會由 0.2 安培增加至 0.4 安培；另一方面接腳寬度的微縮，錒錫的大小也不斷的微縮。焦耳熱效應的影響在這樣的趨勢下將會逐漸變成重要的課題。Roush 在 1982 年發現當溫度梯度大於 $1200^{\circ}\text{C}/\text{cm}$ 時 Pb-In 錒錫便會有熱遷移效應產生，而且鉛是由熱端往冷端移動的現象[15]。2003 年 Ye 將錒鉛錒錫在電流密度 $1.3 \times 10^5 \text{A}/\text{cm}^2$ (1A) 下通電 16 小時發現無論在電子流向上或是電子流向下的情況下都可以發現孔洞的生成，如圖 2-6，同時 Ye 也進行模擬發現對錒鉛錒錫通電 1 安培厚溫度梯度高達 $1500^{\circ}\text{C}/\text{cm}$ ，如圖 2-7 [16]。然而目前仍

無方法可以直接量測到鉛錫焦耳效應的情況，因為鉛錫與環境的關係無法準確的量測到。



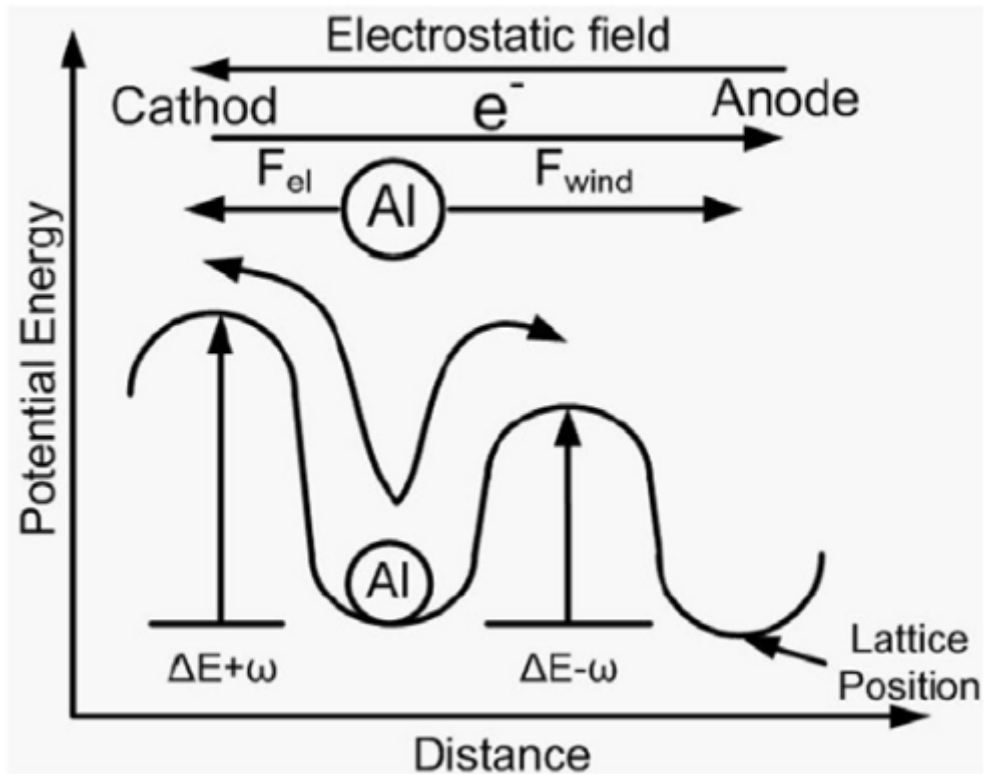


圖 2-1 鋁受電子風力與靜電力之晶格位能變化示意圖

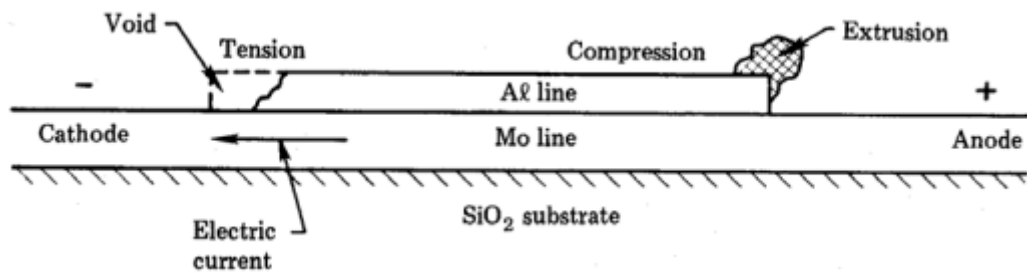


圖 2-2 電遷移在鋁線上的效應示意圖[5]

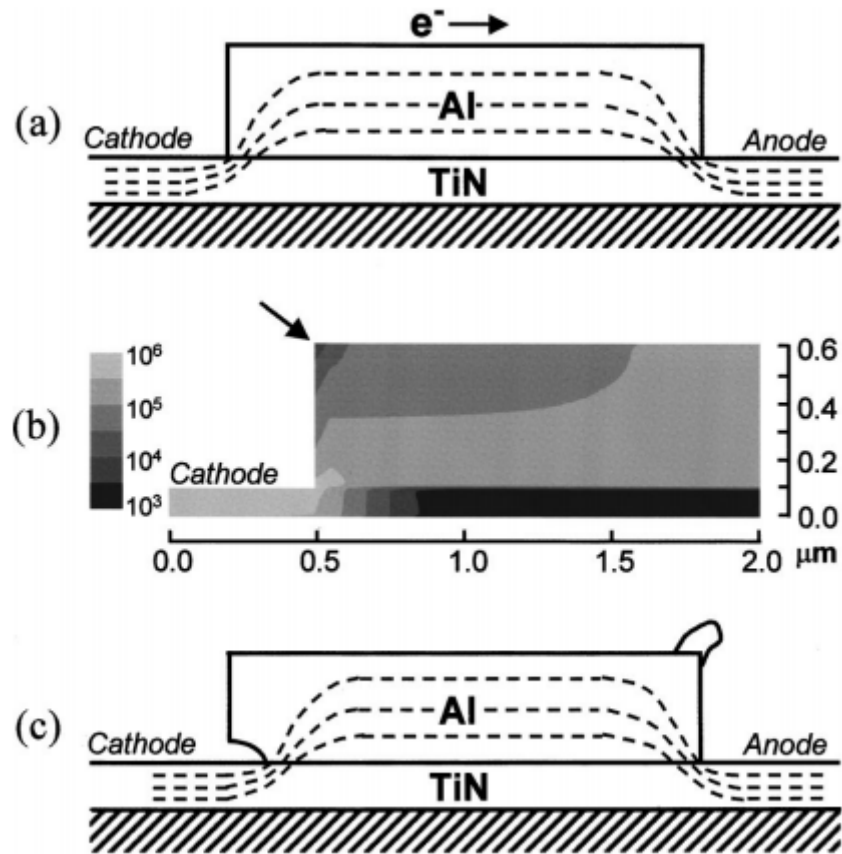


圖 2-3 電流在轉彎進入電阻相對較小的鋁導線時其電流堆積的情形，而由圖 C 顯示電子流推動原子的情形[9]

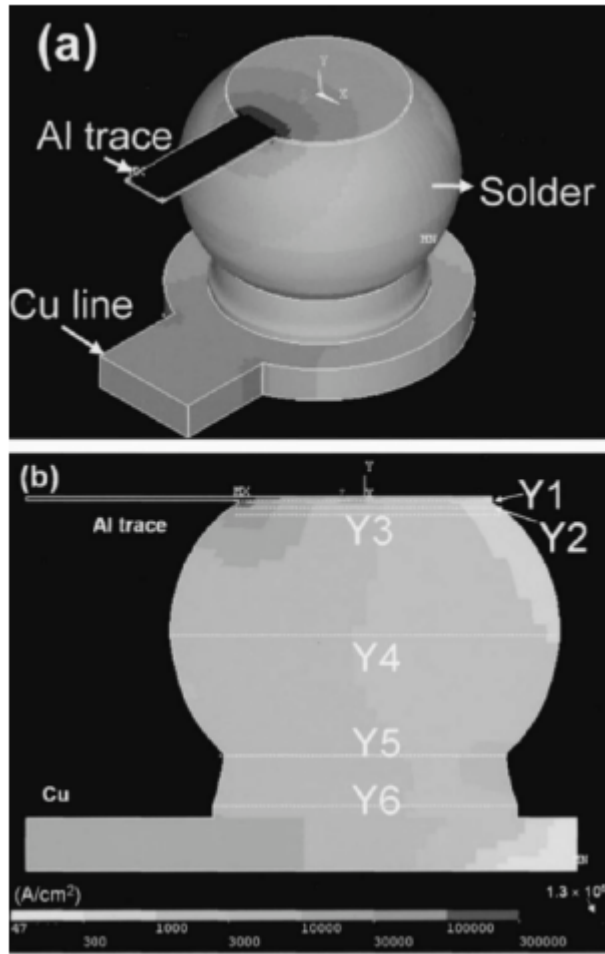


圖 2-4 電流在導線及鉛錫接點之間因為截面積的變化導致的電流集中效應

[10]

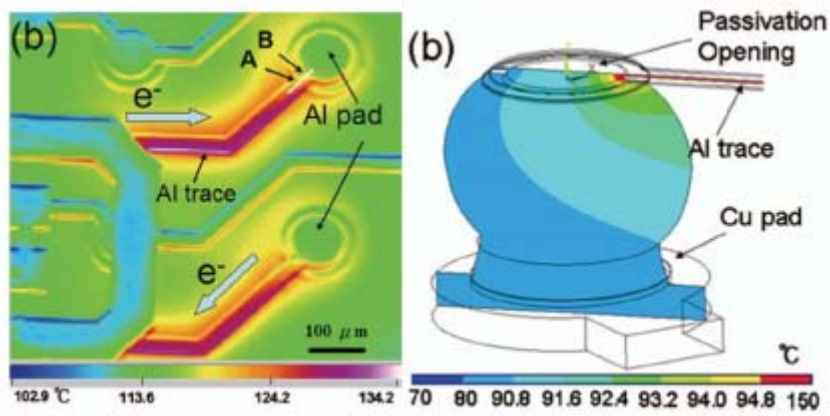


圖 2-5 由左圖可見，溫度最高點出現在鋁導線，而右圖顯示，經由模擬可看到熱點出現在電流由鋁導線進入鉅錫處[12]



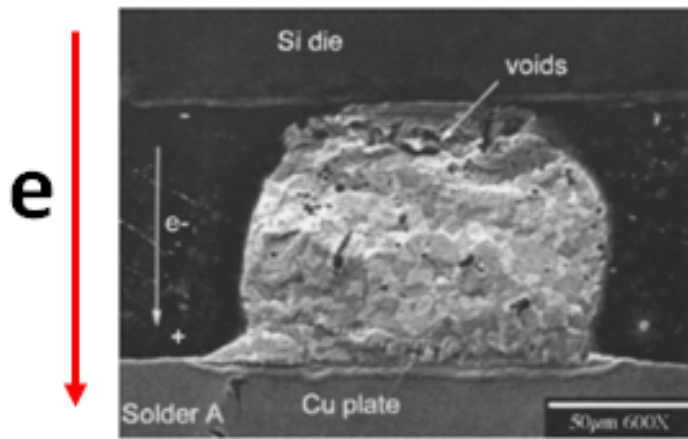


FIG. 2. Secondary SEM of solder A on one module after 16 h 1 A stressing.

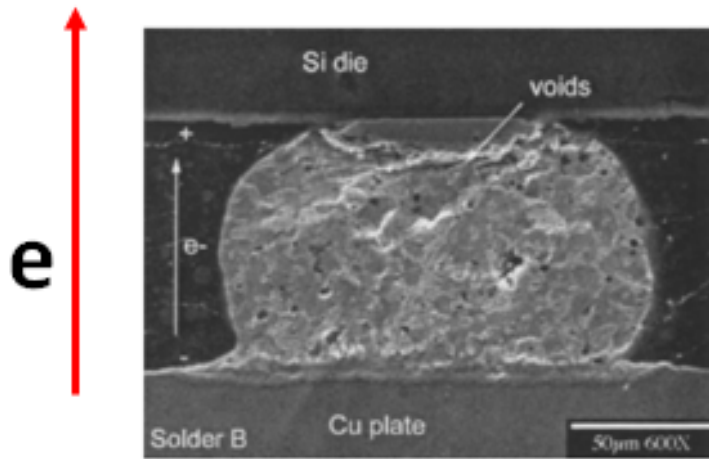


FIG. 3. Secondary SEM of solder B on one module after 16 h 1 A stressing.

圖 2-6 錫鉛錒錫在 $1.3 \times 10^5 \text{ A/cm}^2$ (1A) 通電 16 h，無論在電子流向下或是電子流向上的情況都可以發現孔的產生。[16]

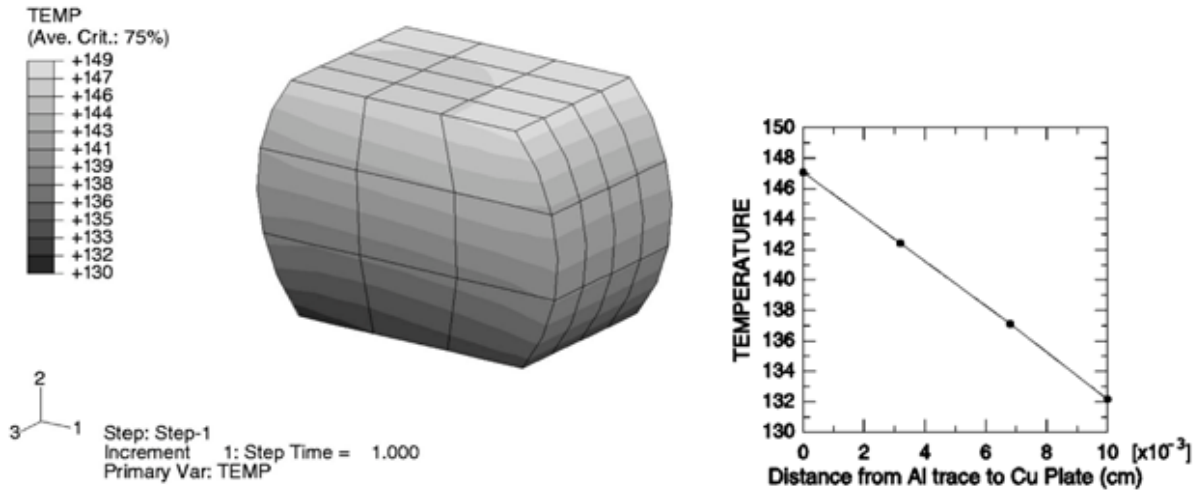


圖 2-7 通電 1.0 安培後溫度模擬分佈 (a) 錐錫內 (b) 由鋁導線到銅墊層

溫度分佈。[16]



第三章、實驗方法與步驟

在本章節中將對實驗的試片結構、實驗方法與步驟逐一做說明。首先會先說明使用的鐳錫結構，然後介紹本研究中所使用的量測方式與實驗方法。

3-1 試片製備

實驗的試片，是由米輯科技股份有限公司(現飛信半導體股份有限公司)所提供的錫銀覆晶封裝試片，試片結構如圖 3-1，實際 OM 圖如圖 3-2。

- (1) 鋁導線為 $140\ \mu\text{m}$ 寬，厚達 $1.5\ \mu\text{m}$ ，每一段的長度為 $850\ \mu\text{m}$ 。
 1. Contact opening 為 $85\ \mu\text{m}$
 2. 整段 daisy chain 會經過 $2550\ \mu\text{m}$ 長的鋁導線。
- (2) UBM: $\text{Ti}/\text{Cu}/\text{Cu}=0.5\ \mu\text{m}/0.5\ \mu\text{m}/5\ \mu\text{m}$
 1. 先將 Ti sputter Si die 上，約 $0.5\ \mu\text{m}$ 。
 2. 再 sputter $0.5\ \mu\text{m}$ 的 Cu 作為種子層約為 $0.5\ \mu\text{m}$ 。
 3. 之後再利用電鍍方式，電鍍 $5\ \mu\text{m}$ 的 Cu 在 Ti/Cu 層上。
 4. 以黃光顯影的方式定義出 opening 大小
 5. 再用濕式蝕刻法，定出 UBM opening 約為 $120\ \mu\text{m}$ 。
- (3) 鐳料是以錫銀鐳錫，高度為 $50\ \mu\text{m}$ 。先利用電鍍將鐳錫固定在 UBM 所在，再以加熱爐加熱到 220°C 約 1 分鐘。
 1. 鐳錫接點間 pitch 約為 1mm 。

2. 其通電迴路是以鋁導線通過 6 顆鉍錫接點。

(4) Cu pad 之上為 $30\ \mu\text{m}$ Cu，與 $5\ \mu\text{m}$ 的無電鍍鎳，pad 的 opening 大小為 $280\ \mu\text{m}$ ，作為基板與鉍錫的接著使用。

(5) 基板使用 FR5 基板。

3-2 實驗方法

3-2-1 凱文結構在本實驗中的應用

圖 3-3 所示為本研究所指之凱文鉍錫結構俯視圖，研究中將利用此結構觀測鉍錫受電遷移影響時的變化。結構中共包含四顆鉍錫，此四顆鉍錫由一條 $3150\ \mu\text{m}$ 長的鋁導線連接四個鋁墊層，並標示為 b1 到 b4 如圖，鋁導線厚 $1.5\ \mu\text{m}$ 、寬 $140\ \mu\text{m}$ ，鉍錫與鉍錫的間隔為 $1\ \text{mm}$ ；此外如圖所示，在 FR5 基板上還有六條銅導線連接到此四顆鉍錫上，並標示為 n1 到 n6 銅導線厚 $30\ \mu\text{m}$ 、寬 $100\ \mu\text{m}$ ，b1 到 b4 依序連接了 1、2、2、1 條銅導線，導線的走向分別如圖所示。利用六條鋁導線不同的連接方式可以分別量測到 b2、b3 的單顆鉍錫電阻與中間的鋁導線電阻，不過在本研究中將著重在 b2, b3 的電性觀測。如圖 3-4 標註箭頭方向所示，在此研究中，由 n3 及 n4 通入電流，電子流在 b2 中從基板端流向晶片端，在 b3 中則相反方向。鉍錫 b2 的電壓降可以由 n1 與 n2 量測得到，而鉍錫 b3 的電壓降則可利用 n5 及 n6 量測得到，利用這樣的量測方式即可在發生電遷

移的同時量測到兩個不同方向的銲錫電阻，因為電流集中效應，在以往的研究中大多顯示孔洞生成在銲錫的晶片端，所以在本研究會將大部分的重心放在 b3 的電阻以及微結構變化上。

	電子流方向	接點	
		n2	n1
ΔV_{b2}	基板往晶片	n2	n1
ΔV_{t2}	由左往右	n1	n6
ΔV_{b3}	晶片往基板	n6	n5
ΔV_{total}	n3 -> b2 -> t2 -> b3 -> n4	n3	n4

表 3-1 各銲錫接點與電子流方向。

3-2-2 銲錫電阻變化的量測

本研究使用的電源供應器與量測儀器為電流源 Keithley[17] 2400 與資料交換器 (Data switch) Agilent [18] E34970A 配合有二十個獨立頻道的 Agilent E34901A 模組，這兩組儀器在量測時間小於 90 天、100 mV 的量測範圍下，電壓的量測精確度範圍約為 $5 \mu V$ 。研究中所量測到的銲錫電阻值大小約在 0.5 mV，亦即 $500 \mu V$ ；而在破壞產生之初始階段的銲錫電阻變化約為 $20 \mu V$ ，故此兩者儀器在本研究所需的量測範圍內可提供足夠的精確度。且上述兩儀器皆符合通用儀器通訊協定，同時支援序列阜與 GPIB 控制介面，配合上適當的軟體便可利用在遠端對量測做穩定、長期、精確的連續控制，在本研究中即利用美國國家儀器公司[19]所開發的圖形

化儀器控制軟體 LabVIEW，作為資料擷取及儀器控制的工具。利用在前文中所提及的覆晶錫銀鉛錫試片，分別在 150 °C 與 160°C 通入 0.8A 的電流，加熱的方式是將試片平貼於加熱墊表面，並用耐熱膠帶固定，靜置試片直到試片溫度到達平衡才開始量測，電流流經的迴路與量測的位置則如 3-2-1. 所述。利用 UBM 半徑為 60 μm 為考量，0.8A 所對應的電流密度為 7073.5A/cm²，同時量測 b3 的鉛錫電阻與整個回路上的總電阻，在 b3 鉛錫電阻上升到 b3 初始電阻的 1.2、2、5 倍與斷路時，即被定義為電遷移破壞，其電阻曲線如圖 3-5。

3-3 試片破壞模式的觀測

在經由儀器所量測之電阻上升值達到目標之後，先經由遠紅外線觀測儀 (Infrared microscope, IR) 觀察是否因結構上方之鋁導線有所損壞而成為電阻上升之主要來源。將各個不同階段的試片依序沿(圖 3-6)所示方向，以不同號數的 SiC 砂紙 120、600、1200、2500、4000 做研磨，再用 Al₂O₃ 顆粒 1 μm 、0.3 μm 、0.05 μm 作研磨拋光，藉由光學顯微鏡 (OM)、電子顯微鏡 (SEM) 來觀察其破壞後剖面的影像。

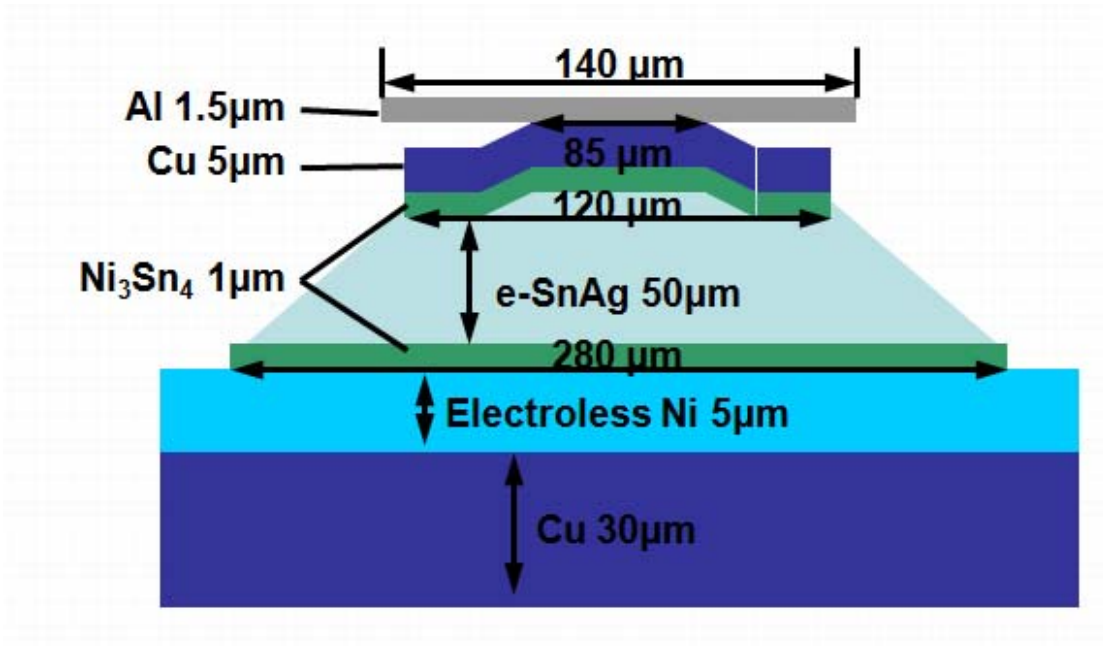


圖 3-1 銲錫接點剖面示意圖

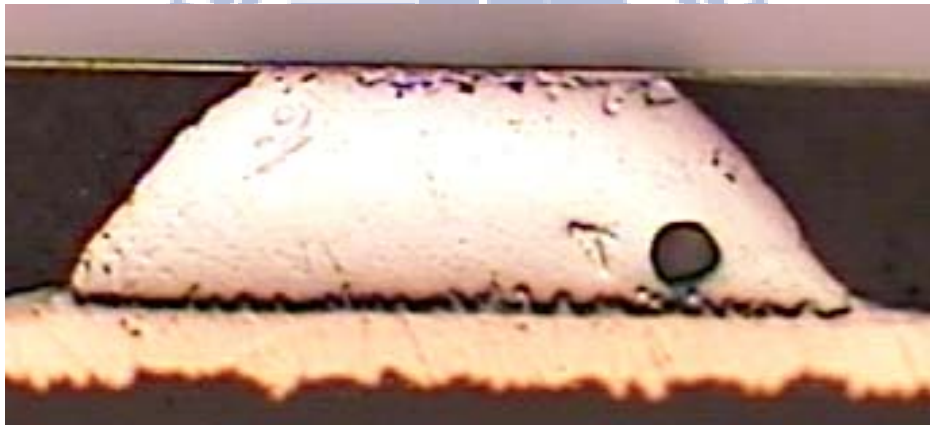


圖 3-2 未通電之銲錫橫截面 OM 圖

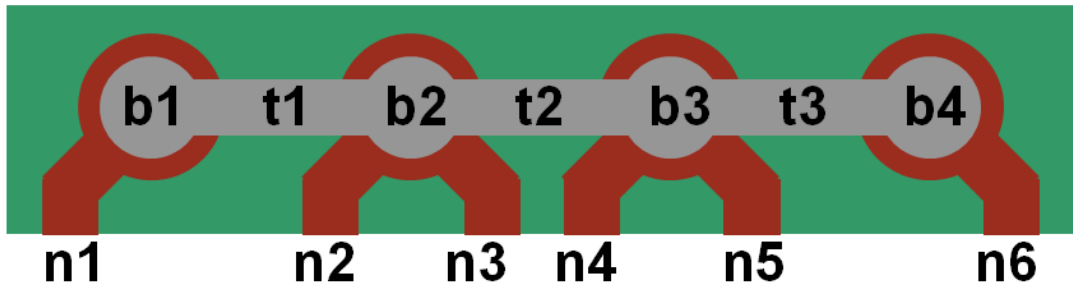


圖 3-3 凱文鉚錫結構俯視圖

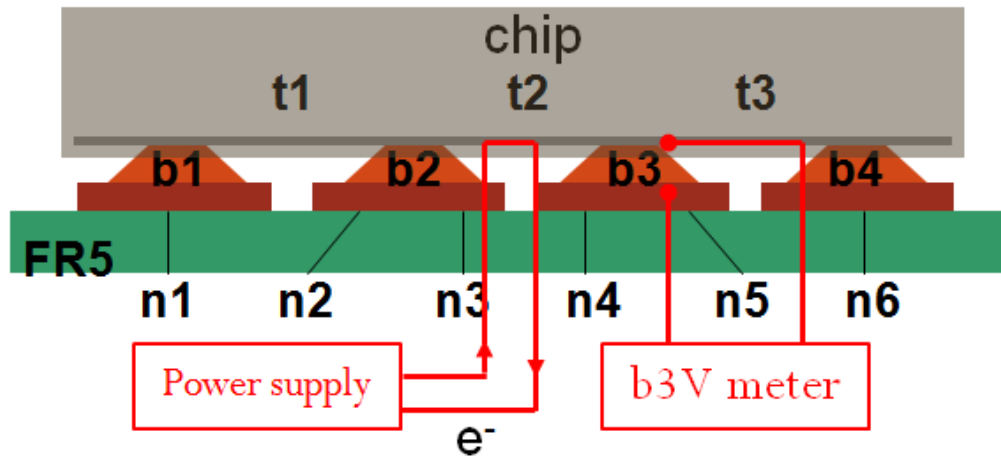


圖 3-4 凱文鉚錫結構剖面側視圖

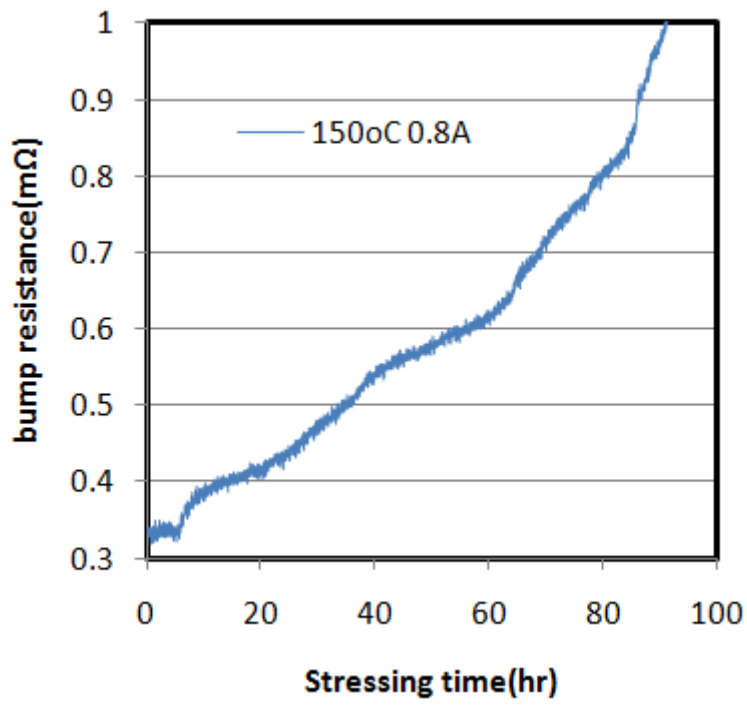


圖 3-5 錐錫電阻曲線圖

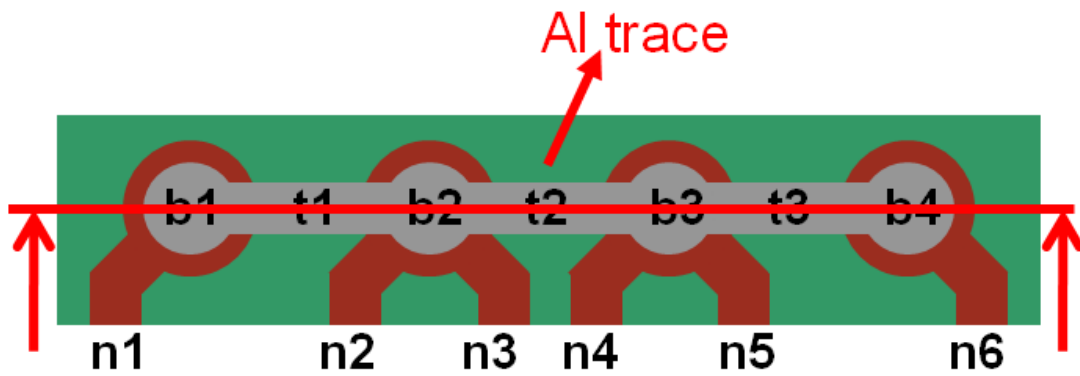


圖 3-6 試片研磨方向示意圖

第四章、結果討論

本研究利用凱文結構的電性觀測方式，研究電阻變化率各階段的電遷移壞情形。可以藉著觀察不同溫度銲錫 b1(b4)的變化可以瞭解熱效應對試片的影響；藉著觀察銲錫 b2、b3 的變化，並參考 b1(b4)的情況可以瞭解電流方向與電遷移對試片的影響。觀察不同溫度的銲錫 b2、b3 即可瞭解不同的焦耳熱效應與電遷移所造成的破壞模式。

4-1 試片剖面觀察與討論

4-1-1 b1 銲錫剖面觀察與討論

試片結構由上而下分別為矽晶片、鋁導線、銲錫接點、銅襯墊、FR5 基板，共五層。結構中鋁導線電阻值最高，因此鋁導線相對會有比較大的焦耳熱效應 (Joule heating)，此效應會使晶片端具有較高的溫升；鋁導線緊連之矽晶片形成高溫區，反之 FR5 基板形成低溫區，上下兩區域之溫度梯度造成銲錫內部亦形成溫度梯度而產生熱遷移效應。

b1 銲錫無電流通過，僅受到實驗溫度與時間變化。圖 4-1 為試片初始時光學顯微鏡剖面圖，初始時即有介金屬化合物 Cu_6Sn_5 產生，應為試片生產時 reflow 所造成。

圖 4-2 為實驗各階段 b1 的 OM 剖面圖，(a)~(d)分別為 150°C 電阻值升

高 20%、100%、500%與開路；(e)~(h)分別為 160°C 電阻值升高 20%、100%、500%與開路。各階段都無明顯的孔洞產生，因為鋁導線為主要發熱源，這一溫度梯度提供原子移動的驅動力。在初期因為銅金屬墊層的銅原子受到熱遷移的影響往鉚錫接點內較冷端移動，與鉚錫形成介金屬化合物 Cu_6Sn_5 ；此一溫度梯度也造成接點內錫原子往較冷的區域移動，圖 4-2 (a)、(b)、(c)、(d)隨著熱時效持續作用下，介金屬化合物 Cu_6Sn_5 因熱遷移效應影響，在較熱的晶片端有剝離的情形產生。比較圖 4-2(a)、(e) 與 (b)、(f) 可以發現相同條件下 160°C 所產生的介金屬化合物 Cu_6Sn_5 比 150°C 時厚，溫度更高反應的介金屬化合物越多。

4-1-2 b2 鉚錫（電子流向上）剖面觀察與討論

在實驗中電子流由 b2 鉚錫右下從基板進入經過鉚錫內部，最後從晶片端右邊到達鋁導線。電子流由銅導線進入銅墊層，在基板端鎳墊層鎳原子隨著電流方向由下往上遷移，和鉚錫內部錫原子反應使原先在基板端的介金屬化合物 Ni_3Sn_4 厚度隨著通電時間增厚，在晶片端可觀察到金屬墊層隨時間逐漸消耗並且生成介金屬化合物 Cu_6Sn_5 。圖 4-3 為 b2 鉚錫 (a)~(d) 分別為電阻值升高 20%、100%、500%與開路剖面。鉚錫除了在開路時(圖 4-3-d) 因熔融有孔洞形成外，其餘都無明顯孔洞生成，僅可看到時間越久所產生的介金屬化合物隨通電時間越久變得越厚。

4-1-3 b3 鉛錫（電子流向下）剖面觀察與討論

圖 4-4 (a) 為電阻上升至 20% 電子流向下電子顯微鏡影像，電子流由左上方進入鉛錫如同圖中箭頭所示；電子流由鋁導線進入金屬墊層時，電子流進入端由於電流集中效應 (current crowding effect) 影響會形成最高電流密度區，局部溫度升高使得金屬墊層前端局部消耗且反應形成介金屬化合物 (Cu_6Sn_5)。在電遷移持續作用下，圖 4-4 (b) 電阻上升至 100% 電子流向下電子顯微鏡影像與圖 4-4(c) 電阻上升至 500% 電子流向下電子顯微鏡影像，電子流進入端的金屬墊層隨時間增加，銅擴散到鉛錫內部，此為濃度擴散與電遷移效應。在持續的電遷移作用下，金屬墊層有些介金屬化合物隨著電流方向被往下遷移而剝離，可在鉛錫內部看到金屬墊層銅原子受電子流驅動進入到鉛錫內部所形成的介金屬化合物；另外鉛錫與晶片端形成大量的介金屬化合物外，電子流由鋁導線進入到鉛錫內部的入口處的孔洞，最初孔洞形成是受到電流集中效應影響，當孔洞形成後電子流被迫改變路徑，因此孔洞沿著介金屬化合物與錫銀鉛錫的介面由左向右擴散。

4-2 試片電阻上升與破壞模式探討

本研究中，其熱源來自兩地方。第一部份為下端加熱試片的加熱版，其溫度維持 150°C 與 160°C ，但矽晶片與基板散熱不同所產生的溫度梯度造成熱遷移效應。圖 4-6 中 (a) 為 160°C 開路試片中 b1 鉛錫剖面（於加熱板

上加溫)，(b) 為將試片置於 oven 加熱相同時間（約 120 小時）時剖面，可發現置於恆溫的 oven 中的試片銅墊層剩餘的銅較厚，所生成的 Cu_6Sn_5 也幾乎只有變厚而沒有剝離的現象，顯示此結構於 150°C 與 160°C 錫銀鉛錫已有熱遷移的現象產生。在李侑錚於錫鉛研究[20]中也有相同的結果，但錫鉛熔點約 183°C 熔點低於錫銀(熔點約 220°C)因此錫鉛擴散速度較速度快，熱遷移的破壞也比錫銀快。

第二部份熱源來自於電流通過鋁導線形成焦耳熱效應導致試片溫度提昇。我們在 150°C 與 160°C 之環境下通入電流，因焦耳熱效應影響，會使試片內實際溫度高於環境，此結構經紅外線熱像儀於 100°C (圖 4-7) 觀察到約上升為 12.3°C ，因此加熱至 160°C 時最鉛錫溫度約到達 172°C 。

在圖 4-8 (a) ~ (h) 為各條件下，鉛錫 b2 的剖面圖，b2 為電子流向上，因次電遷移的力是往上，但是熱端在鋁導線，因此熱遷移是往下。在矽晶片端通電初期迅速的生成 Cu_6Sn_5 ，隨著加熱時間拉長不斷被帶往下產生剝離的現象，顯示破壞模式是熱遷移大於電遷移。

在圖 4-9 (a) ~ (h) 為各條件下，鉛錫 b3 的剖面圖，b3 為電子流向下，電遷移的力是往下，熱端同樣在鋁導線，熱遷移同是往下。可以很明顯看到兩個力的加成下，通電初期已有孔洞產生，隨著通電時間越久，破壞越加嚴重。經紅外線熱像儀於 100°C (圖 4-10) 通電 0.4 安培於相同的電流密度下，觀察到電流聚集效應約使矽晶片端上升至 14.3°C ，晶試片觀察，

破壞開始由電流聚集端開始生成。

4-3 結論

相較於雛菊花環結構，對於覆晶鉚錫的電性觀測，凱文結構提供更為敏感精確的量測；利用凱文結構，針對鉚錫電遷移與熱遷移不同階段的現象，可以精準的定義觀察。

觀察無通電的 b1 鉚錫，無論 150 °C 與 160 °C，因內部的溫度梯度，足夠造成熱遷移的效應。

電流密度 7073 A/cm² 電子流向上的 b2 鉚錫，因為熱遷移與電遷移方向相反，破壞程度相較於 b3 不嚴重，但可以觀察到，熱遷移效應是比電遷移效應大。

電子流向下的 b3 鉚錫，電遷移與熱遷移方向相同，在矽晶片端可以觀察到孔洞發生，且發生的位置因為電流聚集效應，由電子流進入的一端開始生成。隨著通電時間越久，阻值上升，破壞的孔洞逐漸變大，開路之後幾乎是整個鉚錫都已經燒毀。

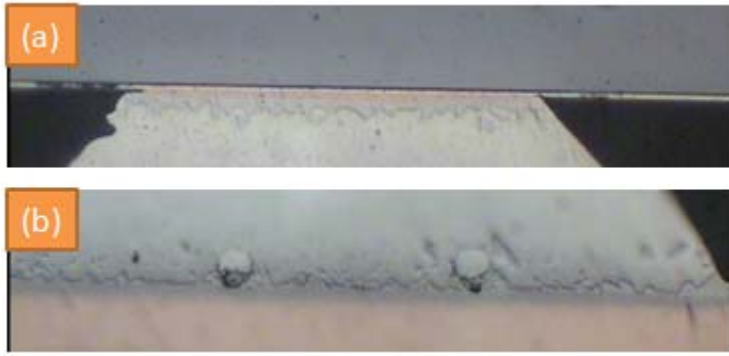


圖 4-1 試片初始結構 OM 剖面圖

(a) 鐳錫接近 UBM

(b) 鐳錫接近 Cu Pad

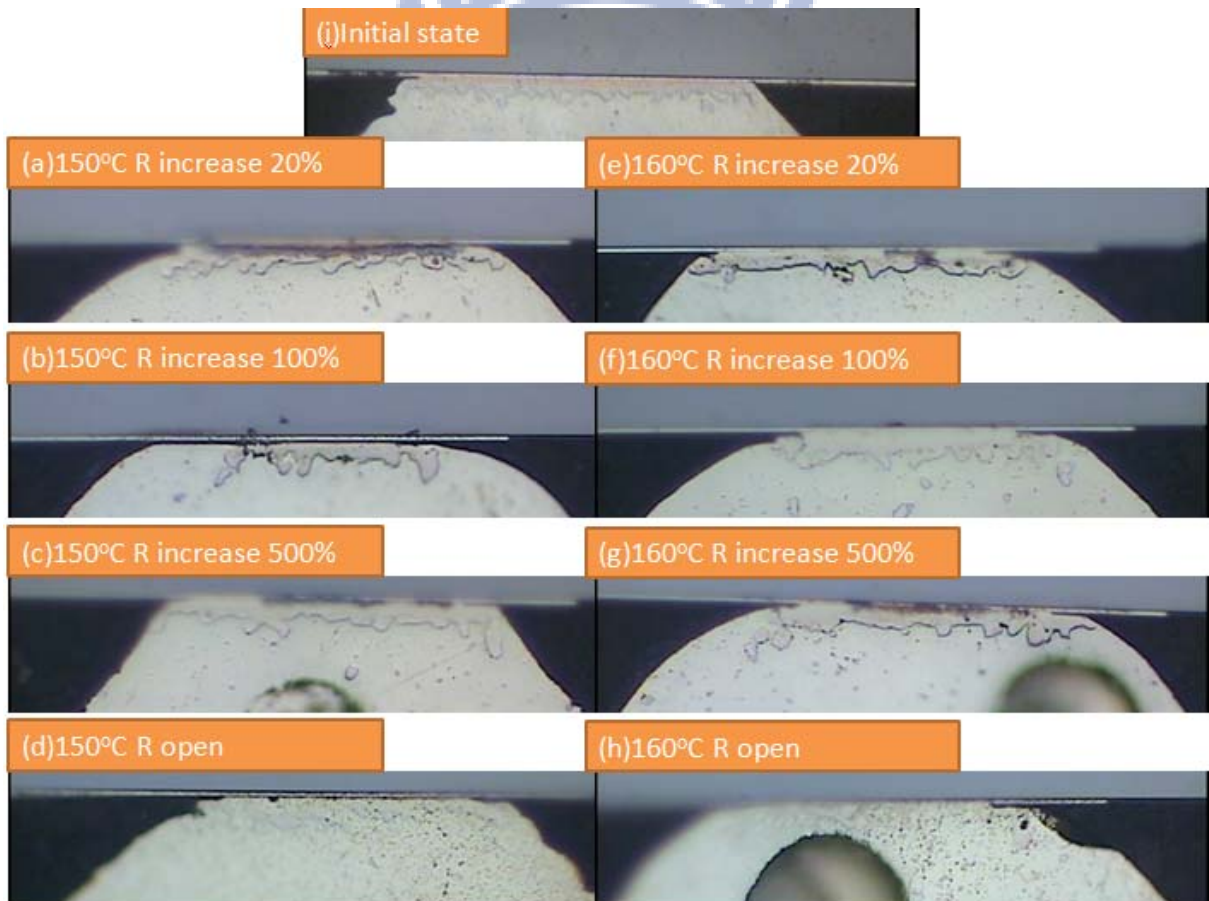


圖 4-2 各條件 b1 鐳錫剖面結構

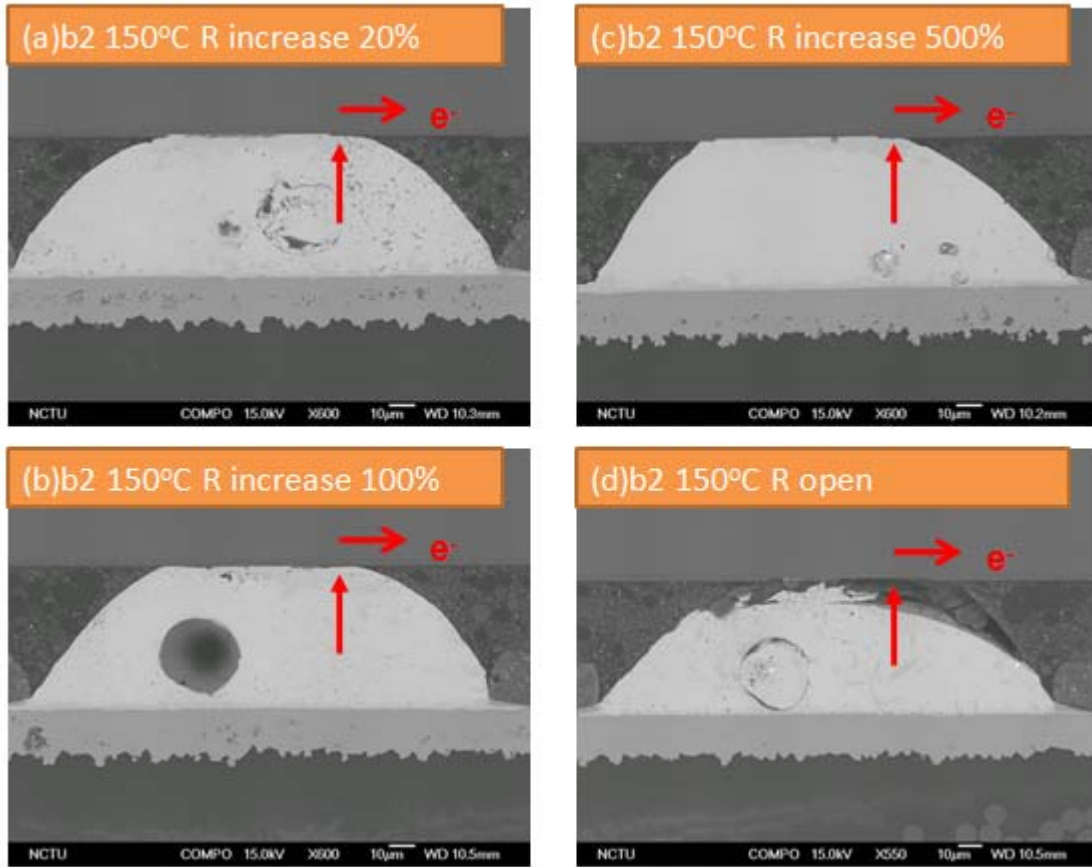


圖 4-3 150°C b2 錫鉛剖面結構



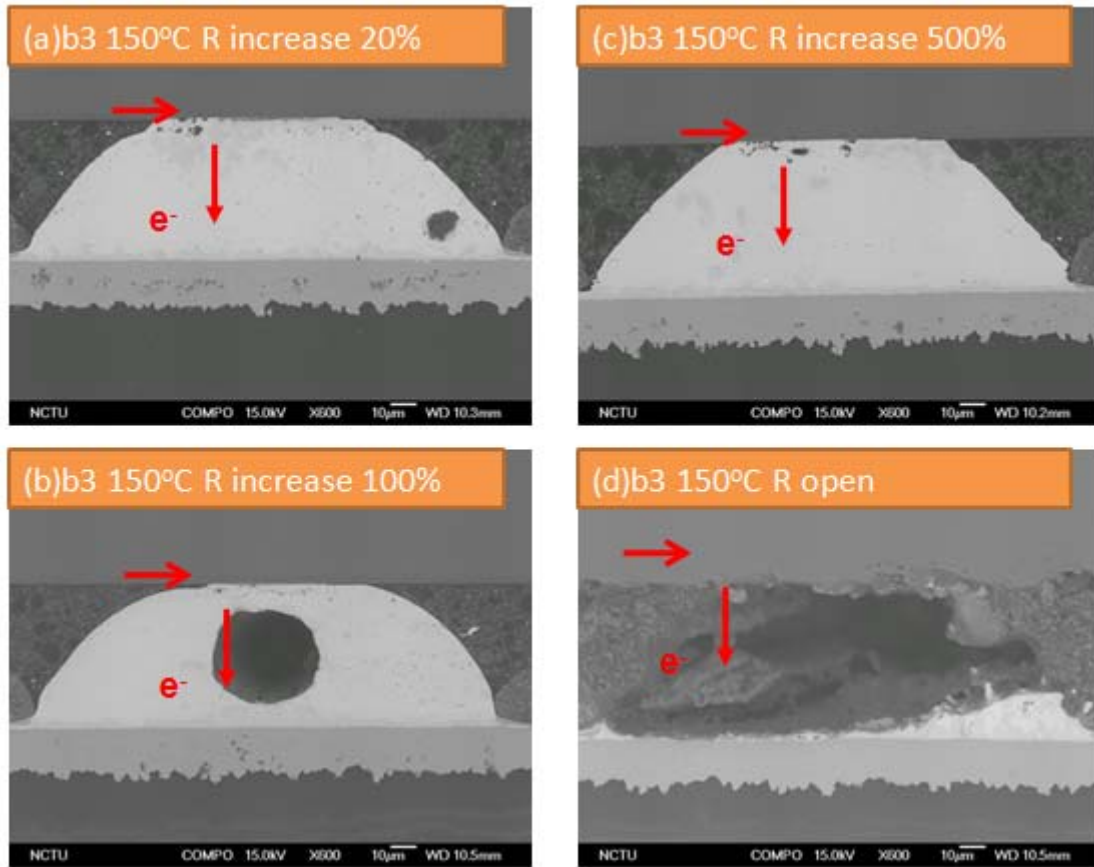


圖 4-4 150°C b3 錫鉛剖面結構



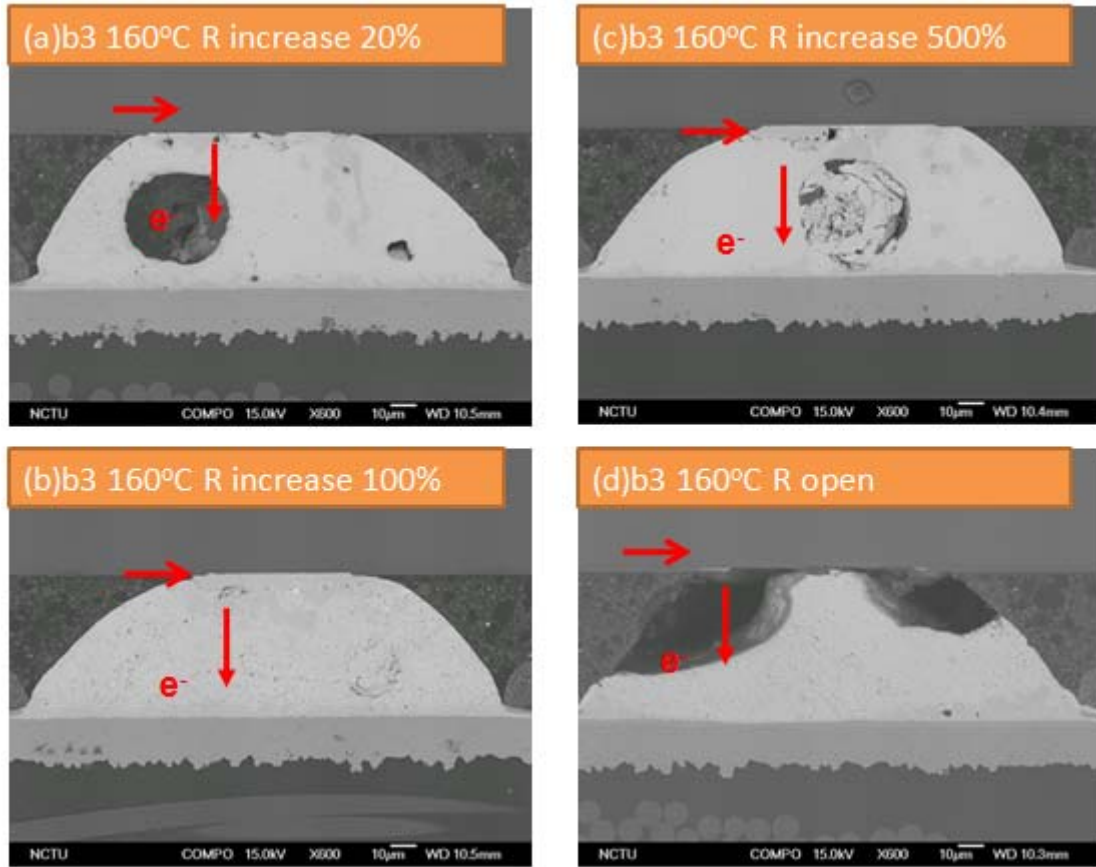


圖 4-5 160°C b3 錫鉛剖面結構

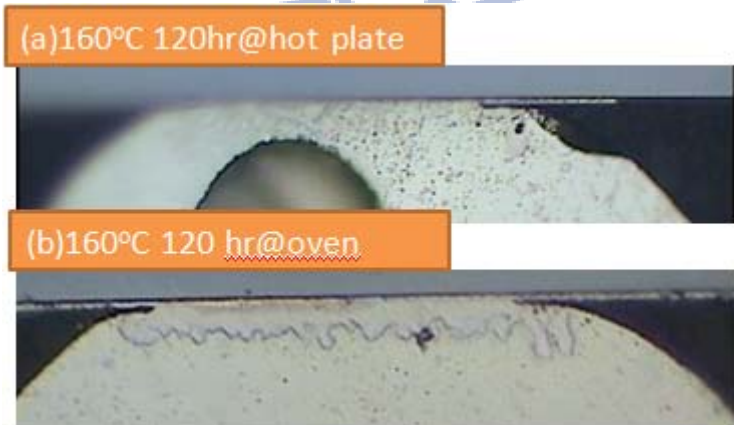


圖 4-6 160°C 加熱 120 小時(a)加熱板上加熱 (b) oven 上加熱

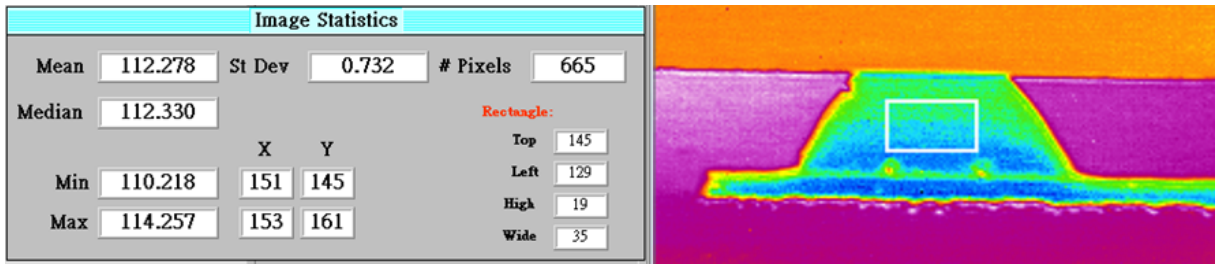


圖 4-7 紅外線熱像儀觀察 100°C 下, 鉛錫平均溫度上升至 112.3°C

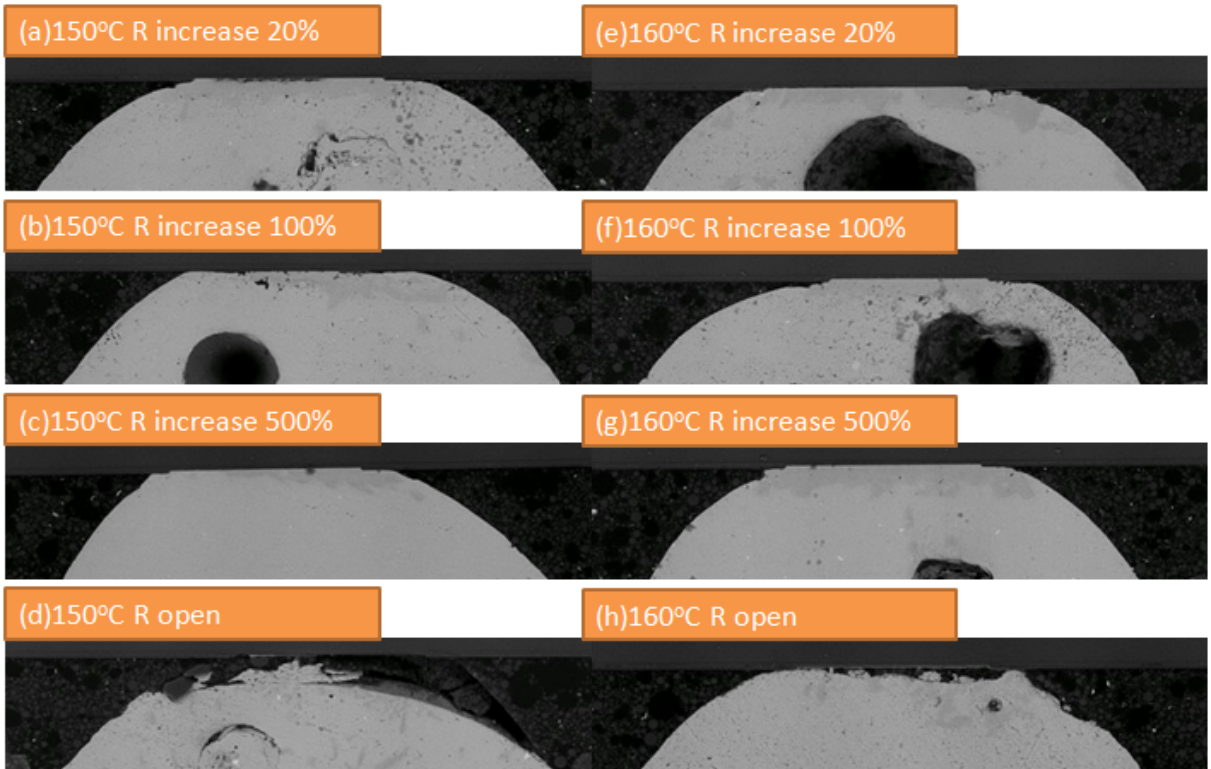


圖 4-8 鉛錫 b2 各條件比較

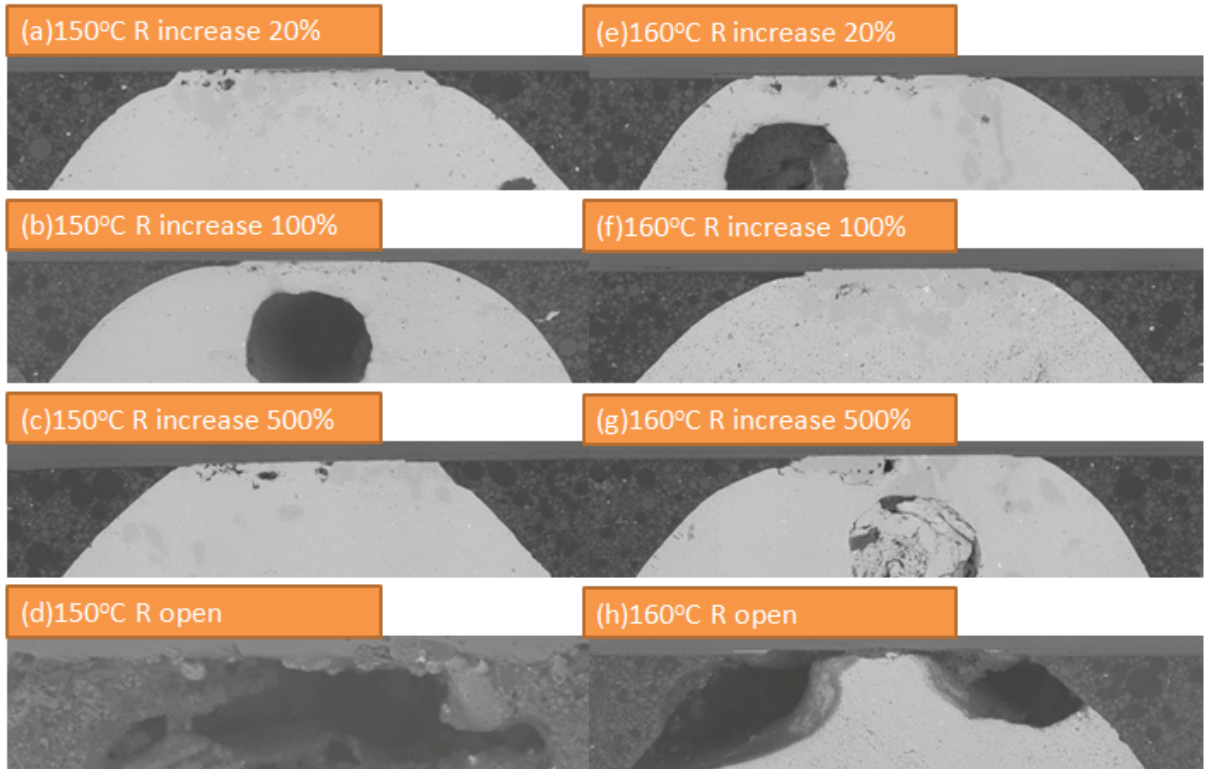


圖 4-9 錫 b3 各條件比較



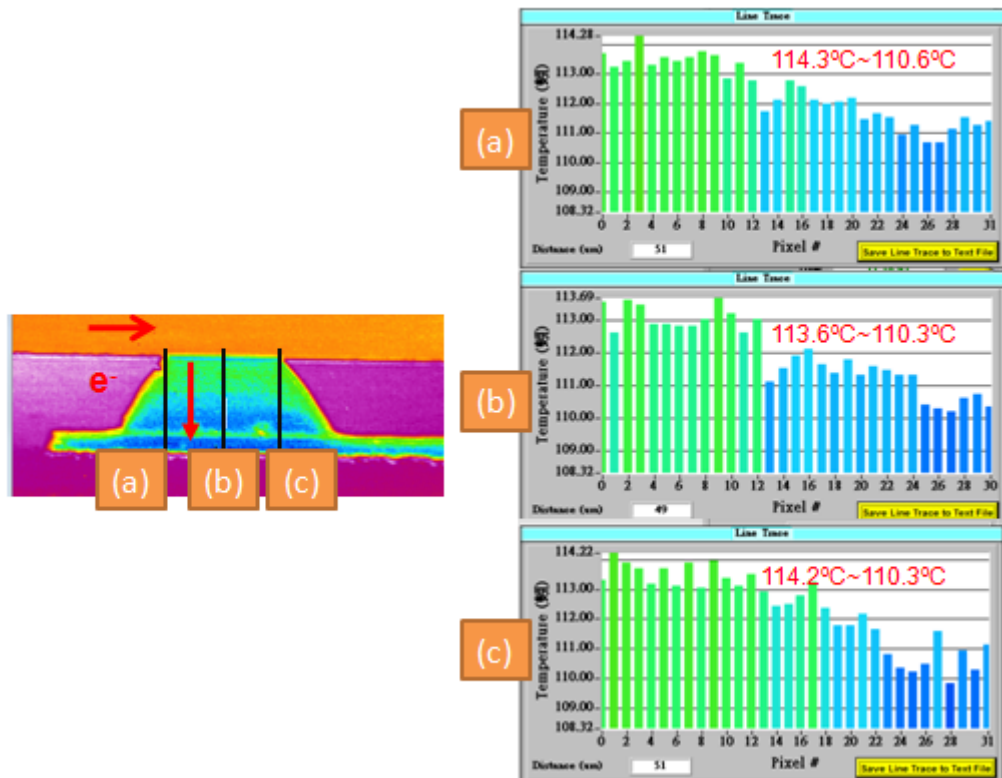


圖 4-10 紅外線熱像儀觀察 100°C 下，電子流由左上方進入鉛錫中各區塊溫度梯度。

第五章、參考文獻

- [1] Intel Technology Journal, 9, Issue 4, (2005).
- [2] V. B. Fiks, Soviet Physics – Solid State, 1, pp. 14-28, (1959).
- [3] European Union Waste in Electrical and Electronic Equipment (WEEE) Directive, 3rd Draft, May 2000.
- [4] Japanese Ministry of Health and Welfare Waste Regulation on Un-Reusable Pb, June 1998.
- [5] James R. Black Proc. IEEE, 57, 9, 1587-1594, Sep., (1969).
- [6] Paul S. Ho, Thomas Kwok, Rep. Prog. Phys. 52, pp. 301-348, 1989.
- [7] W. J. Choi, E. C. C. Yeh, K. N. Tu, J. Appl. Phys. 94(9), 2003
- [8] K. N. Tu, J. W. Mayer and L.C. Feldman, “Electronic Thin Film Science,” Macmillan, New York, 1992
- [9] K. N. Tu, C. C. Yeh, C. Y. Liu and Chih Chen, Appl. Phys. Lett. 76,(8), 2000
- [10] T. L. Shao, S. W. Liang, T. C. Lin, Chih Chen, J. Appl. Phys. 98, 044509, 2005
- [11] Joule, J.P. Philosophical Magazine, 19, 260; Scientific Papers 65. (1841).
- [12] S. H. Chiu, T. L. Shao, Chih Chen, Appl. Phys. Lett. 88, 022110, 2006
- [13] R.A. Johns and D.A. Blackburn, "Grain boundaries and their effect on thermomigration in pure lead at low diffusion temperatures," Thin Solid Films, vol. 25, pp. 291-300, 1975.
- [14] G. J. Van Gorp, P. J. de Waard, and F. J. du Chatenier, Journal of Applied Physics, vol. 58, pp. 728, 1985.
- [15] W. Roush and J. Jaspal, Proceedings of the Electron. Compon. 32nd Conference, San Diego, CA, 1982, p. 342

[16]Hua Ye, Cemal Basaran, and Douglas Hopkins, Appl. phys. Lett. 82, 7
(2003).

[17]關於吉時利科技公司相關資訊請參閱其官方網頁，網址：

<http://www.keithley.com/>

[18]關於安捷倫科技公司相關資訊請參閱其官方網頁，網

址：<http://www.home.agilent.com/>

[19]關於美國國家儀器公司相關資訊請參閱其官方網頁，網

址：<http://www.ni.com/>

[20] 李侑錚，” 錫鉛覆晶銲錫中金屬墊層電遷移與熱遷移行為之研究”，國
立交通大學工學院半導體材料與製程設備學程碩士論文（2011）

