

國立交通大學

電子工程學系 電子研究所碩士班

碩 士 論 文

一個使用和差調變器的 2.4GHz 直接
調變發射器



**A 2.4 GHz $\Sigma\Delta$ Frequency
Synthesizer for Direct Modulation
Transmitter**

研 究 生 : 邱偉茗

指 導 教 授 : 陳巍仁 教授

中華民國九十三年十月

一個使用和差調變器的 2.4GHz 直接調變發射器

A 2.4 GHz $\Sigma\Delta$ Frequency Synthesizer for Direct
Modulation Transmitter

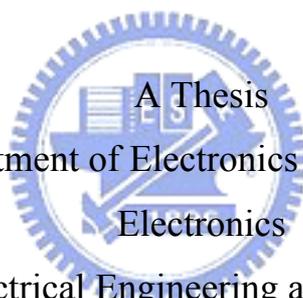
研究生：邱偉茗

Student : Wei-Ming Chiu

指導教授：陳巍仁 教授

Advisor : Prof. Wei-Zen Chen

國立交通大學
電子工程學系 電子研究所碩士班
碩士論文



Submitted to Department of Electronics Engineering & Institute of
Electronics

College of Electrical Engineering and Computer Science

National Chiao Tung University

In Partial Fulfillment of the Requirements

for the Degree of

Master of Science

In

Electronic Engineering

Oct 2004

Hsin-Chu, Taiwan, Republic of China

中華民國九十三年十月

一個使用和差調變器的 2.4GHz 直接調變發射器

研究生：邱偉茗

指導教授：陳巍仁教授

國立交通大學

電子工程學系電子研究所碩士班

摘要



由於近年來，無線通訊產品的應用越來越普及，所以有許多新的系統因應此潮流而產生，而這些新的射頻系統無不朝向高整合度、低成本、低功耗這幾方面發展且要同時滿足高效能這個大前題，也因此這篇論文將會針對這些目標，並著重於無線通訊的發射器部分，並滿足 1Mb/s 的資料傳輸速率。

我們利用一個數位補償的方法，可使得傳輸資料量可以大於非整數型的頻率合成器的頻寬，而使用這種方法，所製作的 2.4GHz 發射器，只需有非整數型的頻率合成器，和一個數位傳輸濾波器，即可完成每秒一百萬位元的資料傳輸率，而最主要實作在晶片中的是一個非整數型的頻率合成器，此頻率合成器主要包括有相位和頻率檢測器、電荷幫浦、電壓控制電壓振盪器、多係數除頻器和一個全數位化的 Σ - Δ 調變器。

此論文完成了一個使用和差調變器的 2.4GHz 直接調變發射器，使用台積電 0.18 μm 1P6M 的互補式金氧半製程，此電路總消耗功率為 16mW，供應電壓為 1.8 伏特，總晶片面積為 1300 μm \times 1300 μm 。對電壓控制電壓振盪器的量測可知，其相位雜訊為 -117.14dBc@1MHz 和 -120dBc@2MHz，此量測結果符合藍芽系統的規範。



A 2.4 GHz $\Sigma\Delta$ Frequency Synthesizer for Direct Modulation Transmitter

Student: Wei-Ming Chiu

Advisor: Wei-Zen Chen

Nanoelectronics and Gigascale Systems Laboratory

Institute of Electronics

National Chiao-Tung University



The use of wireless products has been rapidly increasing in the past few years, and there has been worldwide development of new systems to meet the needs of this growing market. As a result, new radio architectures and circuit techniques are being actively sought that achieve high levels of integration and low power operation while still meeting the stringent performance requirements of today's radio systems.

In this thesis, a $\Delta\Sigma$ fractional-N frequency synthesizer is proposed. Incorporating with base band digital modulation, a direct modulation transmitter architecture can be achieved for low cost and high performance design goals. This motivates the research of this work.

The fractional-N frequency synthesizer is comprised of a $\Delta\Sigma$ modulator, a phase frequency detector, a charge pump loop filter, a LC voltage controlled oscillator, and a programmable frequency divider. Single loop, a 2bit and 3rd order

modulator architecture is utilized for noise shaping. Moreover, a novel current matched charge pump circuit is proposed to reduce reference spurs. Finally, adaptive biasing VCO circuit is proposed for low noise performance.

The single chip $\Delta\Sigma$ frequency synthesizer has been implemented in $0.18\mu\text{m}$ CMOS technology. The chip size is $1300\mu\text{m}\times 1300\mu\text{m}$. The measured VCO phase noise is $-117\text{dBc}/\text{Hz}$ @ 1MHz offset, and is $-120\text{dBc}/\text{Hz}$ @ 2MHz offset. Operating under a 1.8V supply, total power dissipation is 16mW .



誌 謝

首先，我要對我的指導教授陳巍仁老師致上最誠摯的感謝。老師在這二年裡不論在硬體或是軟體上提供了我一個最佳的學習環境。在學習上老師也給予了適時的指導與啟發，使我不在錯誤當中打轉。

其次我要感謝阿拉伯實驗室前輩們的努力，才使得實驗室軟硬體設備一應俱全，還有學長郭建良、蘇烜毅的熱情協助，讓我在工作站的硬碟空間不會有爆滿的情況存在。在如此的環境下，我的論文才能順利完成。再來我要感謝實驗室的同學丁彥、陳旻琰、陳勝豪、林韋霆、李宗霖、林大新、王騰毅、張家華、曾偉信、阿爛、黃如琳、郭秉捷、張瑋仁、林棋樺、蕭聖文、陳正瑞……等，陪伴著我一起渡過了這二年的研究生涯。

最後我要最感謝我的父母對我二十多年來辛苦的付出，使我在學習之餘無後顧之憂，還有我的女朋友陳婉宜這幾年對我的關心和陪伴，使我得到了豐富的生活與健康的人生。謹以此論文獻給關心我的人。

邱偉茗

國立交通大學

中華民國九十三年十月

內容

中文摘要

英文摘要

內容

表目

圖目

目錄

第一章	簡介	16
第二章	頻率合成器的基本理論.....	25
2.1	簡介.....	25
2.2	鎖相迴路的雜訊.....	26
2.3	整數鎖相迴路.....	28
2.4	非整數鎖相迴路.....	29
2.5	使用和差調變器的非整數鎖相迴路.....	31
2.6	電壓控制振盪器.....	34
2.7	閉迴路頻寬的選擇.....	37
2.8	電荷幫浦電流的選擇.....	38
2.9	迴路濾波器的計算.....	40

2.10 鎖相迴路的穩定性分析.....	43
----------------------	----

第三章 和差調變器

3.1 簡介.....	44
3.2 和差調變器架構.....	44
3.3 低階和差調變器.....	48
3.31 一階和差調變器.....	48
3.32 二階和差調變器.....	49
3.4 高階和差調變器.....	50
3.5 單級和差調變器.....	51
3.6 多位元和差調變器.....	52
3.7 多級雜訊整形架構之和差調變器.....	53
3.8 多級雜訊整形架構之和差調變器和一級多 階和差調變器的比較.....	54
3.9 諧波與加入雜訊.....	57
3.10 和差調變器架構.....	61
3.11 穩定性分析.....	62
3.12 和差調變器電路.....	63

第四章 頻率合成器設計.....	65
4.1 簡介.....	65
4.2 相位頻率偵測器.....	66
4.3 電荷幫浦的設計.....	71
4.4 多係數除頻器的設計.....	73
4.4.1 除頻器簡介.....	73
4.4.2 前置除頻器.....	74
4.4.3 可程式計數器.....	76
4.4.4 屏蔽計數器.....	77
4.5 具有可適應性偏壓的電壓控制振盪器.....	78
4.6 量測資料.....	81
第五章 結論.....	88
參考文獻.....	89

表目

表一 藍芽系統規格表.....	24
表二 參數表.....	39
表三 PLL 被動元件表.....	42
表四 除數對照表.....	60
表五 加法器位元分配表.....	65
表六 規格表.....	66
表七 量測整理表.....	87

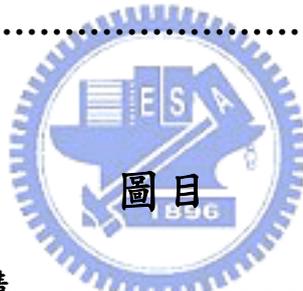


圖1.1 發射器的基本架構.....	17
圖1.2 一般發射器的架構.....	18
圖1.3 直接調變電壓控制振盪器.....	18
圖1.4 直接調變頻率合成器的架構.....	19
圖1.5 能充分利用頻譜的非整數型頻率合成器.....	20
圖1.6 訊號路徑的轉移曲線.....	21
圖1.7 頻寬對輸出頻譜的影響.....	22
圖1.8 頻寬對輸出頻譜的影響.....	23
圖1.9 等效模型.....	23

圖 2.1	線性相位雜訊模型.....	26
圖 2.2	整數鎖相迴路方塊圖.....	29
圖 2.3	傳統的非整數鎖相迴路.....	30
圖 2.4	為一使用和差調變器的非整數鎖相迴路的架構圖.....	31
圖 2.7	閉迴路頻寬的選擇.....	38
圖 2.9	電荷幫浦的電流選擇.....	40
圖 2.10	迴路濾波器.....	41
圖 2.11	穩定度分析.....	42
圖 3.1	和差調變器的雜訊整形原理.....	45
圖 3.2	一階和差調變器的原始架構.....	46
圖 3.3	一階和差調變器改良架構.....	46
圖 3.4	和差調變器方塊圖.....	47
圖 3.5	一階和差調變器.....	47
圖 3.6	二階和差調變器.....	49
圖 3.7	雜訊轉移函數 NTF 頻譜.....	51
圖 3.8	Feedforward 單級和差調變器.....	52
圖 3.9	多級雜訊整形架構之和差調變器.....	54
圖 3.10	三級一階的和差調變器的輸出波形.....	55
圖 3.11	一級三階的和差調變器輸出波形.....	55

圖 3.12 電荷幫浦的非理想效應.....	56
圖 3.13 模擬電荷幫浦的非理想效應的模型.....	56
圖 3.14 死區(Dead Zone)的影響.....	57
圖 3.15 加入額外的擾亂訊號	59
圖 3.16 和差調變器的輸出頻譜.....	59
圖 3.17 量化位階分佈圖	59
圖 3.18 除數對照圖.....	69
圖 3.19 加入額外的擾亂訊號	61
圖 3.20 二位元三階和差調變器根軌跡圖.....	63
圖 4.1 頻率合成器架構圖.....	65
圖 4.2 (a) 相位和頻率檢測器(b) 相位和頻率檢測器的狀態圖	
(c) 相位和頻率檢測器的時序圖.....	67
圖 4.3(a) 相位和頻率檢測器的內部電路(b) 相位和頻率檢測器	
的特徵圖.....	68
圖 4.4 D 型正反器.....	69
圖 4.5 相位和頻率檢測器的模擬結果.....	69
圖 4.6 死區的模擬.....	70
圖 4.7 電荷幫浦.....	71

圖 4.8 電流誤失模擬圖.....	72
圖 4.9 防止電流源進入三極管區模擬圖.....	72
圖 4.10 參考訊號源的寄生效應.....	73
圖 4.11 多係數除頻器.....	74
圖 4.12 除 4、除 5 的電路方塊圖.....	75
圖 4.13 除 4/5 前置除頻器的信號圖.....	75
圖 4.14 高速除 2 電路.....	76
圖 4.14 高速除 2 電路.....	77
圖 4.16 屏蔽計數器架構圖.....	78
圖 4.18 屏蔽計數器信號圖.....	78
圖 4.19 可調式電壓控制振盪器.....	79
圖 4.20 偏壓電流的控制電路	80
圖 4.21 電壓控制振盪器的輸出.....	81
圖 4.22 相位雜訊的模擬.....	81
圖 4.23 VCO@2.4GHz 頻譜圖.....	82
圖 4.24 VCO@2.42GHz 頻譜圖.....	83
圖 4.24VCO@2.43GHz 頻譜圖.....	83
圖 VCO@2.44GHz 頻譜圖.....	84

圖 VCO@2.45GHz 頻譜圖.....	84
圖 VCO@2.46GHz 頻譜圖.....	84
圖 4.29 VCO@2.47GHz 頻譜圖.....	85
圖 4.30 VCO@2.48GHz 頻譜圖.....	85
圖 4.31 除頻器的波形.....	86
圖 4.32 晶片照相圖.....	86



第一章

簡介

無線產品的使用在最近幾年內一直迅速增加，也因此發展了許多新系統來滿足這快速成長的市場。而這些新系統的發展皆有一些共同目標，例如：功率、面積、價錢等，都成為評估新系統是否具有價值的指標，此指標也指出是否能整合射頻發射電路或是接收電路。因為上述的理由，此篇論文製作了一個使用在無線通訊，具有低功率、高性能的窄頻發射器，能適用在藍芽系統，這樣的一個系統要求輸入訊號的調變速率為 1Mbit/s，即使在這麼高的調變速度下，也不希望再增加其他額外的電路，只使用數位的方式來增加電路頻寬，如此一來既能兼顧高性能且不違背低功率這個中心思想，這章的剩餘部分，我們將開始將焦點縮小在我們所使用的電路架構，並且提出我們所要達到的電路性能和目標。藉由介紹相關的發射器，我們將導引出此設計的重點，和在設計上會遇到的困難處。

首先面積是一項很重要的考慮重點，由圖 1.1 我們可看到一個常使用在無線通訊上的發射器架構，這個架構中包含有調變器(此調變器可以是振幅調變器也可以是相位調變器)，功率放大器，和一個可將訊號完整傳輸到頻帶的帶通濾波器，假設圖 1.1 代表一般發射器的架構，那我們最主要是針對調變器這一個方塊來做改進，所以本論文會針對調變器這方面做深入討論，然而對功率放大器而言，如果使用振幅調變這種方式，會比較沒有效率，所以我們在此就專注於固定振幅的相位調變器來下手。

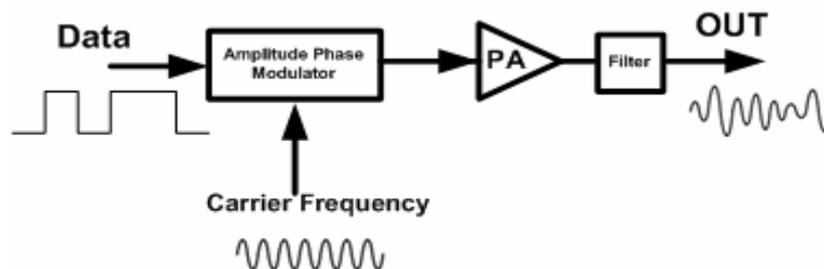


圖1.1 發射器的基本架構

射頻發射器的討論總是圍繞著一個共同的目標—也就是將頻率較低的訊號藉由射頻發射器傳送到較高頻帶的通道上，自從發明了超外差接收機出現之後，這種使用混頻器和中頻濾波器所構成的高性能窄頻發射器，雖然提供了相當優秀的射頻特性(低寄生雜訊)，但是隨著高效能這特性而來的就是，對於射頻系統的整合，此架構具有相當大的困難度，更具體一點來說，也就是很難實現一個使用在中頻且具有高Q值低雜訊、低失真的帶通濾波器[1]，也就因為上述的原因，此種架構在無線通訊產品已漸漸被其他架構取代，這種使用直接調變載波的方法，已經廣泛的被使用在現今的無線通訊系統上，此方式可完全解決通道整形濾波器無法整合的難題，如[2-7]皆是使用此方法，其功率消耗都可控制在162mW以下，除此之外，如Abidi等幾位學者更進一步以CMOS製程來整合發射或接受器，如此一來功率消耗可更進一步的大幅降低，除了將製程轉成全CMOS之外，一種直接調變電壓控制震盪器的方法也因應時代需求而產生[8]，此方法最主要是以一個PLL為主，所以整體消耗的功率當然也就大幅度降低，由圖1.2和圖1.3可明顯得知兩種架構的差異性，圖1.2中，訊號和有頻率合成器所產生的載波訊號相乘來完成將訊號轉移到所想要通道的動作，然而圖1.3也是完成同樣的動作，但此方法是直接在電壓控制振盪器輸入電壓處，送入調變訊號，如此一來就可把低頻訊號送到系統所想要的頻帶，雖然二者所完成的動作相同，但對功率消耗而言卻有天壤之別，此原因最主要

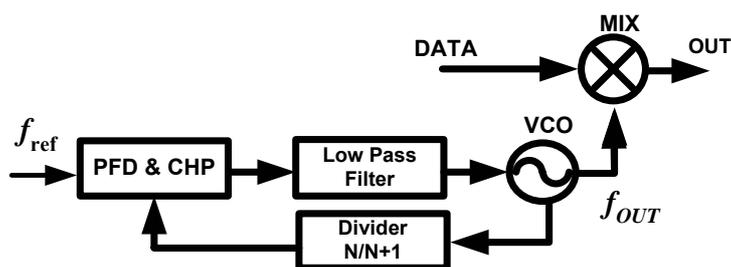


圖1.2 一般發射器的架構

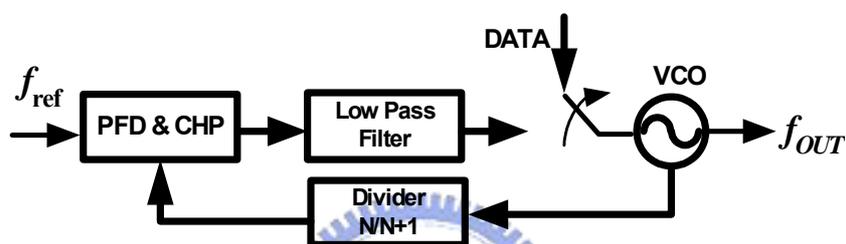


圖1.3 直接調變電壓控制振盪器

是圖1.2中的混波器，這是最耗功率的地方，由此我們可知，圖1.3的架構相較於圖1.2的確可在功率消耗獲得極大的好處，雖然圖1.3有降低功率的好處，且其理論簡單，但再深入去看此架構，我們會發現，仍有些必須要慎重考慮，也就是，當把訊號直接輸入電壓控制振盪器時，此時，原本應該是操作在閉迴路系統的鎖相迴路，卻是處於開迴路的狀態下(調變訊號必須要一個多位元的數位類比轉換器來完成)，也因此，我們很難精準地將調變訊號完整的轉變成類比訊號去調節電壓控制電壓振盪器的輸入控制電壓，所以如果調變訊號端的數位類比轉換器有漏電流或因為製程變動所造成的非理想效應，且同時因為閉迴路不存在，所以電壓控制電壓震盪器的輸入控制電壓，會因調變路徑所產生的漏電或非理想效應，也就是說電壓控制電壓震盪器的輸入控制電壓會有小抖動，因此造成原先鎖相迴路所鎖定的載波頻率，有所漂移，而無法精準的將低頻調變訊號傳送到所預想的頻帶上，所以在Heinen在[9]論文解釋說，若使用此種調變技術，但卻因為上述理

由，而增加電路設計的複雜度，對整個系統的積體化，將造成困難，如此相較圖1.2所使用的架構使用，雖然獲得了省功率的好處，但卻失去了高效能這另一項重要的議題，也因此，這種架構便有需要改進的地方，所以呢！另一位學者Riley提出了一種解決方法[10]，此方法就是不要直接調變電壓控制電壓震盪器，而是去變動鎖相迴路的除頻數目，藉此達到對電壓控制電壓震盪器輸出頻率的調變，為了有好的頻率解析度，選擇了非整數型頻率合成器來作為此架構的基本操作方塊，在後續幾篇討論非整數型頻率合成器雜訊的論文[11-13]中，可得到一個很好的結論，由於整個閉迴路不會被打斷，所以前面所述，在調變時會有頻率漂移的現象，在此以不直接調變電壓控制電壓振盪器的架構下，將不復存在。

因為上述的演進，所以我們最終決定以此架構作為研究的主題，首先，我們藉由圖1.4可知此架構的基本操作原理，頻率或是相位的調變可由變動除頻器的除數來獲得，由圖知，利用一個1位元的數位調變訊號，輸入除頻器，當輸入為0時，除頻器將會除N，當輸入變為1時，除頻器除數也會相對的變化成N+1，

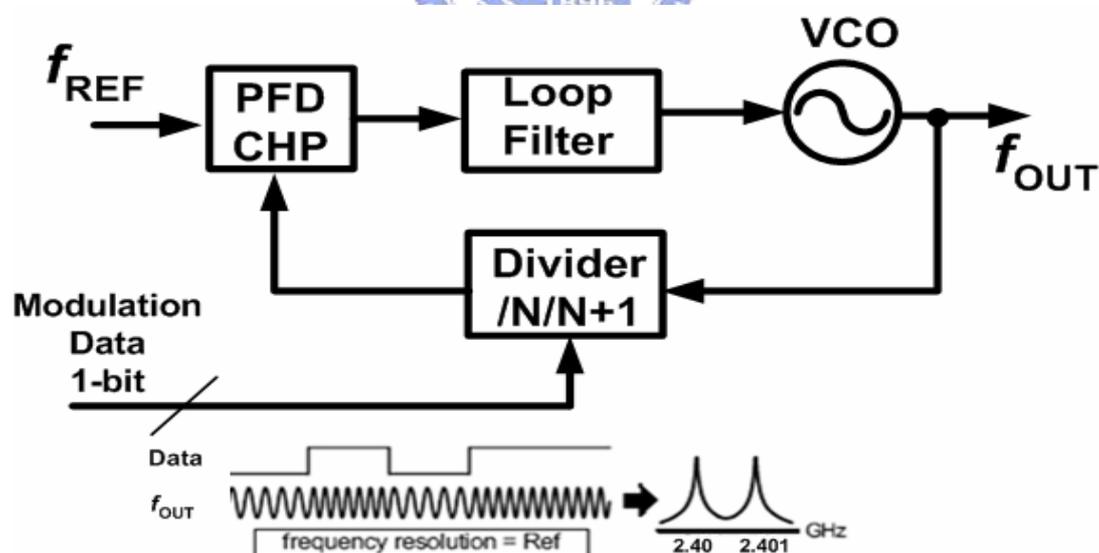


圖1.4 直接調變頻率合成器的架構

， $f_{out} = Nf_{ref}$ ，此方程式可看出當電壓控制電壓震盪器輸出頻率和輸入參考頻率的相對應關係式，在圖1.4 下方我們可看到輸出頻率的頻譜圖，如果輸入參考頻率

為1MHz，則我們可由圖知其變化量可由2.4GHz變成2.401GHz，如此便完成調變的動作，但圖1.4並不適用於一般通訊系統，因為此方法無法充份的利用所有的頻譜，所以我們需要一個像圖1.5的方式，對於頻率的切換能比較連續也就是，頻帶和頻帶間間距較小，此架構使用了和差化調變器來當做輸入訊號和除頻器之間的橋樑，也就是利用和差調變器可以產生平均數為小數的等效除數，如此一來，輸入參考頻率不再受限於調變訊號，如此一來，對通訊系統準則的訂定也能較寬鬆，也就是頻譜的利用率也較高，但此架構還是有其潛在的缺點，也就是如圖1.6所示，鎖相迴路的轉移曲線為一低通函式，和差化調變器所貢獻的量化雜訊為高通函式，還有就是波形整形器的轉移函式也是低通函數，所以我們回到

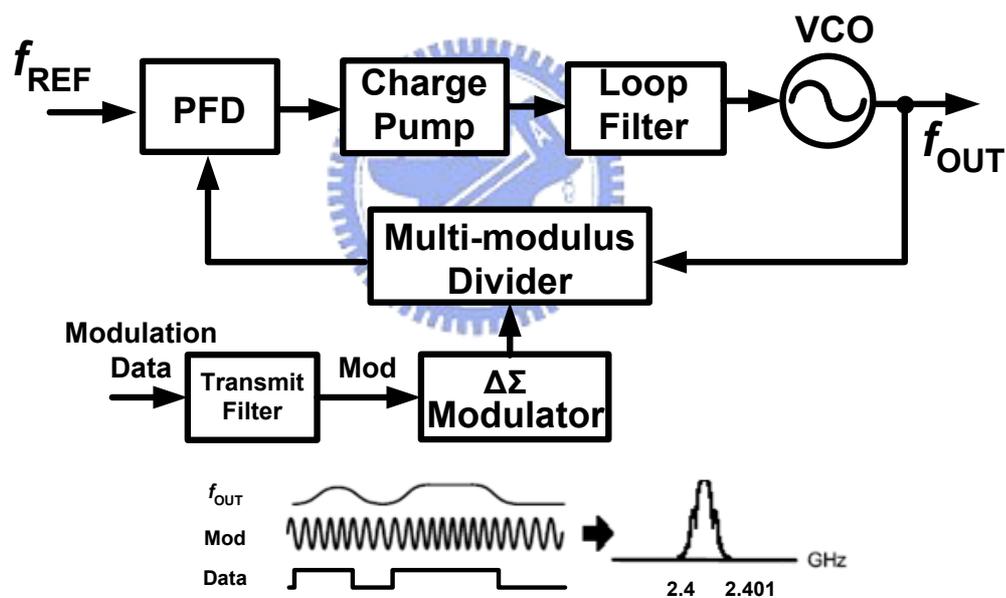


圖1.5 能充分利用頻譜的非整數型頻率合成器

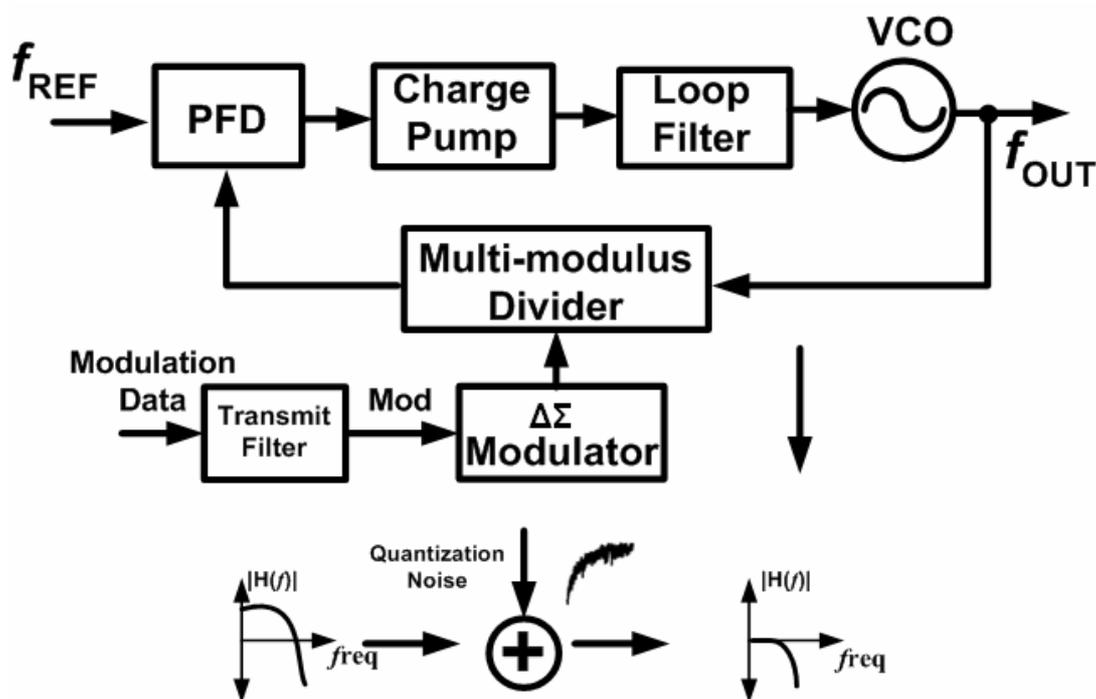


圖1.6 訊號路徑的轉移曲線

訊號路徑來討論，當訊號經過一個整形濾波器，其產生的資料傳輸率通常都會大於鎖相迴路的頻寬，所以我們所想傳輸的資料可能在經過鎖相迴路之後就會被衰減，造成資料的遺漏，由圖1.7我們更可以更进一步看出，若我們想要不使有效的資料在傳輸過程有所遺失，很直覺的會想把鎖相迴路的頻寬加大到不會對資料產生衰減，但我們可看到圖1.7(b)，當頻寬增加時，則和差化調變器所貢獻的量化雜訊將會因為頻寬增加而在頻譜出現的比例會增加，所以要得到好的訊雜比勢必要像圖1.7(a)，將鎖相迴路的頻寬縮小，但這又會造成資料的遺失，然而這兩難的局面可由Michael H. Perrott所提出的方法來解決[14]，也就是可以使資料傳輸率大於鎖相迴路的頻寬而不會有任何資料遺失的問題，既然鎖相迴路的頻寬

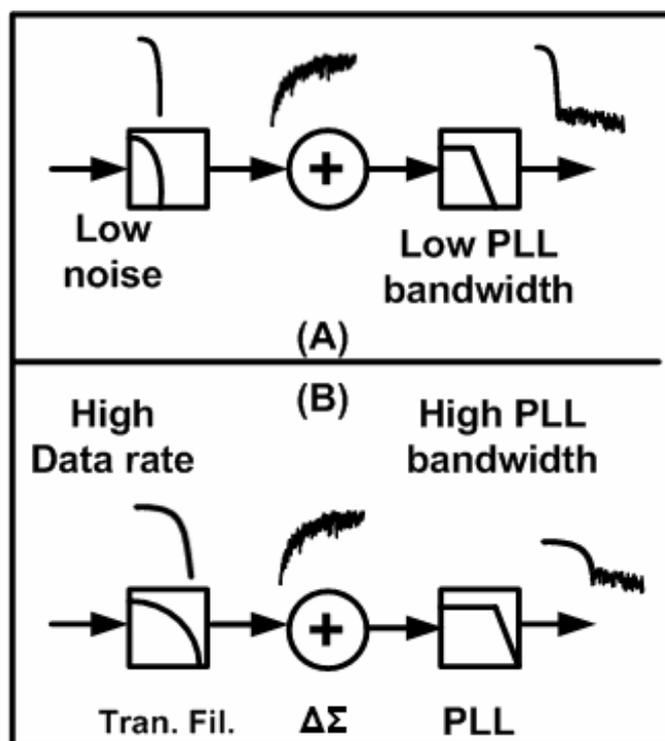


圖1.7 頻寬對輸出頻譜的影響

不必因為資料傳輸率增加而增加，如此一來就可解決鎖相迴路的頻寬加大而造成輸出頻譜效能降低的不良影響，現在我們開始介紹圖1.8的設計原理，首先，我們由圖示中可知，其中最大的不同就是多加了一個轉移曲線為高通函式的濾波器 (Predistortion Filter)，如此一來當訊號經過高斯濾波器時，其傳輸速率還是遠大於鎖相迴路的頻寬，但這個架構不用再擔心會被鎖相迴路的低通函式作濾波，原因就是我們所多加的濾波器，其轉移曲線是鎖相迴路的轉移曲線倒數，如此兩個濾波器串接的效果，可使得訊號完整的傳輸到頻帶上，而且我們可選擇一個頻寬較小的鎖相迴路，如此，不但可以獲得高傳輸資料量，也可以使輸出頻譜有相當不錯的輸出頻譜效能，

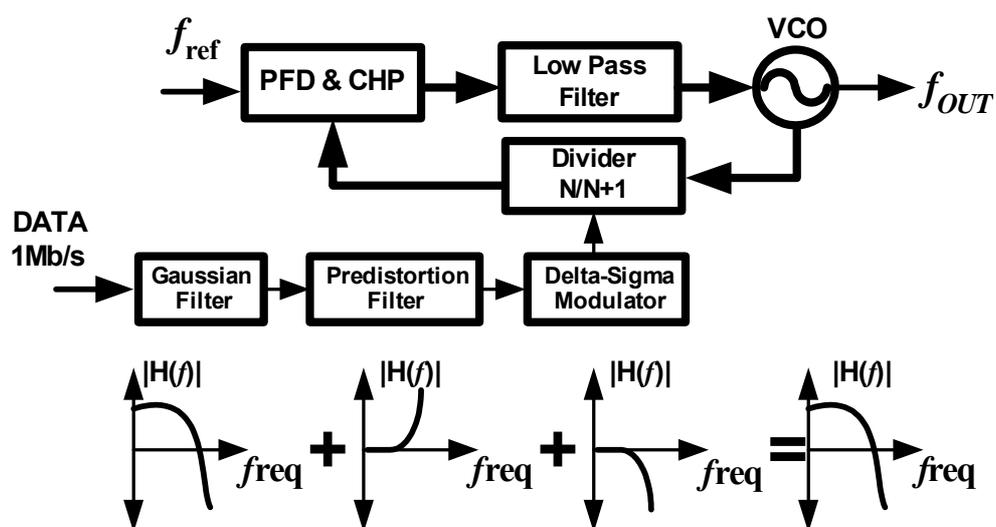


圖1.8 頻寬對輸出頻譜的影響

最後再由圖1.9可以得到最後的結論，由此圖我們可更清楚的得知，當加上高通濾波器之後，如圖所示，此濾波器會使得輸入訊號的振幅增加，也就是將原本的調變訊號範圍加大，如此便可把之後會被鎖相迴路低通函式所造成的失真給補償回來，所以我們就可把鎖相迴路的設計和資料傳輸速率的相依性給解開，因此，我們在接下的章節就可暫時把訊號調變路徑給忽略，專心在頻率合成器的主體設計，表一為本論文主要所要達到的規格表。

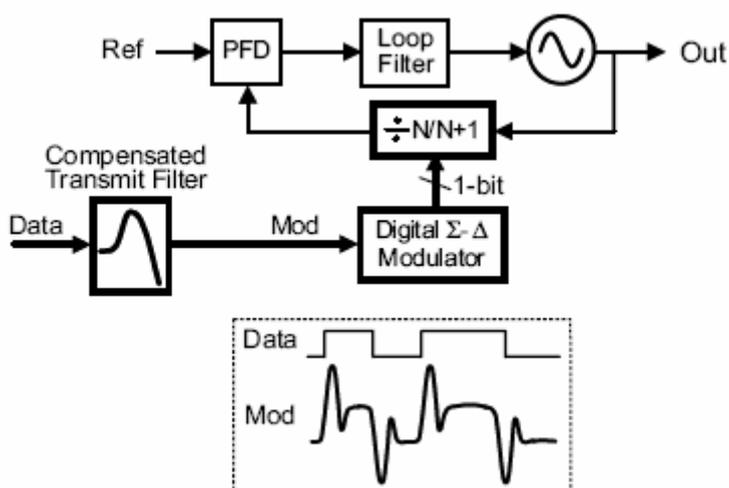


圖1.9 等效模型

操作頻率範圍	2.4GHz ~2.483GHz
相鄰兩頻帶的間距	1MHz
相位雜訊的規格	- 80dBc/Hz @ 1MHz -110dBc/Hz @ 2MHz -120dBc/Hz @ 3MHz
訊號調變的方法	GFSK
頻率的準確度	+/- 30ppm +/-75KHz
鎖相迴路穩定的時間	220μs

表一 藍芽系統規格表



第二章

頻率合成器的基本理論

2.1 簡介

由於本論文主要的建構方塊即為一個非整數型的頻率合成器，所以接下來我將最原始的鎖相迴路開始介紹，然後再進入非整數型的頻率合成器的設計。

設計一個以鎖相迴路(Phase-Locked Loops)為基礎的頻率合成器(Frequency Synthesizer)時，必須考慮以下幾點需求。

- 相位雜訊(Phase Noise)：相位雜訊的定義為 Single-Sideband (SSB)功率對載波功率的比值，其量測單位為 dBc/Hz。

- 轉換速度(Switching Speed)：頻率合成器使用上必須由一個頻道轉換至另外一個頻道，而頻率合成器所花費的時間就稱為轉換時間。一個好的頻率合成器必須提供快速的轉換速度。

- 頻率解析度(Frequency Resolution)：兩個相鄰頻率通道間的頻率間隔稱為頻率解析度。因為所有可獲得的頻寬是有限制的，所以好的頻率解析度可得到較多的頻率通道。

整數鎖相迴路(Integer PLLs)在設計上必須對頻率解析度與迴路頻寬(Loop Bandwidth)有所取捨。較寬的迴路頻寬提供較快的轉換速度，因此整數鎖相迴路無法同時提供快速的轉換速度與好的頻率解析度。

非整數鎖相迴路(Fractional-N PLL)在相同的頻率解析度下可擁有較高的參考信號頻率(Reference Frequency)。高的參考信號頻率允許設計較寬的迴路頻寬，所以能達到較快的轉換速度與較低的相位雜訊。

2.2 鎖相迴路的雜訊

要分析頻率合成器的相位雜訊(Phase Noise)，採用圖 2.1 的線性雜訊模型。在此方塊圖中，相位頻率偵測器的轉移函數為 K_d ，迴路濾波器為 $F(s)$ ，壓控振盪器為 K_v/s ，除頻器為 $1/N$ 。每個元件產生的雜訊都會對輸出產生影響，下列為各元件的雜訊轉移函數。

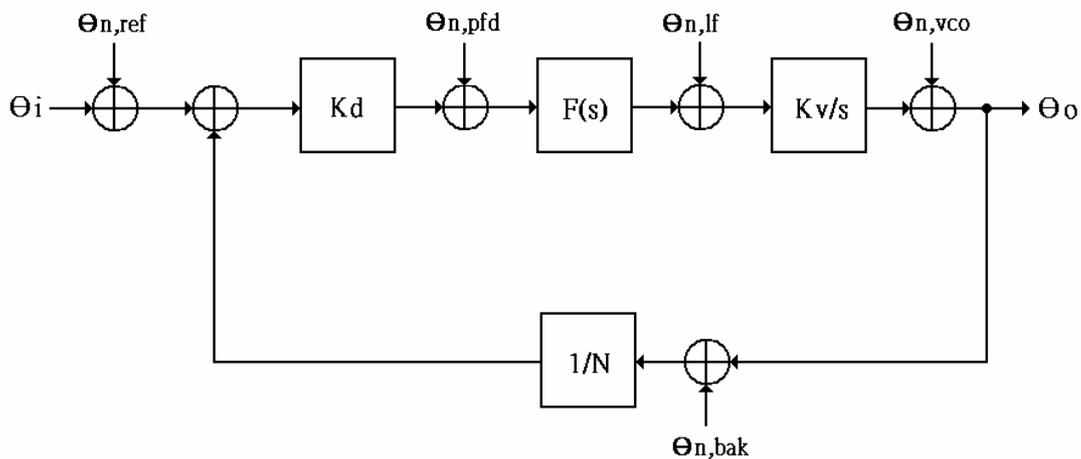


圖 2.1 線性相位雜訊模型

參考信號源對頻率合成器輸出的線性相位雜訊轉移函數為

$$\begin{aligned}\frac{o,ref}{ref} &= \frac{KdF(s)Kv}{s + KdF(s)Kv/N} \\ &= H(s)\end{aligned}\quad (2.1)$$

$H(s)$ 是閉迴路轉移函數，為低通方程式。

相位頻率偵測器對頻率合成器輸出的線性相位雜訊轉移函數為

$$\begin{aligned}\frac{o,pfd}{pfd} &= \frac{F(s)Kv}{s + KdF(s)Kv/N} \\ &= \frac{1}{Kd} \cdot H(s)\end{aligned}\quad (2.2)$$

迴路濾波器對頻率合成器輸出的線性相位雜訊轉移函數為

$$\begin{aligned}\frac{o,lf}{lf} &= \frac{Kv}{s + KdF(s)Kv/N} \\ &= \frac{1}{KdF(s)} \cdot H(s)\end{aligned}\quad (2.3)$$

壓控振盪器對頻率合成器輸出的線性相位雜訊轉移函數為

$$\begin{aligned}\frac{o,vco}{vco} &= \frac{s}{s + KdF(s)Kv/N} \\ &= 1 - H(s)\end{aligned}\quad (2.4)$$

此為高通方程式。

迴授路徑雜訊源對頻率合成器輸出的線性相位雜訊轉移函數為

$$\begin{aligned}\frac{o,bak}{bak} &= \frac{1/N \cdot KdF(s)Kv}{s + KdF(s)Kv/N} \\ &= \frac{1}{N} \cdot H(s)\end{aligned}\quad (2.5)$$

在頻率合成器輸出的所有雜訊源的功率頻譜可表示為

$$\begin{aligned}\Phi_o &= \Phi_{o,ref} + \Phi_{o,pfd} + \Phi_{o,lf} + \Phi_{o,vco} + \Phi_{o,bak} \\ &= |H(s)|^2 \Phi_{ref} + \left| \frac{1}{Kd} H(s) \right|^2 \Phi_{pfd} + \left| \frac{1}{KdF(s)} H(s) \right|^2 \Phi_{lf} \\ &\quad + |1 - H(s)|^2 \Phi_{vco} + \left| \frac{1}{N} H(s) \right|^2 \Phi_{bak}\end{aligned}\quad (2.6)$$

Φ_0 代表雜訊源 * 的功率頻譜密度。

代表參考信號源、相位頻率偵測器、迴路濾波器與迴授路徑雜訊源的相位雜訊轉移函數為低通方程式，僅有壓控振盪器的相位雜訊轉移函數為高通方程式。所以我們可知道，在迴路頻寬(Loop Bandwidth)中的輸出相位雜訊(Phase Noise)由參考信號源、相位頻率偵測器和迴路濾波器的性能所限定。在迴路頻寬外的輸出相位雜訊由壓控振盪器的雜訊性能所支配。

如果參考信號源、相位頻率偵測器和迴路濾波器的相位雜訊功率高於壓控振盪器的，則必須設計較小的鎖相迴路頻寬去排除雜訊。如果壓控振盪器的相位雜訊功率壓倒其餘者，鎖相迴路的迴路頻寬必須設計較大去排除壓控振盪器的雜訊。在大部分的設計中，相位雜訊由壓控振盪器的雜訊所決定，所以必須設計較大的迴路頻寬去抑制壓控振盪器的相位雜訊。

但並非所有的迴路頻寬都愈大愈好。因為迴路頻寬必須低於十分之一的參考信號頻率，才能將參考信號中的雜訊濾除掉。在基本鎖相迴路的架構中，參考信號頻率等於頻率解析度。在某些設計中參考信號頻率必須非常低，所以在相位雜訊、迴路頻寬和頻率解析度的設計上必須有所取捨。

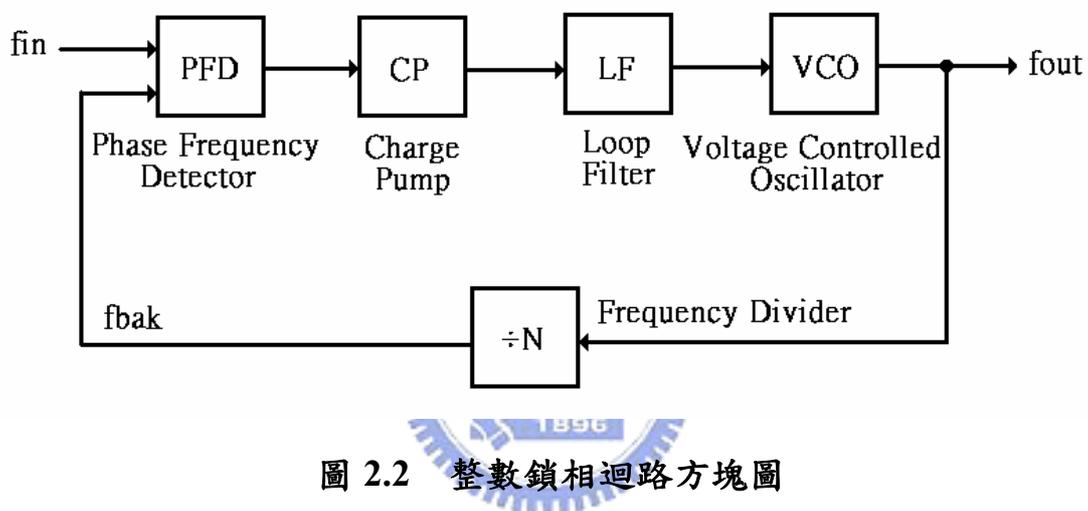
2.3 整數鎖相迴路

鎖相迴路(PLLs)的優點為抑制輸出信號的雜訊。圖 2.2 為一整數鎖相迴路的方塊圖，包含相位頻率偵測器(Phase Frequency Detector)、電荷充放器(Charge Pump)、迴路濾波器(Loop Filter)、壓控振盪器(Voltage Controlled Oscillator)與除頻器(Frequency Divider)。當鎖相迴路在鎖定狀態時，輸出信號 f_{out} 與參考信號 f_{in} 的關係為

$$f_{out} = N \times f_{in} \quad (2.7)$$

所以合成的頻率由除頻器的除數 N 決定，其中 N 為整數。

整數鎖相迴路的設計問題有相位雜訊、轉換速度和頻率解析度等等，在設計中對這些參數必須有所取捨。好的頻率解析度需要低的參考信號頻率，其導致窄的迴路頻寬。快速的轉換速度需要寬的迴路頻寬，因此在設計上快速的轉換速度與好的頻率解析度是有衝突的，為克服此一困難，我們採用非整數鎖相迴路。



2.4 非整數鎖相迴路

非整數鎖相迴路(Fractional-N PLLs)允許頻率解析度小於參考信號頻率(Reference Frequency)，所以有好的頻率解析度和高的參考信號頻率。高的參考頻率允許設計較寬的迴路頻寬，所以擁有快速的轉換速度。因此非整數鎖相迴路能同時擁有快速的轉換速度與好的頻率解析度。

傳統的非整數鎖相迴路(圖 2.3)有複雜的電路而且非整數除頻產生相位雜訊(Phase Noise)，會因為加入累加器而有額外的雜訊產生，因此在許多應用上並不適合。新的非整數鎖相迴路採用和差調變器(Sigma-Delta Modulator)的概念。大

部分非整數除頻產生的相位雜訊經由和差調變器形成於高頻的頻帶，並且由鎖相迴路的低通迴路率波器所移除。因此，使用和差調變器的非整數鎖相迴路擁有低的相位雜訊，可以比較容易滿足所需要的相位雜訊的規範。

和差調變器的用途為控制多係數除頻器(Multi-Modulus Divider)，它產生一串的整數資料 $m(t)$ ，用以改變除頻器的除數，產生非整數除數的效果。所以輸出信號 f_{out} 與參考信號 f_{in} 的關係為

$$f_{out} = N.F \times f_{in}$$

其中除數 $N.F$ 為非整數，且小數部分由和差調變器的輸入所控制。

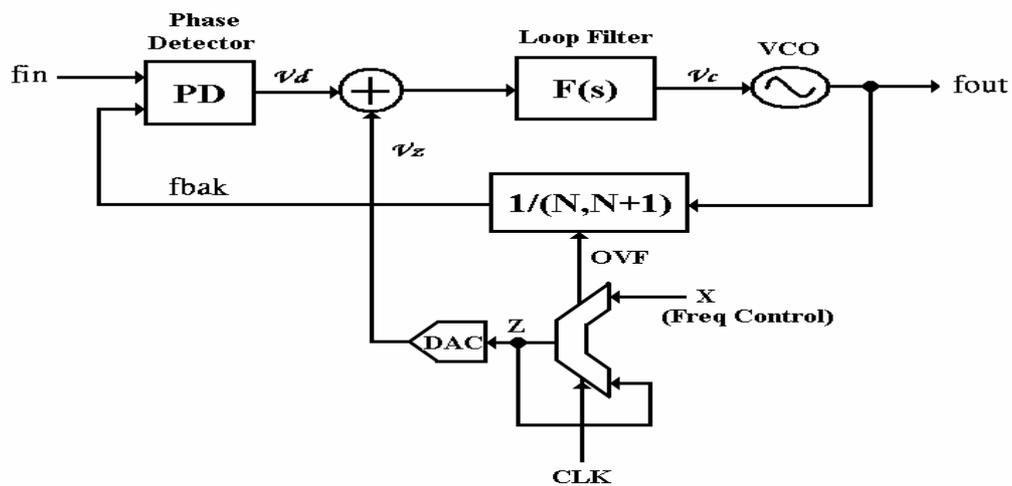


圖 2.3 傳統的非整數鎖相迴路

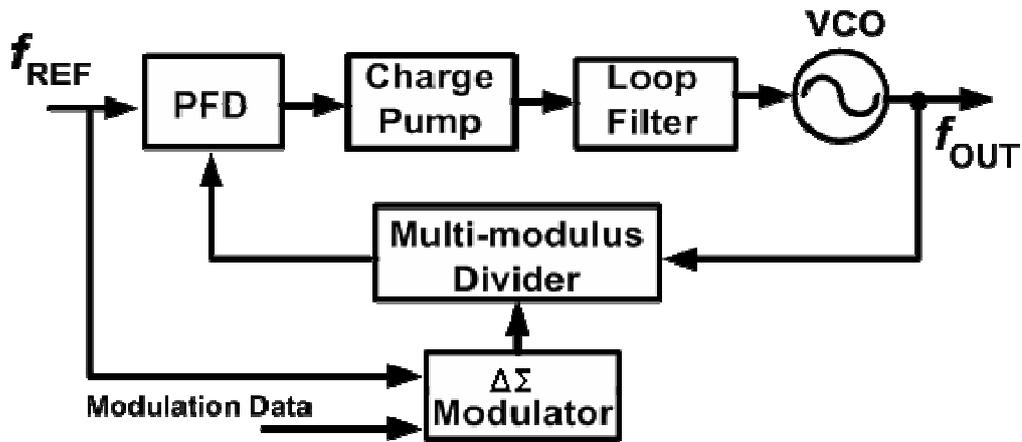


圖 2.4 為一使用和差調變器的非整數鎖相迴路的架構圖

此論文主要是在實現圖 2.4，一個使用和差調變器的非整數頻率合成器，接下來會以雜訊的角度切入電路設計的主軸。

2.5 使用和差調變器的非整數鎖相迴路

理論上如果使用非整數形的頻率合成器時，將可以使用較高的參考訊號源，也因此，可獲得較寬的閉迴路頻寬，但事實上並不然，由於使用和差調變器，而使得閉迴路頻寬受到限制，接下來我們就先來討論和差調變器的雜訊模型 [15]。

首先我們由圖 2.4 可知頻率合成器的輸入參考頻率 f_{REF} 和輸出電壓控制振盪器 f_{OUT} 的關係式可由式 2.8 表示：

$$f_{OUT} = N \times f_{REF} \quad (2.8)$$

然而除頻器的除數是由和差調變器所控制的，所以我們可得下列關係式：

$$N_{DIV}(z) = N \cdot f(z) + (1 - z^{-1})^3 \cdot Q(z) \quad (2.9)$$

其中 $N_{DIV}(z)$ 為實際輸出的除數， $N \cdot f(z)$ 為理想上想要獲得的除數，而 $Q(z)$ 則為和差調變器的量化雜訊，結合式(2.8)和式(2.9)我們可得下列式子：

$$f_{OUT}(z) = N \cdot f(z) \cdot f_{REF} + (1 - z^{-1})Q(z)f_{REF} \quad (2.10)$$

其中 $Q(z) = 1/12f_{REF}$ 為量化雜訊，所以呢，會影響輸出頻譜圖的為式(2.10)後半段的 $(1 - z^{-1})Q(z)f_{REF}$ ，所以將 $Q(z)$ 此雜訊量帶入式(2.10)，我們可得下式：

$$S_v(z) = \left| (1 - z^{-1})^3 f_{REF} \right|^2 \frac{1}{12f_{REF}} = (1 - z^{-1})^6 \frac{f_{REF}}{12} \quad (2.11)$$

此(2.11)為和差調變器輸出到相位和頻率檢測器的輸入端的頻率變化，所以只要把式(2.11)轉換成相位，式(2.12)是頻率和相位的關係式，式(2.13)為式(2.12)轉換到 Z 平面：

$$\theta = \int \omega dt = 2\pi \int f dt \quad (2.12)$$

$$\Phi(z) = \frac{2\pi \cdot f}{(1 - z^{-1}) \cdot f_{REF}} \quad (2.13)$$

最後再將 2.9 式和 2.13 式相乘可得到(式 2.14)，也就是和差調變器對相位和頻率檢測器輸入端相位的變化量，

$$S_{\Delta\Sigma}(z) = \frac{\left| (1 - z^{-1}) \right|^2 \cdot f_{REF}}{12} \times \frac{2\pi \cdot f}{(1 - z^{-1}) \cdot f_{REF}} = \frac{\left| (1 - z^{-1})^3 \right|^2}{\left| (1 - z^{-1}) \right|^2} \times \frac{\pi^2}{3f_{REF}} \quad (2.14)$$

再利用式(2.14)乘上參考訊號源對輸出端相位的轉移函式，就可得到和差調變器量化雜訊對輸出端的影響。

$$S_{\theta, \Delta\Sigma}(f) = \left[\frac{(2\pi)^2}{12f_{REF}} \left[2SIN\left(\frac{\pi \cdot f}{f_{REF}}\right) \right]^{2(L-1)} \right] \times |T(f)|^2 \quad (2.15)$$

$|T(f)|$ 是一個鎖相迴路的近似式

在此由於我們考慮相位雜訊規格都在 1MHz、2MHz、3MHz，所以我可以作

出式(2.16 和 2.17)這兩個假設式

$$|T(f)|^2 \cong \left(\frac{f_c}{f}\right)^{2m} \quad m \text{ 為鎖相迴路的階數} \quad (2.16)$$

$$\text{SIN}\left(\frac{\pi \cdot f}{f_{REF}}\right) \cong \left(\frac{\pi \cdot f}{f_{REF}}\right) \quad (2.17)$$

最後我們把式 2.15 左右皆取 $10\log$ 之後可得到式(2.18)

$$10\log(S_{\theta,\Delta\Sigma}(f)) \approx 10\log\left(\frac{2\pi^{2L}}{12} \left(\frac{1}{f_{REF}}\right)^{2L-1} \cdot f_c^m\right) - 20(m-L+1)\log(f) \quad (2.18)$$

其中 L 為和差調變器的階數

根據此式(2.18)我們可的到一個結論，也就是，如果要獲得相位雜訊好處的話，由此式可知，如果和差調變器的階數為三階，其相對應的鎖相迴路也必須要大於或等於和差調變器的階數，有了此限制，所以將會限定我們所要使用和差調變器的階數，使得和差調變器的階數不能無限制的往上增加，因為當和差調變器的階數為 3 階時，鎖相迴路必須是 3 階以上，如此一來，再增加下去的話，鎖相迴路的設計將會有困難，所以再此決定本論文的鎖相迴路為 4 階，和差調變器為 3 階。

$$10\log(S_{\theta,\Delta\Sigma}(f)) \approx 10\log\left(\frac{2\pi^{2L}}{12} \left(\frac{1}{f_{REF}}\right)^{2L-1} \cdot f_c^m\right) - 20(m-L+1)\log(f) \quad (2.18)$$

其中 L 為和差調變器的階數

最後還有一項資訊可獲得，也就是把式 2.15 作移項，可得式 2.19

$$f_{C,MAX} = (S_{\theta,\Delta\Sigma}(f)) \cdot \frac{12}{2\pi^{2L}} \cdot f_{REF}^{2L-1} \cdot f^2)^{\frac{1}{2L}} \quad (2.19)$$

其中 f_C 為閉迴路的頻寬

由上式可得知，在所要求達到的相位雜訊規範中，閉迴路的頻寬是有上限的，在此最理想的狀態下，閉迴路的頻寬至少要少於 600KHz，如此才不至於使得和差調變器成為主要的限制項。

除了和差調變器對相位雜訊有很大的影響之外，還有另一主要的雜訊源，此雜訊源是由電壓控制振盪器所提供的，所以接下來進入電壓控制電壓振盪器的討論。

2.6 電壓控制振盪器

由於無線通訊系統，對於相位雜訊的要求很嚴苛，所以在此選擇使用利用電感電容產生共振所形成的電壓控制振盪器。

電壓控制振盪器，可以以下列的數學式作代表

$$V_{out}(t) = A(t) \cdot f(\omega_0 t + \phi(t)) \quad (2.20)$$

其中的 $\phi(t)$ 和 $A(t)$ 皆是時間的方程式，而此方程式 f 是 2π 週期訊號。

因為 $\phi(t)$ 是頻率的函數，所以貢獻相位雜訊 $L(\Delta\omega)$ [16]，此項位雜訊的表示式由下式可知：

$$L_{phase}(\Delta\omega) = 10 \cdot \log \left[\frac{P_{sideband}(\omega + \Delta\omega, 1\text{Hz})}{P_{carrier}} \right] = L(\Delta\omega) \quad (2.21)$$

其中 $P_{sideband}(\omega + \Delta\omega, 1\text{Hz})$ 代表量測頻寬為 1Hz，且離訊號載波位移所量到的訊號功率。當我們假設此系統為線性非時變系統時，上述的相位雜訊模型可改寫為

$$\begin{aligned} L(\Delta\omega) &= 10 \log \left\{ \frac{2FkT}{P_s} \cdot \left[1 + \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \right] \cdot \left(1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right) \right\} \\ &= 10 \log \left\{ \frac{2FkT}{P_s} \cdot \left[1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} + \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \cdot \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \right] \right\} \end{aligned} \quad (2.22)$$

其中第一部分為 DC 雜訊，第二部分為元件 $1/f$ 的閃爍 flicker 雜訊

$\left(\frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right)$ ，第三部分 $\left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2$ 是電阻電容電感槽的雜訊，第四項

$\left(\frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \cdot \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \right)$ 元件 $1/f$ 的閃爍 flicker 雜訊和電阻電容電感槽的雜訊的

合併項， F 是一個經驗參數(通稱為“device excess noise number”)， k 是波茲曼常數， T 是絕對溫度， P_s 是電阻性部分的平均功率耗損， ω_0 是振盪頻率， $\Delta\omega$

是距主要載波的偏移頻率，最後一項 $\Delta\omega_{1/f^3}$ 是 $1/f^3$ 和 $1/f^2$ 兩區域的分界頻率。

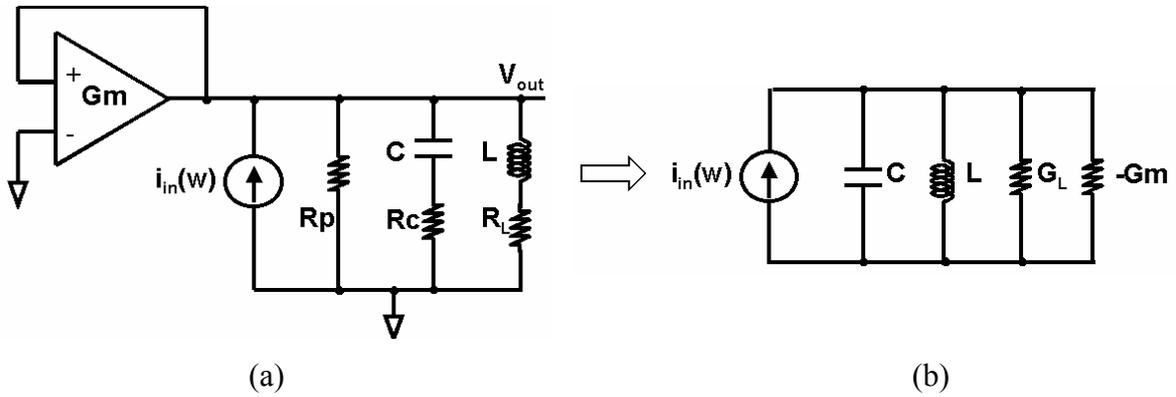


圖 2.5 (a) 一個簡單的電壓控制振盪器的架構圖 (b) 等效模型

圖 2.5 顯示出由電阻電容電感所貢獻的 $1/f^2$ 雜訊，此模型可以推導出在 $1/f^2$ 區域的相位雜訊，假設 $\Delta\omega \ll \omega_0$ ，我們可以很容易的得到下列式子：

$$\begin{aligned}
 Y(\omega_0 + \Delta\omega) &= Y_L = G_L + jB_L \\
 &= G_L + jG_L \cdot \tan d\varphi \\
 &= G_L + jG_L d\varphi \\
 &= G_L + jG_L \cdot 2 \cdot \left(\frac{\omega_0}{2} \frac{d\varphi}{d\omega} \right) \cdot \frac{d\omega}{\omega_0} \\
 &= G_L + j2G_L Q_L \cdot \frac{d\omega}{\omega_0}
 \end{aligned}
 \tag{2.23}$$

for Fig.4.7(b)

for $d\varphi \ll 1$

define $Q_L = \frac{\omega_0}{2} \frac{d\varphi}{d\omega}$

$$Z(\omega_0 + \Delta\omega) = \frac{1}{Y(\omega_0 + \Delta\omega)} = \frac{1}{G_L} \cdot \frac{1}{1 + j2Q_L \frac{\Delta\omega}{\omega_0}}
 \tag{2.24}$$

其中 G_L 為共振腔的寄生電感。

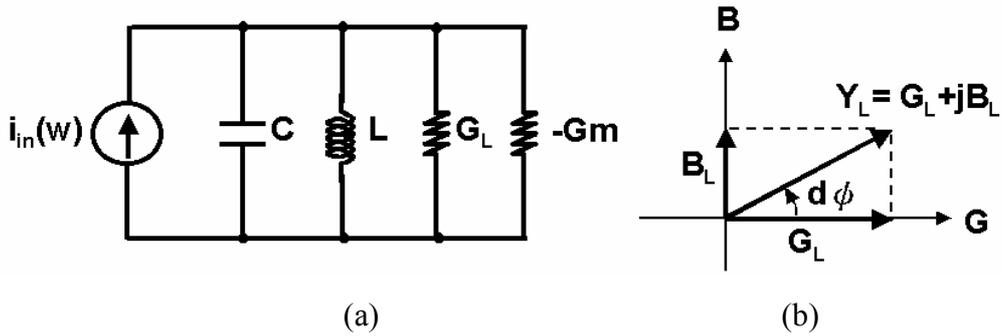


圖 2.6(a) 簡化的 RLC 振盪器 (b) 共振腔的轉導

當穩定的振盪時，式 2.23 的實數部分會等於零，而 RLC 振盪器虛數部分的轉導為下面所示：

$$Y(\omega_0 + \Delta\omega) = j2G_L Q_L \frac{\Delta\omega}{\omega_0} \quad (2.24)$$

圖 2.5 的閉迴路的轉移函數其虛部的阻抗為

$$H(\Delta\omega) = \frac{1}{Y(\omega_0 + \Delta\omega)} = \frac{1}{j2G_L Q_L \frac{\Delta\omega}{\omega_0}} = -j \frac{1}{G_L} \cdot \frac{\omega_0}{2Q_L \Delta\omega} \quad (2.25)$$

所以這等效閉迴路並聯共振腔的均方根電流密度為 $\frac{\overline{i_n^2}}{\Delta f} = 4FkTG_L$ ，使用上述等效

的電流雜訊功率，在 $1/f^2$ 區域的頻譜可以下式所算：

$$\begin{aligned} L(\Delta\omega) &= 10 \log \left(\frac{\overline{v_{noise}^2}}{\overline{v_{signal}^2}} \right) \\ &= 10 \log \left(\frac{\frac{1}{2} \cdot |H(\Delta\omega)|^2 \cdot \overline{i_n^2} / \Delta f}{\frac{1}{2} \cdot V_{max}^2} \right) = 10 \log \left(\frac{2FkT}{P_s} \cdot \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \right) \end{aligned} \quad (2.26)$$

式 (2.26) 為一個通式，以此式子也可以探討圖 2.5(a) 的個別的雜訊源。而圖 2.5(a) 的 RLC 電路，可推出下式：

$$L(\Delta\omega) = 10 \log \left(\frac{kT \cdot R_{eff} [1 + A] \cdot \left(\frac{\omega_0}{\Delta\omega} \right)^2}{V_{max}^2 / 2} \right) \quad (2.28)$$

此處的 $R_{eff} = R_L + R_C + \frac{1}{R_P(C\omega_0)}$ ，A 是另一個經驗參數。所以有了此模型之後，我將可以開始以電壓控制振盪器，和差調變器來開始選擇閉迴路的頻寬。

2.7 閉迴路頻寬的選擇

我們已推導出兩大雜訊源的相位雜訊模型，所以可以藉此計算出兩者對輸出頻譜的影響，如圖 2.7 所示，我們可得知，電壓控制振盪器所貢獻的相位雜訊，當閉迴路頻寬變大時，我們可看到電壓控制振盪器的雜訊(在 100KHz 附近)會有明顯被抑制的效果，而和差調變器則相反，當頻寬增加時，在 1MHz 附近的雜訊準位會大幅度上升，我們因此可得到一個歸納過後的結果，也就是當頻寬上升時，電壓控制振盪器的雜訊準位會下降(在比較接近閉迴路頻寬處)，和差調變器的雜訊準位會上升(接近 1MHz 處)，反之亦然，除此之外，還有一現象可觀察，那就是如果我們可使電壓控制振盪器的相位雜訊(Phase Noise)表現做到 -110dBc@1MHz offset，則由圖 2.7 中可知其在較高頻帶的相位雜訊相較於和差調變器已非主要的決定項了，最後再將閉迴路頻寬作掃描，可得知，計算和差調變器和電壓控制振盪器對輸出頻譜的輸出

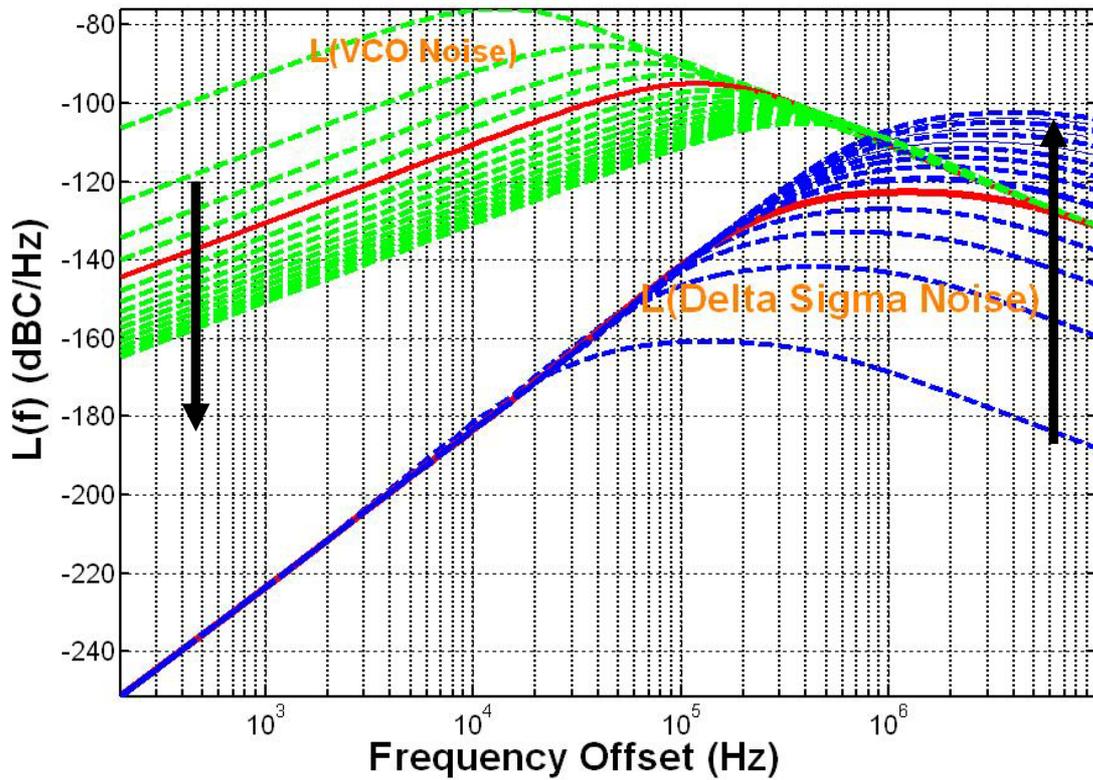


圖 2.7 閉迴路頻寬的選擇

總和，使其滿足藍芽系統的相位雜訊規格，如此可得到最佳化的頻寬為 100KHz，決定完最佳化的頻寬後，我們開始對電荷幫浦作分析，以期得到一個最小的功率耗損。

2.8 電荷幫浦電流的選擇

由圖 2.8 我們可得知，主要的雜訊源為上下兩顆尾端電流源，此電流源通常是分別由 NMOS 和 PMOS 所做成，也因此這兩顆電晶體也就成為最主要的雜訊來源，所以我們引用[17]的雜訊模型，

$$\overline{\frac{i^2}{\Delta f}} = 4KTgm + \frac{KF_n \cdot gm_n^2}{W_n L_n C_{OX} \cdot f^{AF_n}} + \frac{KF_p \cdot gm_p^2}{W_p L_p C_{OX} \cdot f^{AF_p}} \quad (2.29)$$

其中第一項： $4KTgm$ 為通道的雜訊，第二項： $\frac{KF_n \cdot gm_n^2}{W_n L_n C_{OX} \cdot f^{AF_n}}$ 為 NMOS 的閃爍

(flicker)雜訊，第三項 $\frac{KF_p \cdot gm_p^2}{W_p L_p C_{OX} \cdot f^{AF_p}}$ 為 PMOS 的閃爍(flicker)雜訊。

而公式中所需的參數如下表 2 所示：

	KF	AF	W/L
NMOS	6.71e-25uS	0.849624V ² F	8/2
PMOS	7.94e-26uS	0.96485 V ² F	32/2

表二 參數表

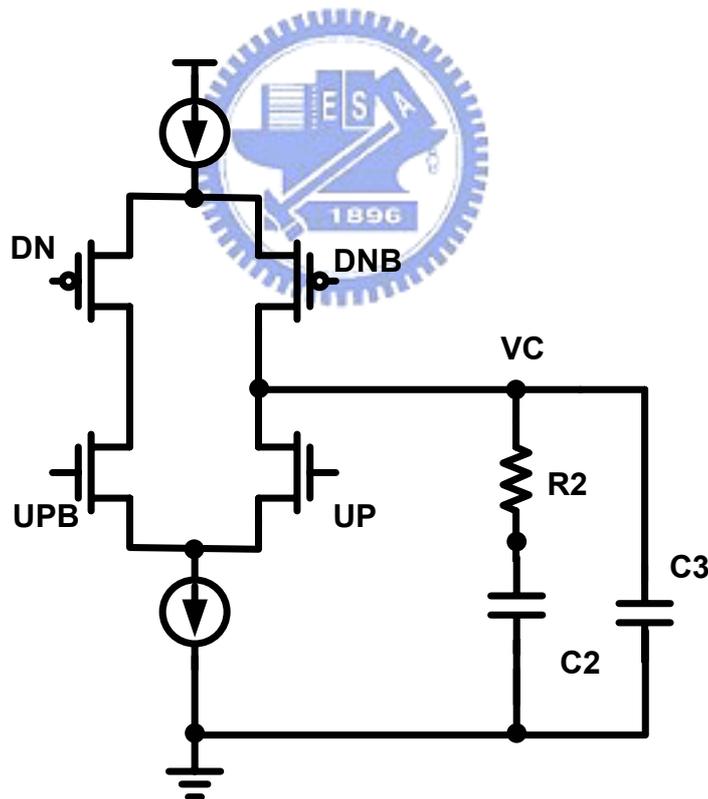


圖 2.8 電荷幫浦的架構

除此之外尚有迴路濾波器中的電阻也會貢獻熱雜訊，如式(2.30)

$$\frac{\overline{i^2}}{\Delta f} = \frac{4KT}{R} \quad (2.30)$$

有了式(2.29)和式(2.30)之後，我們就把所有雜訊源加總，乘上轉移函式，之後可獲得圖 2.9，由此圖中我們可觀察到一現象，當電荷幫浦的電流變大時，我們會獲得較好的相位雜訊表現，但為了要達到低功率消耗的前題，我們就必須在不影響相位雜訊，而選擇一個較小的電荷幫浦電流，根據模擬，可得知此電流值在 60uA 是最好的，

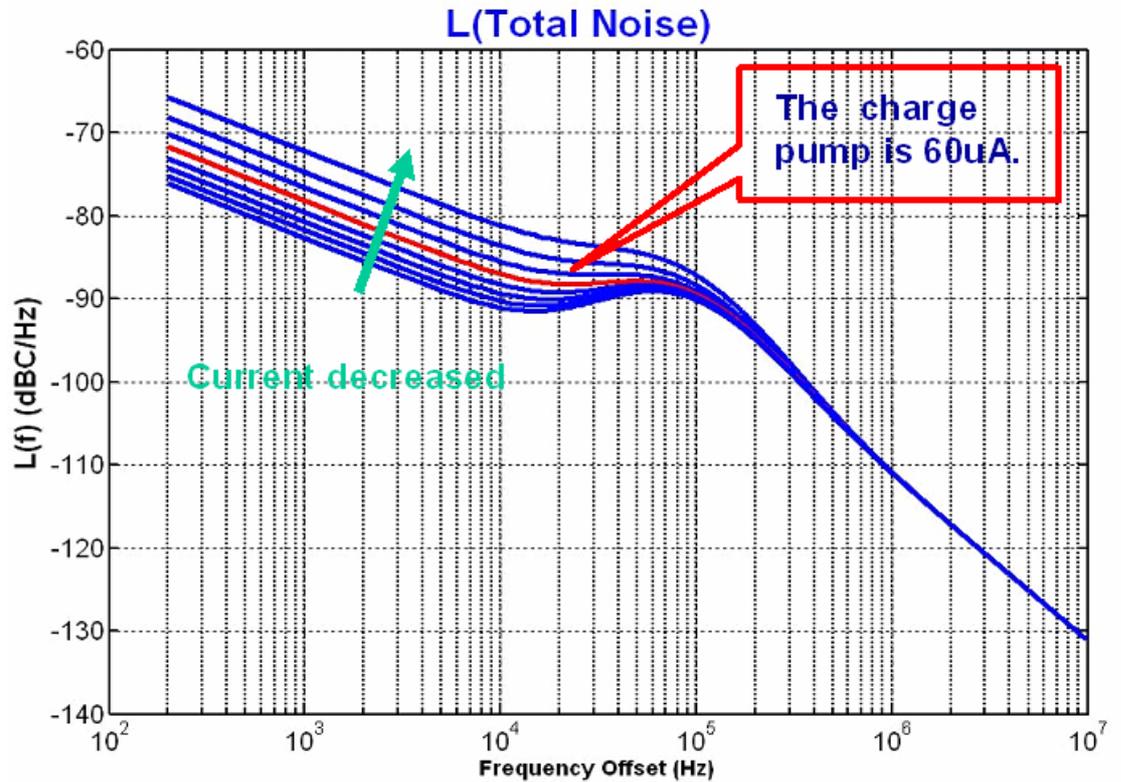


圖 2.9 電荷幫浦的電流選擇

2.9 迴路濾波器的計算

本論文需要一個四階的鎖相迴路來抑制和差調變器，也因為需要一個計算三階迴路濾波器的流程，此流程是參照[18]所作。由圖 2.10 我們可得到整個三階迴路濾波器示意圖，圖中右側是其等效轉移函數，之後我們再利用

$$\phi = \tan^{-1}(T_2\omega) - \tan^{-1}(T_1\omega) - \tan^{-1}(T_3\omega) \quad (2.31)$$

然後對(2.31)作微分可得(2.33)

$$\left. \frac{d\phi}{d\omega} \right|_{\omega = \omega_c} = 0 \quad (2.32)$$

$$\frac{\omega_c T_2}{1 + \omega_c^2 T_2^2} - \frac{\omega_c T_1}{1 + \omega_c^2 T_1^2} - \frac{\omega_c T_1 T_{31}}{1 + \omega_c^2 T_1^2 T_{31}^2} = 0 \quad (2.33)$$

再利用零點會小於其它兩極點可得式(2.35)

$$T_2 \geq T_1 + T_3 \quad (2.34)$$

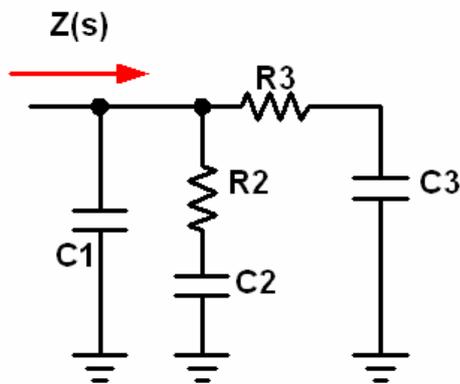
$$T_2 \approx \frac{1}{\omega_c^2 (T_1 + T_3)} \quad (2.35)$$

T_1 可由幾何函數轉換可得式(2.36)

$$T_1 \approx \frac{\sec(\phi) - \tan(\phi)}{(1 + T_{31})\omega_c} \quad (2.36)$$

最後再利用在單位增益的時候，此時為閉迴路的頻寬可得式(2.37)

$$C_{tot} = \frac{K_{PFD} K_{VCO}}{\omega_c^2 N} \sqrt{\frac{1 + (\omega_c T_2)^2}{(1 + (\omega_c T_1)^2)(1 + (\omega_c T_3)^2)}} \quad (2.37)$$



$$Z(s) = \frac{1 + sT_2}{sC_{tot}(1 + sT_1)(1 + sT_3)}$$

$$T_1 = \frac{R_2 C_2 C_1}{C_{tot}}$$

$$T_2 = R_2 C_2$$

$$T_3 = R_3 C_3 = T_1 T_{31}$$

$$C_{tot} = C_1 + C_2 + C_3$$

圖 2.10 迴路濾波器

如此一來 C_1 、 C_2 、 C_3 皆可得到

$$C_1 = C_{tot} \frac{T_1}{T_2} \quad (2.38)$$

$$C_3 = C_1 / 5 \quad (2.39)$$

$$C_2 = C_{tot} - C_1 - C_3 \quad (2.40)$$

最後，所有的被動元件值都列在表 2

閉迴路頻寬	100KHz
R2	12K 歐姆
R3	24K 歐姆
C1	39pF
C2	730pF
C3	3pF
相位邊限	61 度

表三 PLL 被動元件表

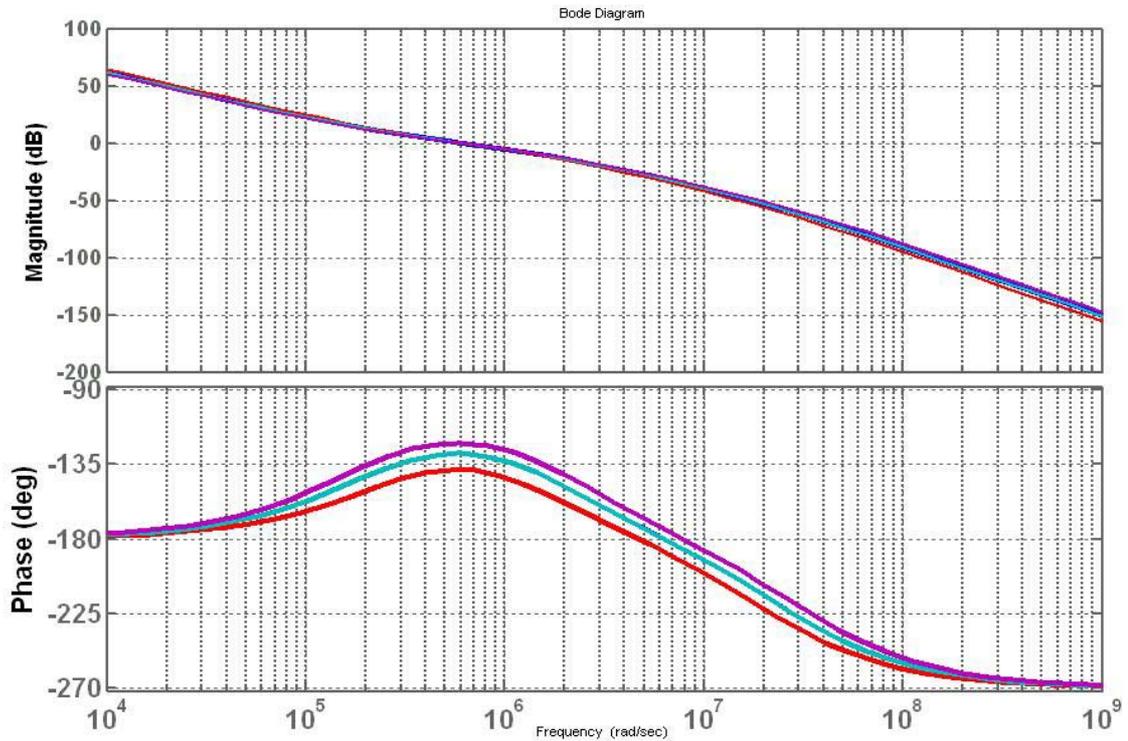


圖 2.11 穩定度分析

2.10 鎖相迴路的穩定性分析

由於電阻可能會遭受製程漂移的影響，在此還要確認鎖相迴路的穩定性，在圖 2.11 中可以看到，預設電阻變化量位 20% 的前提下，相位邊限最差的狀況也有 45 度，所以我可確認此電路不會遭受不穩定的影響。

第三章

和差調變器

3.1 簡介

在非整數鎖相迴路(Fractional-N PLLs)的設計中，之所以採用和差調變器(Sigma-Delta Modulator)的架構，是因為和差調變器能將量化器(Quantizer)產生的量化雜訊(Quantization Noise)轉移到高頻，再經由鎖相迴路的低通迴路濾波器(Loop Filter)消除。



階數愈高的和差調變器產生的量化雜訊在低頻部分有較強的衰減，多位元(Multi-bit)的量化器可改善和差調變器的穩定性(Stability)與動態範圍(Dynamic Range)。而目前最常被討論的大至上有兩種，一是使用單一迴路的和差調變器，另一種是使用多級迴路的和差調變器(MASH)，接下來我會先介紹和差調變器的基本原理，之後再討論此二種架構的差異性。

3.2 和差調變器架構

和差調變器被廣泛地運用在類比數位轉換器(A/D Converter)以及數位類比轉換器(D/A Converter)上，主要是因為該調變器具有雜訊整形(Noise Shaping)的能力，能夠抑制訊號頻寬內的量化雜訊，進而提高訊號雜訊比(Signal to Noise

Ratio)[19-22]。

和差調變器的架構以及其雜訊整形之原理如圖 3.1 所示。在量化器之前後分別加上一個互補 (Complement) 之積分器以及微分器，當訊號進入和差調變器後，首先會被積分器加強其低頻之成份。隨後經由量化器加以量化，同時也引入了因量化誤差而產生之量化雜訊，最後，藉由微分器把訊號給還原回來，並且將訊號頻寬內之量化雜訊加以抑制。

Purpose of Sigma-Delta Modulator: Noise Shaping

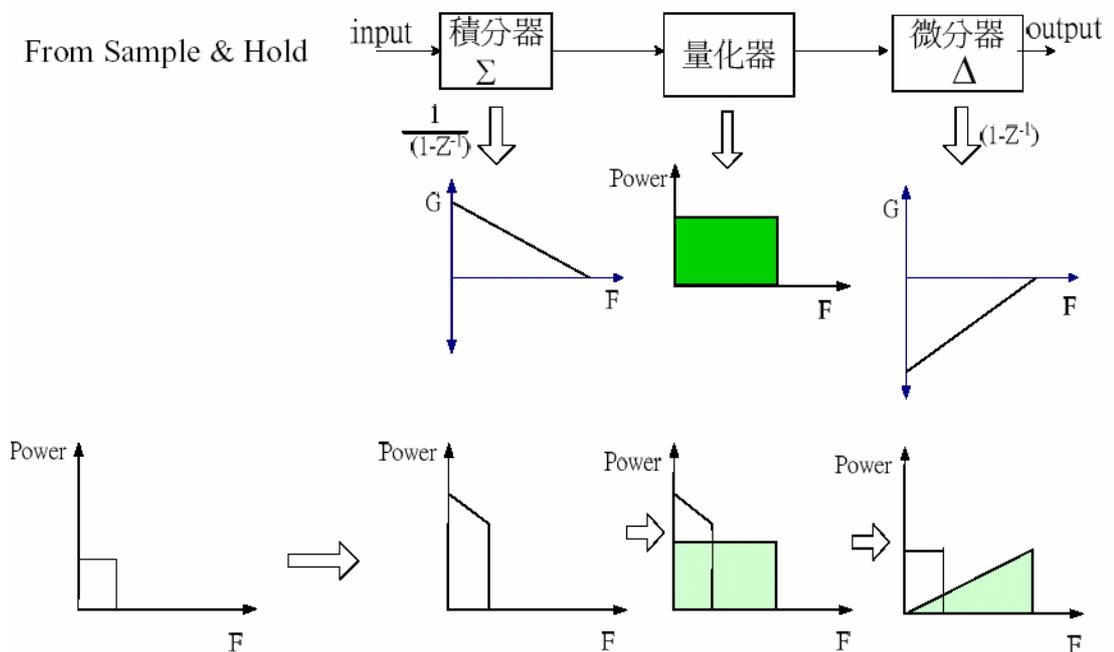


圖 3.1 和差調變器的雜訊整形原理

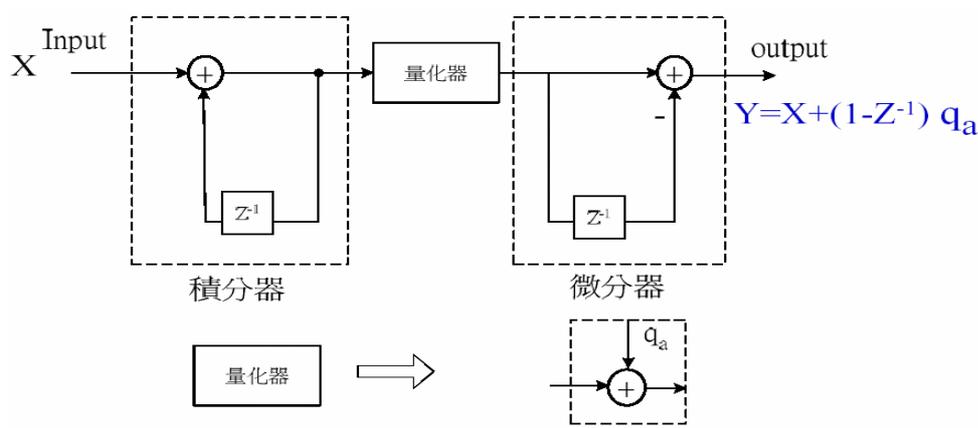


圖 3.2 一階和差調變器的原始架構

圖 3.2 為一階和差調變器的原始架構，所使用之積分器以及微分器皆是一階且互補的。然而，積分器之高直流增益會使得其輸出產生溢位(Ocerrorflow) 現象 [23]。在不影響整體轉移函數之前提下，可將微分器之減法部份以負迴授的方式移至積分器的前方，如圖 3.3 所示，如此便可解決溢位的問題，成為一階和差調變器之改良架構，這也是最近幾年大家常使用的架構。

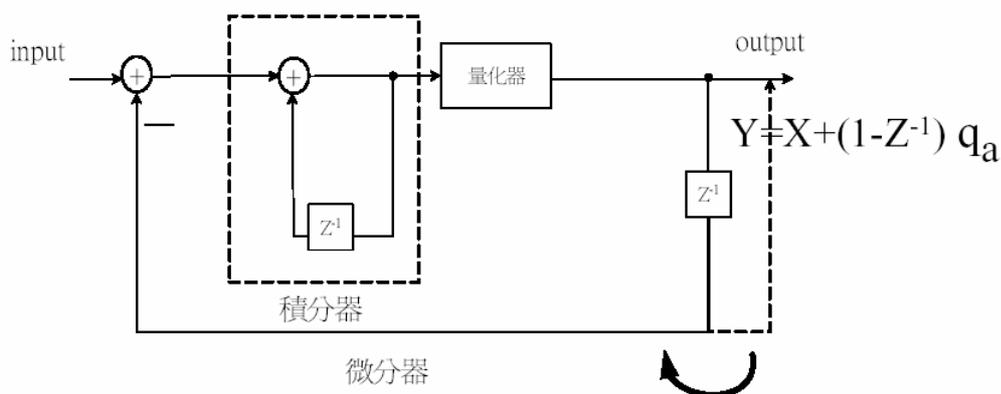


圖 3.3 一階和差調變器改良架構

而我們在此也引用圖 3.3 的和差調變器，接著我們再更進一步討論此架構的詳細特性，圖 3.4 為一基本和差調變器的方塊圖。它包含一個高增益低通濾波器 $H(z)$ 、一個 1 bit 的 ADC，與迴授路徑上一個 1 bit 的 DAC。和差調變器的輸出會產生一串 1 與 0 的資料，用以控制除頻器的除數為 $N+1$ 或 N ，得到除數為非整數 $N.F$ 的結果。

討論其線性模型時，可分為兩個部分。一是輸入信號 $X(z)$ 對輸出 $Y(z)$ 的影響，另一是量化雜訊 $E(z)$ 對輸出 $Y(z)$ 的影響。經由推導，可得輸出 $Y(z)$ 為

$$Y(z) = \frac{H(z)}{1+H(z)} X(z) + \frac{1}{1+H(z)} E(z)$$

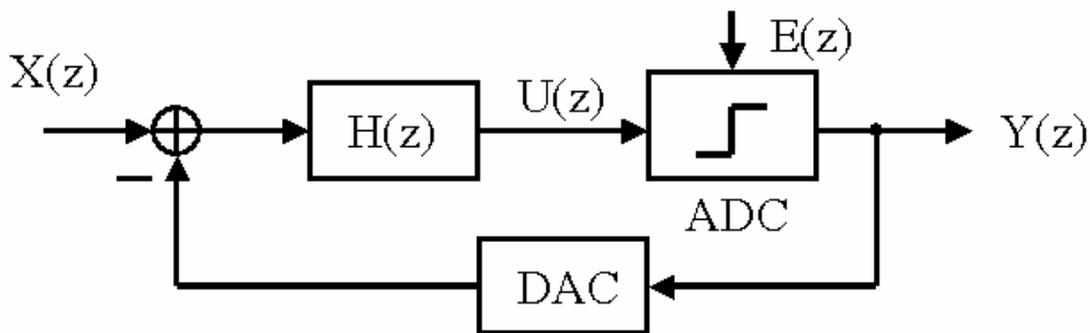


圖 3.4 和差調變器方塊圖

我們定義信號轉移函數(Signal Transfer Function)為

$$STF = \frac{H(z)}{1+H(z)}$$

雜訊轉移函數(Noise Transfer Function)為

$$NTF = \frac{1}{1+H(z)}$$

其中信號轉移函數 STF 為低通方程式，雜訊轉移函數 NTF 為高通方程式。

因為雜訊轉移函數 NTF 為高通方程式，所以量化器產生的量化雜訊會形成於高頻，可經由鎖相迴路的低通迴路濾波器(Loop Filter)濾除。

3.3 低階和差調變器

一階與二階的和差調變器歸類為低階和差調變器。其優點為系統保持穩定，缺點為要達到相同的信號雜訊比(Signal-to-Noise Ratio)要有較高的過取樣比值(Oversampling Ratio)。

3.3.1 一階和差調變器

圖 3.5 是一個一階和差調變器的架構圖，輸入信號為 $X(z)$ ，量化雜訊為 $E(z)$ ，則輸出 $Y(z)$ 的轉移函數為

$$Y(z) = Z^{-1}X(z) + (1 - Z^{-1})E(z)$$

所以信號轉移函數 $STF = Z^{-1}$ ，雜訊轉移函數 $NTF = (1 - Z^{-1})$ 。輸出為經過延遲的輸入加上經過一階高通濾波器的量化雜訊。雜訊轉移函數 NTF 的頻譜斜率為 20dB/dec。與沒有作 Noise-Shaping 的 NTF 作比較，一階和差調變器的 NTF 在信號頻寬(Signal Bandwidth)內的雜訊有大幅度的衰減。而在高頻部分的雜訊，可由低通濾波器所濾除，也就是其所控制的鎖相迴路。

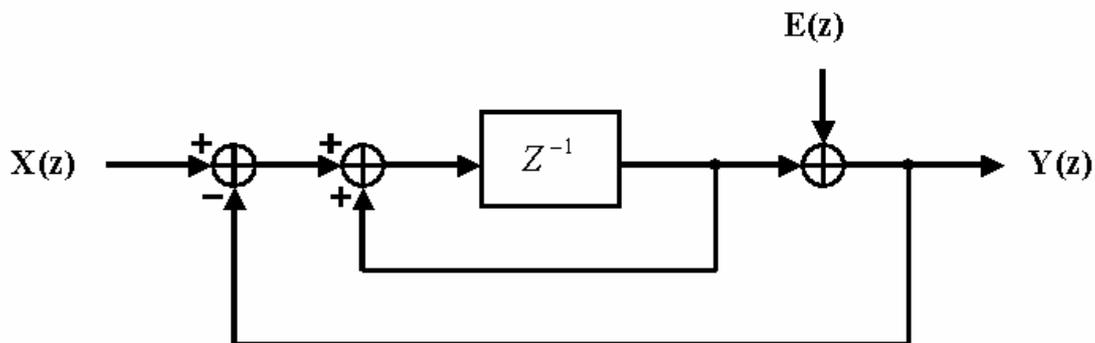


圖 3.5 一階和差調變器

接下來分析一階和差調變器的峰值信號雜訊比(Peak SNR)。

一階和差調變器輸出的雜訊功率為

$$\begin{aligned}
 P_{NOISE} &= \int_{-fb}^{fb} e_{RMS}^2 |1 - Z^{-1}|^2 df \\
 &= \frac{LSB^2}{12} \frac{\pi^2}{3} \left(\frac{2fb}{fs}\right)^3 \\
 &= \frac{LSB^2}{12} \frac{\pi^2}{3} \left(\frac{1}{OSR}\right)^3
 \end{aligned}$$

其中 fb 為信號頻寬(Signal Bandwidth)，fs 為取樣頻率(Sampling Frequency)，OSR 為過取樣比值(Oversampling Ratio)。

可推導出峰值信號雜訊比(PSNR)為

$$\begin{aligned}
 PSNR &= \frac{P_{SIGNAL}}{P_{NOISE}} \\
 &= 6.02b + 1.76 - 5.17 + 30\log(OSR) \text{ (dB)}
 \end{aligned}$$

所以過取樣比值 OSR 每變為二倍，峰值信號雜訊比 PSNR 就可增加 9dB，即增加 1.5 bits 的解析度。



3.3.2 二階和差調變器

圖 3.6 是一個二階和差調變器的架構圖，其輸出 Y(z)的轉移函數為

$$Y(z) = Z^{-2}X(z) + (1 - Z^{-1})^2 E(z)$$

信號轉移函數 $STF = Z^{-2}$ ，雜訊轉移函數 $NTF = (1 - Z^{-1})^2$ 。二階和差調變器的雜訊轉移函數 NTF 的頻譜斜率為 40dB/dec。

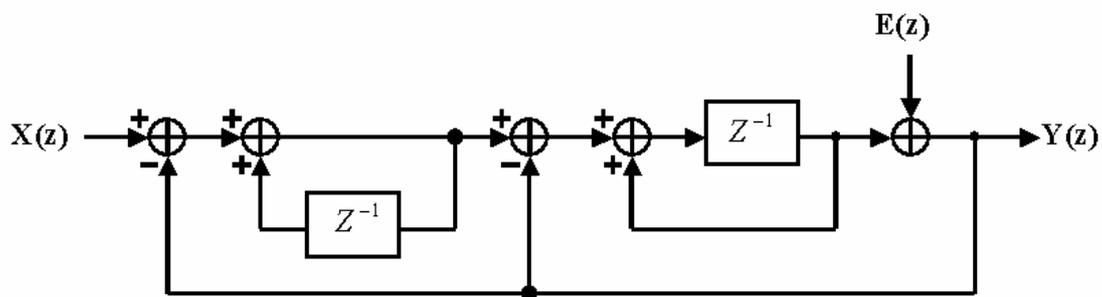


圖 3.6 二階和差調變器

二階和差調變器輸出的雜訊功率為

$$P_{NOISE} = \int_{-fb}^{fb} e_{RMS}^2 |1 - Z^{-1}|^2 df$$

$$= \frac{LSB^2}{12} \frac{\pi^4}{5} \left(\frac{1}{OSR}\right)^5$$

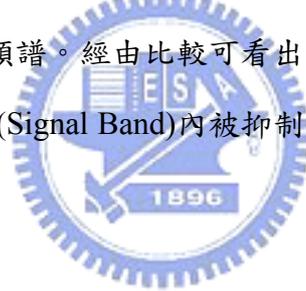
導出峰值信號雜訊比(PSNR)為

$$PSNR = 6.02b + 1.76 - 12.9 + 50 \log(OSR) \text{ (dB)}$$

所以過取樣比值 OSR 每變為二倍，峰值信號雜訊比 PSNR 就可增加 15dB，即增加 2.5 bits 的解析度。

3.4 高階和差調變器

三階以上的和差調變器稱為高階和差調變器，其雜訊轉移函數 $NTF = (1 - Z^{-1})^N$ ，N 為調變器的階數。圖 3.4 為一階、二階、三階與四階和差調變器的雜訊轉移函數 NTF 頻譜。經由比較可看出，階數愈高的和差調變器，其量化雜訊在低頻的信號頻帶(Signal Band)內被抑制的愈低，所以擁有較好的信號雜訊比。



階數愈高的和差調變器，愈能將雜訊推往高頻。我們可導出 N 階和差調變器的峰值信號雜訊比為

$$PSNR = 6.02b + 1.76 - 10 \log\left(\frac{\pi^{2N}}{2N+1}\right) + 10(2N+1) \log(OSR) \text{ (dB)}$$

所以對於 N 階和差調變器，過取樣比值 OSR 每變為二倍，峰值信號雜訊比 PSNR 就可增加 $(6N+3)$ dB，即增加 $(N+0.5)$ bits 的解析度。高階和差調變器的缺點是會產生不穩定(Instability)的狀態，所以高階和差調變器的動態範圍(Dynamic Range)小於低階和差調變器的。為改善此一缺點，我們採用多位元(Multi-bit)的和差調變器。

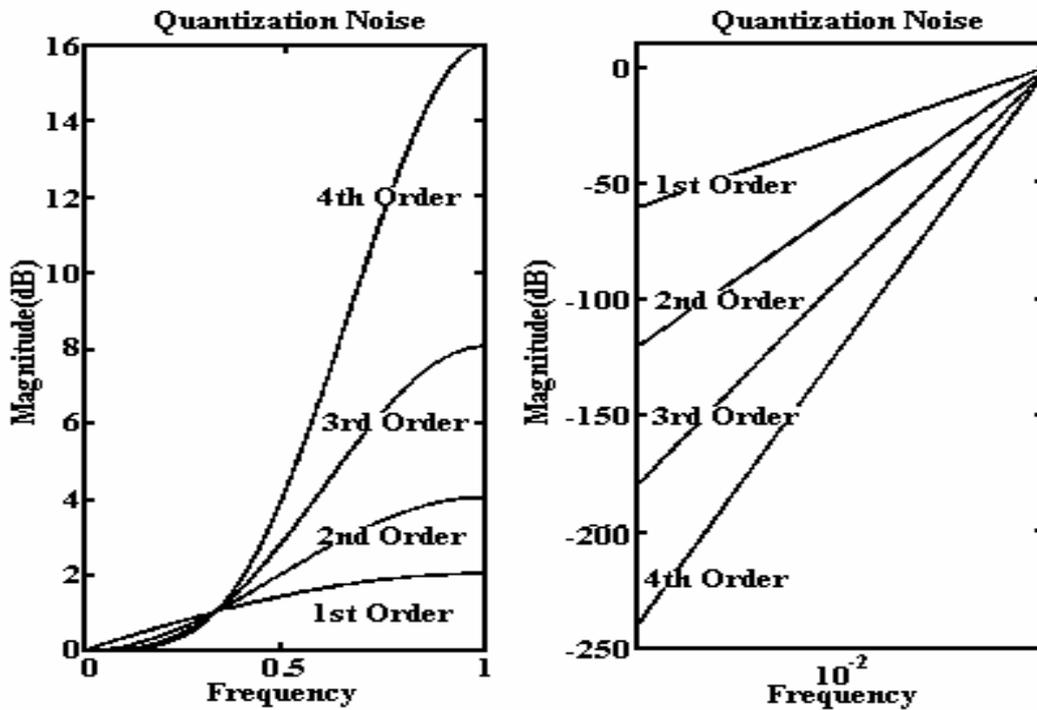


圖 3.7 雜訊轉移函數 NTF 頻譜

3.5 單級和差調變器架構

高階和差調變器主要有兩種架構，一是串接(Cascade)和差調變器，另一是單級(Single-Stage)和差調變器。前者在高階的設計沒有不穩定的問題，後者對頻率合成器能提供較佳的相位雜訊，所以本設計採用單級和差調變器。

圖 3.8 為 Feedforward 型態的單級和差調變器，我們可經由改變 Feedforward 路徑上的增益，設計轉移函數所需要的極點(Pole)。

信號轉移函數為

$$STF = \frac{\sum_{i=1}^n a_i (z-1)^{n-i}}{(z-1)^n + \sum_{i=1}^n a_i (z-1)^{n-i}}$$

雜訊轉移函數為

$$NTF = \frac{(z-1)^n}{(z-1)^n + \sum_{i=1}^n a_i (z-1)^{n-i}}$$

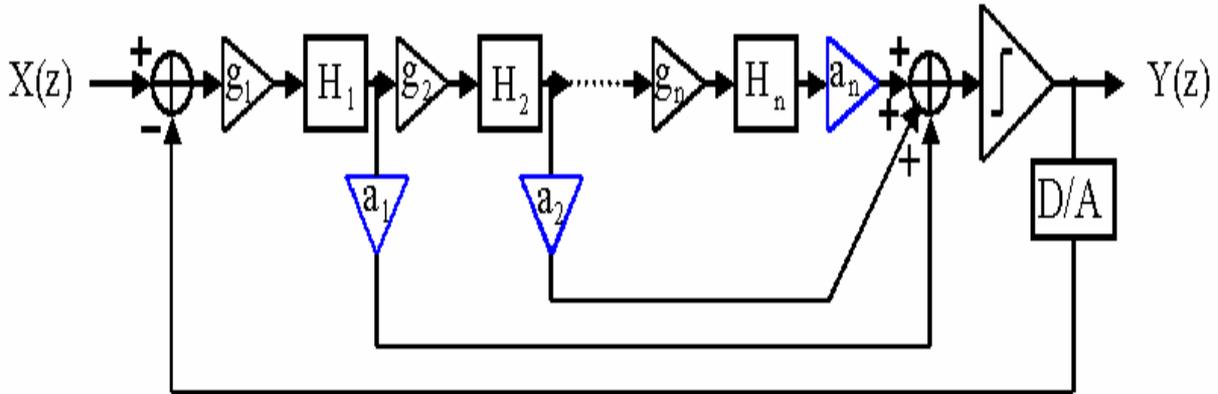


圖 3.8 Feedforward 單級和差調變器

3.6 多位元和差調變器

多位元和差調變器(Multi-bit Sigma-Delta Modulator)的架構為使用多位元的量化器代替一位元的量化器。量化器每增加一位元，就能改進信號雜訊比 6dB，也就是說，使用多位元的量化器能有效降低量化雜訊。

除此之外，使用多位元量化器技術的高階和差調變器也能改善其穩定性。因為使用一位元量化器的調變器容易產生超載(Overload)的情形，而多位元和差調變器能減少超載的狀況，所以多位元和差調變器有較大的動態範圍(Dynamic Range)。

但若使用高階的和差調變器，也就是當迴路的轉移函數大於等於三階時，則勢必會遭遇到不穩定性的問題，所以也因為此穩定性的問題，另一架構，因應而生。

3.7 多級雜訊整形架構之和差調變器

為了解決串接積分器所引起的不穩定的問題，所以需要變更原本一級多階 (One Stage Multi-Order) 之架構，如圖 3.9 所示，使每一級僅具有一階之積分器，如此便可達到穩定系統之目的，其原理主要是將第一級和差調變器所產生的量化誤差再送入第二級和差調變器加以量化，該量化結果將經一階微分以提升其至原始輸入訊號之準位，並將其迴授至第一級的輸出，以抵銷第一級和差調變器之量化誤差。同樣，第二級的量化誤差將送入第三級和差調變器進行量化，再將量化結果經第二階微分提升準位後迴授至第一級輸出，以抵銷第二級所產生的量化誤差。因此，訊號經由三級一階 (MASH 1-1-1) 和差調變器之量化，便能夠有效地抑制訊號頻寬內的量化雜訊。而此架構之系統轉移函數由下列的推導可知：

第一級的輸出轉移函式

$$N_1(Z) = (1 - Z^{-1})Q_1(Z) + input$$

第二級的輸出轉移函式

$$N_2(Z) = -(1 - Z^{-1})Q_1(Z) + (1 - Z^{-1})^2 Q_2(Z)$$

第三級的輸出轉移函式

$$N_3(Z) = -(1 - Z^{-1})^2 Q_2(Z) + (1 - Z^{-1})^2 Q_3(Z)$$

所以可由下式得到一個結論，

$$Output = input + (1 - Z^{-1})^3 Q_3(Z)$$

多階架構所得到的轉移函式相同，所以可知其也具有相同的雜訊整形能力。

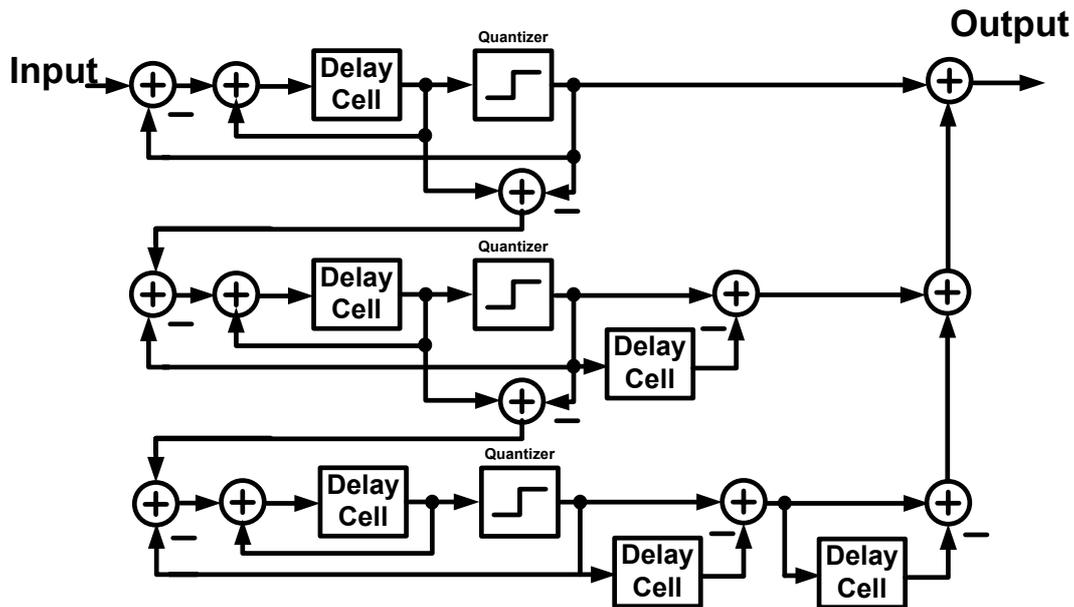


圖 3.9 多級雜訊整形架構之和差調變器

3.8 多級雜訊整形架構之和差調變器和一級多階和差調變器的比較

雖然多級一階的架構，可以避開前一節所討論穩定性的問題，但在本論文中並不會選擇此架構，我們可以在最近幾年所發表的論文[6]中得知，雖然兩者對雜訊整形能力相同，但兩種架構，有其先天上的不同。

所以我們先假設使兩種架構的雜訊整形能力相同，也就是使用三級一階的和差調變器，和一級三階的合差調變器來作比較，此二種架構都會產生下列數學函式：

$$Output = input + (1 - Z^{-1})^3 Q(Z)$$

也就是此二架構都對量化雜訊皆有 60dB/dec 的雜訊整形能力，在此情況下，同時產生一組相同平均數的輸出，來觀察二者輸出變化。

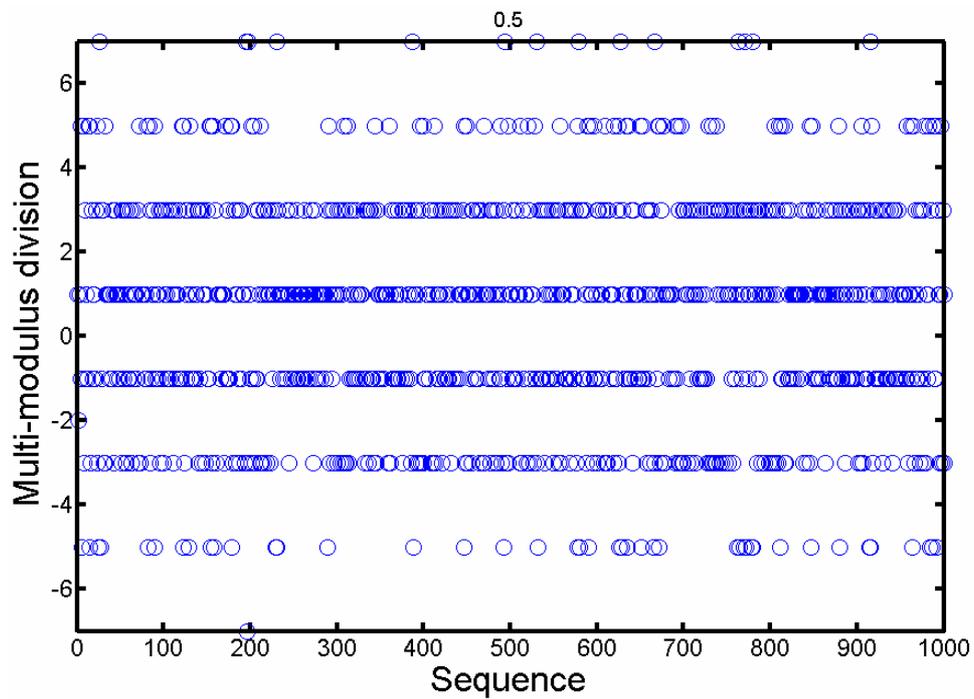


圖 3.10 三級一階的和差調變器輸出波形

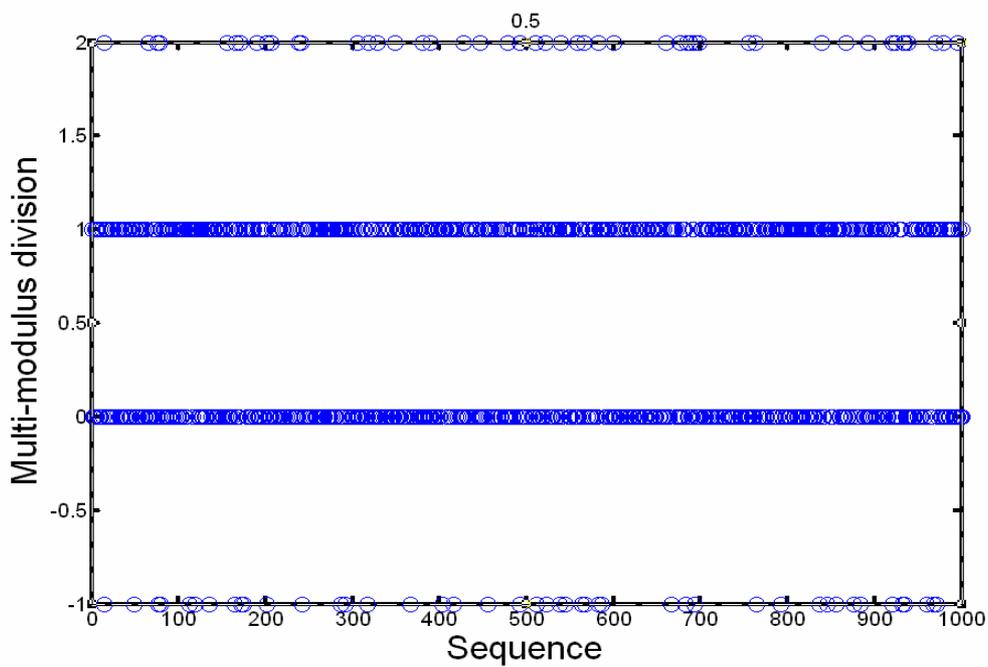


圖 3.11 一級三階的和差調變器輸出波形

由圖 3.11 和圖 3.10 兩張圖我們可以得知一件重要的事情，也就是在相同平均值的輸出波形，可看出多級一階的輸出波形變化量相當大，如此一來，很有可能因為相位和頻率檢測器、電荷幫浦的非線性，如圖 3.12 所示[25]，由於電荷幫浦的非理想效應，會產生圖 3.12 下方好似有漏電流的波形，如此一來好似和差調變器輸出間隔將不固定，這樣勢必會影響雜訊整形的效果，也因為會有此現象產生，所以我們此次的設計將選擇一級多階的架構，利用其輸出波形變化位階比較小的特性，來避開此一非線性的變異。

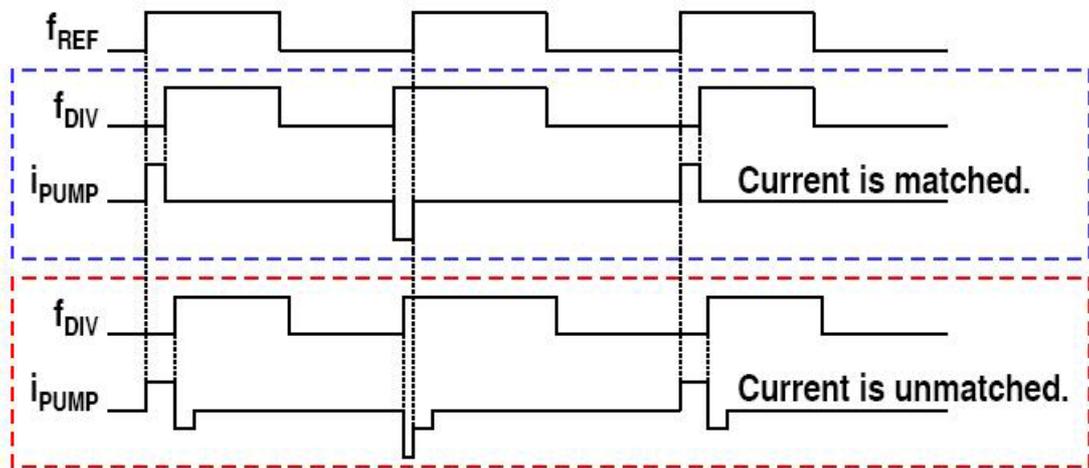


圖 3.12 電荷幫浦的非理想效應

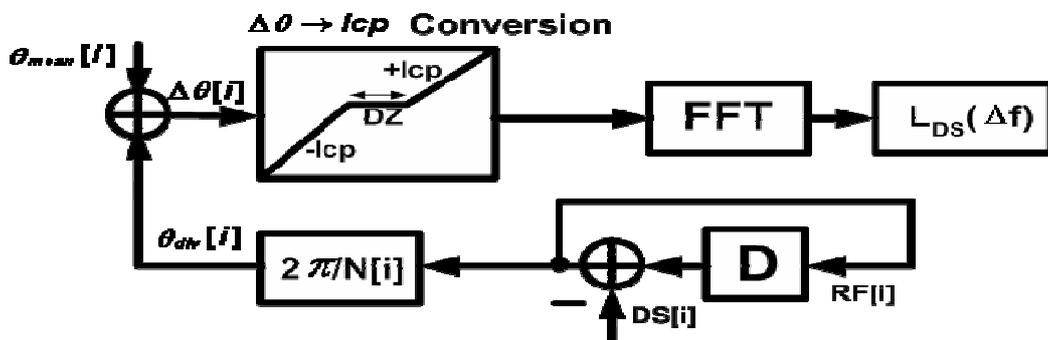


圖 3.13 模擬電荷幫浦的非理想效應的模型

在此我們引用[17]所建立的模型，用於模擬電荷幫浦的非線性對和差調變器的影響，首先我們先架設此迴路操作在鎖住的狀態，之後再將和差調變器輸出轉換成相位，最後乘上有死區(Dead Zone)的轉移曲線，最後再對輸出作圖，可得到圖 3.14，由此圖可得到一看法，就是當死區小於 5pS 時，其非理想效應已經是可以忽視的。

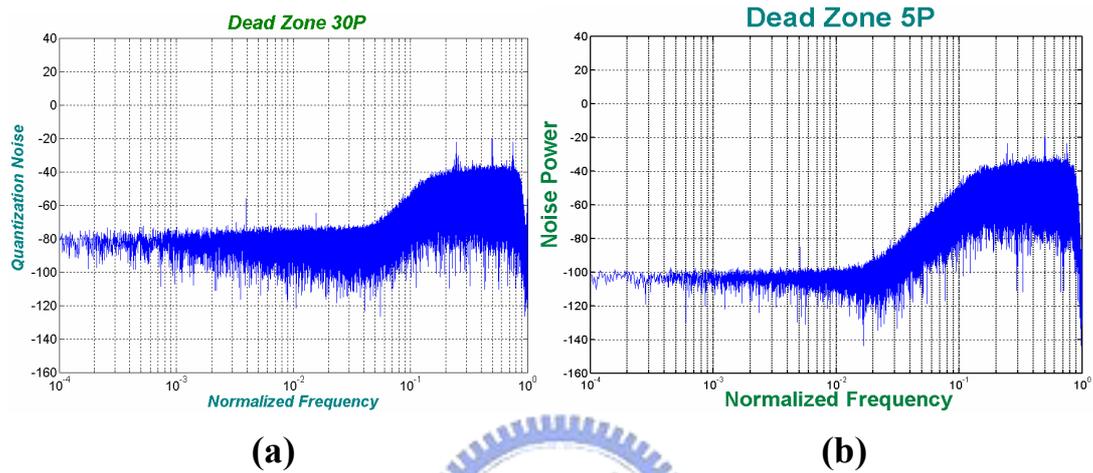


圖 3.14 死區(Dead Zone)的影響

3.9 諧波與加入雜訊

所謂諧波(Idle Tone)是指在雜訊轉移函數(NTF)的頻譜上產生我們不要的頻段(Tone)。例如一個使用一位元量化器，其輸出為 ± 1 的一階和差調變器，我們若要得到一 DC 值 $\frac{1}{3}$ ，則調變器的輸出會產生一連串 $\{1, 1, -1, 1, 1, -1, \dots\}$ 的資料，所以在頻率為 $\frac{f_s}{3}$ 的地方就會產生一諧波(Idle Tone)。

諧波(Idle Tone)不僅產生於高頻的部分，也會產生於低頻的信號頻帶(Signal Band)內。高頻的諧波可由鎖相迴路的迴路濾波器所濾除，但低頻的則無法用迴路濾波器消除。而且對於調變器的輸入為 DC 時，諧波的現象更為明顯。為了消除諧波(Idle Tone)，採用的方法為加入雜訊(Dithering)。加入雜訊(Dithering)為一隨機雜訊(Random Noise)，它可用以破壞諧波(Idle Tone)的頻率。而我們所加入的

雜訊，是針對當調變器輸入為 DC 時，這個狀態來作討論，也就是我們希望加入一擾動的訊號，此訊號平均值很小而不會干擾到原有的訊號，但卻使得原先的 DC 訊號好像疊加了頻率訊號，如此一來，我們就可得到圖 3.16(a)和圖 3.16(b)的比較，

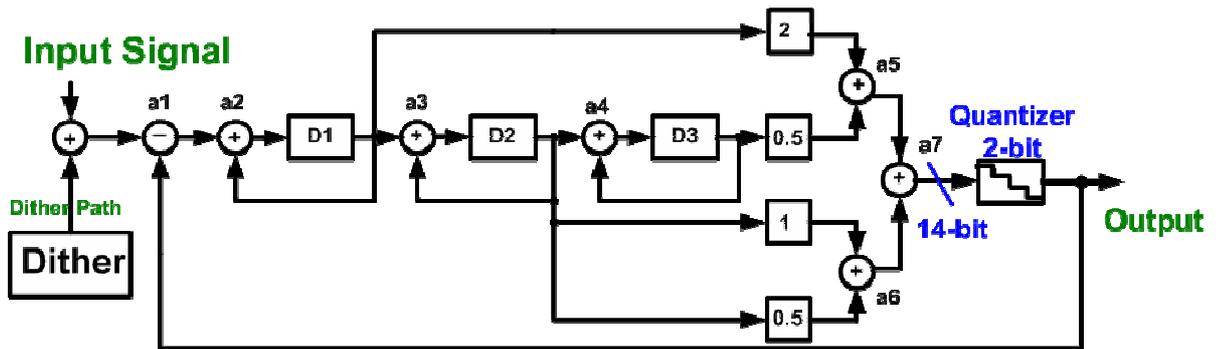
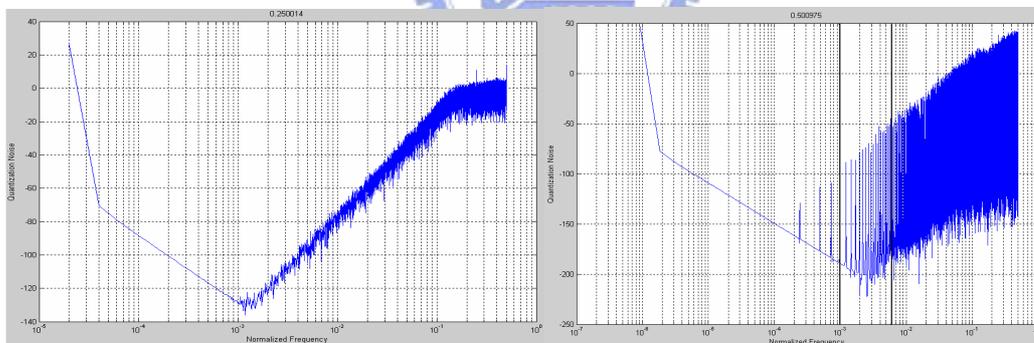


圖 3.15 加入額外的擾亂訊號



(a)

(b)

圖 3.16 和差調變器的輸出頻譜

圖 3.16(a)為加入擾動的雜訊，圖 3.16(b)為沒有加入擾動雜訊，我們可看出兩圖具有相當大的差異性，圖 3.16(a)，諧波(Idle Tone)的頻率可說是完全被破壞，全都不存在，然而圖 3.16(b)可知諧波(Idle Tone)的頻率相當明顯，所以可以說明此機制能有很好的效果，還有一重點，此方法對我所有的輸入範圍都有其效過。

最後，我們在討論一現象，如圖 3.17 所示[7]，當我們的輸入逼近量化位階時，由於特定位階的出現次數會比較明顯，如此也就是說，具有一定的週期性，如此輸出的頻譜除了訊號之外，也會多了這些諧波項，也就是說，我們將無法獲得一個乾淨的輸出頻譜，相位雜訊也不會有好的效果，所以我們以圖 3.17 的方法來控制輸入訊號和量化位階的彼此關係，當我們要實現 N 這組數字時，會避免使用此組量化位階，而改用 $N+1$ 和 $N-1$ 這兩組位階來產生 N ，所以呢？我們

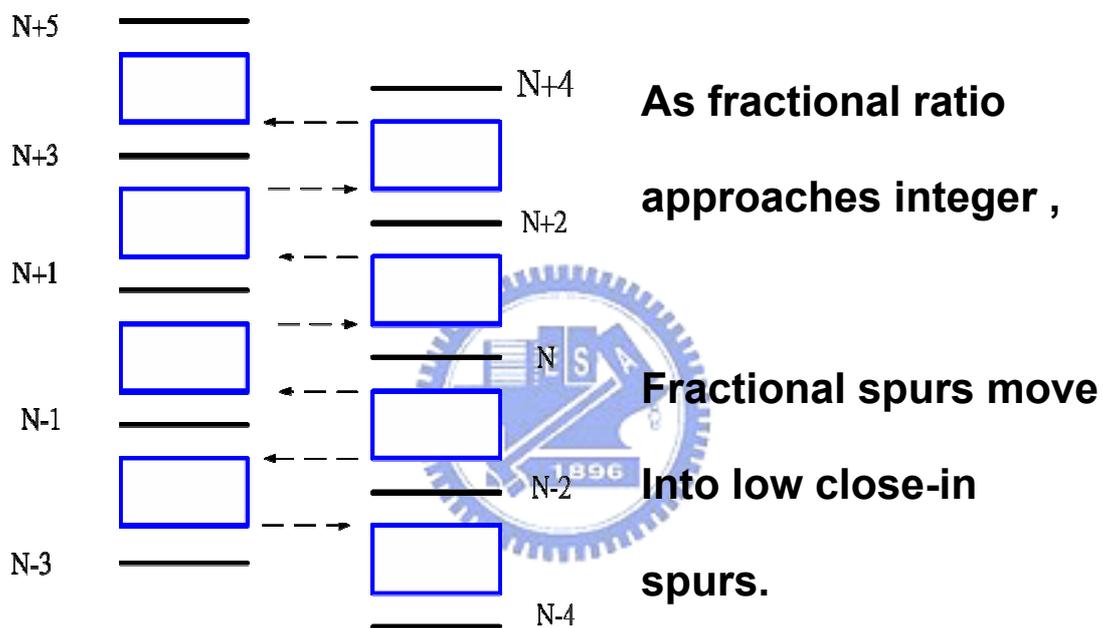


圖 3.17 量化位階分佈圖

將可以得到一個結論，輸出波形式必不再是 N 這組位階一直出現，而會是 $N-1$ 和 $N+1$ 這兩組位階在變換，因此，周期性將不在這麼明顯。

最後講解如何完成除頻器的除數對應，其對照表可由表三，而詳細的對造範例可由圖 3.18 得到，其餘範圍的除數也是根據此圖的概念來做分配。

Control Table

Wanted Divider Ratio	122.5~123.5
Real Time Divider Ratio	N N+2 N+4 N+6 120 122 124 126
	122.5=122+0.5 123.5=122+1.5
Carrier Ratio	4•P+S=118 P=29 S=3
$\Delta\Sigma$ Ratio	+1 +3 +5 +7

表四 除數對照表



$4P+S=118$

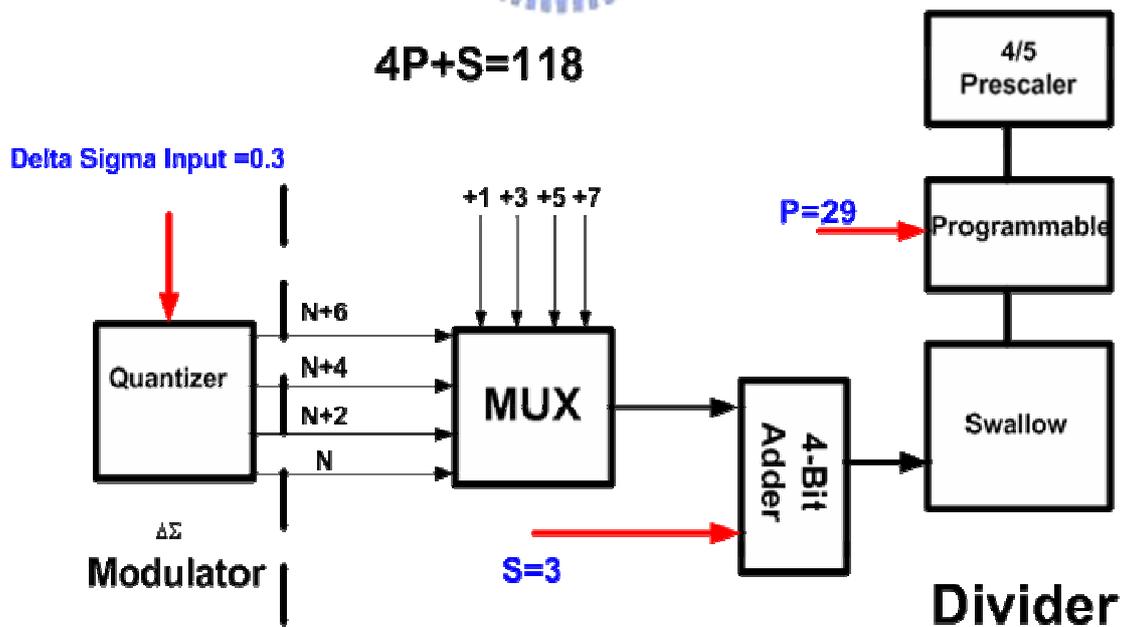


圖 3.18 除數對照圖

3.10 和差調變器架構

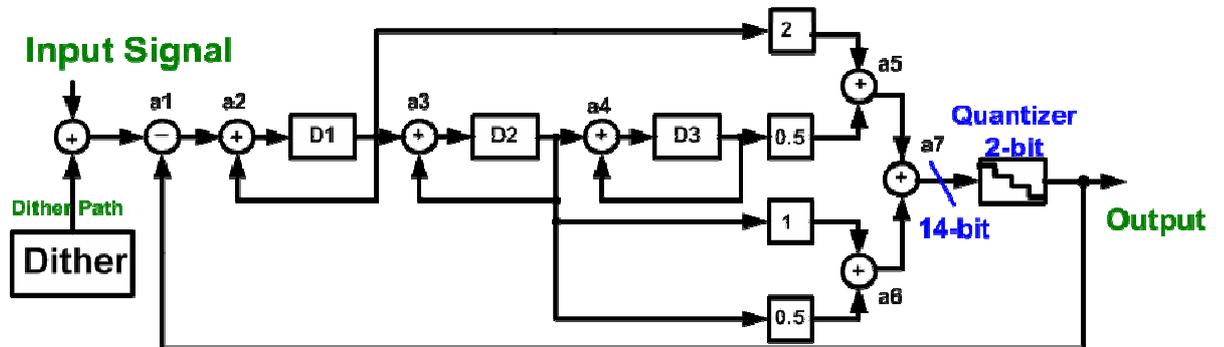


圖 3.19 二位元三階和差調變器架構圖

圖 3.19 為二位元三階和差調變器的架構圖。它的 Feedforward 路徑上的增益分別為 A1、A2 和 A3，可導出其雜訊轉移函數(Noise Transfer Function)為

$$NTF = \frac{(Z-1)^3}{(Z-1)^3 + A1(Z-1)^2 + A2(Z-1) + A3}$$

其為一高通方程式，可經由改變增益 A1、A2 和 A3 設計雜訊轉移函數的極點 (Poles)。

在本設計中，將雜訊轉移函數設計為三階高通巴特沃斯濾波器(Butterworth Filter)。這是因為高通巴特沃斯濾波器的低 Q 值極點能減低高頻雜訊的能量，使得和差調變器的輸出範圍與變化量較小，令鎖相迴路有較佳的相位雜訊。三階高通巴特沃斯濾波器的轉移函數如下

$$T(s) = \frac{S^3}{S^3 + 2S^2 + 2S + 1}$$

使用雙線性轉換(Bilinear Transform)將三階高通巴特沃斯濾波器由 S 領域轉換至 Z 領域。雙線性轉換為

$$S = \frac{fs}{\pi \cdot fb} \cdot \frac{Z-1}{Z+1}$$

其中 f_b 為角頻率(Corner Frequency)， f_s 為取樣頻率(Sampling Frequency)。在本設計中，令

$$f_b = 0.18 \cdot f_s$$

所以經由比較係數可得 Feedforward 路徑增益為

$$A_1 = 2.0008$$

$$A_2 = 1.6020$$

$$A_3 = 0.4902$$

為了數位乘法電路設計的便利性，對係數作 Truncate，得到增益為

$$A_1 = 2$$

$$A_2 = 1.5$$

$$A_3 = 0.5$$



3.11 穩定性分析

高階和差調變器的優點為有較佳的信號雜訊比(SNR)，缺點為有不穩定的問題。

為了分析和差調變器的穩定性，我們將量化器的增益訂為 K ，可得到雜訊轉移函數為

$$NTF = \frac{K(Z-1)^3}{(Z-1)^3 + K \times A_1(Z-1)^2 + K \times A_2(Z-1) + K \times A_3}$$

再由根軌跡圖(Root Locus)分析系統是否穩定。若和差調變器為穩定，根(Roots)必須落於單位圓(Unity Circle)之內。

圖 3.20 為本次二位元三階和差調變器的根軌跡圖。在正常情形 $K=1$ 時，根在單位圓之內，所以和差調變器為穩定的。但當 $0 < K < 0.5$ 時，根落於單位圓之

外，所以此時產生有條件不穩定(Conditional Unstable)。

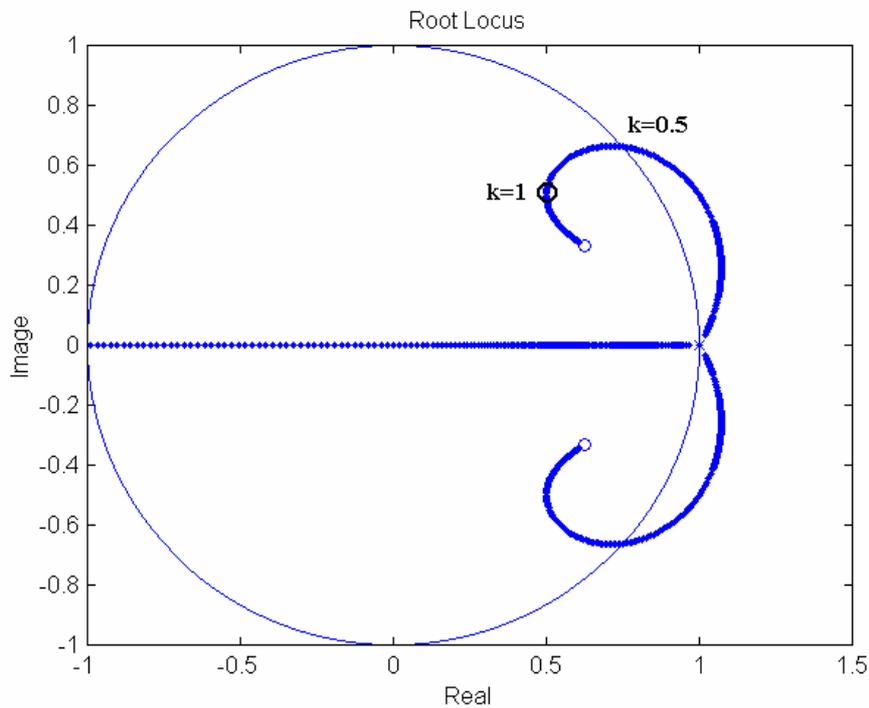


圖 3.20 二位元三階和差調變器根軌跡圖

要探討在有條件不穩定時，和差調變器是否依然維持穩定，採用的方法是判斷和差調變器是否產生超載(Overload)的情形，詳細討論在下節中描述。

3.12 和差調變器電路

圖 3.19 為二位元三階和差調變器的電路設計圖。其中加法器使用進位選擇加法器(Carry-Select Adder)。要設計一穩定的和差調變器，必須所有 Bit Patterns 都沒有發生超載(Overload)的情況。所謂超載，是指電路有 Overflow 或 Underflow 的情形產生。經由模擬結果，設計加法器如表四。如此一來，和差調變器就不會產生超載的情形，即和差調變器為一穩定的系統。

A1	A2	A3	A4	A5
13Bit	13Bit	13Bit	13Bit	14Bit
A6	A7	Input Range	Quantizer	Frequency Resolution
14Bit	14Bit	256~756	2Bit	1/1024

表五 加法器位元分配表

在乘法器的設計上，我們採用移位(Shifter)的架構，降低電路設計的複雜度。乘 2 的電路為邏輯左移(Logical Left Shift)一位元，乘 0.5 的電路為算數右移(Arithmetic Right Shift)一位元，乘 1.5 的電路為本身加上算數右移一位元。所以整個二位元三階和差調變器需要七個加法器。



第四章

頻率合成器電路設計

4.1 簡介

本章介紹鎖相迴路各個元件的電路設計，包括相位頻率偵測器(Phase Frequency Detector)、電荷充放器(Charge Pump)、迴路濾波器(Loop Filter)、壓控振盪器(VCO)、倍頻器(Frequency Doubler)與多係數除頻器(Multi-Modulus Frequency Divider)。

表五為所有電路的特性。

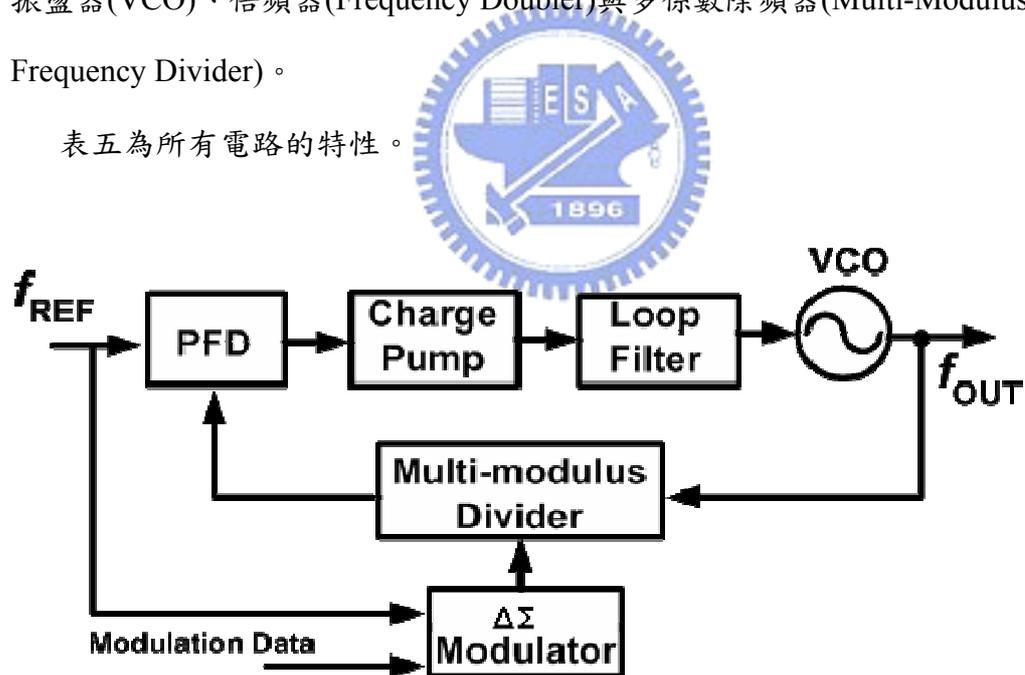


圖 4.1 頻率合成器架構圖

Process / Supply	Gain (dB)
f _{out}	2.4 ~ 2.4835 GHz
Channel spacing (f _{ref})	1 MHz
Channel number	79
Division number	119 ~ 127
Lock time	< 220us
Phase noise@1MHz	< -80 dBc/Hz

表六 規格表

4.2 相位頻率偵測器

相位和頻率檢測器可以檢測出參考訊號源和除頻器輸出之間的頻率差或著是相位差，由圖 4.2(a)可知，當 A 輸入端的頻率若是比 B 端的輸入頻率大的話，則 Q_A 端會拉起高電壓的訊號，但 Q_B 端則會保持在低電壓的位準，反之，若 B 輸入端的頻率若比 A 端的輸入頻率大的話，則端 Q_B 端會拉起高電壓的訊號，但 Q_A 端則會保持在低電壓的位準，還有一種情況就是，當 A 端和 B 端兩邊的輸入頻率都一樣的話，此電路在此時會檢查 A、B 兩端的相位差是多少，如果有相位差的話，則 Q_A 或 Q_B 端會送出一和相位差同寬度的訊號(是由 Q_A 或 Q_B 端送出則取決於到底是 A 領先 B，還是 A 落後 B)。

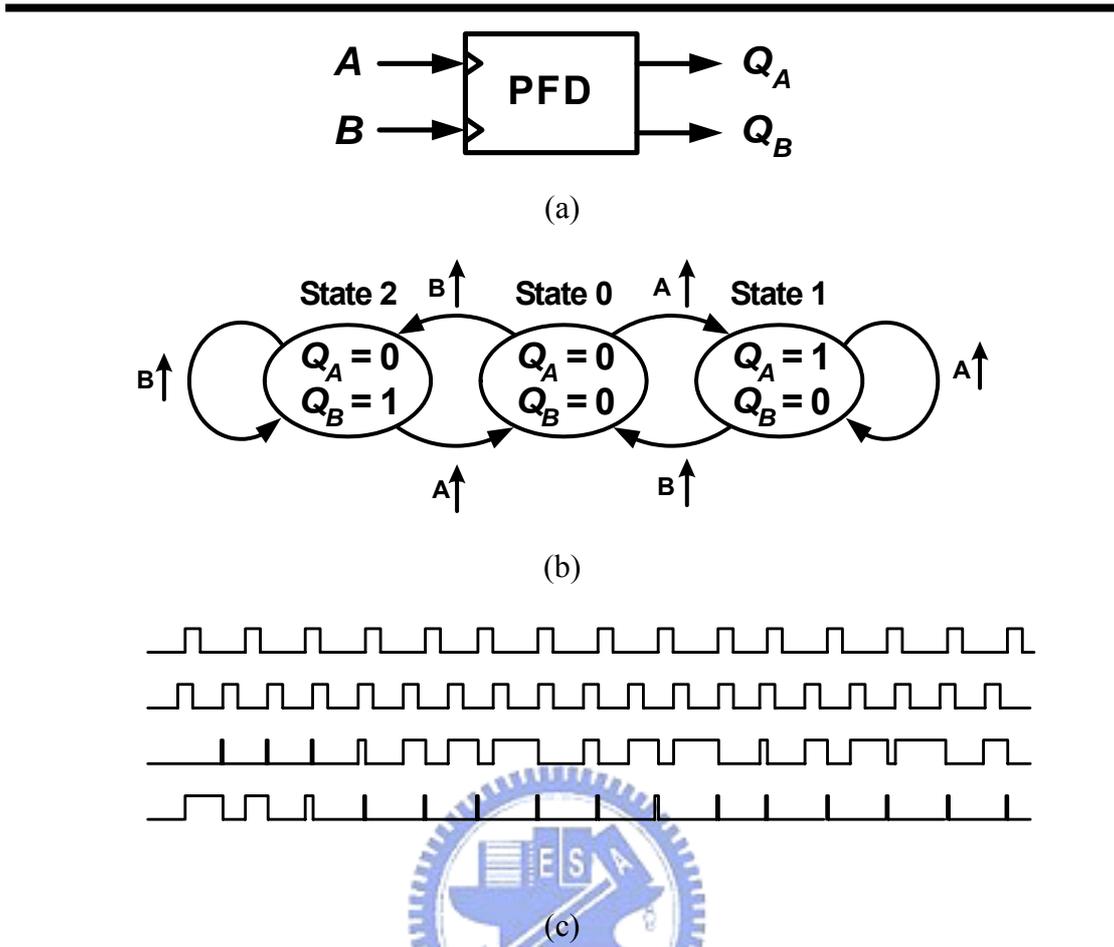


圖 4.2 (a) 相位和頻率檢測器 (b) 相位和頻率檢測器的狀態圖
(c) 相位和頻率檢測器的時序圖

圖 4.2(a)[26]中，展示了相位和頻率檢測器的建構方塊，其中包含了兩個具有可重置功能的 D 型正反器，還有一個 NAND 閘，A 和 B 兩輸入端各分別當作此兩個正反器的時脈，而此兩個正反器的輸入總是接至高電位，接下來，我們預設 Q_A 和 Q_B 的初始值為 0，所以呢！如果 A 端從 0 變成 1，然後 Q_A 就會等於 1，一直到 B 從 0 變成 1，如此一來 Q_B 就會輸出高電壓，只要 Q_A 和 Q_B 同時為高電位，則會對兩個正反器作重置的動作，將 Q_A 和 Q_B 再次拉回低電位。

接著圖 4.2(b)表達了相位和頻率檢測器輸入和輸出的狀態表，詳細紀錄這所有變化的可能性，而圖 4.2(c)則是上述文字所描述的波形。

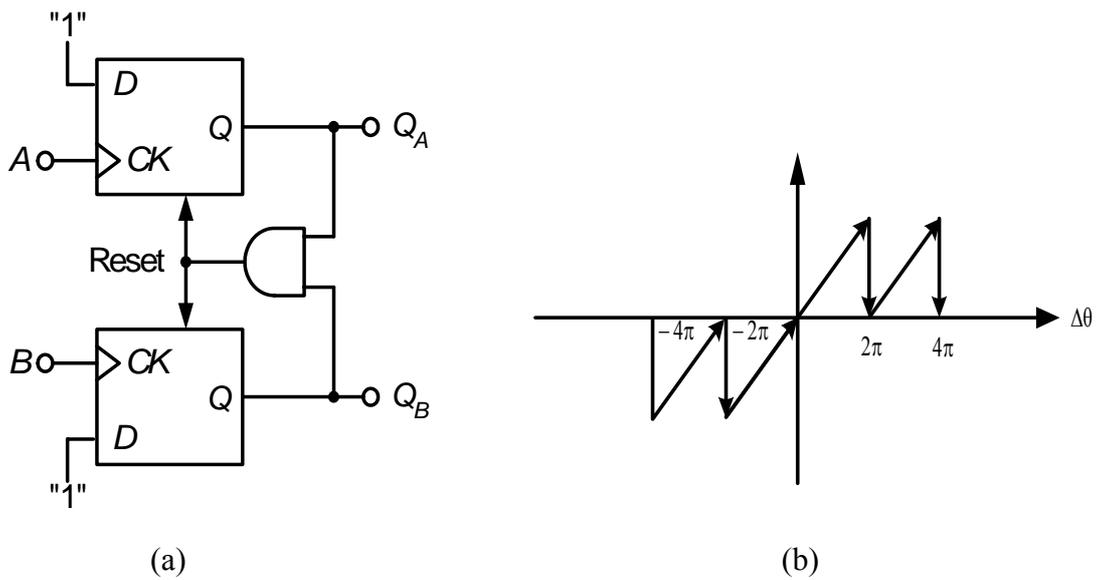


圖 4.3(a) 相位和頻率檢測器的內部電路(b) 相位和頻率檢測器的特徵圖

當我們定義輸出為當 $\omega_A = \omega_B$ 時， Q_A 和 Q_B 平均值的差，並忽略窄重置脈衝的效應，我們發現當 $\Delta\theta$ 改變時，輸出將會對稱的改變(圖 4.3)。如何在所相迴路中使用圖 4.3 相位和頻率檢測器呢?因為在 Q_A 和 Q_B 平均值的差是我們所感興趣的，一個最常用的方法是在相位和頻率檢測器和迴路濾波器之間插入一個電荷幫浦(Charge pump)。

其中圖 4.3(a)中所使用的 D 型正反器為圖 4.4 所示，這種 D 型正反器架構簡

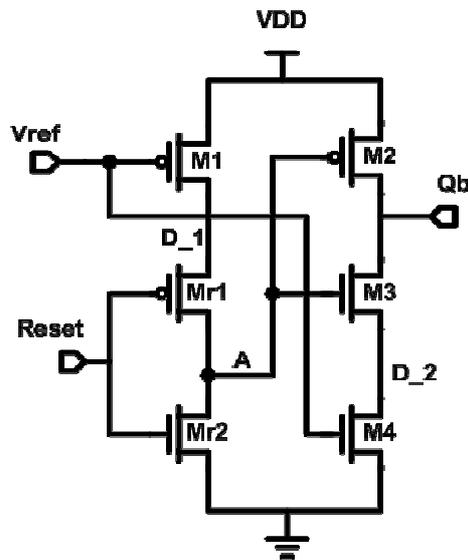


圖 4.4 D 型正反器

單，且切換速度快，所以會有比較高的線性的，我們可由圖 4.5(a)(b)看到其模擬結果，和前面所述相同，死區(Dead Zone)是設計相位頻率偵測器的一個重要課題。理想上，相位頻率偵測器的輸出和兩個輸入信號的相位差異成正比。但當相位頻率偵測器兩個輸入信號的相位差異很小時，輸出並無法與相位差異成正比。接近零的相位差異所導致非線性的相位頻率偵測器輸出稱為“死區”。而在此區域的電壓等級無法驅動電荷充放器。

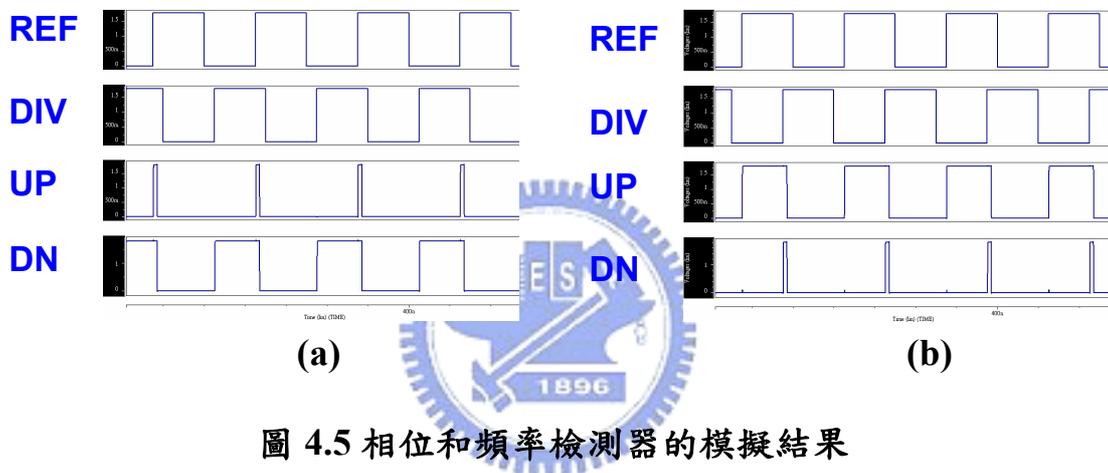


圖 4.5 相位和頻率檢測器的模擬結果

一個好的消除死區的方法為在 UP 與 DOWN 的信號上增加一個小的脈波，即使兩個輸入信號間並無相位差異。實現的方式為在相位頻率偵測器的重設 (Reset) 路徑上增加一延遲(Delay)電路，增加延遲時間即可減少死區。而我所設計的延遲電路為 2nS，可由圖 4.6 得知，死區小於 5pS，所以可以滿足之前所討論死區必須在 5pS 才能有效減低其非線性的效應。

4.3 電荷幫浦的設計

電荷幫浦的功能最主要是對迴路濾波器作充放電的動作，而圖 4.7 為此次所採用的架構，兩條虛線中間的部分是電荷幫浦主要的電路方塊，當 up 的訊號一來，Mc4 將會打開 Mc2 會關掉，所以這時此電路會對迴路濾波器充電，當 down

的訊號一來，Mc4 將會關掉 Mc2 會打開，如此，此電路會對迴路濾波器放電，

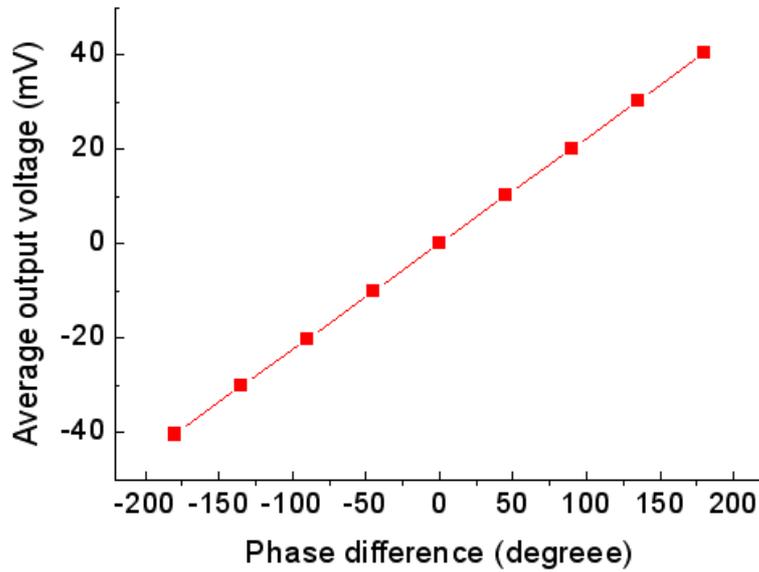


圖 4.6 死區的模擬

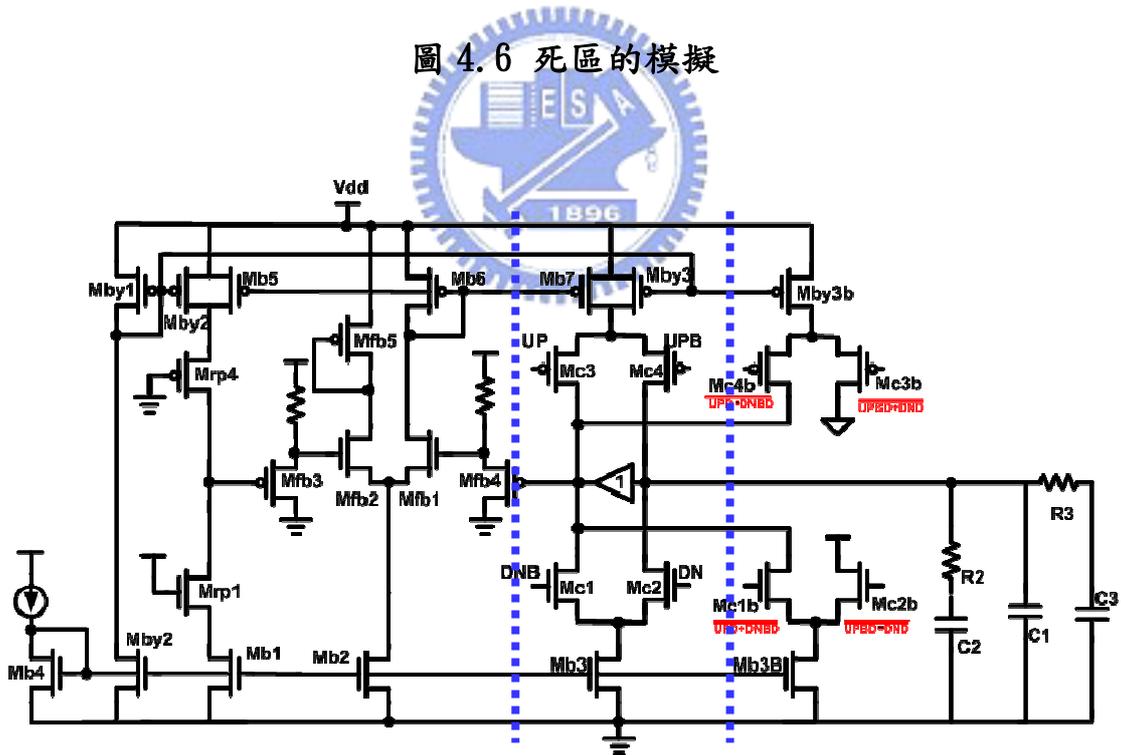


圖 4.7 電荷幫浦

左半部建立了一個複製路徑，也就是 Mrp4、Mrp1 這條路徑，當在鎖定的時候，Mfb1、Mfb2 此負迴授路徑會啟動，使左右兩端的環境相同，如此由於複製路徑沒有漏電流，所以會微調 Mb5 的閘源級電壓，使其符合上下電流的狀態，如此

一來，也可將主電路部份的誤失電流給補償回來，圖 4.8 為其模擬結果，由模擬可以得知，上下尾端電流源的誤失可以小於 3%。

再利用圖 4.10 (a)(b)，我們更可以看到其結果。

而最左邊的電流源，其功能是當 up 訊號來的時候，Mc4、Mc1 兩顆電晶體打開，而 Mc3、Mc2 為關掉的狀態，如此可知 Mb3 電流源並沒有任何電流路徑，所以有可能進入三極管區，導至在切換時，電荷重分佈的效應會很明顯，由圖 4.9 可知，(a)為沒有額外電流路徑

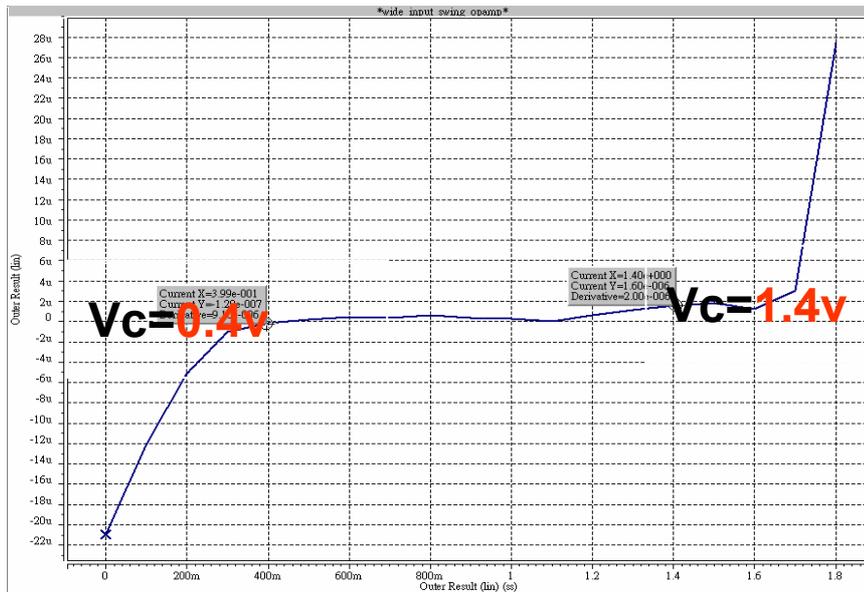


圖 4.8 電流誤失模擬圖

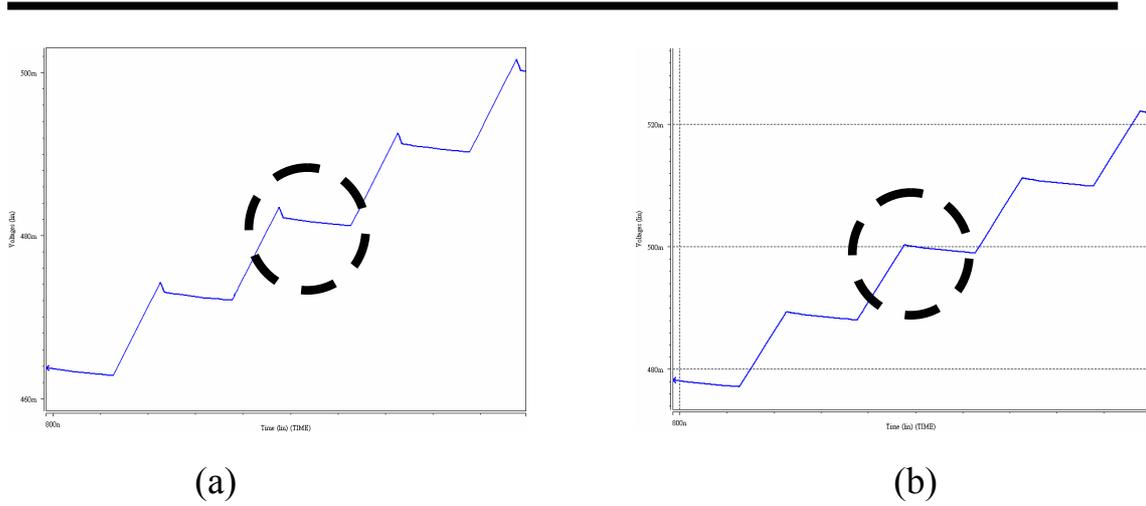


圖 4.9 防止電流源進入三極管區模擬圖

(b)有多於路徑來導通電流，比較得知，(b)的輸出波形的確比較和緩而沒有尖端突起，所以此路徑的確有補償的效果在。

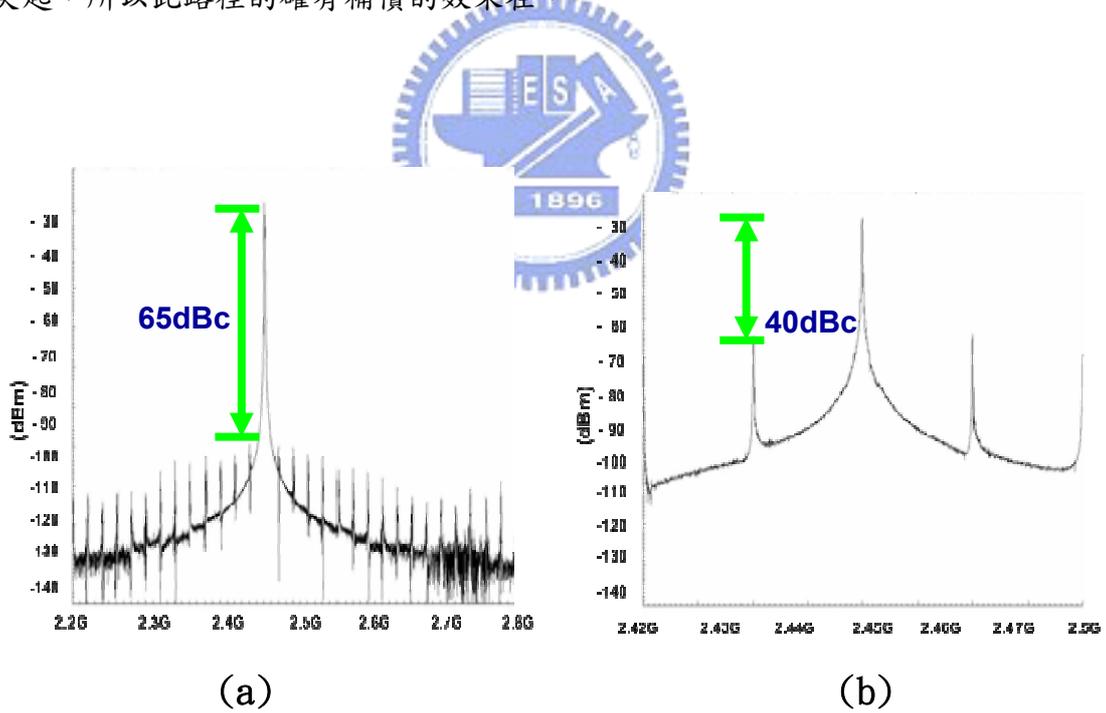


圖 4.10 參考訊號源的寄生效應

4.4 多係數除頻器的設計

4.4.1 除頻器簡介

所謂多係數除頻器，是指可利用針腳電位的控制，選擇所需要的除數。在本設計中，多係數除頻器(圖 4.11)可分為三部分：前置除頻器(Prescaler)、屏蔽計數器(Swallow Counter)與可程式計數器(Programmable Counter)。前置除頻器的除數為 4 或 5，由一 vc 信號所控制，vc 為 0 時，除數為 5，vc 為 1 時，除數為 4。

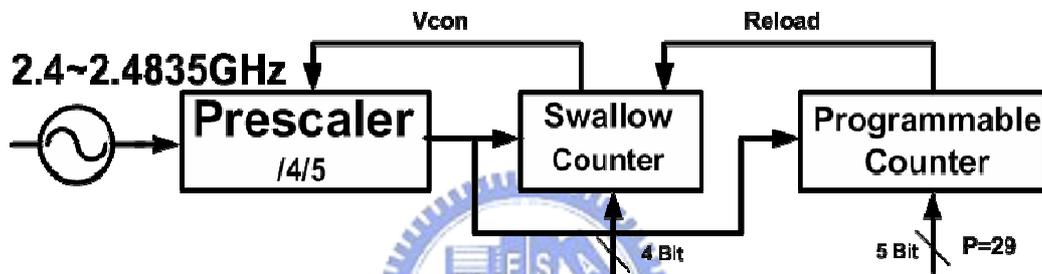


圖 4.11 多係數除頻器

屏蔽計數器由 4 位元所控制，其除數 S 範圍為 0~15。可程式計數器由 5 位元所控制，其除數 P 範圍為 1~31。

整個多係數除頻器的除數為

$$N = 5 \times S + 4 \times (P - S) \\ 4 \times P + S$$

所以除數範圍為 117~129。

4.4.2 前置除頻器

前置除頻器(Prescaler)的用途為，經由 vc 信號的控制，可將輸入信號除以 N 或 N+1。當 vc 等於 0 時，除數為 N+1；當 vc 等於 1 時，除數為 N。圖 4.12 為除 4/5 前置除頻器的架構圖。它包含了，一為同步除頻器(除 4/5)，另一為非同步除頻器(除 16)。除 4/5 的同步除頻器操作在最高的輸入頻率。信號 vcon 用以

控制除 4 或 5。如果 vcon 為 0，

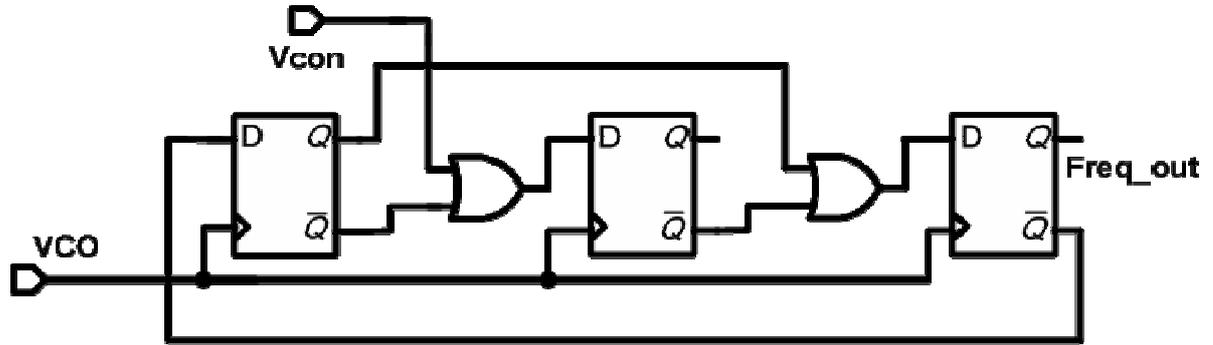
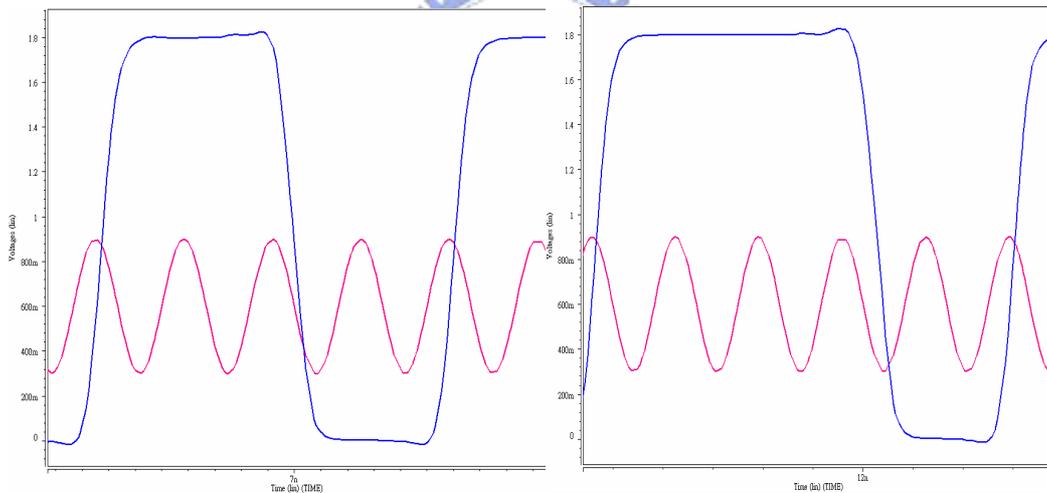


圖 4.12 除 4、除 5 的電路方塊圖

圖 4.12 是除 4/5 的前置除頻器電路圖，使用三個 D 型正反器與兩個或閘(OR Gate)電路來實現。當 vc 等於 0 時(a)，產生除數為 5 的效果；當 vc 等於 1 時(1)，產生除數為 4 的效果。圖 4.13 為除 4/5 前置除頻器的信號圖。



(a)

(b)

圖 4.13 除 4/5 前置除頻器的信號圖

因為前置除頻器的輸入信號為壓控振盪器的輸出信號，頻率非常高，所以無法使用傳統 CMOS 的 D 型正反器。在這裡我們使用圖 4.11 的差動對(Source Couple Pair)電路，它由兩組閘(Latch)電路所組成，以相差 180 度相位的時脈(Clock)信號控制兩者間的切換。採用此電流模式(Current Mode)的邏輯電路，可以增加

輸入信號頻率的範圍。圖 4.13 為模擬結果。

在除 4/5 的前置除頻器中需要或閘(OR Gate)電路，但傳統的 CMOS 電路在速度上無法達到要求，因此將或閘電路合併到高速除 2 的 D 型正反器電路中(圖 4.14)。因為是或閘，所以將兩 NMOS 電晶體以並聯方式達成。

最後，圖 4.13 為前置除頻器除 4 與 5 的模擬結果。

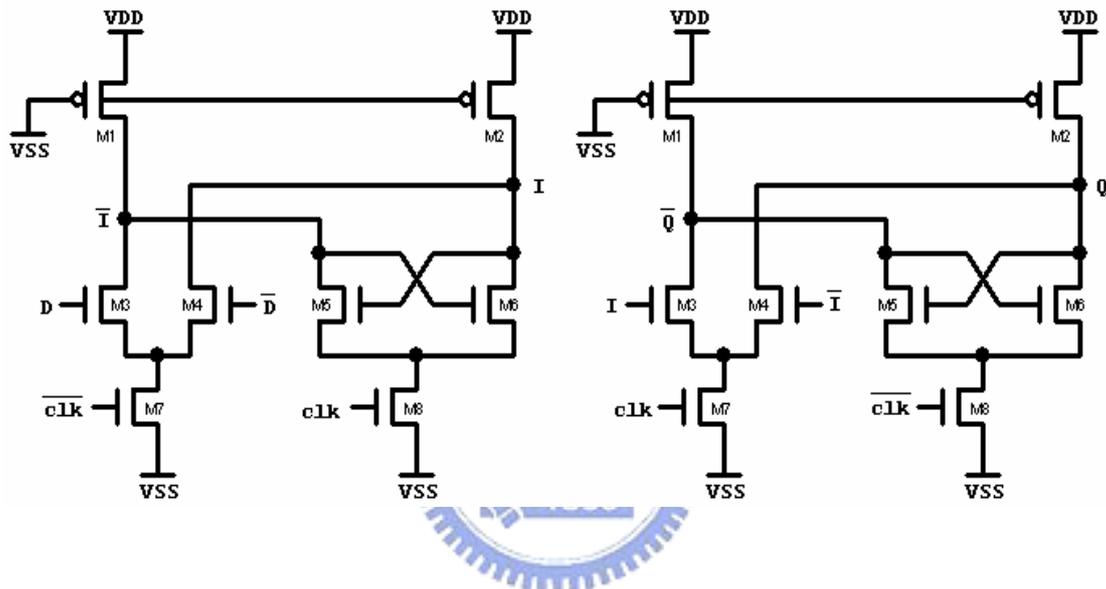


圖 4.14 高速除 2 電路

4.4.3 可程式計數器

可程式計數器(Programmable Counter)是一個倒數計數器，其除數為 P ，功用為將前置除頻器(Prescaler)的輸出信號除以 P 。每當經過 P 個週期後，就會產生一重置(Reload)信號，將屏蔽計數器和可程式計數器恢復為起始值，再進行下一次的運算，圖 4.15 為一 5 bits 可程式計數器的架構圖。

由於本設計中使用的可程式計數器是非同步式的，所以會產生較多的相位誤差(Phase Errors)，所以在最後加入一 resynchronous 電路，以減少相位誤差。

圖 4.15 為可程式計數器的信號圖，可程式計數器的除數為 29，當除數倒數到 1 時，產生一重置(Reload)信號，將可程式計數器的除數重設為 4。

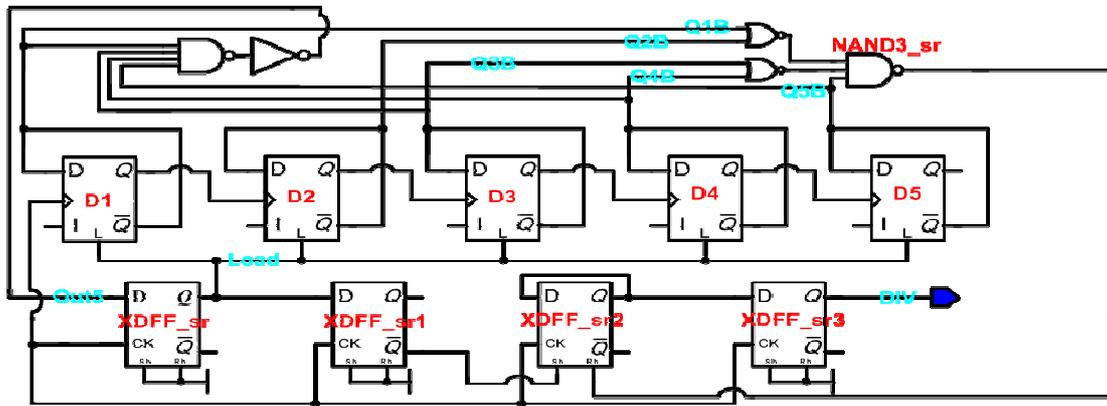


圖 4.15 可程式計數器架構圖

4.4.4 屏蔽計數器

屏蔽計數器(Swallow Counter)也是一個倒數計數，其除數為 S ， S 小於可程式計數器的除數 P ，屏蔽計數器經由信號 $vcon$ 控制前置除頻器(Prescaler)。前置除頻器輸出信號的前 S 個， $vcon$ 等於 0，所以前置除頻器為除以 5；前置除頻器輸出信號的後 $P-S$ 個， $vcon$ 等於 1，所以前置除頻器為除以 4。圖 4.16 為一 4 bits 屏蔽計數器的架構圖。

圖 4.17 為屏蔽計數器的信號圖，假設可程式計數器的輸入除數為 4，屏蔽計數器的除數為 2。當重置(Reload)信號到達後，屏蔽計數器的除數重設為 2，此時 vc 信號為 0，使得前置除頻器做除 5 的動作。當除數倒數到 0 時， vc 信號變為 1，使得前置除頻器做除 4 的動作。

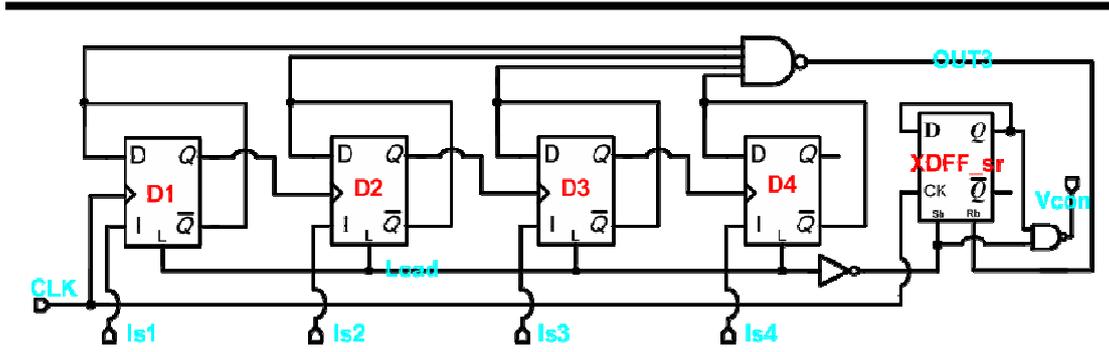


圖 4.16 屏蔽計數器架構圖

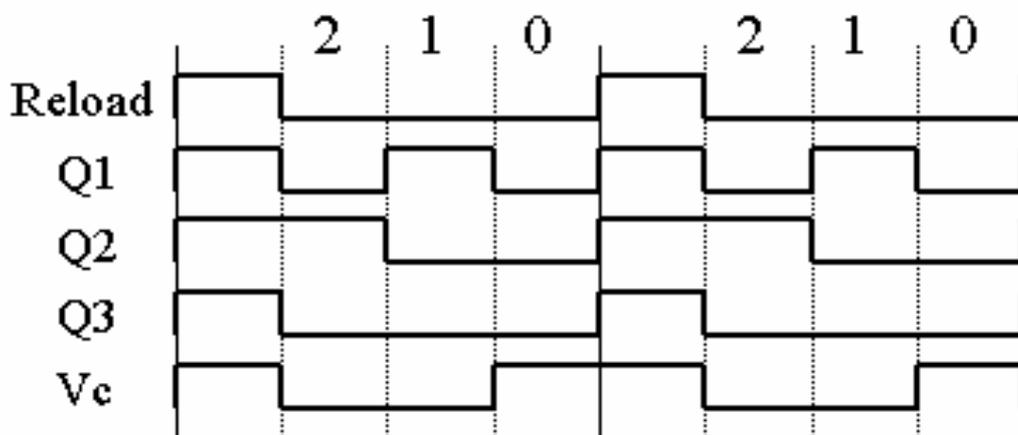


圖 4.18 屏蔽計數器信號圖

4.5 具有可適應性偏壓的電壓控制振盪器

電壓控制振盪器的設計中最重要的兩個參數，就是功率消耗和相位雜訊，我們此次所實現的電壓控制振盪器[27]，是希望能兼具低功率消耗，和低相位雜訊，所以我們使用此可調偏壓點的電壓控制振盪器來實現，此可調的機制實現在晶片內，可達到具有高線性度的電流調整，如圖 4.19 所示，

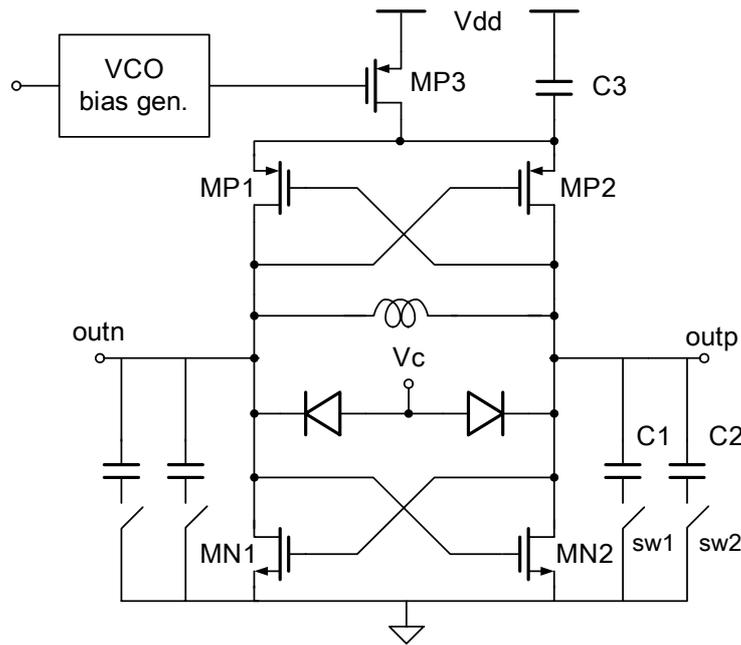


圖 4.19 可調式電壓控制振盪器

此電路最主要的核心電路是使用 NMOS 和 PMOS 所共同構成，如此一來，可得知，由於其抵消寄生電阻的能力較強，所以可以獲得比較小的功率消耗，而且因為同時使用 NMOS 和 PMOS，所以電路會比較對稱，如此對於降低閃爍雜訊被升頻到所要的頻帶，有很好的效果，此外電容 C3 的加入，對於二倍頻的消除和 Mp3 這類汲源極電壓的穩定偏壓也有很大的幫助 [28]，此尾端電流源，如果能加大它的尺寸比，如此可消去閃爍雜訊的影響量，但如果尺寸太大，那這顆電流源很容易進入三極管區，造成我很難將我所想要的偏壓電流送入電壓控制振盪器的核心電路裡，所以就使用圖 4.20 的複製電路來完成偏壓的控制，此電路最主要是利用 Mp4、Mp5、Mn4、Mn5，作為核心電路的對造組，再利用負迴授路徑完成對偏壓點的監控就可完成此電路，然後再利用 1996 年 Leeson 所提出的相位雜訊模型 [21]

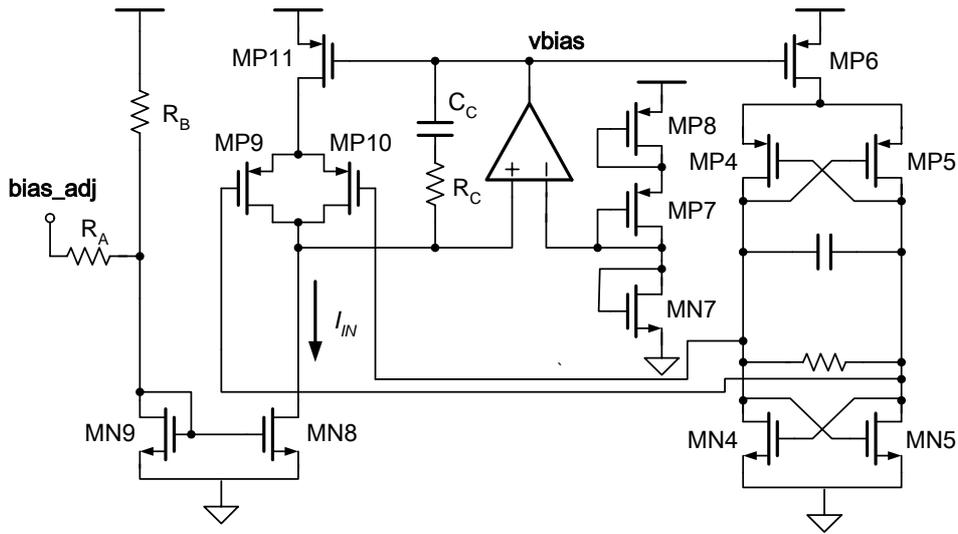


圖 4.20 偏壓電流的控制電路 [19]

再利用其中所推倒出的式(4.1)來對此電路作相位雜訊的模擬，其中

$$L(\Delta\omega) = 10 \log\left(\frac{\overline{v_{noise}^2}}{v_{signal}^2}\right) = 10 \log\left[\frac{2FkT}{P_s} \left(\frac{\omega_0}{2Q\Delta\omega}\right)^2\right] \quad (4.1)$$

$$F = 2 + \frac{4\gamma R I_T}{\pi V_o} + \gamma \frac{8}{9} g_{mbias} R \quad (4.2)$$

R 是等效電阻, V_o 式輸出振幅, γ 是單一電晶體的雜訊參數, 對短通道而言此值是 $8/3$, g_m 是電流源的轉導, I_T 是流過 VCO 的電流, 所以我們將 R 帶入 13.27, g_m 為 7.64 mA/V , V_o 為 0.55V , I_T 為 2mA , 最後可算出式(4.3), 然後我們可由模

$$L(\Delta\omega) = 10 \log\left(\frac{\overline{v_{noise}^2}}{v_{signal}^2}\right) = 10 \log\left[\frac{2FkT}{P_s} \left(\frac{\omega_0}{2Q\Delta\omega}\right)^2\right] = -121.8\text{dBc/Hz} \quad (4.3)$$

擬圖 4.22 可看出和手算相當接近，圖 4.21 為輸出波形，峰對峰值電壓有 1.1 伏特。

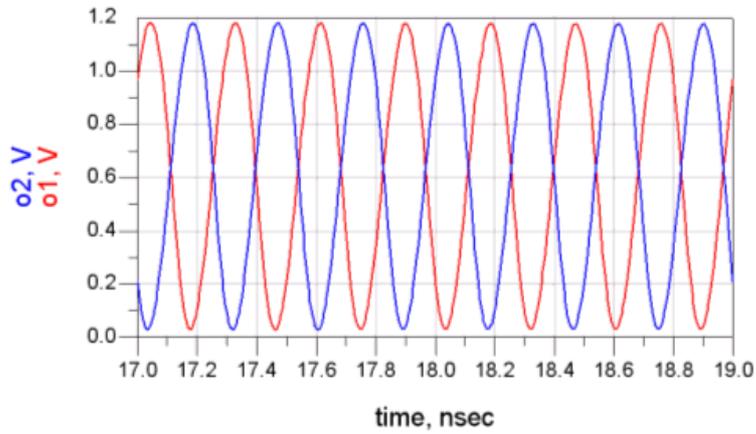


圖 4.21 電壓控制振盪器的輸出

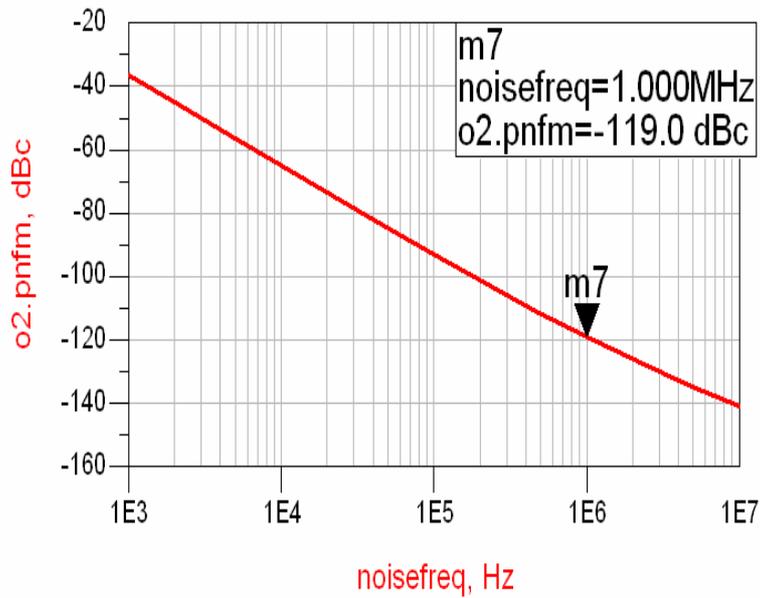


圖 4.22 相位雜訊的模擬

4.6 量測資料

圖 4.23 為 VCO 在 2.4GHz 的頻譜圖，圖 4.24 為 VCO 在 2.41GHz 的頻譜圖

圖 4.25 為 VCO 在 2.42GHz 的頻譜圖，圖 4.26 為 VCO 在 2.43GHz 的頻譜圖

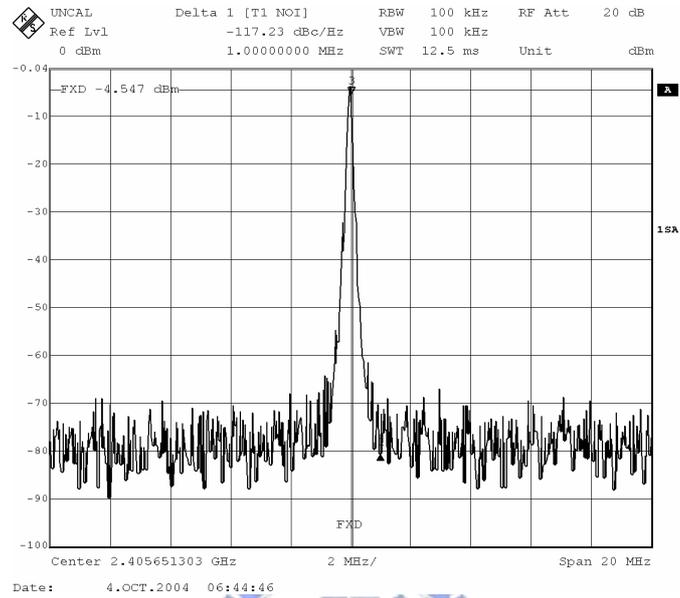


圖 4.23 VCO@2.4GHz 頻譜圖

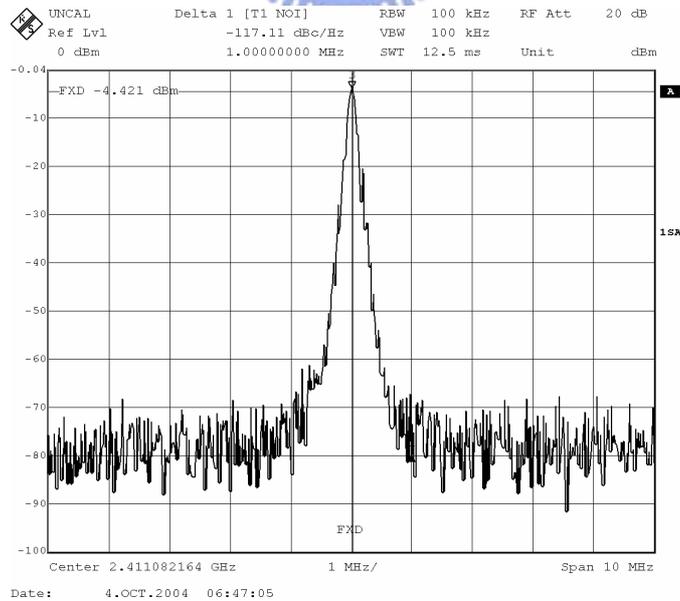


圖 4.24 VCO@2.42GHz 頻譜圖

圖 4.27 為 VCO 在 2.44GHz 的頻譜圖，圖 4.28 為 VCO 在 2.45GHz 的頻譜圖

圖 4.29 為 VCO 在 2.46GHz 的頻譜圖，圖 4.30 為 VCO 在 2.47GHz 的頻譜圖

圖 4.31 為 VCO 在 2.48GHz 的頻譜圖

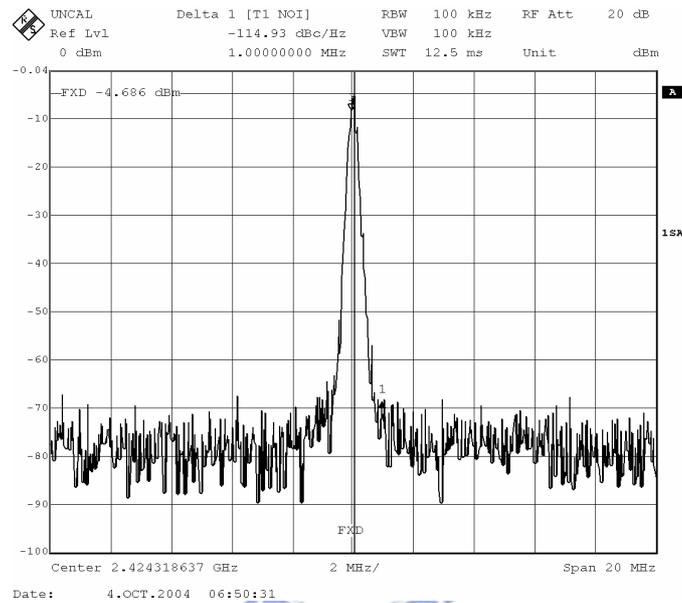


圖 4.24 VCO@2.43GHz 頻譜圖

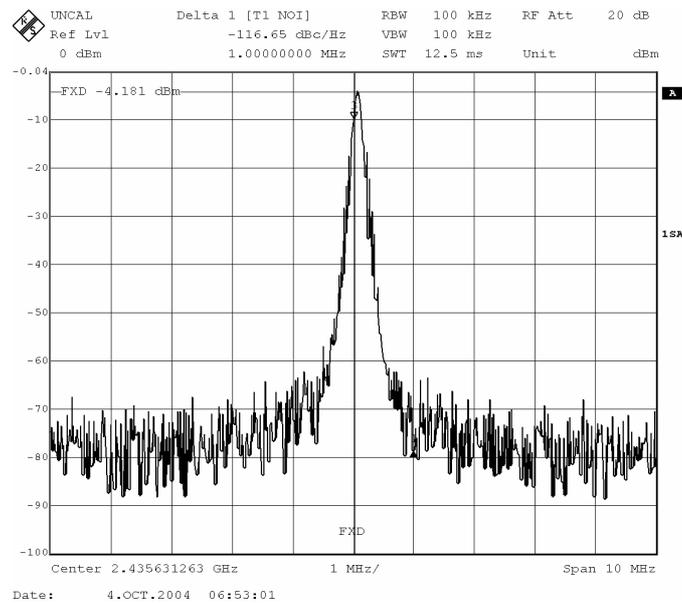


圖 VCO@2.44GHz 頻譜圖

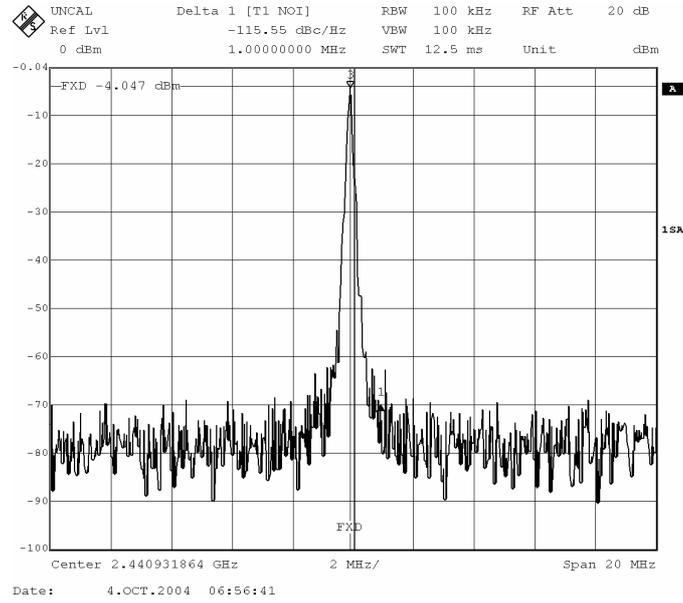


圖 VCO@2.45GHz 頻譜圖

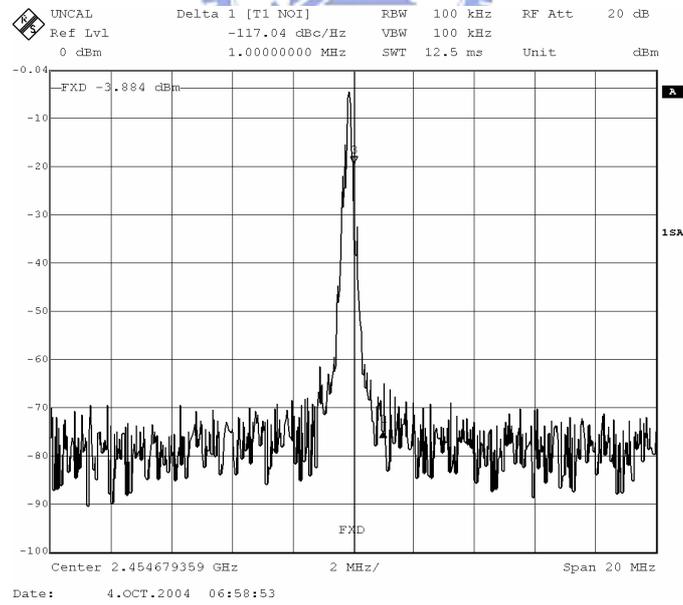


圖 VCO@2.46GHz 頻譜圖

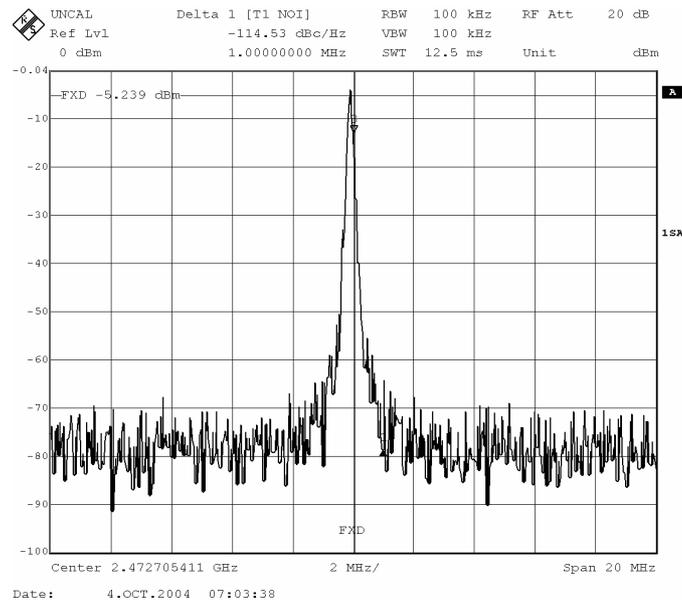


圖 4.29 VCO@2.47GHz 頻譜圖

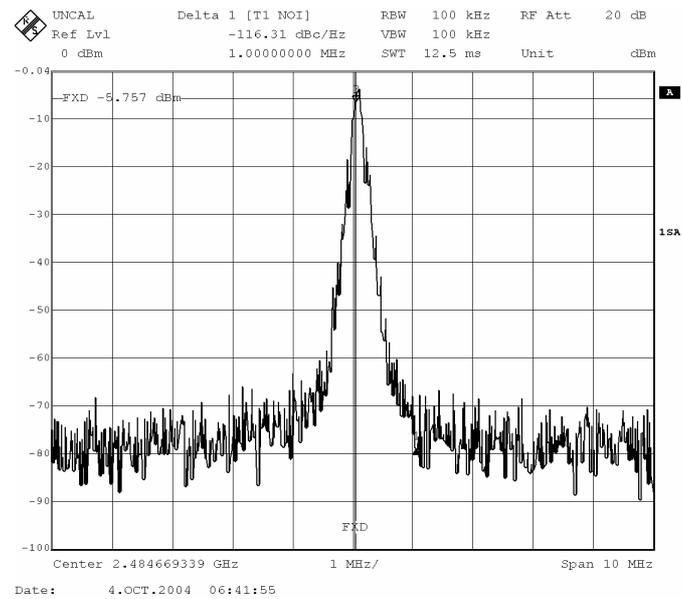


圖 4.30 VCO@2.48GHz 頻譜圖

我們由以上的圖示可知，此電壓控制振盪器其雜訊規格在 1MHz 的偏移頻率時，都可達到-115dBc@1MHz，最好可以達到-117dBc@1MHz。其和模擬時做比較，只相差 2dBc 由此可知，此電壓控制振盪器的設計都在預期之內，在我操作頻

帶，也就是 2.4GHz 到 2.48GHz 這個範圍，其平均 FOM 值在 179.6，最好的 FOM 值可到 180。和模擬所推測值幾乎一至，而圖 4.31，為整體除頻器的表現，在最高頻帶，除數為 127 時，所除下的頻率為 19.6MHz，所以可驗證除頻器的操作是正常工作的。

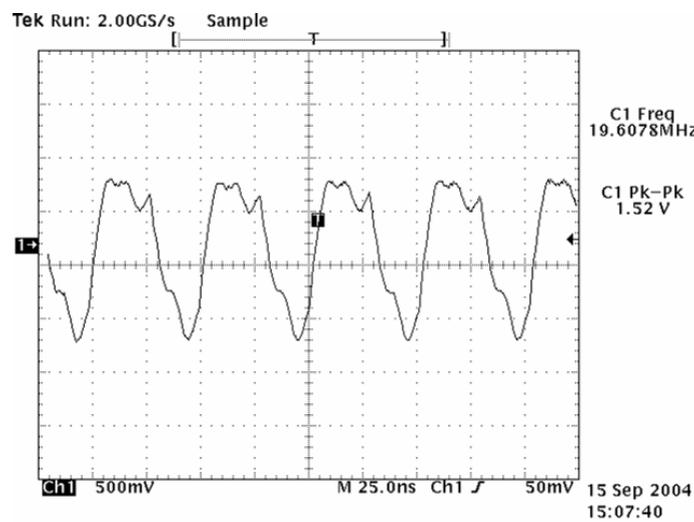


圖 4.31 除頻器的波形

最後圖 4.32 為我晶片的照相，面積為 1300um × 1300um。表六為量測資料整理表。

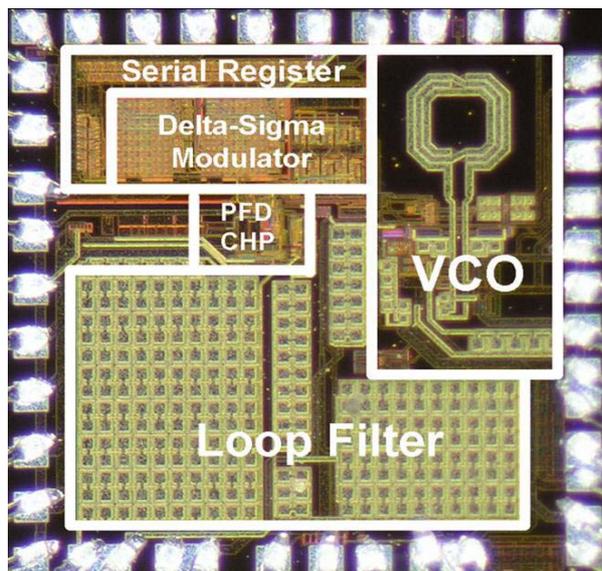


圖 4.32 晶片照相圖

製程/供應電壓		TSMC 0.18- μ m / 1.8V
頻率範圍		(2.73GHz~2.55GHz) (2.62GHz~2.45GHz) (2.52GHz~2.37GHz)
參考頻率		20 MHz
鎖住時間		< 60us
迴路頻寬		100 kHz
Phase noise@1MHz		-117 dBc/Hz
除頻數		119 ~ 127
功率耗損	VCO	3.2 mW
	電荷幫浦和相位 頻率檢測器	0.9 mW
	和差調變器和 除頻器	8 mW
	輸出緩衝器	20 mW

表七 量測整理表



第五章

結論

此篇論文最主要實現了一個使用和差調變器的非整數頻率合成器，在此論文提供了一個完整的設計流程，使得在決定頻率合成器時，皆有一個準則，根據此準則，可看出電路最瓶頸的地方在哪，而可以針對此困難點加以解決，如此一來才不會陷入嘗試錯誤的設計方法，最後，我們由量測結果可得知，在模擬時考慮周詳，則可得到模擬和量測皆一致的結果，如在此論文中，電壓控制振盪器的相位雜訊在模擬時為 $-119\text{dBc}@1\text{MHz}$ ，而在量測時為 $-117\text{dBc}/\text{MHz}$ ，兩者皆一致。

參考文獻

- [1] P. Gray and R. Meyer, "Future directions in silicon ICs for RF personal communications," in IEEE Custom IC Conference, pp. 83–90, 1995.
- [2] J. Sevenhans, A. Vanwelsenaers, J. Wenin, and J. Baro, "An integrated Si bipolar RF transceiver for a zero IF 900 Mhz GSM digital mobile radio frontend of a hand portable phone," in IEEE Custom IC Conference, pp. 7.7/1–4, 1991.
- [3] I. A. Koullias, J. H. Havens, I. G. Post, and P. E. Bronner, "A 900 Mhz transceiver chip set for dual-mode cellular radio mobile terminals," in Proceedings of IEEE International Solid-State Circuits Conference, pp. 140–1, Feb. 1993.
- [4] T. Stetzler, I. Post, J. Havens, and M. Koyama, "A 2.7 V to 4.5 V single-chip GSM transceiver RF integrated circuit," in Proceedings of IEEE International Solid-State Circuits Conference, pp. 150–1, Feb. 1995.
- [5] J. Fenk, W. Birth, R. Irvine, P. Sehrig, and K. Schon, "An RF front-end for digital mobile radio," in Bipolar Circuits and Technology Meeting, pp. 244–7, 1990.
- [6] K. Negus, B. Koupal, J. Wholey, K. Carter, D. Millicker, C. Snapp, and N. Marion, "Highly-integrated transmitter RFIC with monolithic narrowband tuning for digital cellular handsets," in Proceedings of IEEE International Solid-State Circuits Conference, pp. 38–9, Feb. 1994.
- [7] W. Djen and P. Shah, "Implementation of a 900 Mhz transmitter system using highly integrated ASIC," in IEEE 44th Vehicular Technology Conference, pp. 1341–5 vol. 2, June 1994.
- [8] S. Heinen, S. Beyer, and J. Fenk, "A 3.0 V 2 Ghz transmitter IC for digital radio communication with integrated VCOs," in Proceedings of IEEE International Solid-State Circuits Conference, pp. 150–1, Feb. 1995.

[9] S. Heinen, K. Hadjizada, U. Matter, W. Geppert, V. Thomas, S. Weber, S. Beyer, J. Fenk, and E. Matschke, "A 2.7V 2.5 GHz Bipolar Chipset for Digital Wireless Communication," in Proceedings of IEEE International Solid-State Circuits Conference, pp. 306–7, Feb. 1997.

[10] T. A. Riley and M. A. Copeland, "A simplified continuous phase modulator technique," IEEE Transactions on Circuits and Systems — II: Analog and Digital Signal Processing, vol. 41, no. 5, pp. 321–328, May 1994.

[11] T. A. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta-Sigma Modulation in Fractional-N Frequency Synthesis," IEEE Journal of Solid State Circuits, vol. 28, no. 5, pp. 553–559, May 1993.

[12] B. Miller and B. Conley, "A Multiple Modulator Fractional Divider," in Proc. 44th Annual Symp. on Freq. Control, pp. 559–567, May 1990.

[13] B. Miller and B. Conley, "A Multiple Modulator Fractional Divider," IEEE Trans. Instrumentation and Meas., vol. 40, no. 3, pp. 578–583, June 1991.

[14] M. Perrott, T. Tewksbury, and C. Sodini, "A 27-mW CMOS fractional-N synthesizer using digital compensation for 2.5-Mb/s GFSK modulation," IEEE J. Solid-State Circuits, vol. 32, pp. 2048–2060, Dec. 1997.

[16] "A General Theory of Phase Noise in Electrical Oscillators" Ali Hajimiri, Thomas H. Lee, IEEE Journal of Solid-State Circuits, VOL.33,NO.2, February 1998, pp179-194

[17] Bram De Muer; Steyaert, M.S.J.; "On the analysis of Delta Sigma fractional-N frequency synthesizers for high-spectral purity" Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on see also Circuits and Systems II: Express Briefs, IEEE Transactions on, Volume: 50, Issue: 11, Nov. 2003
Pages:784 – 793

[18] National Semiconductor

[19] J.C. Candy, "A Use of Limot Cycle Oscillations to Obtain Robust Analog top Digital Converters" . IEEE Trans. On Communications. VOL/ COM-22. pp.298-305. 1974.

[20] J.C.Candy, "A Use of Double Integration in Sigma Delta Modulation" .IEEE Trans.On Communications. VOL. COM-33.pp.249-258. 1985.

[21] J.C.Candy and A.Huynh. "Double Interpolation for Digital to Analog Conversion" . IEEE Trans. Comm., VOL. COM-34. pp.77-81. 1986.

[22] J.C.Candy and O.J.Benjamin. " The Structure of Quantization Noise from Sigma-Delta Modulatoion" . IEEE Trans. On Communications. VOL.COM-29.pp.1316-1323,.1981.

[23] Y.Matsuya and Y.Akazawa. "Multi-Stage Noise Shaping Technology and Its Application to Precision Measurement" , IMTC '92 IEEE. Pp.540-544. 1992.

[24] W. Rhee, B. Song, and A. Ali, "A 1.1-GHz CMOS fractional-N frequency synthesizer with a 3-b 3rd-order $\Delta\Sigma$ modulator," IEEE J. Solid-State Circuits, vol. 35, pp. 271–350, Oct. 2000.

[25] Hyunki Huh, Yido Koo*

"A CMOS Dual-band Fractional-N Synthesizer with Reference Doubler and Compensated Charge Pump ," ISSCC 2004.

[26] Behzad Razavi, Member, IEEE, “A Study of Phase Noise in CMOS Oscillators,” IEEE J. Solid-State Circuits, Vol. 31, pp. 331-343, March 1996

[27] D. A. Hitok, C. G. Sodini, “Adaptive Biasing of a 5.8GHz CMOS Oscillator”IEEE Int. Solid-State Circuits Conf.Dig. Tech. Papers , pp. 292-293 , Feb.2002.

[28] E.Hegazi,et al., “A Filtering Technique to Lower Qscillator Phase Noise,”IEEE Int. Solid-State Circuits Conf.Dig. Tech. Papers , pp. 292-293 , Feb.2001.



簡歷

姓名：邱偉茗

生日：1978 年 12 月 27 日

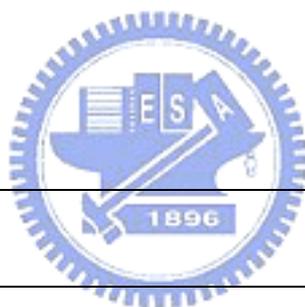
地址：苗栗市福星里福星街 110 巷 48 弄 9 號

學經歷：

中原大學電子工程學系 (1997-2001)

交通大學電子研究所碩士班 (2002-2004)

研究所主修課程：



類比積體電路 I	吳介琮 教授
類比積體電路 II	吳介琮 教授
適應性訊號處理	杭學鳴 教授
數位積體電路	陳巍仁 教授
高頻電路設計	孟慶宗 教授
數位通訊	溫瓊岸 教授
積體電路之靜電防護	柯明道 教授