

利用鎳捉聚技術製備高效能奈米線通道鎳金屬誘發 低溫複晶矽薄膜電晶體及其特性分析

研究生：楊子明

指導教授：吳耀銓 博士

國立交通大學工學院專班半導體材料與製程設備組碩士班

摘要

在本篇論文中，主要的研究是利用鎳捉聚(Ni-Gettering)技術製備高效能奈米線(nanowire, NW)通道金屬誘發低溫複晶矽薄膜電晶體，並測量了它的特性。

首先，我們將利用鎳金屬誘發側向結晶(Nickel-Induced Lateral Crystallization, NILC)成長機制的低溫複晶矽(Low-Temperature Polycrystalline Silicon, LTPS)技術，來製造具有多晶矽奈米線通道的薄膜電晶體，且與固相結晶法(Solid Phase Crystallization, SPC)的元件相比較；另外，我們將利用一個簡易及低成本的方法去製作奈米線通道。其製備之特點為利用一般製作MOSFET元件的側壁邊襯(sidewall spacer)之概念，以底閘極(bottom gate)薄膜電晶體結構在定義汲極(source)和源極(drain)之同時，可自我對準形成奈米線通道，此多晶矽邊襯奈米線通道(poly-Si sidewall spacer nanowire channel)之寬度(width)可以控制至70nm，故可巧妙地將之作為多晶矽奈米線通道。

此外，為了解決對於鎳金屬誘發複晶矽薄膜中非常重要的鎳金屬殘留問題，因而發展出有效的方法來降低鎳金屬誘發複晶矽薄膜中的鎳金屬殘留，本論文中將提出一種簡易及有效的方法去完成鎳捉聚技術。

最後，為了更進一步改善元件特性，我們對元件做了氨(NH₃)電漿處理，我們發現氨電漿處理能有效改善元件特性，例如：鈍化缺陷、降低漏電流、提升載子遷移率、增強開關電流比以及較好的次臨界擺幅等。

關鍵字：薄膜電晶體，金屬誘發結晶，金屬誘發側向結晶，奈米線，捉聚，氨電漿鈍化，低溫複晶矽，側壁邊襯，固相結晶

Fabrication and Characterization of High Performance NILC LTPS Nanowire TFTs using Ni-Gettering

Student : Tzu-Ming Yang

Advisor : Dr. Yewchung Sermon Wu

**Program of Semiconductor Material and Process Equipment
National Chiao Tung University**

Abstract

In this thesis, fabrication and characterization of high performance NILC LTPS nanowire TFTs using Ni-gettering has been studied.

Initially, we employ LTPS NILC technology to fabricate TFTs with poly-Si nanowire channels. It's a simple method and low-cost process to manufacture the nanowire channels. The feature of process was the method of forming sidewall spacer of MOSFET. Simultaneously, we define source/drain and self-alignment form the poly-Si sidewall spacer nanowire channels for the bottom-gate TFT. Thus, we can simply control the width of sidewall spacer nanowire channel around 70 nm by etching condition.

Moreover, due to NILC Poly-Si, residual Ni trapped by the grain boundaries and defects leads to introduce deep level states and results in degradation of the device performance. Therefore, in order to solve this issue, we develop a simple and effective gettering method to reduce the Ni-metal impurity contamination of the NILC poly-Si.

Finally, we execute the NH₃ plasma treatment to further improve the device performance. Through this way, we reveal that the NH₃ plasma treatment can effectively improve the device performance, such as passivate the defects, reduce leakage current, enhance carrier mobility, increase on/off current ratio, and better subthreshold swing, etc.

Keywords: Thin Film Transistor (TFT), Metal Induced Crystallization (MIC) Metal Induced Lateral Crystallization (MILC), Nanowire, Gettering, NH₃ Plasma Passivation, Low-Temperature Polycrystalline Silicon (LTPS), Sidewall Spacer, Solid Phase Crystallization (SPC)

誌 謝

由衷地感謝指導教授吳耀銓博士，在碩士班兩年的時間裡明確的給我研究的方向並讓我了解如何做研究，如何去分析問題，並感謝您總是以體貼學生的角度去著想，在學業上給予關心、鼓勵以及對於兼顧工作的我也給予最大的便利。

同時也要感謝口試委員陳智教授及胡國仁博士，在提計畫書時給予我許多寶貴的意見與指正，使得本論文能更加完善。

特別感謝目前任職於國立師範大學的劉傳璽教授，謝謝您給予我在半導體的啟蒙以及一直以來無私的教導我、幫助我，沒有您的支持也就不會有今天的子明，謝謝有您這樣亦師亦友的老師，讓我在人生的道路上第一次對自己感到有成就感，第一次對自己感到有所期待，希望我有讓您感到驕傲。並同時感謝長庚大學潘同明教授、國立海洋大學嚴茂旭教授、亞洲大學黃素華教授。

在此感謝實驗室所有同學們的相互鼓勵學習及幫忙。尤其感謝小黑學長及寶明學長於實驗上之帶領和訓練。感謝志榜學長於電性量測上時時給予我最好的教導及建議。感謝季豪學長及承祐在FIB和TEM上，總是盡心盡力的幫助我。並感謝卿杰、育誠、明輝、建誌、昕如、偉志及俞中。同時感謝任職於交大奈米中心的學長蘇俊榮博士，在實驗上給予我許多寶貴的建議，謝謝你們所有人於實驗上之協助和陪伴。

感謝國家奈米元件實驗室的同仁及前輩。尤其感謝巫振榮及謝錦龍總是在工作上給予我最大的支持與幫助，我才能無後顧之憂的全力完成學業。感謝李美儀學姐總是很有耐心的帶領我一步步的完成實驗上的困難。感謝賴東彥及吳鴻佑給予我在製程上非常多的幫忙。感謝沈志彥在我實驗上最重要的蝕刻製程部分，給予大力的幫忙。感謝林書毓總是在學業及工作上一起互相勉勵。特別感謝孫旭昌博士讓我有機會任職於國家奈米元件實驗室。

感謝國立交通大學和國家奈米元件實驗室提供良好的學習環境和完善的儀器設備，使研究之進行皆得以順利完成。

感謝我的父母：楊連順先生和呂素真女士，感謝您們給予我一個艱苦的成長環境，才能讓我擁有面對挫折時的容忍力和面對逆境時的處理能力，不斷往前邁進永不放棄。

感謝我的二舅媽呂李麗香，感謝妳的養育之恩，感謝妳另類的教養方式讓我成為更好的人。同時感謝五舅舅呂新發、哥哥呂志偉、嫂嫂阿妹、大姐呂雅惠、小姑姑呂雅妮、姐姐呂佩蓉以及跟我感情最好的妹妹呂佩華。

另外要感謝從小一起長大的好兄弟們，包括王俊強、賴俞運及丁貞寬，謝謝你

們一直以來的陪伴與支持。

最後，特別感謝伯父彭昆耀、伯母蔡惠鑾、彭一航及彭依諄，感謝您們一直以來對我的關心、照顧、鼓勵與支持；感謝您們一直把我當家人看待，讓我能感受家的感覺，只是我在人生中的成長階段，並無與父母親相處的經驗，所以感謝您們兩位長輩包容我的沉默寡言，在我心中您們也是我很重要的家人。更要感謝我的女朋友彭詩倩，感謝妳在生活上的互相扶持、分享及體諒，謝謝有妳陪伴在我身邊。

由於受到許多人的幫助與提攜，得之於人者太多，出之於己者太少。最後再次感謝以上所有人，在這段期間對我的包容與支持，給予我最大的原動力，讓我能順利完成我的學業與論文。在此祝福您們都能健健康康、快快樂樂。現在我所過的每一天對我來說都是個奇蹟，而我也將繼續創造下去。



楊子明
誌於新竹交大

目 錄

中文摘要	I
英文摘要	II
誌謝	III
目錄	V
表目錄	VII
圖目錄	VIII
第一章、序論.....	1
1.1 奈米線背景回顧及其應用.....	1
1.1.1 由上而下的製作技術(Top-down).....	1
1.1.2 由下而上的製作技術(Bottom-up).....	4
1.2 薄膜電晶體背景回顧及其應用.....	5
1.2.1 非晶矽薄膜電晶體.....	6
1.2.2 複晶矽薄膜電晶體.....	7
1.3 低溫複晶矽結晶方法及其優點.....	9
1.3.1 固相結晶法.....	10
1.3.2 準分子雷射退火結晶法.....	10
1.3.3 金屬誘發/金屬誘發側向結晶.....	11
1.4 電性影響因素.....	14
1.4.1 晶界能障與晶界載子補陷.....	14
1.4.2 晶界與晶粒內缺陷.....	15
1.4.3 過渡金屬雜質.....	16
1.5 電性改善方法.....	17
1.5.1 金屬捉聚技術.....	17
1.5.2 後退火之再結晶技術.....	18
1.5.3 電漿鈍化技術.....	18
1.6 研究動機.....	18
1.6.1 利用一個簡易及低成本的方法去製作奈米線通道.....	18
1.6.2 利用一個簡易及有效的方法去完成鎳捉聚技術.....	19

第二章 、 鎳捉聚技術之研究	20
2.1 研究背景回顧.....	20
2.2 研究動機.....	22
2.3 實驗步驟及方法.....	23
2.4 實驗結果與討論.....	26
2.5 結論.....	29
第三章 、 奈米線通道元件製作及量測參數定義	30
3.1 元件結構及製作流程.....	30
3.2 電性量測參數定義.....	42
3.2.1 載子遷移率.....	42
3.2.2 臨界電壓.....	43
3.2.3 次臨界擺幅.....	44
3.2.4 開關電流比.....	44
3.2.5 捕陷密度.....	44
第四章 、 特性分析與討論	46
4.1 元件性能.....	46
4.1.1 I_D - V_G 特性曲線.....	46
4.1.2 I_D - V_D 特性曲線.....	50
4.2 漏電流機制探討.....	52
4.3 氬電漿鈍化處理對元件的影響.....	55
第五章 、 總結與未來工作	57
5.1 總結.....	57
5.2 未來工作.....	57
參考文獻	59



表 目 錄

第一章

表 1-1	a-Si TFT 與 LTPS TFT 特性比較.....	10
-------	-------------------------------	----

第三章

表 3-1	LPCVD 沉積 in-situ doped n^+ poly-Si 的製程參數.....	32
表 3-2	LPCVD 沉積 α -Si channel layer 的製程參數.....	33
表 3-3	定義 source/drain 及同時自我對準形成 NW 的 dry etching 製程參數.....	37
表 3-4	Metallization 的 PVD 系統製程參數.....	41

第四章

表 4-1	NILC NW-TFT、GLIP NW-TFT 及 SPC NW-TFT 三組元件的電性比較.....	48
表 4-2	NH ₃ 電漿鈍化處理的製程參數.....	55
表 4-3	GLIP NW-TFT 經電漿處理前後之電性比較.....	56



圖目錄

第一章

圖 1-1	奈米線的應用.....	1
圖 1-2	探針與吸附的水膜產生電化學反應.....	2
圖 1-3	AFM 氧化之情形.....	2
圖 1-4	(a)電子束直接寫入 (b)顯影 (c)蝕刻.....	3
圖 1-5	壓印流程圖.....	3
圖 1-6	VLS 成長機制 (a)成核 (b)析出 (c)一維結晶.....	4
圖 1-7	SLS 成長機制.....	5
圖 1-8	TFT 的上視示意圖與截面示意圖.....	6
圖 1-9	一個 pixel 的 LCD 等效電路.....	6
圖 1-10	(a)非晶矽的原子結構示意圖 (b)底閘極(Bottom Gate) 電晶體基本結構示意圖.....	7
圖 1-11	複晶矽的原子結構示意圖.....	8
圖 1-12	(a)非晶矽與多晶矽面板之開口率比較 (b)非晶矽與多晶 矽面板之周邊驅動電路及零組件數目的比較.....	8
圖 1-13	Ni-Si 反應自由能圖.....	12
圖 1-14	c-Si 在 NiSi ₂ /a-Si 介面形成的結晶成長機制.....	12
圖 1-15	Si 與 NiSi ₂ 晶體結構.....	13
圖 1-16	MIC / MILC 成長機制.....	13
圖 1-17	MILC 所形成的針狀矽晶粒 (a)示意圖 (b)SEM 圖.....	14
圖 1-18	MILC 的優選成長方向.....	14
圖 1-19	(a)晶粒與晶界示意圖 (b)晶界處形成空乏區域 (c)空乏 區形成能障.....	15
圖 1-20	捕陷(traps)主要集中在晶界處，然而在晶粒中的缺陷也有 建立起一些態位。淺拖曳態位(shallow tail state)與應變鍵 (strained bonds)有關，而在中間能隙的深態位(deep state) 是由斷鍵及懸鍵造成的.....	16
圖 1-21	SiO ₂ /poly-Si 界面處的截面示意圖.....	16
圖 1-22	(1)內部捉聚法(Intrinsic Gettering) (2)外部捉聚法(Extrinsic Gettering) (3)化學捉聚法(Chemical Gettering).....	17

圖 1-23	CMOS 元件的截面圖	19
圖 1-24	奈米線通道底閘極(bottom gate)薄膜電晶體的立體結構圖	19
第二章		
圖 2-1	Sharp CGS 技術之捉聚製程步驟	20
圖 2-2	(a)將捉聚基板與 NILC 試片做接合的動作，退火後將鎳 捕捉至基板誘發結晶(b)將捉聚基板與 NILC 試片做分離 的動作	21
圖 2-3	(a)沈積氮化矽和非晶矽，然後做退火的動作 (b)移除氮化矽和非晶矽，完成鎳捉聚	21
圖 2-4	汲極與源極接觸窗捉聚製作流程圖	22
圖 2-5	(a)intrinsic (b)B ₂ H ₆ (c)PH ₃ (d)在非晶矽裡摻雜不同型式的 摻雜質對 NILC 長度的比較	23
圖 2-6	形成 NILC Poly-Si 的流程圖	24
圖 2-7	chemical oxide 的 TEM 圖	25
圖 2-8	形成 GETR Poly-Si 的流程圖	25-26
圖 2-9	GLIP Poly-Si 的製作流程圖	26
圖 2-10	(a) NIC&NILC 示意圖 (b) NILC Poly-Si 之晶界矽化物孔洞的 SEM 圖 (c) GETR Poly-Si 之晶界矽化物孔洞的 SEM 圖	27
圖 2-11	OM 圖(a)before Ni-gettering (b)after Ni-gettering (c)非晶矽捉聚層內摻雜磷後再退火做 Ni-gettering 的情形	28
圖 2-12	NILC Poly-Si、GETR Poly-Si 及 GLIP Poly-Si 三組試片的鎳含量 SIMS 比較圖	28
第三章		
圖 3-1	奈米線通道底閘極薄膜電晶體的立體結構示意圖	30
圖 3-2	(a)元件 top-view 的示意圖 (b)元件 cross-section 的示意圖	30
圖 3-3	成長 Substrate oxide 示意圖	31
圖 3-4	定義 poly-Si gate 的流程圖	31
圖 3-5	閘極 OM 圖	32
圖 3-6	沉積 gate oxide 的示意圖	32
圖 3-7	沉積 α -Si channel layer 的示意圖	33

圖 3-8	α -Si channel layer 沉積後的截面 SEM 圖	33
圖 3-9	Ni Line 的 OM 圖	34
圖 3-10	(a)定義 Ni Line 示意圖 (b)NILC OM 圖 (c)NILC 示意圖	34
圖 3-11	形成 GLIP poly-Si 的流程圖	35
圖 3-12	形成 GLIP poly-Si 的捉聚退火 OM 圖	36
圖 3-13	Ion implantation 的示意圖	36
圖 3-14	利用乾蝕刻定義 source/drain 後的上視 OM 圖	37
圖 3-15	(a) 利用乾蝕刻定義 source/drain 及同時自我對準形成 NW 的 top-view 的示意圖 (b)A 到 B 的 cross-section 的示意圖	38
圖 3-16	利用乾蝕刻定義 source/drain 及同時自我對準形成 NW 的 top-view 的示意圖的 SEM 圖	38
圖 3-17	A 到 B 的 cross-section 的 SEM 圖	38
圖 3-18	(a)A 到 B 的 cross-section 的 TEM 圖 (b)右邊的 NW 放大 TEM 圖 (c)左邊的 NW 放大 TEM 圖	39
圖 3-19	形成 SPC NW poly-Si 的示意圖	40
圖 3-20	contact hole 黃光微影製程定義後的 OM 圖	40
圖 3-21	metal pad 黃光微影製程定義後的 OM 圖	41
圖 3-22	metal pad 完成乾蝕刻後的 OM 圖	42
圖 3-23	很多在晶粒中的置換型摻雜原子所貢獻的自由載子很快的就被固定在晶界處的捕陷位置 Nt 每單位面積的能量不超過能隙(bandgap)	45

第四章

圖 4-1	NILC NW-TFT、GLIP NW-TFT 及 SPC NW-TFT 三組元件的 ID-VG 轉移特性曲線圖	47
圖 4-2	NILC NW-TFT、GLIP NW-TFT 及 SPC NW-TFT 三組元件以 $\ln[IDS/(VGS-VFB)]$ versus $1/(VGS-VFB)^2$ 作圖	48
圖 4-3	NILC NW-TFT、GLIP NW-TFT 及 SPC NW-TFT 三組元件的臨界電壓值均勻性及漏電流值均勻性的比較圖	49
圖 4-4	影響臨界電壓值均勻性及漏電流值均勻性的示意圖	49
圖 4-5	三組元件的 ID-VD 驅動電流曲線圖	51
圖 4-6	一般的漏電流機制示意圖	52
圖 4-7	缺陷輔助穿隧示意圖(a)thermionic field emission (b)tunneling	53

圖 4-8 閘極與汲極重疊的漏電流產生區域 (a)上視圖 (b)截面結構圖.....54

圖 4-9 I_{GIDL} 偏壓下的能帶圖.....54

圖 4-10 在不同的重疊區域下的 I_{GIDL}55

圖 4-11 GLIP NW-TFT 經電漿處理前後之 ID-VG 轉移特性曲線圖.....56



第一章、序論

1.1 奈米線背景回顧及其應用

1991年由Iijima首先以穿透式電子顯微鏡發現奈米碳管，1998年Lieber等研究團隊成功地合成奈米線(NW ,nanowire)，隨後奈米材料的研究掀起了廣大的研究熱潮。隨著材料的尺度縮小至奈米等級時，由於表面與體積的比值變大及量子侷限現象等因素，使得奈米材料的物理、化學、機械及光電等許多性質與為塊材時的特性不相同。另一方面，奈米材料漸漸受到重視的原因與現今半導體產業有關，現階段半導體製程受到微影技術瓶頸的限制，使得元件縮小化受到考驗，而如何克服製程技術的困境，就需要仰賴奈米技術的發展了。

而“由上而下”(Top-down)的蝕刻技術製作奈米材料於目前遇到一些困難，如：設備成本高、製作三維結構難度高與無法大面積製備等挑戰。為克服上述的限制，“由下而上”(Bottom-up)的技術更是一個突破，由分子自我組裝建構達到奈米的結構，完全不受限於微影技術的限制，但此技術需藉由觸媒顆粒之大小來控制奈米線之直徑分布，才能製造出符合需求的奈米結構；此外藉由觸媒或顆粒的選擇性沈積，可於基板上選擇性成長奈米線。而奈米線目前已被廣泛的應用於TFT[1]、Memory Device[2]、Biosensor[3](如圖1-1)。奈米線的製作方法可分為以下幾大類：

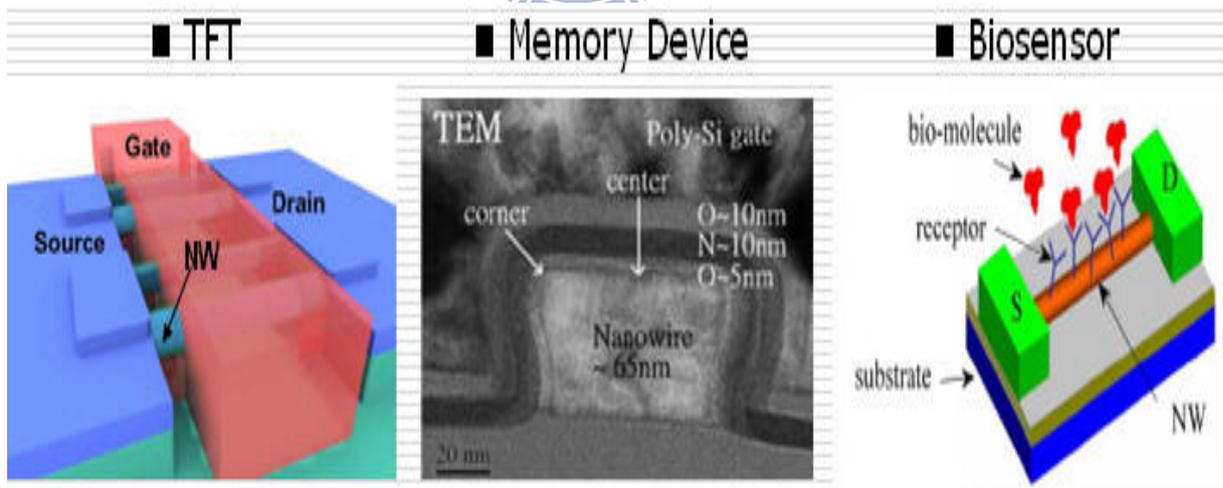


圖 1-1 奈米線的應用[1]-[3]

1.1.1 由上而下的製作技術 (Top-down)

(1) 掃描式探針微影技術(Scanning Probe Lithography , SPL)

SPL主要是利用以探針方式的掃描探針顯微鏡(Scanning Probe Microscope ,

SPM), 例如原子力顯微鏡(Atomic force microscopy, AFM)以其尖銳探針針尖來直接劃寫在樣品表面當作我們所需的奈米線。其工作機制是我們利用掃描式探針顯微鏡進行電磁場的氧化反應, 當我們在大氣中探針針尖接觸試片表面會吸附一層水膜, 探針和試片表面會因毛細現象而形成, 我們外加一電場足夠大時, 使得探針和吸附的水膜產生電化學反應生成OH⁻並和Si反應成SiO_x而形成水橋(如圖1-2)。另外我們可控制偏壓大小以及探針針尖和試片表面接觸力去操控氧化物的線寬[4]-[6](如圖1-3)。

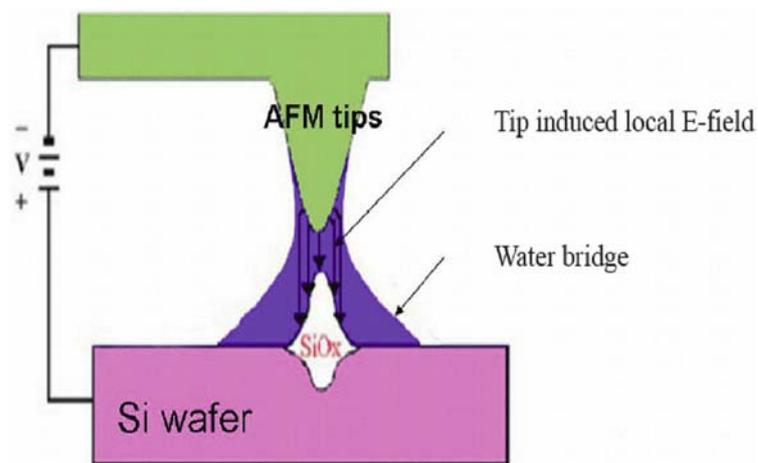


圖1-2 探針與吸附的水膜產生電化學反應[4]-[6]

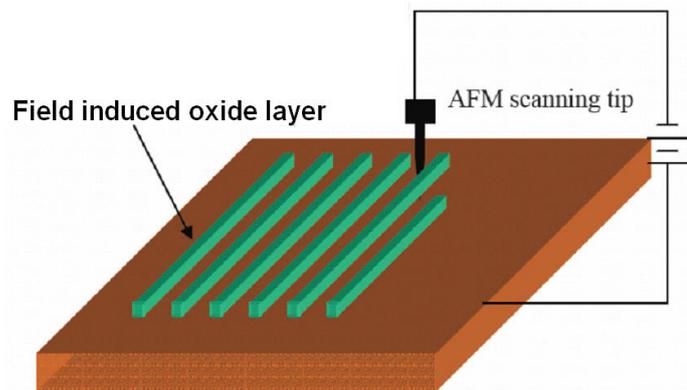


圖1-3 AFM氧化之情形[4]-[6]

(2) 電子束微影技術 (Electric beam lithography, EBL)

EBL為製作次微米至奈米級尺度結構最重要的技術之一, 其基本原理為利用高電壓加速之電子對特殊之光阻劑(photoresist)進行直寫(如圖1-4), 藉由電磁線圈來控制電子行進路線, 可製作出各種包含週期性及非週期性等圖案。利用此技術可

製作10-100nm的線寬，此技術擁有許多之優點，如：不需光罩、較高之解析度以及Diffraction effects are minimized等，但其也存在許多缺點包含，如：此系統造價而貴且製作相當費時。

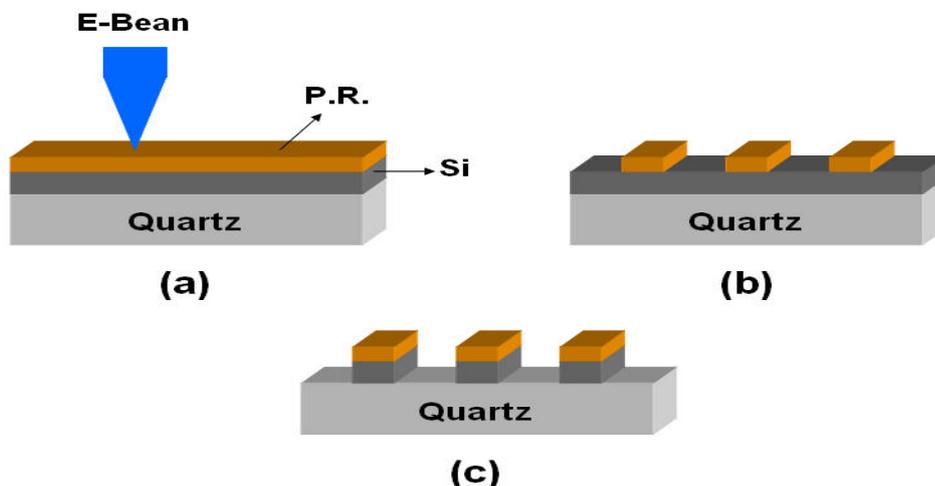


圖1-4 (a)電子束直接寫入 (b)顯影 (c)蝕刻

(3) 奈米壓印技術 (Nanoimprinting)

壓印技術是目前可以不受光學微影的物理限制，且相當受到矚目的新興製造技術。採用這種方法將一個母模或圖樣壓入到材料中，而此材料將按照範本的圖形產生變形，再經過紫外曝光或者熱處理的方法就可以使其成形(如圖 1-5)。與大多數微電子技術採用的傳統紫外曝光相比，壓印技術不只可以複製 X-Y 方向的圖形，還可以在垂直方向上壓出臺階和輪廓線的結構。

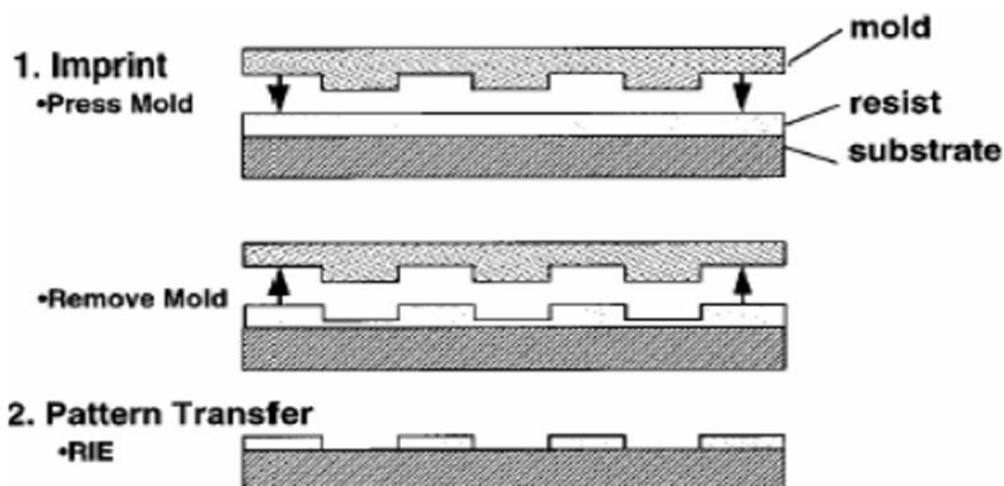


圖1-5 壓印流程圖[7]

1.1.2 由下而上的製作技術 (Bottom-up)

(1) 氣液固相技術 (Vapor Liquid Solid , VLS)

在過去幾年研究中，大部分的矽奈米線的製備都是基於VLS技術[8]，以 SiH_4 為氣相反應物，金屬粒子為催化劑，這種結晶合成的方式最早由Wagner和Ellis在1964年提出。金屬奈米粒子在反應的過程中形成相對較低熔融溫度的合金相液滴，在系統之中此合金相液滴為氣相沈積的優選位置，此時合金液滴中會形成飽合金屬矽化物，當氣相矽粒子持續提供下，合金相會達過飽合狀態因而析出矽形成矽奈米線。奈米線的尺寸由金屬粒子的大小決定，使得此方式所製備的奈米線尺寸較易被控制，而且均勻度也較高。VLS機制基本可分為3個階段(如圖1-6)：成核、析出及一維結晶。在成核階段，金粒子被散佈在基材之上，這些粒子可以利用化學氧化還原法或雷射熱退火金屬薄膜而形成。然後引入反應氣體如 SiH_4 或 SiCl_4 ，當系統溫度高於金屬，則矽共晶溫度，高溫使金矽粒子融為液相。此時氣體會在金屬表面解離，矽粒子擴散進入金屬粒子，介面形成合金相，當此合金相達到適相成分比之下，於相對較低之共晶溫度下液化。當共晶的合金相達到飽合，矽會從合金相析出而固化。此時反應氣體持續供應，使得成長持續進行，而使得奈米線的長度持續增加。奈米線的長度可由成長速率與成長時間控制。

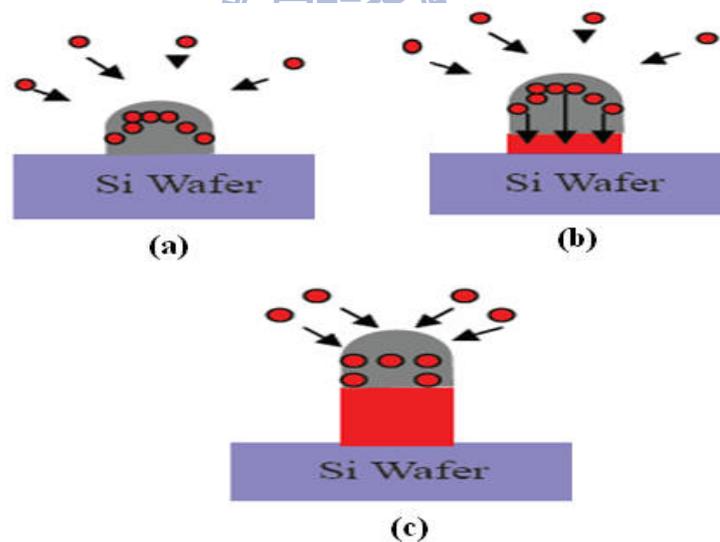


圖 1-6 VLS成長機制 (a)成核 (b)析出 (c)一維結晶[6]

(2) 固液固相技術 (Solid Liquid Solid , SLS)

此製作的機制和VLS類似，差別在於此種方法不需要氣相的反應氣體，它只需沈積一層催化劑在我們的矽晶圓上，此種製作方式由H.F. Yan 等人在2000年所提出[9]-[11] (如圖1-7)。

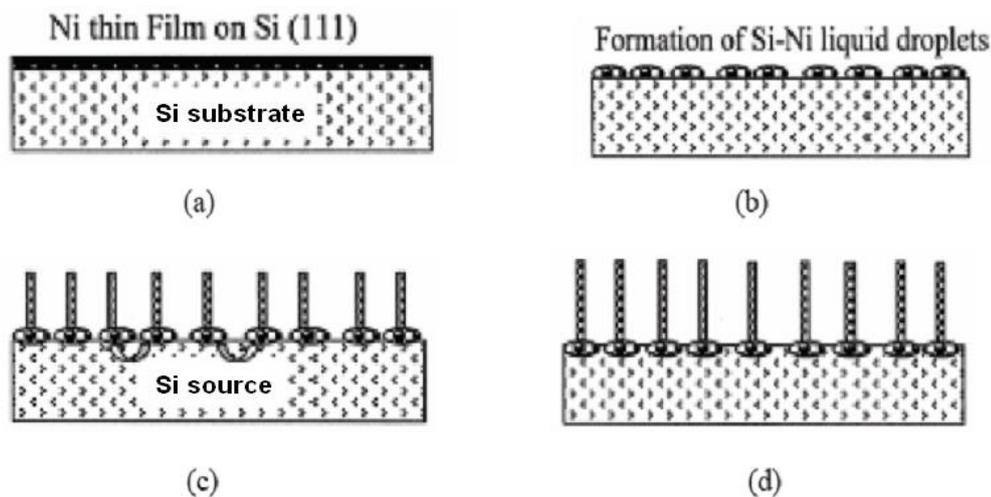


圖 1-7 SLS 成長機制[9]-[11]

1.2 薄膜電晶體背景回顧及其應用

薄膜電晶體(Thin Film Transistor, TFT)是由一個閘極(gate)、一個源極(source)與一個汲極(drain)所構成的三端點電子元件(如圖 1-8)，此結構及操作原理與金氧半場效電晶體(MOSFET)非常相似。唯一明顯不同的地方為基材(substrate)，TFT 是製作在玻璃基板上，而 MOSFET 是製作在矽(Si)基材上。其原理是利用絕緣層讓閘極和通道(channel)的部分隔開，當元件是操作於 n-channel 時，閘極沒有外加一個電壓或施加負電壓，就沒有電流從源極流向汲極，此時唯一通過的電流即稱為漏電流；而當閘極加一夠大的正電壓時，在通道部分會感應出電子來，此時如果再在汲極部分加一正電壓，將使大量電子經由源極流向汲極，使得薄膜電晶體從原本的「關閉」變成「開啟」的狀態。所以薄膜電晶體可以被視為一個開關[12] [13]。由於隨著 TFT 性能的提升，目前已被廣泛的應用於液晶顯示器(LCD)、PDA、數位相機、筆記型電腦、行動電話及 MP3 player 等等。而 LCD 即是利用閘極電壓去控制源極與汲極之間的電流，將 TFT 開啟與關閉的特點，得以在適當的時機與驅動訊號的來源連接或阻絕，而使得每一個畫素(pixel)可以獨立運作，由於 TFT 屬於主動元件，因此 TFT- LCD 也被視作為一種主動式陣列(active matrix)的 LCD，如圖 1-9 所示。

薄膜電晶體又可以被分為非晶矽薄膜電晶體與複晶矽薄膜電晶體兩種，在下面的敘述會對兩種電晶體做詳細的介紹。

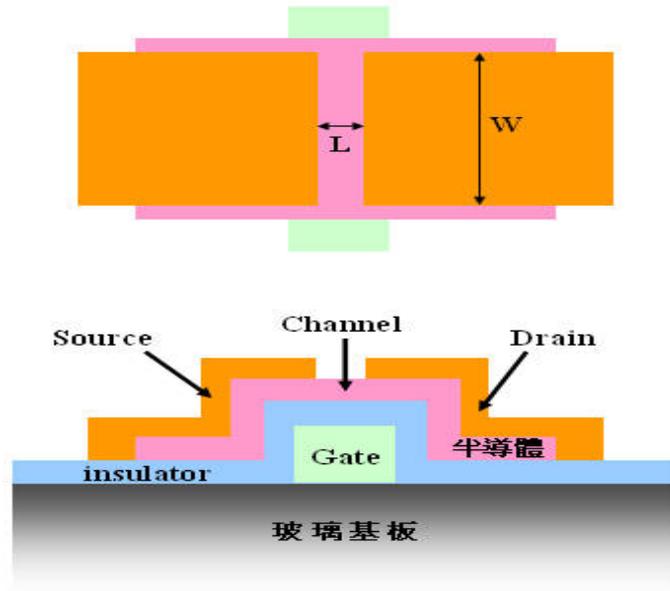


圖 1-8 TFT 的上視示意圖與截面示意圖

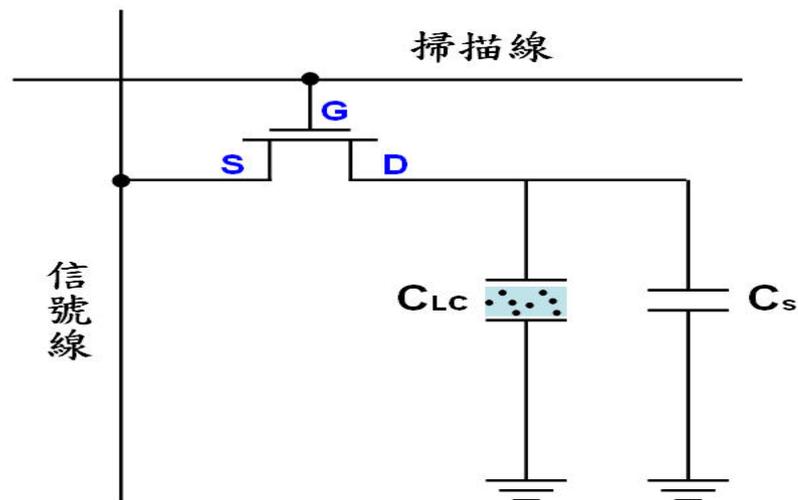


圖 1-9 一個 pixel 的 LCD 等效電路

1.2.1 非晶矽薄膜電晶體

非晶矽薄膜電晶體(a-Si TFT)為TFT-LCD中較為成熟的技術，是目前LCD市場的主流。主要是因為非晶矽TFT有以下優點：為一低溫製程(<350°C)，非常適合製造於玻璃基板上的TFT；為連續製程。一般多利用電漿輔助化學氣相沉積(Plasma Enhanced Chemical Vapor Deposition, PECVD)的方式連續沉積閘極介電層、非晶矽主動層(amorphous silicon, a-Si:H)和汲/源極層，再回蝕(etchback)定義所需的形貌。因此底閘極(bottom gate)結構的薄膜電晶體較符合要求(如圖 1-10)。整個製程步驟較為簡單；並且有較低的漏電流。但是非晶矽TFT也有著某些無法改進的缺

點，如電子遷移率(mobility)很低($<1\text{cm}^2/\text{V}\cdot\text{S}$)、開啟電流(on current)較小。在先天的缺陷下，非晶矽的TFT-LCD有著反應速率慢，解析度低，開口率較低等缺點。由於畫素的增加，需要比非晶矽TFT電性更好的元件才能有更好的特性，因此發展出了比非晶矽薄膜電晶體電性更好的複晶矽薄膜電晶體，以改進上述的缺點。

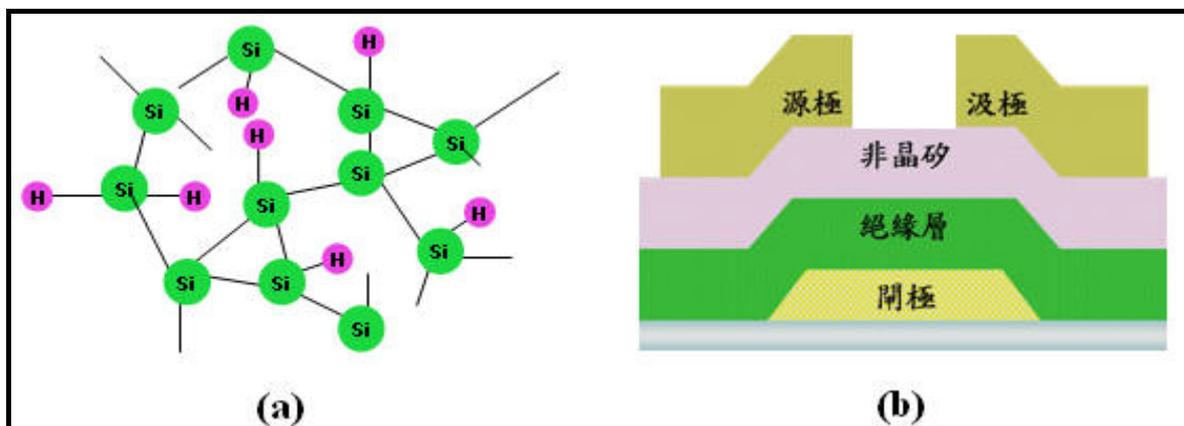


圖 1-10 (a)非晶矽的原子結構示意圖 (b)底閘極(Bottom Gate)電晶體基本結構示意圖

1.2.2 複晶矽薄膜電晶體

複晶矽薄膜電晶體(poly-Si TFT)與非晶矽薄膜電晶體的不同在於主動層以複晶矽(如圖 1-11)取代非晶矽，使得電晶體之驅動能力大大的提升。一般複晶矽薄膜製作的方法分為直接沉積複晶矽(As-deposited Polysilicon)及沉積非晶矽再退火(annealing)兩種。直接沉積複晶矽製程溫度在 625°C 以上，高於一般玻璃基板的軟化溫度(600°C)，且直接沉積的複晶矽，其晶粒(grain)較小，缺陷(defect)較多，所製作出來的薄膜電晶體特性較差，是因為複晶矽薄膜是由許多晶粒所組成，在晶粒內部矽原子之間的鍵結完整，類似於單晶矽；而在晶粒與晶粒之間的區域則為晶界(grain boundary)，在晶界中則充滿著不完整的斷鍵與鍵結較弱的弱鍵，限制了其特性，所以通常無人使用此方式製作。另外一種製作複晶矽的方法為先利用低壓化學氣相沉積(Low Pressure Chemical Vapor Deposition, LPCVD)、PECVD 或濺鍍(sputtering)的方式沉積非晶矽薄膜，再利用熱處理的方式使其再結晶為複晶矽薄膜。複晶矽提昇了薄膜電晶體的性能，不僅能當作一般的陣列開關，還可以整合周邊驅動電路、控制電路與記憶體在同一塊玻璃基板上，大大降低了 LCM 使用零組件的數目，達到了窄框化的目的。另外，較高的載子移動率可以縮小畫素中 TFT 的尺寸，增加透光區域的面積，而達到高開口率，並且可進一步縮小畫素大小來增加面板解析度[14]，如圖 1-12。

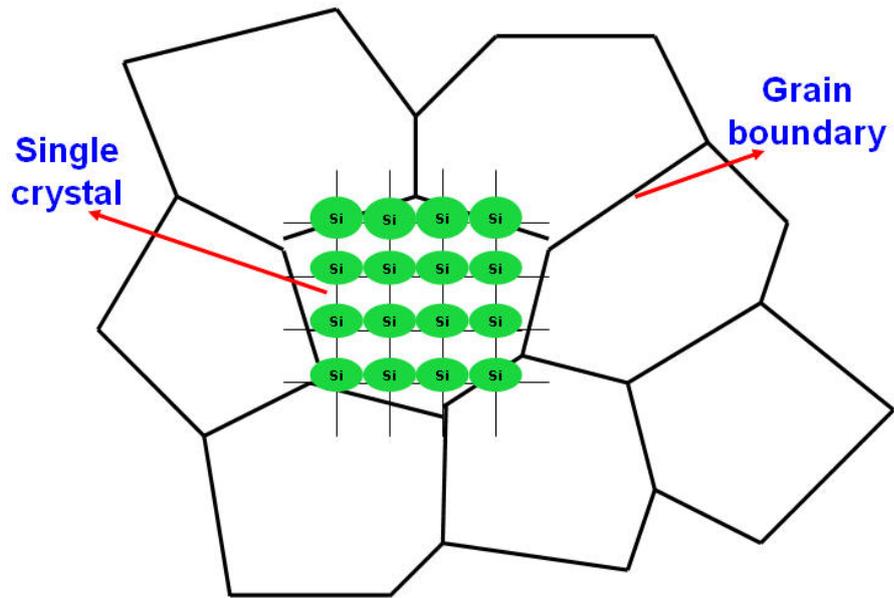


圖 1-11 複晶矽的原子結構示意圖

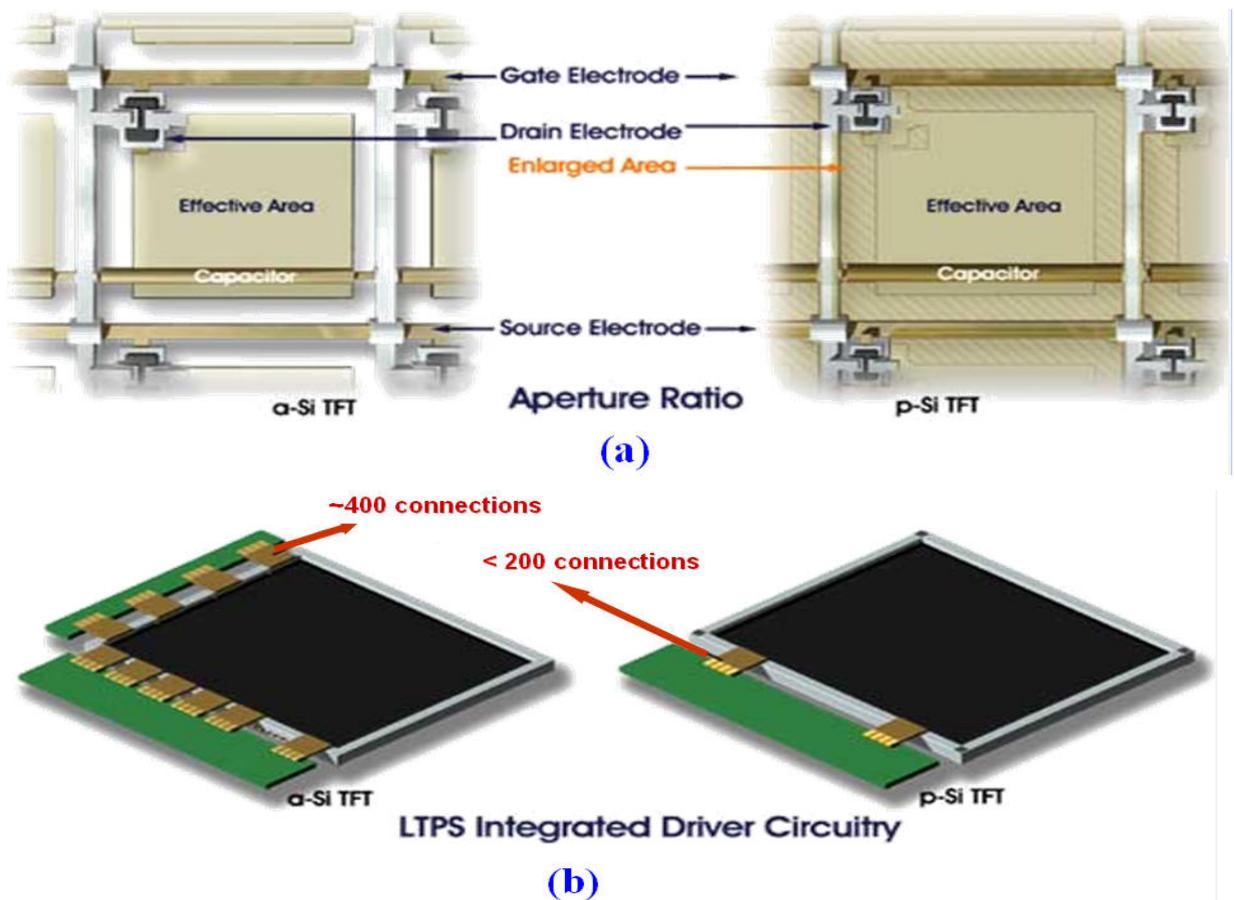


圖 1-12 (a)非晶矽與多晶矽面板之開口率比較 (b)非晶矽與多晶矽面板之周邊驅動電路及零組件數目的比較[14]

1.3 低溫複晶矽結晶方法及其優點

再結晶的方式可分為高溫及低溫兩類，以玻璃基板的軟化溫度(600°C)為分界。高溫再結晶通常以爐管(furnace)或是快速熱退火(Rapid Thermal Annealing, RTA)的方式進行，由於使用高溫製程，所以必須使用較昂貴且小尺寸的石英基板，並限制了其應用範圍。因此低溫再結晶的方式是目前最受矚目並為工業界採用的技術。利用低溫再結晶所製造的低溫複晶矽(Low-Temperature-Poly-Silicon, LTPS)薄膜電晶體具有較高載子移動率[15]。而電子與電洞的移動率是決定一個 TFT 元件等效傳導率與尺寸大小的重要參數，而高載子移動率使得 LTPS TFT-LCD 具有下列的競爭優勢：

- A. 可縮小畫素(Pixel)中 TFT 的尺寸，增加透光區域的面積，而達到高開口率。因此在相同的發光亮度下，LTPS TFT-LCD 可採用低瓦數的背光源，達到低耗電量的要求。另外藉由完全自我對準(Fully Self-Alignment)來形成源/汲極區域，則可降低寄生與重疊電容所需的儲存電容面積也能因此縮小，讓開口率進一步提高，而能提供更高精細、高解析度的液晶面板。
- B. 可將周邊驅動電路與液晶面板同時製作於玻璃基板上，有利於減少電路板驅動 IC 與面板電極之間的連線，而降低材料成本；同時更可以在後段模組組裝過程中，避免組裝造成的產品損害，進而提升良率降低製造成本。
- C. 可降低顯示器模組的重量與厚度。驅動電路的整合不但能消除驅動 IC 本身的重量與厚度，也省去的與其相關的 TAB 及 PCB 封裝所增加的厚度與重量，可達到縮小面板厚度約 10%~20%，達成產品薄型化的要求。
- D. 可增加液晶顯示器面板的可靠度。TAB 連接線的故障與鬆脫是面板損壞的主因，因此省去 TAB 的封裝將使得液晶顯示器面板的可靠度得以提升。
- E. 可降低驅動電壓，進而降低液晶面板的功率消耗。LTPS-TFT 具有高載子移動率與低臨界電壓(V_{th} , Threshold Voltage)的特性，因此在固定驅動電流下，驅動 LTPS-TFT 的電壓可大幅降低，再加上寄生電容的減少，則驅動液晶面板的功率消耗能大幅降低。表 1-1 [12] [16]列出了 a-Si TFT 與 LTPS TFT 的各方面特性比較。

低溫再結晶型複晶矽製作技術主要分為三大類：固相結晶法(Solid Phase Crystallization, SPC)、雷射結晶法(Laser Crystallization)及金屬誘發/金屬誘發側向結晶法(Metal Induced / Metal Induced Lateral Crystallization, MIC/MILC)，以下將分別介紹。

表 1-1 a-Si TFT 與 LTPS TFT 特性比較[12] [16]

	a-Si TFT	LTPS TFT
Mobility _{eff}	0.3~1cm ² /V-sec	~100cm ² /V-sec
TFT元件面積	1	約1/2
耐衝撞強度	180G	300G
耐扭強度	約1,000次	> 10,000次
週邊接點數	4,000個接點	< 200個接點
PCB數量	2片	1片
TAB-IC數量	Scan：3個 Data：10個	無
電容零件數	270個	195個

1.3.1 固相結晶法(Solid Phase Crystallization , SPC)

固相結晶法是成本最低，也是技術門檻最低的結晶法。一般的作法是將已沉積之非晶矽薄膜置入爐管中進行 600°C 24~72 小時的退火。為了得到較大的晶粒，可以改變非晶矽的沈積參數及退火條件。但是利用固相結晶法所得到的複晶矽晶粒品質和另兩種結晶法相比仍然是較差的，且晶粒中的缺陷多。另外，退火溫度過高並不適用於一般的玻璃基板(一般的玻璃基板軟化溫度約為 600°C 左右)，可能會造成玻璃的變形，會影響到後續的微影製程。固相結晶包括二個步驟，分別為成核(Nucleation)和成長(Growth)。成核又可分為均質成核(Homogeneous)和異質(Heterogeneous)成核。以固相結晶法來說，由於非晶矽裡含有缺陷，缺陷自由能較高，較容易吸附溶質原子造成原子聚集，形成異質成核，進而成長；也有部分的成核是以均質成核進行，然後再進行成長。但是一般的固相結晶法退火時間太長，且最後所得到的晶粒缺陷多，並且含有大量的微雙晶(micro-twin)[17]因此最後所做出的薄膜電晶體特性並不佳。

1.3.2 準分子雷射退火結晶法(Excimer Laser Annealing , ELA)

ELA製備複晶矽薄膜的溫度通常低於 450°C，以準分子雷射作為熱源。雷射光經過投射系統後，會產生能量均勻分布的雷射光束，投射於具有非晶矽薄膜的玻璃基板上。當非晶矽薄膜吸收準分子雷射的能量後，非晶矽熔融而形成複晶矽結構。這種方法獲得的複晶矽薄膜的特性滿足顯示面板用TFT開關元件及周邊驅動用TFT元件性能的要求[18]。準分子雷射主要是在紫外光範圍的高輸出脈衝雷

(high-output pulsed lasers)振盪，光束相當大，脈衝的時間非常短，約 10ns。因為加熱的時間是很短暫的，而且結晶的晶粒缺陷較少，品質較佳。缺點是雷射設備成本過高，而且結晶的均勻性不佳，晶粒尺寸還不夠大，故對大面積的玻璃基板來說在製程上仍然有很多需改進的地方。另外，雷射將非晶矽層熔融結晶後，在兩晶粒的交界處會隆起產生晶界。此現象會導致表面粗糙，將會影響元件的製作。

1.3.3 金屬誘發/金屬誘發側向結晶(Metal Induced / Metal Induced Lateral Crystallization , MIC / MILC)

Wagner 和 Ellis 在 1963 年發現少量的特定金屬可以幫助矽結晶[19]。依照不同誘發結晶的方式可以分成兩類：第一種是與矽產生共晶反應(例如：Al[20]、Au[21]等)，由於共晶點的溫度通常比一般單相結晶的溫度低，所以可以在低溫下產生結晶。以 Al 為例，M. S. Haque[20]在研究中指出 Al 與 Si 的共晶溫度在 577°C，但在 200°C 左右便開始與 a-Si 層反應產生結晶。金屬向內擴散時不僅使 a-Si 結晶，同時因為金屬摻雜的關係導致 Si 層轉變成 p 型。

另一種低溫結晶的方式是利用金屬與矽反應成介穩定(metastable)的矽化物(例如：Ni[21]~[24]、Pd[25] [26]等)，在矽化物移動的過程中，金屬原子的自由電子與介面處的 Si-Si 共價鍵發生反應，降低 a-Si 結晶所需的能障(energy barrier)，使得結晶溫度降低。一般較常用的金屬為 Ni，而其機制也最清楚，因此以 Ni 來說明此類金屬誘發結晶的過程。Ni 會先與 Si 反應成多種矽化物[27]，在靠近 a-Si 區域的地方會產生富 Si 的 NiSi₂。由圖 1-13 的 Ni-Si 反應自由能圖[28]中可知，在 NiSi₂ 中的 Ni 原子在 NiSi₂ 與 a-Si 介面的自由能比在 NiSi₂ 與 c-Si 介面處低，這個自由能差會使 Ni 原子往 a-Si 層移動；反之，在 NiSi₂ 中的 Si 原子在 NiSi₂ 與 c-Si 介面的自由能比在 NiSi₂ 與 a-Si 介面處低，所以有個驅動力驅使 Si 原子往 c-Si 的方向擴散。這結果會使得 NiSi₂ 持續的往 a-Si 延伸，而所經之處產生 Si 結晶。由 Hayzelden 在 1993 年提出的分裂機制，首先會在 NiSi₂ 上形成 c-Si 結晶核，然後 Si 會往 c-Si/NiSi₂ 的介面移動，而誘發結晶，如圖 1-14(a)所示，接著，又在 NiSi₂ 的領導端(leading edge)處形成結晶(c-Si)核，而為了降低 Ni 在 NiSi₂/c-Si 介面處的化勢(chemical potential)，因此 Ni 會往 NiSi₂/a-Si 介面處擴散，而造成 NiSi₂ 的遷移，同時也形成一個新的 NiSi₂/c-Si 介面，如圖 1-14(b)，而此過程一直重複，因而得到針狀的誘發結晶，圖 1-14(c)。

圖 1-15 為 Si 與 NiSi₂ 的晶體結構。Si 為鑽石(Diamond)結構、晶格常數為 5.430Å；NiSi₂ 屬於螢石(Fluorite)結構、晶格常數為 5.406Å，兩者因晶格常數不同所產生的晶格不匹配(Lattice Mismatch)僅有 0.44%。在眾多金屬矽化物中 NiSi₂ 擁有與矽最相似的結構及最接近的晶格常數，因此相當適合做為誘發結晶的核。故我們在實驗

中將以Ni為誘發結晶的金屬。

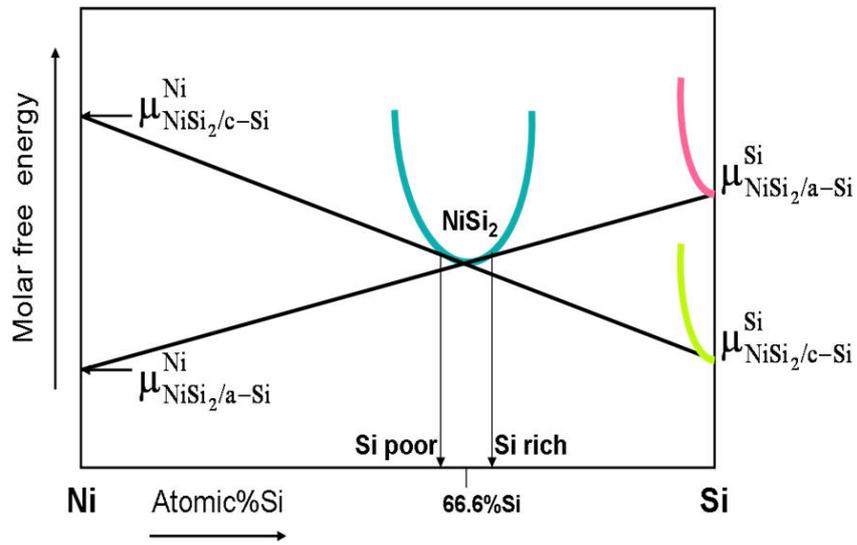
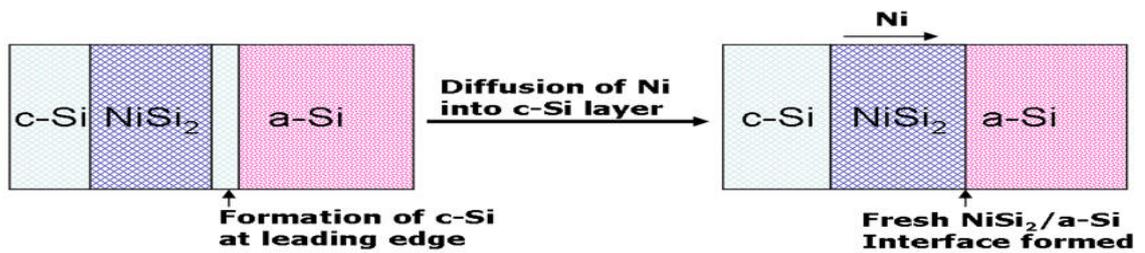


圖 1-13 Ni-Si反應自由能圖[28]

(a)



(b)



(c)

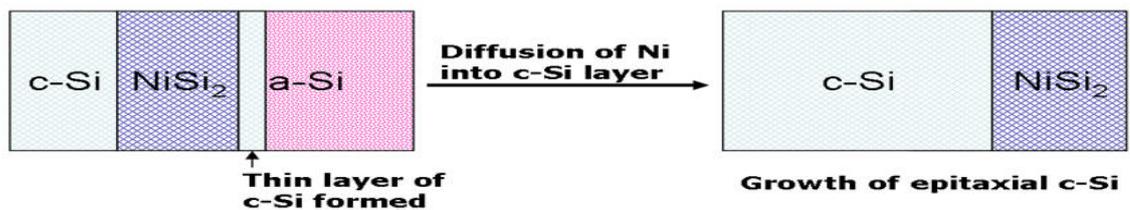


圖 1-14 c-Si在NiSi₂/a-Si介面形成的結晶成長機制

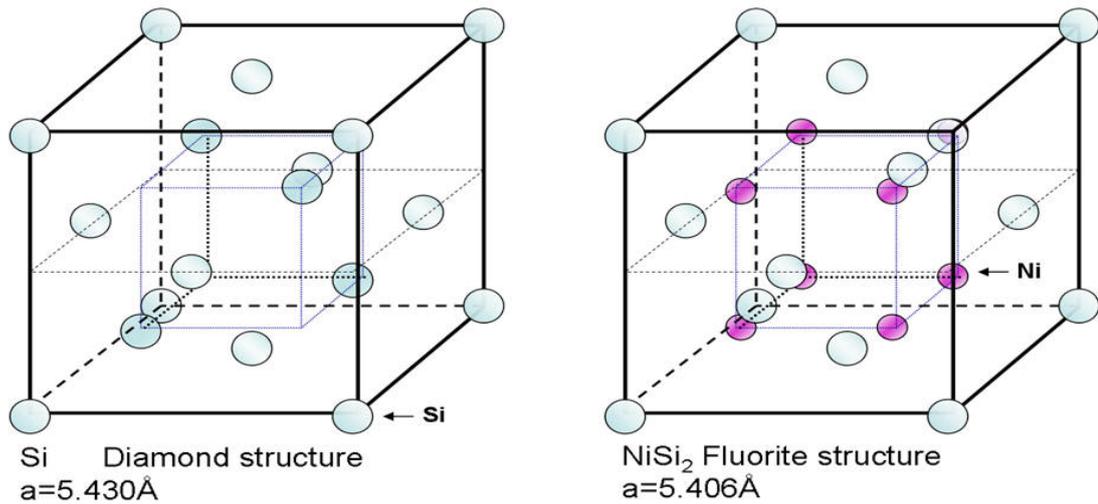


圖 1-15 Si與NiSi₂晶體結構

接下來描述MIC/MILC的成長機制，從圖1-16來看，我們會先在非晶矽薄膜上面利用黃光微影技術鍍覆上一層鎳金屬薄膜。接著在適當溫度下退火(350°C ~ 550°C)，首先會形成一層NiSi₂，NiSi₂向下移動，如前述的結晶成長機制，產生金屬誘發結晶(MIC)。此區域的晶粒較小，結晶品質較差且金屬污染較嚴重。在NiSi₂移動至非晶矽底部受到基板阻擋後，接著NiSi₂向兩側移動，形成金屬誘發側向結晶(MILC)，而MILC是由針狀的矽晶粒所組成，如圖1-17所示。此區域沒有直接接觸到大量金屬，除了避免金屬污染之外亦可的到結晶品質較好且較大之晶粒，通常我們都將TFT元件做在此區。

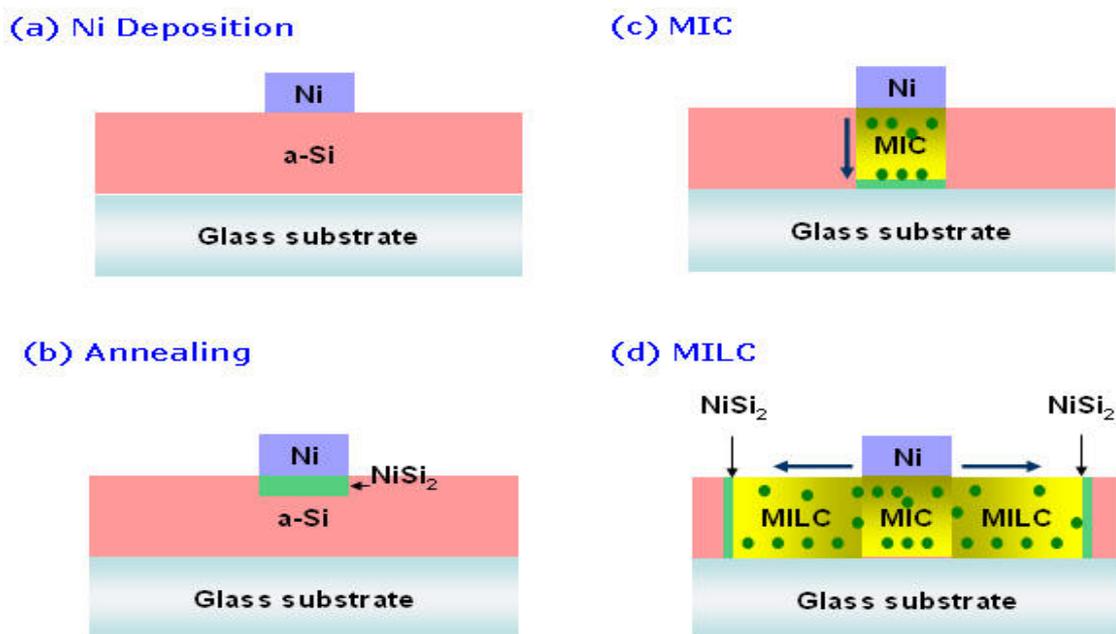


圖1-16 MIC / MILC成長機制

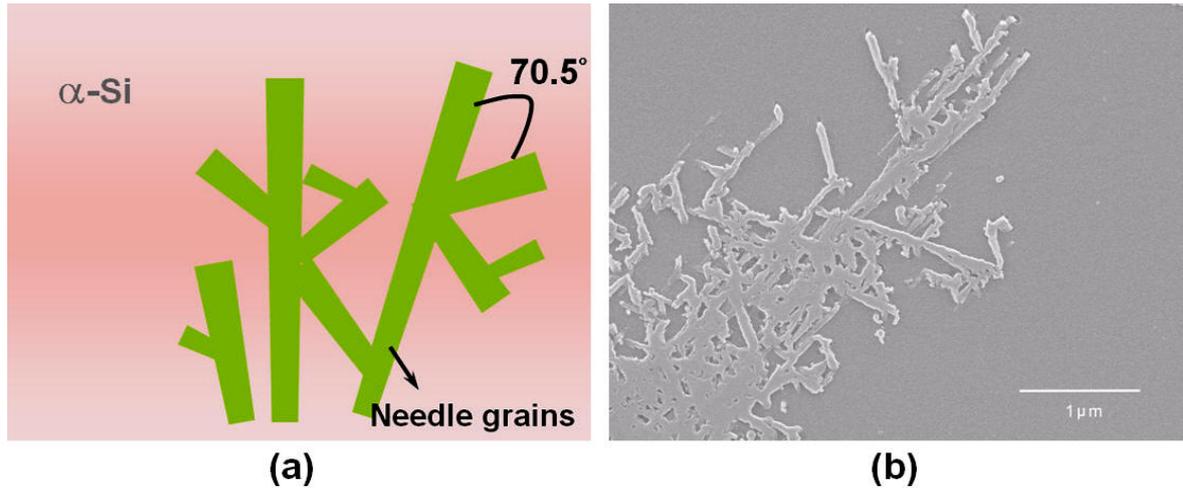


圖1-17 MILC所形成的針狀矽晶粒 (a)示意圖 (b)SEM圖

接著討論MILC成長方向之優選性，我們知道 NiSi_2 (111)平面跟Si (111)平面的晶格常數只有 0.44% 的不匹配。所以在MILC的過程中， $\{111\}$ 為其c-Si的優選方向[28]。而我們可以從圖 1-18 中看出，在軸向為 $\langle 110 \rangle$ 的情況下，c-Si八面體結構的四個 $\{111\}$ 方向將會平行薄膜的上下表面。但是如果軸向為 $\langle 100 \rangle$ 或 $\langle 111 \rangle$ 的情況下， $\{111\}$ 方向並不會平行薄膜表面。所以c-Si的成長將會被薄膜上下表面所限制。所以c-Si的成長的優選軸向為 $\langle 110 \rangle$ 而優選成長方向為 $\{111\}$ 。由於MILC有上述的優選性，所以利用此方法成長的複晶矽會有其方向性，這也成為MILC方法最大的優點。

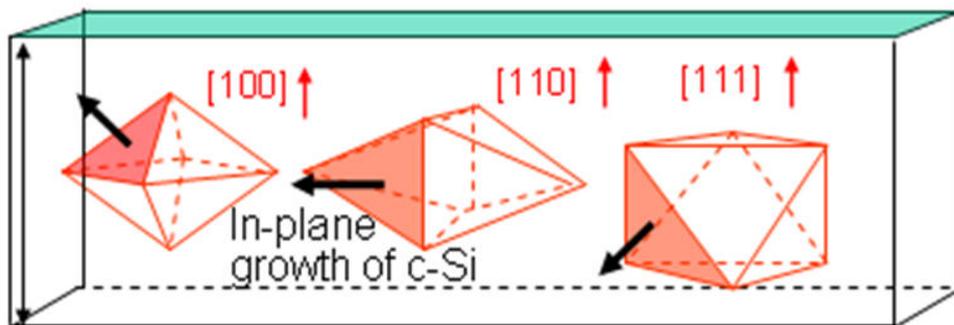


圖1-18 MILC的優選成長方向[28]

1.4 電性影響因素

1.4.1 晶界能障與晶界載子補陷

晶界的存在會影響載子移動進而影響元件的特性。如圖 1-19 所示，當載子被晶界所捕陷產生電荷，為了去補償此電荷，在晶界周圍形成一個空乏區，根據

Poisson's equation，在空乏區的電荷造成能帶彎曲，而且會形成能障進而阻礙主要載子的移動[29]。能障高度(V_B)能用摻雜濃度(N)及空乏區寬度(x_d)以Poisson's equation如(1-1)式表示，解方程式可得到 V_B 如(1-2)式，由 V_B 的解可以了解能障大小和雜質濃度、捕陷密度(N_T)有很大的關係。

$$\frac{d^2V}{dx^2} = \frac{qN}{\epsilon} \quad (1-1)$$

q ：一個電子的電荷大小

ϵ ：矽的介電常數

只考慮一維的空間，解方程式得到 V_B

$$V_B = \frac{qN}{2\epsilon} x_d^2 \quad x_d = \frac{N_T}{2N} \quad (1-2)$$

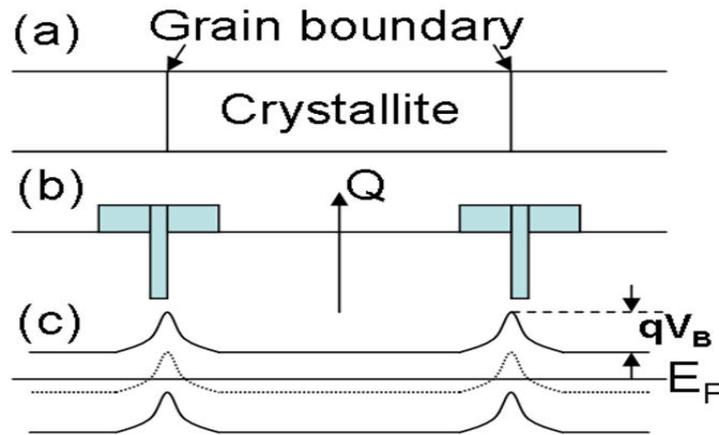


圖 1-19 (a)晶粒與晶界示意圖 (b)晶界處形成空乏區域 (c)空乏區形成能障[30]

1.4.2 晶界與晶粒內缺陷

在晶界處的懸鍵(dangling bonds)及晶粒中的缺陷兩者都會引出一個在多晶矽中的允許的態位(allowed state)，如圖 1-20 所示。其中和懸鍵有關的深態位(deep state)擁有大約禁止能隙(forbidden energy gap)一半的能量[31]，此深態位對載子傳輸的最大影響就是允許載子產生(generation)與再結合(recombination)。除了在中間能隙(mid-gap)附近的態位是由斷鍵(broken bonds)及懸鍵造成之外，應變鍵(strained bonds)也會產生的一個高密度的在能帶邊的淺拖曳態位(shallow tail state)。這些態位都會捕捉載子而造成載子傳導率下降，如圖 1-21[32]所示。

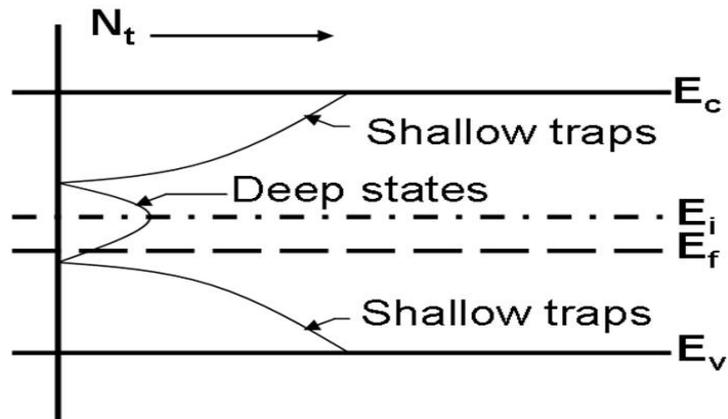


圖1-20 捕陷(traps)主要集中在晶界處，然而在晶粒中的缺陷也有建立起一些態位。淺拖曳態位(shallow tail state)與應變鍵(strained bonds)有關，而在中間能隙的深態位(deep state)是由斷鍵及懸鍵造成的

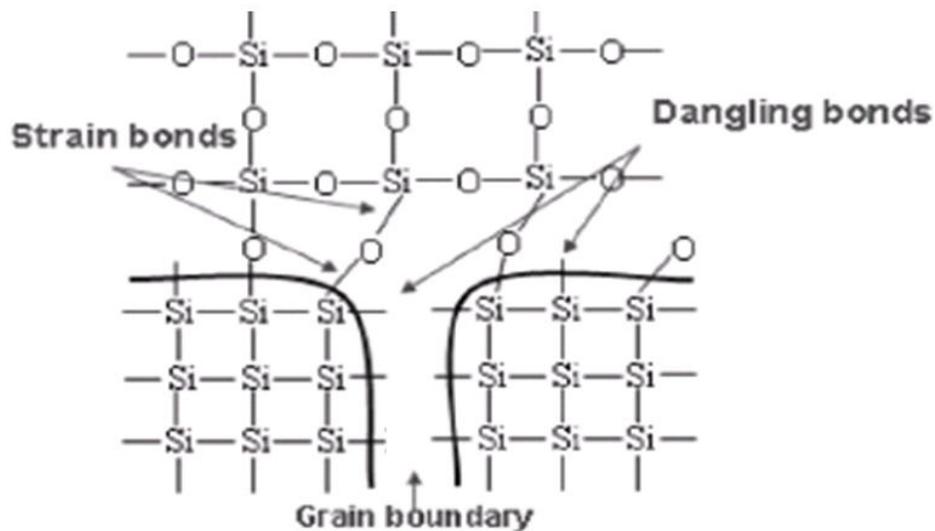


圖1-21 SiO₂/poly-Si界面處的截面示意圖[32]

1.4.3 過渡金屬雜質

第三類過渡金屬原子(鉬、鐵、銅、鎳等)，這些金屬原子在矽中均屬快速擴散源，其高擴散性會更進一步的減損元件特性，同時後續之加工所造成之缺陷亦存於其中，在IC製造過程中，這些缺陷均會影響元件之良率及電性品質。這些金屬雜質會在MOSFET結構的Gate Oxide中成為矽化物析出，導致電性崩潰，且在半導體中產生的能隙深層能階(deep levels in the band gap)會強烈的影響少數載子(minority carrier)的壽命。對於以鎳金屬誘發側向結晶方式製作的薄膜電晶體，同樣的鎳金屬以及其矽化物所造成的能隙深層能階亦會影響電晶體的導通特性。

1.5 電性改善方法

由於晶界能障、晶界補陷、晶界與晶粒缺陷以及金屬雜質的存在會大大的減損複晶矽元件的電性。因此為了提升電性，減少晶界的數量、減少晶界中的有效的捕陷位置、減少晶界與晶粒缺陷以及降低金屬雜質濃度，有以下幾種方式去改善。

1.5.1 金屬捉聚技術

為了降低金屬雜質原子在電性上所造成的傷害，一般使用捉聚(gettering)的方式將雜質原子移除或降低其濃度。捉聚方法根據其作用機制可分成五類[33]:(1)金屬矽化物析出 (2)偏析出第二相 (3)缺陷補陷 (4)與摻雜原子互相作用 (5)磷擴散捉聚與非平衡過程。而捉聚的技術則有下列三種：內部捉聚法(internal gettinging)、化學捉聚法(chemical gettinging)，以及外部捉聚法(external gettinging) [34]，如圖 1-22。

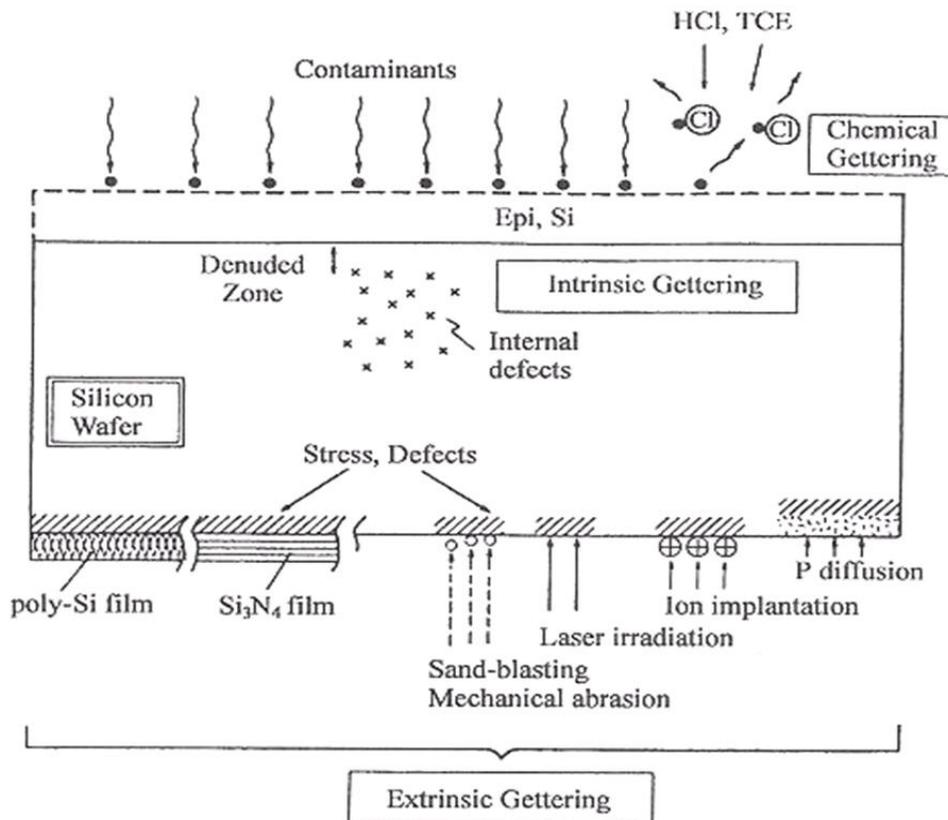


圖 1-22 (1)內部捉聚法(Intrinsic Gettering) (2)外部捉聚法(Extrinsic Gettering) (3)化學捉聚法(Chemical Gettering) [35]

1.5.2 後退火之再結晶技術

由於晶界本身是個能障，晶界的存在將會阻礙載子移動，因而減少電子移動率，而減損 TFT 元件的效能，因此如何減少晶界的數量對改善 TFT 元件特性來說也是一個很重要的課題。另外，晶粒內缺陷的消除對提升元件特性也有很大的幫助。因此很多研究相繼的提出如何減少晶界及消除晶粒缺陷，其中最有效的方式就是利用後退火(post-annealing)的方式[36]-[38]，即在非晶矽膜結晶完後，再利用高溫退火的方式或準分子雷射退火的方式進行結晶，通常可以得到尺寸較大，缺陷較少的晶粒，因而改善多晶矽膜的品質。

1.5.3 電漿鈍化技術

由於缺陷被鈍化所以禁止能隙的態位不會被活化，因此不會再捕陷載子。晶界中的懸鍵的形成是由於不同指向的晶粒的接和點的晶格排列不連續所引起的，因而這些懸鍵形成了很多的捕陷位置。在Si/SiO₂界面的懸鍵一般常利用H原子將晶界中的懸鍵鈍化以減少晶界中的有效捕陷數目。當捕陷載子的數目減少晶界的能障也跟著減少[39]。一般可利用電漿(plasma)來進行晶界鈍化(passivation)改善元件的執行效果，常用來進行晶界鈍化的電漿有H₂、N₂O及H₂/N₂混和型電漿[40]-[42]，根據文獻中[42]報導H₂/N₂混和型電漿會比H₂電漿有更好的鈍化效果，這是由於H₂/N₂混和型電漿除了有氮離子(N⁺)的鈍化作用外，同時可提高原子間的撞擊機會，因而提高鈍化的離子數目，可以加強鈍化的效果，另外NH₃電漿也有不錯的鈍化效果，跟H₂電漿相比可以讓熱載子(hot carrier)有更好的穩定性，同時可以讓閘極氧化層有更低的漏電流及更高的崩潰電壓[43] [44]。

1.6 研究動機

1.6.1 利用一個簡易及低成本的方法去製作奈米線通道

一般來說，製作奈米線(NW, nanowire)結構需要昂貴的設備或運用複雜的過程，因此我們將利用一種簡單快速製備奈米線之方法去製作奈米線通道。其製備之特點為利用一般製作MOSFET元件的側壁邊襯(sidewall spacer)之概念(如圖1-23)[45]，以底閘極(bottom gate)薄膜電晶體結構在定義汲極(source)和源極(drain)之同時，可自我對準形成奈米線通道(如圖1-24)，此多晶矽邊襯奈米線通道(poly-Si sidewall spacer nanowire channel)之寬度(width)可以控制至70nm，故可巧妙地將之作為多晶矽奈米線通道。而且減少了一道光罩製程，是個低成本的製程。

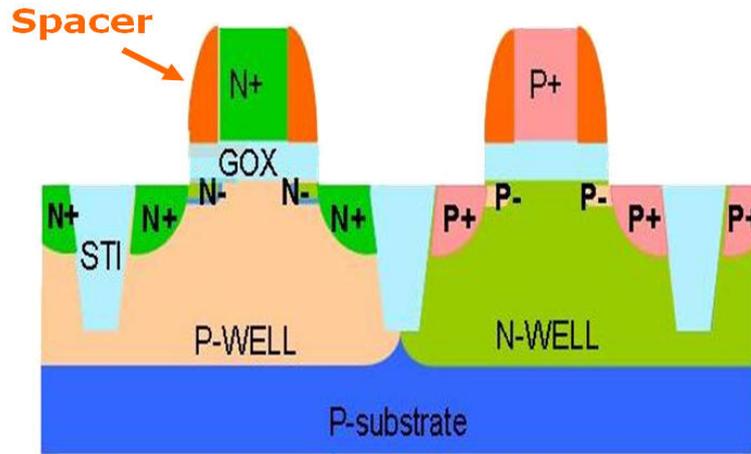


圖 1-23 CMOS 元件的截面圖[45]

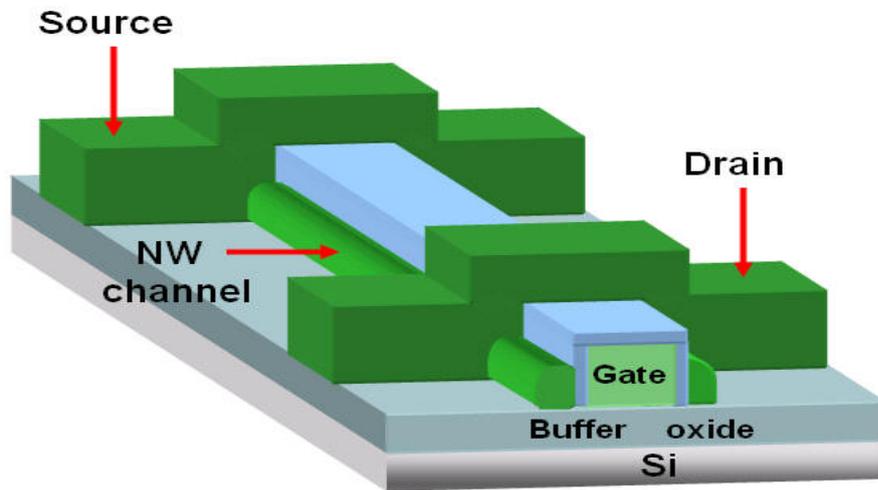


圖 1-24 奈米線通道底閘極(bottom gate)薄膜電晶體的立體結構圖

1.6.2 利用一個簡易及有效的方法去完成鎳捉聚技術

因利用鎳金屬誘發側向結晶(NILC)成長機制的低溫複晶矽(LTPS)，容易於晶界 (grain boundary) 中捕捉Ni及NiSi₂，進而造成漏電流和臨界電壓漂移。所以本研究希望提供一個簡易及有效的方式來達到捉聚鎳金屬誘發側向結晶(NILC)複晶矽中的鎳含量。首先，我們在鎳金屬誘發側向結晶的複晶矽上成長較薄的化學氧化層 (chemical oxide) 當作蝕刻停止層 (etching stop layer)，之後再沈積一層非晶矽 (a-Si) 薄膜當作鎳捉聚層 (Ni-gettering layer)，藉由NILC複晶矽與非晶矽之間鎳含量的差異以及熱力學上的因素，將殘餘的鎳捕捉至鎳捉聚層，藉以降低NILC複晶矽中的鎳含量，並且將在第二章及第四章分別研究探討鎳的捉聚技術以及鎳含量的減低對於薄膜電晶體電性的影響。

第二章、鎳捉聚技術之研究

2.1 研究背景回顧

由於鎳誘發結晶技術是一種可以得到高品質的複晶矽薄膜的技術，因此鎳誘發結晶技術目前被熱烈的研究中。鎳誘發技術的研究一直以來朝著如何加快結晶速率、改善結晶品質、增大晶粒尺寸與減少鎳污染的目標進行。在誘發結晶後減少複晶矽薄膜中的殘餘鎳含量，即所謂的捉聚、提取或吸附(gettering)。目的在於降低漏電流以及防止臨界電壓漂移等問題。

目前實際應用在薄膜電晶體的例子為夏普的 CGS 技術，利用離子植入將磷離子植入主動層中通道區域的兩端，在退火過程因為植入磷離子區域有缺陷的出現，造成此區域的金屬雜質溶解度提高而將通道區域的金屬雜質吸附到離子植入區，以達到捉聚的效果並降低漏電流[46]，如圖 2-1。

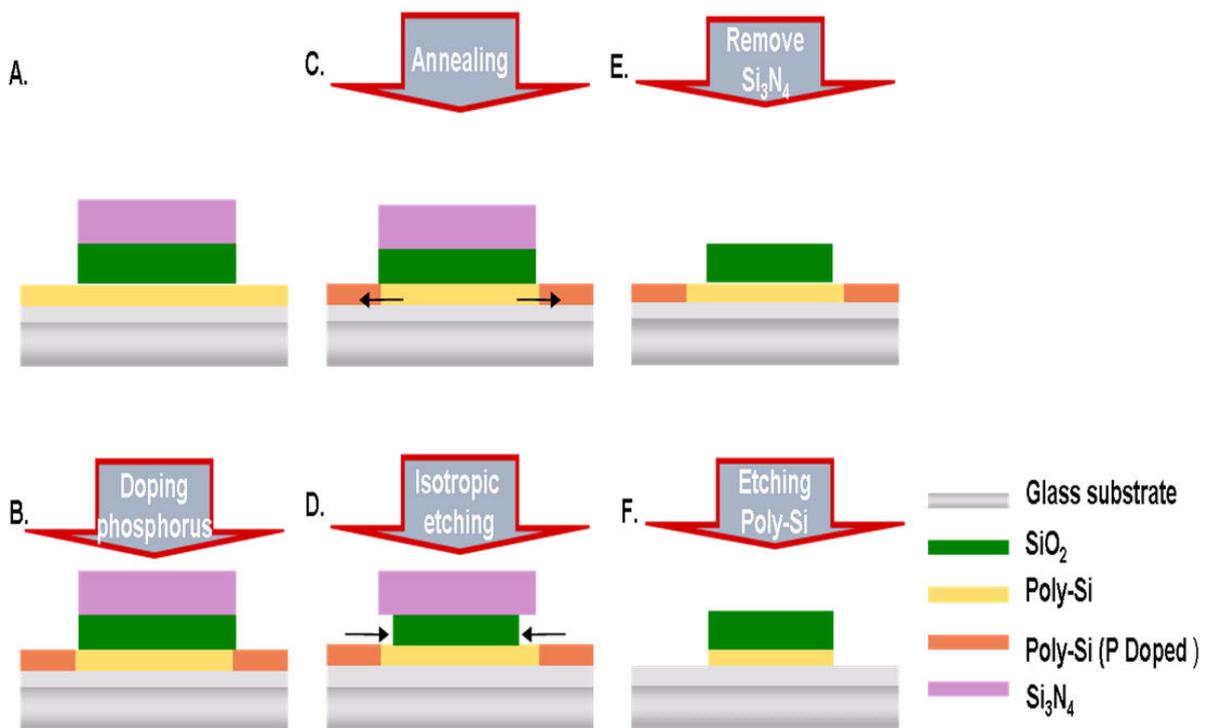


圖 2-1 Sharp CGS 技術之捉聚製程步驟[46]

本實驗室在先前的研究中，發表了三種捉聚的方式，分別為：

- 利用晶圓接合的技術[47]將鍍覆非晶矽的晶圓做為捉聚基板與鎳金屬誘發側向結晶的複晶矽薄膜接合，進行退火步驟，由於兩者間鎳含量之差異以及熱力學上的因素，鎳金屬會由NILC複晶矽往非晶矽捉聚層擴散以降低自由能，成功

的把殘餘鎳捕捉至基板，並在非晶矽捉聚層進行另一次的誘發結晶，顯著的降低了NILC複晶矽中鎳含量，其製程步驟如圖2-2。

- B. 利用氮化矽(SiN_x)當作蝕刻停止層(etching stop layer)，之後再沈積一層非晶矽($\alpha\text{-Si}$)薄膜當作鎳捉聚層(Ni-gettering layer)。因鎳在氮化矽裡的擴散係數(diffusivity)較低的緣故，以至於退火的時間需長達90小時，其製程步驟如圖2-3。
- C. 透過汲極與源極接觸窗(Contact Hole)以非晶矽薄膜進行捉聚，此方法的優點為移除捉聚層時不會損害主動層以及只需利用活化時的退火步驟來進行捉聚不需要額外的退火步驟，其製程步驟如圖2-4。

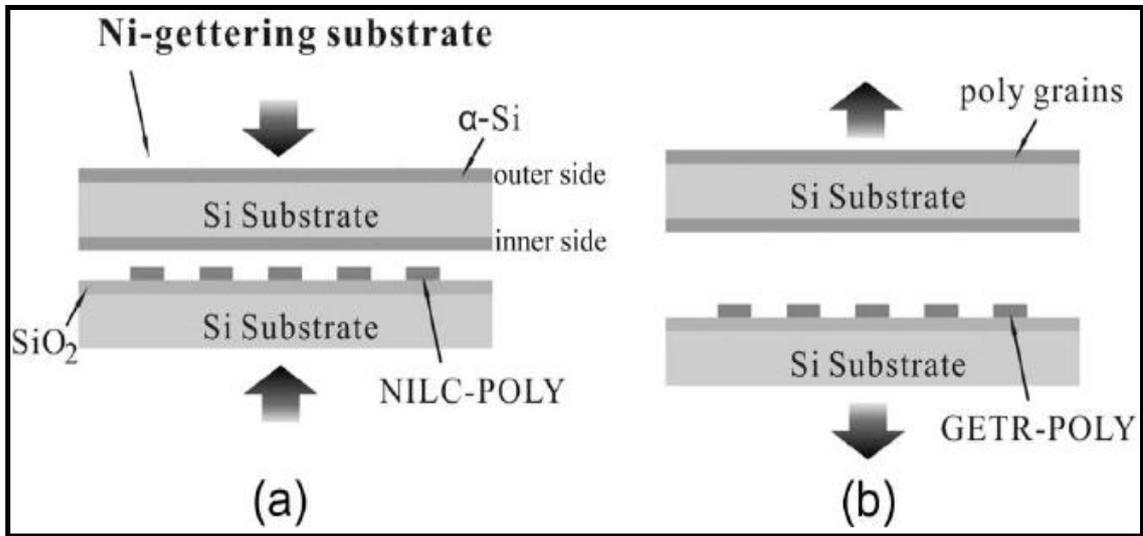


圖2-2 (a)將捉聚基板與NILC試片做接合的動作，退火後將鎳捕捉至基板誘發結晶 (b)將捉聚基板與NILC試片做分離的動作[47]

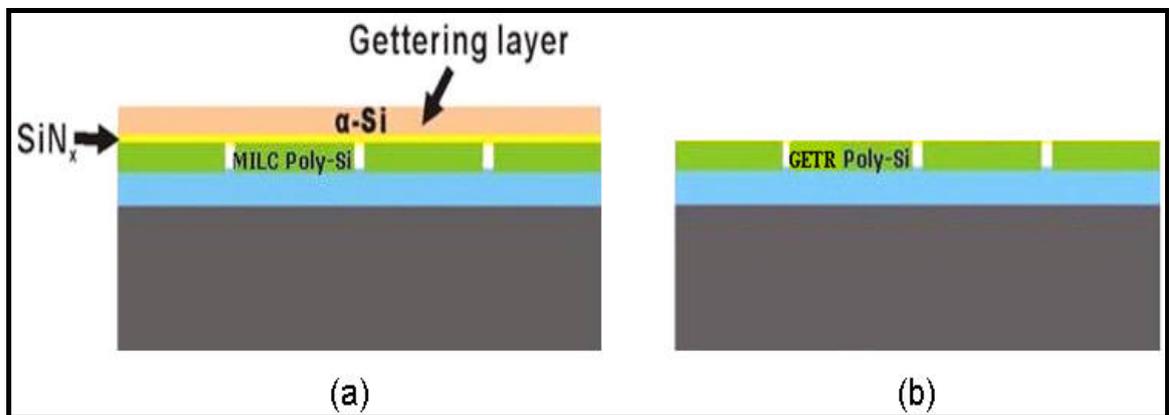


圖2-3 (a)沈積氮化矽和非晶矽，然後做退火的動作 (b)移除氮化矽和非晶矽，完成鎳捉聚[48]

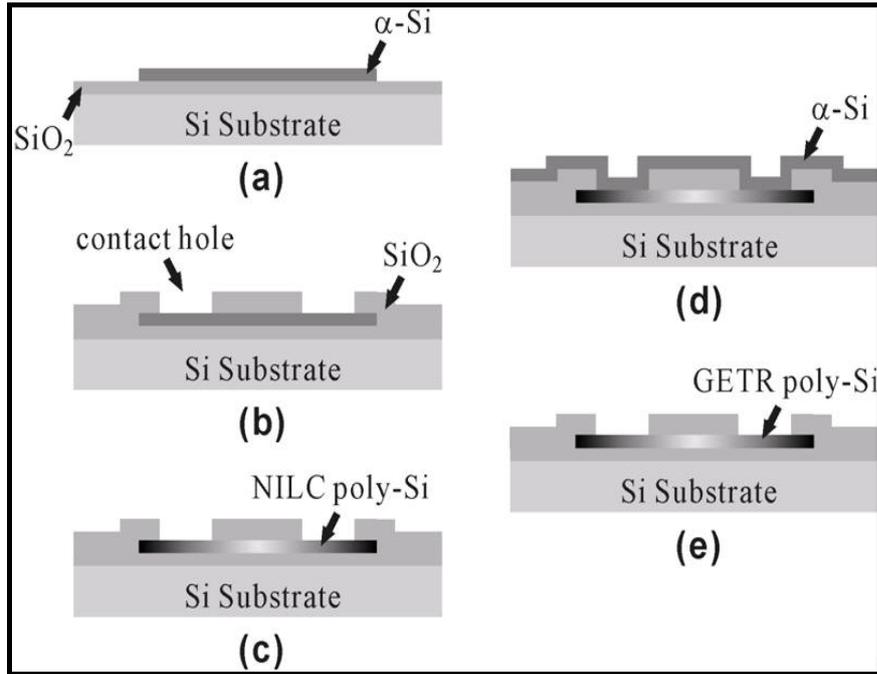


圖2-4 汲極與源極接觸窗捉聚製作流程圖[49]

2.2 研究動機

因此本研究我們希望提供一個簡易及有效的方式來達到捉聚NILC複晶矽中的鎳含量。首先，我們在NILC複晶矽上成長約5nm的薄化學氧化層(chemical oxide, chem-SiO₂)當作蝕刻停止層(etching stop layer)，之後再沈積一層非晶矽(a-Si)薄膜當作鎳捉聚層(Ni-gettering layer)[50] [51]，再進行退火步驟，因鎳原子能快速的通過奈米厚度的薄化學氧化層進入至非晶矽捉聚層，藉以降低NILC複晶矽中的鎳含量。且在2007年由Shuyun Zhao及Man Wong等人所發表的文獻中，他們利用磷矽玻璃(Phosphorus-Silicon Glass, PSG)去提取鎳，減少鎳金屬污染[52]。另外，由Ji-Su Ahn等人在2006年所發表的文獻中[53]可知道對於不同型式(type)的摻雜質會影響鎳金屬誘發側向結晶的長度，如圖2-5所示，在非晶矽裡摻雜B₂H₆時，NILC的長度較未摻雜的非晶矽(intrinsic a-Si)來的長；而在非晶矽裡摻雜PH₃時，NILC的長度則遠低於未摻雜的非晶矽。由此，我們推測磷(phosphorus)會捉聚鎳金屬，使鎳金屬的含量減少，以致於減短了NILC的長度。所以我們另外製做一組對照組，將非晶矽捉聚層裡摻雜磷與其做探討比較。

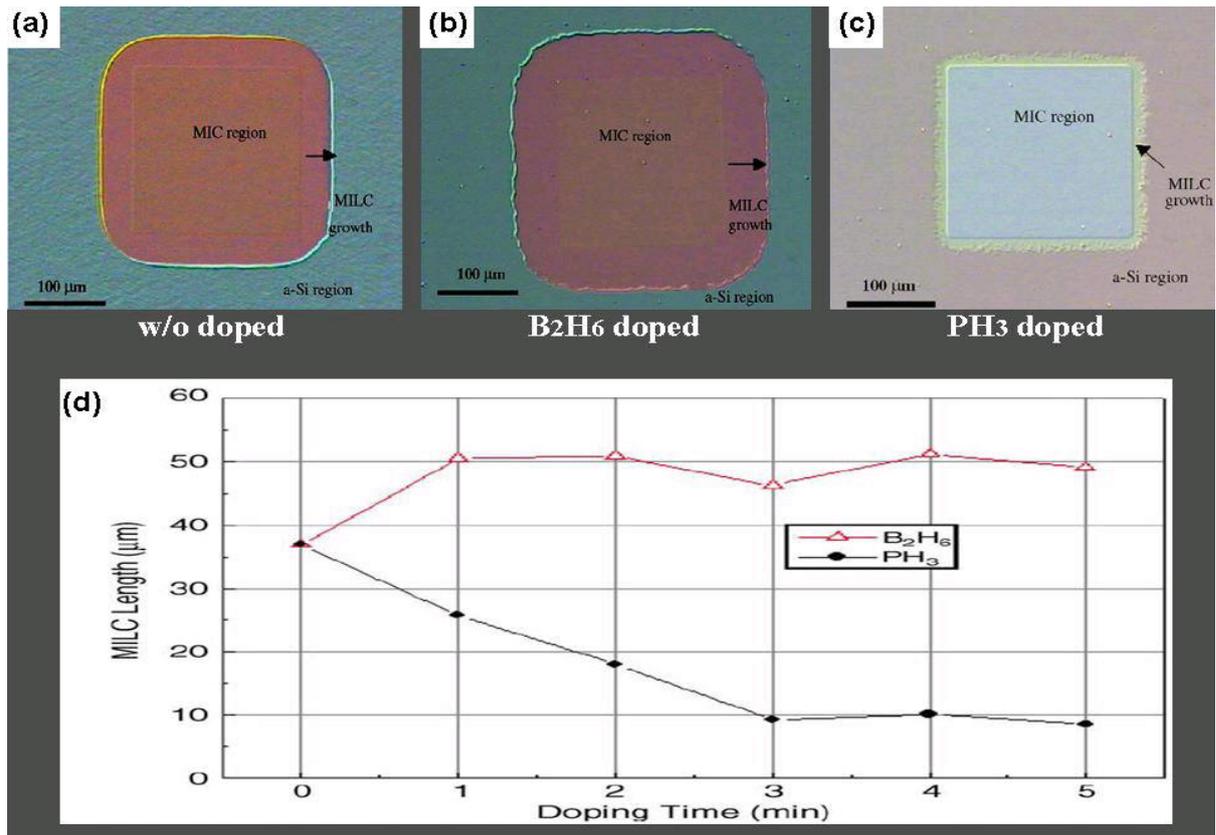


圖2-5 (a)intrinsic (b)B₂H₆ (c)PH₃ (d)在非晶矽裡摻雜不同型式的摻雜質對NILC長度的比較[53]

2.3 實驗步驟及方法

此實驗將分別製備3組試片去做鎳金屬含量之比較。試片(1)：為利用傳統的鎳金屬誘發結晶技術所形成的低溫複晶矽，我們稱為NILC Poly-Si。試片(2)：將金屬誘發結晶後的複晶矽利用非晶矽捉聚層把複晶矽中殘餘的鎳金屬捕捉(gettering)至捉聚層中，此提取後的複晶矽，我們稱為GETR Poly-Si。試片(3)：將磷佈植於非晶矽捉聚層裡，再去對金屬誘發結晶後的複晶矽做鎳提取的動作，此提取後的複晶矽我們稱為GLIP Poly-Si (Gettering Layer Implant Phosphorus, GLIP)。其3組試片製備的方式分別如下：

(1) NILC Poly-Si

首先，在(100)的矽晶圓上利用傳統的RCA clean清洗矽晶圓，之後使用濕式熱氧化方式成長5000Å的SiO₂層，當作緩衝氧化層(Buffer Oxide)，此步驟是為了要模擬TFT的玻璃基板，而在成長完氧化層之後，利用低壓化學氣相沉積系統(LPCVD)，沉積1000 Å的非晶矽，接著利用黃光微影製程在非晶矽層上定義條狀圖

形，並用E-gun在試片鍍覆 50\AA 的鎳於非晶矽上，去除完光阻後將試片置於高溫退火爐管中，在 N_2 氣氛下， 540°C 退火24小時。在誘發結晶後，將試片上殘餘未消耗的鎳用比例為3:1的硫酸(H_2SO_4)及雙氧水(H_2O_2)混合溶液在 120°C 下浸泡20分鐘去除，流程如圖2-6所示。在移除剩餘未反應的鎳之後，為了與另外2組捉聚試片的退火製程條件相同，NILC Poly-Si則繼續在 550°C 下退火12小時，總退火時間為36小時。

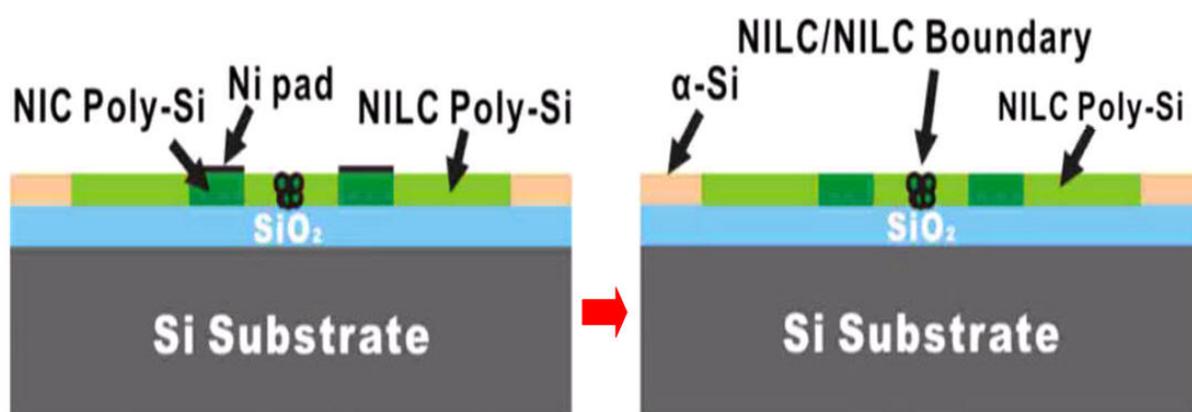


圖2-6 形成NILC Poly-Si的流程圖

(2) GETR Poly-Si

首先，在 N_2 氣氛下 540°C 經由金屬誘發側向結晶24小時形成NILC複晶矽，然後再移除殘餘未反應的鎳，而在移除殘餘的鎳金屬時所使用的硫酸及雙氧水混合溶液製程，容易在複晶矽表面形成chemical oxide，所以我們先使用1%的氫氟酸(Hydrogen Fluoride, HF)溶液去除先前於NILC複晶矽表面所形成的chemical oxide。之後我們將再使用比例為3:1的硫酸及雙氧水混合溶液製程在 120°C 下浸泡10分鐘，去形成一層全新厚度約 5nm 的chemical oxide(如圖2-7)，而在成長完chemical oxide之後，利用LPCVD的方式沉積 1000\AA 的非晶矽當作鎳捉聚層，再將試片置於高溫退火爐管中，在 N_2 氣氛下 550°C 退火12小時，進行捉聚退火製程，由於兩者間鎳含量之差異以及熱力學上的因素，鎳原子會從NILC複晶矽快速通過奈米厚度的薄化學氧化層往非晶矽捉聚層擴散以降低自由能，成功的把殘餘鎳捕捉至捉聚層中，並在非晶矽捉聚層進行另一次的誘發結晶，顯著的降低了NILC複晶矽中鎳含量。所以總退火時間為36小時。在捉聚完成後，先利用比例為1:15的BOE(Buffer oxide etch)及去離子水(DI Water)溶液移除於退火時在捉聚層上所產生的native oxide，再使用5%的TMAH(Tetra-Methyl Ammonium Hydroxide)溶液去除捉聚層，此時chemical oxide將可當作蝕刻停止層(etching stop layer)，最後我們將利用1%的HF移除chemical oxide，其製程步驟如圖2-8。

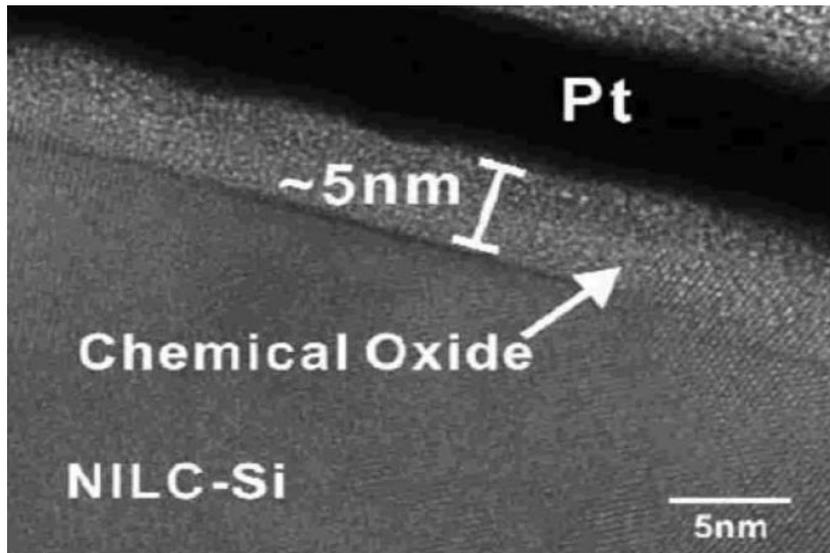
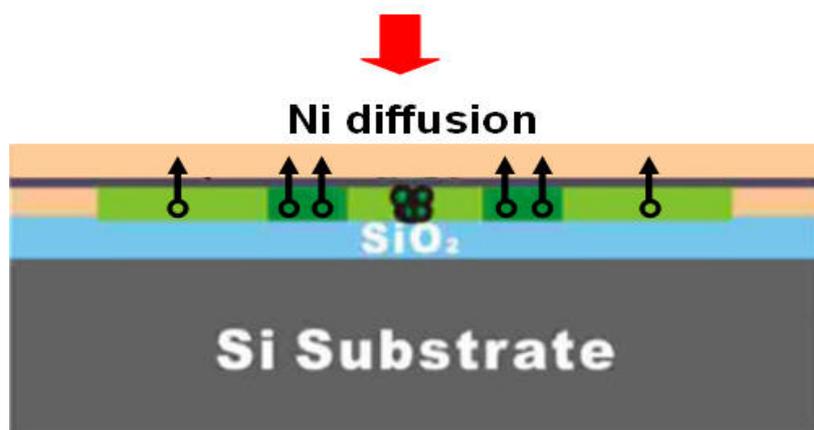
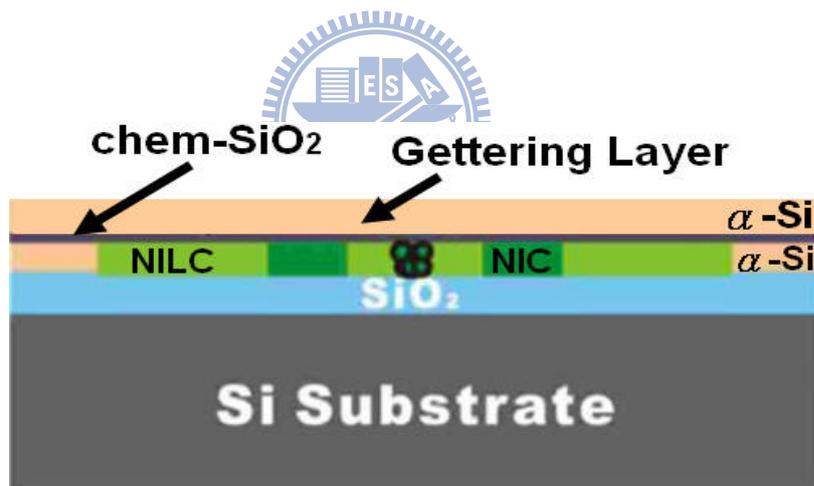


圖 2-7 chemical oxide的TEM圖



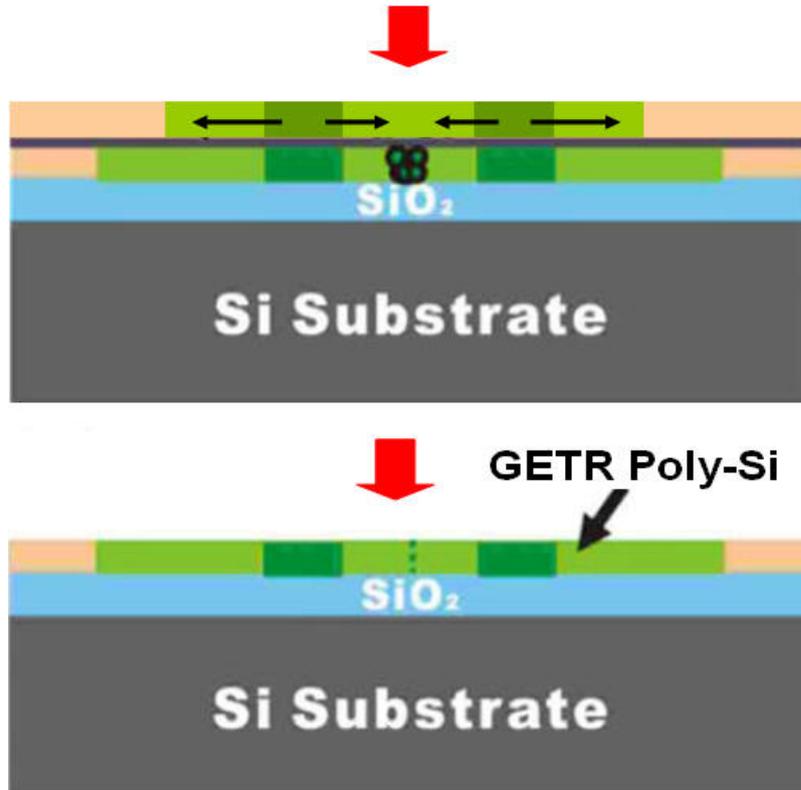


圖2-8 形成GETR Poly-Si的流程圖

(3) GLIP Poly-Si

此製作流程將於非晶矽捉聚層裡佈植磷(P^{3+})，佈植能量為15keV且劑量為 1×10^{16} ions/cm²，其他製程條件則與GETR Poly-Si相同，如圖2-9。

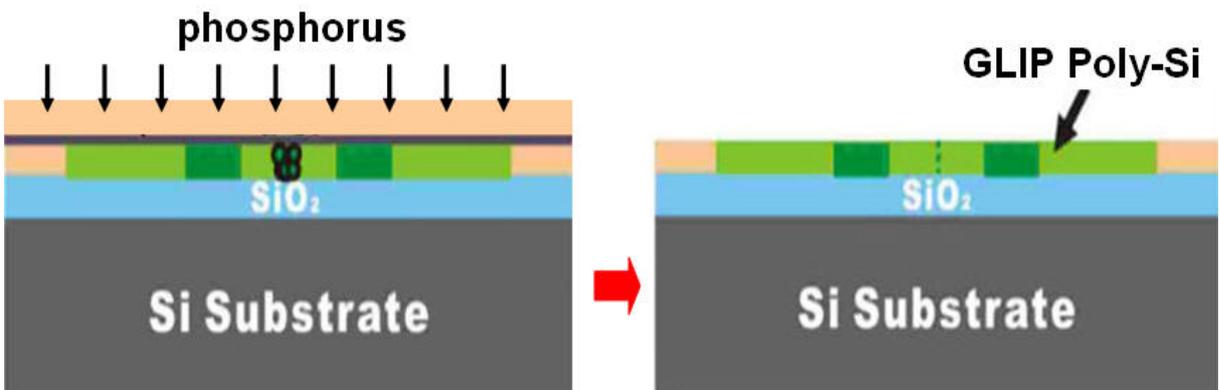


圖2-9 GLIP Poly-Si的製作流程圖

2.4 實驗結果與討論

將試片經由矽化物蝕刻(silicide-etching)溶液($HNO_3:NH_4F:H_2O = 4:1:50$)處理後，將會在NIC區域以及NILC複晶矽前端交會處所形成的晶界發現大量的孔洞，

其示意圖如圖 2-10(a)所示。這些孔洞是由殘留在複晶矽內之鎳矽化物(NiSi_2)被矽化物蝕刻溶液蝕刻移除後所造成。由於此溶液只會蝕刻矽化物而不會蝕刻非晶矽，故孔洞數目的多寡與複晶矽內鎳之殘餘量有強烈的關係。經由比較NILC Poly-Si與GETR Poly-Si兩組試片的SEM影像可以發現，在GETR Poly-Si所觀察到的NIC區域矽化物孔洞數目(如圖 2-10(c))，明顯較NILC Poly-Si試片(如圖 2-10(b))來的少，而NILC Poly-Si在兩NILC複晶矽前端交會處則有明顯孔洞所形成的晶界。由此可以證實經過鎳捉聚(Ni-gettering)步驟的GETR Poly-Si鎳殘餘量確實降低，而減少的鎳可能都擴散至非晶矽捉聚層中。

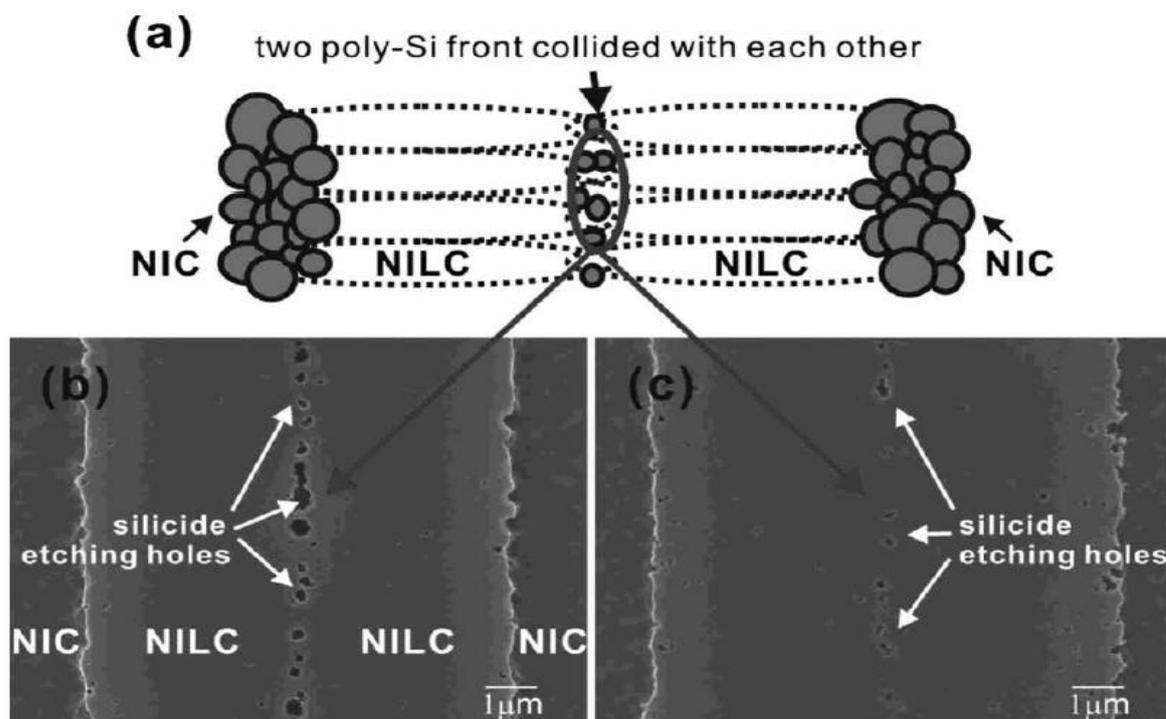


圖 2-10 (a) NIC&NILC 示意圖 (b) NILC Poly-Si 之晶界矽化物孔洞的 SEM 圖
(c) GETR Poly-Si 之晶界矽化物孔洞的 SEM 圖

所以我們將對非晶矽捉聚層做一研究探討，如圖 2-11(a)所示，為剛利用LPCVD沉積完非晶矽捉聚層的OM圖，從圖中我們可以看到在沉積非晶矽捉聚層的過程中，就已提取了些許的鎳金屬於捉聚層中進行另一次的誘發結晶，尤其又以鎳含量較多的NIC區域更為明顯。而圖 2-11(b)為經過退火提取製程後的OM圖，可以看到我們成功的將NILC Poly-Si內的鎳金屬給提取上來，以減少在NILC Poly-Si的鎳含量。而圖 2-11(c)的OM圖，是在非晶矽捉聚層內摻雜磷後再退火的情形，我們可以看到在捉聚層中的NILC長度明顯的變短。為了證明磷會捉聚鎳金屬，使鎳的含量減少，以致於減短了NILC的長度，我們進一步利用二次離子質譜儀(SIMS)量測

這 3 組試片複晶矽薄膜內的鎳殘餘量。如圖 2-12 所示，在 GLIP Poly-Si 所量測到的鎳濃度明顯低於 GETR Poly-Si 以及 NILC Poly-Si。這再次證明了鎳的確已經擴散至捉聚層中，使得原本複晶矽薄膜中的鎳殘餘量降低。且可以發現在 Poly-Si 與 SiO₂ 界面處鎳的濃度特別高，這是因為界面處的缺陷很容易陷捕 NiSi₂ 之故。

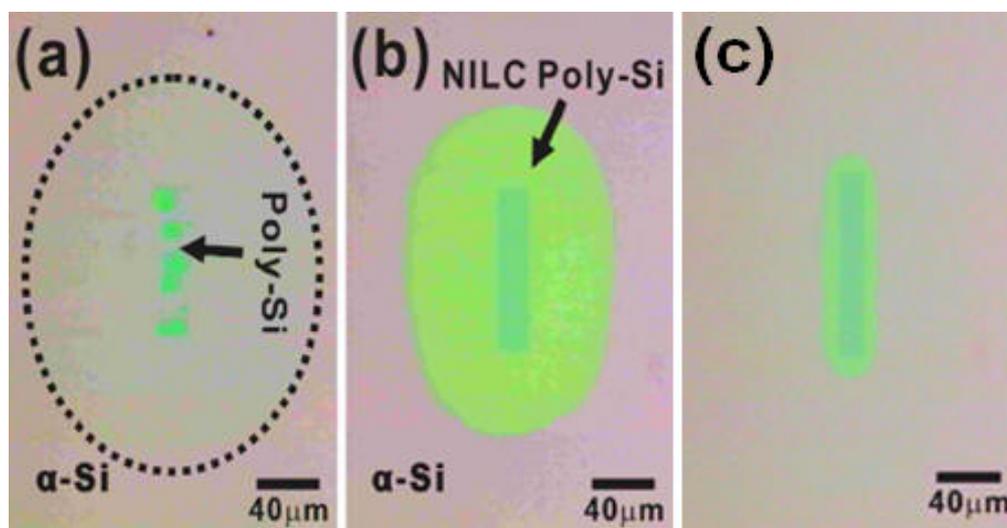


圖 2-11 OM 圖 (a)before Ni-gettering (b)after Ni-gettering (c)非晶矽捉聚層內摻雜磷後再退火做 Ni-gettering 的情形

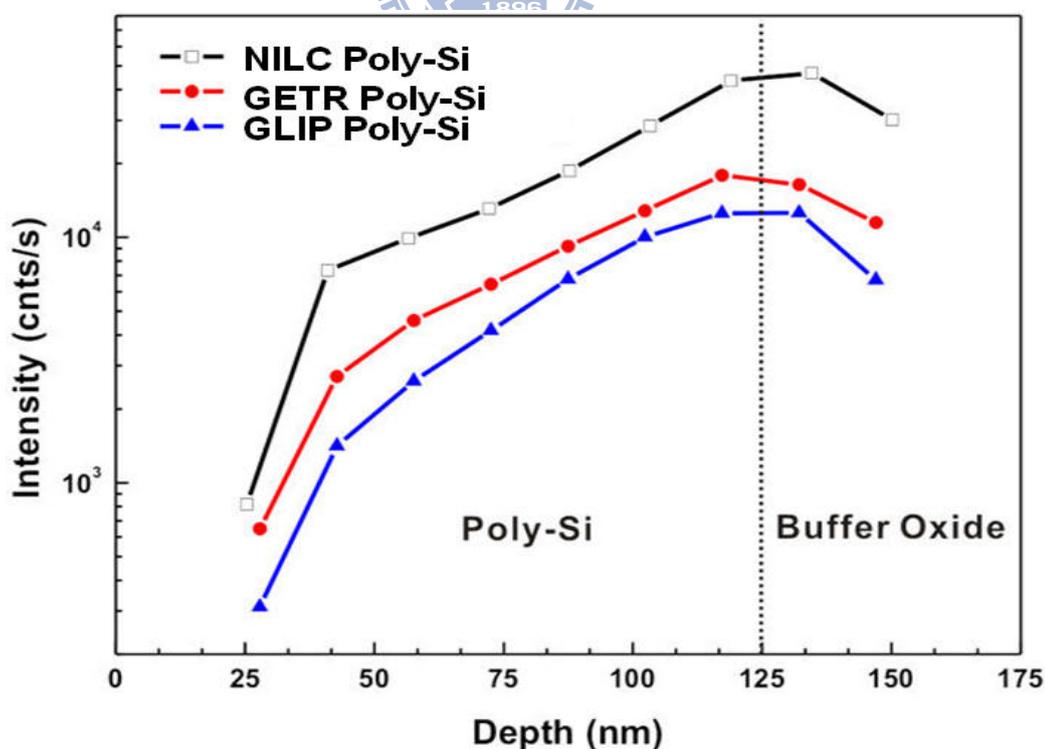
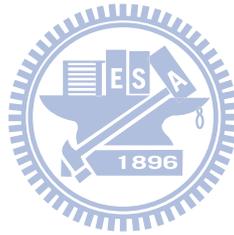


圖 2-12 NILC Poly-Si、GETR Poly-Si 及 GLIP Poly-Si 三組試片的鎳含量 SIMS 比較圖

2.5 結論

本章節研究了一種簡易及有效的鎳捉聚方式，藉由退火後濃度梯度的擴散使得NILC複晶矽中殘餘鎳能成功的穿過奈米厚度的chemical oxide捕捉至上層的非晶矽捉聚層。且在移除非晶矽捉聚層時，chemical oxide即可當作蝕刻停止層，防止蝕刻液繼續往下蝕刻。

從SEM的觀察，可以發現到捉聚後聚集在晶界的NiSi₂蝕刻孔洞明顯減少，而由SIMS所偵測到捉聚後的鎳濃度也明顯的降低，尤其又以在非晶矽捉聚層內摻雜磷(GLIP)再去退火後的捉聚效果最好。



第三章、奈米線通道元件製作及量測參數定義

3.1 元件結構及製作流程

我們將利用一種簡易及低成本的方法去製作奈米線通道。其製備之特點為利用一般製作MOSFET元件的側壁邊襯(sidewall spacer)之概念，以底閘極薄膜電晶體結構在定義汲極和源極之同時，可自我對準形成奈米線通道(如圖3-1)。圖3-2(a)為元件top-view的示意圖，在汲極和源極之間的2條亮綠色線為奈米線通道的長度，且由虛線往內看去為元件cross-section的示意圖，如圖3-2(b)所示。在圖3-2(b)也定義了奈米線通道的寬度及厚度。

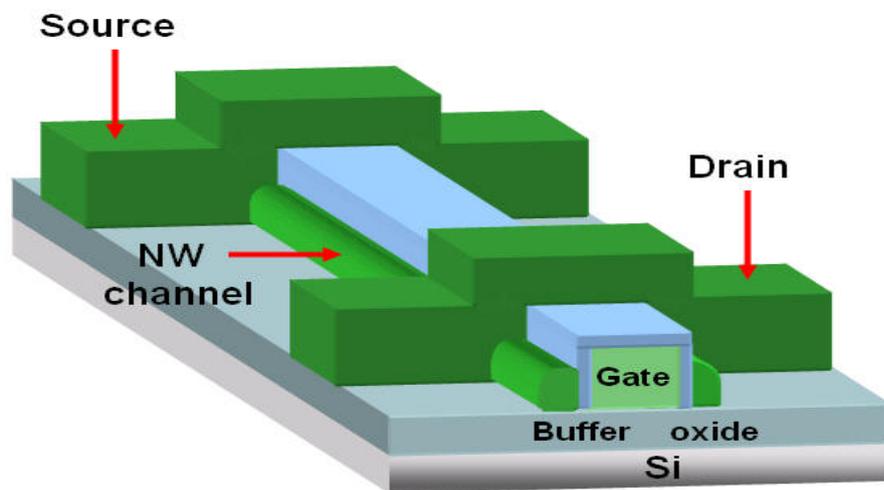


圖 3-1 奈米線通道底閘極薄膜電晶體的立體結構示意圖

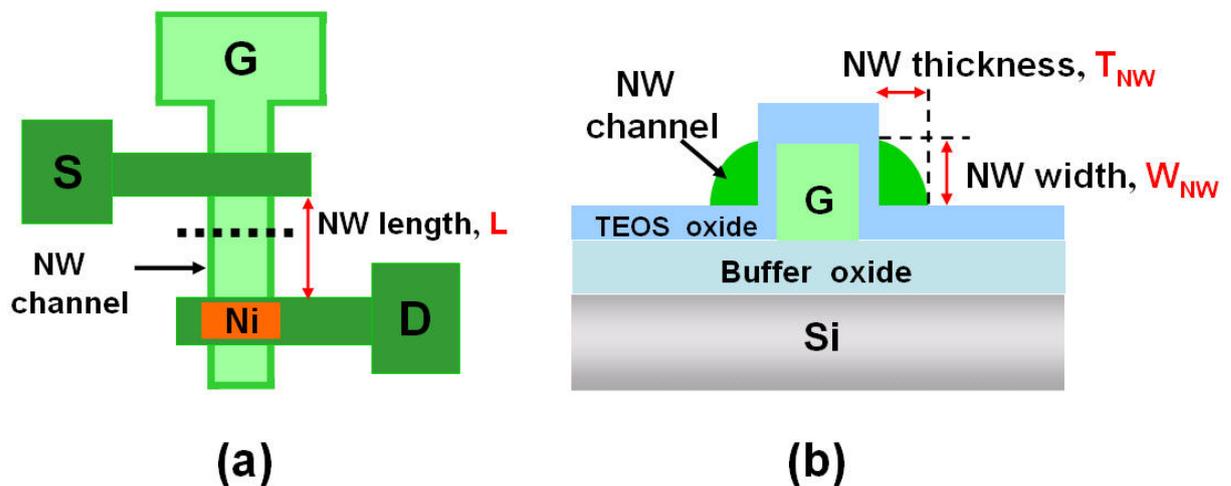


圖3-2 (a)元件top-view的示意圖 (b)元件cross-section的示意圖

此實驗將分別製備 NILC NW-TFT、GLIP NW-TFT 及 SPC NW-TFT 三組奈米線通道低溫複晶矽薄膜電晶體電晶體元件試片，並將於第四章對電性方面作詳盡的探討。電晶體的製作流程如下：

(1) Substrate oxide :

1. 使用傳統的STD clean(SC-1,SC-2)清洗(100)的6吋矽晶圓。
2. 利用溼式氧化的方式在矽晶圓上成長一層為5000Å的SiO₂層，此步驟是為了要成長緩衝氧化層(buffer oxide)去模擬TFT的玻璃基板，如圖3-3所示。



圖3-3 成長Substrate oxide示意圖

(2) Define poly-Si gate : (如圖3-4所示)

1. STD clean。
2. 利用低壓化學沉積系統(LPVCDD)，成長1000 Å的in-situ doped n⁺ poly-Si，其製程參數如表3-1。
3. 利用黃光微影製程定義出gate (mask 1)。
4. 利用TCP-9400 Poly Dry etcher將Poly-gate給定義出來，OM圖如圖3-5所示。
5. Plasma P.R. stripping。
6. 利用3:1的H₂SO₄及H₂O₂混合溶液在120°C下浸泡10分鐘去除殘餘的光阻。

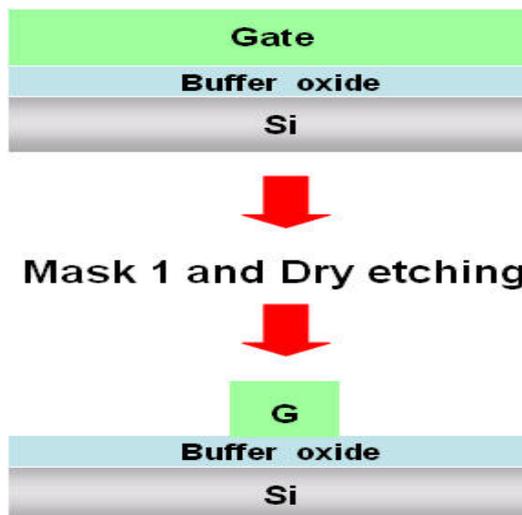


圖3-4 定義poly-Si gate的流程圖

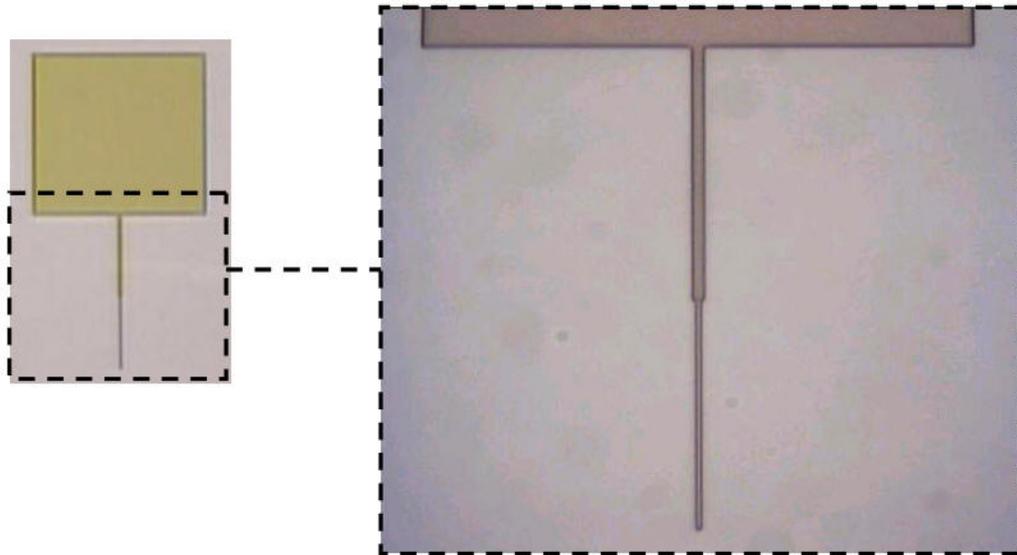


圖3-5 閘極OM圖

表 3-1 LPCVD沉積in-situ doped n^+ poly-Si的製程參數

SiH ₄ (sccm)	PH ₃ (sccm)	操作溫度(°C)	壓力(mtorr)
490	100	550	600

(3) Gate oxide : (如圖3-6所示)

1. STD clean。
2. 利用LPCVD沉積一層厚度為400Å的TEOS oxide作為gate oxide。

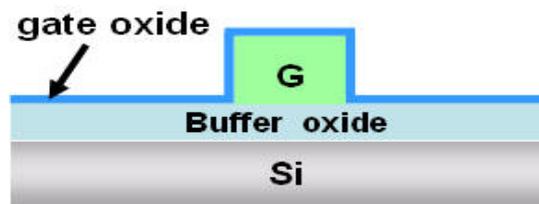


圖3-6 沉積gate oxide的示意圖

(4) Channel layer deposition : (如圖3-7所示)

1. 利用LPVCD沉積一層厚度為1000 Å的非晶矽，其製程參數如表3-2。
2. 將測試片利用FIB(Focused Ion Beam)的ion beam去做顯微切割，然後再使用掃描式電子顯微鏡(SEM)的成像去看gate oxide及 α -Si channel layer的階梯覆蓋(step coverage)狀況截面圖，如圖3-8所示。

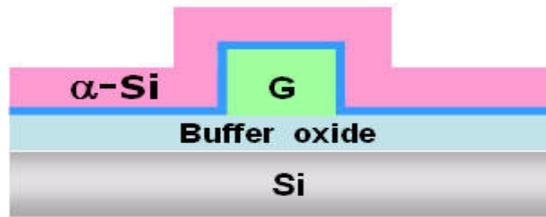


圖3-7 沉積 α -Si channel layer的示意圖

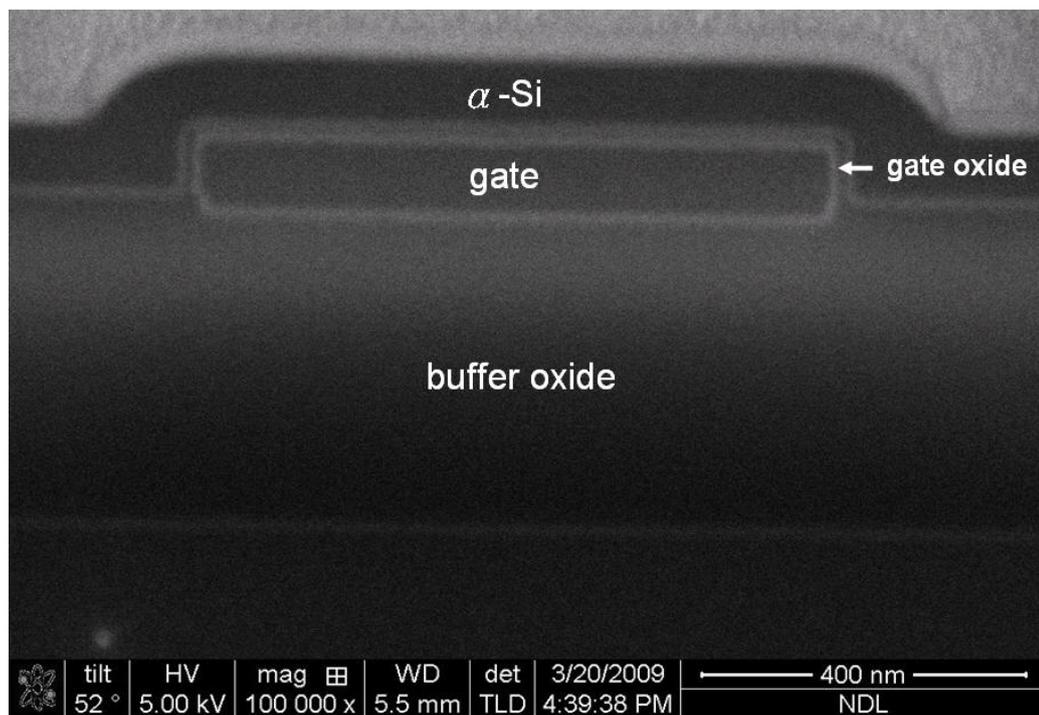


圖3-8 α -Si channel layer沉積後的截面SEM圖

表 3-2 LPCVD 沉積 α -Si channel layer 的製程參數

通入氣體	操作溫度(°C)	壓力(mtorr)	流量(sccm)
SiH ₄	560	350	120

(5) NIC/NILC :

NILC NW-TFT sample & GLIP NW-TFT sample :

1. 利用黃光微影製程在非晶矽層上定義出Ni Line的圖形 (mask 2)。
2. 利用E-gun evaporation在試片鍍覆50Å的鎳。
3. 利用Lift-off方式將多餘光阻及鎳移除，留下鎳金屬線(Ni Line)圖形，如圖3-9所示。
4. 使用爐管退火，在N₂氣氛下540°C經由金屬誘發側向結晶24小時，形成NILC複晶矽，如圖3-10所示。

5. 將試片上殘餘未消耗的鎳用比例為3:1的 H_2SO_4 及 H_2O_2 混合溶液在 $120^\circ C$ 下浸泡20分鐘去除。

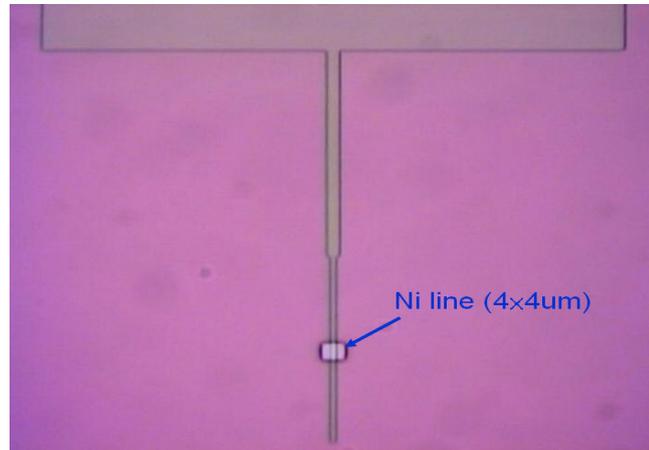


圖3-9 Ni Line的OM圖

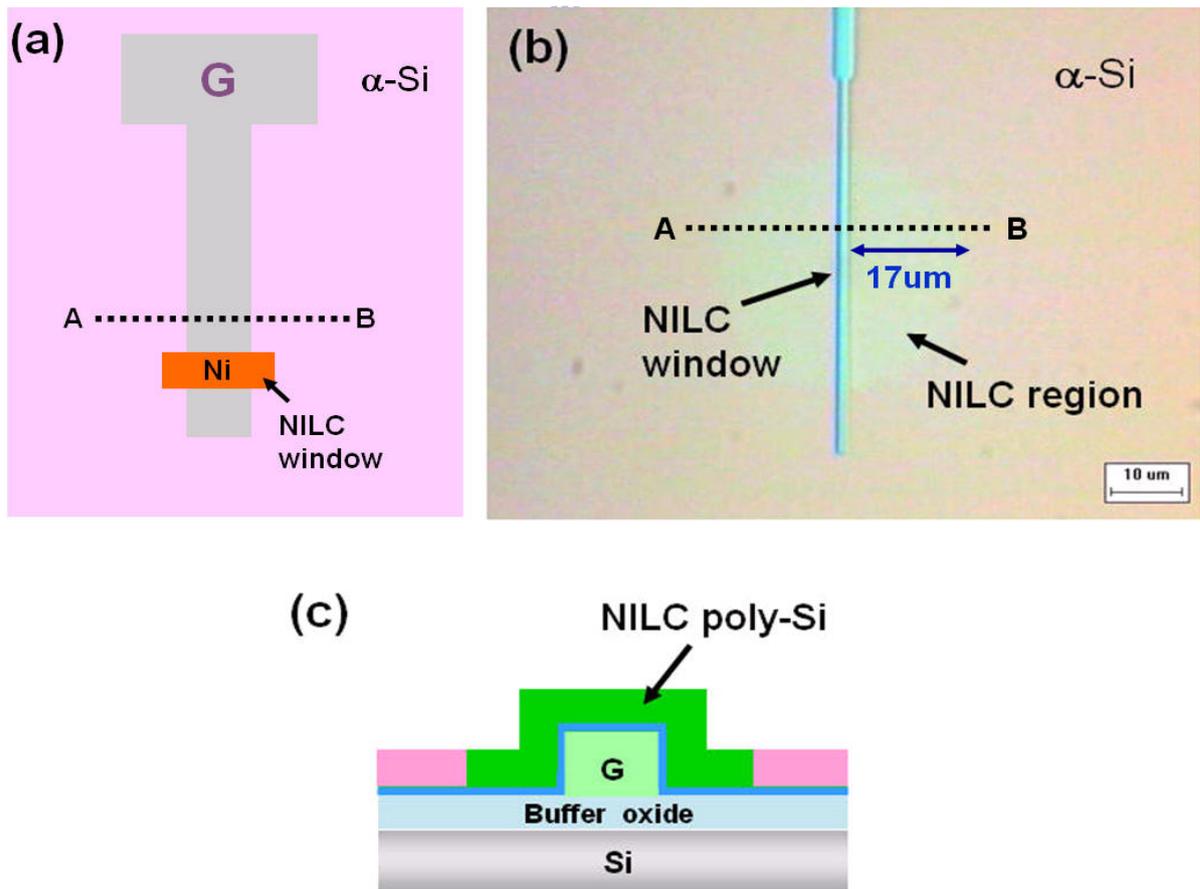


圖3-10 (a)定義Ni Line示意圖 (b)NILC OM圖 (c)A到B的cross-section的NILC示意圖

SPC NW-TFT sample :

1. 無製程處理。

(6) Gettering :

GLIP NW-TFT sample : (如圖3-11所示)

1. 利用比例為1:15的BOE及DI Water溶液移除native oxide。
2. 使用比例為3:1的硫酸及雙氧水混合溶液製程在120°C下浸泡10分鐘，去形成一層全新厚度約5nm的chemical oxide。
3. 利用LPCVD的方式沉積1000 Å的非晶矽當作鎳捉聚層。
4. 於非晶矽捉聚層裡佈植磷(P^{31+})，佈植能量為15keV且劑量為 1×10^{16} ions/cm²。
5. 在N₂氣氛下550°C退火12小時，進行捉聚退火製程。如圖3-12所示，在捉聚層中NILC的長度變短，而且因為Ni pad本身尺寸厚度很小的原因，所以在鎳金屬被磷捉聚後，使鎳的含量減少，以至於OM圖已看不清NILC region。
6. 先利用比例為1:15的BOE及DI Water溶液移除於退火時在捉聚層上所產生的native oxide，再使用5%的TMAH溶液去除捉聚層。
7. 利用1%的HF移除chemical oxide。

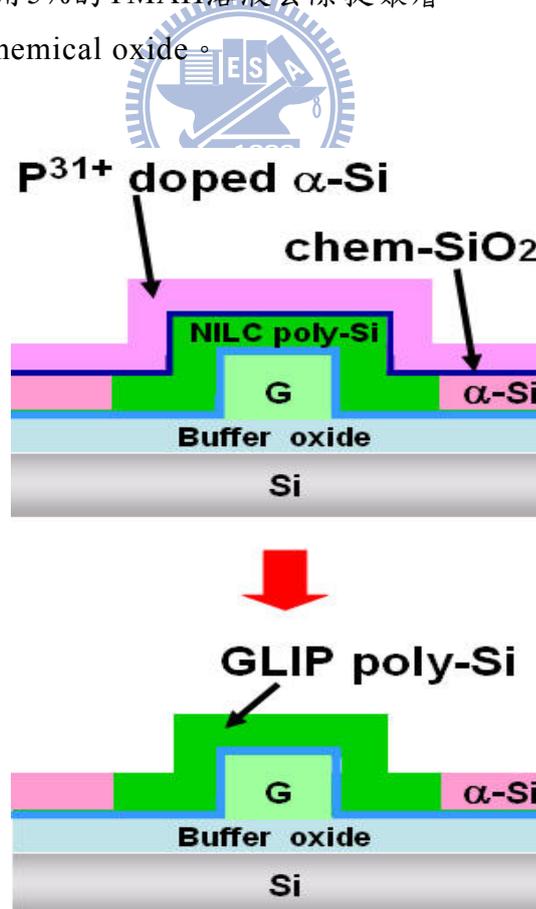


圖3-11 形成GLIP poly-Si的流程圖

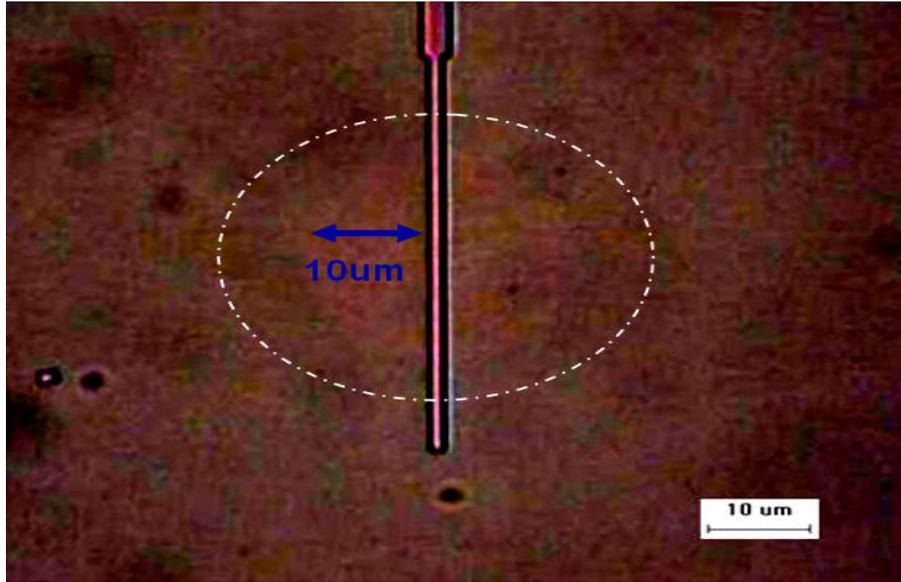


圖3-12 形成GLIP poly-Si的捉聚退火OM圖

NILC NW-TFT sample :

1. 為了與GLIP NW-TFTs sample的退火製程條件相同，NILC Poly-Si則繼續在550°C下退火12小時。



SPC NW-TFT sample :

1. 無製程處理。

(7) Source/Drain ion implantation : (如圖3-13所示)

1. 離子佈植: P^{31+} 能量: 15kev ; 濃度: 5×10^{15} ions/cm² 。

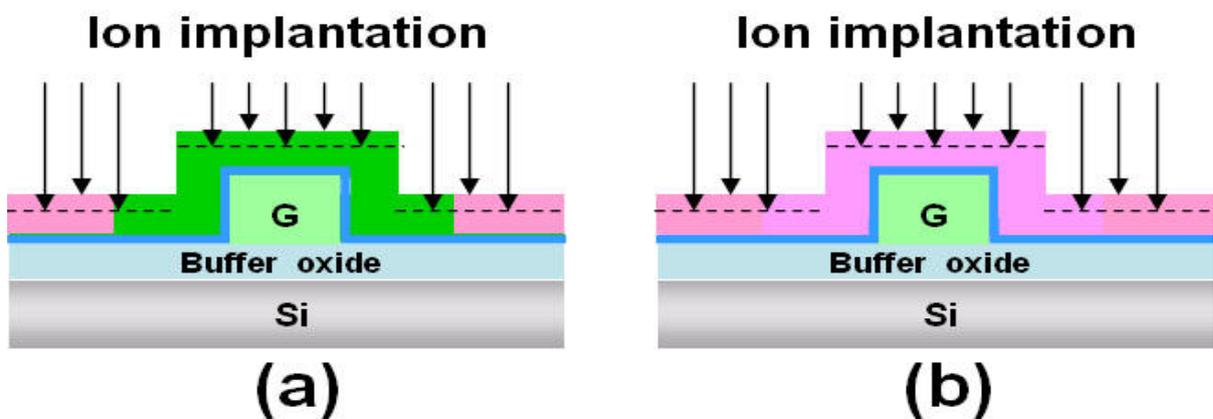


圖3-13 Ion implantation的示意圖 (a)NILC NW-TFT & GLIP NW-TFT
(b) SPC NW-TFT

(8) Source/Drain and channel define :

1. 利用黃光微影製程定義出source/drain的圖形 (mask 3)。
2. 利用TCP-9600 Dry etcher將source/drain定義出來(如圖3-14)，其製程參數如表3-3。在定義source/drain之同時，可自我對準形成奈米線(nanowire ,NW)通道(如圖3-15)。圖3-16為元件top-view的SEM圖，且由A到B之間的虛線往內看去為元件cross-section的SEM圖，如圖3-17所示。此多晶矽邊襯奈米線通道之寬度(width)可以控制至70nm(如圖3-18)，故可巧妙地將之作為多晶矽奈米線通道。
3. Plasma P.R. stripping。
4. 利用3:1的H₂SO₄及H₂O₂混合溶液在120°C下浸泡10分鐘去除殘餘的光阻。

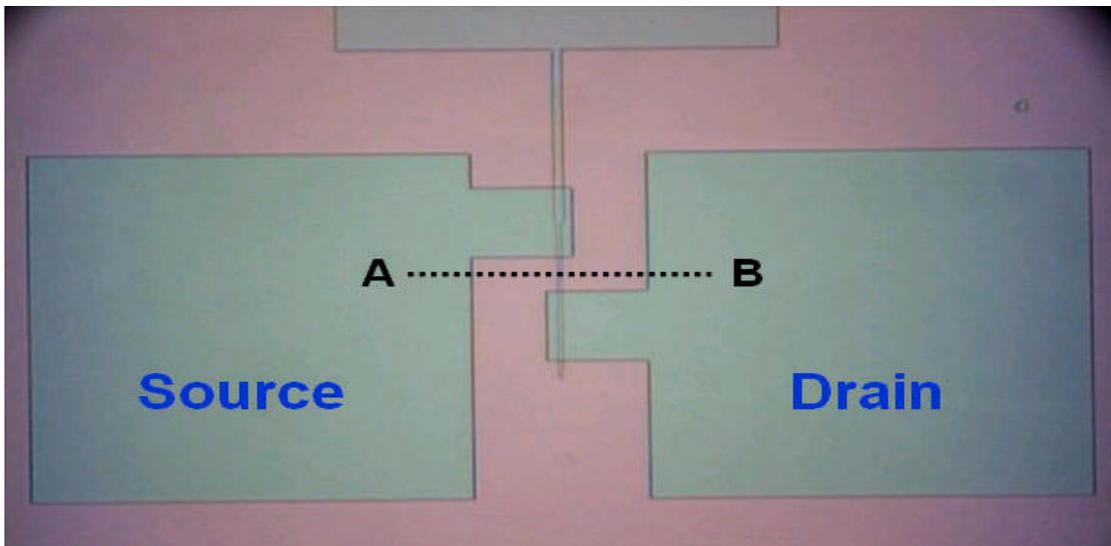


圖3-14 利用乾蝕刻定義source/drain後的上視OM圖

表 3-3 定義 source/drain 及同時自我對準形成 NW 的 dry etching 製程參數

Step	RF Top Power (w)	RF Bottom Power (w)	Pressure (mtorr)	Gas (sccm)	Time (sec)
Break Through	250	200	5	Cl ₂ : 80	5
Main Etch	310	120	12	Cl ₂ : 35 HBr: 125	End Point Detection
Over Etch	250	150	25	HBr: 125	3

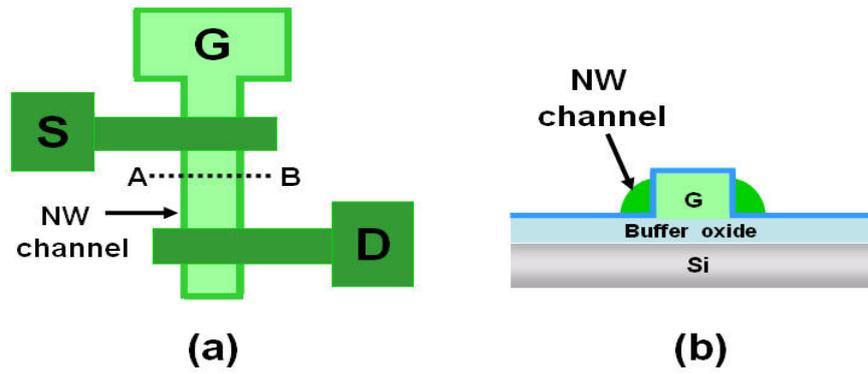


圖3-15 (a) 利用乾蝕刻定義source/drain及同時自我對準形成NW的 top-view的示意圖 (b)A到B的cross-section的示意圖

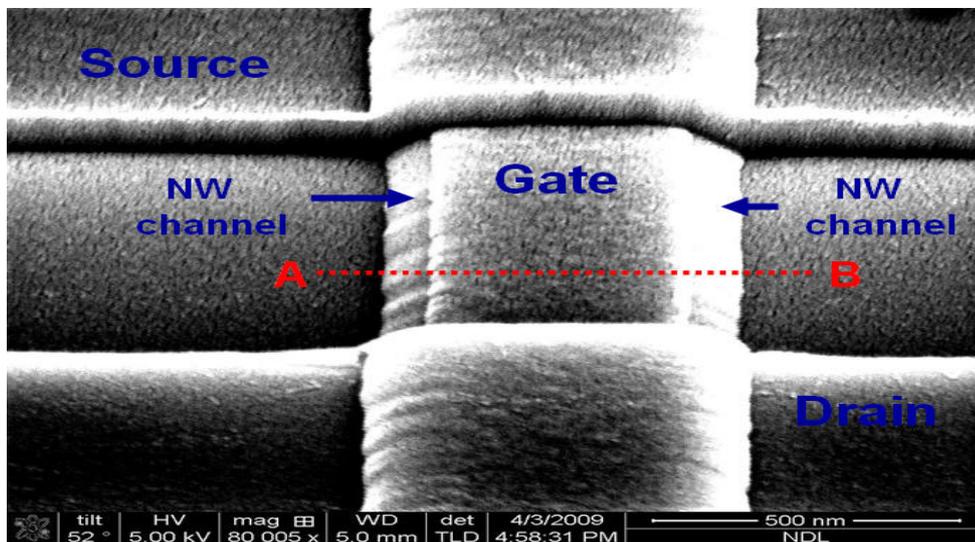


圖3-16 NW的top-view的SEM圖

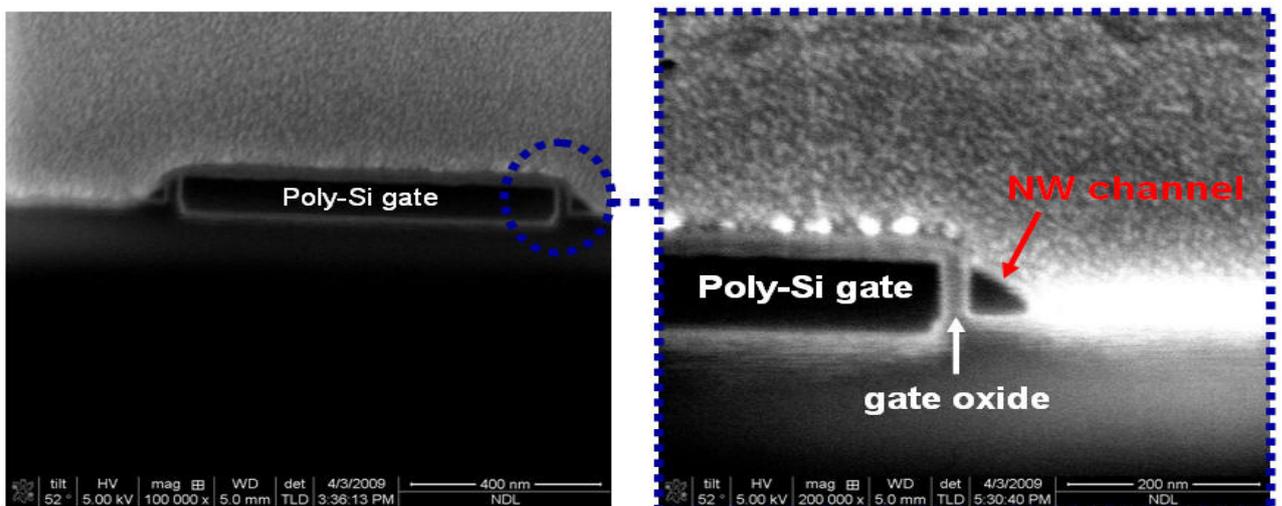


圖3-17 A到B的cross-section的SEM圖

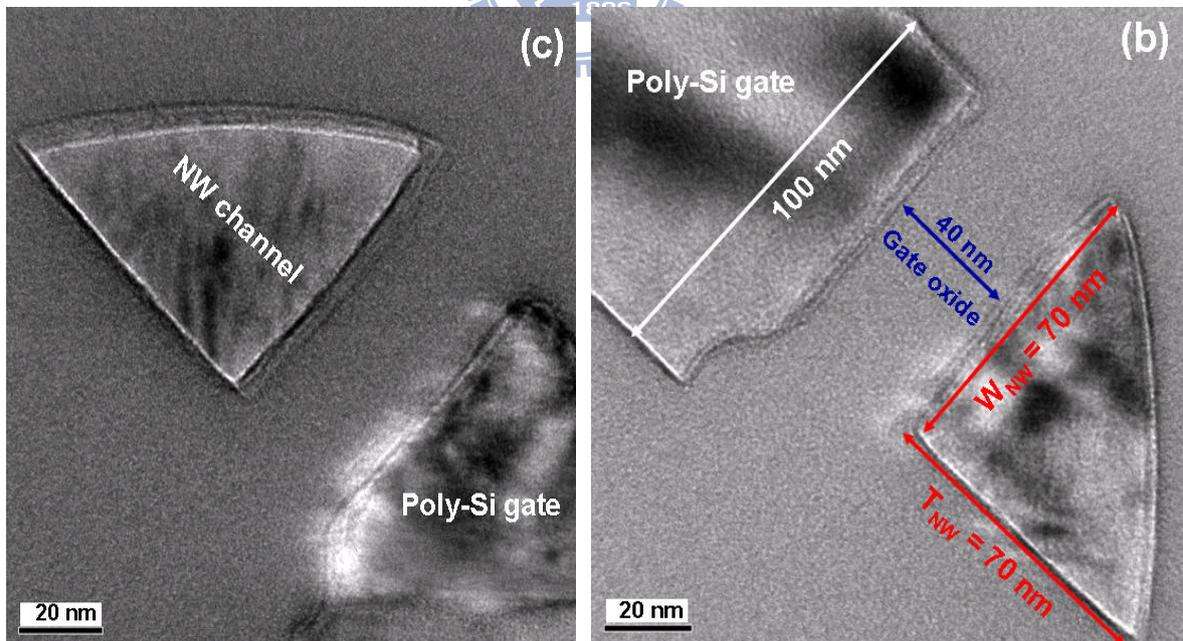
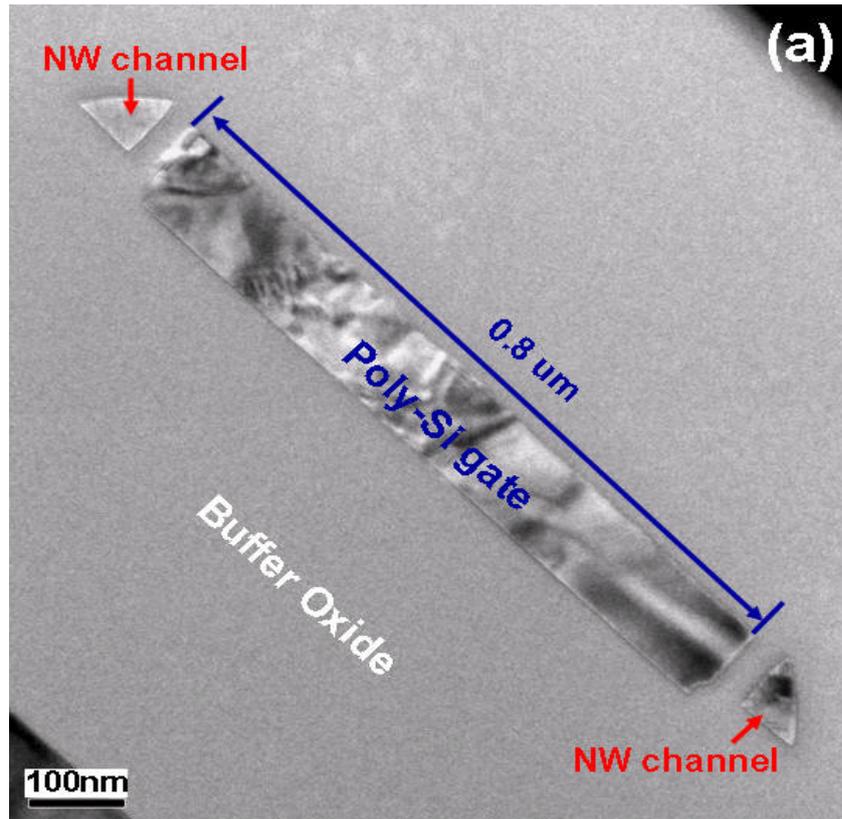


圖3-18 (a)A到B的cross-section的TEM圖(b)右邊的NW放大TEM圖
(c)左邊的NW放大TEM圖

(9) Source/Drain activation and solid phase crystallization (SPC) :

NILC NW-TFT sample & GLIP NW-TFT sample :

1. 在N₂氣氛下600°C退火12小時，進行Source/Drain的活化製程。

SPC NW-TFT sample :

1. 在N₂氣氛下600°C退火12小時，同時進行Source/Drain的活化製程及通道的固相結晶製程(如圖3-19)。

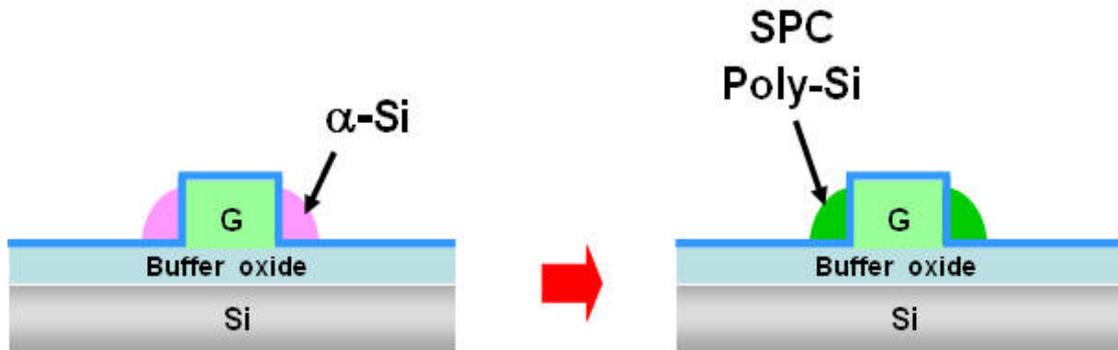


圖3-19 形成SPC NW poly-Si的示意圖

(10) Contact hole formation :

1. 利用LPCVD的方式沉積3500Å的passivation TEOS-oxide，如圖3-20(a)。
2. 利用黃光微影製程定義出接觸窗(contact hole) (mask 4)，如圖3-20(b)。
3. 利用pure BOE將接觸窗蝕刻出來。
4. Plasma P.R. stripping。
5. 利用3:1的H₂SO₄及H₂O₂混合溶液在120°C下浸泡10分鐘去除殘餘的光阻。

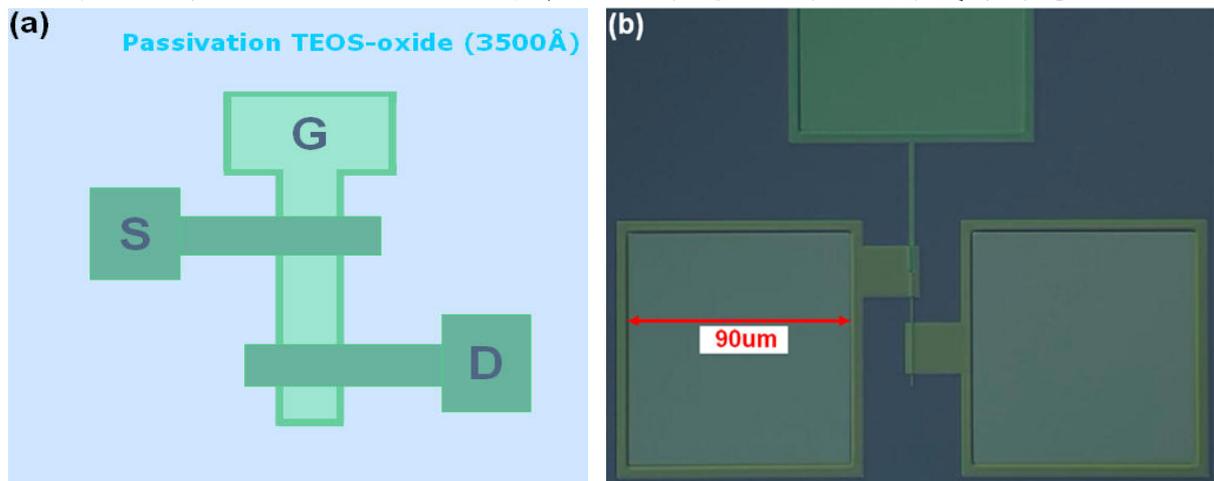


圖3-20 (a)沉積passivation TEOS-oxide的示意圖 (b)Contact hole黃光微影製程定義後的OM圖

(11) Metallization :

1. 先利用PVD系統的ICP Soft Etching Chamber，將使用Ar⁺ plasma的方式去除 native oxide，製程參數如表3-4(a)。
2. 利用PVD的方式沉積5000Å的AlSi(1%)Cu(0.5%)，製程參數如表3-4(b)。
3. 利用黃光微影製程定義出 source、drain及gate的接觸電極(metal pad) (mask 5)，如圖3-21所示。
4. 利用ILD-4100 Metal Dry etcher將source、drain及gate定義出來，如圖3-22所示。
5. Plasma P.R. stripping。

表 3-4 Metallization 的 PVD 系統製程參數

(a) ICP Soft Etching Chamber	(b) Process Chamber
<ul style="list-style-type: none">• Ambient, flow : Ar, 20sccm• Pressure : 6 mtorr• RF Power : 0.8kW• Bias Power : 0.2kW• Etching rate : ~ 7 Å/sec	<ul style="list-style-type: none">• Process : AlSi(1%)Cu(0.5%)• Ambient flow : Ar, 30sccm• Pressure : 3 mtorr• DC Power : 10kW• Temperature : room temperature• Deposition rate : ~ 120 Å/sec

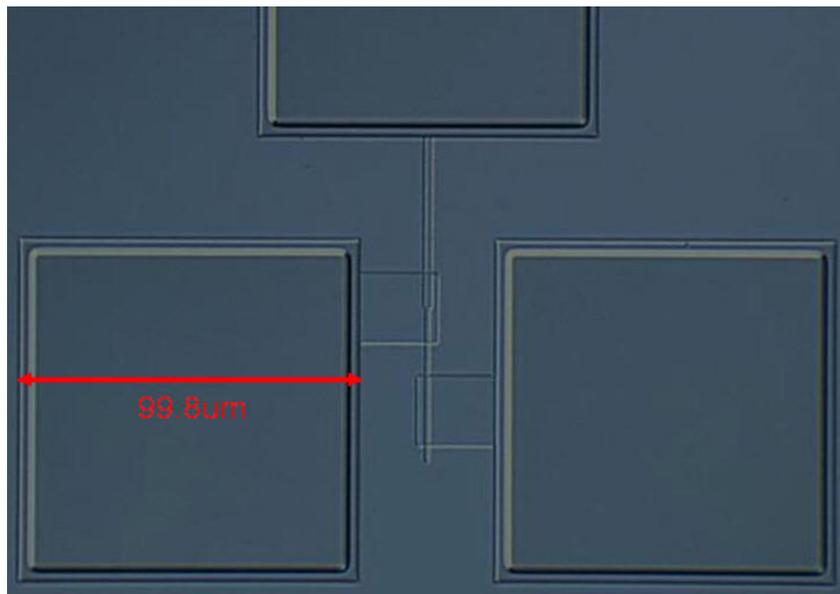
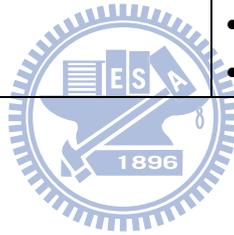


圖3-21 metal pad黃光微影製程定義後的OM圖

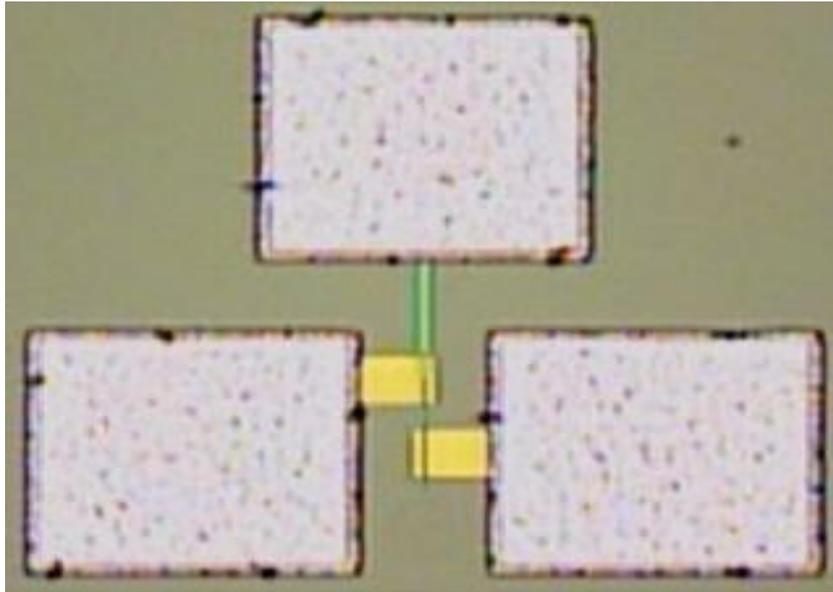


圖3-22 Metal pad完成乾蝕刻後的OM圖

(12) Post treatment :

1. 在95% N₂ and 5% H₂的forming gas氣氛下400°C退火30分鐘，進行AlSi(1%)Cu(0.5%) sintering製程

3.2 電性量測參數定義

在這一章節，將要介紹萃取各種電性參數的定義，這些包含了載子遷移率 (Mobility, μ_{FE})、臨界電壓 (Threshold Voltage, V_{th})、次臨界擺幅 (Subthreshold Swing, SS)、及開關電流比 (ON /OFF current ratio) 及捕陷密度 (Trap State Density, N_t)。

3.2.1 載子遷移率 (Mobility)

載子遷移率可以用來代表複晶矽結晶品質的好壞，複晶矽中的缺陷會捕捉載子而造成載子傳導率下降。在載子遷移率的萃取上，是在汲極端給予一小電壓 (in linear region) 並利用轉移電導 (G_m) 去求得。其中多晶矽薄膜電晶體的電流傳輸特性相當接近於一般的MOSFET，因此我們可以將其汲極電流 (I_D) 的公式應用在多晶矽薄膜電晶體上，其線性區中汲極電流公式的推導為：

$$I_{D (linear)} = \mu_n C_{OX} \frac{W}{L} \left[(V_G - V_{TH}) V_D - \frac{1}{2} V_D^2 \right] \quad (3-1)$$

$$C_{OX} = \frac{\epsilon_{OX} \epsilon_0}{T_{OX}} \quad (3-2)$$

C_{OX} 為閘極氧化層電容、 W 為通道的寬度、 L 為通道的長度、 V_{TH} 為臨界電壓、 ϵ_{OX} 為氧化層介電常數、 ϵ_0 為真空介電常數、 T_{OX} 為閘極氧化層厚度。

在線性區中當 V_D 很小時，也就是 $V_D < V_G - V_{TH}$ ，則(3-1)可以簡化為：

$$I_{D (linear)} = \mu_n C_{OX} \frac{W}{L} [(V_G - V_{TH}) V_D] \quad (3-3)$$

在線性區的轉移電導定義為：

$$G_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D = const} = \mu_n C_{OX} \frac{W}{L} V_D \quad (3-4)$$

因此載子遷移率可由(3-4)式推導得：

$$\mu_n = \frac{L}{W} \frac{G_m}{C_{OX} V_D} \quad (3-5)$$

我們將量測方式固定 $V_D=0.5V$ ， $V_S=0V$ ，變化 V_G ，取 G_m 最大值，代入(3-5)式中得到載子遷移率(μ_n)。

3.2.2 臨界電壓(Threshold Voltage)

臨界電壓的計算方法是使用定電流法，在 $V_D=0.5V$ 的狀況下，額訂一 I_D 值，其 I_D 值計算由公式(3-6)決定，而將此 I_D 值對應到其相對的 V_G ，此對應的 V_G 即所謂的 V_{TH} 。

$$I_D = \frac{W}{L} \times 100 \text{ nA} \quad (3-6)$$

3.2.3 次臨界擺幅(Subthreshold Swing)

因為次臨界特性是描述開關(switch)的開啟(on)與關閉(off)特性。因此，針對此次臨界區，特別定義一個重要的元件參數為次臨界擺幅(Subthreshold Swing, SS)，其公式為：

$$SS = \frac{\partial V_G}{\partial(\log I_D)} = \ln 10 \frac{\partial V_G}{\partial(\ln I_D)} = 2.3 \frac{\partial V_G}{\partial(\ln I_D)} \quad (3-7)$$

SS則是以 I_D - V_G 特性直線之斜率的倒數決定，愈小的SS值表示電晶體有愈好的開關特性。量測方法為固定 $V_D=0.5V$ ， $V_S=0V$ ，變化 V_G 量測汲極電流，取 $\log I_D$ 對 V_G 做圖計算直線區斜率，斜率的倒數即為SS。

3.2.4 開關電流比(On /Off current ratio)

on/off current ratio是另一個在薄膜電晶體裡相當重要的參數，高比率的on/off current ratio不是只有高導通電流(I_{on})與低漏電流(I_{off})而已，因為他們會直接影響薄膜電晶體在面板上的灰階與明亮度。 I_{on} 的部分是取決於 $V_D=3V$ 的最大電流，而 I_{off} 的部分也是看 $V_D=3V$ 的最小電流值所得，一般薄膜電晶體至少要 10^6 以上，才算是一顆好的開關元件。

$$\frac{I_{on}}{I_{off}} = \frac{I_{max}}{I_{min}} \quad (3-8)$$

3.2.5 捕陷密度(trap state density)

由於電子的傳導行為由載子的數目多寡所決定，要決定自由載子在多晶矽中的數目，必須先考慮置換型的雜質濃度，雜質原子會偏析在晶界中造成損失，而且在電性上不發生作用；但即使將此損失考慮進去，多晶矽的電導度仍然比具有相同摻雜濃度的單晶矽低，因為單晶矽中自由載子直接由在晶粒中的置換型摻雜原子所貢獻至價帶及導電帶，而多晶矽因為有晶界的關係，大部分的自由載子會被捕陷(trap)在低能量的晶界位置，因而無法貢獻到傳導帶[31][54]，示意圖如圖 3-23 所示[55]。

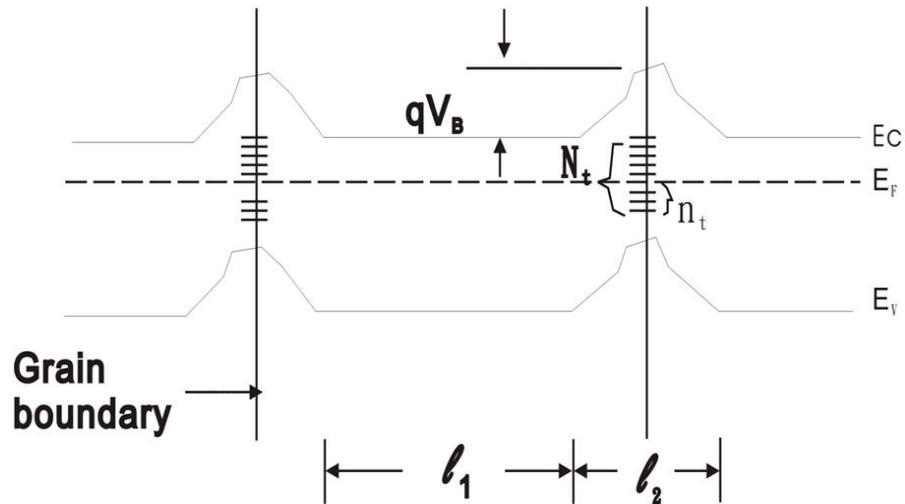


圖3-23 很多在晶粒中的置換型摻雜原子所貢獻的自由載子很快速的就被固定在晶界處的捕陷位置 N_t 每單位面積的能量不超過能隙(bandgap) [55]

因此，我們將以Levinson's and Proano's方法[56][57]做了捕陷密度的計算，藉由在低 V_D 與高 V_G 的條件下，以 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖求其斜率。其中 V_{FB} 定義為在 $V_D=0.5V$ 下，最小 I_D 所對應的 V_G 。



第四章、特性分析與討論

4.1 元件性能

4.1.1 I_D - V_G 特性曲線

I_D - V_G 轉移特性量測是使用Keithley SCS4200 參數分析儀。將以上三組奈米線通道低溫複晶矽薄膜電晶體元件操作在固定 $V_D=0.5\text{ V}$ 及 3 V ，量測其汲極電流(I_D)與閘極電壓(V_G)的轉移特性關係。

從圖4-1與表4-1我們可以發現，在經由本文所提出的鎳捉聚方法所製備出來的GLIP NW-TFT有較好的元件特性，尤其漏電流明顯小於NILC NW-TFT，是因為經過捉聚後鎳(Ni)含量的減少，進而使捕陷密度(N_t)降低的原因，而提高了開關電流比，符合了預期的結果。為了驗證GLIP NW-TFT元件的捕陷密度是因為鎳捉聚的作用而降低，我們另外以Levinson's and Proano's方法做了捕陷密度的計算，藉由在低 V_D 與高 V_G 的條件下，以 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖求其斜率，其中 V_{FB} 定義為在 $V_D=0.5\text{ V}$ 下，最小 I_D 所對應的 V_G ，圖4-2為NILC NW-TFT、GLIP NW-TFT與SPC NW-TFT三組元件的 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖，我們可以得到GLIP NW-TFT的 $N_t=2.52 \times 10^{12}\text{ cm}^{-2}$ ，NILC NW-TFT的 $N_t=3.95 \times 10^{12}\text{ cm}^{-2}$ ，因此GLIP NW-TFT元件的捕陷密度確實因為鎳捉聚的作用而下降了，而且也遠低於晶界缺陷較多的SPC NW-TFT的 $N_t=7.19 \times 10^{12}\text{ cm}^{-2}$ ，所以由表4-1我們可以發現，GLIP NW-TFT的載子遷移率及次臨界擺幅，都明顯優於SPC NW-TFT。

另外我們可以發現到GLIP NW-TFT的臨界電壓為 0.34 V ，而NILC NW-TFT的臨界電壓為 0.19 V ，明顯有一正飄移現象，此相似的現象於Lee等人的研究中有提到[58]，作者認為殘留的鎳在氧化層與複晶矽界面造成大量的正電荷，除此之外，鎳與矽鎳化合物這些缺陷可視為施體型缺陷(donor-like defect)，由於這兩個因素，使得較多殘留鎳的薄膜電晶體有負偏移的臨界電壓。在我們的實驗中由於NILC NW-TFT含有較高濃度的鎳也因此有較低的臨界電壓，而經過鎳捉聚後的GLIP NW-TFT，則因為鎳含量的降低，使得臨界電壓明顯有一正飄移的現象。

最後，我們將針對這三組元件的臨界電壓值均勻性及漏電流值均勻性作一比較，如圖4-3所示，我們可以看到NILC NW-TFT的臨界電壓值均勻性及漏電流值均勻性是這三組元件中較差的。而且，從上述的捕陷密度(圖4-2)結果中我們可以知道，SPC NW-TFT的捕陷密度較大的主要原因是因為有較多的晶界缺陷，如inter-grain defect和intra-grain defect，而NILC NW-TFT與GLIP NW-TFT雖然晶界缺陷較少，但是會有鎳金屬以及鎳的矽化物的殘留問題，所以經過鎳捉聚後的GLIP NW-TFT除了原本晶界缺陷就較少，也降低了鎳金屬以及鎳的矽化物的殘留量。所

以我們可以推測臨界電壓值及漏電流值均勻性較差的NILC NW-TFT，主要是因為鎳金屬以及鎳的矽化物殘留量較多所造成的，如圖4-4所示，因我們的奈米線通道的製做流程是先做NILC再蝕刻出奈米線通道，假設我們蝕刻出的奈米線通道是在Channel-1處，那會因為有較少的鎳金屬以及鎳的矽化物的殘留量，而有較小的臨界電壓飄移及漏電流值；假設我們蝕刻出的奈米線通道是在Channel-2處，那會因為有較多的鎳金屬以及鎳的矽化物的殘留量，而有較大的臨界電壓飄移及漏電流值。所以經過鎳捉聚後的GLIP NW-TFT在相對於NILC NW-TFT，則有較佳的臨界電壓值均勻性及漏電流值均勻性。

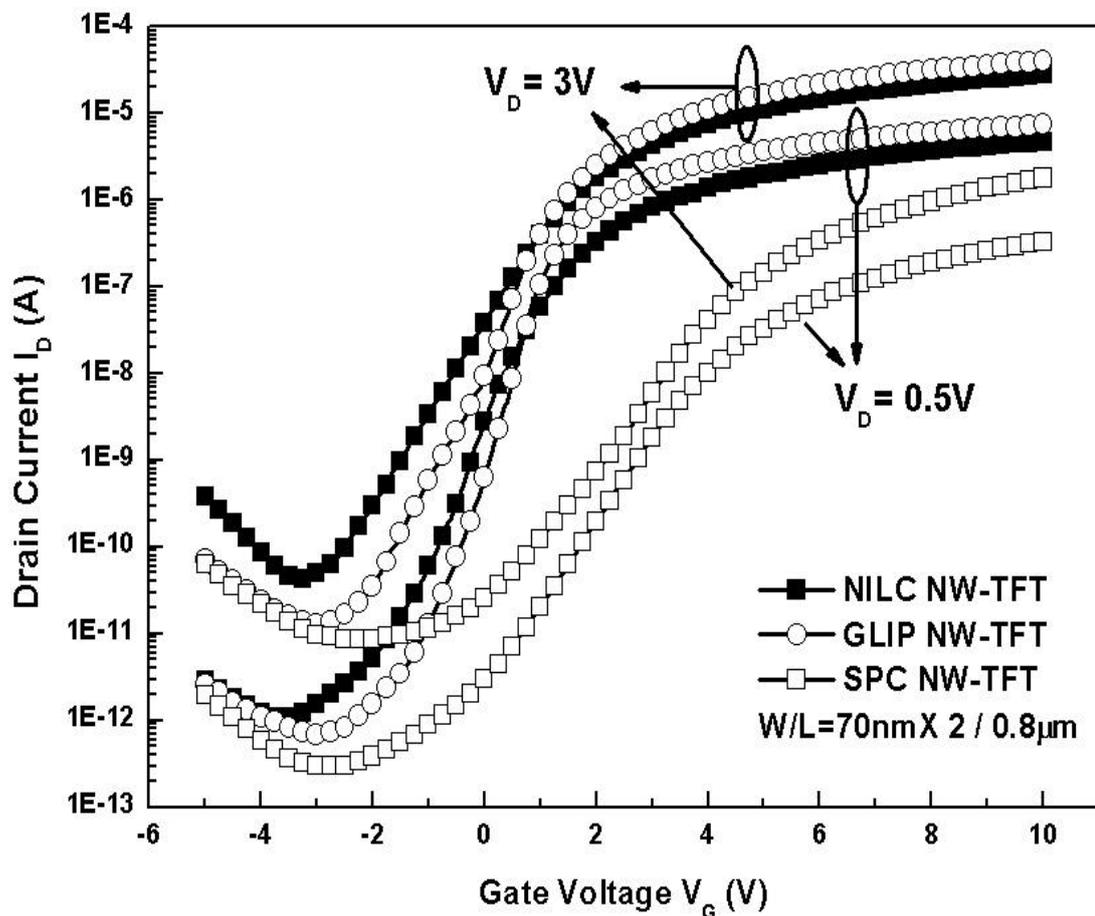


圖 4-1 NILC NW-TFT、GLIP NW-TFT 及 SPC NW-TFT 三組元件的 I_D - V_G 轉移特性曲線圖

表 4-1 NILC NW-TFT、GLIP NW-TFT 及 SPC NW-TFT 三組元件的電性比較

W/L=70nm×2 / 0.8mm	NILC NW-TFT	GLIP NW-TFT	SPC NW-TFT
Mobility (cm ² /V-s) @V _D =0.5V	128±16	145±12	22±3
Subthreshold slope (mV/dec) @V _D =0.5V	395±66	417±63	694±76
Threshold voltage (V) @ V _D =0.5V	0.19±0.39	0.34±0.21	4.12±0.2
I _{ON} /I _{OFF} ratio (10 ⁶) @ V _D =3V	1.4±1.2	3.2±1.0	0.4±0.1
I _{OFF_min} (pA) @ V _D =3V	81.86±95.71	13.03±5.41	6.37±2.50

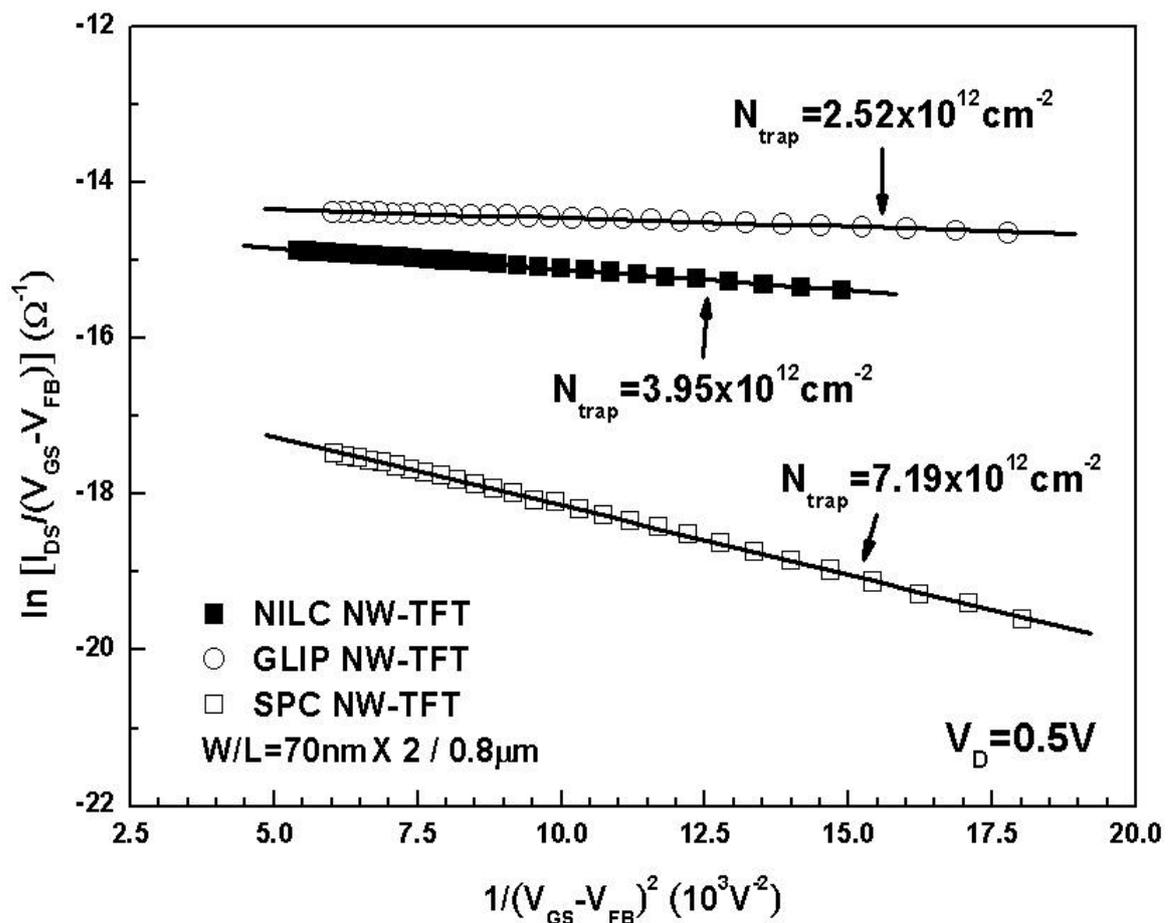


圖 4-2 NILC NW-TFT、GLIP NW-TFT 及 SPC NW-TFT 三組元件以 $\ln[I_{DS}/(V_{GS}-V_{FB})]$ versus $1/(V_{GS}-V_{FB})^2$ 作圖

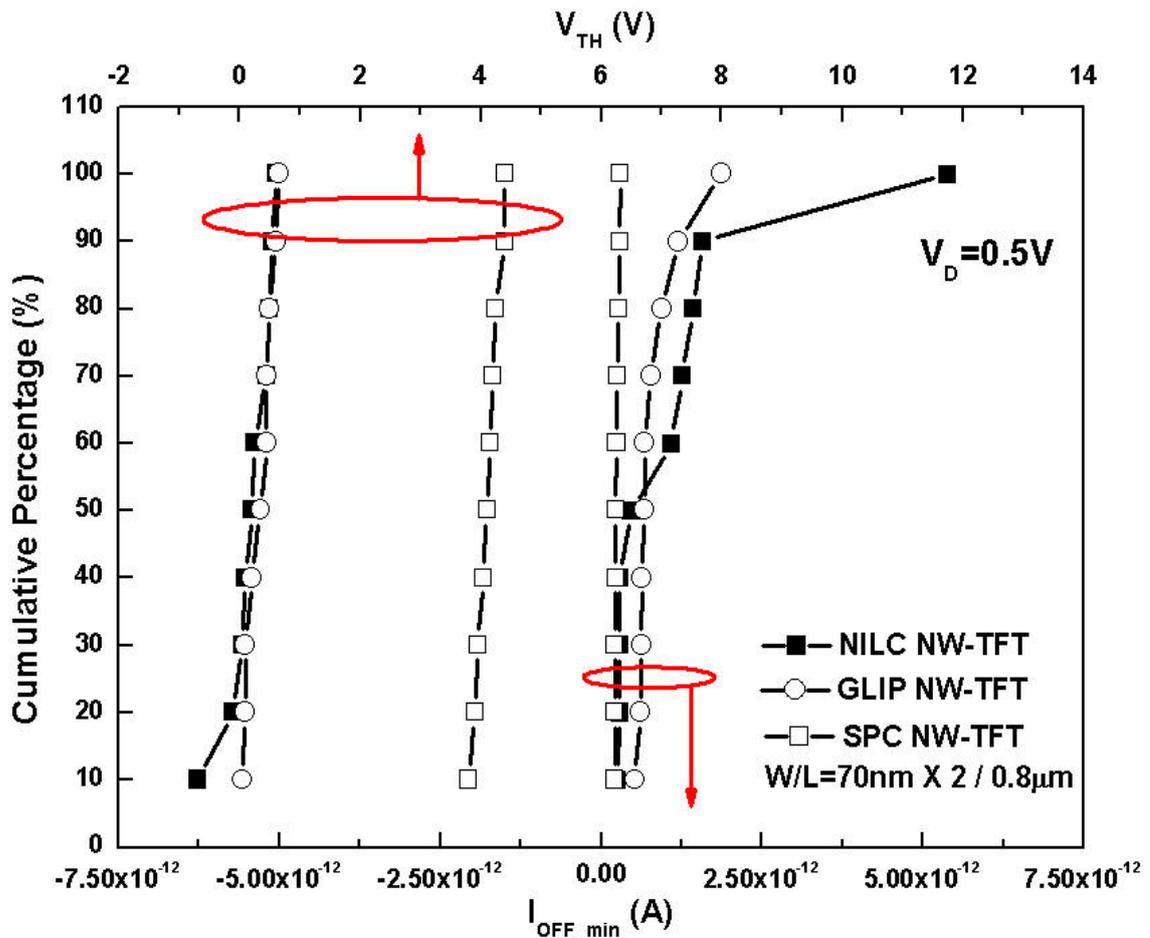


圖 4-3 NILC NW-TFT、GLIP NW-TFT 及 SPC NW-TFT 三組元件的臨界電壓值均勻性及漏電流值均勻性的比較圖

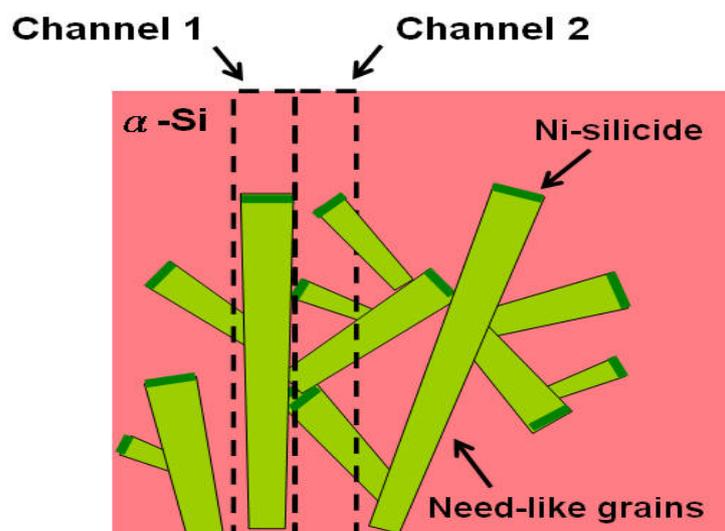


圖 4-4 影響臨界電壓值均勻性及漏電流值均勻性的示意圖

4.1.2 I_D - V_D 特性曲線

I_D - V_D 量測同樣使用Keithley SCS4200 參數分析儀。將以上三組奈米線通道低溫複晶矽薄膜電晶體電晶體元件的 V_G - V_{TH} 分別操作在 2V~4V且step為 1V的電壓下，而 V_D 由 0V掃到 5V，量測 I_D 與 V_D 的輸出特性關係。圖 4-5 分別表示出三組元件的驅動電流，元件尺寸為 $W=70\text{nm}\times 2$ 、 $L=0.8\mu\text{m}$ ，而元件電流驅動公式由公式(4-1)及公式(4-2)決定：

在線性區時：

$$I_{D (linear)} = \mu_n C_{OX} \frac{W}{L} \left[(V_G - V_{TH}) V_D - \frac{1}{2} V_D^2 \right] \quad (4-1)$$

在飽和區時：

$$I_{D (sat)} = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} \left[(V_G - V_{TH})^2 \right] \quad (4-2)$$

由公式(4-2)可以發現到，在元件的通道長寬比、介電係數、氧化層厚度以及 V_G - V_{TH} 固定下，顯然具有較大的電子遷移率的GLIP NW-TFT擁有較大的輸出電流驅動能力。

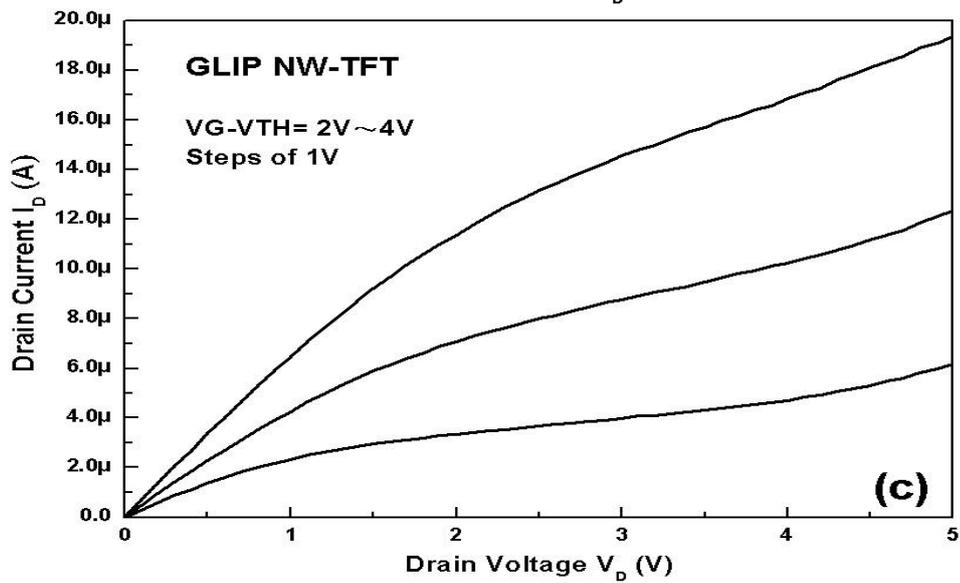
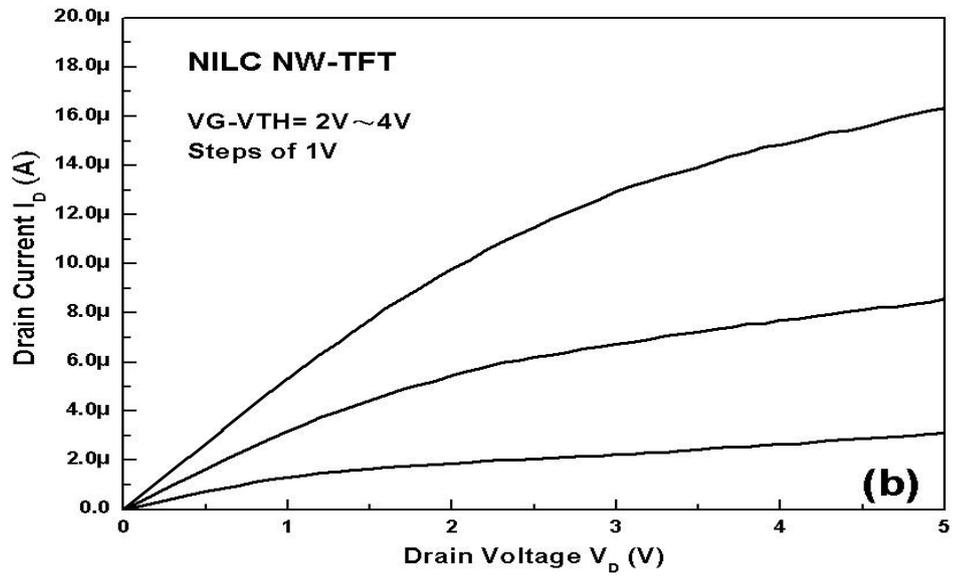
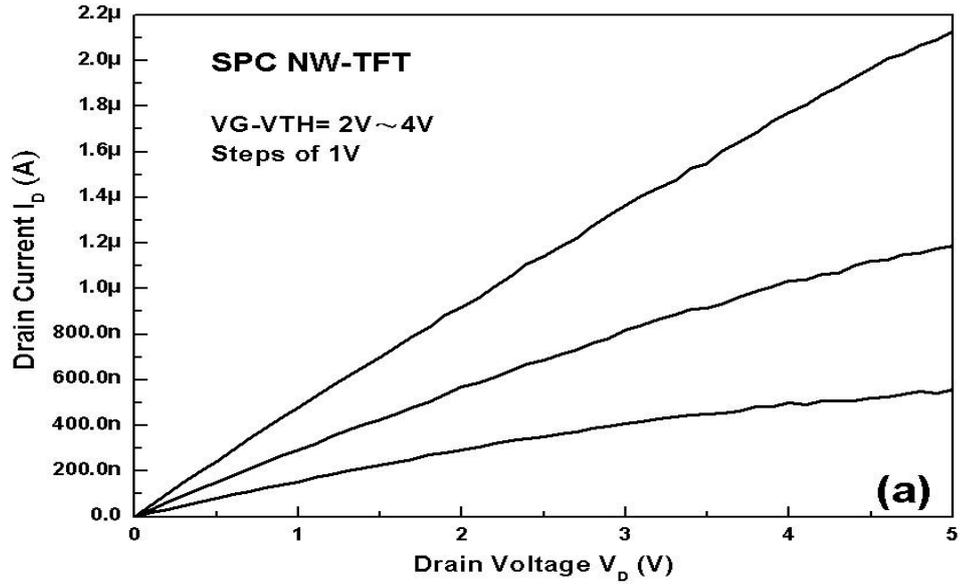


圖 4-5 三組元件的 I_D - V_D 驅動電流曲線圖

4.2 漏電流機制探討

TFT元件通常使用在主動矩陣液晶顯示器(AMLCD)上，因此在畫面要重新更新之前會因為漏電流的機制，而讓畫面產生殘影等缺點。而一般的漏電流機制如圖4-6所示，可分為三種：(1)thermionic emission (2)thermionic field emission (3)pure tunneling。在汲極電壓較低的操作情形下，主要漏電流的來源是靠汲極空乏區中的thermionic emission機制所產生。當汲極電壓升高時，漏電機制轉而由thermionic field emission所貢獻。而當汲極電壓繼續提高後，能隙(energy bandgap, E_g)間距減少，此時漏電由pure tunneling所主導。在關閉狀態下(off state)隨著閘極電壓越負，漏電流隨著上升，這是因為閘極所施加的負偏壓越大，致使通道與汲極端的界面空乏區能隙減小，穿遂效應更加明顯，pure tunneling漏電流因而提高。

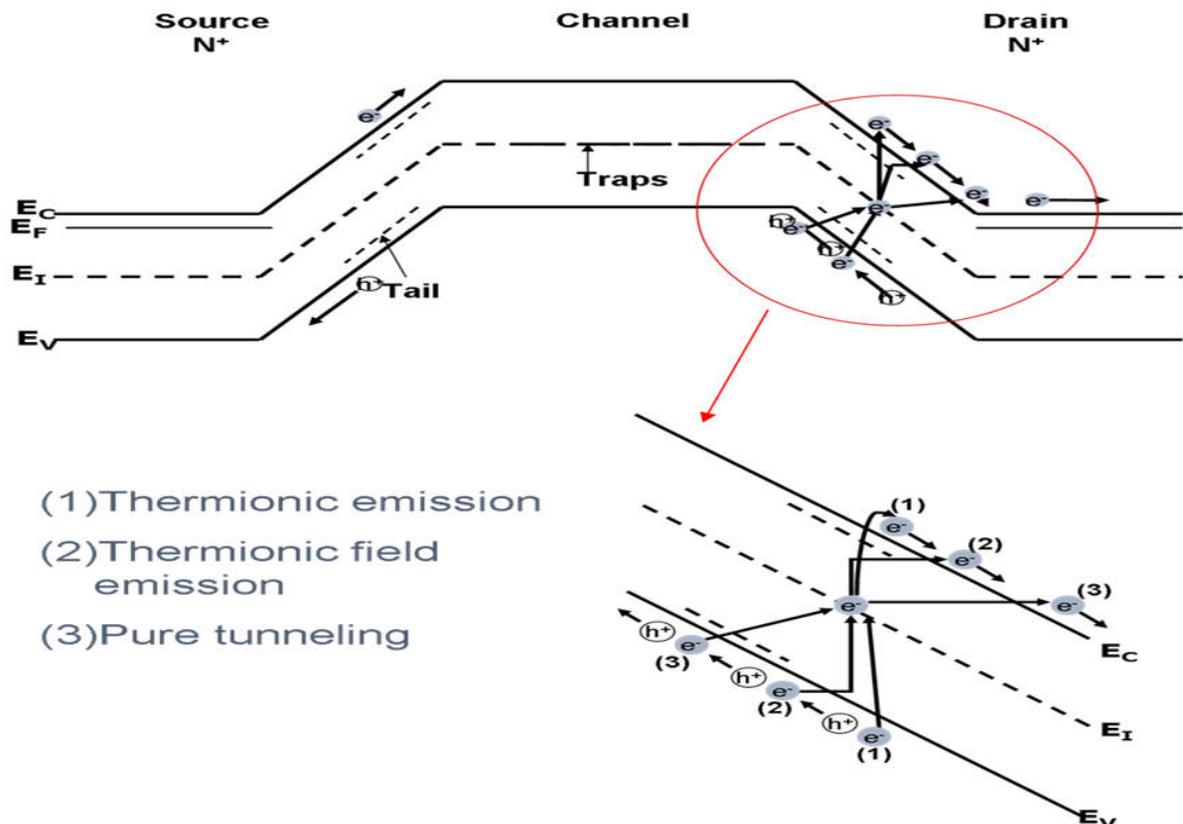


圖 4-6 一般的漏電流機制示意圖

漏電流大小又與晶界的捕陷密度(trap state density, N_t)有關，當晶界的捕陷密度變大時漏電流也相對變大。而在LTFS的複晶矽中，有兩種缺陷與捕陷密度(N_t)有關，分別為晶界缺陷和鎳金屬殘留的相關缺陷。而晶界缺陷可藉由NILC的技術去改善SPC的缺點；且鎳金屬殘留的相關缺陷，是因為NILC時鎳會被針狀

(needlelike)結晶間的晶界及缺陷(defect)所陷捕(trap)，並於矽能隙中產生深層能階(deep level)。這些深層能階會致使元件操作在關閉狀態(off state)時，當 V_D 的電壓越大，能帶受到拉扯，使得熱離子場發射(thermionic field emission)與穿隧(tunneling)這兩種效應，會藉由缺陷輔助穿隧(trap-assisted tunneling)現象的產生，而使得漏電流提高，如圖 4-7 所示。因此，對於GLIP NW-TFT元件經由捉聚作用，使得晶界上鎳金屬以及鎳的矽化物的殘留量降低，而使得GLIP NW-TFT元件有較低的漏電流。

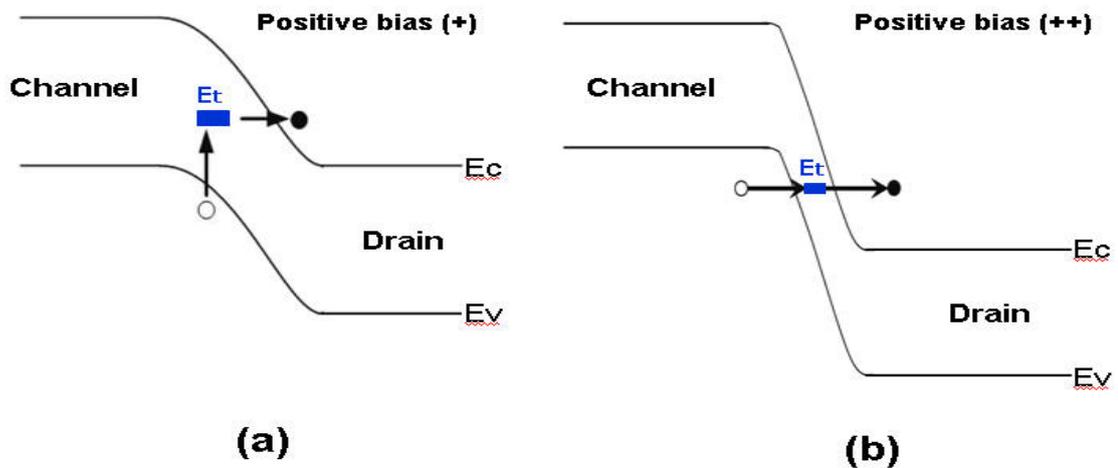


圖 4-7 缺陷輔助穿隧示意圖 (a)thermionic field emission
(b)tunneling

由於本論文所研究的奈米線薄膜電晶體元件結構具有其特有的佈局，所以在閘極與汲極重疊區域(gate-to-drain overlap region)，會有漏電流的產生，如圖4-8 所示。此區域所產生的漏電流為閘極引發汲極漏電流(gate induced drain leakage, GIDL)。當閘極電壓操做在持續加大的負偏壓時(也就是off state)，在重疊區域的汲極受到空乏(depletion)，加上汲極又外加一個正電位，垂直電場加大，兩邊能帶受到拉扯，將會在汲極區域產生由價帶穿隧到導帶(band-to-band tunneling)的 I_{GIDL} 漏電流(如圖4-9)。所以經過量測後發現，在off state時，當重疊區域越大時， I_{GIDL} 也就越高，如圖4-10所示。

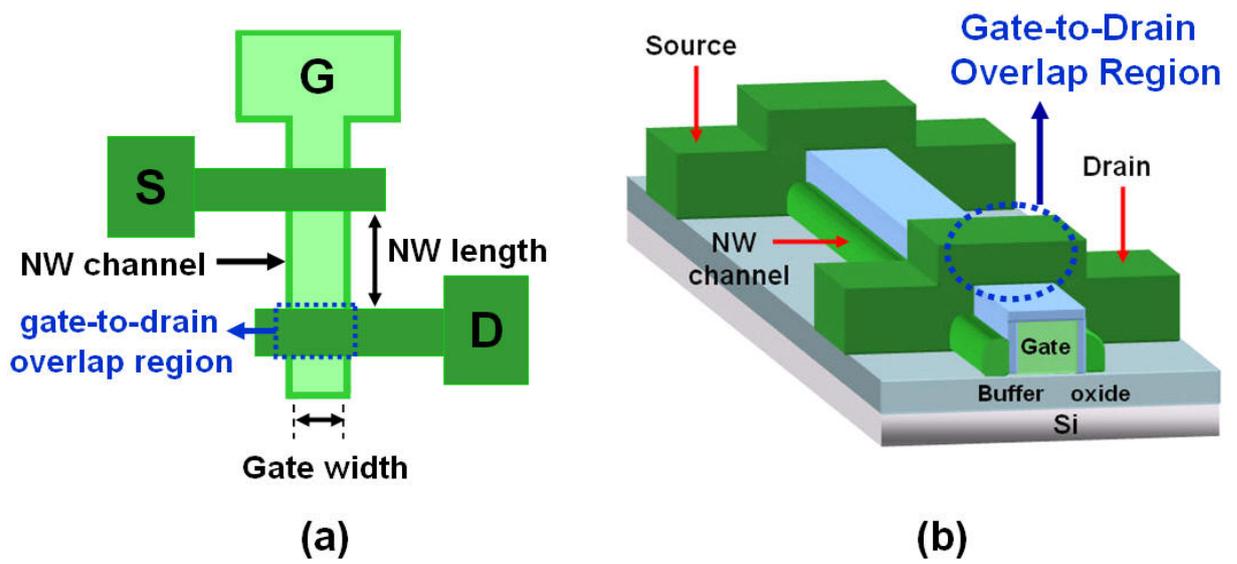


圖 4-8 閘極與汲極重疊的漏電流產生區域 (a)上視圖 (b)截面結構圖

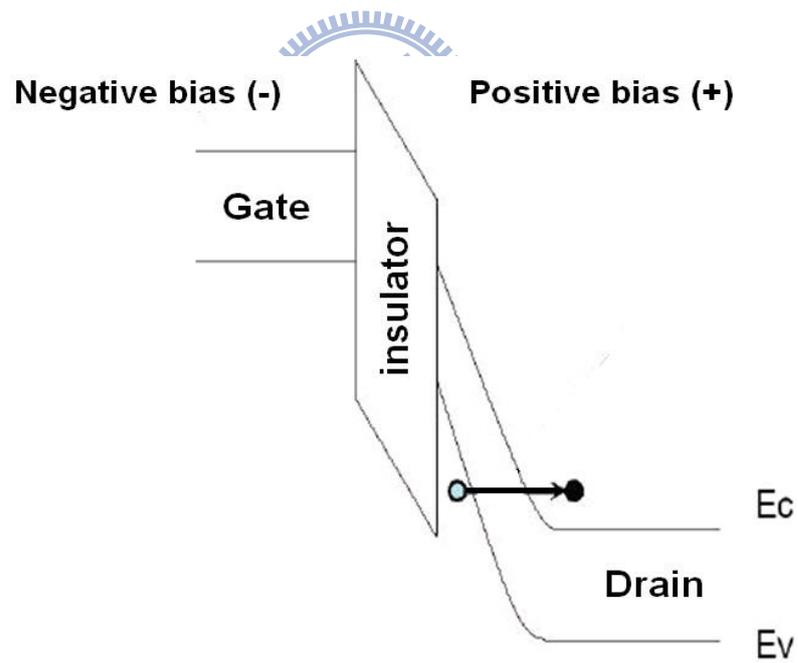


圖 4-9 I_{GIDL} 偏壓下的能帶圖

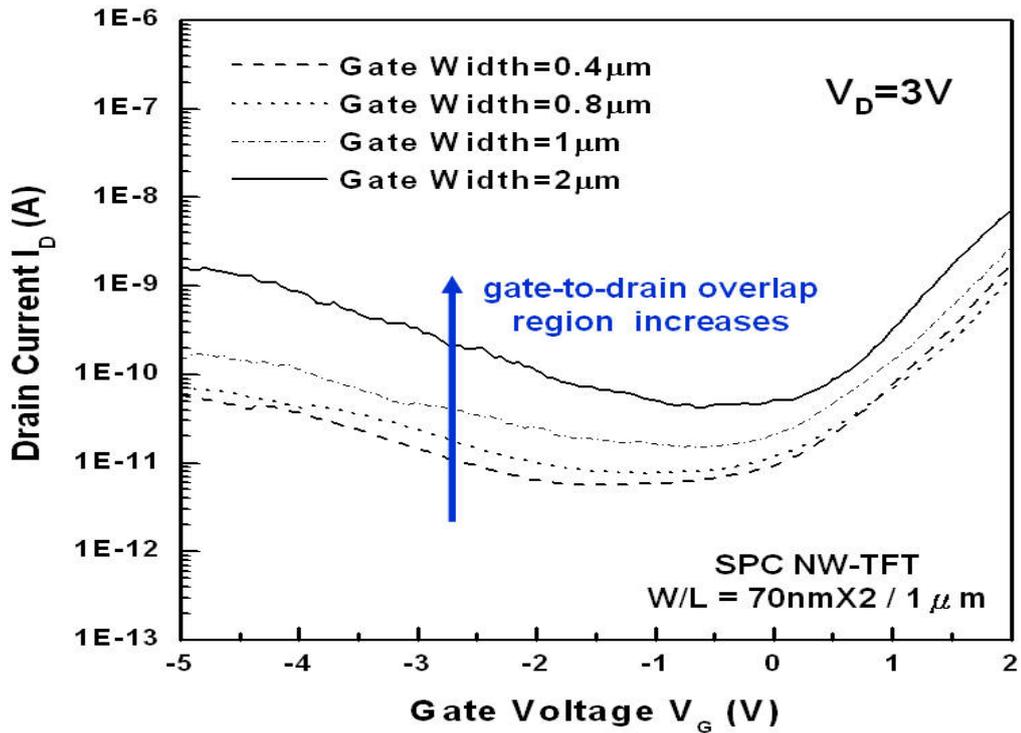


圖 4-10 在不同的重疊區域下的 I_{GIDL}

4.3 氮電漿鈍化處理對元件的影響

在複晶矽薄膜電晶體中，由於通道中的晶界處 (grain boundary) 有許多的缺陷 (trap) 及懸鍵 (dangling bonds)，因此傳導中的載子必須克服晶界的位能障，元件才能順利的工作。且通道中的缺陷越多，導通電流會越小，漏電流也會越高。因此，我們將使用 PECVD 去利用氮 (NH_3) 電漿鈍化處理的方法 (製程參數如表 4-2)，快速的修補懸鍵，以降低通道中的缺陷。我們觀察圖 4-11 之結果，GLIP NW-TFT 晶界處的懸鍵在經電漿修補處理 20min 後之奈米線通道，其電性確實可顯著地改善，例如：較低之起始電壓、較陡直之次臨界擺幅、較小之漏電流和較高的開關電流比等表現。一些較詳盡之相關電性參數比較如表 4-3 所示。

表 4-2 NH_3 電漿鈍化處理的製程參數

NH_3 (sccm)	RF Power (w)	操作溫度($^{\circ}\text{C}$)	壓力(mtorr)
700	200	300	300

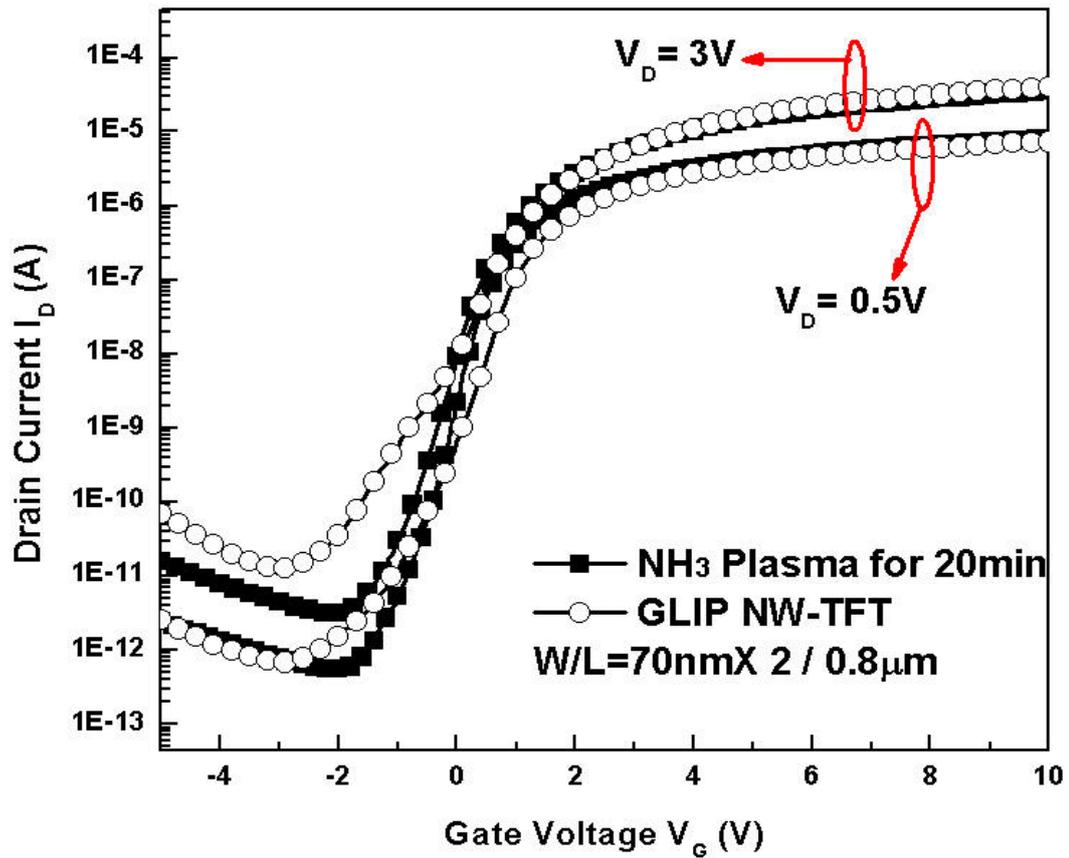


圖4-11 GLIP NW-TFT經電漿處理前後之 I_D - V_G 轉移特性曲線圖

表 4-3 GLIP NW-TFT 經電漿處理前後之電性比較

W/L=70nm×2 / 0.8μm	GLIP NW-TFT	NH3 Plasma 20 min
Mobility (cm ² /V-s) @V _D =0.5V	143	153
Subthreshold slope (mV/dec) @V _D =0.5V	362	273
Threshold voltage (V) @ V _D =0.5V	0.6	0.25
I _{ON} /I _{OFF} ratio (10 ⁶) @ V _D =3V	3.1	11.12
I _{OFF_min} (pA) @ V _D =3V	12.71	3.13

第五章、總結與未來工作

5.1 總結

本實驗首先我們研究了一種簡易及有效的鎳捉聚方式，藉由退火後濃度梯度的擴散及熱力學上的因素，使得NILC複晶矽中殘餘鎳能成功的穿過奈米厚度的chemical oxide捕捉至上層的非晶矽捉聚層。且在移除非晶矽捉聚層時，chemical oxide即可當作蝕刻停止層，防止蝕刻液繼續往下蝕刻。且從SEM的觀察中，可以發現到捉聚後聚集在晶界的NiSi₂蝕刻孔洞明顯減少，而由SIMS所偵測到捉聚後的鎳濃度也明顯的降低，尤其又以在非晶矽捉聚層內摻雜磷(GLIP)再去退火後的捉聚效果最好。

再來，我們利用了一個簡易及低成本的方法去製作 NILC NW-TFT、GLIP NW-TFT 及 SPC NW-TFT 三組奈米線通道元件，我們可以發現經由本文所提出的鎳捉聚方法所製備出來的 GLIP NW-TFT，除了原本就較少的晶界缺陷外，也降低了鎳金屬以及鎳的矽化物的殘留量，所以在相對於 NILC NW-TFT，GLIP NW-TFT 的臨界電壓明顯會有一正飄移的現象，而且有較低的漏電流、較低的捕陷密度、較高的開關電流比以及較佳的臨界電壓值均勻性及漏電流值均勻性。而相對於 SPC NW-TFT，GLIP NW-TFT 的載子遷移率、次臨界擺幅以及輸出電流驅動能力，都明顯優於有較多晶界缺陷的 SPC NW-TFT。

然後，我們探討了本實驗的漏電流機制，主要為晶界缺陷與鎳金屬殘留的相關缺陷所產生的缺陷輔助穿隧(trap-assisted tunneling)漏電流以及閘極與汲極重疊區域所產生的I_{GIDL}漏電流。因此，對於GLIP NW-TFT經由捉聚作用，使得晶界上鎳金屬以及鎳的矽化物的殘留量降低，而使得GLIP NW-TFT有較低的缺陷輔助穿隧漏電流。而I_{GIDL}漏電流，經過量測後我們發現，在off state時，當閘極的寬度越大，閘極與汲極重疊區域也會越大，I_{GIDL}漏電流也就會越高。

最後，我們利用氨(NH₃)電漿鈍化處理的方法，去快速的修補懸鍵，以降低通道中的缺陷。我們可以觀察到，GLIP NW-TFT晶界處的懸鍵在經電漿修補處理20min後之奈米線通道，其電性確實可顯著地改善，例如：較低之起始電壓、較陡直之次臨界擺幅、較小之漏電流和較高的開關電流比等表現。

5.2 未來工作

1. 可在閘極與汲極重疊區域中，於閘極與氧化層之間，加入一層額外的氮化矽，藉此可降低閘極與氧化層交界處的電場強度，以有效減少I_{GIDL}漏電流。

2. 使用氟(F)電漿鈍化的方式，因為Si-F的鍵結能(bonding energy)大於Si-H的鍵結能，因此較穩定，且氫離子較易產生熱載子效應。



參考文獻

- [1] Ta-Chuan Liao, Shih-Wei Tu, Ming H. Yu, Wei-Kai Lin, Cheng-Chin Liu, Kuo-Jui Chang, Ya-Hsiang Tai, and Huang-Chung Cheng, “Novel Gate-All-Around Poly-Si TFTs With Multiple Nanowire Channels,” *IEEE Electron Device Lett.*, vol. 29, no. 8, pp.889-891, Aug. 2008.
- [2] Shih-Ching Chen, Ting-Chang Chang, Po-Tsun Liu, Yung-Chun Wu, Po-Shun Lin, Bae-Heng Tseng, Jang-Hung Shy, S. M. Sze, Chun-Yen Chang, and Chen-Hsin Lien, “A Novel Nanowire Channel Poly-Si TFT Functioning as Transistor and Nonvolatile SONOS Memory,” *IEEE Electron Device Lett.*, vol. 28, no. 9, pp. 809-811, Sep. 2007.
- [3] Pradeep R. Nair, Muhammad A. Alam, “Design Considerations of Silicon Nanowire Biosensors,” *IEEE Trans. Electron Device*, vol. 54, no. 12, pp. 3400-3408, Dec. 2007.
- [4] F.S.Chien, C.L.Wu, Y.-C.Chou, T.T.Chen, S. Gwo, “Nanomachining of(110)-oriented silicon by scanning probe lithography and anisotropic wet etching,” *Appl. Phys. Lett.*, vol. 75, no. 16, pp. 2429-2431, Oct. 1999.
- [5] Yuzhen Shen, Daniel Jakubczyk et al. “Two-photon fluorescence imaging and spectroscopy of nanostructured organic materials using a photon scanning tunneling microscope,” *Appl. Phys. Lett.*, vol. 76, no. 1, pp. 1-3, Jan. 2000.
- [6] 游凱翔, “矽質奈米導線元件的製作技術與特性,” 博士論文/92, 國立交通大學電子工程所
- [7] Peter R. Krauss and Stephen Y. Chou, “Nano-compact disks with 400 Gbit/in² storage density fabricated using nanoimprint lithography and read with proximal probe,” *Appl. Phys. Lett.*, vol. 71, no. 21, pp. 3174-3176, Nov. 1997.
- [8] R.S.Wagner and W.C.Ellis , “Vapor-Liquid-Solid Mechanism of single crystal growth,” *Appl. Phys. Lett.*, vol. 4, no. 5, pp. 89-90, Mar. 1964.

- [9] H.F. Yan, Y.J. Xing, Q.L. Hang, D.P. Yu, Y.P. Wang, J. Xu, Z.H. Xi, S.Q. Feng, “Growth of amorphous silicon nanowires via a solid–liquid–solid mechanism,” *Chem. Phys. Lett.*, vol. 323, pp. 224-228, Jun. 2000.
- [10] D.P. Yu, Y.J. Xing, Q.L. Hang, H.F. Yan, J. Xu, Z.H. Xi, S.Q. Feng, “Controlled Growth of Oriented Amorphous Silicon Nanowires via a Solid-Liquid-Solid (SLS) Mechanism,” *Physica E9*, pp. 305-309, 2001.
- [11] Xihong Chen 1, Yingjie Xing 1, Jun Xu, Jie Xiang, Dapeng Yu, “Rational growth of highly oriented amorphous silicon nanowire films,” *Chem. Phys. Lett.*, vol. 374, pp. 626-630, Jun. 2003.
- [12] 王木俊, 劉傳璽, “薄膜電晶體液晶顯示器原理與實務,” pp. 154
- [13] 戴亞翔, “TFT-LCD面板的驅動與設計,”
- [14] http://www.toppoly.com/Toppoly/tw/Technology/LTPS_Tech.asp
- [15] 林敬偉, “低溫多晶矽薄膜電晶體液晶顯示器技術,” 電子月刊, 第十卷第八期
- [16] <http://www.itri.org.tw/chi/dtc/>
- [17] L. Haji, P. Joubert, J. Stoemenos, and N. A. Economou, “Mode of growth and microstructure of polycrystalline silicon obtained by solid-phase crystallization of an amorphous silicon film,” *J. Appl. Phys.*, vol. 75, no. 8, pp. 3944-3952, Apr. 1994.
- [18] “LTPS TFT-LCD技術綜述,” 光電科技, No. 01, 2005/4
- [19] M.S. Haque, H.A. Naseem, and W.D. Brown, “Aluminum-induced crystallization and counter-doping of phosphorous-doped hydrogenated amorphous silicon at low temperatures,” *J. Appl. Phys.*, vol. 79, no. 10, pp. 7529-7536, May 1996.

- [20] L. Hultman, A. Robertsson, H. T. G. Hentzell, I. Engström, and P. A. Psaras, “Crystallization of amorphous silicon during thin-film gold reaction,” *J. Appl. Phys.*, vol. 62, no. 9, pp. 3647-3655, Nov. 1987.
- [21] S. Y. Yoon, K. H. Kim, C. O. Kim, J.Y. Oh and J. Jang, “Low temperature metal induced crystallization of amorphous silicon using a Ni solution,” *J. Appl. Phys.*, vol.82, no. 11, pp. 5865-5867, Dec. 1997.
- [22] F. A. Quli and J. Singh, “Transmission electron microscopy studies of metal-induced crystallization of amorphous silicon,” *Mater. Sci. Eng.*, vol. B67, pp. 139-144 , Dec. 1999.
- [23] Z. Jin, G. A. Bhay, M. Yeung, H. S. Kwok and M. Wong, “Nickel induced crystallization of amorphous silicon thin films,” *J. Appl.Phys.*, vol. 84, no. 1, pp.194-200, Jul. 1998.
- [24] T. Hempel, O. Schoenfeld and F. Syrowatka, “Needle-like crystallization of Ni doped amorphous silicon thin films,” *Solid State Commun.*, vol. 85, pp. 921-924, Mar. 1993.
- [25] S. W. Lee, Y. C. Jeon and S. K. Joo, “Pd induced lateral crystallization of amorphous Si thin films,” *Appl. Phys. Lett.*, vol. 66, no. 13, pp. 1671-1673, Mar. 1995.
- [26] S. W. Lee, B. I. Lee, T. K. Kim ,and S. K. Joo, “Pd₂Si-assisted crystallization of amorphous silicon thin films at low temperature,” *J.Appl. Phys.*, vol. 85, no. 10, pp. 7180-7184, May 1999.
- [27] E. A. Guliants, W. A. Anderson, L. P. Guo, and V. V. Guliants, “Transmission electron microscopy study of Ni silicides formed during metal-induced silicon growth,” *Thin Solid Films*, vol. 385, pp.74-80, Apr. 2001.

- [28] C. Hayzelden, and J.L. Batstone, "Silicide formation and silicide-mediated crystallization of nickel-implanted amorphous silicon thin films," *J. Appl. Phys.*, vol. 73, no. 12, pp. 8279-8289, Jun. 1993.
- [29] M. Cao, T. King, and K. Saraswat, "Determination of the densities of gap states in hydrogenated polycrystalline Si and Si_{0.8}Ge_{0.2} films," *Appl. Phys. Lett.*, vol. 61, no. 6, pp.672-674, Aug. 1992
- [30] G. Baccarani, B. Ricc'ò and G. Spadini, "Transport properties of polycrystalline silicon films," *J. Appl. Phys.*, vol. 49, no. 11, pp. 5565-5570, Nov. 1978.
- [31] M. M. Mandurah, K. C. Saraswat, C. R. Helms and T. I. Kamins, "Dopant segregation in polycrystalline silicon," *J. Appl. Phys.*, vol. 51, no. 11, pp. 5755-5763, Nov. 1980.
- [32] Shen-De Wang, Wei-Hsiang Lo, and Tan-Fu Lei, "CF₄ Plasma Treatment for Fabricating High-Performance and Reliable Solid-Phase-Crystallized Poly-Si TFTs," *Journal of The Electrochemical Society*, vol. 152, no. 9, pp. G703-G706, Jul. 2005.
- [33] S. M. Myers, M. Seibt, and W. Schröter, "Mechanisms of transition-metal gettering in silicon," *J. Appl. Phys.*, vol. 88, no. 7, pp. 3795-3819, Oct. 2000.
- [34] Gay N, Martinuzzi S, "Comparison of external gettering efficiency of phosphorus diffusion, aluminium-silicon alloying and helium implantation in silicon wafers," *Solid State Phenomena*, vol. 57-8, pp. 115-120, Oct. 1997.
- [35] http://www.arconet.com.tw/ssttpro/tech/tech_1.asp?id=119
- [36] S. Y. Yoon, N. Young, P. J. van der Zaag, and D. McCulloch, "High-Performance Poly-Si TFTs Made by Ni-Mediated Crystallization Through Low-Shot Laser Annealing," *IEEE Electron Device Lett.*, vol. 24, no. 1, pp. 22-24, Jan. 2003.

- [37] M. MIYASAKA, T. SHIMODA, K. MAKIHIRA, T. ASANO, Be la PECZ and J. STOEMENOS, “Structural Properties of Nickel Metal-Induced Laterally Crystallized Silicon Films and Their Improvement Using Excimer Laser Annealing,” *Jpn. J. Appl. Phys.*, vol. 42, pp.2592-2599, 2003.
- [38] S. Jagar, H. Wang, and M. Chan, “Design Methodology of the High Performance Large-Grain Polysilicon MOSFET,” *IEEE Trans. Electron Devices*, vol. 49, no. 5, pp. 795-801, May 2002.
- [39] S. D. S. Malhi, H. Shichijo, and H. W. Lam, “Characteristics and three-dimensional integration of MOSFETs in small-grain LPCVD polycrystalline silicon,” *IEEE Trans. Electron Devices*, vol. 32, no. 2, pp. 258-281, Feb. 1985.
- [40] I-Wei Wu, Tiao-Yuan Huang, Warren B. Jackson, Alan G. Lewis, and Anne Chiang, “Passivation kinetics of two types of defects in polysilicon TFT by plasma hydrogenation,” *IEEE Electron Device Lett.*, vol. 12, no. 4, pp. 181-183, Apr. 1991.
- [41] F. S. Wang, C. Y. Huang, H. C. Cheng, “Novel N₂O plasma passivation on polycrystalline silicon thin-film transistors,” *Materials Research Society Symposium Proceedings (Flat Panel Display Materials)*, vol. 424, pp. 177-181, Apr. 1996.
- [42] M. J. Tsai, F. S. Wang, K. L. Cheng, S. Y. Wang, M. S. Feng, and H. C. Cheng, “Characterization of H₂/N₂ plasma passivation process for poly-Si thin film transistors (TFTs),” *Solid-State Electronics*, vol. 38, no. 6, pp.1233-1238, Jun. 1995.
- [43] Cheng-Ming Yu, Horng-Chih Lin, Tiao-Yuan Huang, and Tan-Fu Lei, “H₂ and NH₃ Plasma Passivation on Poly-Si TFTs with Bottom-Sub-Gate Induced Electrical Junction,” *J. Electrochem. Soc.*, vol. 150, no. 12, pp. G843-G848, Nov. 2003.

- [44] H. C. Cheng, F. S. Wang , and C. Y. Huang, “Effects of NH₃ plasma passivation on N-channel polycrystalline silicon thin-film transistors,” *IEEE Trans. Electron Devices*, vol. 44, no. 1, pp. 64-68, Jan. 1997.
- [45] 楊子明、劉傳璽, “CMOS製程介紹,” e科技雜誌, vol. 58, pp. 31-40, Oct. 2005 .
- [46] Toshio Mizuki, Junko Shibata Matsuda, Yoshinobu Nakamura, Junkoh Takagi, and Toyonobu Yoshida, “Large Domains of Continuous Grain Silicon on Glass Substrate for High-Performance TFTs,” *IEEE Trans. Electron Devices*, vol. 51, no. 2, pp. 204-211, Feb. 2004.
- [47] Chen-Ming Hu, YewChung Sermon Wu, and Chi-Ching Lin, “Improving the Electrical Properties of NILC Poly-Si Films Using a Gettering Substrate,” *IEEE Electron Device Lett.*, vol. 28, no. 11, pp. 1000-1003, Nov. 2007.
- [48] Chih-Yuan Hou and YewChung Sermon Wu, “A Simple Method for Gettering of Nickel within the Ni-Metal-Induced Lateral Crystallization Polycrystalline Silicon Film ,” *Electrochem. Solid-State Lett.*, vol. 9, no. 7, pp. H65-H67, May 2006.
- [49] Chen-Ming HU and YewChung Sermon WU , “Gettering of Nickel within the Ni-Metal Induced Lateral Crystallization Polycrystalline Silicon Film through the Contact Holes ,” *Jpn. J. Appl. Phys.*, vol. 46, no. 48, pp. L1188-L1190, Dec. 2007.
- [50] Bau-Ming Wang and YewChung Sermon Wu , “Gettering of Ni from Nickel-Induced Lateral Crystallization Silicon Using Amorphous Silicon and Chemical Oxide,” *Electrochem. Solid-State Lett.*, vol. 12 , no. 2, pp. J14-J16, Dec. 2009.

- [51] Bau Ming Wang, Tzu-Ming Yang, Ching-Chieh Tseng, and YewChung Sermon Wu, "Using Chemical Oxide Layer to Getter Nickel inside Nickel-Metal-Induced Lateral Crystallization Polycrystalline Silicon," *ECS Trans.*, vol. 16, (TFT 9), pp. 193, Oct. 2008.
- [52] Shuyun Zhao et al., "Solution-based metal induced crystallized polycrystalline silicon films and thin-film transistors," *J Mater Sci: Mater Electron*, vol.18, pp.S117-S121, Mar. 2007.
- [53] Ji-Su Ahn et al., "The effect of dopants on the microstructure of polycrystalline silicon thin film grown by MILC method," *Journal of Crystal Growth*, vol. 290, pp. 379–383, May 2006.
- [54] A. L. Fripp, "Dependence of resistivity on the doping level of polycrystalline silicon," *J. Appl. Phys.*, vol. 46, no. 3, pp. 1240-1244, Mar. 1975.
- [55] T. I. kamins, "Hall mobility in chemically deposited polycrystalline silicon," *J. Appl. Phys.*, vol. 42, no. 11, pp. 4357-4365, Oct. 1971.
- [56] J. Levinson et al., "Conductivity behavior in polycrystalline semiconductor thin film transistors," *J. Appl. Phys.*, vol. 53, no. 2, pp. 1193-1202, Feb. 1982.
- [57] R. E. Proano, R. S. Misage, and D. G. Ast, "Development and electrical properties of undoped polycrystalline silicon thin-film transistors," *IEEE Trans. Electron Devices*, vol. 36, no. 9, pp. 1915-1922, Sep. 1989.
- [58] Y. Lee, S. Bae, and S. J. Fonash, "High-performance nonhydrogenated nickel-induced laterally crystallized P-channel poly-Si TFTs," *IEEE Electron Device Lett.*, vol. 26, no. 12, pp.900-902, Dec. 2005.