

國立交通大學

理學院應用科技學程

碩士論文

以溶膠凝膠法製備含二氧化鋯薄膜電容之  
特性研究

Study on the Property of Zirconium Oxide Thin Film Based  
Capacitors by Sol-Gel Method

研究生：戴蕙娟

指導教授：柯富祥 博士

中華民國 101 年一月

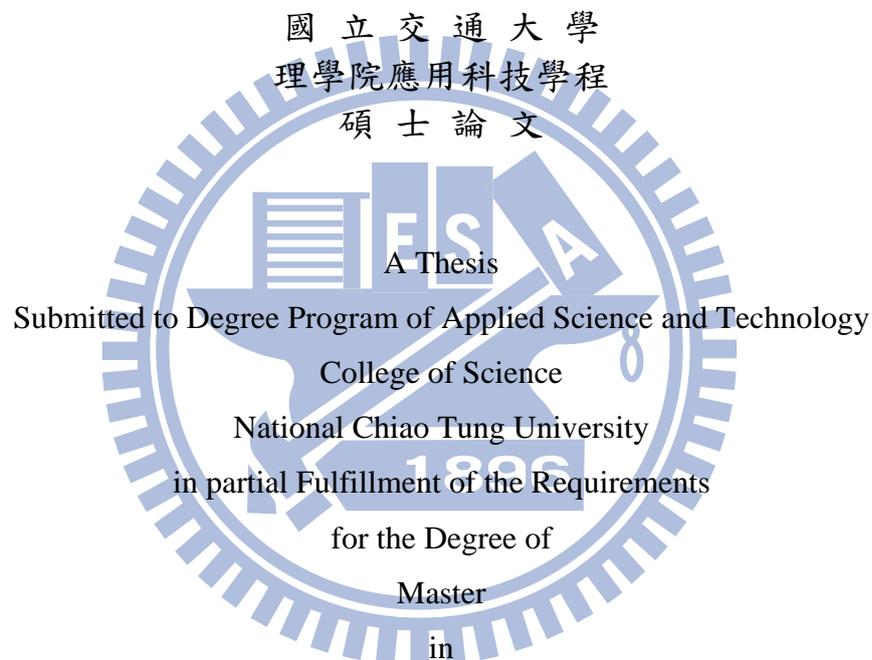
以溶膠凝膠法製備含二氧化鋯薄膜電容之特性研究  
Study on the Property of Zirconium Oxide Thin Film Based Capacitors by  
Sol-Gel Method

研究生：戴蕙娟

Student : Hui-Chuan Tai

指導教授：柯富祥 博士

Advisor : Dr. Fu-Hsiang Ko



Degree Program of Applied Science and Technology

January 2012

Hsinchu, Taiwan, Republic of China

中華民國 101 年一月

# 以溶膠凝膠法製備含二氧化鋯薄膜電容之 特性研究

研究生：戴蕙娟

指導教授：柯富祥 博士

國立交通大學 應用科技所 碩士班



傳統上，半導體廠是以物理氣相沉積法(PVD)或化學氣相沉積(CVD)鍍膜，但此種沉積方法所遭遇到的困難為薄膜均勻度不佳，或製備成本太高。隨後發展的原子層沉積(ALD)技術具有大面積、高階梯覆蓋率、高厚度均勻性、低溫製程及原子級膜厚控制等優點，可以有效解決超薄高介電材料鍍膜需求，但成本仍然過高。

我們在此提出以溶膠-凝膠法(sol-gel method)，利用四氯化鋯( $ZrCl_4$ )當前驅物來製備二氧化鋯( $ZrO_2$ )薄膜。溶膠-凝膠技術有以下的特點：使用溶膠-凝膠法製備薄膜，會先將所有的前驅物溶解在液體中形成真溶液，此時反應物在溶液中是以分子級混合，所以會得到高

度均勻的薄膜；另外由於是在低溫環境下進行製程，可以避免一些易揮發成分元素的散失及高溫製程時所產生不必要的擴散現象。

在這篇論文中，先將前驅物四氯化銦粉末溶解在去離子水(DI water)中，產生二氧化銦化合物後，以旋塗(spin coating)方式覆蓋在矽基板上，過程中設計了以下的四個條件：薄膜後氧電漿處理、薄膜旋塗速率、薄膜前氧電漿處理、不同薄膜濃度共四個實驗來觀察薄膜表面粗糙度的變化。再藉由原子力顯微鏡(AFM)和掃描式電子顯微鏡(SEM)的觀察薄膜表面型態，以找出無裂痕、連續且無結晶的二氧化銦薄膜，並決定二氧化銦薄膜的最佳製成參數。我們也進一步製備金屬-絕緣體-金屬(metal-insulator-metal)電容並量測其 I-V 與 C-V 特性，利用電容公式  $C = \epsilon\epsilon_0 \frac{A}{d}$  算出介電常數 k 值。這些薄膜的材料特性和元件的電性表現證明了在低溫的電漿製程下，也可展現出電容的效能。

關鍵字：

高介電(High k)材料、溶膠-凝膠法(Sol-Gel)、二氧化銦、氧電漿處理、MIM 電容

# Study on the Property of Zirconium Oxide Thin Film Based Capacitors by Sol-Gel Method

Student : Hui-Chuan Tai

Advisor : Dr. Fu-Hsiang Ko

Institute of Applied Science and Technology

National Chiao-Tung University

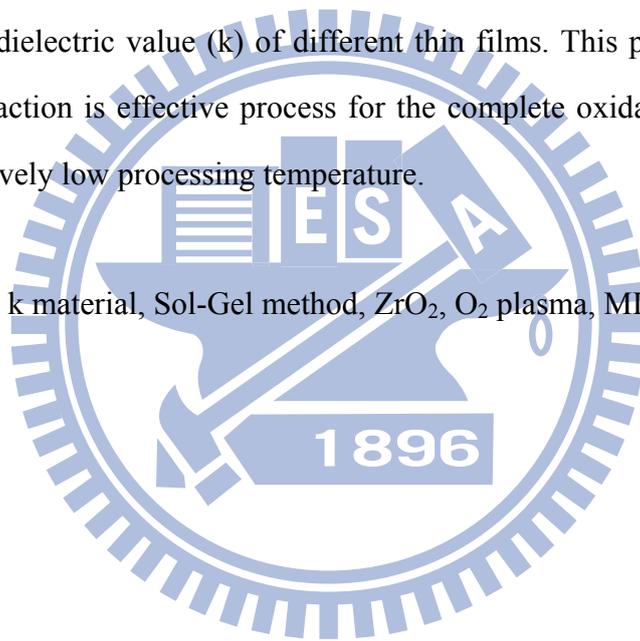
## Abstract

Traditionally, the semiconductor factory prepared thin films by physical vapor deposition (PVD) or chemical vapor deposition (CVD). But those methods have involved several problems, such as the uniformity of the thin films and the preparation cost. The next technology which called atomic layer deposition (ALD) has the advantages of large area and stepped coverage fraction, good thickness and uniformity, low temperature process and controllable film thickness under atom grade. ALD can also meet the necessary of ultra thin high k material film preparation, but the cost is also too high.

We provide sol-gel method in this paper, and use  $ZrCl_4$  powder as precursor to prepare  $ZrO_2$  thin films. Sol-gel method has the advantages as below: all precursors are dissolved in solvent completely and formed molecular grade materials, so can prepare the good uniformity thin films; besides, the low temperature process can avoid the loss of volatile elements and the diffusion phenomenon caused by high temperature process.

In this paper,  $ZrCl_4$  powder is dissolved in DI water and then formed  $ZrO_2$  compounds. Subsequently, film is spun coated on the silicon substrate. We designed four experiments including:  $O_2$  plasma treatment on the thin film, the spin rate of spin coating,  $O_2$  plasma treatment on silicon substrate, and different thin film concentrations. The surface morphology of the  $ZrO_2$  film is investigated by using scan electron microscope (SEM) and atomic force microscope (AFM) to find out the flat and smooth thin films. We also prepared the metal-insulator-metal (MIM) capacitor according to the best thin film parameters. I-V and C-V measurements of the films are realized by MIM capacitors. From the experimental results and formula as  $C = \epsilon\epsilon_0 \frac{A}{d}$ , we calculate the dielectric value (k) of different thin films. This paper indicates that the  $O_2$  plasma reaction is effective process for the complete oxidation of the sol-gel precursor at relatively low processing temperature.

Keywords : High k material, Sol-Gel method,  $ZrO_2$ ,  $O_2$  plasma, MIM capacitor.



## 誌謝

論文的完成，首先要感謝我的指導教授 柯富祥博士的提攜與接納，讓我有機會接觸到工學院的研究領域。由於大學時代是管理科系背景，進入科學園區就業後，有感於專業領域匱乏，一直思考如何提升自己的競爭力以求適應日新月異的科技產業。在進入交大碩士在職專班就讀後，指導教授的尋找著實讓我煩惱好一陣子，但與柯老師懇談後，很高興老師願意幫忙，並規劃研究的方向與進度。

再者，我要特別對奈米所博士班的朱銘清學長致上深深的謝意。學長對於學弟妹們總是以母雞帶小雞的方式，不厭其煩的帶領我們進行實驗，從實驗前的參考文獻尋找，到實驗中的異常狀況，與實驗後的結果討論，銘清學長總是提供寶貴的意見，讓我在就讀研究所期間，累積不少專業知識，尤其是論文的對校，更是銘清學長犧牲自己沉重的課業壓力，抽空逐頁幫我修改，心中的感念，實在是筆墨難以形容。

因為是在職進修，所以常常在工作與課業間奔走，在此要感謝公司同事 嘉恩、光明、賢德、碩慶、立民，以及長官 陳智鴻經理、吳維哲副理的幫忙與打氣，讓我可以留職停薪下完成論文的撰寫。

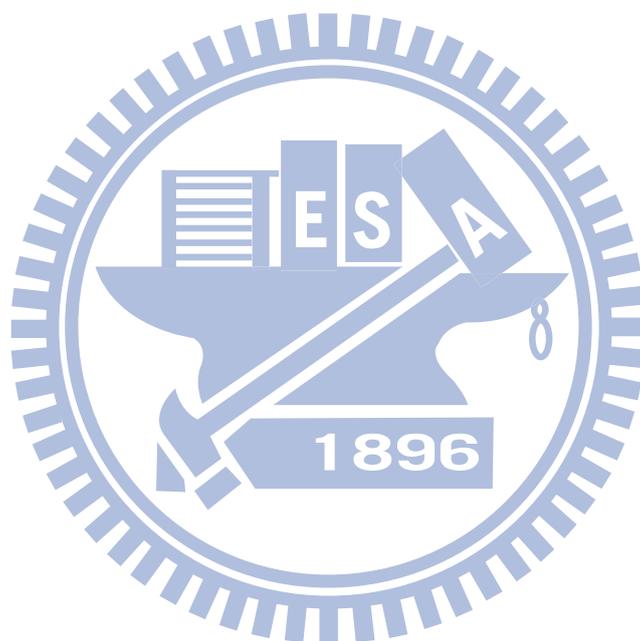
另外我也要謝謝一起就讀應科所的同學 定弘，他無私地提供自己論文撰寫和口試的經驗，讓我可以臨危不亂的完成口試流程，為自己碩士畢業畫下完美的句點。

謝謝所有幫助過我的朋友，因為你們的幫忙，讓我順利完成碩士學業，在未來的生涯中，我會期勉自己努力奉獻棉薄之力，貢獻社會。

# 目錄

中文摘要.....	I
英文摘要.....	III
致謝.....	V
目錄.....	VI
表目錄.....	IX
圖目錄.....	X
第一章、介紹.....	1
1-1、前言.....	1
1-2、高介電材料的發展.....	4
1-3、高介電材料的沉積方法.....	11
1-4、高介電材料的候選.....	16
1-5、二氧化鋯的應用.....	19
1-5-1、固體電解質.....	19
1-5-2、催化.....	19
1-5-3、介電質.....	19
第二章、製程方法與分析機台.....	22
2-1、溶膠-凝膠法介紹.....	22
2-1-1、溶膠-凝膠製程.....	22
2-1-2、溶凝膠法之定義.....	24
2-1-3、酸和鹼催化機制與膠的組織.....	24
2-1-4、溶膠-凝膠技術的應用.....	29
2-1-5、以溶膠-凝膠製成二氧化鋯的應用.....	29
2-2、SEM(掃描式電子顯微鏡).....	30
2-2-1、SEM 介紹.....	30
2-2-2、SEM 分析.....	32

2-3、EDS(能量散射光譜儀).....	33
2-3-1、EDS 介紹.....	33
2-3-2、EDS 分析原理.....	34
2-4、AFM(原子力顯微鏡).....	37
2-5、TEM(穿透式電子顯微鏡).....	38
2-6、電性量測.....	40
第三章、實驗方法.....	41
3-1、實驗設計與目的.....	41
3-2、實驗主要儀器.....	41
3-2-1、製程儀器.....	41
3-2-2、電性量測儀器.....	42
3-3、實驗步驟.....	45
3-3-1、二氧化鋯溶液配製.....	45
3-3-2、二氧化鋯之薄膜試片製作.....	45
3-3-3、MIM 元件製作.....	47
3-4、結果與討論.....	50
3-4-1、二氧化鋯薄膜成分分析.....	50
3-4-2、四氯化鋯溶液之濃度對薄膜平整度的效應.....	53
3-4-3、薄膜粗糙度研究.....	55
3-4-4、二氧化鋯薄膜之厚度.....	70
3-4-5、電流-電壓特性(I-V curve).....	74
3-4-6、電容-電壓特性(C-V curve).....	76
3-4-7、不同有機溶劑 MIM 結構之電性.....	77
第四章、結論.....	80
4-1、薄膜的物性方面.....	80
4-2、MIM 元件的電性方面.....	80
4-3、未來發展的趨勢.....	81



# 表目錄

表 1：ITRS 的 DRAM 發展藍圖.....	3
表 2：ALCVD、PVD、Sol-gel 之優缺點比較.....	15
表 3：各種高介電材的基本特性.....	18
表 4：二氧化鋯的特質.....	21
表 5：電子顯微鏡能為我們提供的訊息.....	31
表 6：系統規格及型號.....	44
表 7：TEM 量測薄膜厚度彙整表.....	73
表 8：依據電容值計算介電係數.....	79



# 圖目錄

圖 1：電晶體相關的各项主要創新技術發展的預估時程.....	3
圖 2：Intel 的技術藍圖 .....	7
圖 3：不同氧化層厚度在外加偏壓下對閘極漏電流關係圖.....	8
圖 4：各種材質所能得到的驅動電流.....	8
圖 5：等效閘極氧化層厚度趨勢.....	9
圖 6：各種介電材料之能隙寬度對其介電常數值的關係圖.....	9
圖 7：能帶偏移量計算結果.....	10
圖 8：PVD 系統的簡圖.....	13
圖 9：ALD 製程原理.....	14
圖 10：ALD 成長二氧化鈦機制簡圖.....	14
圖 11：溶膠-凝膠製程.....	23
圖 12：浸漬塗佈.....	26
圖 13：旋轉塗佈.....	27
圖 14：電子束與試片的相互作用.....	31
圖 15：EDS 分析光譜圖.....	33
圖 16：試片產生的能量.....	34
圖 17：連續 X-ray .....	35
圖 18：特性 X-ray .....	35
圖 19：EDS 構造示意圖.....	36
圖 20：原子之間的交互作用力.....	37
圖 21；電子顯微鏡基本構造圖.....	39
圖 22：系統外觀.....	44
圖 23：二氧化鋯之薄膜樣品製作流程圖.....	46
圖 24：以 $ZrO_2$ 作為絕緣層之 MIM 製作流程圖 .....	48
圖 25：(a)以 $ZrO_2$ 作為絕緣層之 MIM 結構圖(b)實際樣品(c)樣品局部放大.....	49

圖 26 : EDS 測量 Zr 成分之實驗步驟 .....	51
圖 27 : EDS 結果 .....	52
圖 28 : OM&SEM 觀察 ZrO <sub>2</sub> 薄膜之實驗步驟 .....	53
圖 29 : 不同濃度 ZrO <sub>2</sub> 薄膜之型態觀察 .....	54
圖 30 : AFM 觀察不同時間氧電漿處理 ZrO <sub>2</sub> 薄膜之實驗步驟 .....	55
圖 31 : No O <sub>2</sub> plasma 之 AFM 分析圖 .....	56
圖 32 : O <sub>2</sub> plasma × 20 s 之 AFM 分析圖 .....	57
圖 33 : O <sub>2</sub> plasma × 40 s 之 AFM 分析圖 .....	58
圖 34 : O <sub>2</sub> plasma × 60 s 之 AFM 分析圖 .....	59
圖 35 : AFM 觀察不同旋塗速率下 ZrO <sub>2</sub> 薄膜之實驗步驟 .....	60
圖 36 : 1000 rpm 之 AFM 分析圖 .....	61
圖 37 : 2000 rpm 之 AFM 分析圖 .....	62
圖 38 : 3000 rpm 之 AFM 分析圖 .....	63
圖 39 : AFM 觀察有無氧電漿處理 ZrO <sub>2</sub> 薄膜之實驗步驟 .....	64
圖 40 : 旋塗 ZrO <sub>2</sub> 薄膜前未施以氧電漿處理之 AFM 分析圖 .....	65
圖 41 : 旋塗 ZrO <sub>2</sub> 薄膜前施以氧電漿處理之 AFM 分析圖 .....	66
圖 42 : AFM 比較更低濃度 ZrO <sub>2</sub> 薄膜之實驗步驟 .....	67
圖 43 : 1.2% 之 AFM 分析圖 .....	68
圖 44 : 0.6% 之 AFM 分析圖 .....	69
圖 45 : ZrCl <sub>4</sub> 在有機溶劑中溶解後形成 ZrO <sub>2</sub> 薄膜之厚度與濃度曲線 .....	71
圖 46 : 0.3% ZrCl <sub>4</sub> /H <sub>2</sub> O 之 TEM 圖 .....	71
圖 47 : 0.6% ZrCl <sub>4</sub> /H <sub>2</sub> O 之 TEM 圖 .....	72
圖 48 : 0.1% ZrCl <sub>4</sub> /EtOH 之 TEM 圖 .....	72
圖 49 : 0.3% ZrCl <sub>4</sub> /EtOH 之 TEM 圖 .....	73
圖 50 : 比較酒精與水製成 ZrO <sub>2</sub> 薄膜之 I-V curve .....	75
圖 51 : 比較酒精與水製成 ZrO <sub>2</sub> 薄膜之 C-V curve .....	76
圖 52 : 不同溶劑效應製成 ZrO <sub>2</sub> 薄膜之 I-V curve .....	77

圖 53：不同溶劑效應製成 $ZrO_2$ 薄膜之 C-V curve .....	78
圖 54：軟性電子產品.....	82
圖 55：ORTC 的半導體技術趨勢圖示 .....	83
圖 56：2007~2017 年間的軟性顯示器市場預測 .....	83



# 第一章、介紹

## 1-1、前言

2007 年的國際半導體技術藍圖(ITRS)預估未來直到 2022 年的半導體科技發展。有關電晶體微縮的預估，是運用 MASTAR 的模型，一個由意法半導體(STMicroelectronics)開發的金氧半場效電晶體元件模型。評量金氧半場效電晶體效能的重要參數是電晶體的內在延遲， $\tau=CV/I$ ，C 是電晶體的電容(包括寄生電容)； $V=V_{dd}$  是電源電壓； $I=I_{d,sat}$  是汲極飽和電流。電晶體內在延遲越小，代表效能越好。ITRS 對於電晶體微縮的主要目標是維持每年 17%的效能( $\tau$ )提升。圖 1 列出達成微縮目標所需要的創新技術。圖中 2016 到 2018 的虛線部份表示並不確定是否需要在當時導入新的傳導方法。

高介電係數(High-k)閘極介電層與金屬閘極於 2008 年導入，使用高介電係數閘極介電層可以降低閘極漏電流，因為提升了閘極氧化層的物理厚度，金屬閘極則可以降低多晶矽閘極導致的閘極空乏。大幅改善短通道效應的影響[1]。

要同時降低等效氧化物厚度(Equivalent Oxide Thickness, EOT)以及漏電流，ITRS 於 2009 年預測未來數年所需要的電容介電層材料以及電極板材料如表 1 所示。每一次的材料轉換都需要新的前導物以沉積薄膜在晶圓上。因此對於每個接續的 DRAM 世代，製造商必須開發新的材料供高階

覆蓋(Step Coverage)的製程使用，藉此彌補元件尺寸與電容縮小產生的問題。然而隨著利潤持續地下滑，在研發上必須開始進行嚴格的成本控管[3]。

生產實例部分，英特爾(Intel)於 2007 年首度披露了其 45 奈米製程技術細節，新製程將採用高介電材料製作電晶體閘極電介質，另外，電晶體閘極電極也採用全新的金屬材料組合來製作。英特爾邏輯技術開發部資深研究院士 Mark Bohr 稱，這種高介電閘極氧化層和金屬閘極的組合是「自 1960 年代多晶矽閘 MOS 電晶體問世以來，電晶體技術的最大變革，可確保摩爾定律再延續到未來 10 年。」

先進材料股份有限公司(ATMI)於 2010 年與夥伴 Intermolecular 攜手合作，加速鋇類的高介電介電層之開發與最佳化方案，以供下一世代的 DRAM 電容之用。

在國內，台灣積體電路股份有限公司(TSMC)於 2008 年宣佈將 28 奈米製程定位為全世代(Full Node)製程，同時提供客戶高介電閘極氧化層/金屬閘極(High-k Metal Gate, HKMG)，以及氮氧化矽(Silicon Oxynitride, SiON)材料兩種選擇，以支援不同產品的應用及效能需求。此一 28 奈米製程預計於民國九十九年(2010 年)第三季開始生產。2009 年宣佈達成 28 奈米 64Mb SRAM 試產良率，而且分別在 28 奈米高效能高介電閘極氧化層/金屬閘極(簡稱 28HP)、低耗電高閘極氧化層/金屬閘極(簡稱 28HPL)與低

耗電氮氧化矽(簡稱 28LP)等 28 奈米全系列製程驗證均完成相同的良率。

該公司亦同時宣佈將低耗電製程納入 28 奈米高介電層/金屬閘(High-k Metal Gate，HKMG)製程的技術藍圖[4]。

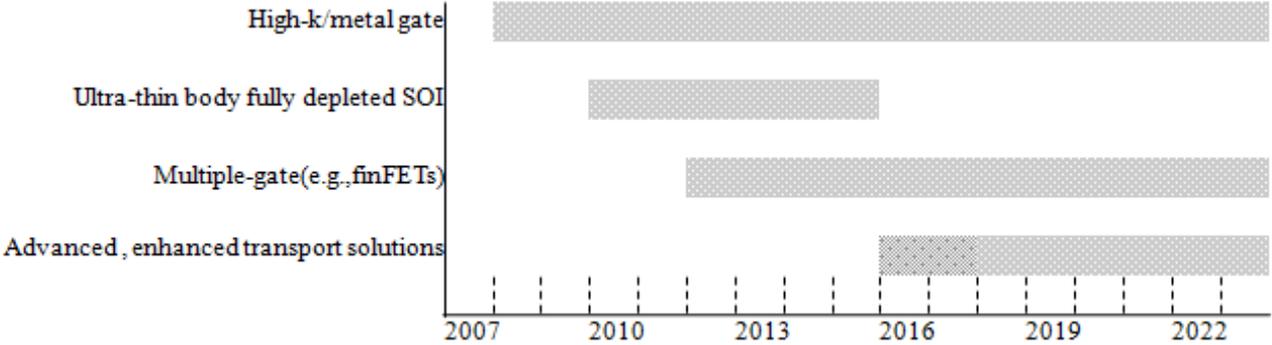


圖 1：電晶體相關的各项主要創新技術發展的預估時程 (來源：ITRS 2008 版)。

First year of IC production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
DRAM 1/2 pitch(nm)	52	45	40	36	32	28	25	22	20	18	16	14	13	11	10	8.9
Top electrode	TiN								Ru, RuO <sub>2</sub> , Ir, IrO <sub>2</sub>							
Capacitor Dielectric Material	ZrO <sub>2</sub> , HfO <sub>2</sub> , Ta <sub>2</sub> O <sub>5</sub>								TiO <sub>2</sub> , STO, BST							
Bottom electrode	TiN								Ru, RuO <sub>2</sub> , Ir, IrO <sub>2</sub>							

表 1：ITRS 的 DRAM 發展藍圖 (來源：ITRS 2009 版)

## 1-2、高介電材料的發展

自從 MOS 元件在 40 年前問世以來，閘極氧化層材料就是使用二氧化矽。直到 130 奈米製程時，等效氧化層厚度 (EOT) 一直是以每世代 0.7 倍的速率向下微縮。然而，當進展到 90 與 65 奈米製程時，過於稀薄的氧化層厚度導致嚴重的漏電問題使得閘極氧化層向下微縮的速率被迫減緩。詳見圖 2 與圖 3。導入高介電閘極氧化層與金屬閘極技術不但使得電晶體能像往常一樣微縮，而且由於降低了閘極漏電流，使得待機功率亦隨之降低進而達到省電的目的。以英特爾(Intel)的技術發展藍圖為例，在 45 奈米製程導入高介電係數介電層與金屬閘極技術，不但使得閘極氧化層能繼續微縮，而且使得閘極漏電流降低 10 倍以上。

從元件的觀點來看，導入高介電閘極氧化層與金屬閘極所造成的效能提升來自於兩個層面。由以下長通道的近似方程式(1)來看；

$$I_{on} = \frac{\mu_{eff} C_{ox,inv} W}{2 L} (V_{gs} - V_T)^2, \quad C_{ox,inv} = \frac{K \epsilon_0 A}{T_{inv}} \quad (\text{式 1})$$

符號  $A$  代表電容面積( $\text{cm}^2$ )； $\epsilon_0$  為真空中的介電係數； $K$  為介電材的介電常數； $T_{inv}$  為通道的薄膜厚度( $\text{cm}$ )

導入高介電係數介電層與金屬閘極後，由於高介電係數介電層的介電係數 ( $\epsilon_0$ ) 比  $\text{SiO}_2$  的介電係數高，而且使用金屬閘極能導致通道的薄膜厚度  $T_{inv}$  變小(抑制多晶矽的空乏效應)，這使得閘極電容提升，因而導致驅動電流增加。

然而，即使元件的驅動電流增加，高時脈下的性能反而會因閘極電容變大而變差。為了降低使用高介電閘極氧化層與金屬閘極的負面影響，必須同時減低電晶體的閘極長度。如同圖 4 所示，由於本質上高介電閘極氧化層與金屬閘極對靜電的控制優於 Poly-Si/SiON，降低使用高介電閘極氧化層與金屬閘極而產生的負面影響是很容易實現的[3]。

傳統的二氧化矽絕緣層厚度需要縮小到約奈米左右，此時閘極之電子藉由穿隧效應通過閘極氧化層流入元件之汲極，產生元件之大量漏電流及遷移率下降問題。為了降低閘極漏電流，必須將閘極絕緣層的實際厚度增加以減少穿隧電流，但是又要維持在電性操作時之 EOT 不變。於是使用高介電常數材料作為絕緣層，以同時兼顧閘極絕緣層實際厚度與電性等效厚度便成為眾所矚目之課題。

高介電材料的等效氧化物厚度 (EOT,  $t_{eq}$ ) 計算如方程式(2)所示。 $K_{ox}$  和  $K_{high-k}$  分別為二氧化矽與高介電材料的介電係數， $t_{high-k}$  是高介電材料的物理厚度。未來的高介電材料被要求其 EOT 值降低到約 0.7 奈米[5]。

$$t_{eq} = \left[ \frac{K_{ox}}{K_{high-k}} \right] t_{high-k} \quad (式 2)$$

EOT 的計算舉例如下，矽基板表面覆蓋 5 埃(Å)的 SiO<sub>2</sub> 和 30 Å 的介電層(K=25)，總 EOT 和依據方程式(3)計算近似於 10。相當於物理厚度 40 Å 的介電層(K=16)。

$$5 \text{ \AA} (K=3.9) + 30 \text{ \AA} (K=25) = 40 \text{ \AA} (K=16) = 10$$

$$t_{eq} = t_{SiO_2} + \left[ \frac{K_{ox}}{K_{high-k}} \right] t_{high-k} \quad (\text{式 3})$$

圖 5 是已公開的產品開藍圖對於等效閘極氧化層厚度趨勢的預測，指出閘極氧化厚度在 2010 年將小於 1 奈米，但氧化層的物理厚度限制來自於量子通道效應[6]。由於這個理由，一些二氧化矽的替代材料已經被調查，如  $Al_2O_3$ ， $HfO_2$ ， $ZrO_2$ ， $Y_2O_3$ ， $La_2O_3$ ， $Ta_2O_5$ ，等。選擇閘極介電材料有一些重要的原則，包括介電係數、能隙、動態溫度穩定、薄膜型態、介面品質和可靠度。圖 6 是各種高介電材料的能帶間隙[7]。圖 7 是各種高介電材料和矽有關的能帶偏移[7]。

為了達到低漏電流，需要有足夠的能帶間隙(Band Gap)與足夠的能帶偏移(Band Offset)，即  $\Delta E_c$ 。然而，許多高介電材料的特性相對於傳統二氧化矽是非常不一樣的。如崩潰機制，遲滯現象(Hysteresis)等等。當閘極介電層材料置於約  $900^\circ C$  的高溫下，高介電閘極氧化層的熱穩定性對未來金氧半場效電晶體(MOSFET) 元件是一個重要的議題。

高介電常數的金屬氧化物如  $Ta_2O_5$ ， $TiO_2$ ， $SrTiO_3$ ，和  $BaSrTiO_3$  已經被預期為未來閘極介電的優先選擇[8]。但直接與矽結合時，隨著溫度變化會呈現不穩定的狀態。由於這項因素，它們需要緩衝層(Barrier Layer) 如氮化合物(Oxynitride)或氮化物 (Nitride) 來避免介面層 (Interface Layer) 的產生[9, 10]。這些緩衝層可以減少高介電閘極氧化層與矽之間的反應，而且幫助維持高度的通道載子遷移率。使用二氧化矽的介電層或其他低介電

的材料，將會限制最高的可能閘極堆積電容。換言之，結構包含介面層時，電容減少的效果就會出現，可以由兩介電層的電容總和如方程式(4)來解釋。而且緩衝層會增加製程的複雜和限制氧化層的尺寸，故發展出不需緩衝層的機制是極為迫切的[11]。

$$\frac{1}{C_{tot}} = \frac{1}{C_1} + \frac{1}{C_2} \quad (\text{式 4})$$

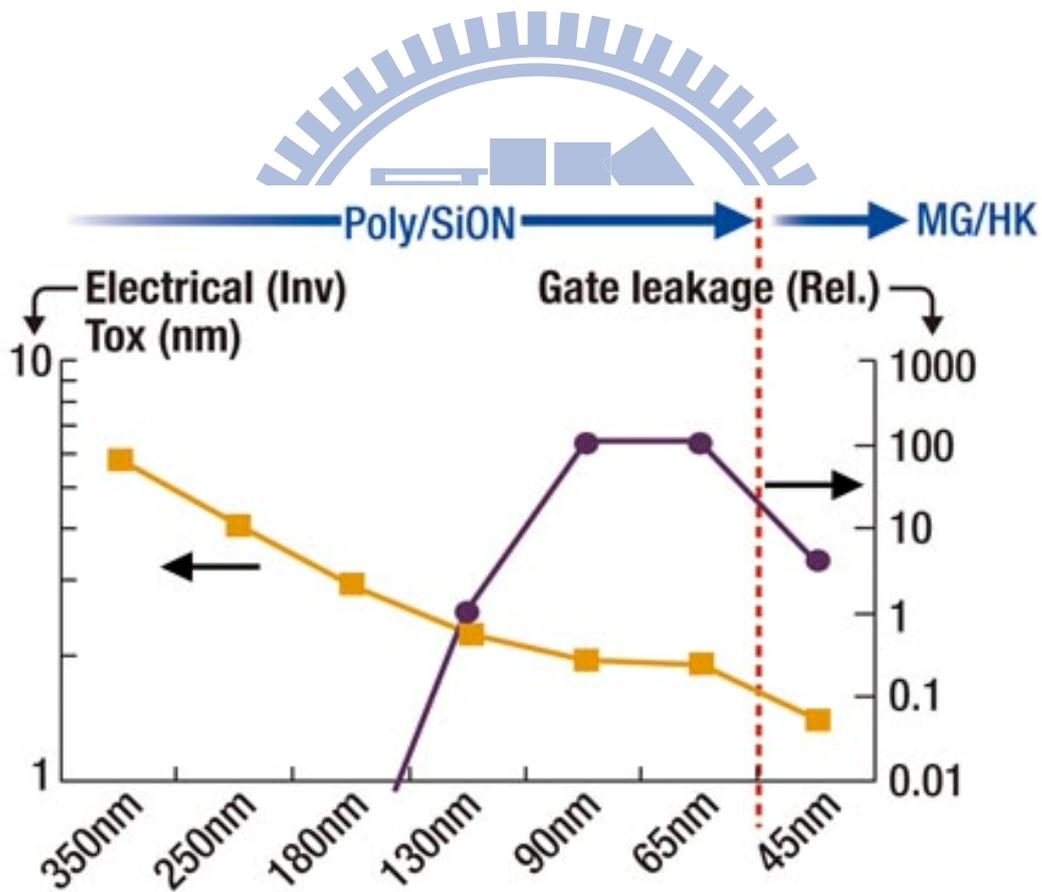


圖 2：Intel 的技術藍圖 [1]

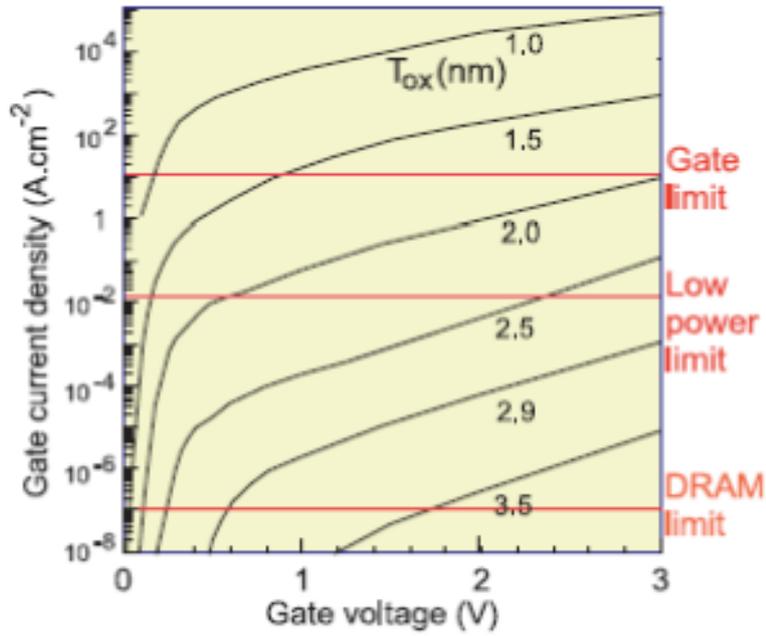


圖 3：不同氧化層厚度在外加偏壓下對閘極漏電流關係圖

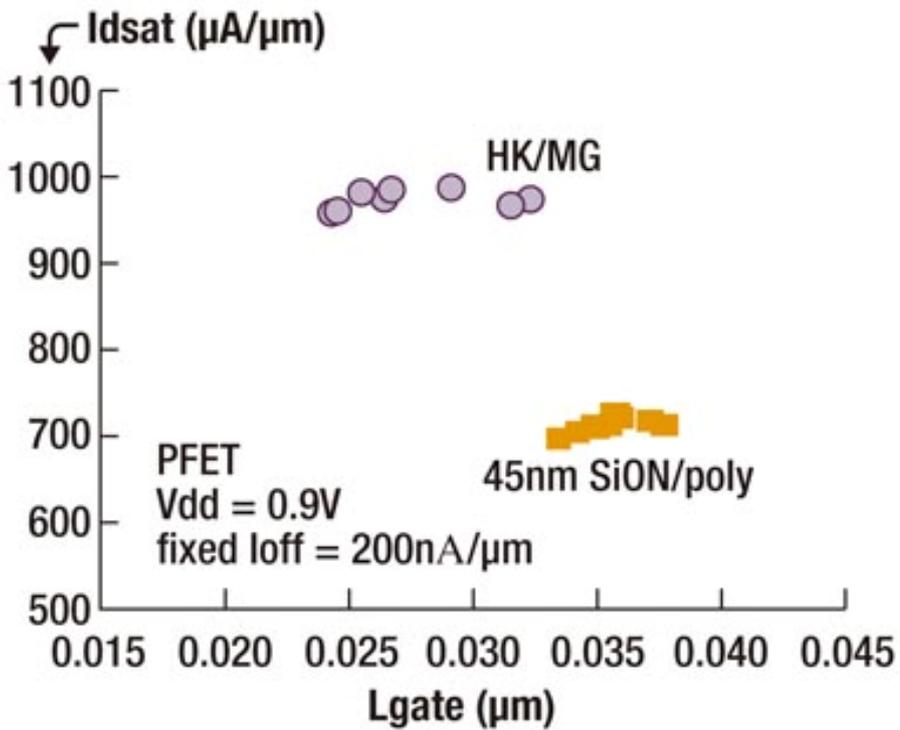


圖 4：各種材質所能得到的驅動電流 [2]

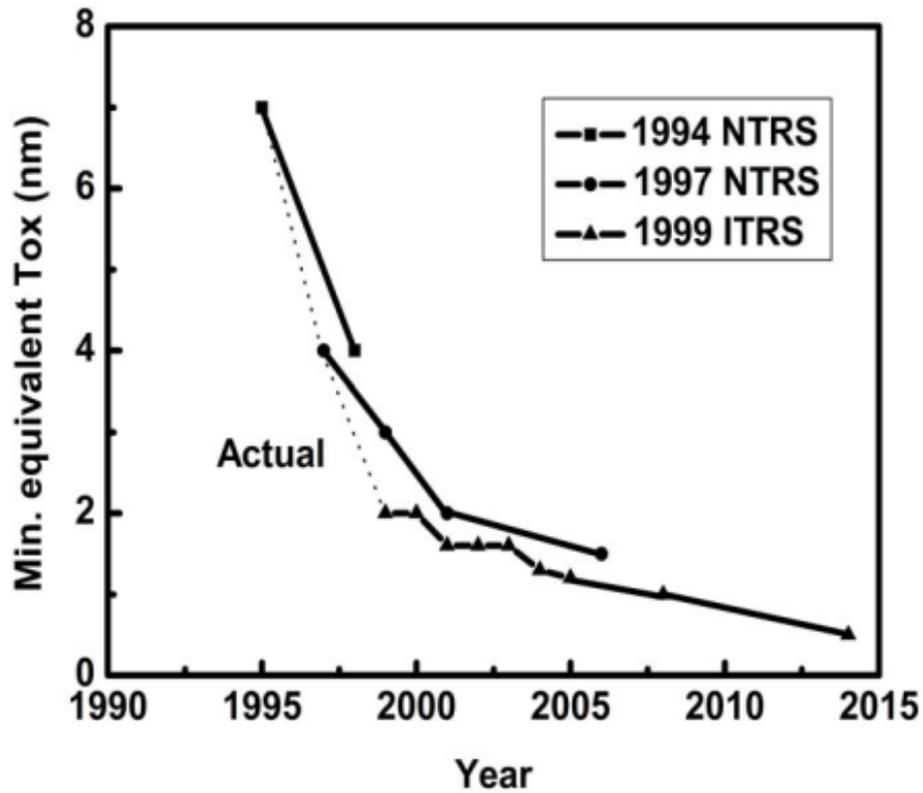


圖 5：等效閘極氧化層厚度趨勢 [12]

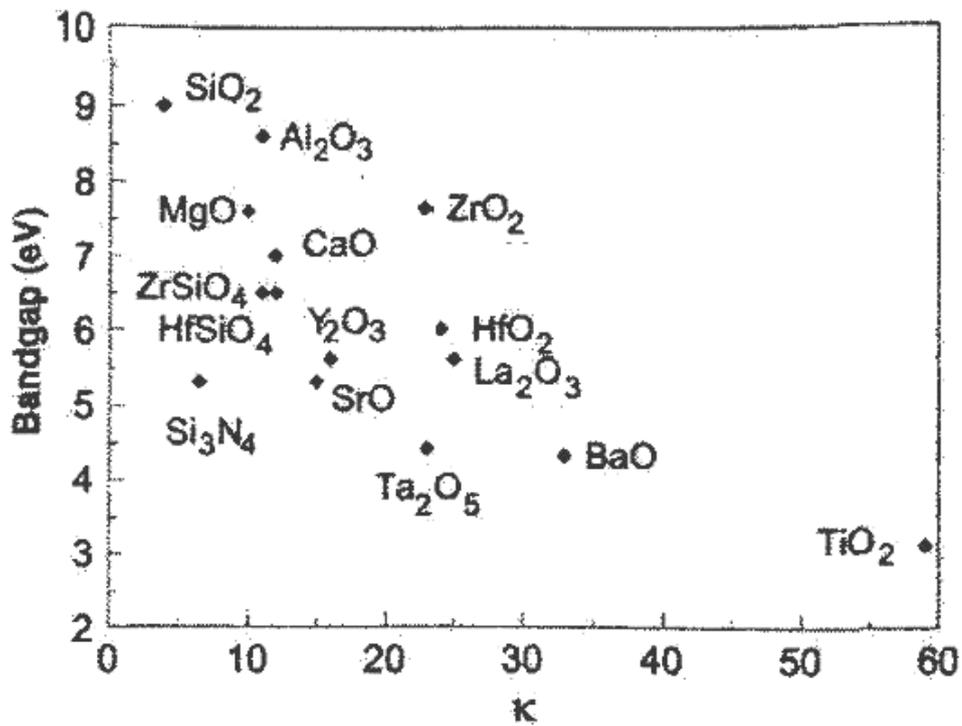


圖 6：各種介電材料之能隙寬度對其介電常數值的關係圖 [7]

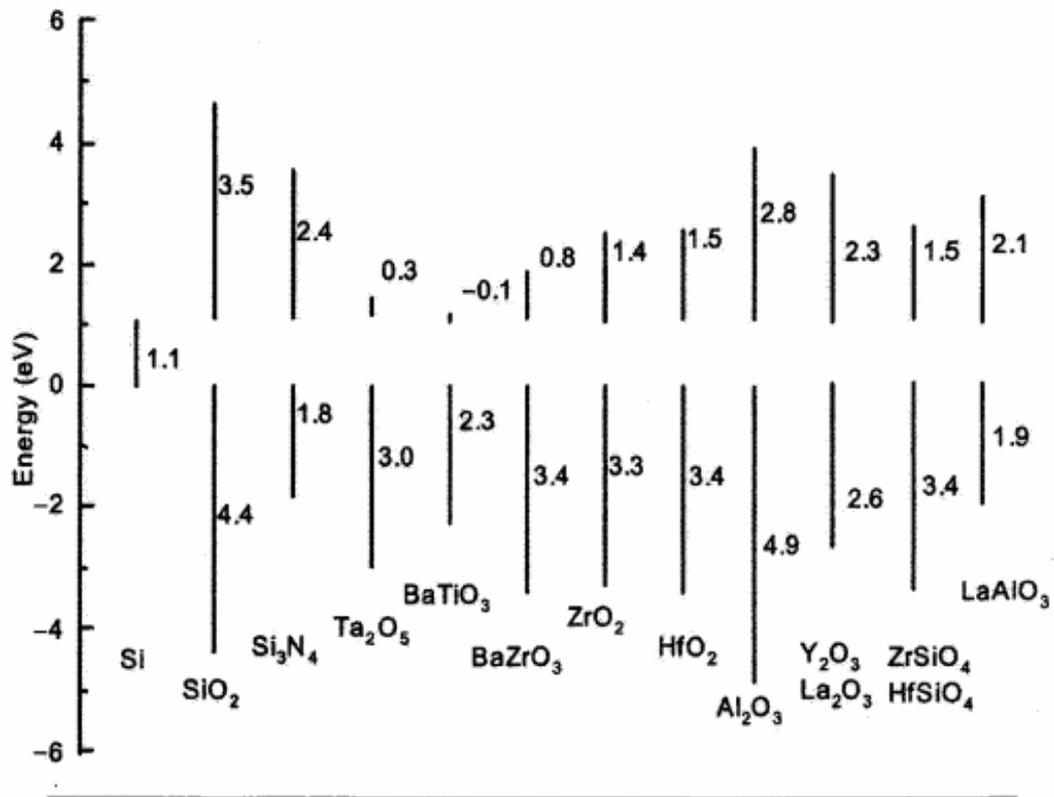


圖 7：能帶偏移量計算結果 [7]

### 1-3、高介電材料的沉積方法

薄膜的沉積方法必須符合兩個非常重要的要求。首先，可提供薄膜品質需求，尤其是介面控制能力。其次，與 CMOS 製程可以相容且考量到生產力和成本。一般薄膜沉積的方法包括金屬有機化學氣相沉積(MOCVD)，原子層化學氣相沉積(ALCVD)，物理氣相沉積(PVD)，分子束磊晶成長(MBE)，和溶膠凝膠法(Sol-gel)等。其中以溶膠凝膠法製備薄膜不需要 PVD 或 CVD 那樣複雜昂貴設備，具有技術簡便、設備要求低以及適合於大面積製膜，而且薄膜組成比較容易控制，特別適用於氧化物薄膜材料。

在過去，PVD 已經廣泛的使用在潛在材料審視和評估。但是 PVD 需經過電漿導致介面傷害，在成長期間導致外來缺陷物質的增加。PVD 系統如圖 8 所示[13]。

傳統的 CVD 製程一般使用氣體前驅物。它們提供各種優勢，如簡單的成分控制，均勻大面積的沉積，且可以覆蓋在非極性元件結構。所有的特性在固/液相前驅物中也適用。

其中的原子層化學氣相沉積(ALCVD)又簡稱 ALD，由於表面反應自限制(Self-limiting)之特性，具有良好的鍍膜均勻度、精確的鍍膜厚度控制、較低的薄膜成長溫度、嚴格的膜組成控制、高密度均勻薄膜、最少缺陷與雜質及幾乎 100%的階梯覆蓋(Step Coverage)能力，因此被視為是奈米世

代微電子元件薄膜製程的最佳方案[14]。

ALD 反應機制圖解如圖 9： $AX_{2(g)}$ 與基板形成單層的中間產物  $AX^*_{(s)}$ (如圖 a)，待表面完全覆蓋  $AX^*_{(s)}$ ，則  $AX_{2(g)}$ 不再與基板反應(如圖 b)，接著以淨化(Purge)或加壓(Pump)方式把未反應的  $AX_{2(g)}$ 與副產物  $XY_{(g)}$ 移除，再通入  $BY_{2(g)}$ 與表面中間產物  $AX^*_{(s)}$ 進行交互反應(如圖 c)， $BY^*_{(s)}$ 完全覆蓋表面後則形成單層(Monolayer, ML)薄膜(如圖 d)，重複以上步驟即可成長所需薄膜[15]。圖 10 是以四氯化鈦( $TiCl_4$ )為例說明 ALD 成長薄膜機制。

近來，用溶膠-凝膠法來製備薄膜的技術越來越受到矚目，以溶膠凝膠法經水解-縮合而得到之薄膜或固體材料，優點列舉如下：

1. 化學起始物在使用前可先經純化處理，因此可確保樣品之純度。
2. 反應物溶解於溶劑中，可以提高組成成份之均勻性。
3. 於室溫下即可進行合成。
4. 可製作大面積且厚度均勻之薄膜。
5. 製得之薄膜純度高且均質性佳。

雖然溶膠-凝膠法鍍薄膜的優點很多，但此方法仍然有以下限制：

- (1) 配置的溶液會有變質的問題，不容易保存。
- (2) 若使用的成分是屬於金屬醇鹽(Metal Alkoxide)，很容易吸收水氣水解成金屬化合物而沉澱析出，會造成溶液的不均勻性。

(3) 在有機金屬溶液經過適當的熱處理而形成無機薄膜之步驟中，大量含碳化合物的分解，會造成膜劇烈的收縮而產生裂痕。

上述薄膜製程的優缺點整理如表2

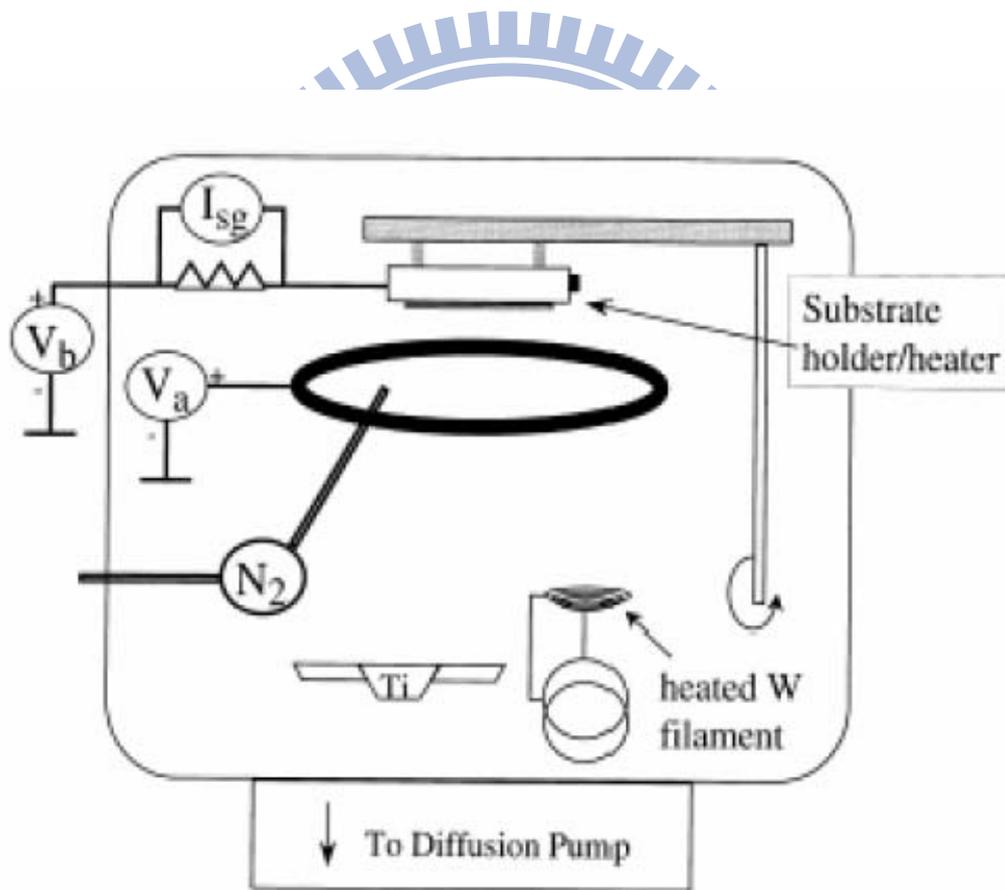


圖 8：PVD 系統的簡圖 [13]

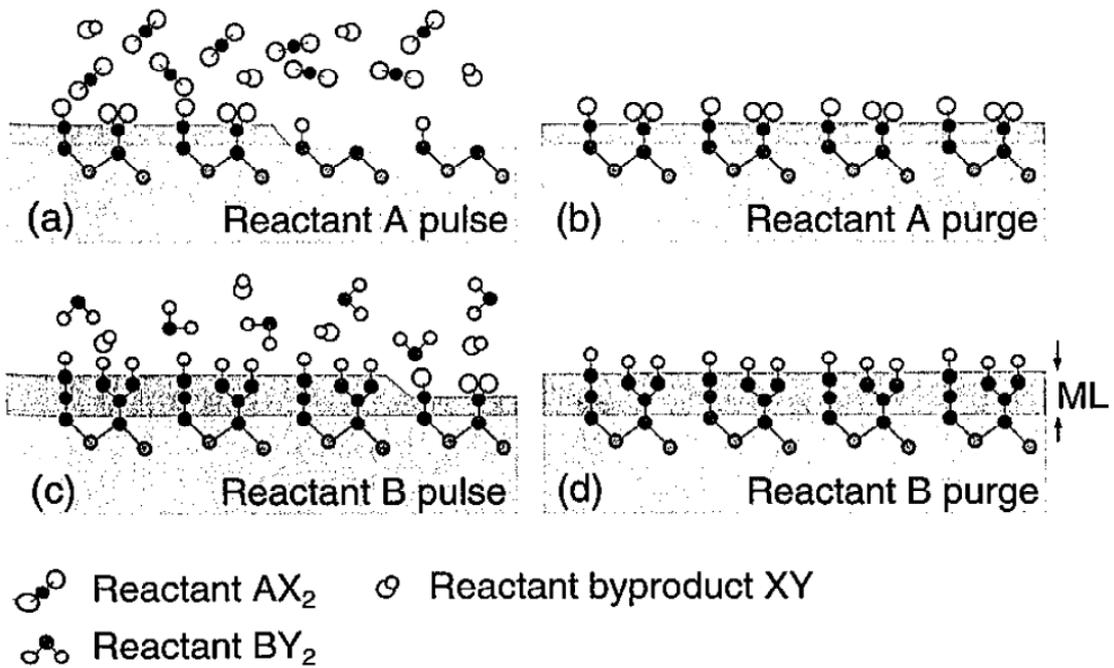


圖 9：ALD 製程原理 [15]

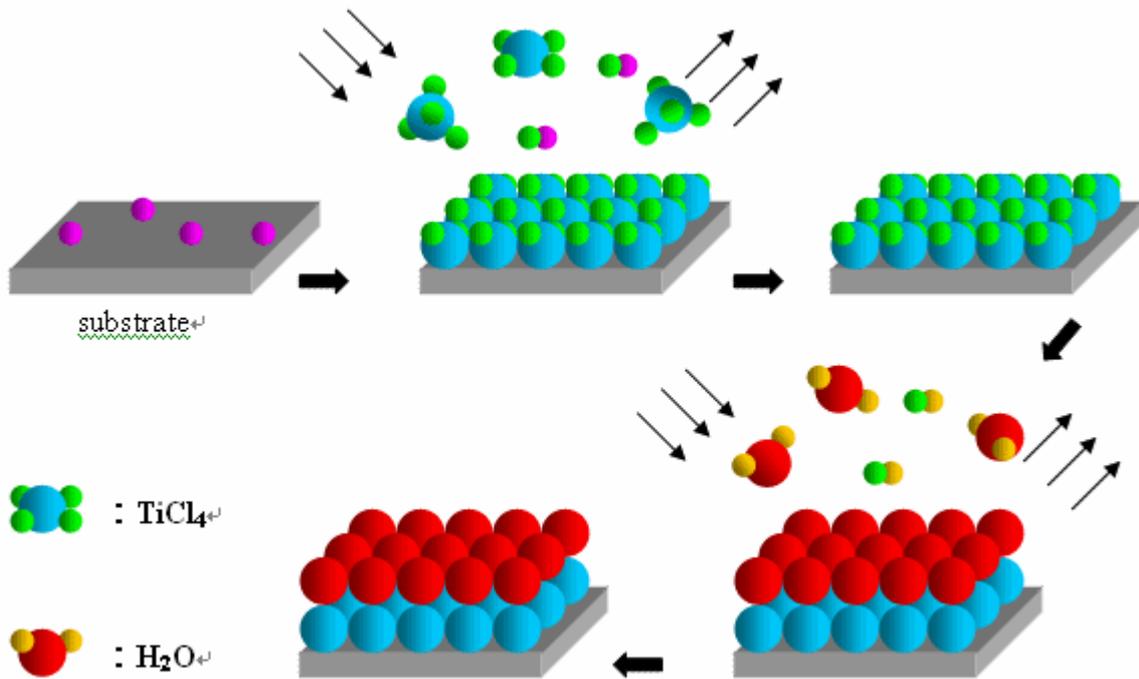


圖 10：ALD 成長二氧化鈦機制簡圖 [14]

製程類別	優點	缺點
ALCVD	精確膜厚控制、純度高、 粒度分佈窄。	反應溫度高、反應氣 體有毒。
PVD	純度高、結晶組織好、粒 度可控。	技術設備要求高。
Sol-Gel	成本低廉、室溫下即可進 行、可製作大面積鍍膜。	易與空氣接觸或吸 收水氣導致質變。

表 2：ALCVD、PVD、Sol-gel 之優缺點比較

## 1-4、高介電材料的候選

對於使用在半導體工業中的高介電氧化層材料，須注意以下幾項特性：

- (1) 介電常數值：選擇高介電材料取代  $\text{SiO}_2$  可以增加氧化層厚度，進而改善漏電流(或稱穿隧電流)。但介電常數太高，熱穩定性也越差，如  $\text{BaTiO}_3$ ( $k=200\sim300$ )與  $\text{SrTiO}_3$ ( $k=150\sim250$ )，其短通道特性劣化以及臨限電壓的不穩定等缺點，即是因其熱穩定性差且易引起 FIBL(Fringing Field Induced Barrier Lowering)。
- (2) 熱穩定性：由於此介電層是直接與矽基板接觸，故選定的材料必須與矽之間有良好的熱穩定性，確保在後續高溫製程中，不會與矽基板或閘極電極發生反應而變質。
- (3) 介面特性：大多做為閘極氧化層的材料，平衡狀態下均會與矽基板產生反應，形成一層介面常數較低的介面層，使得等效氧化層厚度(EOT)升高，並降低電容值；但在高介電材料的運用上是希望 EOT 越小越好。好的介面品質包含了介面層缺陷較少、成分均勻、粗糙度低等，可以改善元件的性能。介面層的成分可能是二氧化矽或金屬的矽化物。
- (4) 能障高度與能隙寬度：載子(如：電子)的介面能障高度(Barrier height)與能隙寬度(Band gap)也會影響漏電流特性及崩潰電壓，能障高度至少

要大於 1 eV，能隙寬度則需大於 5 eV，才能達到低漏電流及高崩潰電壓的要求。

最常研究的高介電候選者列表在表 3 中。在這些候選者之中，三氧化二鋁( $\text{Al}_2\text{O}_3$ )與其它相較有許多益處，這些特質包括三氧化二鋁與矽基板之間大的能帶與高溫穩定(無定形)，但是介電常數僅有 8~10 是其不利條件。

二氧化鋯( $\text{ZrO}_2$ )的特質與二氧化鈦( $\text{HfO}_2$ )很相近，雖然如此，二氧化鈦的不利條件為能帶間隙約 5.7 電子伏特(eV)，較二氧化鋯低。在所有高介電雙層氧化物中，二氧化鋯作為閘極介電層擁有與矽接觸時呈現動態熱穩定的優勢[16]。



<b>Material</b>	<b>Dielectric constant(K)</b>	<b>Band gap Eg(eV)</b>	<b><math>\Delta E_c</math>(eV) to Si</b>	<b>Crystal structures(s)</b>
<b>SiO<sub>2</sub></b>	<b>3.9</b>	<b>8.9</b>	<b>3.2</b>	<b>Amorphous</b>
<b>Si<sub>3</sub>N<sub>4</sub></b>	<b>7.0</b>	<b>5.1</b>	<b>2.0</b>	<b>Amorphous</b>
<b>Al<sub>2</sub>O<sub>3</sub></b>	<b>9.0</b>	<b>8.7</b>	<b>2.8</b>	<b>Amorphous</b>
<b>Y<sub>2</sub>O<sub>3</sub></b>	<b>15</b>	<b>5.6</b>	<b>2.3</b>	<b>Cubic</b>
<b>La<sub>2</sub>O<sub>3</sub></b>	<b>30</b>	<b>4.3</b>	<b>2.3</b>	<b>Hexagonal, Cubic</b>
<b>CeO<sub>2</sub></b>	<b>26</b>	<b>5.3</b>	<b>1.1</b>	<b>Cubic</b>
<b>Ta<sub>2</sub>O<sub>5</sub></b>	<b>26</b>	<b>4.5</b>	<b>1~1.5</b>	<b>Orthorhombic</b>
<b>TiO<sub>2</sub></b>	<b>80</b>	<b>3.5</b>	<b>1.2</b>	<b>Tetrag.</b>
<b>HfO<sub>2</sub></b>	<b>25</b>	<b>5.7</b>	<b>1.5</b>	<b>Mono., Tetrag., Cubic</b>
<b>ZrO<sub>2</sub></b>	<b>25</b>	<b>7.8</b>	<b>1.4</b>	<b>Mono., Tetrag., Cubic</b>

表 3：各種高介電材的基本特性 [17]

## 1-5、二氧化鋯的應用

### 1-5-1、固體電解質

電解質在電化學元件中扮演在電極間運輸離子，以轉換化學能為電能。比較液體電解質與固體電解質，固體電解質的優勢是固定形狀並且避免漏電流和溶液揮發，如電池、感應器、和燃料電池。近來，燃料電池已經變成電源供應的清潔技術候選，因為它只產生水，與對環境較小危害的產物 [18]。此外，固體氧化燃料電池(SOFC)通常在 1000°C 操作以達到需要的能量。二氧化鋯熔點高達 2700°C，而且是氧離子傳導的合適產物。

### 1-5-2、催化

有機複合物可以被催化成發展數種反應，包括除氫作用 (Dehydrogenation)，和在酸中(如硫酸和磷酸)二聚作用(Dimerization) [19]。二氧化鋯有高的化學穩定並且適合承載三價離子，如  $W^{+3}$ ， $Cr^{+3}$ ，變成固體酸[20]。除了催化，承載硫酸離子和磷酸離子在二氧化鋯表面也能展現表面酸性[21]。

### 1-5-3、介電質

尺寸持續縮小的需求對 CMOS 來說是一項主要的挑戰。而高介電材料在介電物理厚度增加方面可以避免短通道效應(Short Channel Effect)。由以下的公式(5)(6)(7)解釋之[22]。舉例來說，二氧化鋯的介電常數約為 25，故二氧化鋯的物理厚度( $t_{ZrO_2}$ )大約是二氧化矽的 6.4 倍。藉由物理厚度的增

加可以避免短通道效應。

$$C_{SiO_2} = \varepsilon_0 \frac{\varepsilon_{SiO_2}}{t_{SiO_2}} A \quad (\text{式 5})$$

$$C_{high-k} = \varepsilon_0 \frac{\varepsilon_{high-k}}{t_{high-k}} A \quad (\text{式 6})$$

由(4)=(5)，導出(6)

$$t_{high-k} = t_{SiO_2} \frac{\varepsilon_{high-k}}{\varepsilon_{SiO_2}} \quad (\text{式 7})$$

$C_{SiO_2}$  是二氧化矽的電容， $C_{high-k}$  是高介電材料的電容， $\varepsilon_0$  是真空誘電率或稱為介電常數( $\varepsilon_0=8.85 \times 10^{-12}$  F/m)。  $\varepsilon_{SiO_2}$  是二氧化矽的介電常數( $\varepsilon_{SiO_2}=3.9$ )， $\varepsilon_{high-k}$  是高介電材料的介電常數， $t_{SiO_2}$  是氧化層化度(EOT)。

一般而言，適合的介電常數範圍是在 20~40 之間，因為材料有極大的 K 值(大於 80)，將會導致過大的邊緣效應(Fringing effect)，增加開路(Off)狀態的漏電流。為了達到低漏電流，需要選擇介電材料與矽基板間擁有大的能帶間隙與大的能帶補償( $\Delta E_c$ )。表 4 列出二氧化鋯的優勢特質。

<b>Band gap(eV)</b>	<b>5~7.8</b>
<b>Barrier height to Si(eV)</b>	<b>1.4</b>
<b>Dielectric constant</b>	<b>~25</b>
<b>Heat of formation(Kcal/mol)</b>	<b>261.9</b>
<b>Thermal expansion coefficient (K<sup>-1</sup>)</b>	<b>7.01X10<sup>-6</sup></b>
<b>Lattice parameter(Å)</b>	<b>~5.1</b>
<b>Self diffusion coefficient@900°C</b>	<b>6.0009X10<sup>-10</sup></b>
<b>Index of refraction</b>	<b>1.8~2.2</b>
<b>Density(g/cm<sup>3</sup>)</b>	<b>5.2~5.9</b>
<b>Melting Point(°C)</b>	<b>2677</b>
<b>Hardness(GPa)</b>	<b>12.9</b>
<b>Specific heat(J/Kg<sup>0</sup>K)</b>	<b>600~700</b>
<b>Ionic conductivity(S/cm)</b>	<b>0.08~1.00</b>
<b>Phase transformation: monoclinic to tetragonal (K)</b>	<b>1400</b>
<b>Phase transformation: tetragonal to cubic(K)</b>	<b>2650</b>

表 4：二氧化鋯的特質 [23，24]

## 第二章、製程方法與分析機台

### 2-1、溶膠-凝膠法介紹

溶膠-凝膠法廣泛應用於金屬氧化物奈米微粒的製備，是一種快速固化技術，因為製備的氧化物處於穩定狀態。前驅物使用金屬醇鹽或非醇鹽皆可，首先將醇鹽溶解於有機溶劑中，再加入去離子水使醇鹽進行水解、縮合反應形成溶膠，而後隨著水的蒸發轉變為凝膠，再於低溫中乾燥得到疏鬆的乾凝膠，或進行高溫煅燒處理以得到奈米粉體或薄膜的方法[25]。

#### 2-1-1、溶膠-凝膠製程

首先，溶膠-凝膠製程可回溯至 1846 年。它包含了在潮濕的矽酸下水解和多次濃縮，其進展為矽酸玻璃的形成。溶膠-凝膠技術為完全無機材料或兼具無機與有機材料的合成提供一種低溫製程。對陶瓷(氧化物)而言，溶膠-凝膠製程是藉由液態化學品在室溫下混和和反應的一種合成方法[26]。其製程與產物如圖 11 所示。

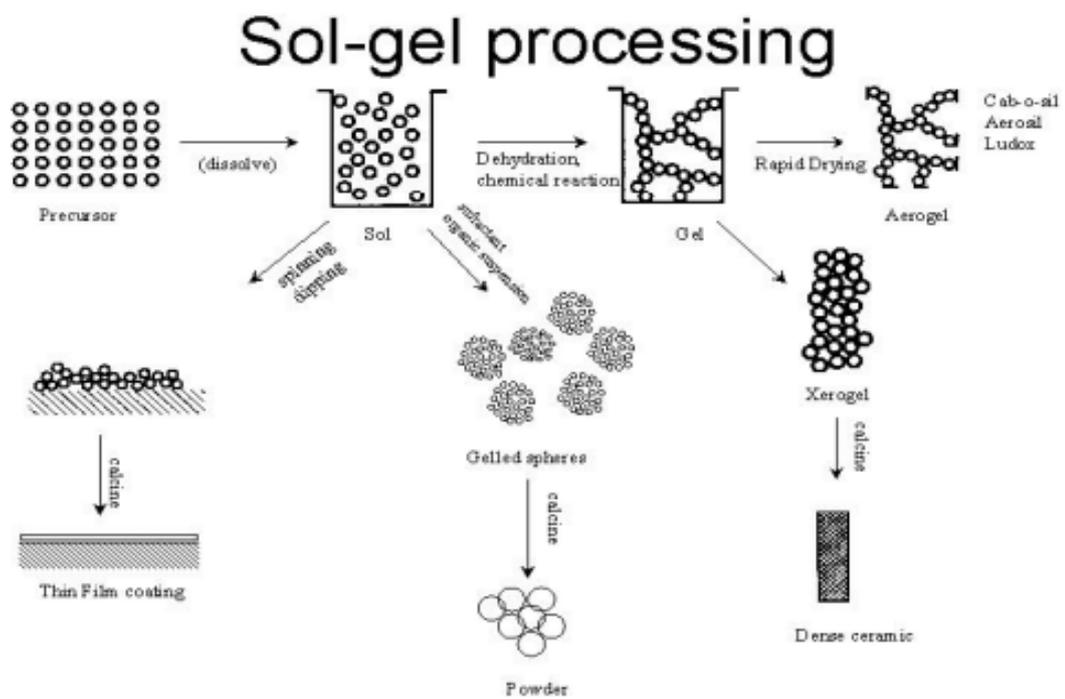


圖 11：溶膠-凝膠製程 [27]

## 2-1-2、溶凝膠法之定義

溶膠(Sol)是指膠體粒子(Colloidal Particles)均勻分布在液體中，因溶液中的溶質不完全溶解於溶劑中。由於膠體粒子大小約1奈米~100奈米，粒子本身產生的布朗運動(Brownian Motion)使其分散於溶液中而不會沉降。凝膠(Gel)是指溶膠中的膠體粒子經過聚合反應，失去流動性後的半固態物質。所謂半固態物質是指表面上是固體而內部仍含液體，液體的一部分可通過凝膠的毛細管作用從其細孔逐漸排出。

溶膠與凝膠是兩種密切關聯的狀態，溶膠冷卻後或加入電解質即可得到凝膠；凝膠在搖晃、超音波或其他產生內應力的作用下，可轉化為溶膠。易言之，溶膠轉變為凝膠是膠體粒子聚集成鍵的聚合過程，一旦作用停止，則凝膠又恢復原狀。溶膠與凝膠也可共存，組成一個更複雜的膠態體系 [28]。

## 2-1-3、酸和鹼催化機制與膠的組織

### 2-1-3-1、溶膠凝膠過程的主要反應

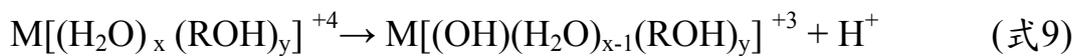
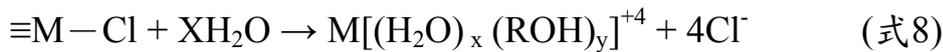
溶凝膠過程通常分為兩類：第一類是金屬鹽在水中水解成膠體粒子，含膠體粒子的溶膠經凝膠化後形成凝膠。第二類是金屬烷氧化物在溶劑中水解縮合形成凝膠。反應機構如下：

#### (1).金屬鹽類：

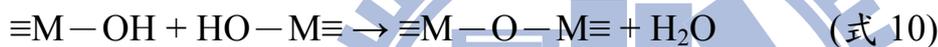
將易溶於水的金屬鹽類(硝酸鹽類或氯化鹽類)溶於含水溶液中，金屬鹽

類將進行水解反應，再加入含羥基或可釋出羥基(OH<sup>-</sup>)之化合物(如氨水，NH<sub>4</sub>OH)，將促使進行縮合反應而產生膠體或沈澱物。常用的金屬鹽類為ZrCl<sub>4</sub> 做鋯的前反應物[29，30，31，32]。

水解反應：



縮合反應：



## (2).金屬烷氧化物：

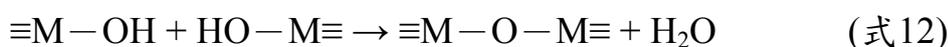
將金屬烷氧化物(Alkoxide，通式為M(OR)<sub>x</sub>，其中R 為烷基，x為1~6 的整數)溶於含水溶液中，金屬烷氧化物將進行水解反應與縮合反應得到膠體或沈澱物。

水解反應：

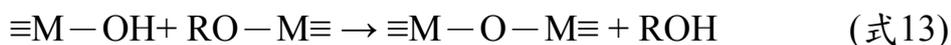


(H<sub>2</sub>O的O原子對M原子進行親核反應)

縮合反應：



Or



### 2-1-3-2、溶膠凝膠法製備薄膜方式

以溶凝膠法製好之溶液，以各種塗佈方法，利用其與基材表面的界面張力而附著形成薄膜，最常見的有：浸漬塗佈(圖12)及旋轉塗佈(圖13)。以下將介紹此兩種塗佈的方法及其特性，分別敘述如下：

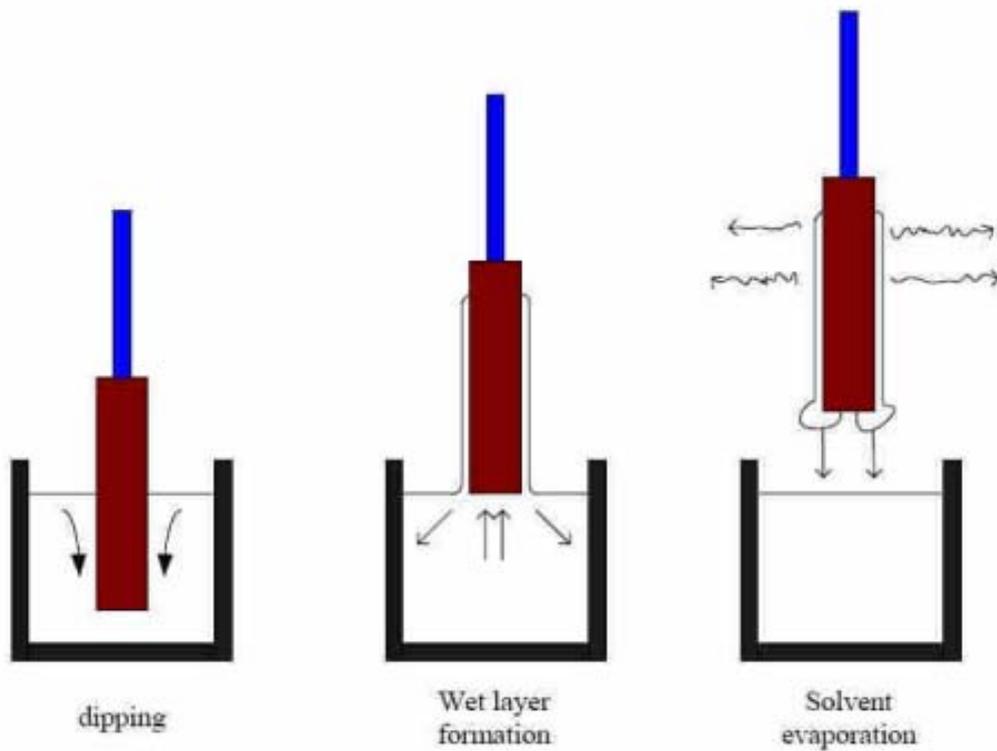


圖 12：浸漬塗佈 [33]

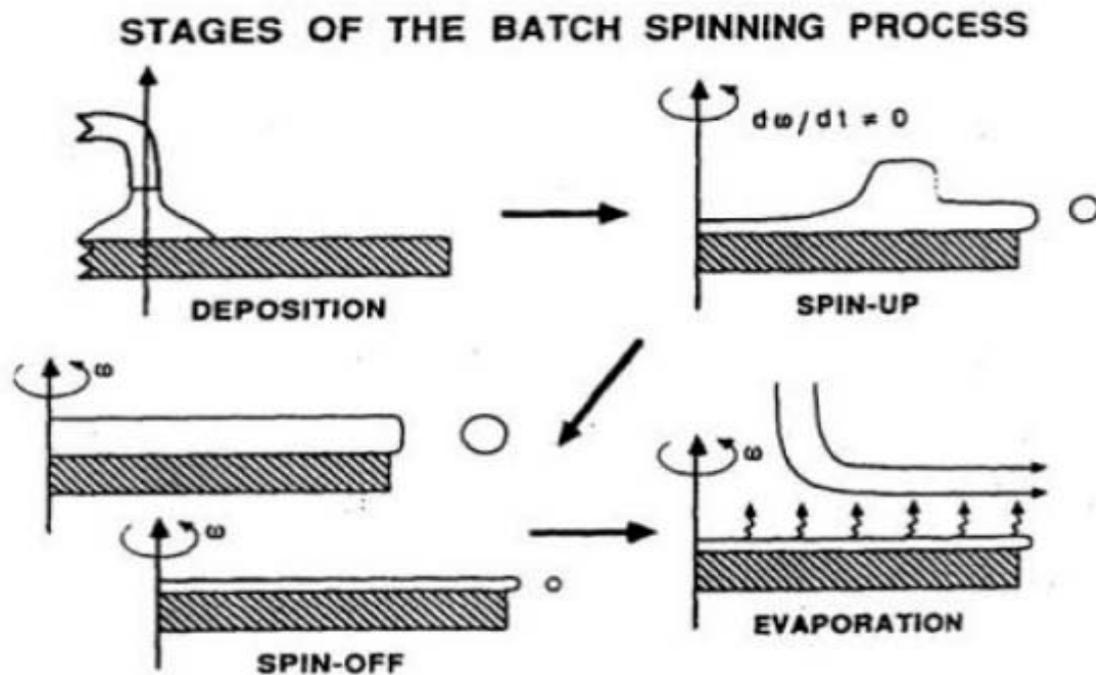


圖 13：旋轉塗佈 [33]

### (1) 浸漬塗佈

以浸漬塗佈法製備薄膜的步驟可以分為三個部分：

(i) 基材浸漬於塗佈之溶液內，接著將基材從溶液拉出，此時溶液將附著於基材表面，藉著控制拉引速度，可控制薄膜之厚度，(ii) 因溶劑的揮發薄膜將迅速固化，(iii) 最後將基材置於烘箱裡面進行烘烤去除有機物，此時若在高溫下則會形成氧化膜。浸漬塗佈法製備薄膜的優點是可於任何形狀及大面積上的鍍膜，而其缺點是受限於當基材拉出時表面厚度會因重力的關係導致膜厚不均勻。而影響鍍膜的膜厚之因素包括，溶膠之黏滯力

(Viscous Drag)、表面張力、基材上升速率等。而鍍膜厚度以下式表示為：

$$h = C_1 \sqrt{\frac{\eta u}{\rho g}} \quad (\text{式14})$$

$h$ =鍍膜厚度， $\rho$ =溶液之密度， $\eta$ =溶液之黏度， $g$ =重力， $u$ =基材上升之速率， $C_1$ 為常數(當溶液為牛頓流體時， $C_1=0.8$ )。

但也由於影響膜厚的因素較多，此種鍍法常有鍍膜膜厚不均的現象。

## (2)旋轉塗佈法

旋轉塗佈法是將塗佈的溶液滴在基材，再使基材旋轉，此時塗佈液便分散至基材表面。旋轉塗佈可區分為4個步驟：(i)沉積(Deposition)：將塗佈的溶液滴於基材表面的中心，(ii)旋轉上去(Spin-up)：利用離心力使溶液迅速向外分散(iii)旋轉流出(Spin-off)：多餘的溶液流至邊緣並以水滴狀離開(iv)蒸發(Evaporation)：溶劑揮發。旋轉塗佈法製備薄膜的優點有：得到均勻的薄膜、容易控制膜厚、基材大小都適合以及得到多層的塗佈，而其缺點是受限於當基材的形狀只適用於平板狀及圓柱形的基材，因為是將配好之溶膠滴於旋轉之基板上，藉由離心力使溶膠均勻分散於基板上，其膜厚乃是受液體黏度、離心力、重力等因素影響。影響膜厚之關係式如下：

$$h_s = \frac{C}{2\omega\rho_s} \left( \frac{3\eta\rho_l}{t} \right) \quad (\text{式15})$$

$h_s$  =熱處理後之膜厚， $\rho_s$ =固體密度， $\rho_l$ =液體密度， $\eta$ =液體黏度， $\omega$ =轉速， $t$ =旋轉時間， $c$ =濃度。

## 2-1-4、溶膠-凝膠技術的應用

由於溶膠-凝膠法的反應都是在溶液中進行，因此可以得到原子級的均勻混合程度。用以製作粉體時，其沉澱析出物的粉末粒徑都很小，約在100 Å，而且粒徑分布範圍窄，可在低溫下燒結成高密度的陶瓷體。溶膠-凝膠法的另一項優點是具有精確的化學計量比(Stoichiometry)。由於完全在液態中混合，微量添加物的均勻性亦大幅提高。但是因為原料的成本高，若要製造工業用的粉末，較不經濟。在熱處理過程中，有機物被驅除時，會有大量的體積收縮現象。若驅除不完全時，會有OH 基及C的殘留以及製程時間較長等，這些都是溶膠-凝膠法製作粉末或塊材的缺點。

## 2-1-5、以溶膠-凝膠製成二氧化鋯的應用

$Zr^{4+}$  為強親氧離子，水溶液中以  $ZrO^{2+}$  形式存在，與 OH 形成沉澱趨勢極大 ( $K_{sp}=6\times 10^{-49}$ )，但因共價性較強，沉澱顆粒的分散並不困難。由於  $Mg(OH)_2$  的溶解度較小，可應用於反沉澱工業；同時要注意反應溫度、最終 pH 和混合方式等。成膜促進劑中加入了隔離子表面活性劑，可有效改善混合溶膠的穩定性。 $MgO-ZrO_2$ 、 $Y_2O_3-ZrO_2$  材料可用於膜催化，氧離子傳感器和低濕度濕敏材料，一般要求製成微孔結構[28]。

## 2-2、SEM(掃描式電子顯微鏡)

### 2-2-1、SEM 介紹

顯微鏡的發展起源於 1873 年 Abbe 和 Helmholtz 分別提出解像力與照射光的波長成反比，奠定了顯微鏡的理論基礎。到了 1924 年 Louis de Broglie 提出電子本身具有波動的物理特性，進一步提供電子顯微鏡的理論基礎。電子顯微鏡有三型(TEM、SEM、AEM)。歷史最長、分解能高的是 TEM，TEM 藉由透過電子與彈性散射電子成像。另一方面，與物體的厚度無關，入射方的相互作用產物有入射電子衝撞而從物體彈出的電子(二次電子)、散射到後方的電子(反射電子)、特性 X 光、歐傑電子、磷光等。一部份電子流往接地(吸收電子)。此種電子或電磁波的波長及能量為試片特有。若檢出並分析它們，可知物體表面附近的原子配列、組成、電子狀態等。所以後來開發了 SEM 與 STEM[34]。圖 14 是電子束對試片所產生的能量。表 5 是電子顯微鏡分析機台與所分析的訊號種類。

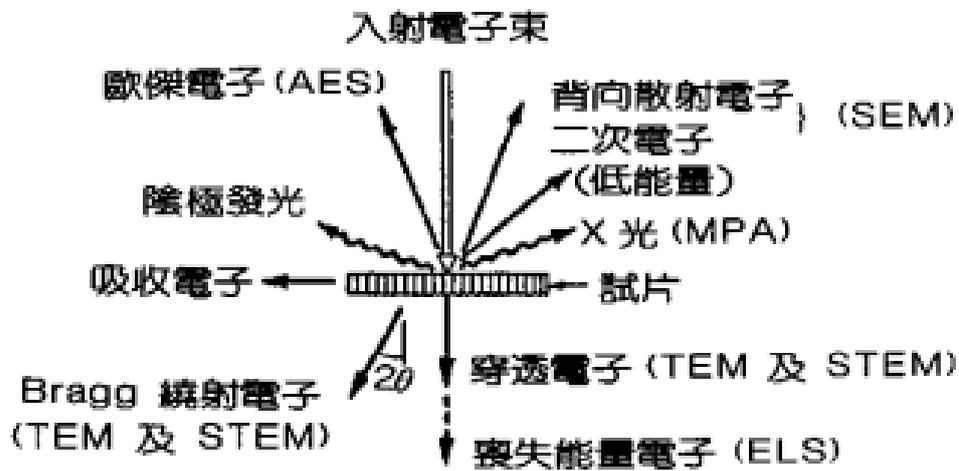


圖 14：電子束與試片的相互作用 [35]

影像 或 分析儀	訊號	偵測器	用途
SEI (Secondary Electron Image)	二次電子	E-T	表面形貌
BEI (Backscattered Electron Image)	背向散射電 子	Solid state	原子序對比
EDS (Energy Dispersive Spectrum)	X-ray 訊號	Si-Li or Ge	元素分析
WDS (Wavelength Dispersive Spectrum)	X-ray 訊號	比例計數器	高解析元素分析
EBSP (Electron Backscattering Diffraction Pattern)	繞射電子及 前向散射電 子	Phosphor Screen and CCD	Grain Orientation
CL (Cathodoluminescence)	陰極發光	PMT or PbS	半導體及絕緣體 缺陷或雜質

表 5：電子顯微鏡能為我們提供的訊息 [36]

## 2-2-2、SEM 分析

本實驗係利用掃描式電子顯微鏡(SEM)觀察樣品外觀之險為結構狀態。

### 1.分析基本原理

在 SEM 內可分為二大部分，第一部分由電子槍、電磁透視鏡、樣品室及真空系統組成，可以提供並聚集電子於樣品上，產生訊息。第二部份為影像顯示系統。當樣品受電子槍擊中後，所產生之電子，經電磁透視鏡聚焦成極小之電子探束後，照射於樣品上，並經由兩組掃瞄線圈，使之規則在標本上來回移動掃描，而電子束則會深入樣品表面，形成一作用體積。在不同層面釋出歐傑電子、二次電子、背向散射電子及 X 射線。這些訊息由偵測器接收，並經過轉換放大顯示於螢幕上。真空系統則維持高度真空狀態(儀器來源為交通大學奈米科技所實驗室)

### 2.實驗分析方法

將欲分析樣品分別分別以導電的雙面膠帶固定於一銅製小圓柱上，並以真空蒸鍍機鍍上一層 Pt 後，置於 SEM 內之真空基座，待抽真空後，即進行樣品表面電子顯微型態觀察。

## 2-3、EDS(能量散射光譜儀)

### 2-3-1、EDS 介紹

X 光能量光譜儀(EDS)為 SEM 之附屬儀器之一，其功能可以在某一特定區域表面型態進行元素分佈分析，即可知物種表面之不同元素分佈情形。另外也可由 Mapping 及元素線掃描分析得知樣品之界面型態之界面附近各元素存在及元素濃度變化情形。圖 15 是 EDS 分析光譜圖。

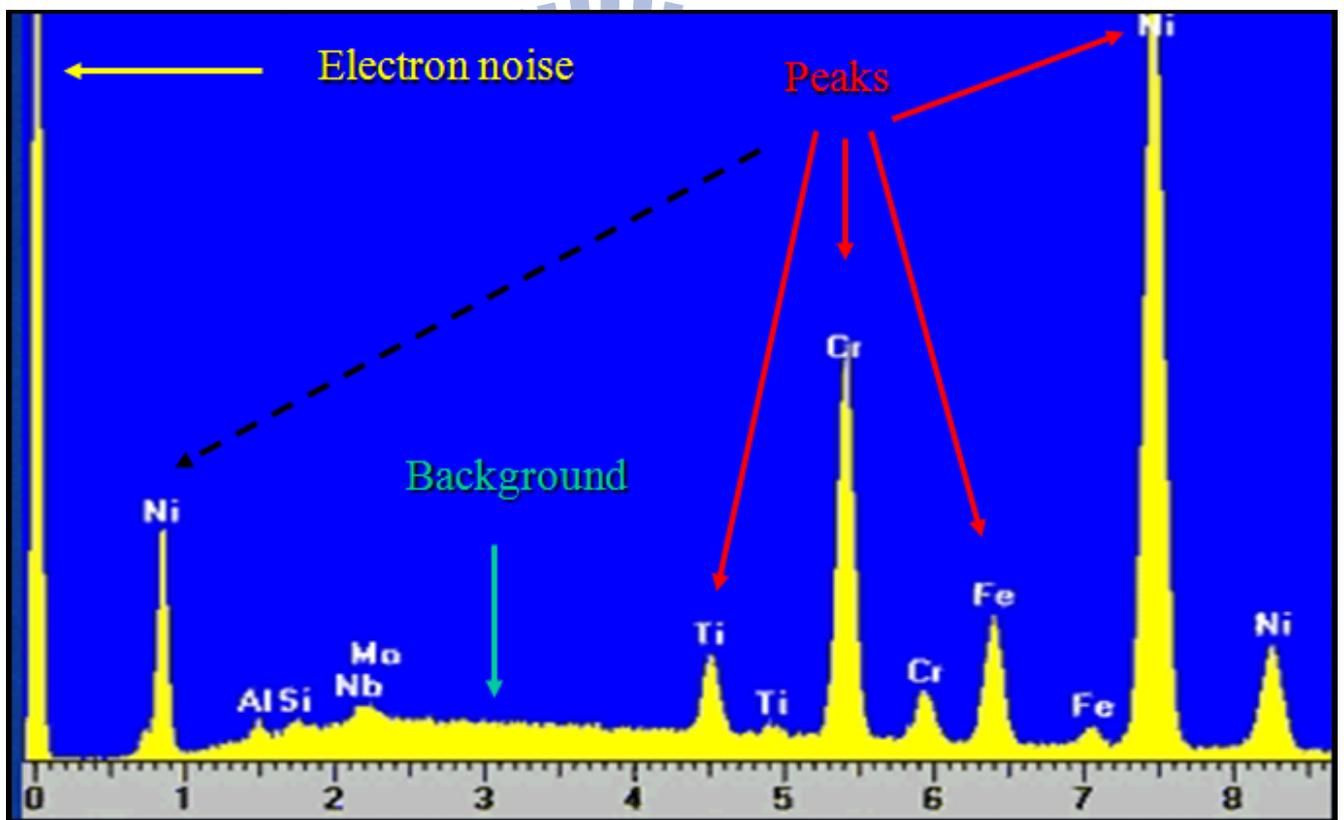


圖 15：EDS 分析光譜圖 [36]

### 2-3-2、EDS 分析原理

試片產生的能量種類與 EDS 需收集的 X 光訊號如圖 16 (a)所示，產生過程圖 16 (b)所示。入射電子和試片進行非彈性碰撞可產生連續 X 光和特性 X 光，前者形成背景(Background)，係入射電子減速(Deceleration)所放出之連續光譜；後者可藉以分析成分元素，係特定能階間之能量差。圖 17 是連續 X 光的產生機制，圖 18 是特性 X 光的產生機制。

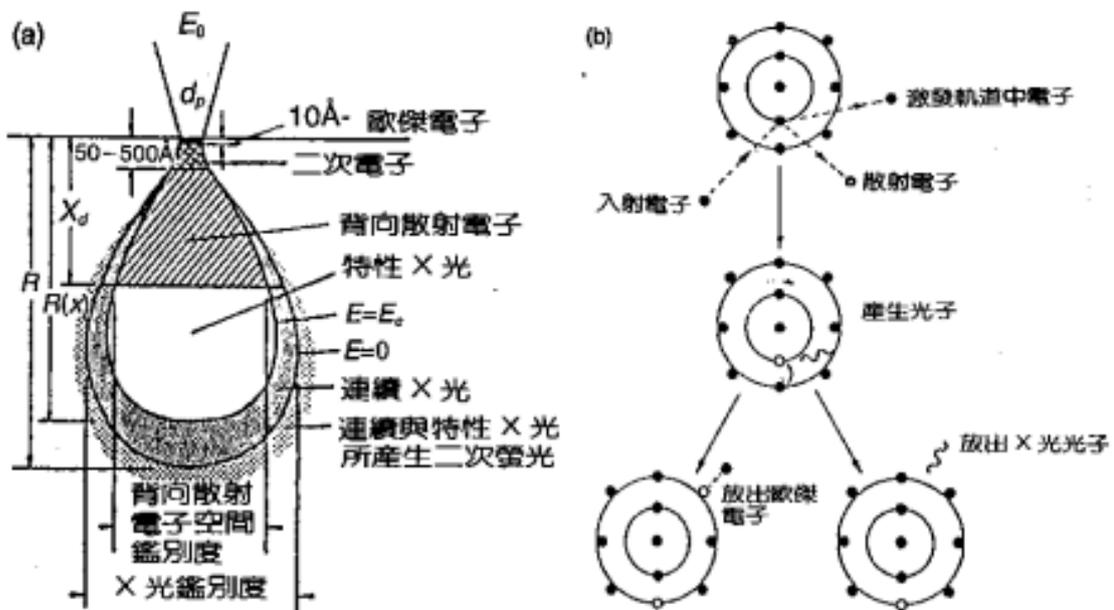


圖 16：試片產生的能量 (a)訊號種類(b)產生過程 [35]

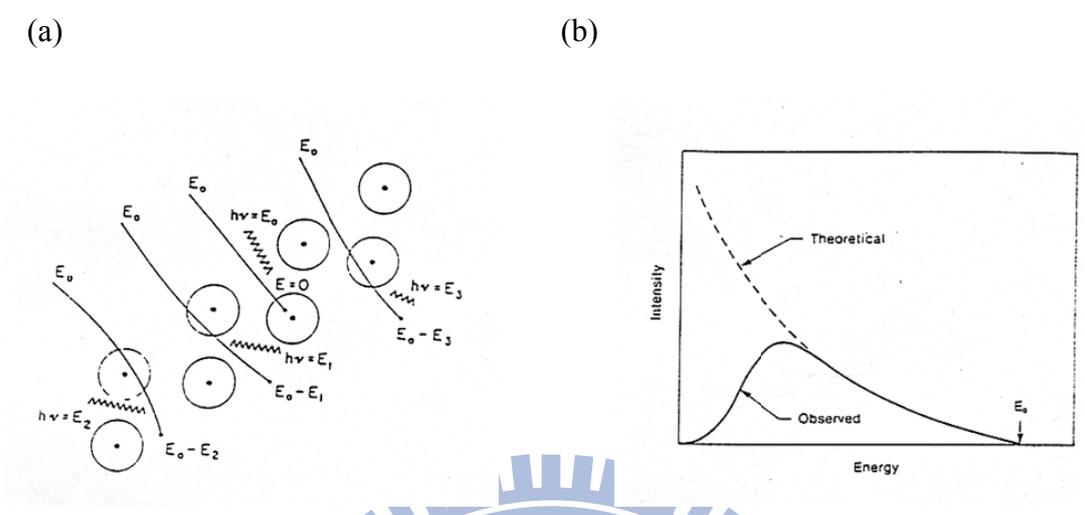


圖 17: 連續 X-ray (a) 入射電子受庫倫電場減速輻射出連續 X-ray, 形成背景  
(b) 理論與實際曲線的比較 [36]

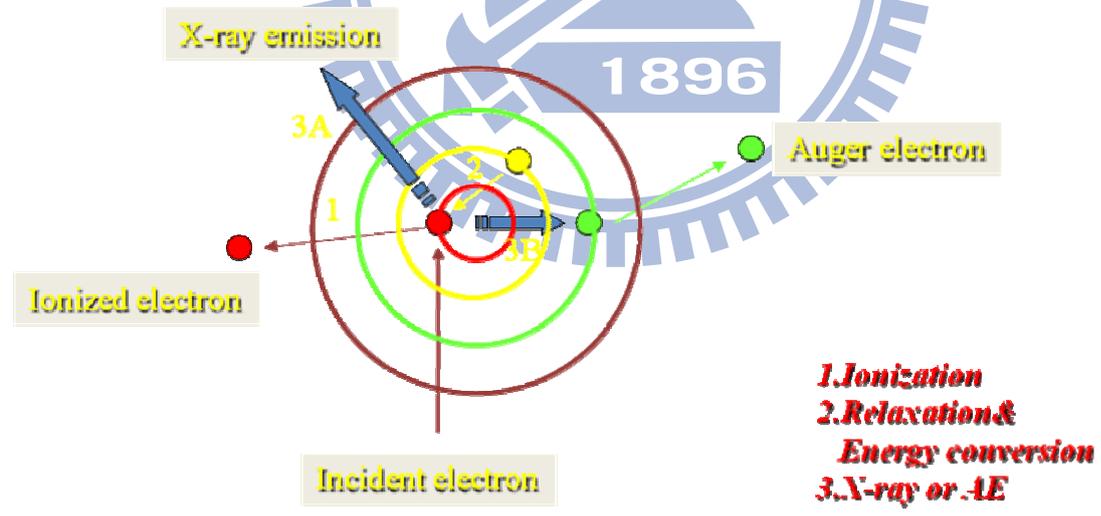


圖 18: 特性 X-ray [36]

EDS 係採用逆偏壓(Reverse-bias)的 p-i-n 矽偵測器，此偵測器含有 Li 雜質，每一入射 X 光會產生光電子，其又放出大部分能量形成電子-電洞對，由於外加電壓使得電子及電洞移動產生脈波，此電壓脈波以多頻道分析器(Multichannel Analyzer, MCA)計數。圖 19 為 EDS 構造示意圖。

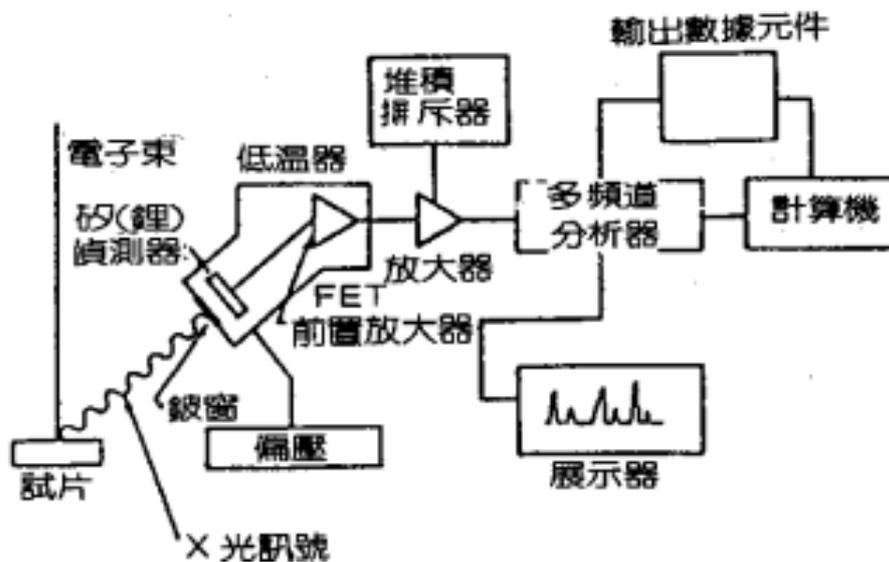


圖 19：EDS 構造示意圖 [35]

## 2-4、AFM(原子力顯微鏡)

AFM 是由 Binnig 等人於 1986 年所發明的，具有原子級解析影像的能力，可應用於多種材料表面檢測，並能在真空、氣體或液體環境中操作。AFM 之探針一般由成份為 Si 或  $\text{Si}_3\text{N}_4$  懸臂樑及針尖所組成，針尖尖端直徑介於 20 至 100 奈米之間。主要原理係藉由針尖與試片間的原子作用力，使懸臂樑產生微細位移，以測得表面結構形狀，其中最常用的距離控制方式為光束偏折技術。AFM 操作模式可區分為接觸式(Contact)、非接觸式(Non-contact)及間歇接觸式(或稱為輕敲式，Intermittent contact or tapping)三大類，不過若要獲得真正原子解析度，必須以非接觸式的操作模式在真空環境下方能得到。圖 20 描繪原子與原子之間的交互作用力因為彼此之間的距離的不同而有所不同，其之間的能量表示也會不同。

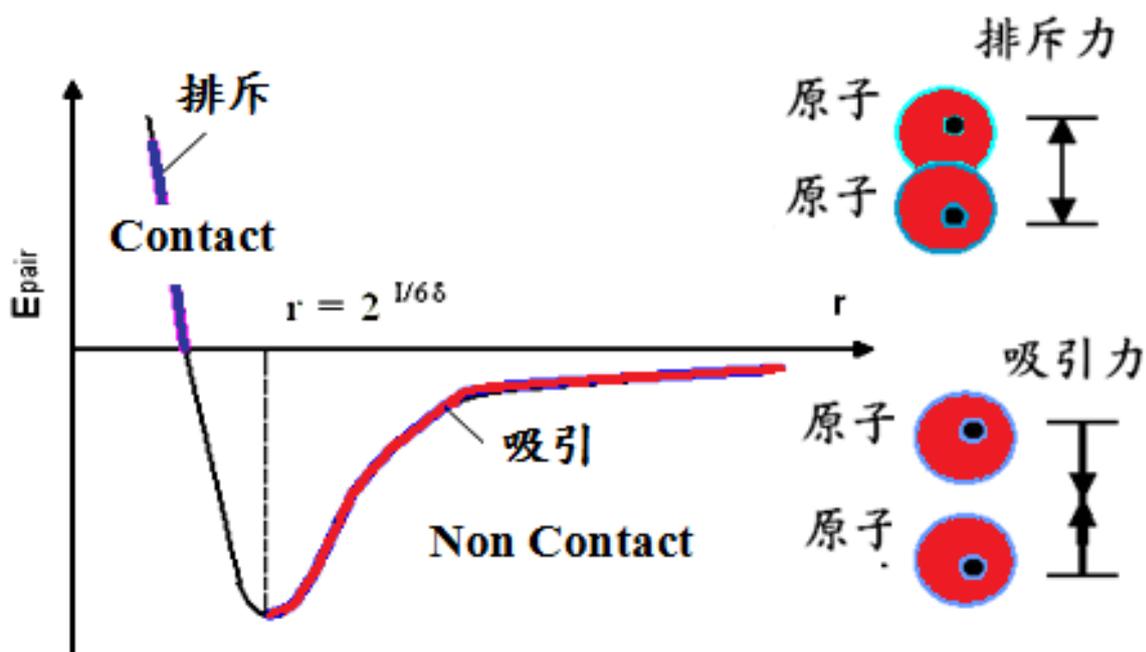


圖 20：原子之間的交互作用力 [37]

## 2-5、TEM(穿透式電子顯微鏡)

穿透式電子顯微鏡的基本構造如圖 21 所示。與掃描式電子顯微鏡成像原理不同的是，穿透式電子顯微鏡是利用高能電子束（一般約在 100 keV~1 MeV）穿透厚度低於 100 nm 以下之薄樣品，和薄樣品內的各種組織產生不同程度之散射。散射後的電子以不同的行徑通過後續的透鏡組合和透鏡光圈，形成明暗對比之影像，而這些明暗對比之微結構影像是藉由螢光板來呈現。因此穿透式電子顯微鏡分析即擷取穿透薄樣品之直射電子 (Transmitted Electron) 或是彈性散射電子 (Elastic Scattered Electron) 成像，或作成繞射圖案 (Diffraction Pattern ; DP) 進而解析薄樣品微結構組織與晶體結構。

一般而言，除了電子顯微鏡本身的性能，樣品之厚度是否夠薄 (<100nm) 與夠平坦均勻，也決定穿透式電子顯微影像之品質。

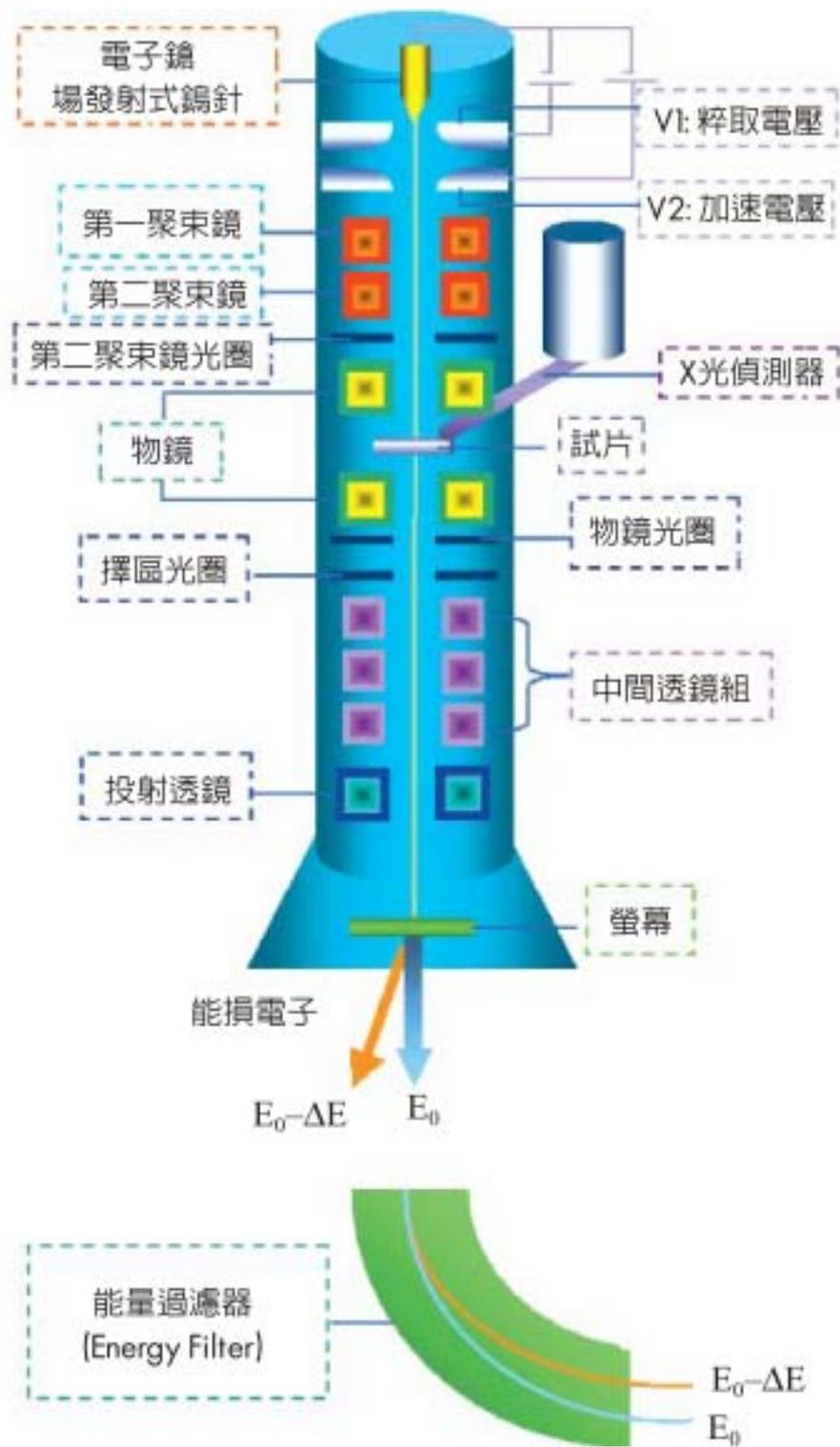


圖 21；電子顯微鏡基本構造圖 [38]

## 2-6、電性量測

評估高介電材料對於元件特性的影響，需藉由量測介電層的電流對電壓曲線(I-V Curve)及電容對電壓曲線(C-V Curve)，來確認在不同的製程條件下所展現的介電能力。利用 I-V 特性來評估介電薄膜在對抗高電壓時的漏電流表現，避免在元件製作完成後，因漏電流過大而破壞元件特性。而 C-V Curve 的飽和電容值和薄膜厚度，可由電容公式  $C = \epsilon\epsilon_0 \frac{A}{d}$  計算出薄膜介電值  $\epsilon$ 。I-V 特性的測試範圍是 0-40 伏特，C-V 特性的測試範圍是±14 伏特內，操作在 1 MHz 頻率下。



## 第三章、實驗方法

### 3-1、實驗設計與目的

本實驗以製備二氧化鋯薄膜作為高介電絕緣層，藉由其表面型態分析，取得最佳製程參數，進一步製作 MIM 元件，依據電性量測結果確認元件特性。

我們的目的是比較不同製程條件下，二氧化鋯薄膜在矽晶片表面上所展現出來的特性。包括物性與電性的結果，這些結果以 SEM 與 AFM 量測薄膜表面型態、EDS 分析薄膜成分、Agilent 4156C 量測 I-V 特性、Agilent 4284A 機台量測 C-V 特性。

### 3-2、實驗主要儀器

#### 3-2-1、製程儀器

##### 1、桌上型旋轉塗佈機(Spin Coater)

功能：矽晶片，玻璃，金屬或陶瓷基板使用

使用參數：1000~3000 rpm

##### 2、熱蒸鍍機(Thermal Coater)

功能：金屬靶材之蒸鍍(PVD)

使用參數：Al、Cr、Au 材料

##### 3、氧電漿機

功能：利用高頻電源使氧氣形成電漿狀態,用以活化物體表面使其具親水性質。

使用功率：18 W

### 3-2-2、電性量測儀器

#### 1、安捷倫 Agilent 4156C 機台(I-V 量測)

功能：

(1)直覺觸控式螢幕介面操作。輸入電源電壓後，得到元件的漏電流。當電流量暴增時，即可得到崩潰電壓值。

(2)內含 4 個高解析度信號監測模組 (SMU)、2 個電壓供電模組 (VSU) 和 2 個電壓監測模組 (VMU)。

脈衝產生器規格：Voltage range: +/- 40V；Output current: +/- 200 mA；  
Minimum pulse width: 1  $\mu$ s；Minimum pulse period: 2  $\mu$ s

#### 2、安捷倫 Agilent4284A 機台(C-V 量測)

功能：輸入脈衝頻率(pulse)電壓後，得到元件所產生的電流值，再利用  $I=Q/t$ 、 $C=Q/V$  公式，計算出元件的電容值。

頻率範圍：20 Hz~1 MHz

電壓範圍：-40 V~+40 V

以上項目是屬於 NDL 所屬之奈米元件參數量測系統，此系統提供元件直流電性測試，主要量測儀器包含半導體參數量測儀 Agilent 4156C、電容電壓量測儀 Agilent 4284A、升降溫系統，另外搭配 Agilent EasyEXPERT 及 STAR Sagittarius 軟體整合，測得元件之電流電壓、電容電壓、脈衝式電流電壓等電性參數。此系統使用半自動式探針座，配合軟體設定使用進行自動量測測試。系統外觀與規格資料如圖 22 與表 6 所示。

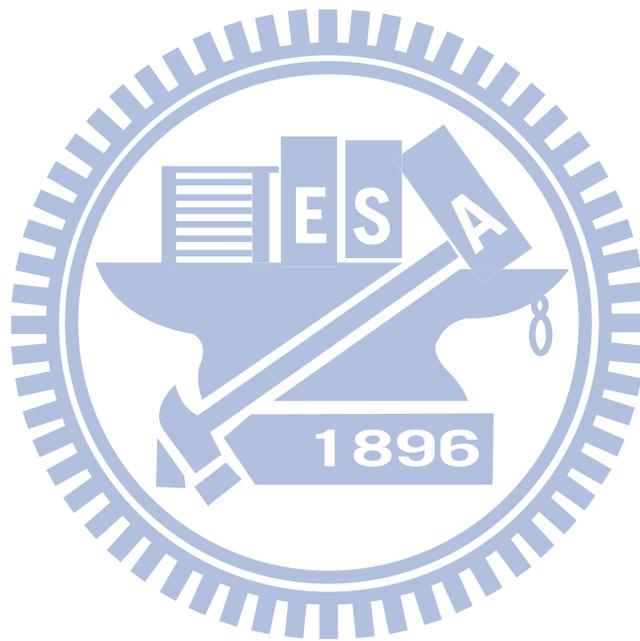




圖 22：系統外觀

Hardware		Software	
1	Agilent 4156C	1	Agilent EasyEXPERT
2	Agilent 41501B		
3	Agilent 4284A (20Hz~1MHz)		

表 6：系統規格及型號

### 3-3、實驗步驟

#### 3-3-1、二氧化鋯溶液配製

二氧化鋯薄膜是以溶膠-凝膠方式製備，將四氯化鋯粉末作為前驅物，依據實驗設計加入不同比例的去離子水後，搖晃使其充分溶解後，靜置一小時。最後可得到水解而成的二氧化鋯溶液。

#### 3-3-2、二氧化鋯之薄膜試片製作

將矽晶圓表面以用丙酮清洗以去除有機物雜質，接著用異丙醇清洗去除金屬離子，再用去離子水清洗掉表面殘留的異丙醇，最後以氮氣槍吹乾完成晶圓清洗流程。在清洗過後的晶圓上沉積二氧化矽，作為旋塗薄膜之基板。然後室溫下(25°C)以不同轉速旋塗不同濃度的二氧化鋯薄膜在矽晶圓上，最後施以 85°C 烘烤與氧電漿處理。製作流程如圖 23 所示。

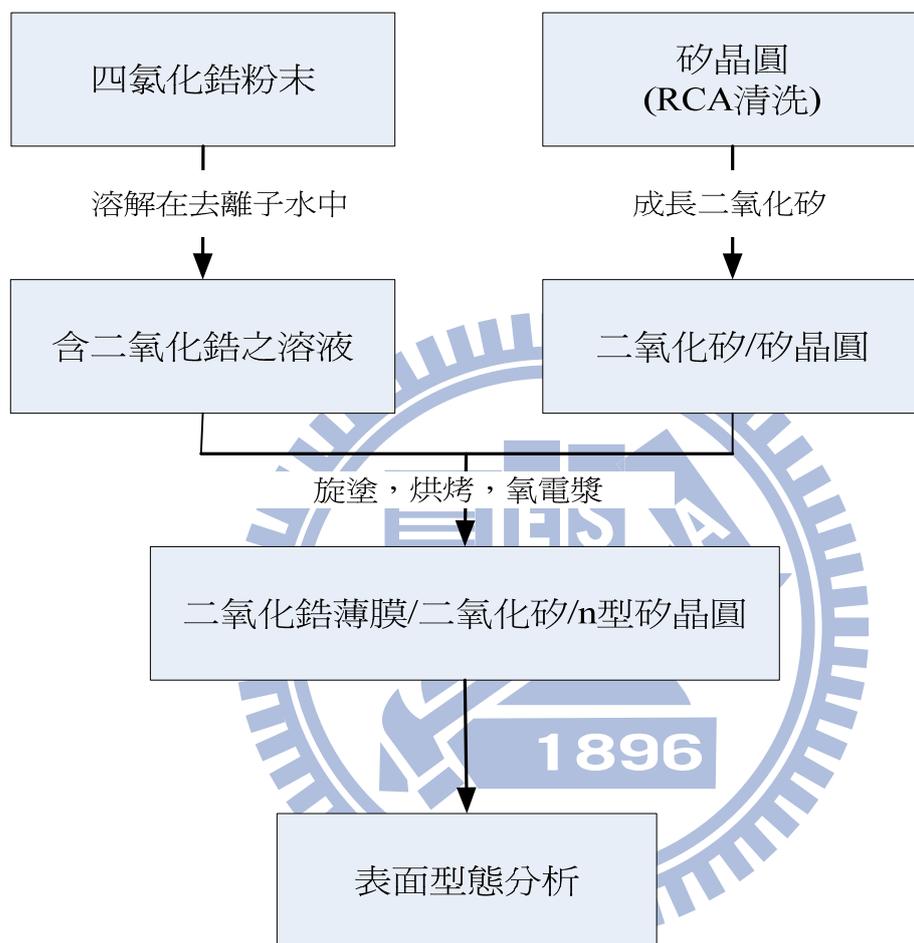
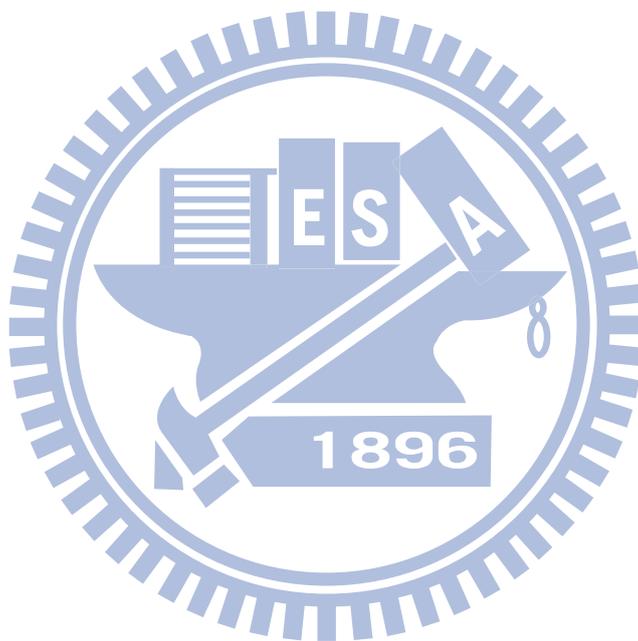


圖 23：二氧化鋯之薄膜試片製作流程圖

### 3-3-3、MIM 元件製作

在成長二氧化矽的矽晶圓上依序鍍上 50 Å 鉻與 500 Å 金作為下電極，然後將二氧化鋯薄膜旋塗(Spin-coating)在金屬電極上。再經過 85°C 烘烤與氧電漿處理。最後鍍上 3000 Å 鋁作為上電極。MIM 製作流程圖如圖 24。完成的結構如圖 25 所示，



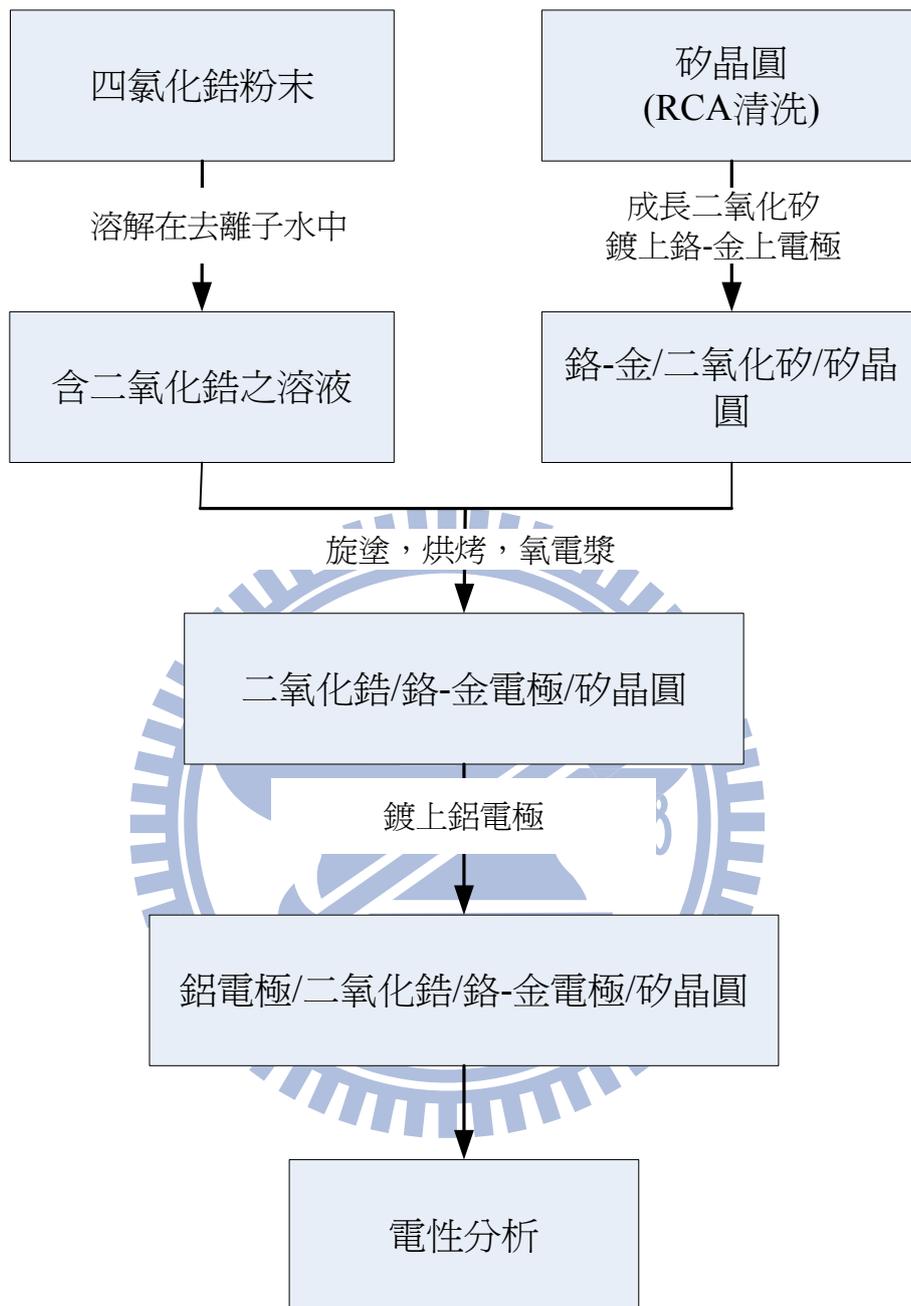


圖 24：以  $ZrO_2$  作為絕緣層之 MIM 製作流程圖

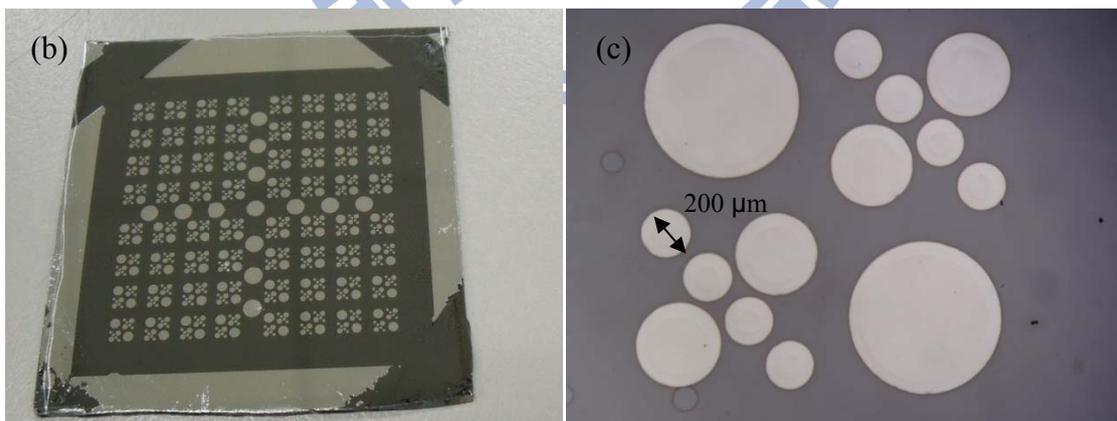
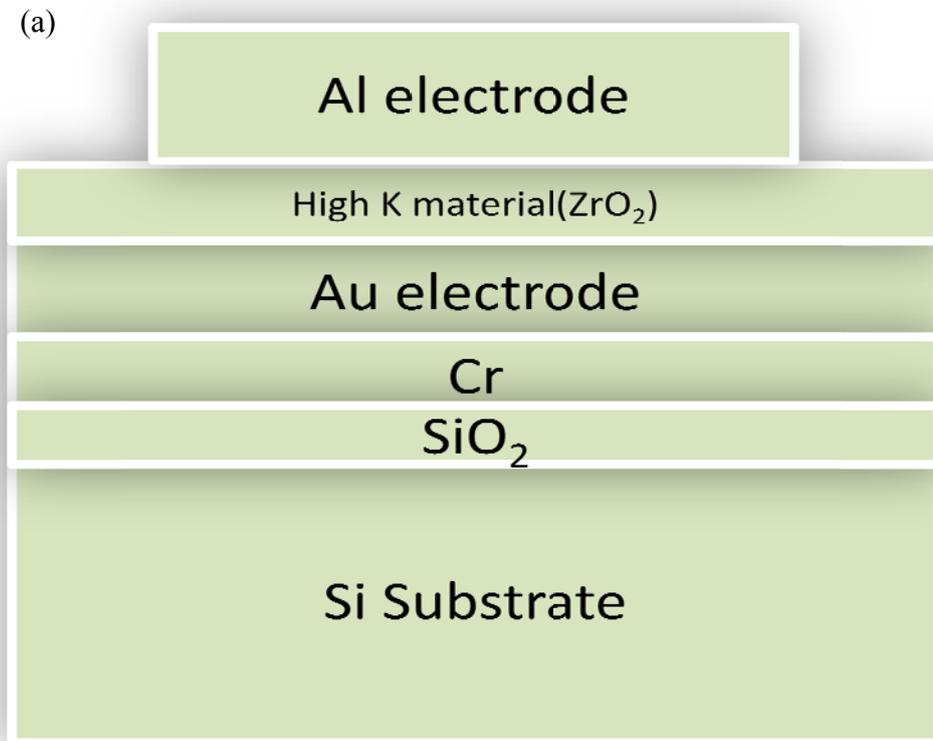


圖 25：(a)以  $ZrO_2$  作為絕緣層之 MIM 結構圖(b)實際試片(c)Test key 放大

### 3-4、結果與討論

本研究論文製備出來的元件結構在圖 25 已經說明過，此元件結構是一電容式構造，此電容中是以 high k 材料作為介電層。二氧化鋯薄膜的特性是藉由成分組成、龜裂程度與粗糙度結果來進行分析；MIM 元件則是依據最佳化薄膜參數製作介電層，再藉由 I-V 特性與 C-V 特性來進行分析。

#### 3-4-1、二氧化鋯薄膜成分分析

依照圖 26 的實驗步驟，在成長  $\text{SiO}_2$  薄膜的矽基板上旋塗二氧化鋯薄膜後，我們以 EDS 機台確認基板上是否有  $\text{ZrO}_2$  薄膜形成，如圖 27 所示。(a)圖中 Spectrum 1 是針對有旋塗到二氧化鋯薄膜的區域作元素分析；Spectrum 2 是針對未旋塗到二氧化鋯薄膜的區域作元素分析。(b)圖中 Spectrum 1 之對應譜峰所顯示的元素有 Zr、O、Si，應是  $\text{ZrO}_2$  與  $\text{SiO}_2$  薄膜的元素組成所產生的訊號；Spectrum 2 之對應譜峰所顯示的元素有 O、Si，應是  $\text{SiO}_2$  薄膜的元素組成所產生的訊號。

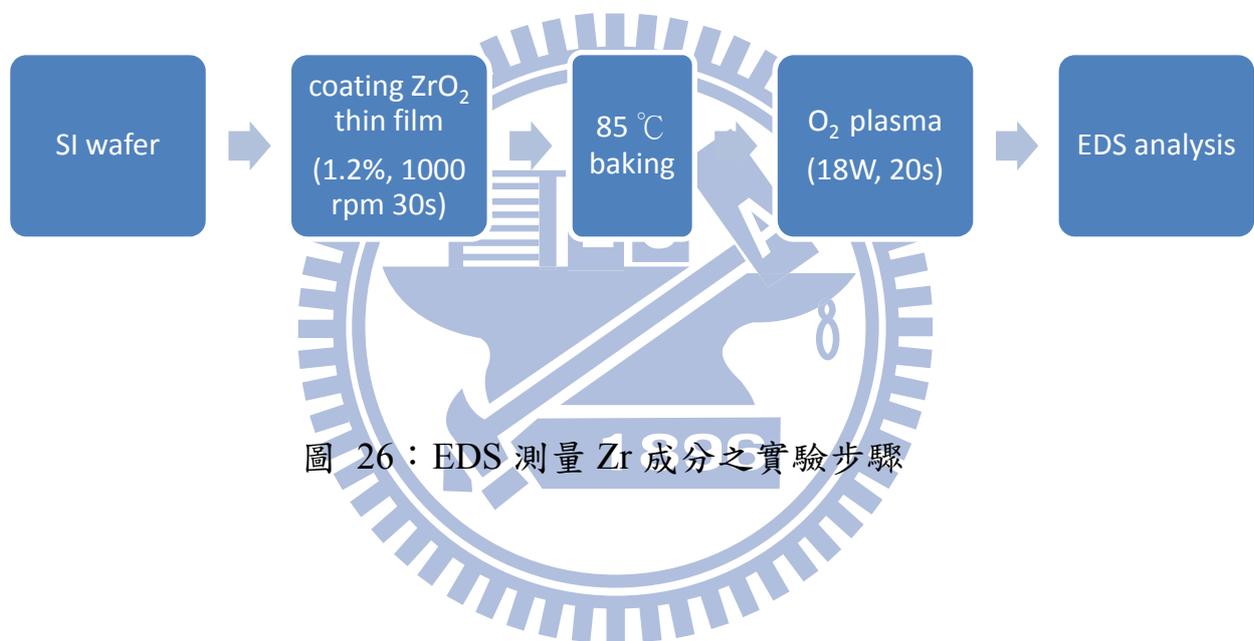
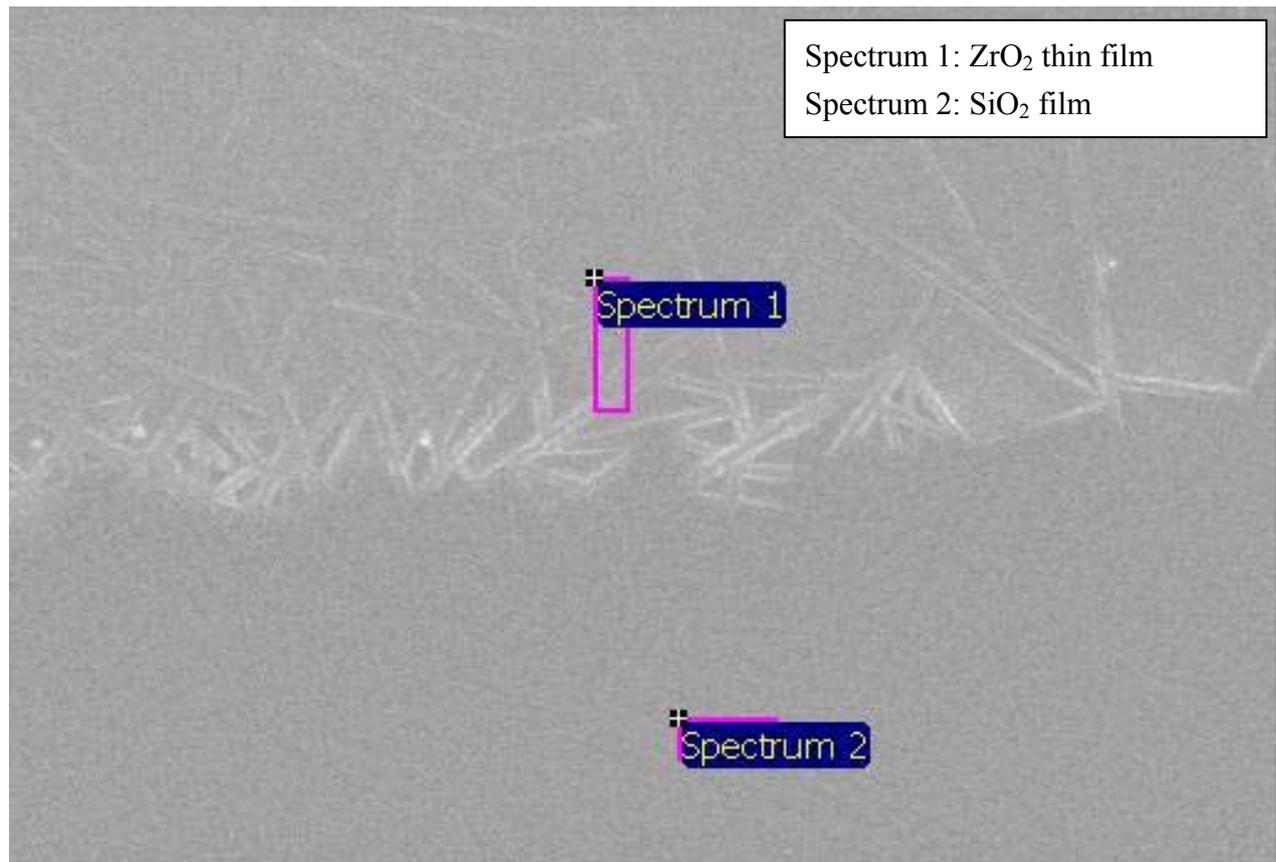
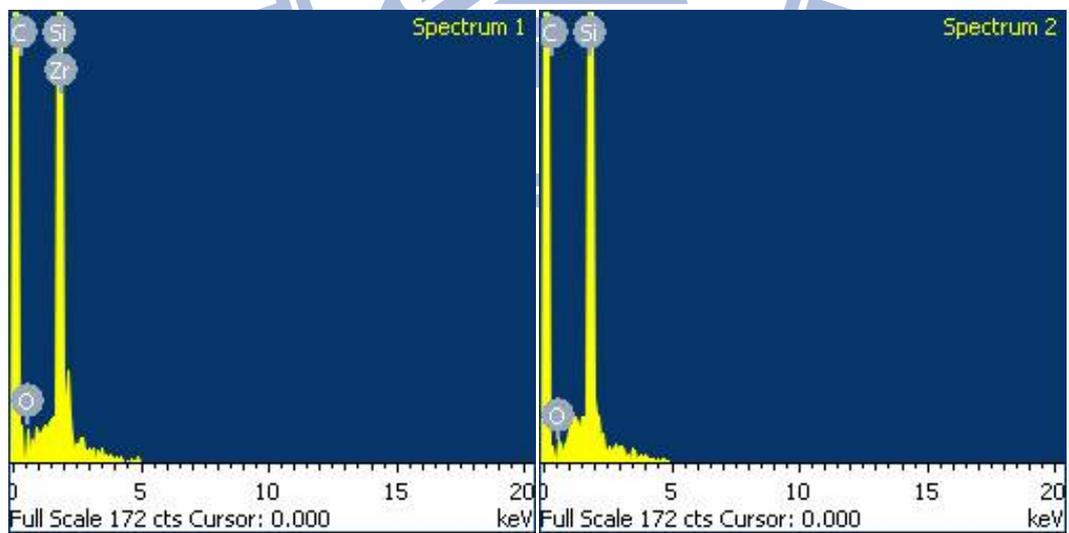


圖 26：EDS 測量 Zr 成分之實驗步驟



(a)



(b)

圖 27：EDS 結果 (a) EDS 之分析位置(b)元素圖譜

### 3-4-2、四氯化鋯溶液之濃度對薄膜平整度的效應

依照圖 28 的實驗步驟，將四氯化鋯溶解到去離子水中時，我們試著找出可使薄膜不呈現龜裂的最大溶解量。如圖 29 所示，其中(a)、(c)、(e)是利用光學顯微鏡(OM)觀察的表面形貌；(b)、(d)、(f)是利用電子顯微鏡(SEM)觀察的表面形貌。(a)(b)為 6%的  $ZrCl_4/H_2O$  濃度，薄膜表面呈現嚴重的龜裂；(c)(d)為 3%的  $ZrCl_4/H_2O$  濃度，薄膜表面有明顯改善龜裂的現象；(e)(f)為 1.2%的  $ZrCl_4/H_2O$  濃度，確認 1.2%的濃度可使薄膜表面狀態完整無裂痕。因此我們找出成長平滑薄膜的條件為 1.2%  $ZrCl_4/H_2O$ 。

High k 元件薄膜的龜裂是決定介電層品質最重要之因素；影響薄膜龜裂的因素很多，例如：溶膠的特性、旋塗的速率、烘烤的溫度等等。若薄膜的孔洞大小不一，則在烘烤的同時就會造成薄膜龜裂。本實驗中我們藉由控制溶膠濃度來瞭解溶質粒子是否分散良好且均勻的被旋塗在基板上，而且成功地找到最佳條件。



圖 28：OM&SEM 觀察 ZrO<sub>2</sub> 薄膜之實驗步驟

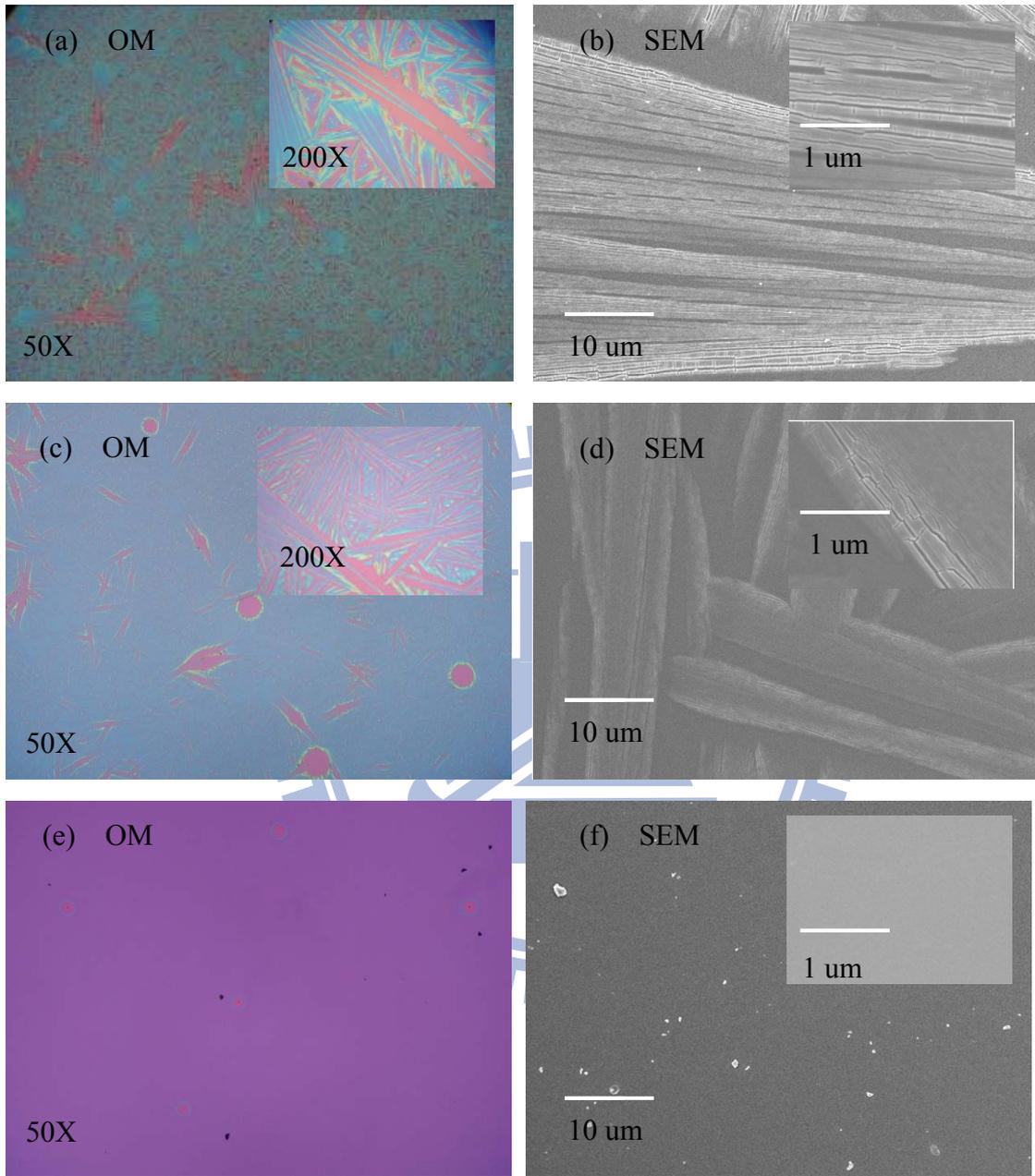


圖 29：不同濃度 ZrO<sub>2</sub> 薄膜之型態觀察 (a) 6%-OM，(b) 6%-SEM，  
(c) 3%-OM，(d) 3%-SEM，(e) 1.2%-OM，(f) 1.2%-SEM

### 3-4-3、薄膜粗糙度研究

我們設計了以下的四個條件：薄膜後氧電漿處理、薄膜旋塗速率、薄膜前氧電漿處理、不同薄膜濃度共四個實驗來觀察薄膜表面粗糙度的變化。

1、為確認薄膜後氧電漿處理不同時間下的影響，依照圖 30 的實驗步驟，我們在固定  $\text{ZrO}_2$  濃度 1.2%，旋塗參數 1000 rpm-30 s 的控制變因下，分別對薄膜表面施以 0 秒、20 秒、40 秒、60 秒的氧電漿處理，利用 AFM 觀察結果如圖 31~34。圖 31 中未經過氧電漿處理的薄膜粗糙度(Ra)為 1.673 nm；圖 32 中經過氧電漿 20 秒處理的薄膜粗糙度(Ra)為 0.323 nm；圖 33 中經過氧電漿 40 秒處理的薄膜粗糙度(Ra)為 0.730 nm；圖 34 中經過氧電漿 60 秒處理的薄膜粗糙度(Ra)為 1.913 nm，確認適當的氧電漿處理能夠加強薄膜平整性。經由研究，我們發現最佳氧電漿處理時間是 20 秒~40 秒。

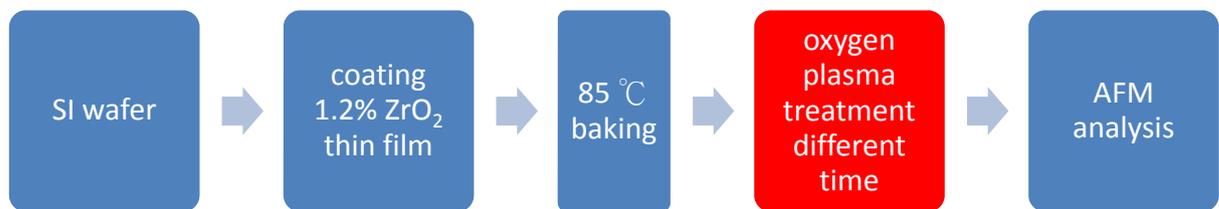


圖 30：AFM 觀察不同時間氧電漿處理  $\text{ZrO}_2$  薄膜之實驗步驟

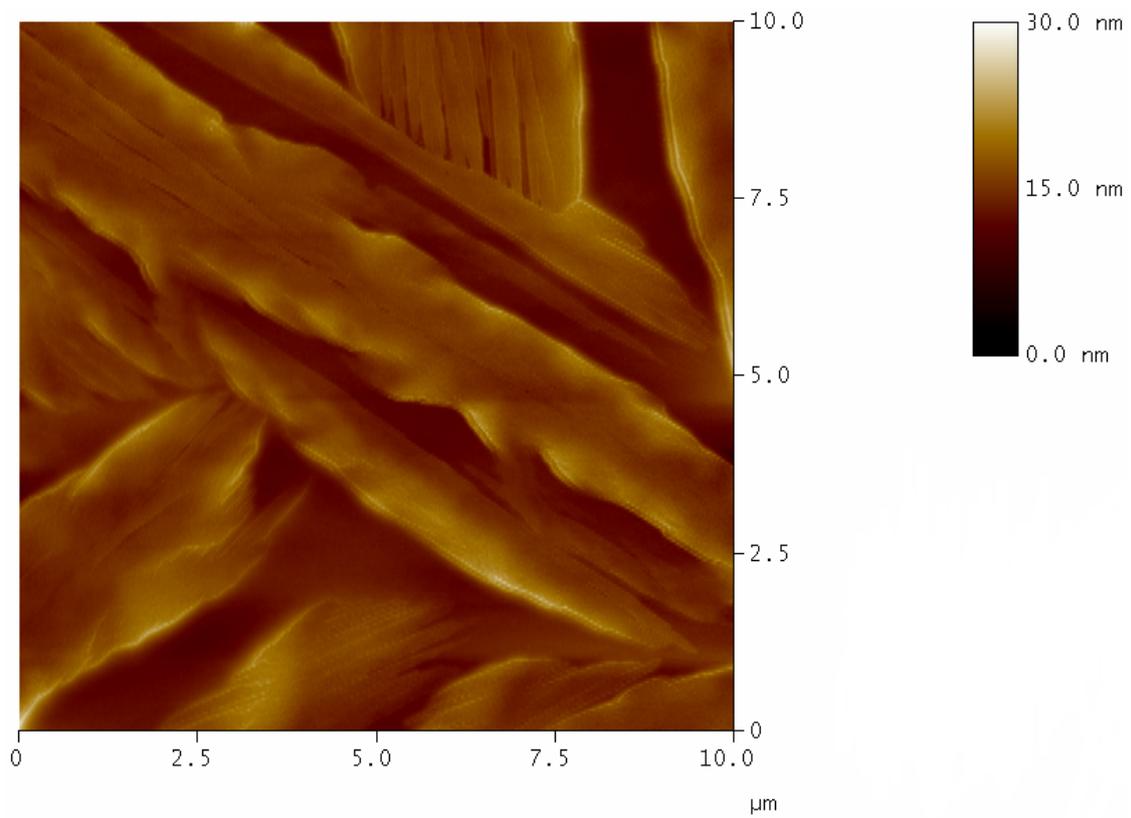


圖 31-(a)：無氧電漿處理之 AFM 2D 分析圖

粗糙度=1.673 nm

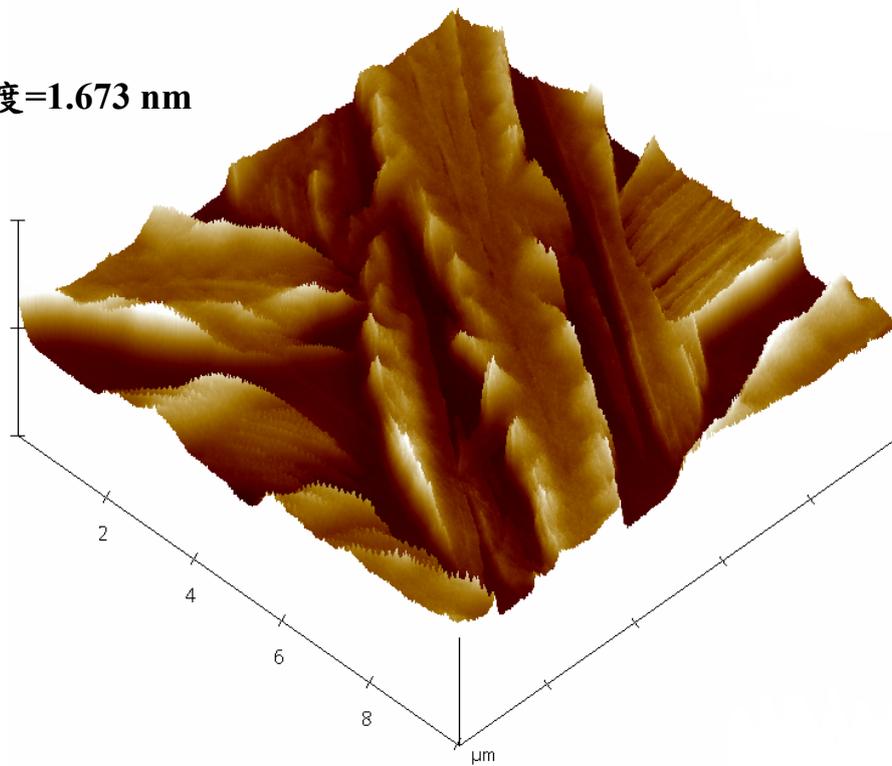


圖 31-(b)：無氧電漿處理之 AFM 3D 分析圖

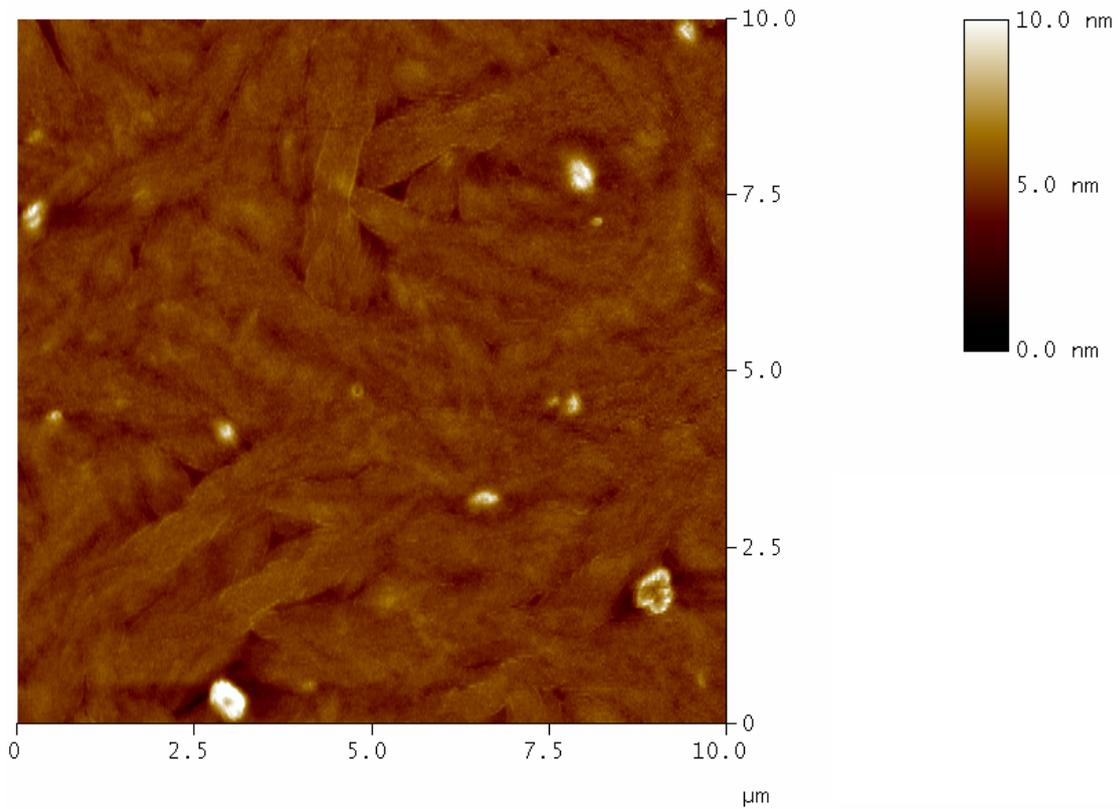


圖 32-(a)：氧電漿處理 20 s 之 AFM 2D 分析圖

粗糙度=0.323nm

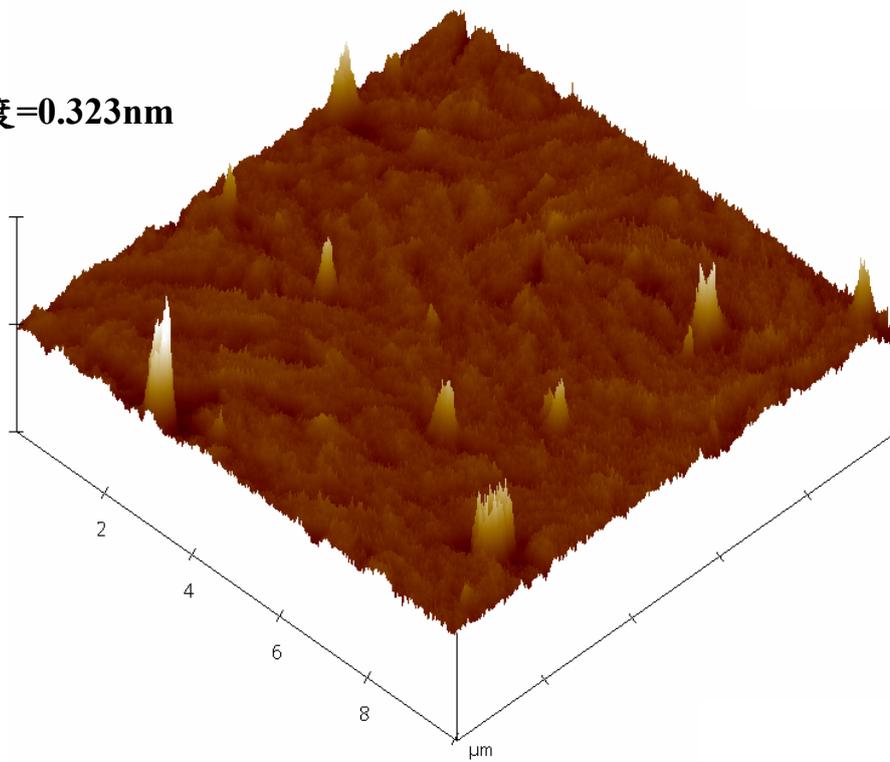


圖 32-(b)：氧電漿處理 20 s 之 AFM 3D 分析圖

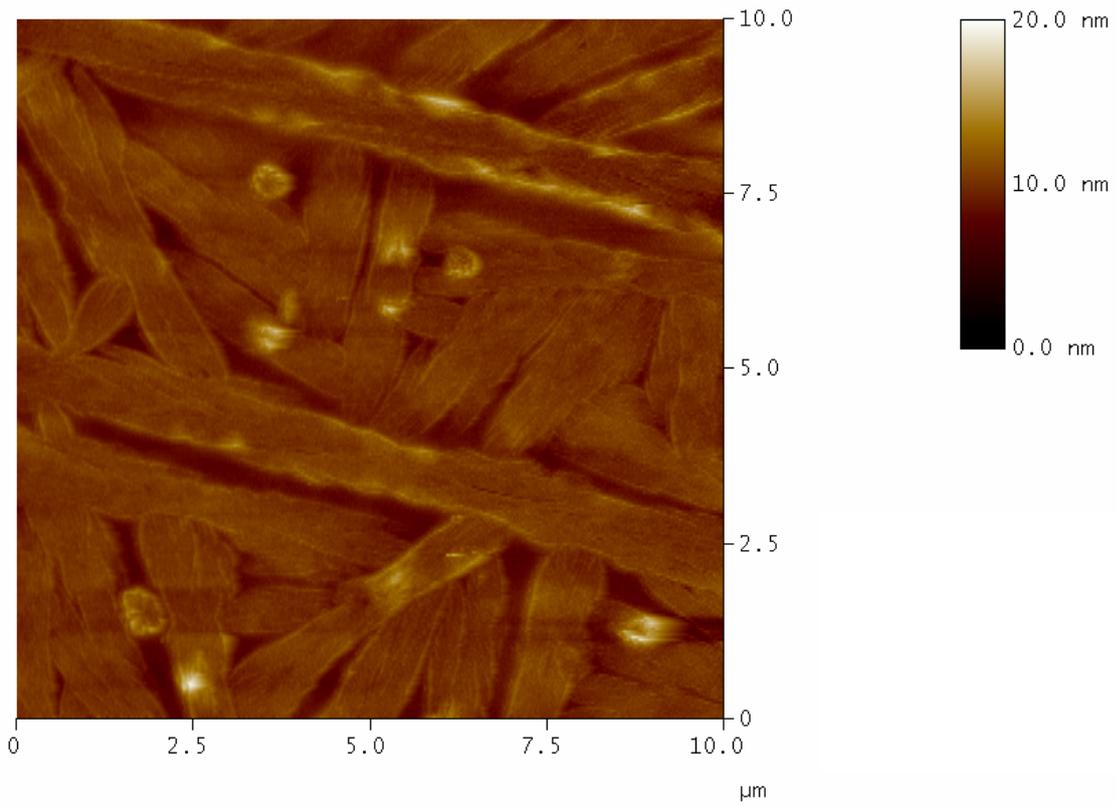


圖 33-(a)：氧電漿處理 40 s 之 AFM 2D 分析圖

粗糙度=0.730 nm

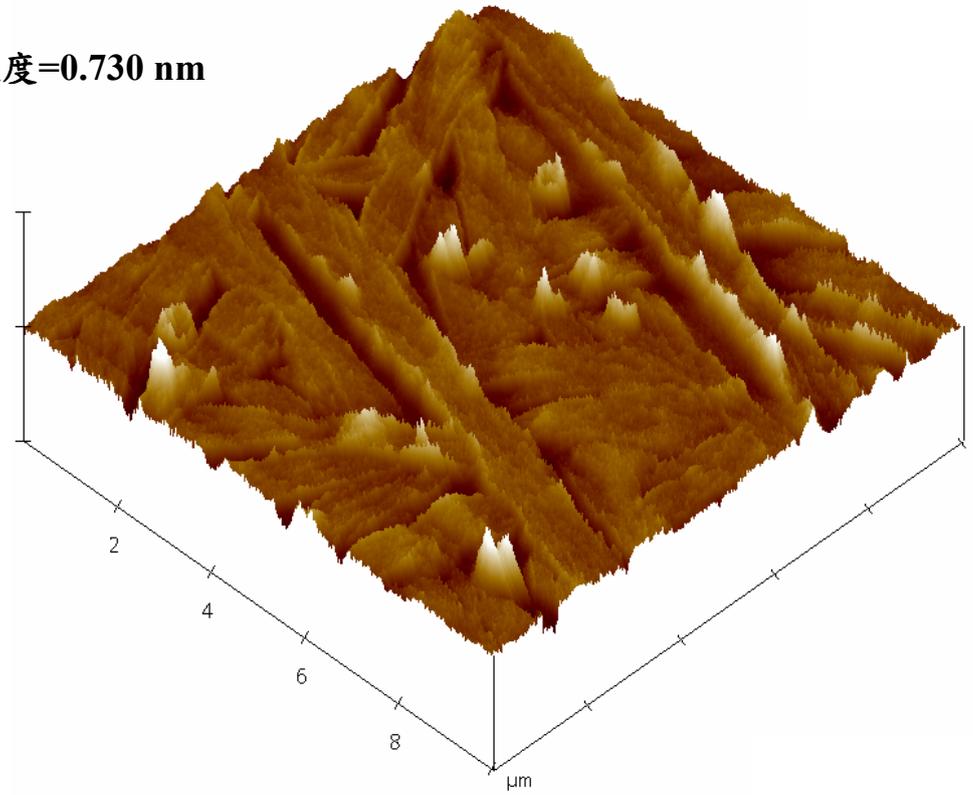


圖 33-(b)：氧電漿處理 40 s 之 AFM 3D 分析圖

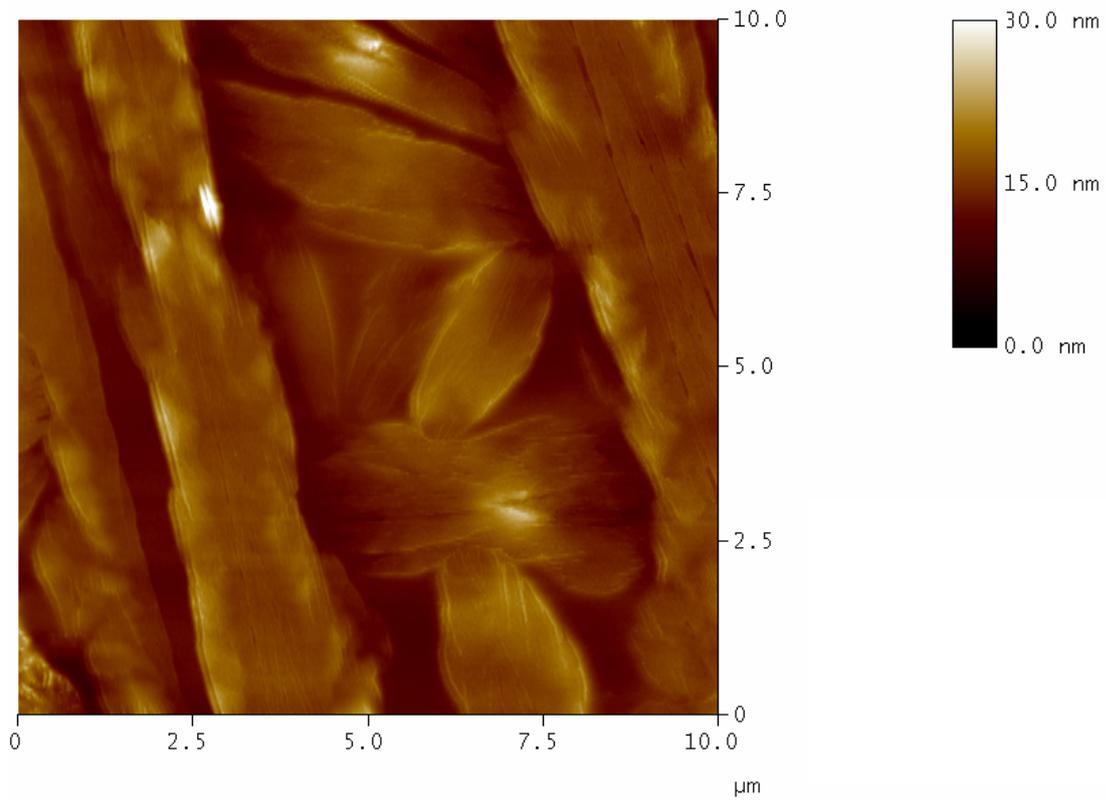


圖 34-(a)：氧電漿處理 60 s 之 AFM 2D 分析圖

粗糙度=1.913 nm

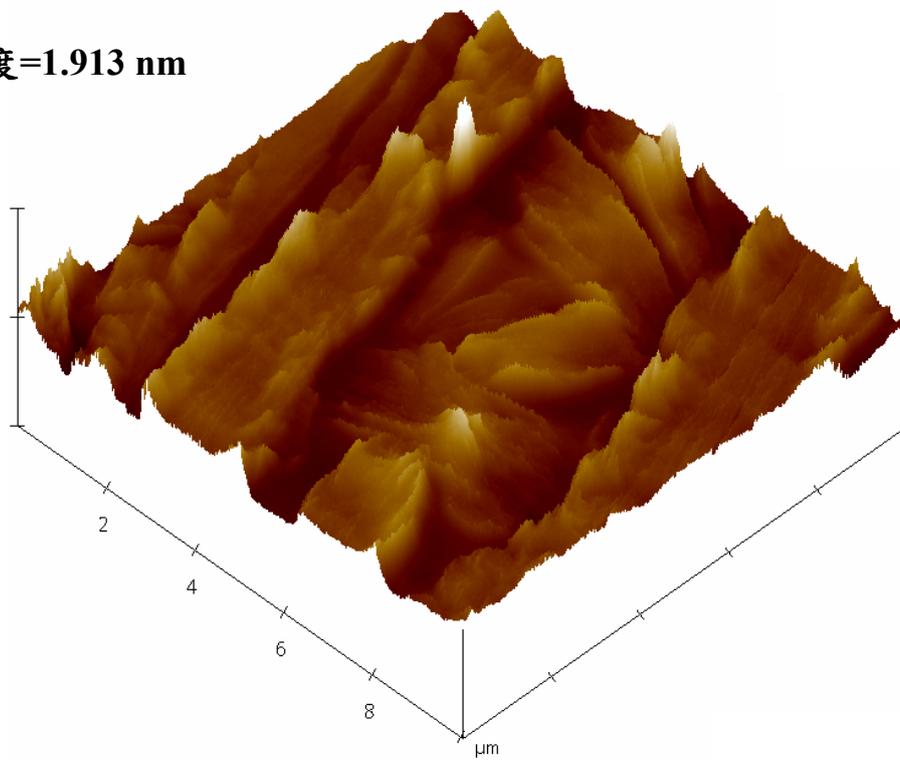


圖 34-(b)：氧電漿處理 60 s 之 AFM 3D 分析圖

2、為確認薄膜旋塗速率對其表面平整度的影響，依照圖 35 的實驗步驟，我們在固定 1.2% ZrO<sub>2</sub> 濃度，旋塗時間 30 s，氧電漿 20 s 的控制變因下，分別施以 1000 rpm、2000 rpm、3000 rpm 的旋塗參數，如圖 36~38 所示，1000 rpm 下的粗糙度是 0.323 nm；2000 rpm 下的粗糙度是 0.277 nm；3000 rpm 下的粗糙度是 0.244 nm。速率越高，除了會使成長膜變薄外，也會使表面越平坦。

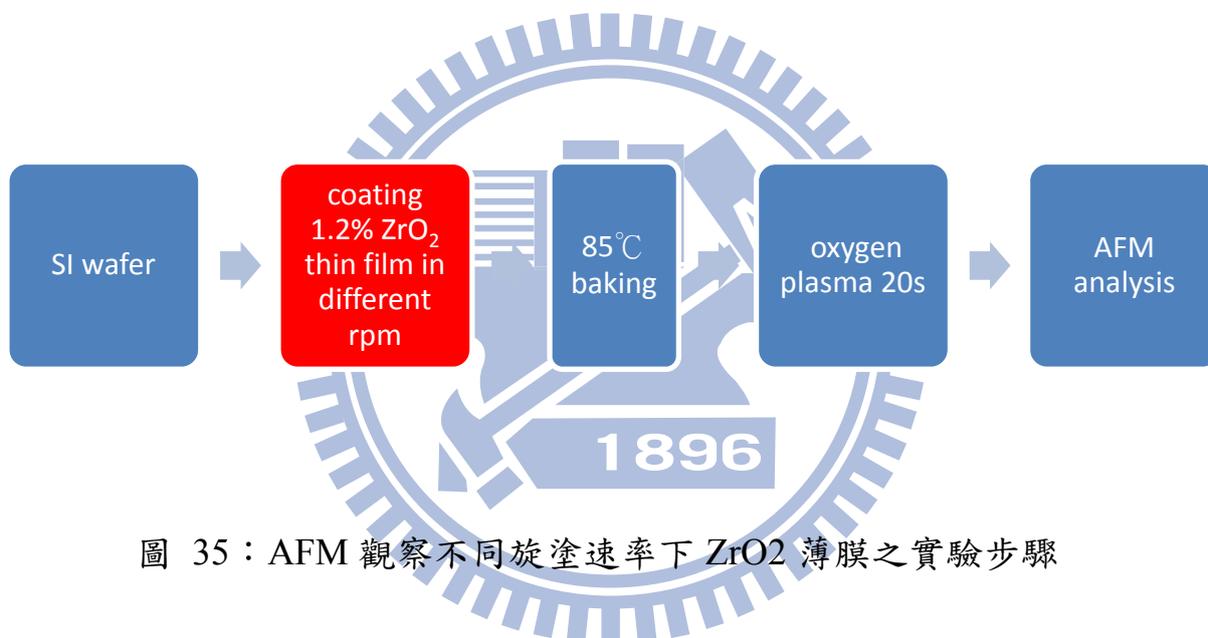


圖 35：AFM 觀察不同旋塗速率下 ZrO<sub>2</sub> 薄膜之實驗步驟

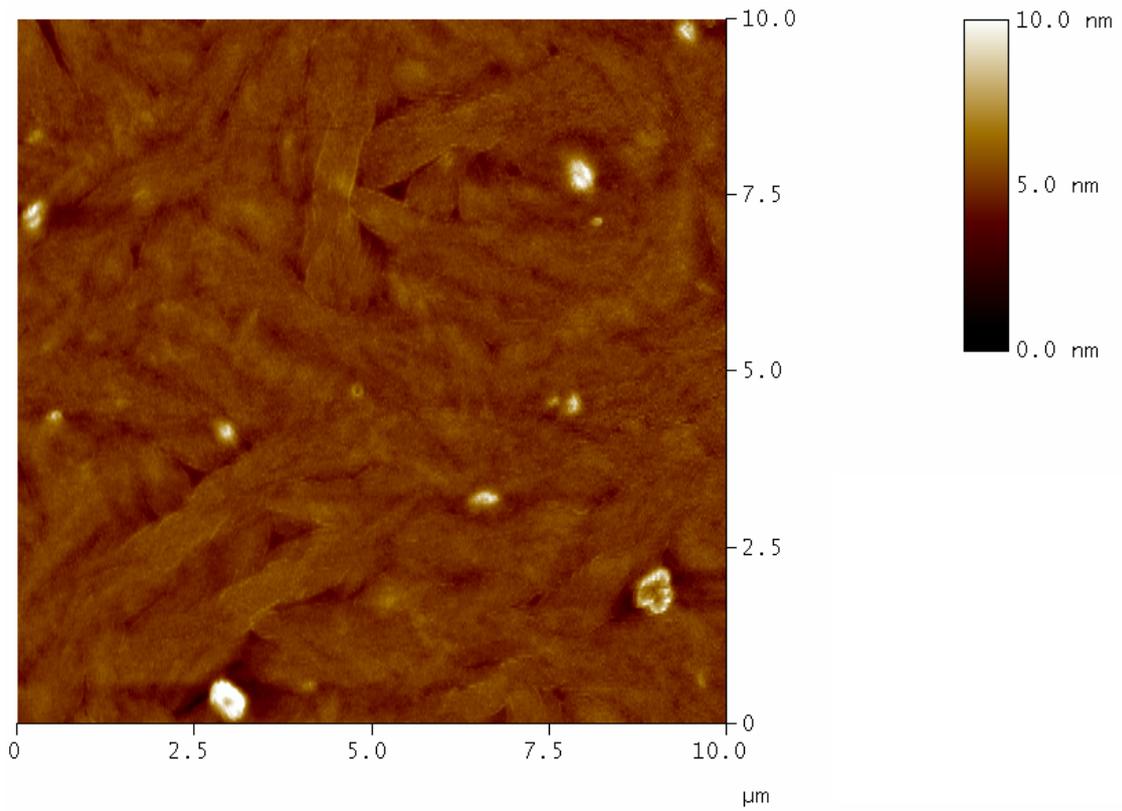


圖 36-(a) : 1000 rpm 之 AFM 2D 分析圖

粗糙度=0.323 nm

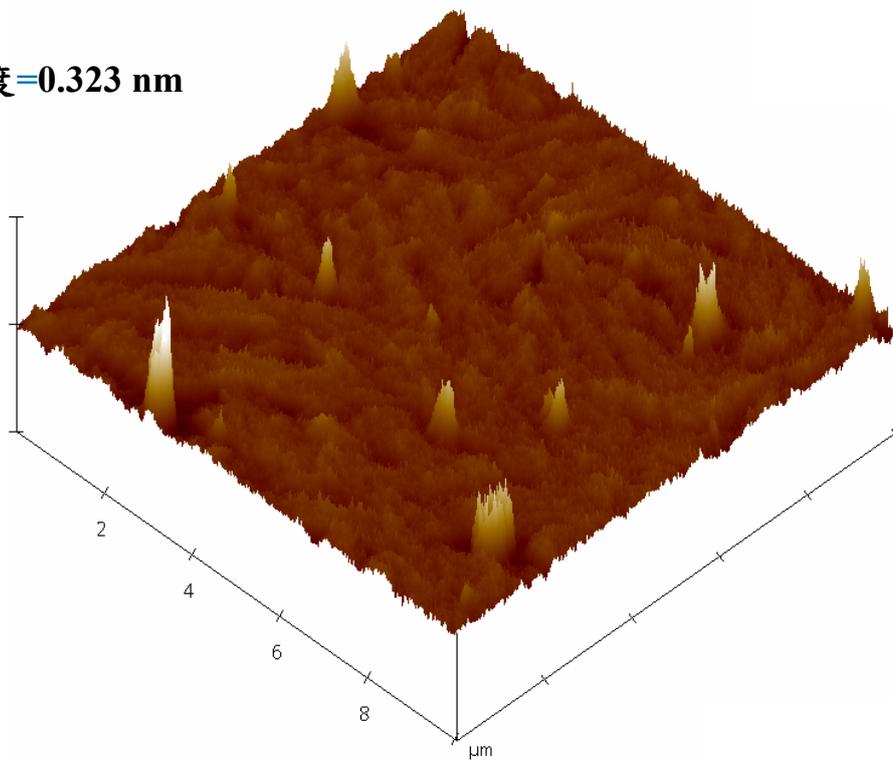


圖 36-(b) : 1000 rpm 之 AFM 3D 分析圖

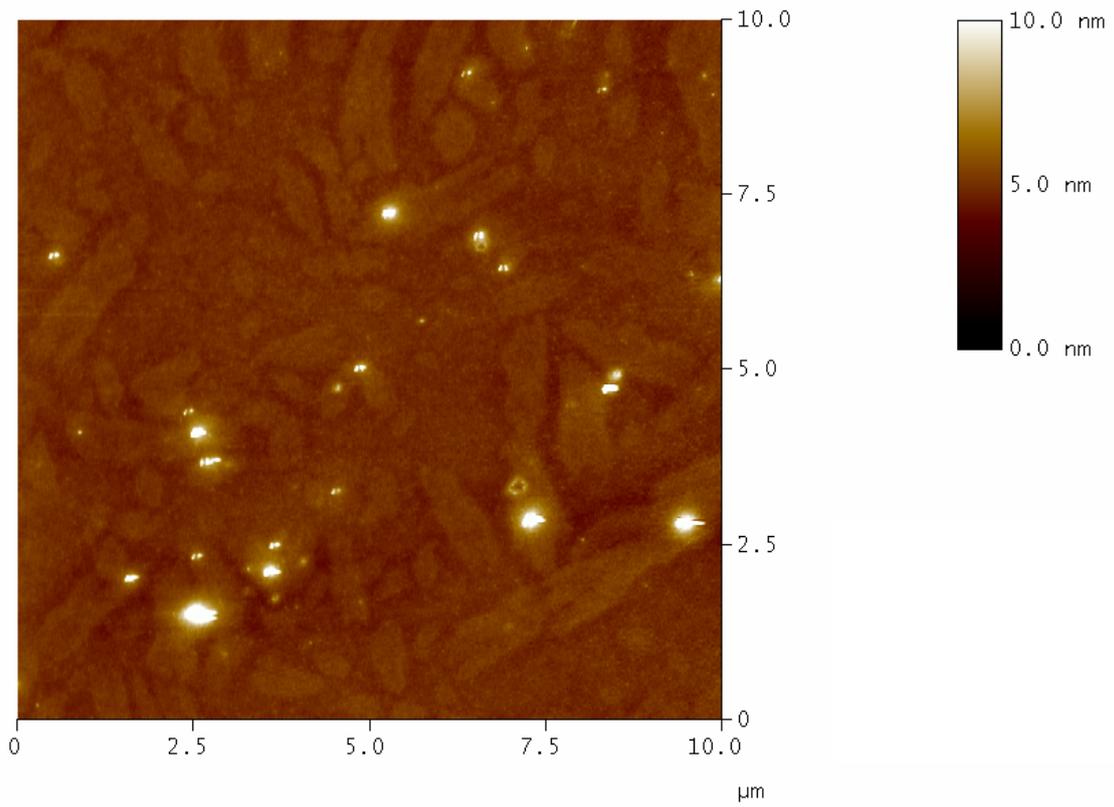


圖 37-(a) : 2000 rpm 之 AFM 2D 分析圖

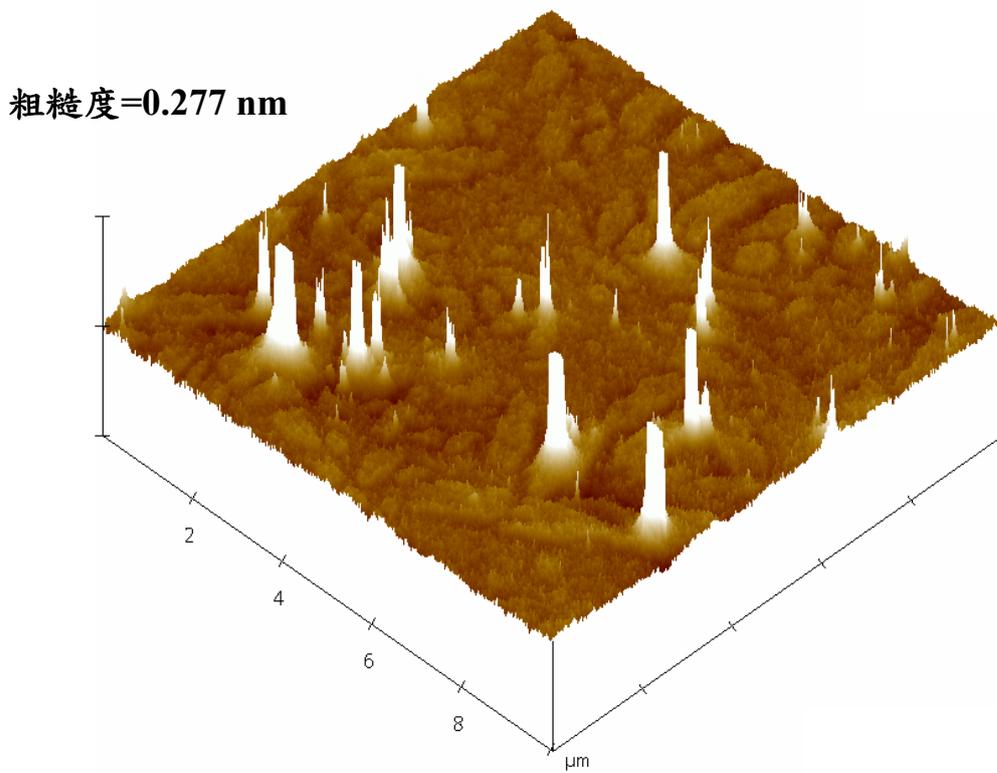


圖 37-(b) : 2000 rpm 之 AFM 3D 分析圖

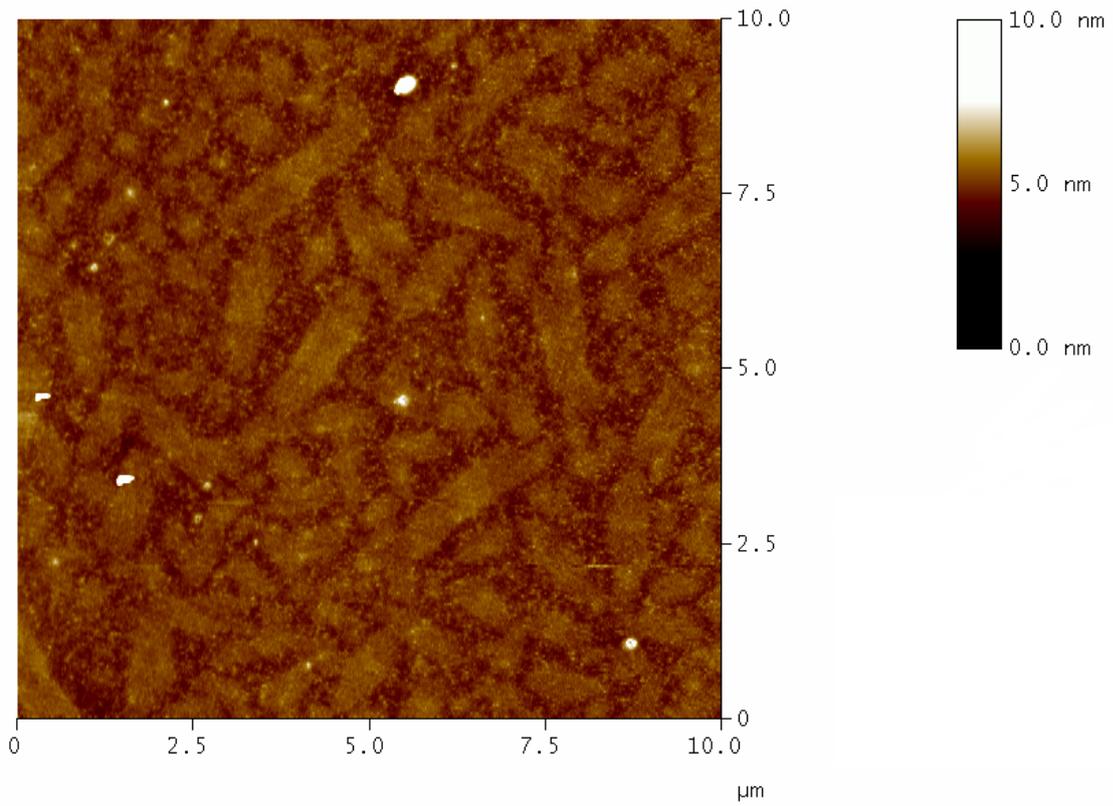


圖 38-(a) : 3000 rpm 之 AFM 2D 分析圖

粗糙度=0.244 nm

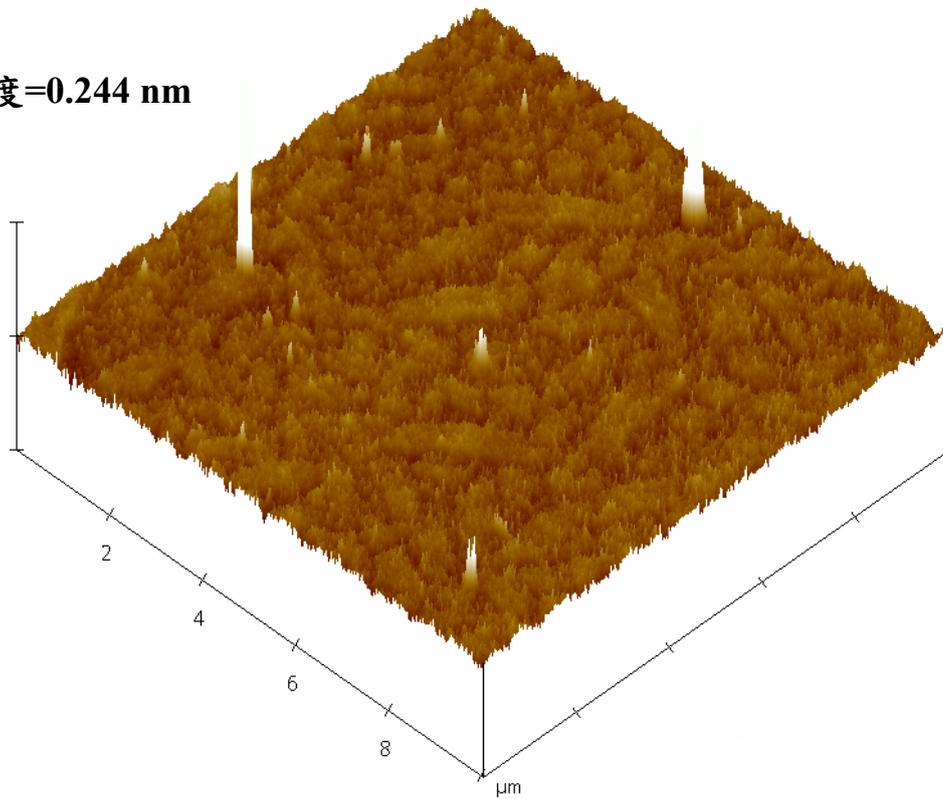


圖 38-(b) : 3000 rpm 之 AFM 3D 分析圖

3、為確認薄膜前氧電漿處理的影響，依照圖 39 的實驗步驟，在旋塗薄膜前，我們嘗試先在矽晶圓上施打氧電漿，如圖 40-41 所示，旋塗  $ZrO_2$  薄膜前未施以氧電漿處理之粗糙度為 5.912 nm；有施以氧電漿處理之粗糙度為 5.179 nm，研究發現氧電漿前置處理可以降低粗糙度。

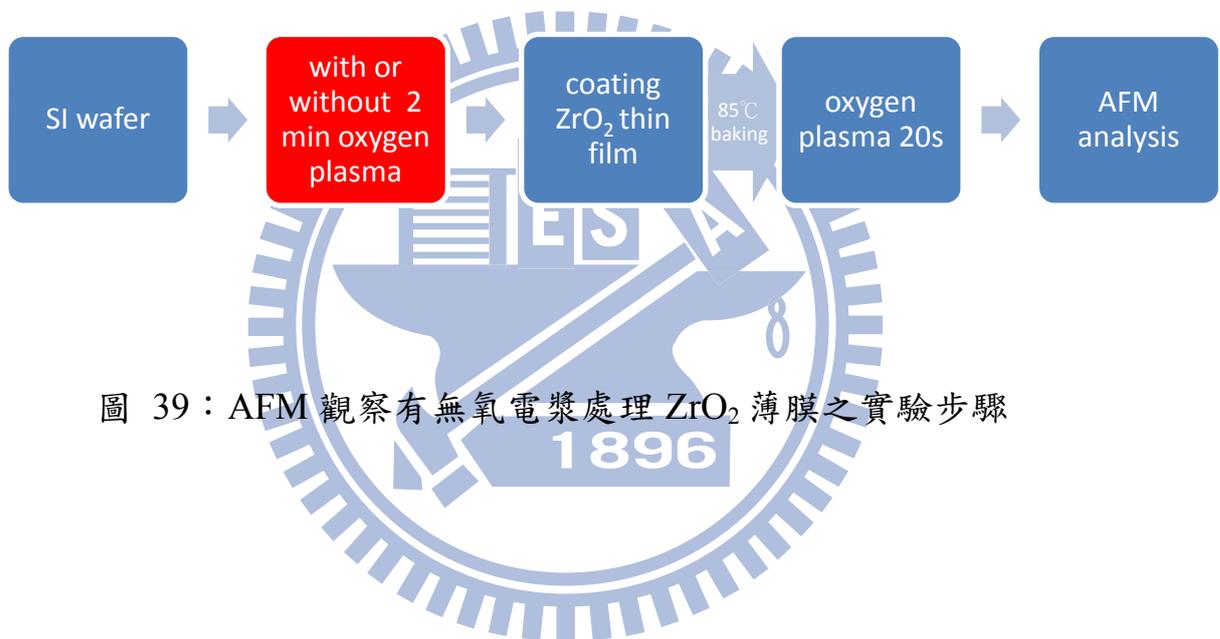


圖 39：AFM 觀察有無氧電漿處理  $ZrO_2$  薄膜之實驗步驟

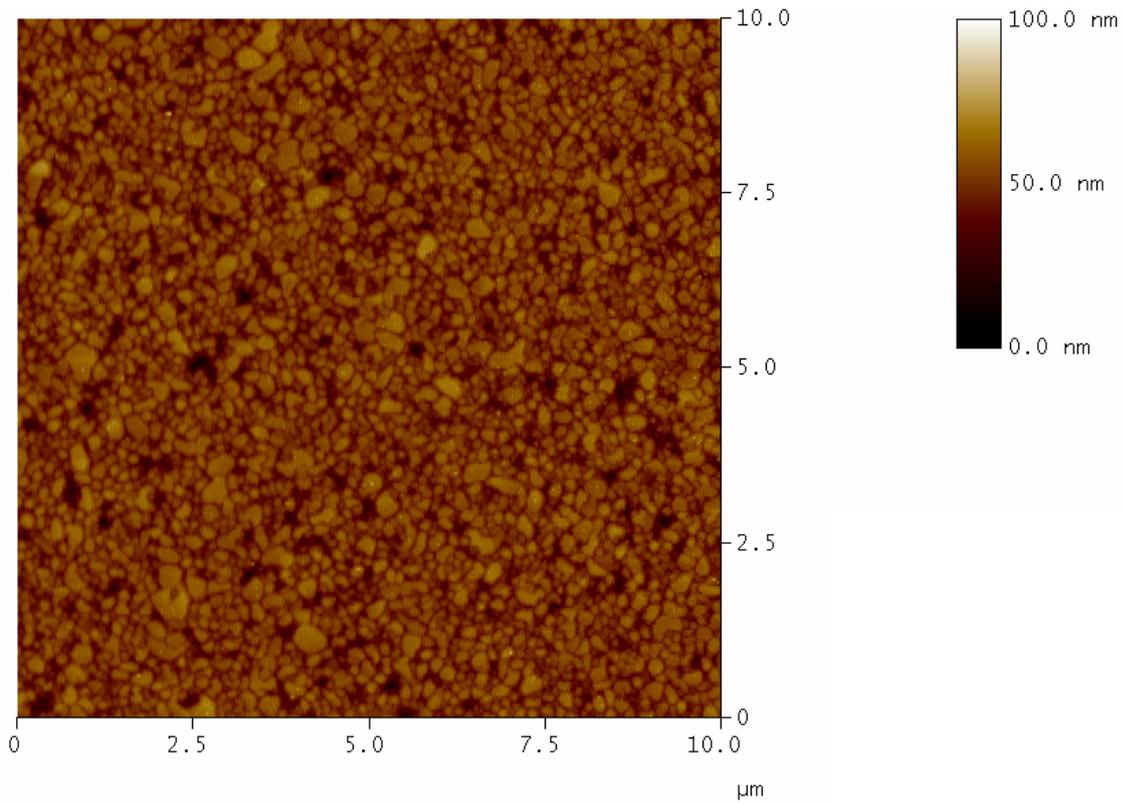


圖 40-(a)：旋塗  $ZrO_2$  薄膜前未施以氧電漿處理之 AFM 2D 分析圖

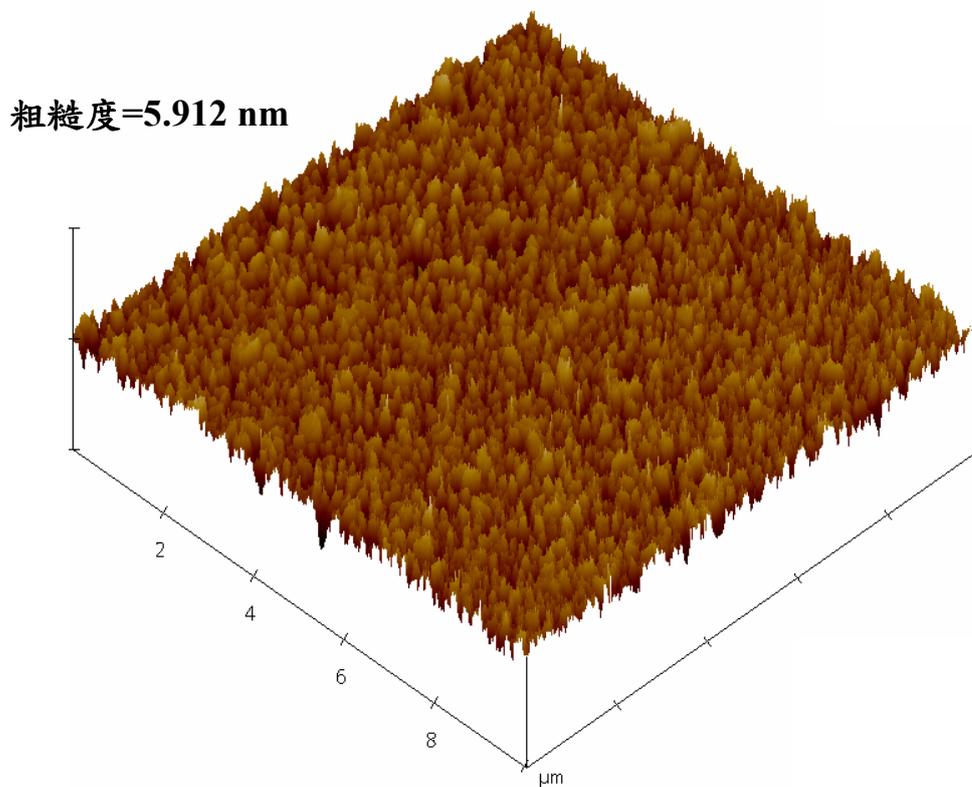


圖 40-(b)：旋塗  $ZrO_2$  薄膜前未施以氧電漿處理之 AFM 3D 分析圖

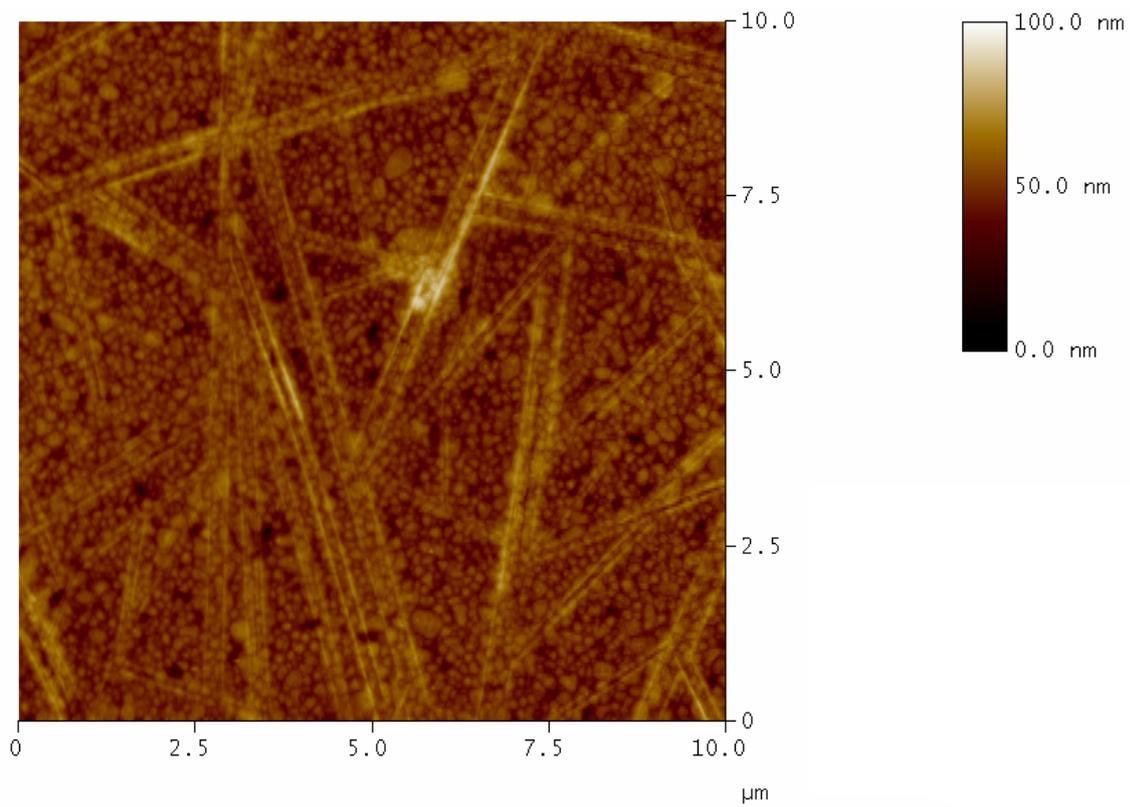


圖 41-(a)：旋塗 ZrO<sub>2</sub> 薄膜前施以氧電漿處理之 AFM 2D 分析圖

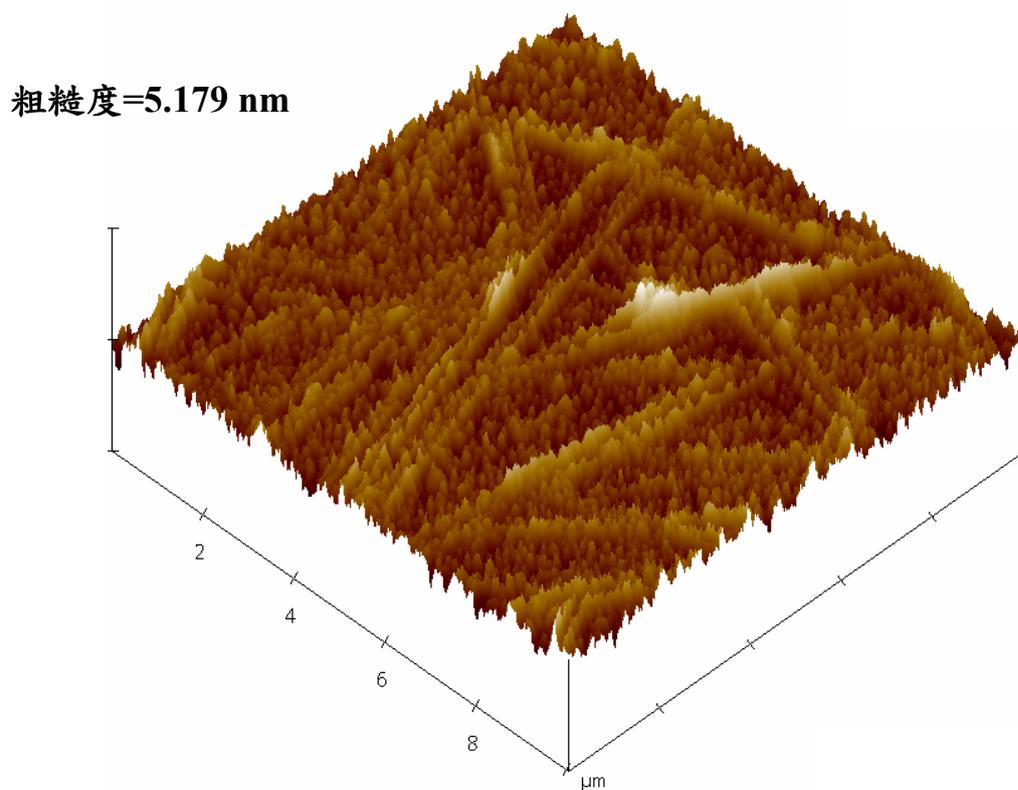


圖 41-(b)：旋塗 ZrO<sub>2</sub> 薄膜前施以氧電漿處理之 AFM 3D 分析圖

4、為確認更低濃度溶液對薄膜平整度的影響，依照圖 42 的實驗步驟，我們嘗試用更低濃度的二氧化鋯薄膜旋塗在矽晶圓上如圖 43~44 所示，1.2%  $ZrCl_4/H_2O$  的薄膜粗糙度是 0.335 nm；0.6%  $ZrCl_4/H_2O$  的薄膜粗糙度是 0.119 nm。研究發現濃度低可以降低粗糙度。

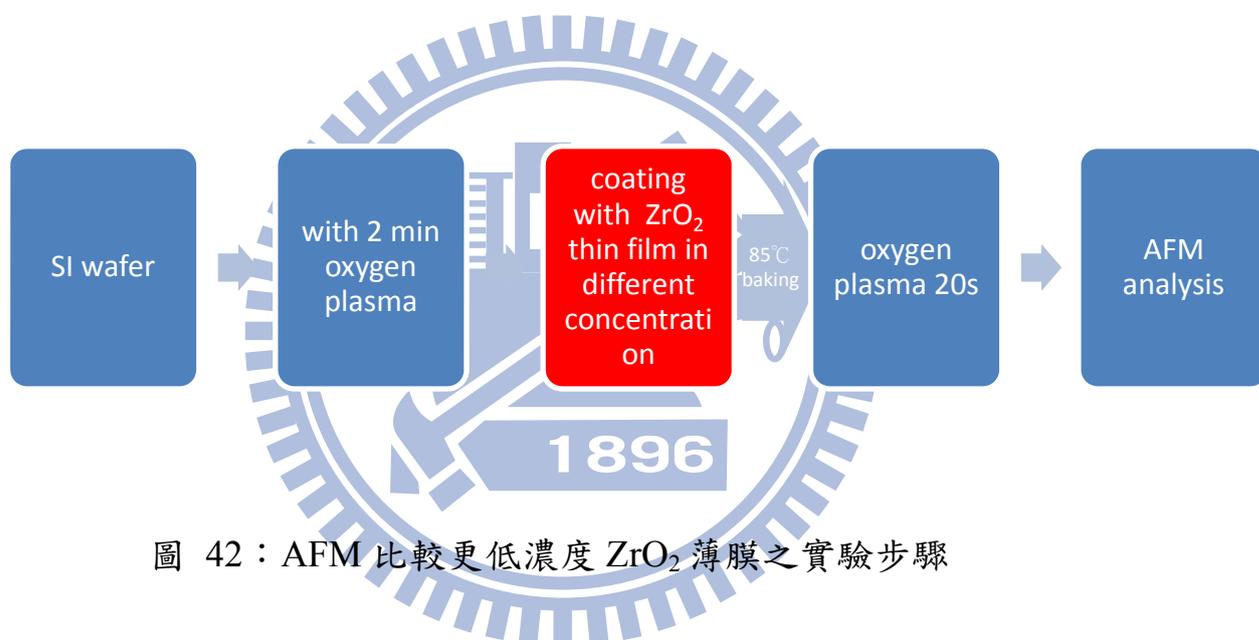


圖 42：AFM 比較更低濃度  $ZrO_2$  薄膜之實驗步驟

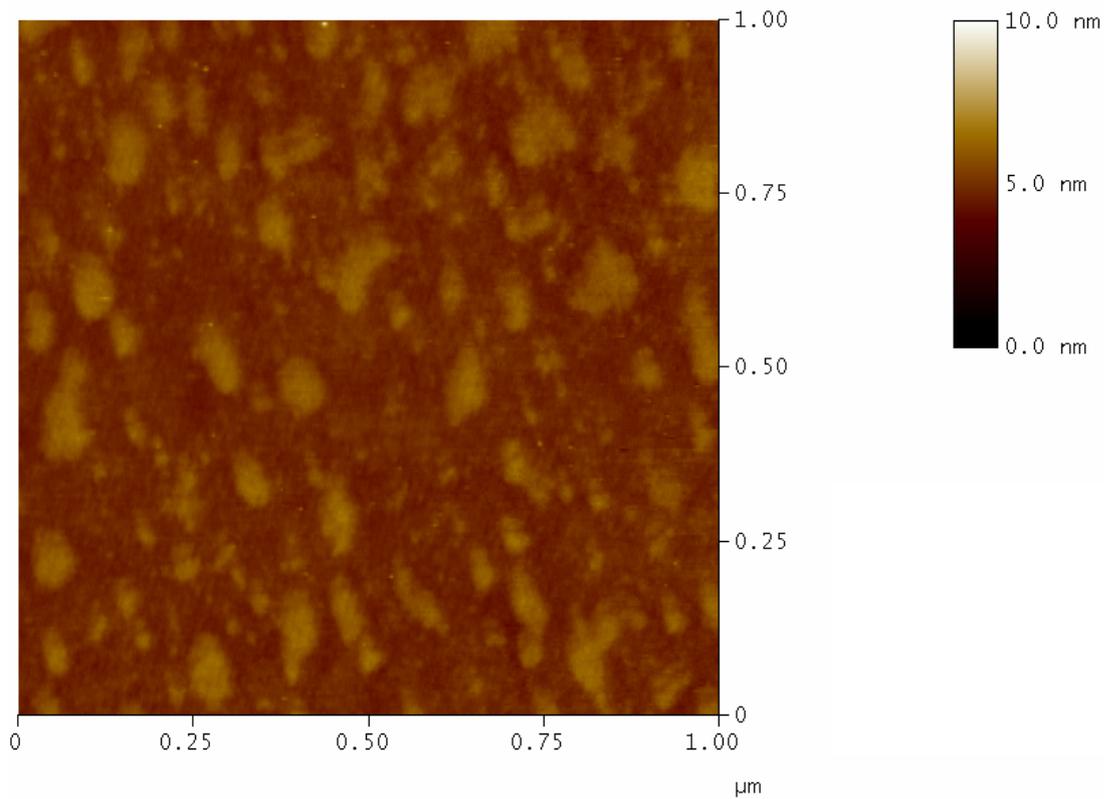


圖 43-(a)：1.2%之 AFM 2D 分析圖

粗糙度=0.335 nm

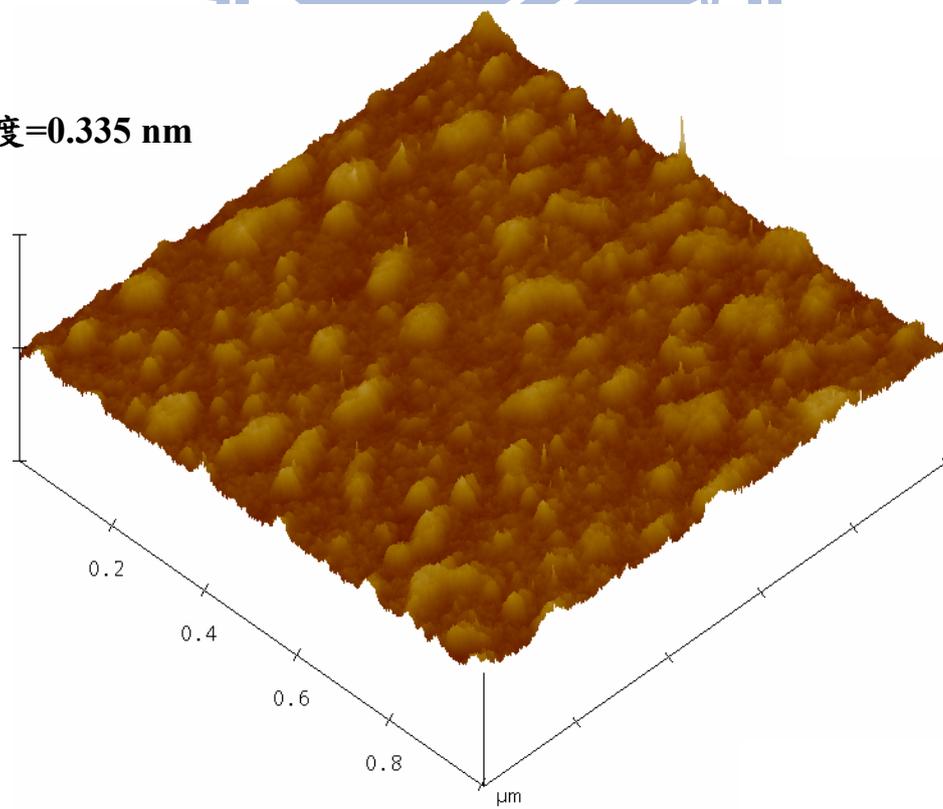


圖 43-(b)：1.2%之 AFM 3D 分析圖

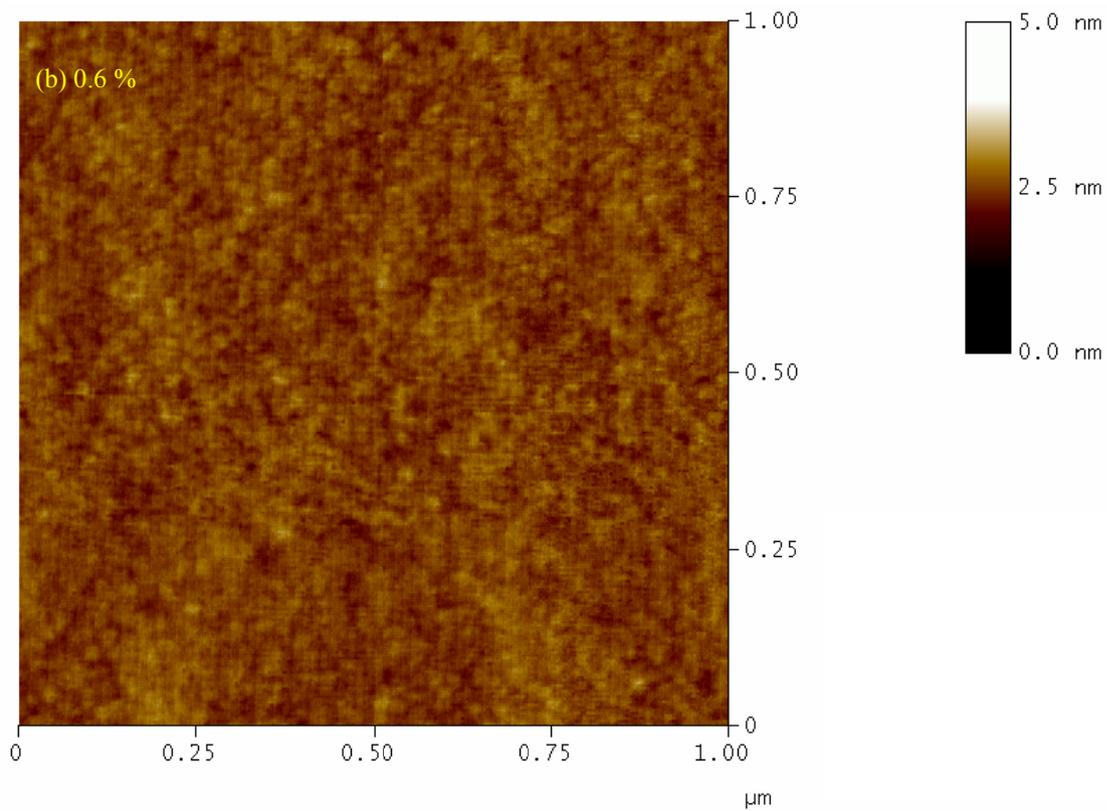


圖 44-(a)：0.6%之 AFM 2D 分析圖

粗糙度=0.119 nm

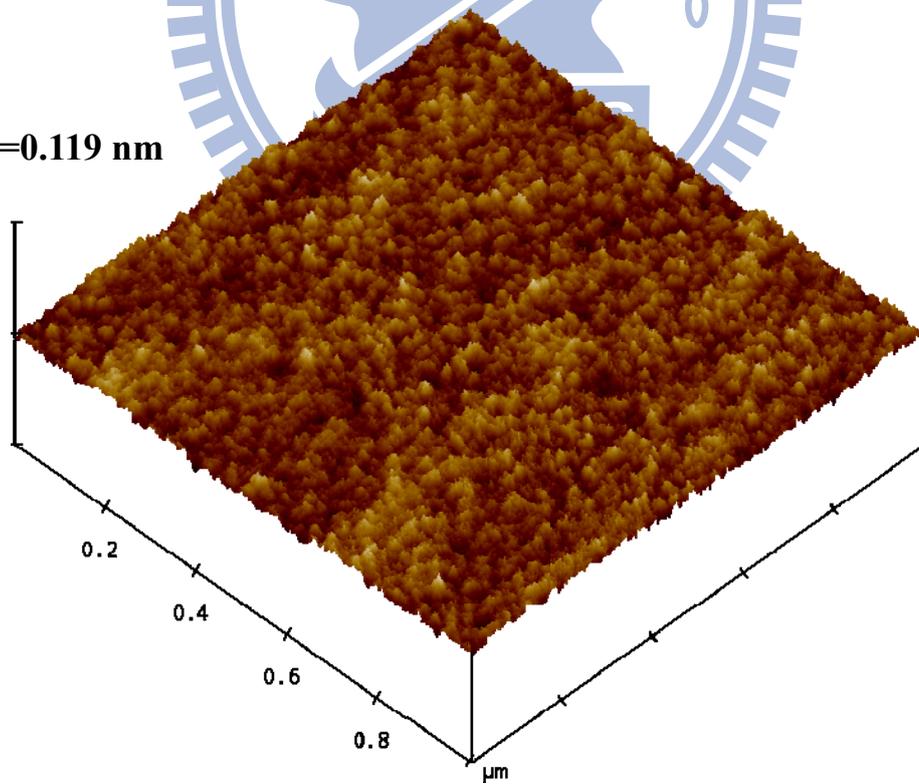
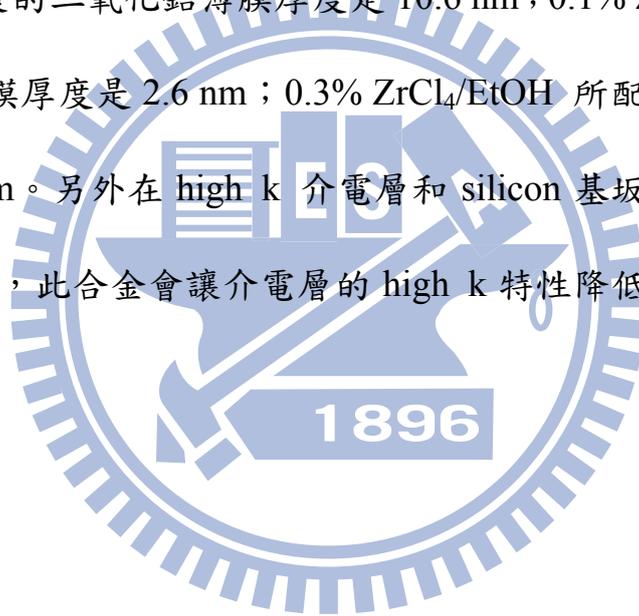


圖 44-(b)：0.6%之 AFM 3D 分析圖

### 3-4-4、二氧化鋯薄膜之厚度

依據文獻指出[39]，二氧化鋯薄膜之厚度會隨著製作濃度的增加而上升，其原因是黏度也會增加，如圖 45 所示。因此我們在矽基板上以溶膠凝膠法製成不同濃度與不同溶劑下的二氧化鋯薄膜，並使用 TEM 觀察薄膜厚度，如圖 46-49 所示，其中 Zr-silicate 為 Zr 與 Si 元素化合物。數據整理如表 7。0.3%  $\text{ZrCl}_4/\text{H}_2\text{O}$  所配製的二氧化鋯薄膜厚度是 4.1 nm；0.6%  $\text{ZrCl}_4/\text{H}_2\text{O}$  所配製的二氧化鋯薄膜厚度是 10.6 nm；0.1%  $\text{ZrCl}_4/\text{EtOH}$  所配製的二氧化鋯薄膜厚度是 2.6 nm；0.3%  $\text{ZrCl}_4/\text{EtOH}$  所配製的二氧化鋯薄膜厚度是 8.73 nm。另外在 high k 介電層和 silicon 基板的介面有觀察到 Zr-silicate 的合金，此合金會讓介電層的 high k 特性降低，但整體上特性還是不錯[43]。



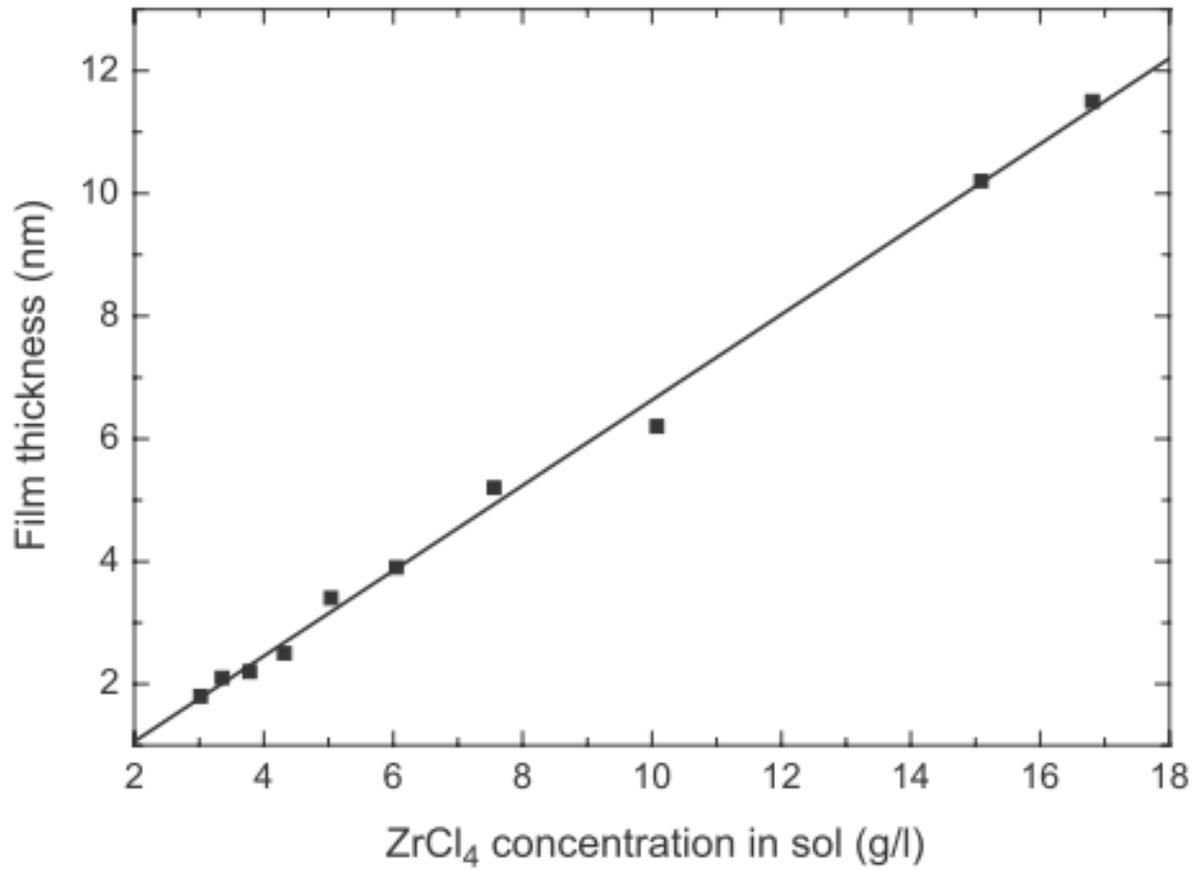


圖 45：ZrCl<sub>4</sub> 在有機溶劑中溶解後形成 ZrO<sub>2</sub> 薄膜之厚度與濃度曲線 [39]

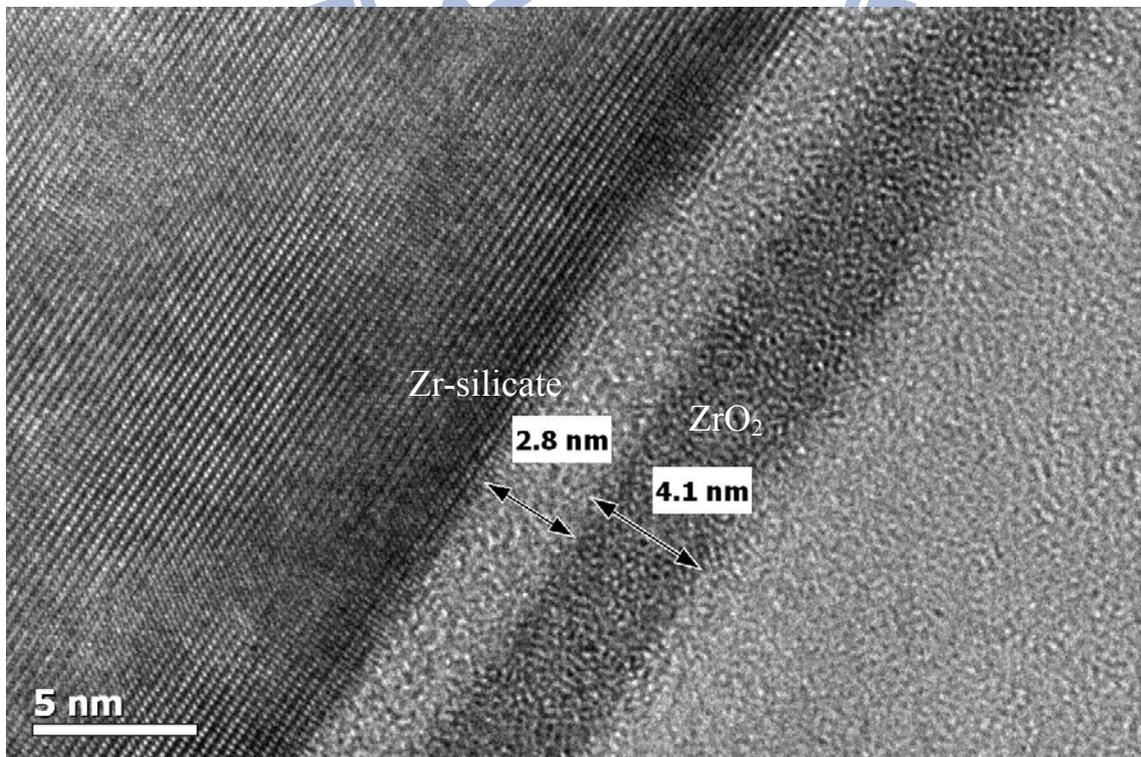


圖 46：0.3% ZrCl<sub>4</sub>/H<sub>2</sub>O 之 TEM 圖

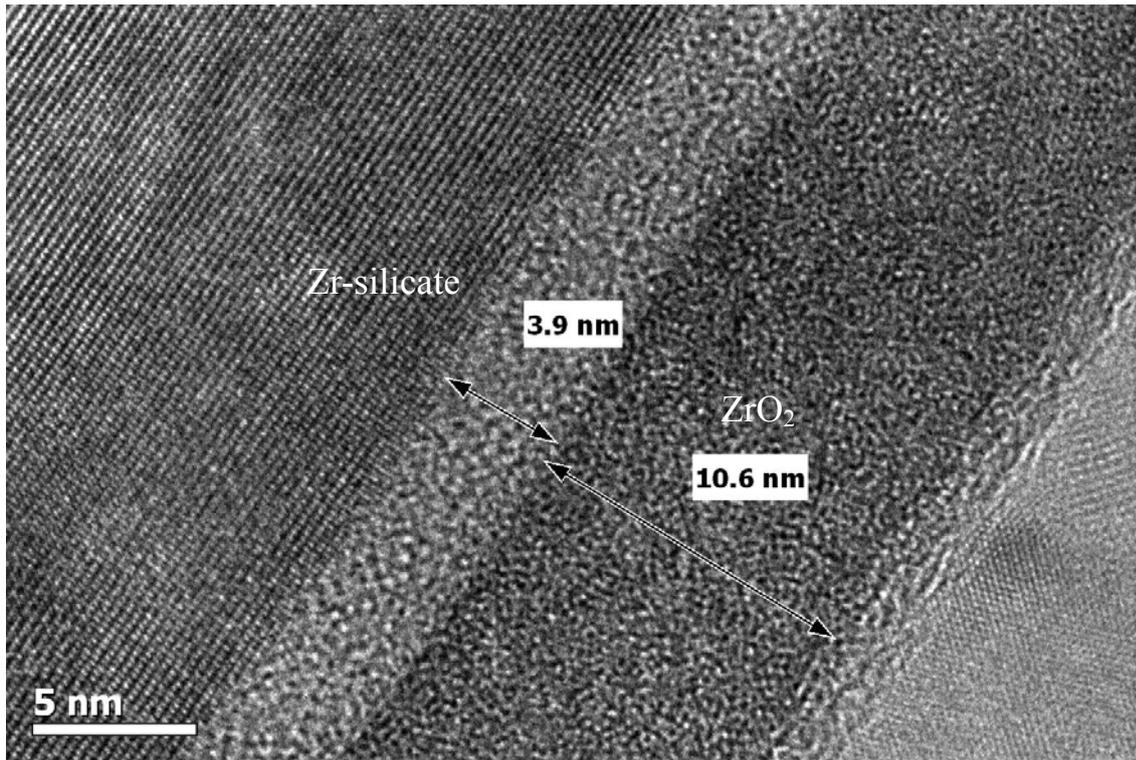


圖 47 : 0.6% ZrCl<sub>4</sub>/H<sub>2</sub>O 之 TEM 圖

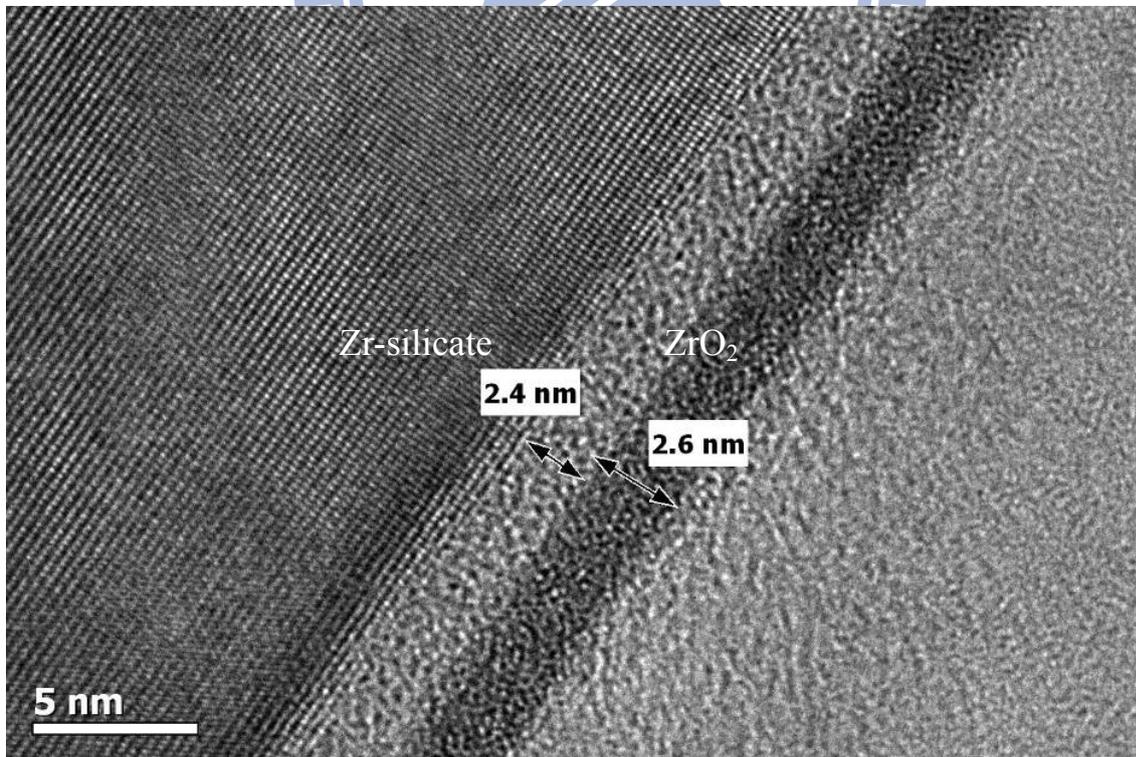


圖 48 : 0.1% ZrCl<sub>4</sub>/EtOH 之 TEM 圖

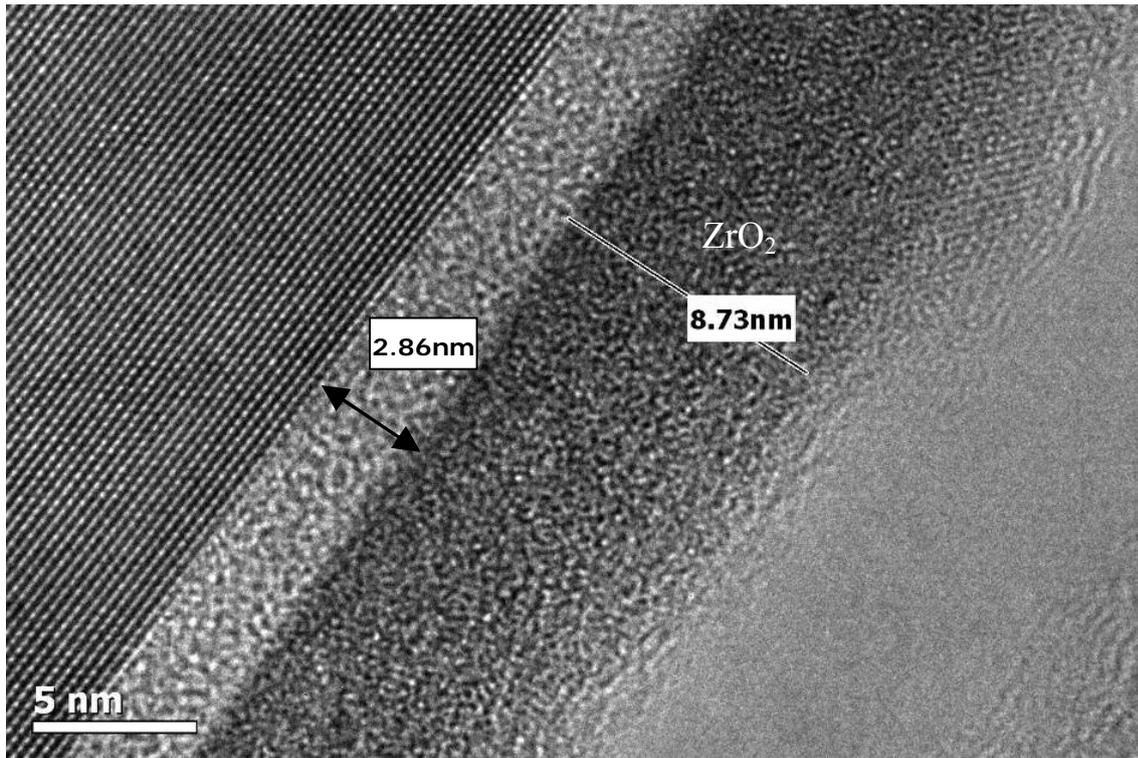


圖 49：0.3% ZrCl<sub>4</sub>/EtOH 之 TEM 圖

類別	ZrCl <sub>4</sub> /H <sub>2</sub> O		ZrCl <sub>4</sub> /EtOH	
	0.3%	0.6%	0.1%	0.3%
重量百分比	0.3%	0.6%	0.1%	0.3%
Zr-silicate 厚度(nm)	2.8	3.9	2.4	2.86
ZrO <sub>2</sub> 厚度(nm)	4.1	10.6	2.6	8.73

表 7：TEM 量測薄膜厚度彙整表

### 3-4-5、電流-電壓特性(I-V curve)

一個好的介電層除了具備很高的飽和電容值，也要有很低的漏電流。實驗上可以藉由電容-電壓曲線以及電流密度-電壓曲線來評斷介電層的優劣。

利用電流-電壓曲線，我們可以觀察試片在外加電壓越來越高的狀況下，何時會產生極大的電流。通常定義電流在到達  $10^{-6}$  安培等級以上者稱為崩潰( Breakdown )，而元件崩潰時的電壓定義為崩潰電壓( Breakdown Voltage )。

我們比較以酒精為溶劑與以水為溶劑所製成之二氧化鋯薄膜在 I-V curve 上的表現，如圖 50 所示。其中以水為溶劑所製成之二氧化鋯薄膜，又分為濕氧製程與乾氧製程，兩者差別在於烘烤與施打氧電漿的順序不同。濕氧製程是指  $ZrO_2$  薄膜烘烤前施以氧電漿處理；乾氧製程是指  $ZrO_2$  薄膜在烘烤後再施以氧電漿處理。

觀察到以酒精為溶劑所製成之電容，其崩潰電壓約為 15 伏特；以水為溶劑所製成之電容，其崩潰電壓約為 10 伏特。意謂著其操作電壓需小於 10 伏特，若超過 10 伏特，則會產生過大漏電流，導致二氧化鋯介電層無法累積電子，因而產生介電崩潰(當加在介電層上的電場強度超過臨界值時，流過該介電層的電流突然增大，介電層便完全失效)。

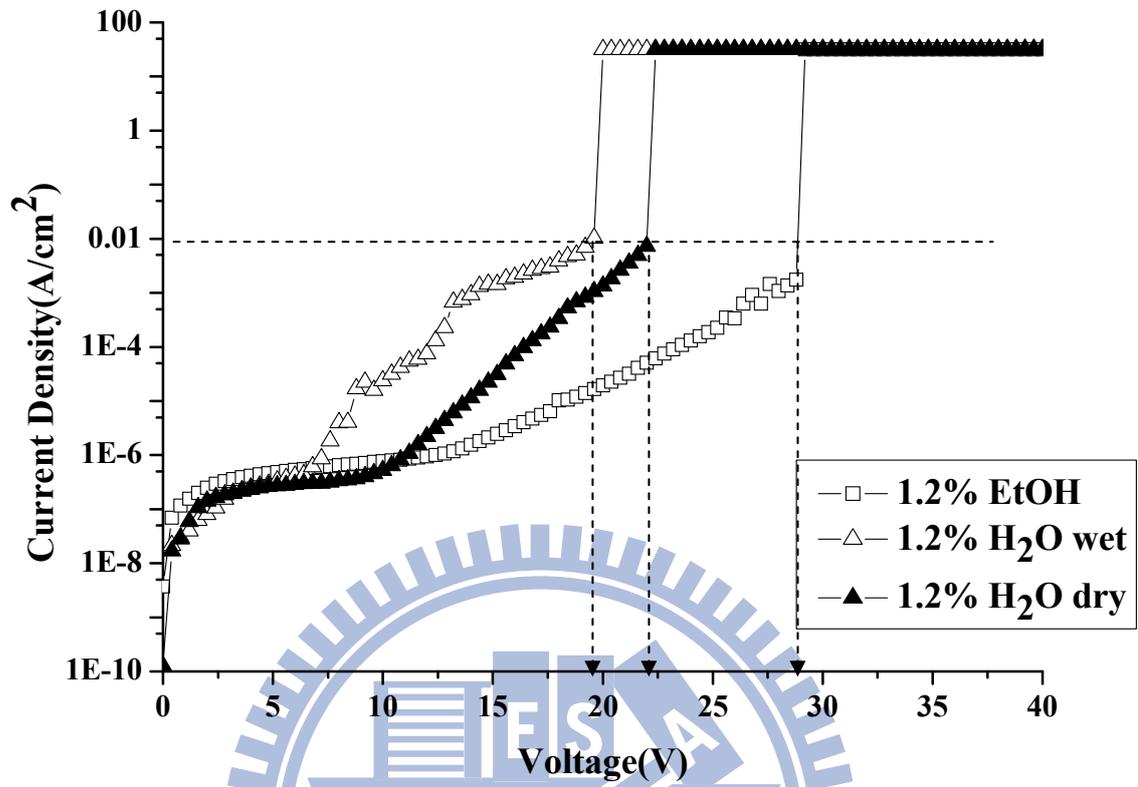


圖 50：比較酒精與水製成 ZrO<sub>2</sub> 薄膜之 I-V curve

### 3-4-6、電容-電壓特性(C-V curve)

我們比較以酒精為溶劑與以水為溶劑所製成之二氧化鋯薄膜在 C-V curve 上的表現。如圖 51 所示，以酒精為溶劑的電容值可達到 70pF；以水為溶劑的乾氧製程電容值可達到 90pF；以水為溶劑的溼氧製程電容值可達到 110pF 左右。但如以厚度層做校正，反而是酒精溶劑的 k 值最高。另外對照 C-V curve 與 I-V curve，發現以水為溶劑所製成之二氧化鋯薄膜，其溼氧製程試片在 8 伏特後已經有漏電流現象導致 C-V curve 不夠平坦。

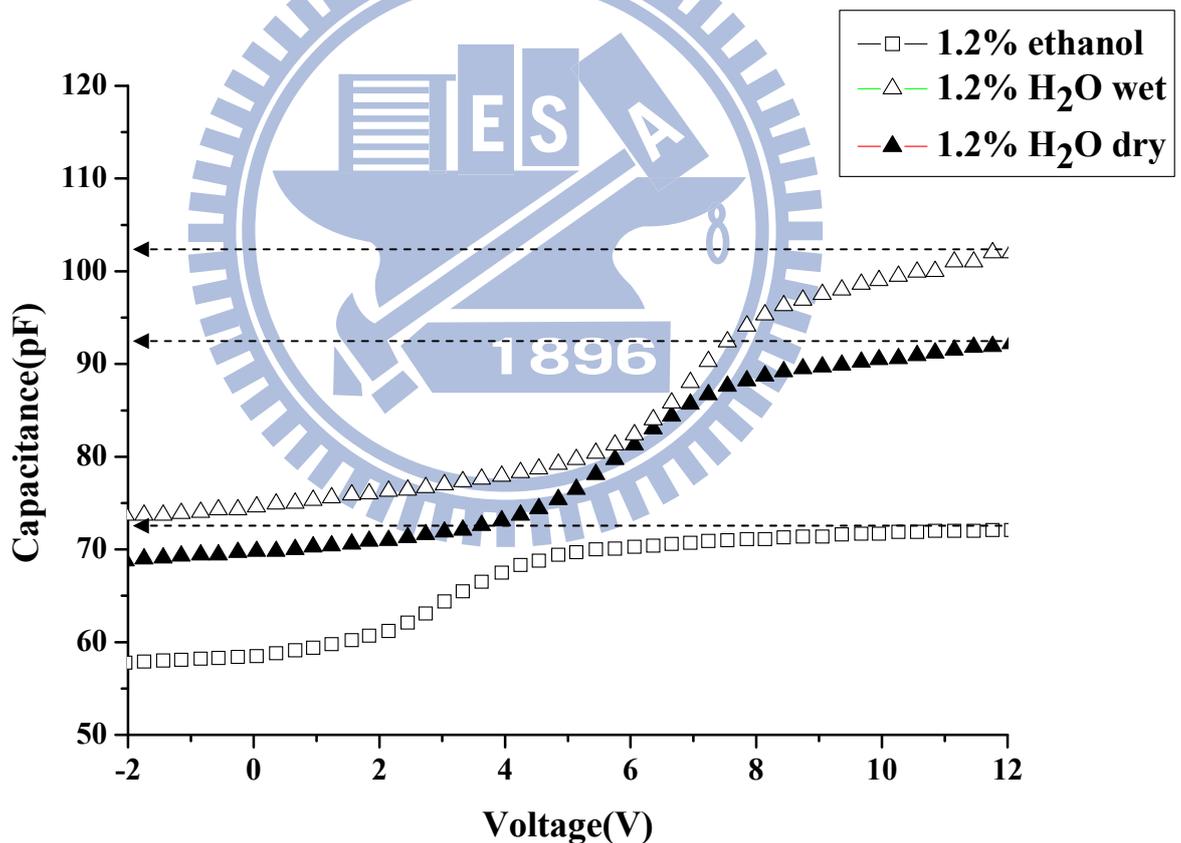


圖 51：比較酒精與水製成 ZrO<sub>2</sub> 薄膜之 C-V curve

### 3-4-7、不同有機溶劑 MIM 結構之電性

另者，我們嘗試將二氧化鋯溶解在不同溶劑中，重新製作 MIM 並量測其 I-V 與 C-V curve，結果如下圖 52-53 所示。由 I-V curve 看出針對這三種實驗溶劑，其崩潰電壓均可以達到 40 V 以上；由 C-V curve 看出 0.3% EtOH 條件下的電容值可以達到 700 pF。

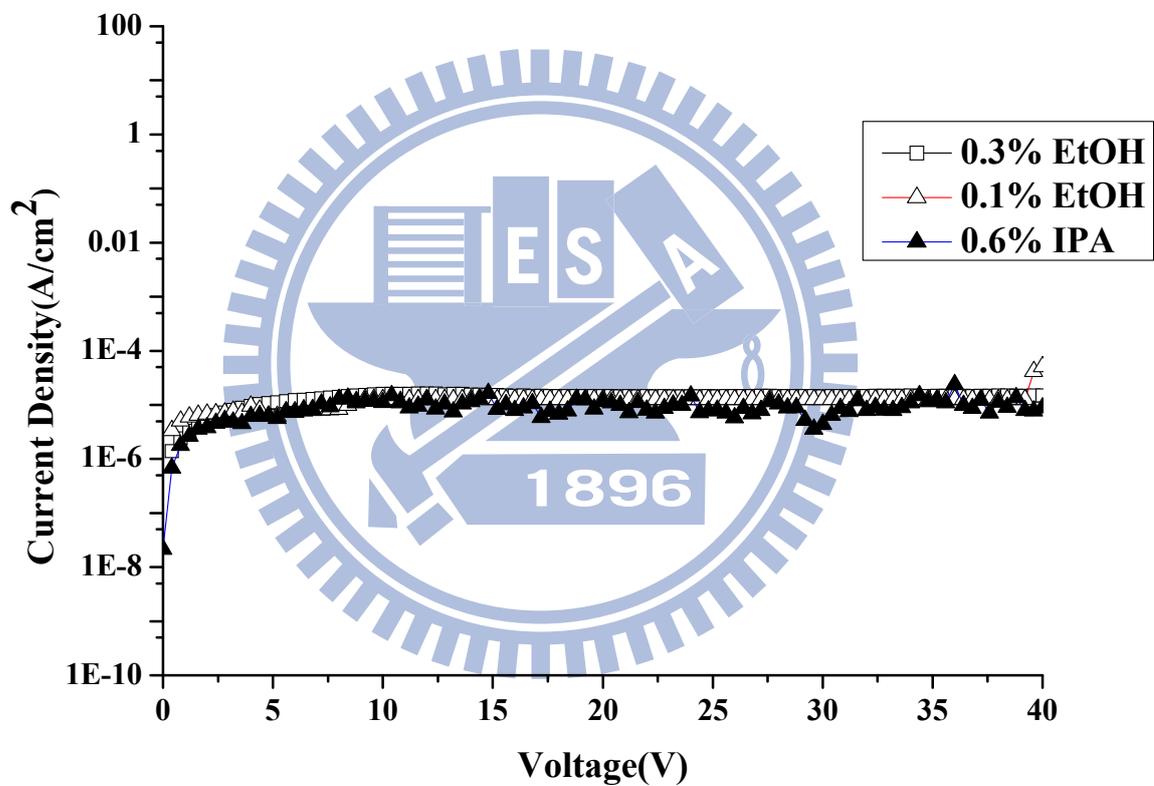


圖 52：不同溶劑製成 ZrO<sub>2</sub> 薄膜之 I-V curve

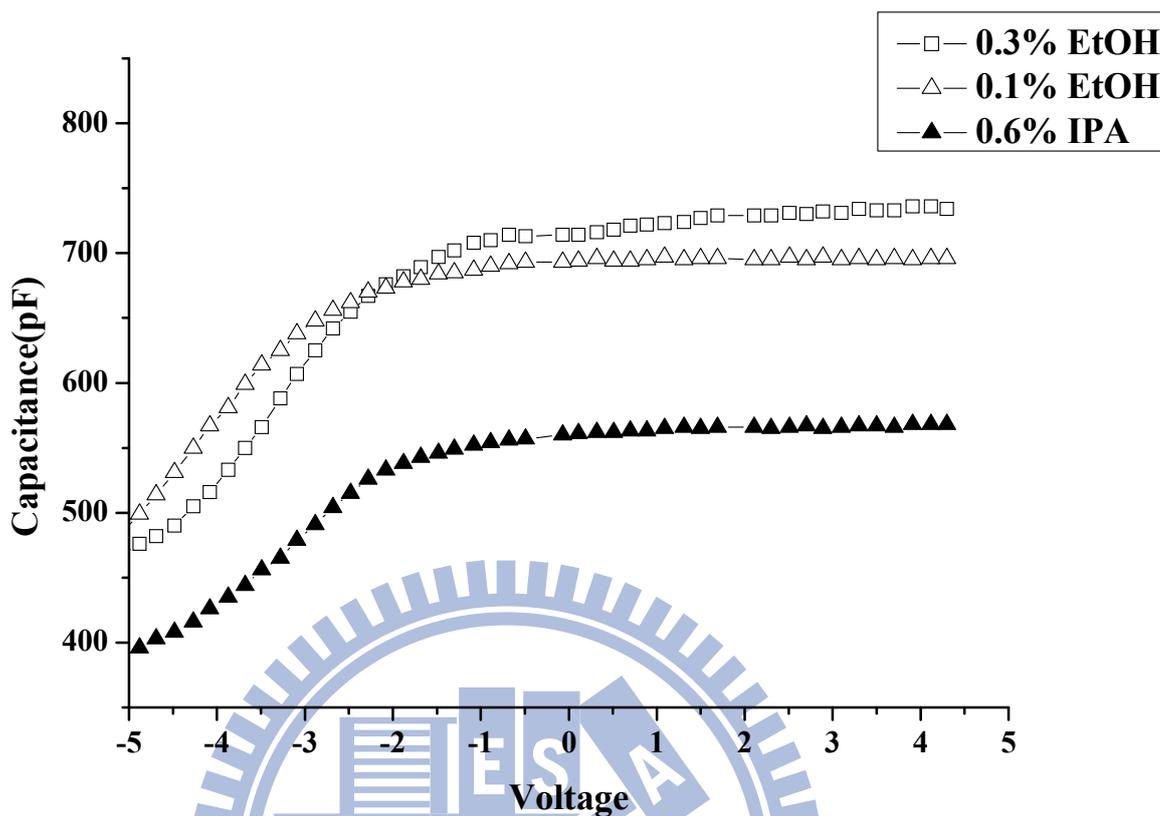


圖 53：不同溶劑製成  $ZrO_2$  薄膜之 C-V curve

從電容-電壓曲線來看，可以利用電容公式  $C = \epsilon\epsilon_0 \frac{A}{d}$ ，代入 C-V 曲線的飽和電容值、量測的面積以及薄膜的厚度來得到所要求的介電常數  $\epsilon$ ，當圖形的飽和電容值越高，則  $\epsilon$  值會越大。因 TEM 所觀察的薄膜厚度濃度最大值在 0.6%，因此我們推估 1.2% 薄膜厚度為 0.6% 薄膜厚度的 2 倍。

數據整理如表 8 所示，0.3% EtOH 之介電層薄膜展現較高的介電係數 21.96；1.2% EtOH 之介電層薄膜的介電係數為 8.78；1.2%  $H_2O$  之介電層薄膜的介電係數為 8.38，推測與薄膜品質較緻密有關，因為根據 3-2-2 章節中顯微鏡下觀察之結果，濃度較高之二氧化鋯薄膜具較多孔洞缺陷，薄膜缺陷一般會導致電容值下降。另外根據 3-4-4 章節中 TEM 觀察之結果，

濃度高的薄膜後度也較高。

solvent	Capacitance (pF)	dielectric thickness (nm)	dielectric constant (k)
1.2% H <sub>2</sub> O	110	10.6X2=21.2	8.38
1.2% EtOH	70	8.73X4=34.92	8.78
0.3% EtOH	700	8.73	21.96

表 8：依據電容值計算介電係數

## 第四章、結論

### 4-1、薄膜的物性方面

本實驗以溶膠-凝膠法製作的二氧化鋯薄膜低溫製程中所設計的四個條件：薄膜後氧電漿處理、提高薄膜旋塗速率、薄膜前氧電漿處理、降低薄膜濃度，依據實驗結果觀察薄膜表面平整度的變化，研究證實皆有改善的效果。

在經過薄膜後氧電漿處理，薄膜展現較低的粗糙度，這是因為電漿能量讓活化的氧原子與鋯原子充分反應，使薄膜進一步氧化。薄膜旋塗過程中所產生的雜質也會在電漿處理過程中被適當的移除，增加薄膜的純度[40, 41]。實驗參數中 20 秒與 40 秒對薄膜平整度有明顯的改善，60 秒對薄膜平整度卻沒有明顯的改善，我們推測是因為一般氧電漿對薄膜表面具有蝕刻的效果，時間過久反而對薄膜造成過度蝕刻，但是否繼續延長時間仍會有正向的改善效果需要進一步釐清。薄膜前氧電漿處理則可以增加基板的潔淨度與親水性，讓薄膜在旋塗過程中更容易附著在基板上。

### 4-2、MIM 元件的電性方面

我們嘗試以去離子水作為溶膠凝膠製程之溶劑，不同於以往所使用的有機溶劑(如酒精)。C-V curve 量測的結果得到二氧化鋯介電層最大電容值為 110pF，由公式換算出介電係數約為 8.38，若將 Zr-silicate 厚度考慮在內，介電係數可達 11.46，而理論上純二氧化鋯薄膜之介電係數大約是

15~25°。文獻指出[42]，當薄膜厚度小於 50 nm 時，依據 Lorenz 的 Local Field 理論，介電係數會因此減小。進一步由 I-V curve 來檢測二氧化鋯薄膜是否具備低漏電流性質與電壓操作的範圍，發現在 10 伏特以後，漏電流已達 1 $\mu$ A，此漏電流過大的情形將導致後續製成元件時，無法量測到元件電性圖。未來的解決方式嘗試用快速熱退火處理(大於 250°C)薄膜表面，改善漏電流的特性[43]。

實驗最終目的，我們期望可以簡化高介電材料的製備方式。雖然在電性的表現上沒有較好，但實驗結果可以作為未來進一步探討的參考。

(1)對於更薄二氧化鋯薄膜的特性研究

(2)溶膠-凝膠製成二氧化鋯薄膜後續以 RTA 處理(大於 250°C)也可做

深入的研究與探討

#### 4-3、未來發展的趨勢

軟性、印刷且有機的電子產品(Flexible, printed, and organic electronics, FPOE)近幾年來發展極其多樣性，如圖 54 所示。圖 55 是 ORTC(Ontario Rehabilitation Technology)的半導體趨勢圖示，圖 56 是 2007~2017 年間的軟性顯示器市場預測。軟性電子初期應用以廣告使用的招牌、電子標籤、標示牌及電子書為主，2015 年將達 237 億美元規模。工研院自 2000 年起已在經濟部科技專案支持下，率先投入軟性電子未來研發，除建置軟電量產開發實驗室外，也開始與台灣廠商進行初期研發合作。在進行實際的量產作

業時，塗佈與沉積製程扮演了重要的角色。因其使用的塑膠基板會隨溫度升高而出現變形，故薄膜沉積需在較低的溫度下進行。本論文中所研究之二氧化鋯薄膜提供一種簡單的低溫製程，可作為軟性電子產品之應用。



圖 54：軟性電子產品 [來源：工研院 IEK 2007/06]

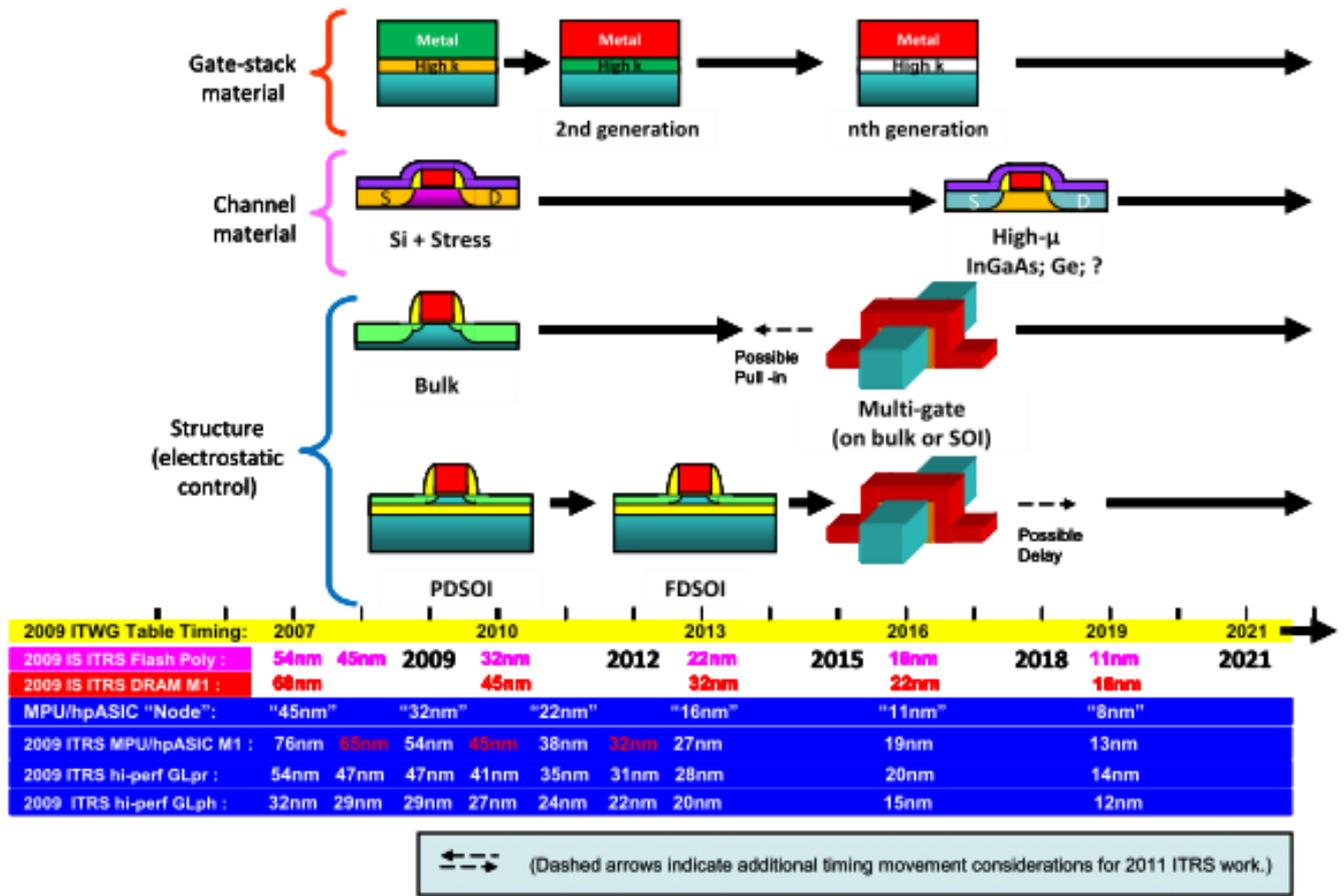


圖 55：ORTC 的半導體技術趨勢圖示 [來源：ITRS 2010 版]

	Tech	Size	Main Application	'07	'08	'09	'10	'11	'12	'13	'14	'15	'16	'17
Current Market	e-Paper	~8"	Mobile Phone (Low-end), Others											
	OLED, LCD	~8"	Mobile Phone(High-end), Others											
		4"~9"	Mobile Others (PDA,CNS,DSC,etc...)											
New Market	e-Paper	10" ~	Notebook, Moxtor, TV											
		~7"	e-Book, Others											
		8"~18"	e-Book, Others											
		18"~30"	Signage											
		30"~49"	Poster, Information											
	50"	Poster, Information												
OLED, LCD	4"~9"	Automotive, Millitary, Others												
	10"	Automotive, Millitary, Others												

圖 56：2007~2017 年間的軟性顯示器市場預測(來源：Displaybank 2007/05)

## 參考文獻

1. K. Mistry et al., "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging," *IEDM Tech. Dig.*, pp. 247-250, 2007.
2. K. Henson et al., "Gate Length Scaling and High Drive Currents Enabled for High Performance SOI Technology using High-k/Metal Gate," *IEDM Tech. Dig.*, pp. 645-648, 2008.
3. 半導體技術雜誌 2010 June/July
4. 電子工程專輯 2007年01月29日 2008年10月07日
5. H. Iwai, S. Ohmi, S. Akama, C. Ohshima, A. Kikuchi, I. Kashiwagi, J. Taguchi, H. Yamamoto, J. Tonotani, Y. Kim, I. Ueda, A. Kuriyama, and Y. Yoshihara, *IEDM Tech. Dig.*, pp. 625-628, (2002).
6. J.H. Stathis, and D.J. DiMaria, *IEDM Tech. Dig.*, pp. 167-170, (1998).
7. J. Robertson, *MRS Bulletin*, pp. 217-221, (2002).
8. V. Mikhaelashvili, Y. Betzer, I. Prudnikov, M. Orenstein, D. Ritter, and G. Eisenstein, *J. Appl. Phys.*, 84, 6764(1998).
9. R.A. Mckee, F.J. Walker, and M.F. Chisholm, *Phys. Rev. Lett.*, 81, 3014(1998).
10. B. He, T. Ma, S.A. Campbell, and W.L. Gladfeter, *Tech. Dig. Int. Electron Devices Meet.*, 377, (1998).
11. G.D. Wilk, and R.M. Wallace, *Appl. Phys. Lett.*, 74, 2854(1999).
12. T.H. Ning, in Proc. *Int. reliab. Phys. Symp.* (IRPS), pp.1-6, 2000.
13. P. LeClair, G.P. Berera, J.S. Moodera, *Thin Solid Films*, 376,9(2000).
14. Internet "Southern Taiwan University of Technology S.T.U.T" 太陽能光電薄膜實驗室
15. 科儀新知第二十九卷第一期 96.8
16. K.J. Hubbard, and D.G. Schlom, *J. Mater. Res.*, 11, 2757(1996).
17. J.H. Stathis and D.J. Dimaria, *Technical Digtet International Electron Devices meeting*(IEEE, Piscataway, NJ, 1998), p167.
18. G.J.K. Acres, *J. powder. Sources.*, 100, 60(2001).
19. Y. Nakagawa, N. Tajima, K. Hirao, *J. Comput. Chem.*, 21, 1292(2000).
20. S.De Rossi, G. Ferraris, M. Valigi, D. Gazzoli, *Appl. Catal. A-Gen.*, 231, (2002).
21. S. Ardizzone, C.L. Bianchi, M. Signoreto, *Appl. Surf. Sci.*, 136, 213(2004).
22. G.D. Wilk, R.M. Wallace, J.M. Anthony, *Appl. Phys.*, 89, 5243(2001).
23. S. Ventkataraj, O. Kappertz, C. Liesch, R. Detemple, R. Jayavel, M. Wutting, *Vacuum*, 75, 7(2004).
24. W. Zhao, B.K. Tay, G.Q. Yu, S.P. Lau, *J. Phys.-Condens. Mat.*, 15, 7707(2003).
25. 羅吉宗, 戴明鳳, 林鴻明, 奈米科技導論, 全華科技圖書股份有限公司, 台北, 西元 2005 年

26. Klein L. C., *Sol-Gel Technology for Thin Films, Fibers, Preforms, electronics and specialty Shapes* (1988), 50.
27. <http://www.mse.fcu.edu.tw/wSite/public/Attachment/f1252658716109.pdf>
28. 黃劍鋒，溶膠-凝膠原理與技術，化學工業出版社，北京，西元 2005 年
29. N.L. Wu, M.S. Lee, *International J. Hydrogen Energy* 29 (2004) 1601 --1605.
30. F.B. Li, X.Z. Li, M.F. Hou, K.W. Cheah, W.C.H. Choy, *Applied Catalysis A: General* 285(2005) pp.181-189.
31. J. A. Wang R, L. Ballesteros, T. Lo'pez, A. Moreno, R. Go'mez, O. Novaro, X. Bokhimi, *J. Phys. Chem. B* 2001, 105, pp.9692-9698.
32. A. Burns, G. Hayes, W. Li, J. Hirvonen, J. Derek Demaree, S. Ismat Shah, *Materials Science and Engineering B* 111 (2004) pp.150-155.
33. 葉志揚，“以溶膠-凝膠法製備二氧化鈦觸媒及其性質鑑定”，國立臺灣大學化學工程學研究所碩士論文(2001)
34. 賴耿陽，高分解電子顯微鏡：HRTEM 技術原理與利用法，復漢，台南，民國 78. 年
35. 章校鋒，清晰的奈米世界：初探電子顯微鏡，五南，台北，民國 95 年
36. 捷東股份有限公司
37. 開南商工 <http://web1.knvs.tp.edu.tw/AFM/AFM.htm>
38. [www.materialsnet.com.tw](http://www.materialsnet.com.tw)
39. S-min Chang, R-an Doong. ZrO<sub>2</sub> thin films with controllable morphology and thickness by spin-coated sol-gel method. *Thin Solid Films* 2005;489:17-22.
40. M.-C. Chu , Ja. S. Meena, C.-C. Cheng, H.-C. You, F.-C. Chang, F.-H. Ko, “Plasma-enhanced flexible metal-insulator-metal capacitor using high-k ZrO<sub>2</sub> film as gate dielectric with improved reliability”, *Microelectronics Reliability* , 50, pp.1098-1102 , June 2010.
41. DC Shye, CC Hwang, MJ Lai, CC Jaing, JS Chen, S Huang, et al. “Effects of post-oxygen plasma treatment on Pt/(Ba, Sr)TiO<sub>3</sub> /Pt capacitors at low substrate temperatures”. *Jpn J Appl Phys* ;42:pp.549-553,B2003.
42. K Natori, D Otani, N Sano. Thickness dependence of the effective dielectric constant in a thin film capacitor. *Appl Phys Lett* 1998;73: pp.632 - 634.
43. H-C You, F-H Ko, T-F Lei. Physical characterization and electrical properties of sol - gel-derived zirconia films. *J Electrochem Soc* 2006;153:pp.94 - 99.