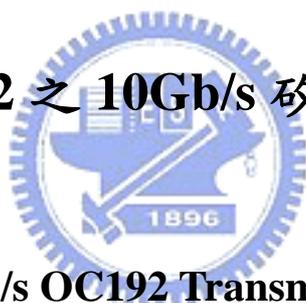


國立交通大學

電子工程系 電子研究所碩士班

碩士論文

適用於 OC-192 之 10Gb/s 矽鍺發射器電路



A 10Gb/s OC192 Transmitter in

0.35 μ m SiGe BiCMOS Process

研究生：王騰毅

指導教授：陳巍仁 博士

中華民國九十三年十月

適用於 OC-192 之 10Gb/s 矽鍺發射器電路

**A 10Gb/s OC192 Transmitter in
0.35 μ m SiGe BiCMOS Process**

研究生：王騰毅

Student : Teng-Yi Wang

指導教授：陳巍仁 教授

Advisor : Prof. Wei-Zen Chen

國立交通大學
電子工程系 電子研究所碩士班
碩士論文



Submitted to Department of Electronics Engineering & Institute of Electronics
College of Electrical Engineering and Computer Science

National Chiao-Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master

In

Electronics Engineering

October 2004

Hsinchu, Taiwan, Republic of China

中華民國九十三年十月

適用於 OC-192 之 10Gb/s 矽鍺發射器電路

學生：王騰毅

指導教授：陳巍仁

國立交通大學 電子工程學系（研究所）碩士班

摘要

光纖具備低耗損及寬頻之優點，長久以來在高速和長程傳輸之網路骨幹扮演著重要角色。今日，同步光纖網路（SONET）OC-192 之傳輸速率可達 10Gbps，其下世代（OC-768）之傳輸速率更可高達 40 Gbps，預計將可充分支援多媒體網際網路之頻寬需求。然而，如何實現低成本之光通信收發機積體電路與減低佈線成本，向為高速光纖網路能否普及之主要關鍵。

本論文之主要目標在於開發適用於 10 Gbps 光通信發射機之串列式資料發射器和雷射二極體驅動電路，所有電路將以 0.35 μm 矽鍺製程實現，以期降低成本，同時便於未來之數位系統整合。在光通信收發機之傳送端，原始資料經由編碼後，將透過多工器將低速之並列信號轉成一高速串列信號，其藉由一時脈倍頻器電路產生多種頻率及相位輸出，以對平行信號進行序列式傳送。而多工器之輸出電壓信號將藉由雷射二極體驅動電路轉換為大電流，用以驅動雷射二極體，進而完成發射端之電/光轉換。

串列式資料發射器主要包含一個 9.9533GHz 的時脈倍頻器電路及一個可將十六筆 622.08Mb/s 的平行式資料轉成一筆 9.9533Gb/s 串列式資料的多工器。為考慮晶片測試的方便性，本電路內建一組十六路平行化之隨機碼產生器，以驗證發射機電路之效能。時脈倍頻器電路主要為一鎖相迴路式頻率合成器，其經由一 622.08MHz 參考信號合成一 9.9533GHz 之輸出信號，藉此作為多工器資料取樣之參考信號源。多工器電路採用 4 級二對一多工器單元組成樹狀架構，藉由時脈倍頻器提供的選擇信號，可將十六筆 622.08Mb/s 的並列式信號轉成一筆 9.9533Gb/s 之串列式信號。多工器之輸出結果將再經由一個取樣電路將信號重新取樣，以減低層級串接之雜訊累增效應。本電路操作電壓為 3.3 V，總功率消耗為 594.66 毫瓦。

雷射二極體驅動電路將依據串列式資料發射器的輸出電壓轉換成電流信號，用以驅動雷射二極體，雷射二極體的偏壓電流範圍為 1~60mA，調變電流為 40~100mA。為提高輸出驅動能力及操作速度，本電路包含兩級推挽式前置放大器及一大電流輸出級。前置放大器的輸出振幅可依操作速度及輸出電流而作動態調整。此外，輸出級並使用負電容米勒補償技巧來增加訊號頻寬。為達電流穩定輸出之目的，調變電流及偏壓電流均由一個能隙參考電流源產生。經由

量測顯示，輸出信號之上昇/下降時間為 47ps，雜訊抖動為 22.2ps_{p-p} (2.86ps_{rms})，輸出眼圖符合SONET OC-192 及 10Gbps 以太網路之規範，操作電壓在 3.3V/7V 之下，總功率消耗為 1.38 瓦。



A 10-Gb/s OC-192 Transmitter in 0.35 μ m SiGe BiCMOS Process

student : Teng-Yi Wang

Advisor : Wei-Zen Chen

*Department of Electronics Engineering & Institute of Electronics
National Chiao-Tung University*

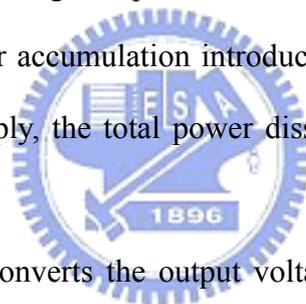
Abstract

Fiber-optic has played an important role in long haul and high speed network backbone thanks to its superiorities in low loss and wide bandwidth performance. Nowadays, the data rate of synchronous optical network (SONET) OC-192 is about 10 Gbps, and that of its next generation (OC-768) is up to 40 Gbps. They provide sufficient bandwidth for multi-media data communication. So far, how to realize cost effective optical transceiver ICs and reduce the cost of fiber deployments remain the key issues of the popularity of optical communication.

The objective goal of this thesis is to develop data serializer and laser diode driver for 10 Gbps optical transmitter. All the circuit blocks are implemented in 0.35 μ m SiGe BiCMOS technology for low cost and future system chip integration. In the transmitter side of the optical network, parallel source data are encoded and converted to a high speed serial bit stream through a multiplexer. The clock multiplier unit (CMU) provides multiple phase and frequency outputs for parallel to serial data conversion. The output voltage of data serializer is further converted to a modulation

current through a laser diode driver, so as to drive a laser diode and accomplish electrical to optical conversion.

The data serializer is composed of a 9.9533 GHz clock multiplying unit (CMU) and a 16 to 1 multiplexer, which converts 16 x 622.08 Mb/s parallel data into a 9.9533 Gb/s serial bit stream. To facilitate on-chip testing, a 16 x parallel pseudo random bit stream (PRBS) generator is also built in. The CMU is a phase-locked loop based frequency synthesizer. It generates 9.9533 GHz output frequency from a 622.08 MHz reference signal and serves as a clock source for multiplexer. The multiplexer is comprised of 4 stages 2 to 1 multiplexer and configured in a tree structure. 16 parallel data is converted to a serial 9.9533 Gbps bit stream according to the reference clocks provided by the CMU. The voltage output of data serializer will be resampled by a retimer so as to alleviate jitter accumulation introduced by the cascaded multiplexer. Operating under a 3.3 V supply, the total power dissipation of the data serializer is 594.66 mW.



The laser diode driver converts the output voltage of data serializer to an AC current so as to modulate the laser diode. In addition, it provides biased current ranges from 1-60 mA and modulation current of 40-100 mA to accommodate various applications. To enhance its driving capability and accelerate its operating speed, the laser diode driver is composed of two push-pull pre-drivers followed by a large current switch. The output swing and rise-fall time of the pre-driver is adjustable according to its modulation current. Moreover, negative capacitor Miller compensation technique is utilized to enhance the data bandwidth of the laser driver. To stabilize its output currents, both the biased current and modulation current are derived from a bandgap reference. The measured rise/fall time of the driver output is about 47 ps, and jitter is about 22.2 ps_{p-p} (2.86ps_{rms}). The measured eye-diagrams

meet the eye masks defined by SONET OC-192 and 10 Gbps Ethernet specifications. The total power consumption of the laser driver is about 1.38 W under a 3.3 V/7 V supply.



誌

謝

在這兩年碩士班的生涯中，最感謝的是我的指導教授 陳巍仁老師帶領我進入類比積體電路的領域，無論在學業上、研究上、及各種學術資源方面都給予我們最大的支持和鼓勵，並且培養我們紮實的研究精神，及努力不懈的研究態度，老師對於研究的熱忱跟執著，正是我們研究生最得學習的精神。

其次要感謝的是工研院的蔡嘉明 博士和李岱威 博士在量測方面給我的指導及建議，對於我的問題不厭其煩地解說，並提供許多思考方向，使我對於光纖通訊領域有更深的了解。再來要感謝的是實驗室助理幫助我們的各項雜務，及學長姊，羅仁鴻、郭建良、游爵豪、黃聖懿、徐建昌、傅昶綜、翟芸、周儒明、施育全、廖以義、江政達、范啟威、黃鈞正、范振麟、蘇烜毅、王文傑、虞繼堯、陳世倫、李瑞梅、鄧至剛、徐新智、鍾勇輝、王自強、劉沂娟，不吝地在我修課及研究中給予我相當多的指導，對我的研究之路幫助很大。當然，還有一起同甘共苦的同儕們，家華、大新、洪濤、偉茗、宗霖、阿甘、冠勝、偉信，我永遠忘不了我們在一起打拼、相互打氣的日子，你們不但陪伴我走過這兩年艱難的研究生涯，更將成為我一生的好友。

最後，我要感謝我的家人及女友芷晴，感謝你們多年的照顧及陪伴，讓我無後顧之憂地完成學業，在我最低潮的時候體諒我，默默給予支持，在往後的人生中，也將成為我最大的原動力。

目 錄

Abstract.....	i
目 錄.....	v
表目錄.....	vii
圖目錄.....	viii
第一章 簡介.....	1
1.1 研究動機.....	1
1.2 論文架構.....	3
第二章 時脈倍頻器.....	4
2.1 簡介.....	4
2.2 發射器及接收器.....	5
2.3 發射器的雜訊規格.....	6
2.4 時脈倍頻器的雜訊分析.....	7
2.5 鎖相迴路線性模型.....	18
2.6 相位頻率偵測器.....	21
2.7 電荷幫浦電路及迴路濾波器.....	22
2.8 正交相位電壓控制振盪器.....	24
2.8.1 振盪器原理.....	24
2.8.2 電感.....	25
2.8.3 切換調變機制.....	26
2.8.4 正交相位電壓控制振盪器.....	27
2.9 除頻器.....	29
第三章 資料序列器.....	33
3.1 簡介.....	33
3.2 多工器架構.....	34
3.2.1 樹狀多工器.....	34
3.2.2 N對1多工器.....	34
3.3 資料序列器建構方塊.....	35
3.4 隨機碼產生電路.....	38

3.5 模擬結果.....	39
第四章 雷射二極體驅動器.....	41
4.1 簡介.....	41
4.2 前置驅動器架構.....	42
4.3 調變電流源及偏壓電流源.....	44
4.4 雷射二極體驅動電路量測.....	47
第五章 結論.....	50
5.1 結論.....	50



表 目 錄

表 1-1	SONET/SDH光纖網路系統	2
表 2-1	鎖相迴路參數	21
表 2-2	除頻器最佳化參數	31
表 3-1	資料序列器效能	40
表 4-1	雷射二極體驅動電路效能	49



圖 目 錄

圖 2-1 有線傳輸收發器系統	5
圖 2-3 SONET OC192 發射器輸出眼圖遮罩	7
圖 2-4 鎖相迴路相位雜訊源	8
圖 2-5 電荷幫浦電路及迴路濾波器的雜訊源	10
圖 2-6 振盪器的相位雜訊	10
圖 2-7 (a) RLC振盪器 (b) 簡化並聯電路	12
圖 2-8 雜散電阻 R_L 的雜訊	14
圖 2-9 迴路頻寬最佳化	17
圖 2-10 時脈倍頻器相位雜訊	17
圖 2-11 鎖相迴路線性模型	18
圖 2-12 鎖相迴路開迴路增益頻率響應	20
圖 2-13 鎖相迴路閉迴路增益頻率響應	20
圖 2-14 (a)相位頻率偵測器 (b) PFD輸出特性	21
圖 2-15 相位頻率偵測器的D型正反器	22
圖 2-16 相位頻率偵測器的NAND閘	22
圖 2-17 電荷幫浦電路及迴路濾波器	23
圖 2-18 低通濾波器(a)單極點;(b)一個極點一個零點;(c)兩個極點一個零點	23
圖 2-19 LC振盪器	24
圖 2-20 負電阻的小訊號模型	25
圖 2-21 對稱式電感	26
圖 2-22 累增式MOS可變電容 (a)架構, (b)C-V曲線	27
圖 2-23 正交相位電壓控制振盪器模型	27
圖 2-24 正交相位電壓控制振盪器	28
圖 2-25 電壓控制振盪器增益曲線	28
圖 2-26 兩種數位計數器	29
圖 2-27 電流模式邏輯	30
圖 2-28 轉移頻率 f_T 對電流 I_C 的特性曲線	30

圖 2-29 16:1 除頻器	32
圖 2-30 CML D型正反器	32
圖 3-1 樹狀多工器	34
圖 3-2 N對 1 多工器	35
圖 3-3 資料序列器	35
圖 3-4 傳統樹狀多工器	36
圖 3-5 多相位控制樹狀多工器	37
圖 3-6 (a)多工器單元電路, (b)多工器的時鐘策略	37
圖 3-7 PRBS產生電路	38
圖 3-8 XOR邏輯閘電路	38
圖 3-9 資料序列器晶片照相圖	39
圖 3-10 資料序列器模擬結果	39
圖 4-1 雷射二極體驅動電路架構	43
圖 4-2 第一級前置驅動器	43
圖 4-3 第二級前置驅動器	44
圖 4-4 調變電流源	45
圖 4-5 Bandgap 電流源	46
圖 4-6 Bandgap電壓對溫度的模擬特性	46
圖 4-7 儀器架設	47
圖 4-8 LD driver量測眼圖(SONET OC192) (a) $I_{mod}=40mA$, (b) $I_{mod}=100mA$	48
圖 4-9 LD driver量測眼圖(10GbEthernet) (a) $I_{mod}=40mA$, (b) $I_{mod}=100mA$	48
圖 4-10 雷射二極體驅動電路晶片照相圖	48

第一章

簡介

1.1 研究動機



網路資料量隨著網路瀏覽之普及、多媒體傳送、以及遠端遙控等技術蓬勃發展而急遽增加，當頻寬成為所有網路應用傳輸最迫切改善的因素，光纖通訊網路的發展成為改善網際網路頻寬最重要的解決之道，拜半導體科技的進步，光纖中二氧化矽的純度達到 99.99%，使光信號的傳輸效益達到商業化規模。經過 1980 年代的高速成長後，光纖的鋪設距離家中已相當接近，可是要達到全面光纖到家，依然是有長遠的路要走，因為光纖的製程技術雖然成熟且光信號在光纖內通信衰減很小，但畢竟成本仍不便宜，因此要達到普及化，光纖及光通訊元件的成本還要降低。目前在光纖網路系統中常用的兩種增進網路傳輸能力的方法大致有兩種，第一種方法是增加資料的傳輸率，第二種是使用分波多工的方式，將多種波長的光耦合到單一個光纖通道中，因此可增加光纖傳輸的頻寬，結合兩種方法已經成為一個明顯的發展趨勢，在單一波長中增加資料傳輸率，以及整合多種波長到同一個光纖通道中。

光纖網路系統以其能提供寬頻及低衰減的特性而得到廣泛的應用，在高速傳輸需求量日漸增加的情況下，光纖網路系統仍然以其優點佔有一席之地，現今主要的光纖通訊協定，是以美國貝爾實驗室提出同步光纖網路（Synchronous Optical

Network；SONET）概念而定制，因其應用不只限於光纖網路，因此重新命名為數位同步架構（Synchronous Digital Hierarchy；SDH）。SONET 以同步數位傳輸方式與 SDH 的傳輸架構相容。表 1-1 為 SONET/SDH 光纖網路系統在不同資料傳輸率的系統規格。

SONET STANDARD	SDH STANDARD	BIT RATE
OC1	-	51.84Mbps
OC3	STM1	155.52Mbps
OC12	STM4	622.08Mbps
OC48	STM16	2.4883Gbps
OC196	STM64	9.9533Gbps

表 1-1 SONET/SDH 光纖網路系統

III-V 族元素的製程技術擁有較高速的電子遷移率及較好的基底特性，遂在高速傳輸應用中成為極佳的材料[1]，使用砷化鎵金屬半導體場效電晶體(GaAs MESFET)製程技術在光纖系統中設計的晶片已經被發表在[2][3]，但是和 Si 製程相比，III-V 族的製程在大型電路積體化的能力卻有其限制，另外，III-V 族的元件所需的電流密度也較大，因此相較於 Si 製程也需要耗費可觀的電流消耗，然而，在過去因為速度上的需求，III-V 族的製程仍是唯一的選擇，時至今日，隨著 Si 製程的進步，元件長度可縮減到 0.1 μm 以下，因此現今也越來越多 Si CMOS 及 SiGe HBT 的製程技術應用在高速傳輸。

近來在高速傳輸領域中有許多以 CMOS 製程來設計的研究被發表出來 [4][5][6]。雖然低價格，高整合度及低功率消耗的特點成為 Si CMOS 製程的優勢，但是和 III-V 族或是 SiGe HBT 相比，元件的高 $1/f$ 雜訊及低 f_T 特性卻成為將來突破 40Gb/s 傳輸速度的瓶頸。另一方面，在相同的電流消耗之下，SiGe HBT 的速度仍會超越 III-V 族(GaAs 和 InP) 的元件，因此 SiGe HBT 成為我們設計高傳輸速度及低功率消耗的主要技術。

在現今的研究當中，10-20Gb/s 的光纖系統收發器已經分別以 CMOS 製程 [7]-[10] 及 SiGe HBT 製程 [11]-[15] 技術發表，另外，40-50Gb/s 的收發器研究也已經被提出 [16][17]，我們可以看到對於高速傳輸的發展，比較起 CMOS 製程，SiGe BiCMOS 製程仍是一個良好的選擇，原因是大部分以 CMOS 製程來設計常使用半速率架構及多通道架構來實現，且多只能達到 10Gb/s 左右，為了能夠可以在高速傳輸領域發展出成熟的技術，本論文的目的即是在研究 BiCMOS 的電路設計技

術，希望在未來能更進一步地達到 40Gb/s 的高傳輸率。

1.2 論文架構

第二章一開始會對光纖通訊的收發器做詳盡的介紹，接下來會從 SONET OC192 的收發器規格開始介紹，再來會對於資料序列器中的時脈倍頻器作相位雜訊分析以求得最佳的迴路參數，並驗證迴路穩定性，在本章中，時脈倍頻器所有單元的電路設計都會有詳盡的說明。

第三章中描述傳送端中的資料序列器電路設計，並列式信號和串列式信號的高速轉換是以一個分時多工的多工器來完成，由時脈倍頻器的輸出時脈訊號來控制多工器的運作，另外會有隨機碼產生器的電路架構及設計，在本章最後，會列出本電路模擬結果。

第四章首先會介紹雷射二極體驅動器的特性及規格，如何將資料序列器輸出而來的電壓訊號轉成電流訊號，以及如何在高電流操作下達到高速傳輸的需求，都會在本章作詳盡的介紹，在本章最後，會列出本電路的量測結果，符合 SONET OC192 的標準規格。

在本文最後，我們會在第五章對本篇研究內容做個總結。

第二章

時脈倍頻器

2.1 簡介



在有線通訊系統中有兩個關鍵的元件，就是主要構成傳輸介面的發射器 (transmitter, TX)及接收器(receiver, RX)，圖 2-1 所示為有線傳輸的收發器系統，主要包括一個發射器、訊號通道(channel)、及接收器，發射器將用戶端的數位資訊轉換成可以用訊號通道來傳送的信號，常用來做為訊號傳遞的通道媒介有:同軸電纜、雙絞銅線、及光纖纜線，在通道的另一端為接收器，主要是接收發射器傳送過來的信號，並將之還原成原來的數位資訊，在本研究中，我們將研究重點放在光纖通訊系統中。

通道的優劣對於信號被使用者接收到的資訊是否失真影響甚鉅，在光纖通訊系統中尤其明顯，但是在價格限制下，我們唯有從收發器電路上，做到低雜訊、低損耗的目標，任何的資料在進入通道前都會經由一個發射器將信號做轉換的處理，一個雜訊及衰減量太大的發射器可能會讓信號在到達接收端之後，令接收器無法正確地還原正確的數位資訊，因此發射器是極為關鍵的元件之一。

本章的內容一開始會對於 SONET OC192 收發器的系統架構有一番詳盡的介紹，並說明發射器的系統規格，由此進入時脈倍頻器的雜訊分析及鎖相迴路的線

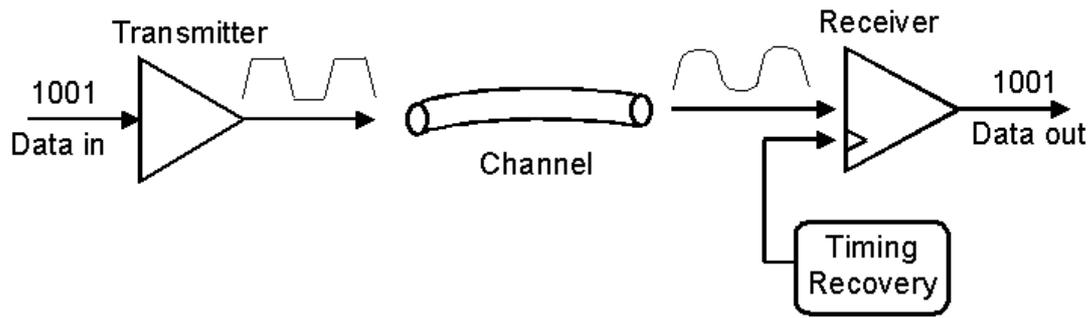


圖 2-1 有線傳輸收發器系統

性模型，之後會對整個時脈倍頻器的細部電路包括相頻偵測器(phase/frequency detector, PFD)、電荷幫浦電路(charge pump, CP)、迴路濾波器(loop filter, LP)、電壓控制振盪器(voltage controlled oscillator, VCO)做完整的電路說明。

2.2 發射器及接收器

為了使信號能透過光纖通道來傳送，我們必須將電子式的信號在傳送端中轉成光學信號，經過通道之後再將光學信號在接收端中還原成電子式的信號，這種資料的處理主要是透過一個收發器來實現，收發器主要包括光學元件及電子元件 [18]，這一節主要說明收發器的系統架構。

如圖 2-2 所示即為收發器主要包含的系統單元，圖的上半部為接收器部分，下半部為發射器部分，在發射器部分包含了一個編碼器(Encoder)、十六對一多工器(MUX)、一個時脈倍頻器(CMU)、及一個雷射二極體驅動電路(LD driver)，編碼器接收位元組的資料，並將這些資料重新編碼過，以增加資料傳送的正確性，降低接收器收的資料錯誤，編碼過的資料會由多工器將做序列化成為一筆串列式的高速序列資料，一個時脈倍頻器從低頻的參考時脈信號產生出高頻的時脈信號當作多工器資料選擇信號，之後會有一個差動式緩衝器將多工器輸出的信號送給下一級，以其對雜訊的高容忍度提升多工器輸出的信號品質，資料序列器將電子式的信號送進雷射二極體驅動電路中，轉成電流信號以激發雷射二極體，使信號能夠以光的形式在光纖通道中傳遞。

在接收器部分包含一個轉阻放大器(transimpedance amplifier, TIA)、一個限幅放大器(limiting amplifier, LA)或自動增益控制放大器(auto gain control amplifier, AGC)、以及一個資料及時脈回復電路(clock and data recovery, CDR)，最後會有一

個解多工器(demultiplexer, DEMUX)及一個解碼器(Decoder)，在光纖通訊系統接收

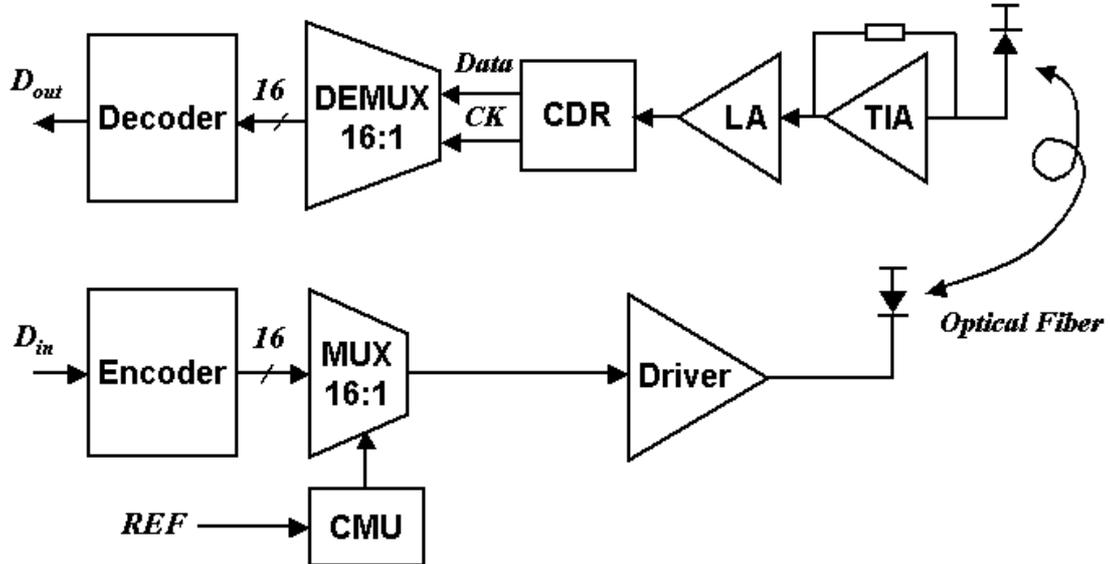


圖 2-2 SONET OC-192 收發器架構

器中，我們會使用一個光二極體(photo diode)或崩潰光偵測器(avalanche photo detector, APD)將由光纖通道接收到的光學信號轉成小電流信號，一個當作後置放大器的轉阻放大器會將小電流信號轉成電壓形式的信號，轉阻放大器的輸出振幅大約在數個mV到 50mV_{pp} 以上，在傳遞給限幅放大器或自動增益控制放大器將信號放大到足夠的擺幅，可以給後端的電路作信號處理，高速的串列式信號在此是不含有時脈信號的成分的，因此接下來需要有一個資料及時脈回復電路從資料中擷取出原本的時脈信號，並將此類比式的信號重新還原成數位式的資料，高速的串列資料流最後會被解多工器轉成低速的並列式資料，並由解碼器將信號還原送給數位信號系統來處理。

2.3 發射器的雜訊規格

在發射器中最主要的一個設計目標就是如何達到低抖動設計，抖動(jitter)可以被定義為信號的交錯點(zero crossings)的隨機擾動，在光纖系統的設計中嚴格地規定了抖動的相關規格[19]，其中對於發射器的時脈倍頻器抖動需求為：在光學量測中，經過頻寬為 50kHz到 80MHz的帶通濾波器之後所量測到的固有產生抖動(jitter

generation)必須小於 $0.1UI_{p-p}$ (unit interval, peak-to-peak)，及 $0.01UI_{RMS}$ (interval,

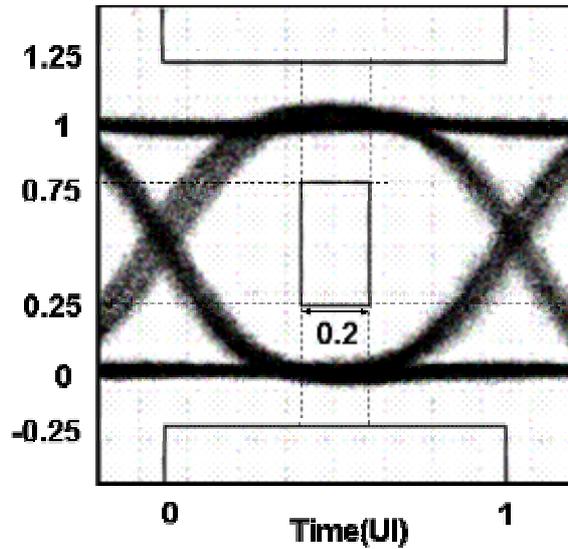


圖 2-3 SONET OC192 發射器輸出眼圖遮罩

peak-to-peak)，或是 $10ps_{p-p}$ 及 $1ps_{RMS}$ ，SONET OC192 發射器的輸出眼圖遮罩如圖 2-3 所示，在此所產生的抖動來源包括電路產生及光元件產生的抖動[20]，電路產生的抖動包括發射器的參考時脈信號、資料序列器、及雷射二極體驅動電路，因此，為了滿足SONET OC192 的雜訊抖動規格，將發射器的輸出抖動減到越小越好，在本研究中，雷射二極體驅動電路的抖動規格是以MAXIM的 10.7Gb/s雷射二極體驅動電路為主，雷射二極體驅動電路在光學的環境下量測到的輸出抖動規格為 $0.2ps_{pp}$ 左右[21]，相當於 $0.02UI_{RMS}$ ，在資料序列器部份，輸出抖動主要來自於多工器及時脈倍頻器，而多工器的輸出最後會被一個時脈倍頻器的高速時脈信號做同步取樣，因此我們假設多工器電路本身累積的抖動為 $0.2ps_{pp}$ ，或 $0.02UI_{RMS}$ ，而時脈倍頻器產生的抖動需求則為 $0.1ps_{pp}$ ，或 $0.01UI_{RMS}$ ，總共的可允許輸出抖動約為 $0.5UI_{pp}$ 或 $0.05UI_{RMS}$ ，在下一節裡，我們將會以此抖動需求來設計時脈倍頻器的各項迴路參數，將輸出抖動減到最小。

2.4 時脈倍頻器的雜訊分析

時脈倍頻器是以一個鎖相迴路(phase lock loop, PLL)為基礎的時脈產生電路[22][23]，他能將一個低頻的信號合成為多種倍頻的時脈信號，用在資料序列器中，主要是用來產生多工器將並列式信號轉換成串列式信號過程中所需的選擇信號，以及最後將多工器輸出的信號作重新取樣，以保持信號的完整性，在真實的環境

第二章

中，因為雜訊及電路不匹配的原因，造成鎖相迴路會有相位雜訊(phase noise)的產生，一般來說，這種擾動在頻域的觀念來看就是在振盪頻率的頻譜圖上會有類似裙帶(skirt)的現象出現，而在時域上的觀念來看，這種擾動會造成振盪波形的交錯點跟理想的週期信號產生誤差，通常稱之為抖動(jitter)，這兩者的關係猶如一體兩面，因此，在這一節中，我們會討論抖動兩相位雜訊之間的關係式，並將前一節所設定出來的鎖相迴路抖動需求轉換成相位雜訊規格，據此來設計鎖相迴路的迴路參數。

相位雜訊及抖動的關係可以在一些研究中[24][25][26]推導出來，我們可以由式 2-1 中得出抖動對於相位雜訊之間的關係，其中 σ_{cc} 是抖動量的均方根值， ω_0 為振盪頻率， $S_\phi(f)$ 為相位雜訊函數，假設在我們討論的範圍主要的相位雜訊形式是熱雜訊(white noise)，也就是說只討論位移頻率在 $1/f^2$ 區域裡面的話，我們可以近似為式 2-2 的式子，根據式 2-2 我們可以得出，若要得到時脈倍頻器的輸出抖動為 $0.01\text{ps}_{\text{RMS}}$ ，則相當於相位雜訊在位移頻率 1MHz 之處要低於 -100dBc/Hz 。

$$\sigma_{cc}^2 = \frac{8}{\omega_0^2} \int_0^\infty S_\phi(f) \sin^2(\pi f \tau) df \quad (\text{式 2-1})$$

$$\sigma_{cc}^2 = \frac{\Delta f^2}{f_0^3} \cdot S_\phi(f) \quad (\text{式 2-2})$$

在時脈倍頻器中，雜訊源主要有幾個來源，如圖 2-4 所示，第一個是來自於參考信號源及除頻器的輸出點貢獻的低頻的雜訊 $\theta_{n,ref}$ ，第二個是電荷幫浦電路(charge pump, CP)及迴路濾波器(loop filter, LP)的熱雜訊 $i_{n,qp}$ ，第三個是電壓控制振盪器(voltage controlled oscillator, VCO)中 LC tank 即主動電路的雜散阻抗提供的高頻雜訊 $\theta_{n,vco}$ ，各個雜訊源都會反應在 $\theta_{n,out}$ ，各個訊雜源對於輸出的雜訊轉移函數如下：

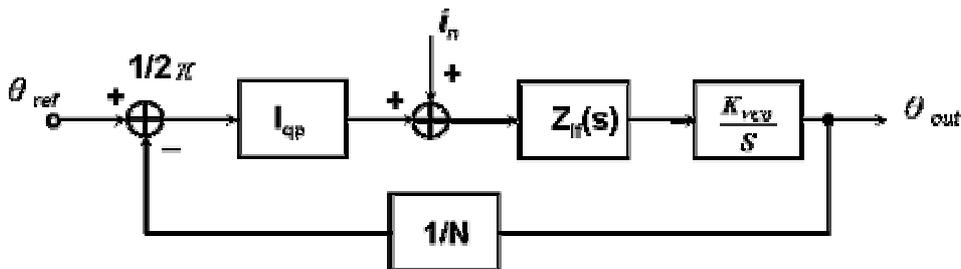


圖 2-4 鎖相迴路相位雜訊源

$$\frac{\theta_{out}}{\theta_{n,ref}}(S) = \frac{K_{pd} Z_{lf}(s) K_{vco}}{s + K_{pd} Z_{lf}(s) K_{vco} \frac{1}{N}} \quad (\text{式 2-3})$$

$$\frac{\theta_{out}}{i_{n,qp}}(S) = \frac{Z_{lf}(s) K_{vco}}{s + K_{pd} K_{vco} Z_{lf}(s) \frac{1}{N}} \quad (\text{式 2-4})$$

$$\frac{\theta_{out}}{\theta_{n,vco}}(S) = \frac{1}{1 + K_{pd} Z_{lf}(s) \frac{K_{vco}}{s} \frac{1}{N}} \quad (\text{式 2-5})$$

式 2-3 所示為參考信號雜訊源及除頻器對於輸出的雜訊轉移函數， K_{pd} 為相頻偵測器及電荷幫浦電路的增益 $1qp/2\pi$ (A/rad)， $Z_{lf}(s)$ (V/A)為迴路濾波器的阻抗， K_{vco} (Hz/V)為電壓控制振盪器的增益， N 為除頻器的除數，式 2-4 為電荷幫浦電路及迴路濾波器對於輸出的雜訊轉移函數。在這邊是以雜訊電流的形式反應到輸出，式 2-5 為電壓控制振盪器對於輸出的雜訊轉移函數，參考信號雜訊源和除頻器及電荷幫浦電路和迴路濾波器的雜訊轉移函數的頻率響應有如一個低通函數，高 3dB 頻率為 ω_c ，電壓控制振盪器的雜訊轉移函數的頻率響應有如一個高通函數，低 3dB 頻率也在 ω_c ，而 ω_c 同時也是鎖相迴路的開迴路頻率響應的迴路頻寬，當設定 ω_c 較寬，來自於電壓控制振盪器的高頻雜訊可以被迴路增益衰減，但是從參考信號源和除頻器及電荷幫浦電路和迴路濾波器貢獻的低頻雜訊就會造成鎖相迴路非常嚴重的相位雜訊，反之，若 ω_c 被設定較窄，低頻雜訊可以有效地被抑制，但是來自於電壓控制振盪器的雜訊大量進入到鎖相迴路來，因此，迴路頻寬將會有一個最佳的值可以有效抑制低頻雜訊，又可防止高頻雜訊大量進入鎖相迴路。

首先來看電荷幫浦電路及迴路濾波器所提供的雜訊，如圖 2-5 所示，電荷幫浦電路的輸出電流主要由一個充電電流源及一個放電電流源組成， di_n^2 為電流源 I_{qp} 的雜訊電流，當鎖相迴路在鎖定時，兩個電流源會同時啟動一小段時間，這段時間跟時脈週期的比例我們定為 α_{qp} ，而這兩個電流源會相加在一起，輸出的雜訊電流即如式 2-6 所示，實際上充電電流源及放電電流源所用的電晶體不盡相同，充電電流源為 PMOS 電晶體，因此提供的雜訊電流為 $4kTg_{m,up}df$ ，波茲曼常數 $k=1.38 \times 10^{-23}$ ， $g_{m,up}$ 為 PMOS 電晶體的等效轉導，而放電電流源為 NPN 電晶體，因此

提供的雜訊電流為 $2kTg_{m,down}df$ ，迴路濾波器的電阻 R_z 也提供了熱雜訊，在這

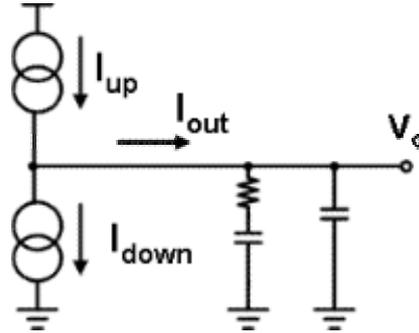


圖 2-5 電荷幫浦電路及迴路濾波器的雜訊源

$$di_{n,qp}^2 = 2\alpha_{qp} \cdot di_n^2 \quad (\text{式 2-6})$$

邊以電流的形式加入到電荷幫浦電路的雜訊電流中，迴路濾波器的電阻等效熱雜訊電流為 $4kT/R_z df$ ，而在這邊我們看的是單頻帶的頻譜相位雜訊密度(single sided spectral phase noise density)，因此還要乘上 $1/2$ ，最後結果為式 2-7。

$$S_\phi = \frac{1}{2} \cdot \alpha_{qp} \cdot \left(2kTg_{m,down} + 4kTg_{m,up} + 4kT \frac{1}{R_z} \right) \quad (\text{式 2-7})$$

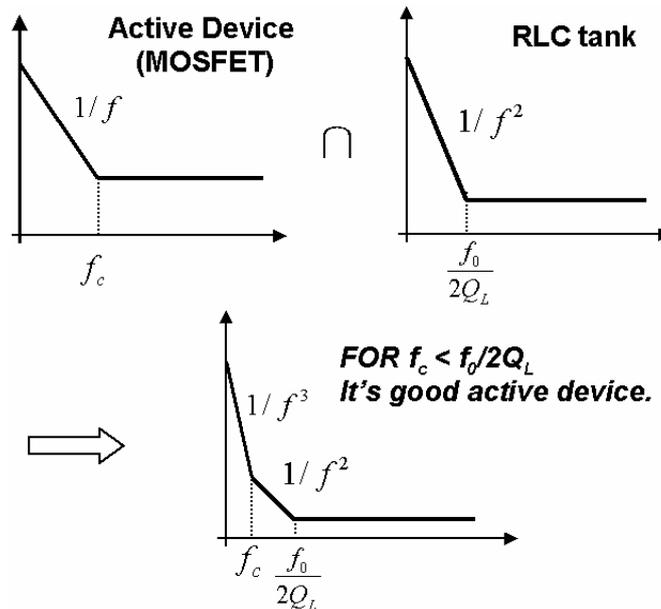


圖 2-6 振盪器的相位雜訊

在來看電壓控制振盪器所提供的雜訊，在這邊我們主要著重的是電壓控制振盪器，是由一個主動電路及RLC共振腔所組成，主動電路主要是在低頻提供 $1/f$ 的雜訊，而RLC共振腔則提供 $1/f^2$ 的雜訊，在穩定振盪時，主動電路及RLC共振腔對於整個振盪器的輸出相位雜訊具有很大的影響，通常主動電路的 $1/f$ 雜訊跟 $1/f^2$ 雜訊會呈現如圖 2-6 的相對關係。

一個實際的電壓控制振盪器的輸出為 $V_{out}(t) = A(t) \cdot f(\omega_0 t + \varphi(t))$ ， $\varphi(t)$ 及 $A(t)$ 為時間的函數而 $f(\cdot)$ 為 2π 的週期性函數， $\varphi(t)$ 的函數可以表示為 $L(\Delta\omega)$ ，也就是相位雜訊[27]，相位雜訊可說是雜訊對於訊號的功率比，可以定義為：

$$L_{phase}(\Delta\omega) = 10 \cdot \log \cdot \left[\frac{P_{sideband}(\omega + \Delta\omega, 1Hz)}{P_{carrier}} \right] = L(\Delta\omega) \quad (式 2-8)$$

$P_{sideband}(\omega + \Delta\omega, 1Hz)$ 表示為在位移頻率為 $\Delta\omega$ 之處的 1Hz 頻寬裡的單頻帶的頻譜相位雜訊密度，在線性非時變系統(linearity time invariant, LTI)的假設中，以相位雜訊模型預測出來的雜訊功率 $L(\Delta\omega)$ 為：

$$\begin{aligned} L(\Delta\omega) &= 10 \log \left\{ \frac{2FkT}{P_s} \cdot \left[1 + \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \right] \cdot \left(1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right) \right\} \\ &= 10 \log \left\{ \frac{2FkT}{P_s} \cdot \left[1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} + \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \cdot \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \right] \right\} \end{aligned} \quad (式 2-9)$$

在式 2-9 中，第一項的 1 為直流雜訊，在第二項中的 $\frac{\Delta\omega_{1/f^3}}{|\Delta\omega|}$ 為元件的 $1/f$ 雜訊，

第三項 $\left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2$ 為RLC共振腔的雜訊，第四項 $\frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \cdot \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2$ 為元件 $1/f$ 雜訊

及RLC共振腔的雜訊，F為經驗參數(通常叫做device excess noise number)，k為波茲曼常數，T為絕對溫度， P_s 為共振腔中散逸在阻抗性部分的平均功率， ω_0 為振盪頻率， Q_L 為共振腔的等效品質因子， $\Delta\omega$ 為相對於載波的位移頻率， $\Delta\omega_{1/f^3}$ 為 $1/f^3$ 及 $1/f^2$ 的轉角頻率。

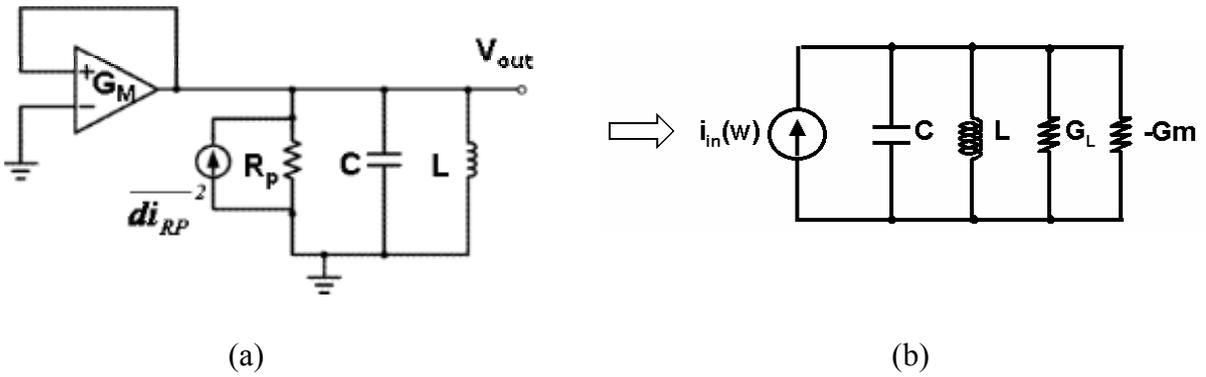


圖 2-7 (a) RLC 振盪器 (b) 簡化並聯電路

接下來我們來看一個如圖 2-7(a)所示為一個基本的振盪器模型[28]，假設 R_p 為唯一的雜散效應，會產生一個雜訊電流 \overline{di}_{Rp}^2 ，第一步先推導迴路的轉移函數，如式 2-10，結果為

$$T_{loop,Rp}(s) = G_M \cdot \frac{sL}{1 + s\frac{L}{R_p} + s^2LC} \quad \text{(式 2-10)}$$

轉移函數的虛部為

$$\Im\{T_{loop,Rp}(\omega)\} = G_M \cdot \frac{\omega L \cdot (1 - \omega^2 LC)}{(1 - \omega^2 LC) + \omega^2 \cdot \left(\frac{L}{R_p}\right)^2} \quad \text{(式 2-11)}$$

虛部會在 $\omega_0 = \frac{1}{\sqrt{L \cdot C}}$ 時為零

因此 ω_0 即為振盪的頻率，在來我們要計算轉導 G_M ，我們用 $G_{M,Rp}$ 來表示轉導，因為這個值是用來補償造成耗損的電阻 R_p 的， $G_{M,Rp}$ 為

$$G_{M,Rp} \frac{G_M}{T_{loop}(\omega_0)} = \frac{1}{R_p} \quad \text{(式 2-12)}$$

而 \overline{di}_{Rp}^2 對於輸出電壓 V_{out} 的轉移函數為

$$T_{noise,Rp}^2(s) = \frac{\overline{dV_{out}}^2}{di_{Rp}^2}(s) = \left[\frac{sL}{1 - sL \cdot (G_M - G_P) + s^2 LC} \right]^2 \quad (\text{式 2-13})$$

G_P 表示 R_P 的倒數，爲了計算振盪器的相位雜訊，我們必須推出在 $\omega_0 + \Delta\omega$ 之處的轉移函數，在 ω_0 ，雜訊轉移函數的大小爲無窮大，爲了方便計算，我們計算雜訊轉移函數的倒數，我們定義爲

$$H_{noise,Rp}(\omega_0 + \Delta\omega) = \frac{1}{T_{noise,Rp}(\omega_0 + \Delta\omega)} \quad (\text{式 2-13})$$

我們在中心頻率附近作一個線性化的假設所以可以把式 2-13 寫爲

$$H_{noise,Rp}(\omega_0 + \Delta\omega) = H_{noise,Rp}(\omega_0) + \frac{dH_{noise,Rp}}{d\omega}(\omega_0) \cdot \Delta\omega \quad (\text{式 2-14})$$

第一項 $H_{noise,Rp}(\omega_0)$ 會等於 $G_P - G_M$ ，當 $G_M = G_{M,Rp}$ ，第一項會爲零，則第二項會爲

$$\begin{aligned} \frac{dH_{noise,Rp}}{d\omega}(\omega_0) \cdot \Delta\omega &= \omega_0 \cdot \frac{dH_{noise,Rp}}{d\omega}(\omega_0) \cdot \left(\frac{\Delta\omega}{\omega_0}\right) \\ &= 2j \cdot \sqrt{\frac{C}{L}} \cdot \left(\frac{\Delta\omega}{\omega_0}\right) \end{aligned} \quad (\text{式 2-15})$$

由此我們可以推得 R_P 對於輸出的雜訊轉移函數爲

$$\begin{aligned} T_{noise,Rp}^2(\omega_0 + \Delta\omega) &\approx \left| \frac{1}{2j} \cdot \sqrt{\frac{L}{C}} \right|^2 \cdot \left(\frac{\omega_0}{\Delta\omega}\right)^2 \\ &= \frac{1}{4 \cdot (\omega_0 C)^2} \cdot \left(\frac{\omega_0}{\Delta\omega}\right)^2 \end{aligned} \quad (\text{式 2-16})$$

因此在離中心頻率非常近的頻率之處的雜訊密度爲

$$\begin{aligned} \overline{dV_{out}^2}((\omega_0 + \Delta\omega)) &= T_{noise, Rp}^2(\omega_0 + \Delta\omega) \times \overline{di_{Rp}^2} \\ &\approx \frac{1}{4 \cdot (\omega_0 C)^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \times \frac{4kT}{R_p} \cdot df \\ &= kT \cdot \frac{1}{R_p \cdot (\omega_0 C)^2} \cdot \left(\frac{\omega_0}{\Delta\omega} \right)^2 \cdot df \end{aligned} \quad (式 2-17)$$

我們也可以用較短的標號寫成如式 2-18，在這邊我們還是使用 R_p 來區別對於輸出點的其他雜訊源。

$$\overline{dV_{out, Rp}^2} \{ \Delta\omega \} = kT \cdot \frac{1}{R_p \cdot (\omega_0 C)^2} \cdot \left(\frac{\omega_0}{\Delta\omega} \right)^2 \cdot df \quad (式 2-18)$$

振盪器的雜訊源除了與 LC 並聯的雜散電阻，電感的串聯電阻 R_L 及電容的串聯電阻 R_C ，圖 2-8 表示電感的雜散電阻 R_L ，使用上述的方法來推導 R_L 產生的雜訊電壓，如式 2-19、2-20、2-21 所示

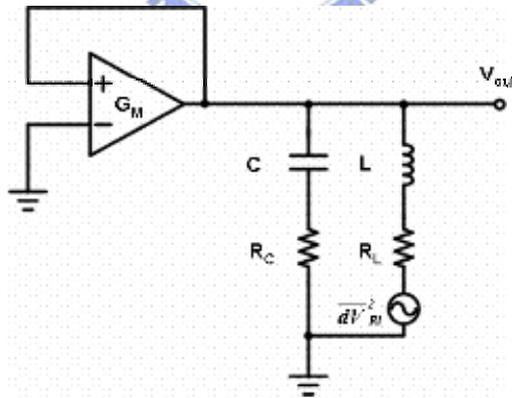


圖 2-8 雜散電阻 R_L 的雜訊

$$T_{loop, R_L}(s) = G_M \cdot \frac{R_L + sL}{1 + sR_L C + s^2 LC} \quad (式 2-19)$$

$$\omega_0 = \frac{1}{\sqrt{LC}} \cdot \sqrt{1 - \frac{R_L^2 C}{L}} \quad (\text{式 2-20})$$

$$G_{M,R_L} = R_L \cdot \frac{C}{L} \approx R_L \cdot (\omega_0 C)^2 \quad (\text{式 2-21})$$

由此可推得 R_L 造成的雜訊電壓為

$$\overline{dV_{out,R_L}^2} \{\Delta\omega\} = kT \cdot R_L \cdot \left(\frac{\omega_0}{\Delta\omega} \right)^2 \cdot df \quad (\text{式 2-22})$$

電容的串聯電阻產生的雜訊也可以轉導的方式求出，如式 2-23、2-24 所示

$$G_{M,R_C} = R_C \cdot \frac{C}{L} \approx R_C \cdot (\omega_0 C)^2 \quad (\text{式 2-23})$$

$$\overline{dV_{out,R_C}^2} \{\Delta\omega\} = kT \cdot R_C \cdot \left(\frac{\omega_0}{\Delta\omega} \right)^2 \cdot df \quad (\text{式 2-24})$$

綜合上述，我們可以得到 LC 振盪器的雜散電阻產生的雜訊為

$$R_{eff} = R_C + R_L + \frac{1}{R_P \cdot (\omega_0 C)^2} \quad (\text{式 2-25})$$

$$G_M = R_{eff} \cdot (\omega_0 C)^2 \quad (\text{式 2-26})$$

$$\overline{dV_{out,R}^2} \{\Delta\omega\} = kT \cdot R_{eff} \cdot \left(\frac{\omega_0}{\Delta\omega} \right)^2 \cdot df \quad (\text{式 2-27})$$

在 LC 振盪器中主動電路產生的雜訊部份，可以用雜訊電流的形式表示

$$\overline{di_{G_M}^2} = 4kT \cdot F_{G_M} \cdot G_M \cdot df \quad (\text{式 2-28})$$

其中 G_M 為式 2-26 所示， F_{G_M} 為主動電路所用的超額雜訊因子，因為雜訊轉移函數

第二章

跟 R_p ，所以主動電路的輸出雜訊為

$$\begin{aligned}\overline{dV}_{out,G_M}^2(\omega_0 + \Delta\omega) &= T_{noise,Rp}^2(\omega_0 + \Delta\omega) \cdot \overline{di}_{G_M}^2 \\ &\approx kT \cdot \frac{1}{(\omega_0 C)^2} \cdot F_{G_M} \cdot \left(\frac{\omega_0}{\Delta\omega}\right)^2 \cdot df\end{aligned}\quad (式 2-29)$$

如果將 GM 用式 2-26 取代，則會變成

$$\overline{dV}_{out,G_M}^2\{\Delta\omega\} = kT \cdot R_{eff} \cdot F_{G_M} \cdot \left(\frac{\omega_0}{\Delta\omega}\right)^2 \cdot df \quad (式 2-30)$$

因為真實的電路轉導會比理論上的來的高一點，因此我們會在成上一個參數 α ，為了簡化，我們另 $A = \alpha \cdot F_{G_M}$ ，而式 2-30 成為

$$\overline{dV}_{out,G_M}^2\{\Delta\omega\} = kT \cdot R_{eff} \cdot A \cdot \left(\frac{\omega_0}{\Delta\omega}\right)^2 \cdot df \quad (式 2-31)$$

將這些雜訊源帶入式 2-8，最後我們可以得到 LC 振盪器的單頻帶相位雜訊密度：

$$L\{\Delta\omega\} = \frac{kT \cdot R_{eff} \cdot [1 + A] \cdot \left(\frac{\omega_0}{\Delta\omega}\right)^2}{\frac{V_A^2}{2}} \quad (式 2-32)$$

將式 2-7 及式 2-32 所表示的電荷幫浦電路及電壓控制振盪器產生的雜訊乘上式 2-4 及式 2-5 轉移函數的大小，我們可以得到在時脈倍頻器輸出的總雜訊大小，相位雜訊主要是由 ω_c 、 I_{qp} 、 K_{vco} 所決定，假設我們考慮真實電路情況而定 $I_{qp} = 0.5\text{mA}$ ， $K_{vco} = 400\text{MHz/V}$ ，而將相位雜訊在位移頻率 1MHz 之處的大小對於 ω_c 做圖，可以得到如圖 2-9 的結果，在考慮其他因素如電容面積，我們可以得到最佳的迴路頻寬選擇為 10MHz，圖 2-10 所示為相位雜訊的模擬結果，因此我們可以決定迴路濾波器的元件參數， $R_z = 5\text{k}\Omega$ ， $C_1 = 12.7\text{pF}$ ， $C_2 = 0.8\text{pF}$ ，接下來我們要以鎖相迴路的線性模型來驗證迴路濾波器對於迴路的穩定性。

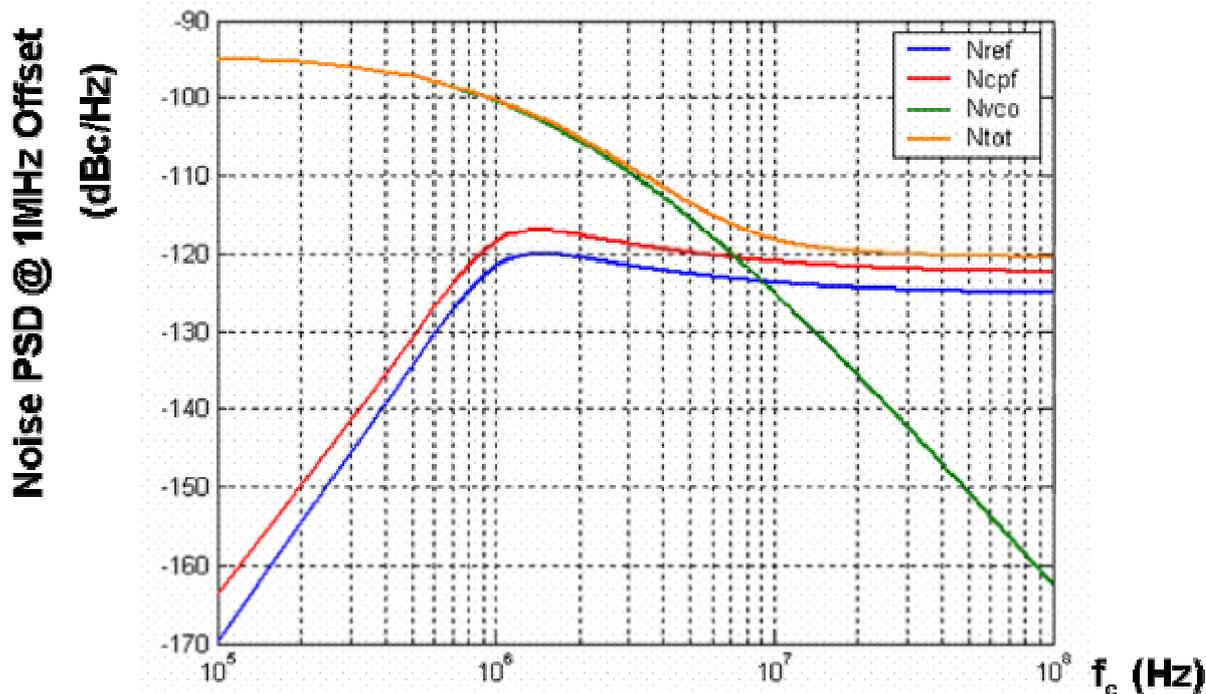


圖 2-9 迴路頻寬最佳化

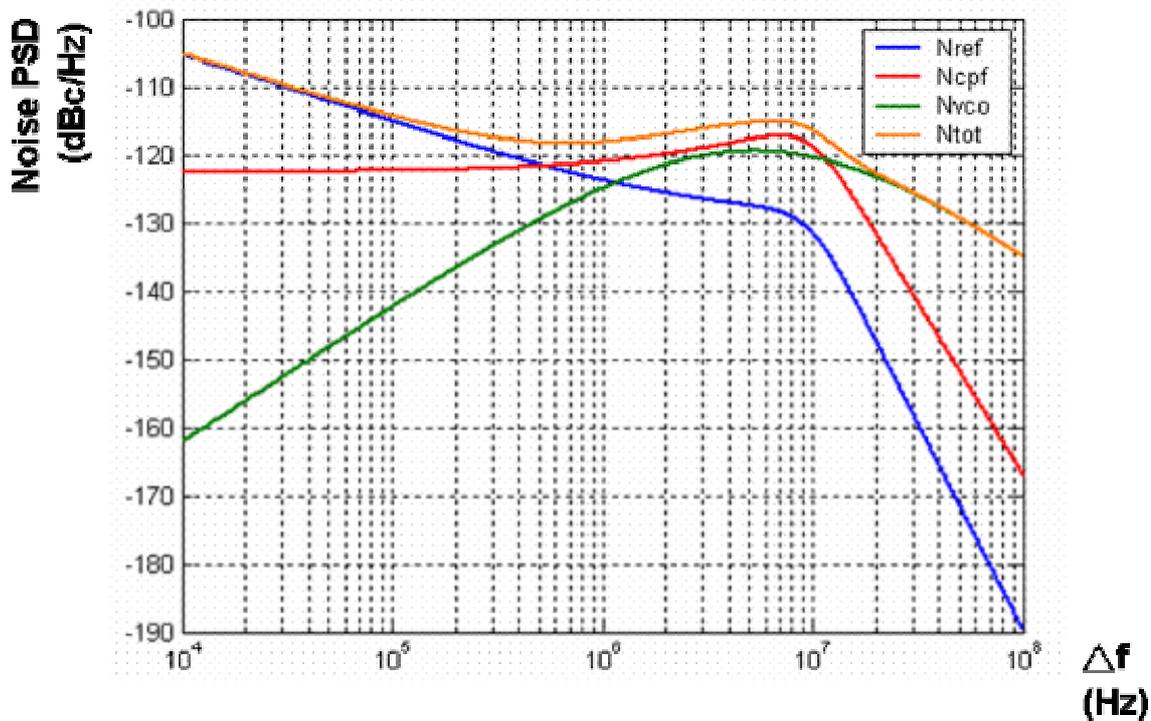


圖 2-10 時脈倍頻器相位雜訊

2.5 鎖相迴路線性模型

鎖相迴路是用來使電壓控制振盪器輸出的相位達到鎖定的狀態，在一開始，電壓控制振盪器會試著去找正確的頻率，而鎖相迴路此時為一個非線性的操作，一旦迴路進入鎖定的狀態，我們就可以使用線性模型來分析鎖相迴路[29]。

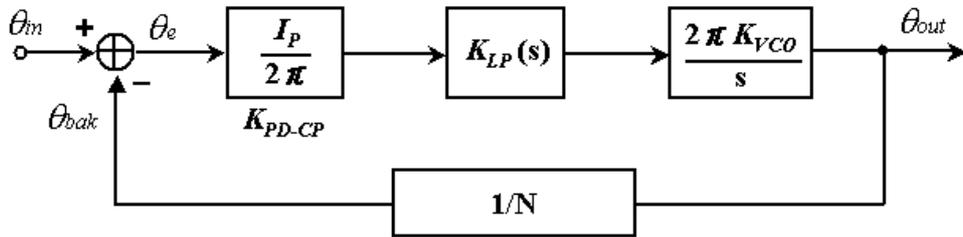


圖 2-11 鎖相迴路線性模型

圖 2-11 所示為鎖相迴路線性模型，也可以看成一個回授系統，裡面的系統方塊包括相位頻率偵測器，電荷幫浦電路，迴路濾波器，一個電壓控制振盪器，及一個除頻器，相位頻率偵測器比較兩個輸入時脈信號的相位差，電荷幫浦電路將相位差轉換成電壓的形式， $K_{PD-CP}(V/rad)$ 表示相位頻率偵測器及電荷幫浦電路的轉移函數，電荷幫浦電路的輸出會被一個低通濾波器過濾，並產生一個電壓信號給電壓控制振盪器，控制振盪的頻率，迴路濾波器的轉移函數為 $K_{LP}(s)(V/A)$ ，因為電壓控制振盪器在這邊的行為類似一個積分器，因此電壓控制振盪器的轉移函數為 $K_{VCO}/s(Hz/V)$ ，最後電壓控制振盪器的輸出信號會經由一個除 N 的除頻器回授到輸入點。

在穩態時，鎖相迴路的開迴路增益為

$$G(s) = \frac{\theta_{bak}}{\theta_{in}} = \frac{I_P K_{VCO} K_{LP}(s)}{sN} \quad (\text{式 2-33})$$

根據回授理論，從輸入到輸出的轉移函數為

$$H(s) = \frac{\theta_{out}}{\theta_{in}} = N \frac{G(s)}{1 + G(s)} \quad (\text{式 2-34})$$

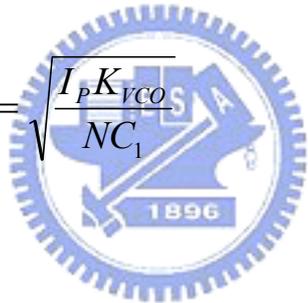
第二章

如果迴路濾波器中有一個極點跟一個零點來增加鎖相迴路的頻率範圍及彈性，則式 2-34 會變成一個二階函數

$$H(s) = \frac{\theta_{out}}{\theta_{in}} = \frac{I_P K_{VCO} R s + I_P K_{VCO} / C_1}{s^2 + I_P K_{VCO} R s / N + I_P K_{VCO} / N C_1} \quad (\text{式 2-35})$$

$$H(s) = \frac{\theta_{out}}{\theta_{in}} = \frac{\omega_n^2 (s / \omega_z + 1)}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (\text{式 2-36})$$

比較式 2-35 及式 2-36，我們可以得到鎖相迴路系統中的自然頻率、阻尼係數、及迴路濾波器中的零點。

$$\omega_n = \sqrt{\frac{I_P K_{VCO}}{N C_1}} \quad (\text{式 2-37})$$


$$\xi = \frac{\omega_n}{2\omega_z} \quad (\text{式 2-38})$$

$$\omega_z = \frac{1}{R C_1} \quad (\text{式 2-39})$$

在之前雜訊分析中，我們得到一組迴路的參數，將這些參數代入式 2-36 到式 2-39，驗證迴路的穩定性，開迴路增益可以得到如圖 2-12 所示，相位邊限(PM)大約為 62° ，因此可確保迴路的穩定性，圖 2-13 所示為閉迴路增益的迴路響應，鎖相迴路線性模型的各项參數列於表 2-1。

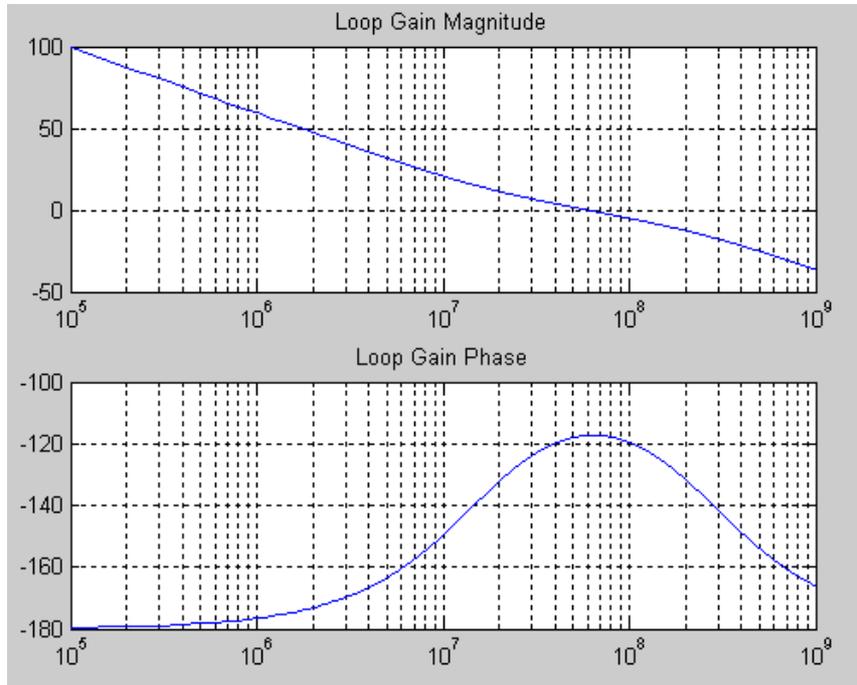


圖 2-12 鎖相迴路開迴路增益頻率響應

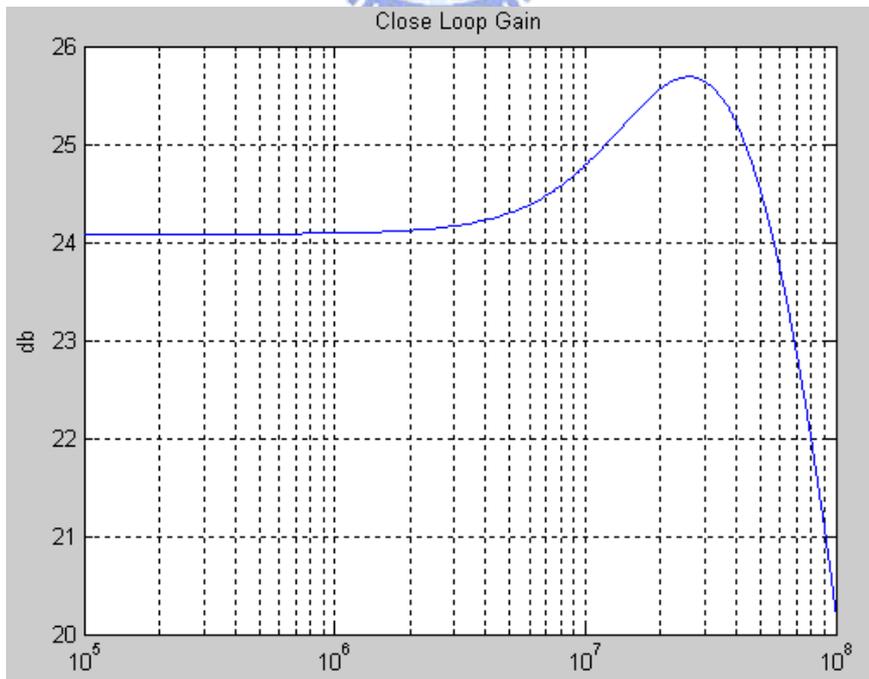


圖 2-13 鎖相迴路閉迴路增益頻率響應

Parameter		Parameter	
<i>Zero Point</i>	15.7 Mrad/s	<i>Damping Factor</i>	1
<i>Unit Frequency</i>	62.8 Mrad/s	<i>Peaking</i>	1.66 dB
<i>Phase Margin</i>	62°	<i>Nature Frequency</i>	31.4 Mrad/s

表 2-1 鎖相迴路參數

2.6 相位頻率偵測器

相位頻率偵測器的架構如圖 2-14(a)所示，由兩個 D 型正反器及一個 AND 閘構成，一端的輸入接收來自石英或儀器的參考時脈信號，另一端輸入為電壓控制振盪器經過除頻器之後回授的時脈信號，相位頻率偵測器可以偵測這兩個週期性輸入信號的相位差，並將之反應在”UP”跟”DN”的輸出信號上，當參考信號的相位比回授信號的相位超前，則 UP 會拉起為 1，當參考信號落後回授信號，則 DN 會拉起，當兩個信號的相位同時到達時，UP 和 DN 會同時被 AND 閘重設為 0。

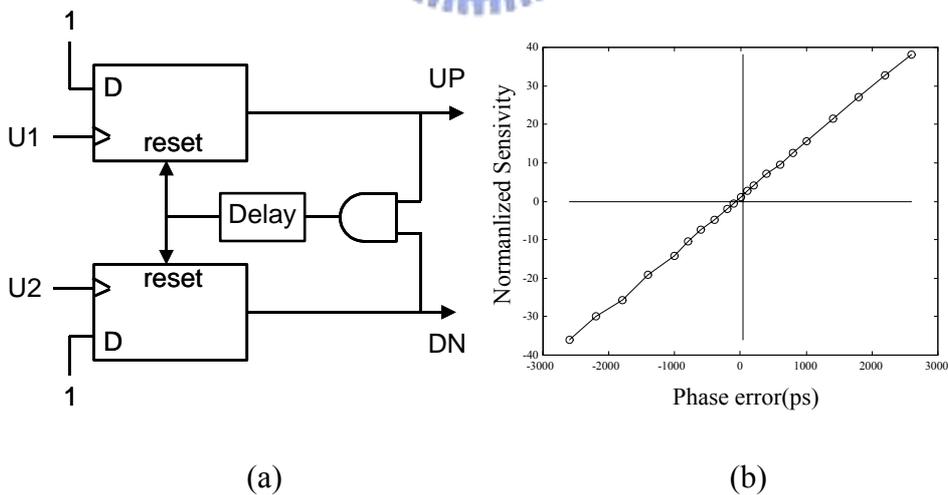


圖 2-14 (a)相位頻率偵測器 (b) PFD 輸出特性

當參考信號及回授信號的相位非常接近時，產生 UP 或 DN 信號的時間就會變的非常短，可能會因此而無法打開電荷幫浦電路的開關，如此就會造成電荷幫浦

電路無法辨認是 UP 或 DN，我們稱這個非常接近的相位為死區(deadzone)，爲了克服這種錯誤，增加相位頻率偵測器的線性度，我們會在回授路徑 AND 閘後加一個延遲單元，增加 UP 或 DN 信號的產生時間，圖 2-14(b)為相位頻率偵測器的死區模擬，死區範圍大約為 2ps，圖 2-15 為相位頻率偵測器的 D 型正反器電路，輸入信號由 CK 進入，R 為重設信號，圖 2-16 為相位頻率偵測器的 NAND 閘。

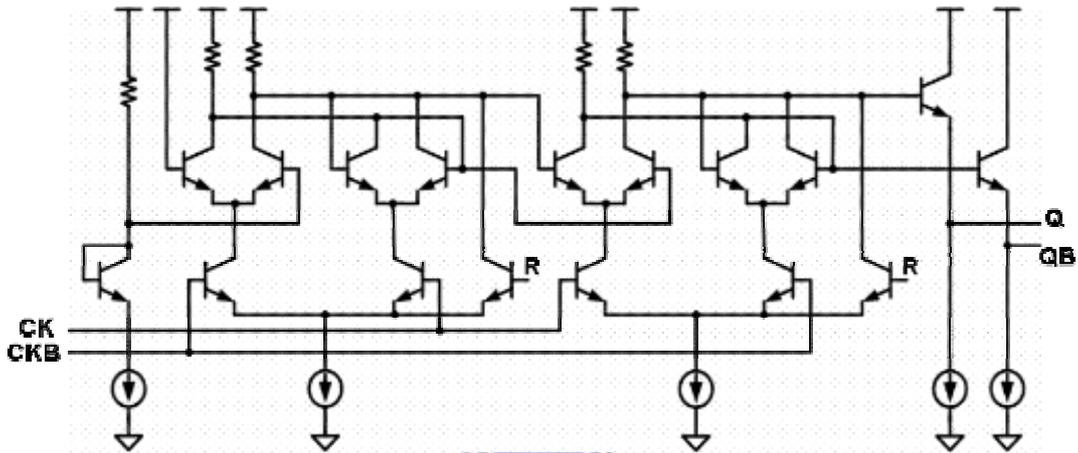


圖 2-15 相位頻率偵測器的 D 型正反器

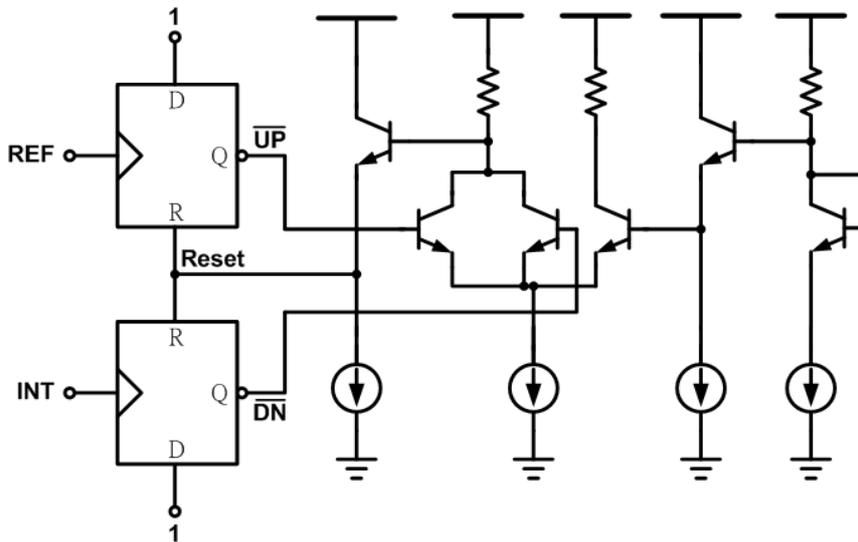


圖 2-16 相位頻率偵測器的 NAND 閘

2.7 電荷幫浦電路及迴路濾波器

在相頻偵測器決定相位差之後，信號必須被轉變為電壓的形式，一般即是使用一個電荷幫浦電路[30]，電荷幫浦電路的基本原理就是依據相頻偵測器輸出的信號時間充電或放電，圖 2-17 所示即為電荷幫浦電路及迴路濾波器的電路圖，主要是用 PMOS 的輸入差動對及一個 NPN 電晶體電流鏡所組成，充電時由 PMOS 電流源對輸出點充電，放電是經由 NPN 電流鏡對輸出點放電，使用 NPN 電流鏡可以加快放電時的反應時間，減少充放電時間的不匹配。

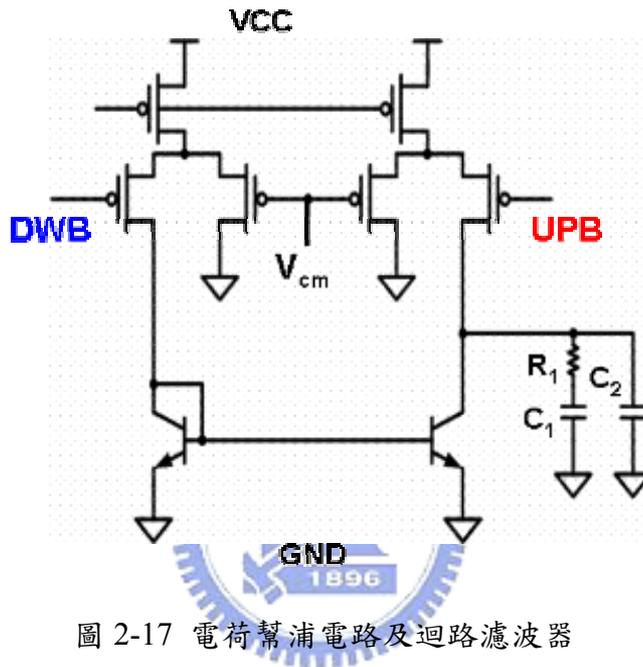


圖 2-17 電荷幫浦電路及迴路濾波器

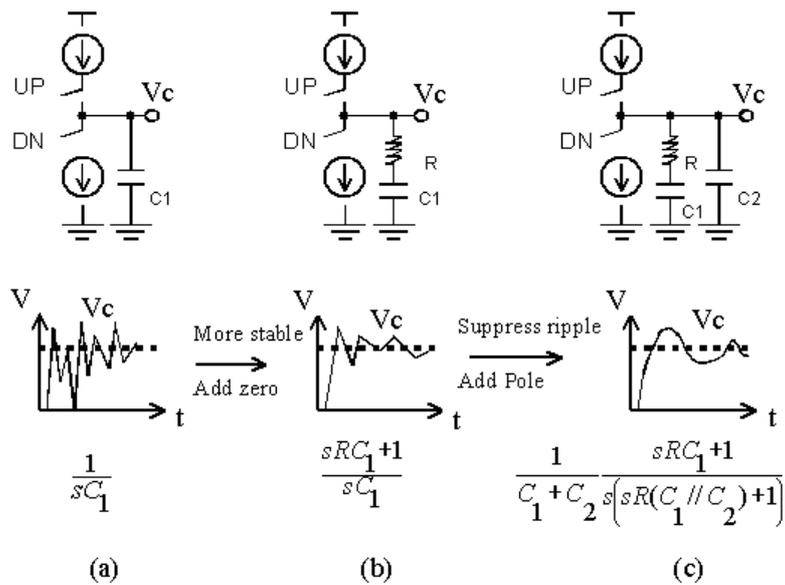


圖 2-18 低通濾波器(a)單極點;(b)一個極點一個零點;(c)兩個極點一個零點

在圖 2-17 的右半部為一個二階的迴路濾波器，一個低通濾波器用來從相頻偵測器的輸出擷取出平均值，如圖 2-18 所示，當迴路濾波器只包含單一個電容 C_1 時，鎖相迴路是不穩定的，這是因為鎖相迴路是個回授系統，迴路濾波器提供一個極點，而電壓控制振盪器提供另一個極點，因此可能造成迴路的不穩定，為了防止迴路不穩定，我們一定要在 C_1 上串聯一個電阻 R_1 來增加一個零點，因為增加了這個零點，高頻的雜訊可能沒有辦法被有效衰減，因此我們仍須再並聯一個 C_2 當作一個極點，可以抑制高頻的漣波雜訊(ripple noise)，額外增加的一個極點和一個零點會使二階鎖相迴路變成三階的系統，使分析變的更為困難，相位邊線與穩定度的條件也更加嚴格，因此我們設定 $C_1 > 10 \times C_2$ ，可以使三階鎖相迴路近似一個二階的系統，濾波器電阻為poly電阻，電容為MIM電容，會使濾波器在高頻操作時有較好的頻率響應。

2.8 正交相位電壓控制振盪器

2.8.1 振盪器原理

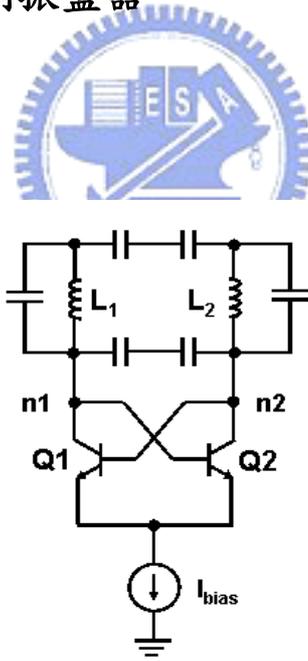


圖 2-19 LC 振盪器

相位雜訊及頻率調變範圍是一個電壓控制振盪器最關鍵的兩個參數，為了在高頻時達到低相位雜訊的目標，一個具有高 Q 值電感的LC電壓控制振盪器會是較好的選擇，但是卻很難同時達到低相位雜訊及高頻率調變範圍的標準，因此，我們使用切換調變頻帶的機制來解決這個問題，為了滿足在發射器中的應用，我們使用兩個LC振盪器來產生正交相位的電壓控制振盪器，在本節中我們將描述一

第二章

個操作在 10GHz 的正交相位電壓控制振盪器。

圖 2-19 所示為一個 LC 振盪器，由一個 LC 共振腔及一個負電阻來補償電感的耗損及維持振盪[31][32]，振盪頻率為式 2-14， C_{tot} 為 $n1$ 之處的總電容。

$$f_{osc} = \frac{1}{2\pi\sqrt{LC_{tot}}} \quad (\text{式 2-40})$$

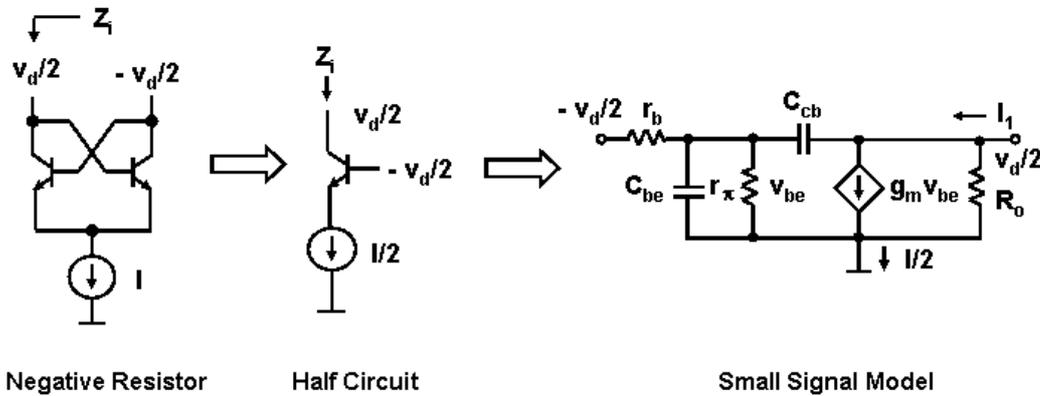


圖 2-20 負電阻的小訊號模型

現在我們來分析負電阻的等效模型，圖 2-20 為負電阻的架構及半電路，右半部為小訊號等效模型，我們可以由小訊號分析推導出負電阻如式 2-41 所示，當 $|Z_i|$ 小於或等於 LC 共振腔的等效阻抗時，電路將會起振。

$$Z_i = \frac{1}{1/R_o - g_m(r_\pi/r_b + r_\pi)} \quad (\text{式 2-41})$$

2.8.2 電感

電感在電壓控制振盪器中扮演著極為關鍵的角色，他直接影響著振盪器輸出的相位雜訊，在電感中最重要評估參數為 Q 值、自振頻率、以及面積，這些特性的好壞跟佈局及製程的技術息息相關，在 SONET OC192 的電壓控制振盪器的應

第二章

用中，我們所使用的電感為一個如圖 2-21 的對稱式的電感，比起螺旋式電感在面積上縮減極多，更重要的是對稱式電感的 Q 值也會比螺旋式電感來的好[33]，因此在雜訊方面會有較好的表現。

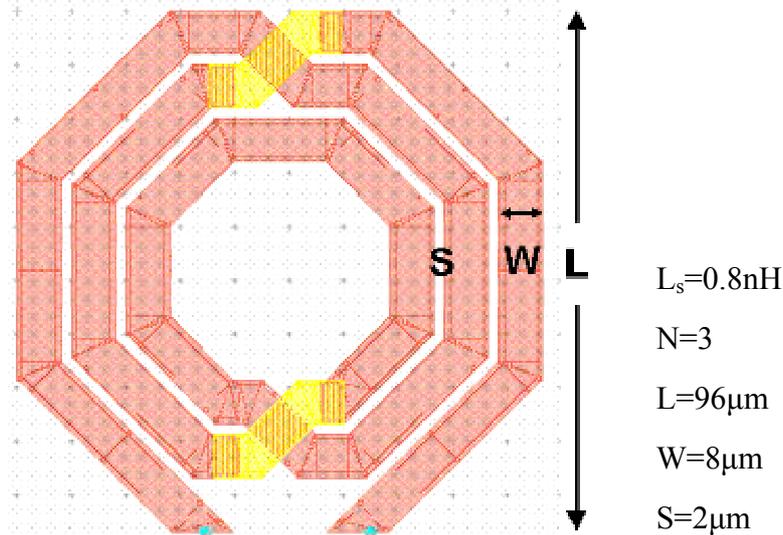


圖 2-21 對稱式電感

2.8.3 切換調變機制

為了降低相位雜訊經由電壓控制振盪器增益而放大，但是又希望頻率的可調範圍增加，其中一個辦法就是將振盪器切換成多個頻帶，使得振盪頻率可以有很大的調變範圍，而每一個頻帶都不需要太大的增益，每個頻帶間的重疊會涵蓋足夠的範圍以防止溫度及製程漂移對電路造成的影響，因此在這個振盪器中，我們使用了兩組以數位方式控制的可變 MOS 電容，2-bits 的數位控制方式可以使這個振盪器分成四個頻帶，以數位方式控制較類比式好的原因是不會在電晶體部份導通的情況下降低 Q 值及增加相位雜訊。

而在每個頻帶的微調部分，我們使用一組累增式 MOS 可變電容 (accumulation-mode MOS varactor) 來作為調整振盪器頻率的機制，圖 2-22 所示即為其架構圖，將一個 NMOS 放在 n-well 裡面，當 V_G 小於 V_S 時，在 n-well 中的電子會從矽氧介面中移除，在那裡形成空乏區，此時等效電容為一個 C_{ox} 串聯一個 C_{dep} ，當 V_G 超過 V_S 時，矽氧介面會從 n+ 的源極和汲極吸引電子而形成通道，此時的總電容會提高如圖 2-22 的曲線所示，因此我們得到了一個單調性的可變電容，在電壓控制振盪器中，我們將 MOS 電容的 G 接到一個固定電壓上，而將 D/S 接到電荷幫浦

電路的輸出，藉由此輸出電壓來控制振盪器的輸出頻率[34]。

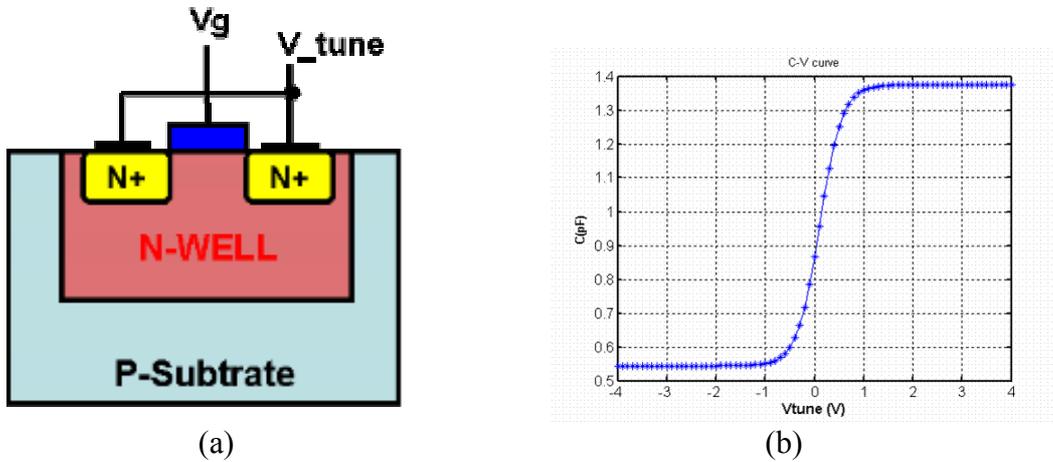


圖 2-22 累增式 MOS 可變電容 (a)架構, (b)C-V 曲線

2.8.4 正交相位電壓控制振盪器

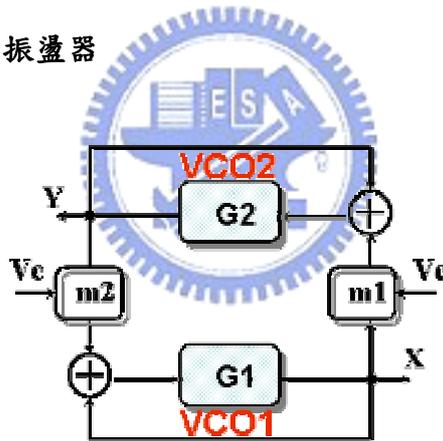


圖 2-23 正交相位電壓控制振盪器模型

正交相位電壓控制振盪器包含了兩個LC振盪器，兩個振盪器核心的輸出以m1及m2的比例交互耦合而成，因此將會產生相位差 90° 的信號輸出，如圖 2-23 所示為正交相位電壓控制振盪器的模型，每個振盪器都看成一個單增益回授系統， $G1(\omega)$ 和 $G2(\omega)$ 為兩個振盪器的開迴路增益，如果兩個振盪器的振盪頻率都在 ω_1 時，兩個振盪器的相角(X和Y)會滿足下列的方程式[35]：

$$(X + m2Y)G1(j\omega_1) = X \quad (\text{式 2-42})$$

$$(Y + m1X)G2(j\omega_1) = Y \quad (\text{式 2-43})$$

由這兩個方程式的解可以得到 $X=\pm Y$ ，因此這兩個輸出的信號彼此會相差 90° 。

圖 2-23 所示為正交相位電壓控制振盪器的電路圖，如前所述，對稱式的電感有效地減少面積及提高 Q 值，累增式 MOS 電容使振盪器有單調的增益曲線，兩組以數位方式控制的 MOS 電容並聯於累增式 MOS 電容，將振盪器輸出切成四個頻帶，此外，為了防止作為負電阻電晶體進入飽和區，在回授路徑上加了大電容，使振盪器可以有更大的振幅及更高的共模電壓準位。

圖 2-24 所示為電壓控制振盪器頻率對電壓的模擬結果，模擬軟體主要是 HSpice。頻率調變範圍大約從 9.89GHz~11.36GHz，可以使電壓控制振盪器應用在各個規格，每個頻帶的增益大約各為 400MHz/V，頻帶跟頻帶之間的重疊約為 200MHz，可以防止製程變異的影響。

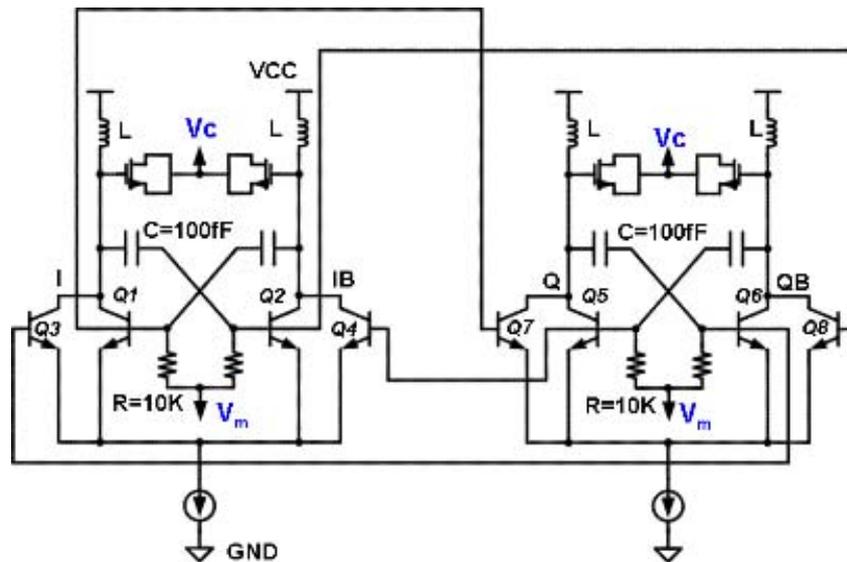


圖 2-24 正交相位電壓控制振盪器

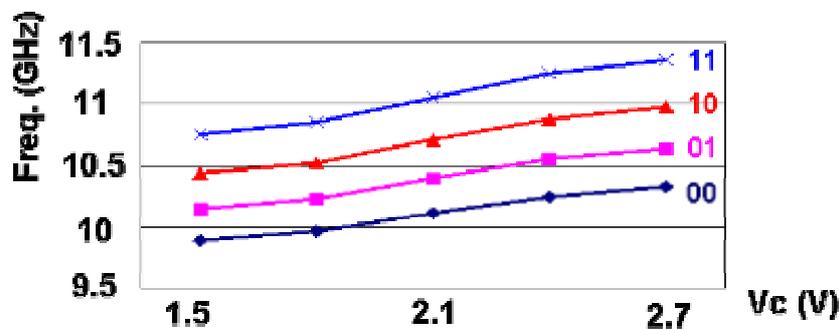


圖 2-25 電壓控制振盪器增益曲線

2.9 除頻器

除頻器在光纖通訊的發射器中具有即為關鍵的重要性，時脈倍頻器產生的時脈信號通常會在經由除頻器，產生多個二倍頻的時脈信號給多工器作為信號的選擇控制，除頻器的倍數由時脈倍頻器輸入的參考信號跟输出的時脈信號頻率的比例決定，本節重點在於實現一個高速且低功率消耗的除頻器。

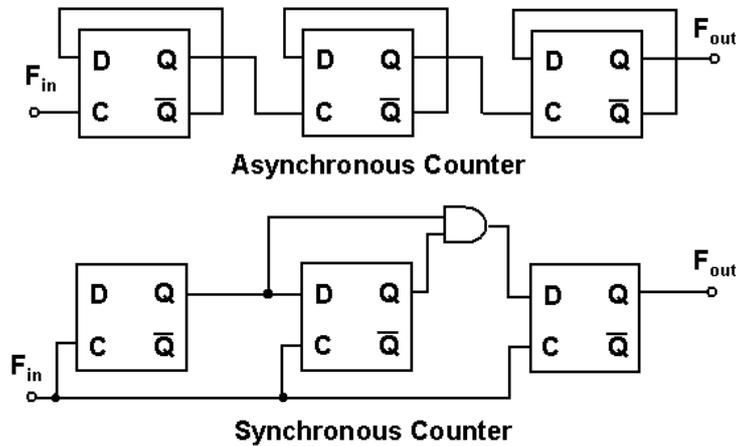


圖 2-26 兩種數位計數器

一般除頻器都是由數位的計數器構成，包含多級串接的 D 型正反器，圖 2-25 所示為兩種計數器：非同步計數器及同步計數器，同步計數器的每一級都由同一個時脈信號觸發，操作在相同的速度，需要額外的 AND 閘也增加了設計的複雜度，至於非同步計數器每一級的輸出都會成為下一級的觸發時脈信號，因此下一級操作的速度會是前一級的一半，可以利用這個特性節省功率的消耗，因此非同步計數器較為符合我們的需求，接下來會說明我們如何節省一個非同步架構的除頻器的功率消耗。

為了達到GHz光纖通訊的應用，比起傳統的邏輯電路，電流模式邏輯(current mode logic, CML)將更為適合操作在高速的應用，圖 2-26 所示為一個電流模式邏輯閘[36]，為了讓電路達到高速，電晶體必須都操作在線性區，時間常數的因子包括 R_L 、 C_L 、 C_{BJT} 會限制電流模式邏輯的操作速度，因此會需要更大的電流來減少沖放電時間，這也意味著除頻器功率消耗會變大，為了減少功率消耗，我們採用非

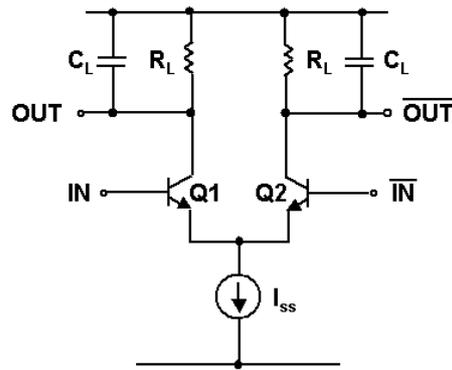


圖 2-27 電流模式邏輯

同步計數器的架構來實現除頻器，這是因為各級的除頻器操作的速度逐級降低，只有第一級除頻器的電晶體需要操作在 f_T 峰值時的電流密度，一般而言，一個除 $1/2^n$ 的除頻器包括 n 級串接的除 2 除頻器單元，在非同步的架構中，後一級的延遲時間可以是前一級的兩倍而不影響電路的正確性，當D型正反器的操作速度減半時，他所消耗的電流也可以降低，整個除頻器電路的功率消耗也可以被減少。

在一些研究中[37][38]描述如何使第一級除頻器中正反器的電晶體操作在峰值 f_T 的最佳電流密度，在不同 V_{CB} 及製程偏移下，轉移頻率 f_T 對電流 I_C 的曲線如圖 2-27 所示，當 C_{CB} 增加時， f_T 會隨之降低，式 2-44 指出 C_{CB} 對 V_{CB} 的關係，最後我們可以找到操作在峰值 f_T 時的最佳電流大小。

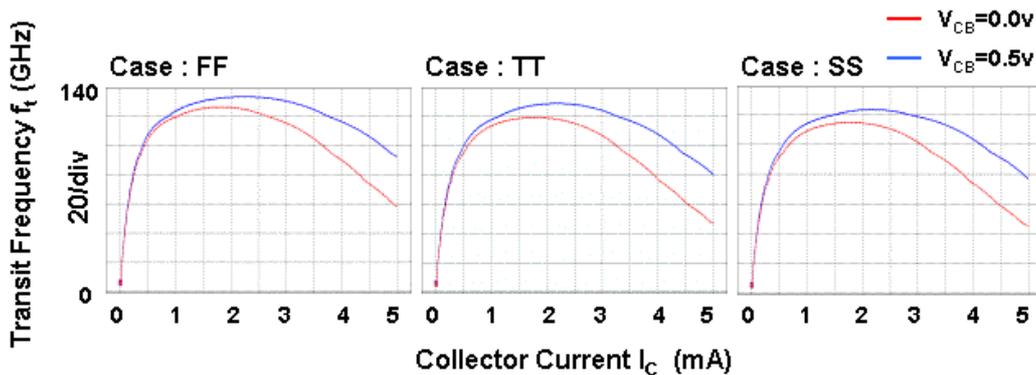


圖 2-28 轉移頻率 f_T 對電流 I_C 的特性曲線

$$C_{CB} = \frac{A_C C_{jC0}}{(1 + V_{CB} / \Phi_{C0})^{1/3}} \quad (\text{式 2-44})$$

設計完第一級之後，接下來的除頻器單元消耗電流如前所述可以被逐級降低，從式 2-45 中指出接下來如何以疊代的方式計算出下一級的偏壓電流[39]， I_N 表示最佳化之後的偏壓電流(式 2-46) [40]，式 2-47 指出如何決定 $I_{latch,op}$ ，這跟製程、操作電壓、及邏輯輸出擺幅 $V_{swing}=2R_C I_{latch}$ 有關，相關方程式列於表 2-2。

$$\frac{I_N(i)}{I_N(i-1)} \cong 0.5 - 0.24[I_N(i-1)]^{1.6} \quad (\text{式 2-45})$$

$$I_N = I_{latch} / I_{latch,op} \quad (\text{式 2-46})$$

$$I_{latch,op} = \sqrt{\frac{b}{a}} \quad (\text{式 2-47})$$

a	$2.76 (r_e + r_b) \tau_F / V_{SWING}$
b	$0.38V_{SWING} [2C_{bc3} + C_{cs3} + C_{je4} + 2C_{bc5} + C_{cs5} + V_{SWING} C_{bx6} / 4V_T$ $+ (C_{bcx1,2} + C_{bx5,6}) (1 + V_{SWING}) / 4V_T]$

表 2-2 除頻器最佳化參數

操作在 10GHz 以上的除頻器已經可以在一些研究中找到[41][42]，但是大多是使用比較先進的 HBT 製程技術，我們的主要目的是使用 SiGe BiCMOS 製程來設計一個低功率低成本的 10GHz 除頻器，重要的設計目標在於盡可能最低的功率消耗及寬頻的除頻範圍，除 16 除頻器的架構圖如圖 2-28，由四級的除 2 電路組成，使用非同步架構以減小功率消耗，每一級之間都有射極隨耦器當作緩衝器，減少前一級的負載，D 型正反器如圖 2-29 使用電流模式邏輯以增加操作速度。

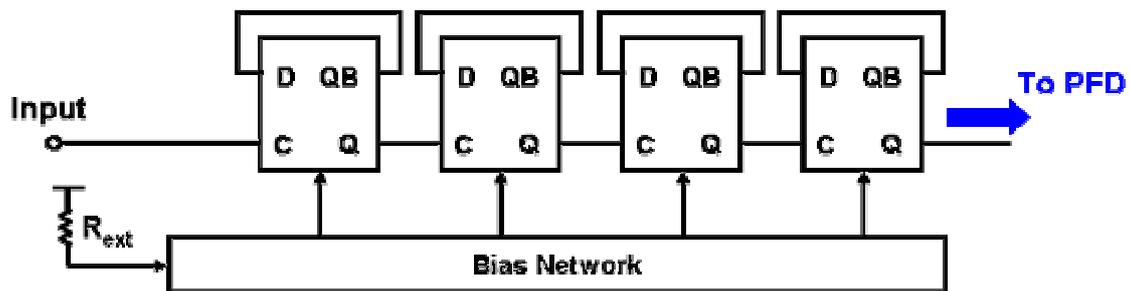


圖 2-29 16:1 除頻器

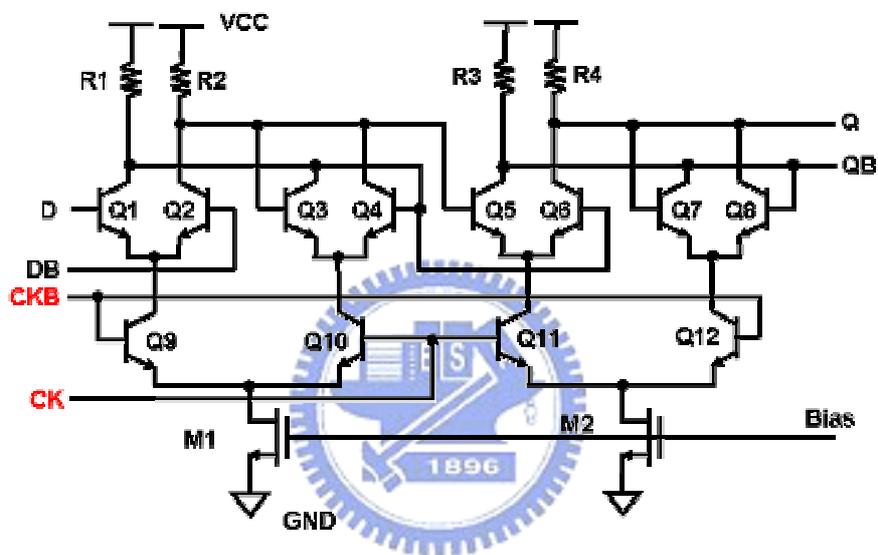


圖 2-30 CML D 型正反器

第三章

資料序列器

3.1 簡介



近年來高速傳輸的需求日益增加[43][44][45]，很多有線傳輸的資料傳輸率也達到了每秒鐘十億位元，如 SONET、10Gbps 乙太網路、及高速連結系統，為了達到高速的需求，許多以多相位傳送的並聯架構常被發表[44][45]，即使使用低速元件，仍可藉由低速的時脈信號來達到高速的操作。

在光纖通訊系統中，發射器最主要的功能就是將並列式的資料轉成串列式的資料，並將這些電子式的信號以光信號形式經由光纖通道傳送出去，在處理電子式信號的部分，最主要的元件就是一個資料序列器，包含有一個 16 對 1 的多工器及一個 10GHz 的時脈倍頻器，為了測試之便，我們內建了一個 $2^{16}-1$ 的隨機碼產生器，本章主要介紹 16 對 1 多工器及隨機碼產生器的電路設計，目前所使用於高速傳輸的發射器主要有兩種，一種是樹狀的多工器，另一種是只用一級的 N 對 1 多工器來完成。

3.2 多工器架構

3.2.1 樹狀多工器

圖 3-1 為一個樹狀多工器的架構，由 15 個 2 對 1 多工器組成，輸入為 16 筆並列式的 622.08Mbps 的資料，輸出為 1 筆 9.9533Gbps 的串列式資料，四種頻率的時脈信號用來控制多工器將兩筆輸入轉成一筆輸出的運作，最後一級的時脈信號的頻率為資料傳輸率的一半，因為每一級的多工器 RC 負載不會很大，因此可以操作在高速，在[46]中描述一個 20Gbps CMOS 多工器，然而，這種多工器的設計要點在於時脈控制的正確性，前一級的抖動可能會累積到最後一級。

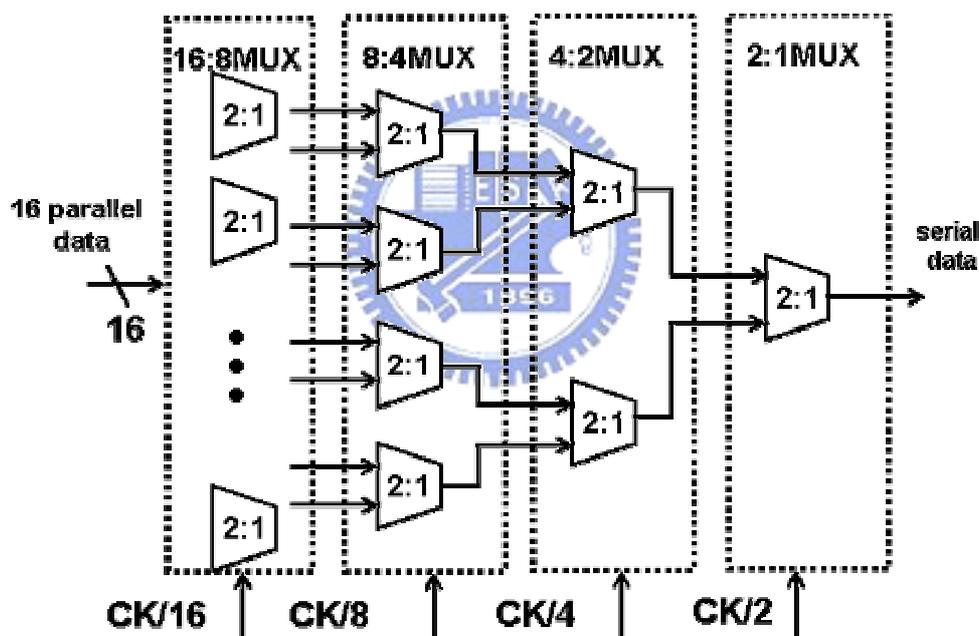


圖 3-1 樹狀多工器

3.2.2 N 對 1 多工器

圖 3-2 所示為一級的 N 對 1 多工器，依序觸發傳輸路徑的電晶體可以分時多工地將並列資料轉換成串列式的，每一個電晶體都是由時脈倍頻器不同相位的信號來做開關的動作，例如在下圖中，當 ck_1 跟 ck_2 同時為 1 時， $data_0$ 便會輸出，雖然時脈倍頻器輸出必定存在著抖動，但是因為這種輸出抖動會使相位往同一個方

向偏移，因此看起來還是跟原本相同[47][48]，然而，太多的扇入(fan-in)將會導致多工器的速度受限，這是因為多工器有太多雜散電容在輸出點，另並列式的資料轉換的時間更短，因此此種多工器架構通常用於4Gbps以下的系統。

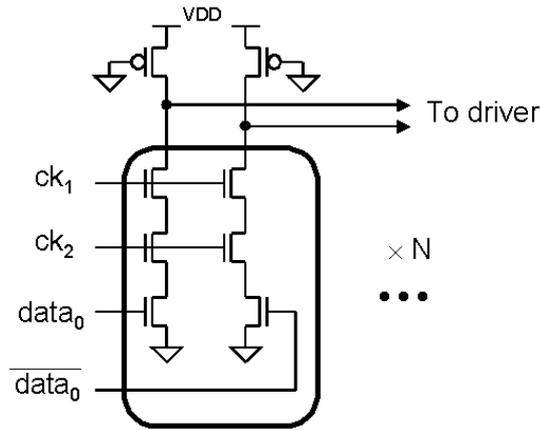


圖 3-2 N 對 1 多工器

3.3 資料序列器建構方塊

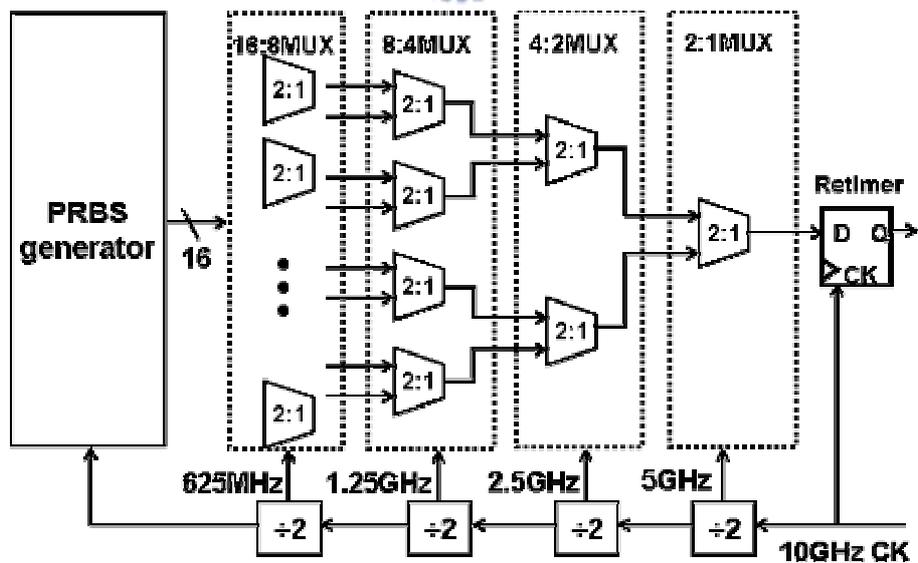


圖 3-3 資料序列器

圖 3-3 為資料序列器架構，使用樹狀多工器架構以減少層級間累積的負載，

第三章

多工器會將 16 筆 622.08Mbps 的資料轉換為 1 筆 9.9533Gbps 的串列資料，在資料的轉換過程中我們需要一個時脈倍頻器，由除頻器提供多種相位及頻率的時脈信號當作多工器的選擇信號，考慮量測的方便性，內建一個 16 路平行化隨機碼產生電路提供 16 筆平行的隨機資料，最後會有一個重新取樣電路來對多工器的輸出作取樣，以保持信號的完整性。

一般二對一多工器在資料輸入前會使用門鎖(latch)將兩筆資料相移，錯開排列以使由時脈倍頻器而來的選擇信號可以選擇到資料最平坦的部分，圖 3-4 所示即為一個傳統的樹狀多工器，兩筆資料 D1 和 D2 在輸入一個二對一多工器前，會被以同相位觸發的門鎖陣列做錯排的動作，使兩筆資料隔半個週期進入多工器，然而，這樣一來每個二對一多工器前都要加上五個門鎖，不僅增加功率消耗且電路佈局面積也相當消耗成本，因此我們針對這一點做了一些改善。

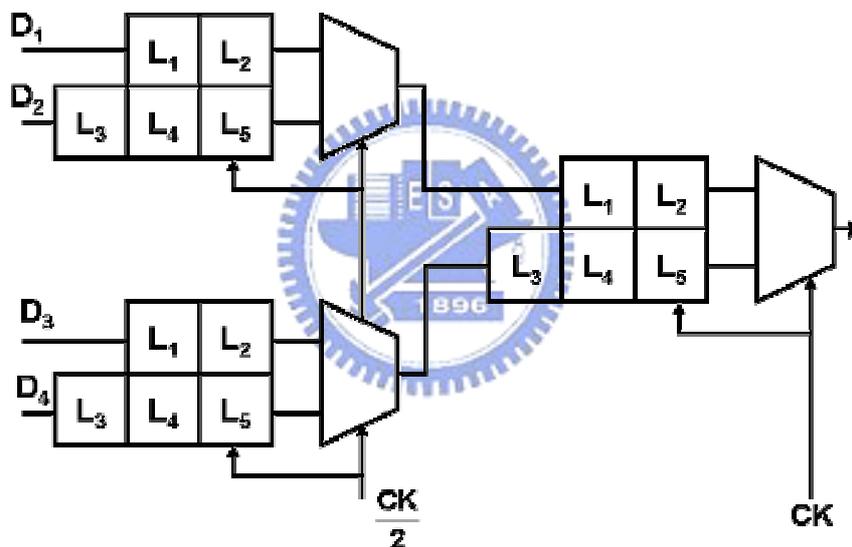


圖 3-4 傳統樹狀多工器

如圖 3-5 所示為使用多種相位選擇信號的多工器，一次以四筆輸入資料來看，第一及第二筆資料會被 $CK/2\phi_0$ 相移為相差 180° ，並且由 $CK/2\phi_{90}$ 來選擇多工器輸出的資料， $CK/2$ 表示頻率為 CK 的一半， ϕ_0 表示與原始信號同相位的時脈信號， ϕ_{90} 表示與原始信號相差 90° 的時脈信號，第三四筆被 $CK/2\phi_{90}$ 相移為相差 180° ，並由 $CK/2\phi_{180}$ 來選擇，如此一來，對於下一級二對一多工器來說，兩筆輸入的相位差為 180° ，即不需要付出額外的硬體來作相移的動作，既可節省功率消耗，亦可節省面積成本，圖 3-6(a)為多工器單元的電路，使用電流模式邏輯以增加傳輸的速度，圖 3-6(b)為多工器單元的時鐘策略，因為第一筆及第二筆資料相位差 180° ，時脈信號跟兩資料信號相位差均為 90° ，因此可以選擇到信號最平

坦的部分，且當時脈信號的電路延遲時間只要不超過前後各四分之一週期時間，即不會有多工器選擇錯誤的情形發生。

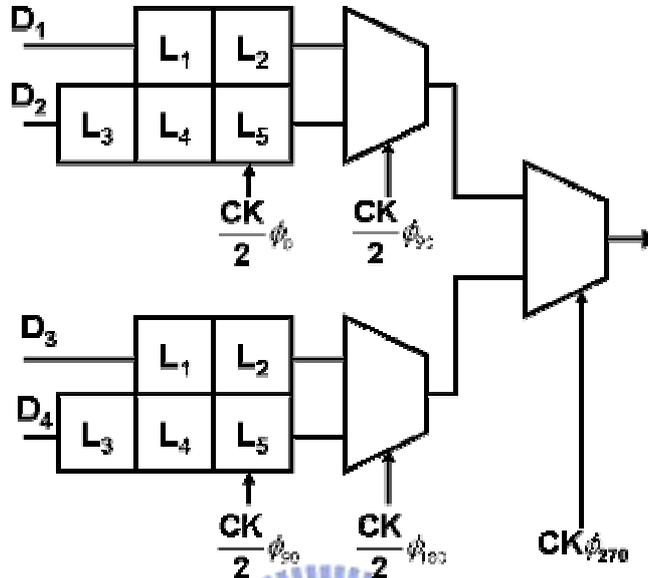


圖 3-5 多相位控制樹狀多工器

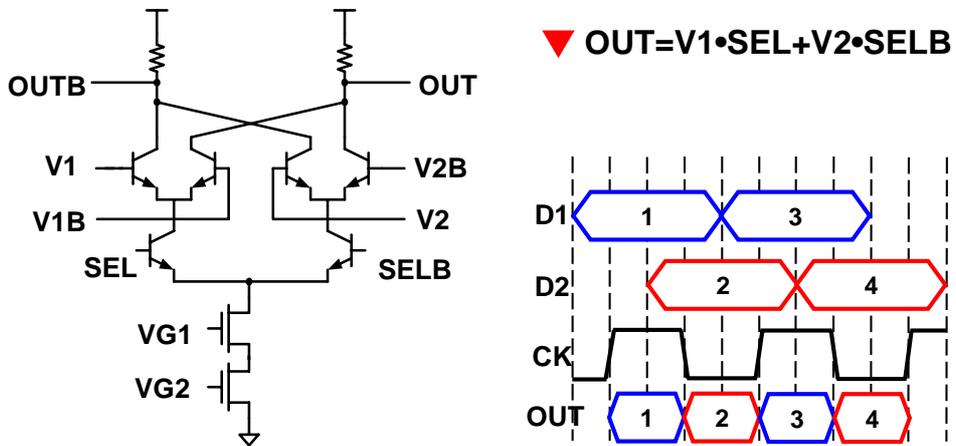


圖 3-6 (a)多工器單元電路, (b)多工器的時鐘策略

3.4 隨機碼產生電路

在模擬上，要產生完全隨機的二元訊號波形非常的困難，因此，我們常使用近似隨機(pseudo-random)碼產生電路，隨機碼產生電路通常是具有著重複性的一連串隨機信號，隨機碼產生電路由 16 個 D 型正反器串接而成如圖 3-7，將第一筆及第十六筆的輸出由一個 XOR 閘(圖 3-8)回授至第一級的正反器，造成其十六筆輸出會依照式 3-1 的方程式計算得出，資料每 $2^{16}-1$ 個週期會重複一次。

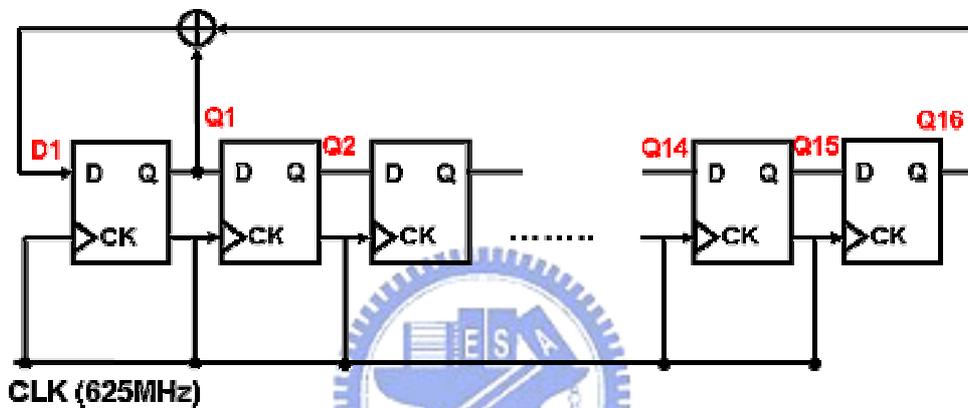


圖 3-7 PRBS 產生電路

$$p(y) = y^{16} + y^1 + 1 \quad (\text{式 3-1})$$

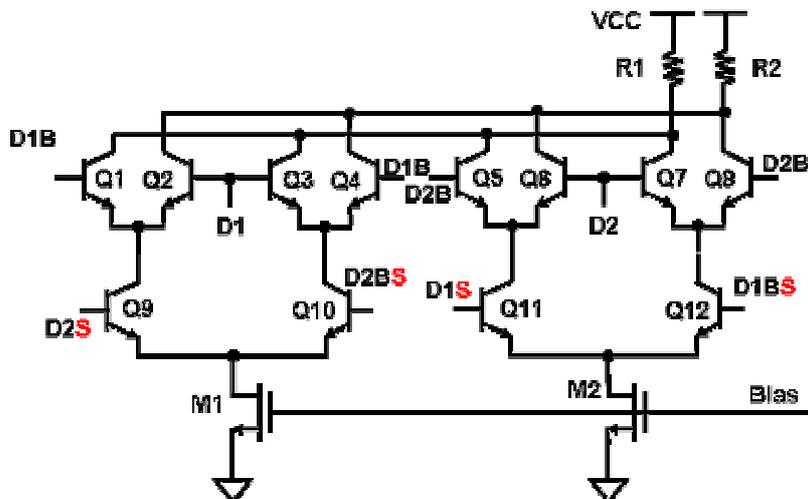


圖 3-8 XOR 邏輯閘電路

3.5 模擬結果

圖 3-9 為資料序列器的晶片照相圖，晶片面積約為 $2440 \times 2260 \mu\text{m}^2$ ，內容包含一個 16 對 1 的多工器，一個 10GHz 的時脈倍頻器，及一個內建的 16 路平行話隨機碼產生器，資料傳輸率約為 10Gbps，操作電源電壓在 3.3V 之下，消耗功率為 594.66mW，圖 3-10 為資料序列器的模擬結果， T_r/T_f 約為 22ps，隨機抖動約為 $1.9\text{ps}_{\text{p-p}}$ ，符合 SONET OC-192 的眼圖遮罩規格，整個晶片是以 $0.35\mu\text{m}$ SiGe BiCMOS 製程設計而成，相關的效能列於表 3-1。

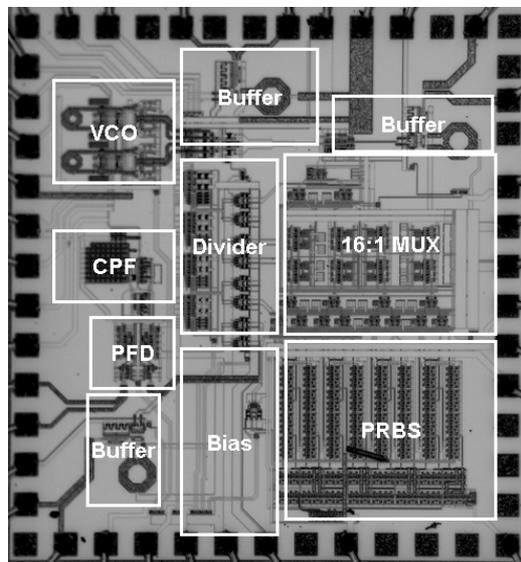


圖 3-9 資料序列器晶片照相圖

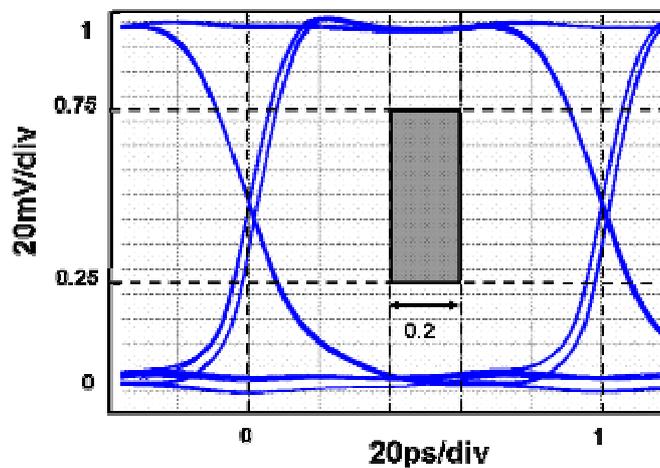


圖 3-10 資料序列器模擬結果

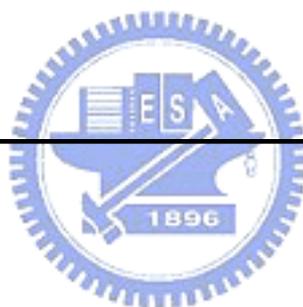
Data Serializer	Summary
<i>Supply Voltage</i>	3.3 V
<i>Total Power</i>	594.66mW
<i>Output Swing</i>	280mV
<i>Operation Data Rate</i>	10Gbps
<i>Input Pattern</i>	16 x 625Mbps 216-1 PRBS Generator
<i>Data Jitter</i>	1.9ps_{p-p}
<i>Chip Size</i>	2440x2260 μm^2
<i>Process</i>	0.35μm SiGe BiCMOS

表 3-1 資料序列器效能



第四章

雷射二極體驅動器



4.1 簡介

光纖以其超高頻寬、低耗損、不受電磁波干擾、重量輕、保密性佳等優點，成為長距離傳送大量資料的網路中優越的傳輸媒介，與傳統的電纜相比，光纖也具有重量輕與體積小的優點，正當大家都在享受著網際網路所帶給人們方便之餘，人們對於將來影音傳播及網際網路頻寬速度品質的要求也越來越高，自雷射二極體被廣泛的應用在光通訊的領域中，業界們也勾勒出光纖到家或光纖到桌的極致理想。

在較早期的 10-40Gbps 光通訊發射器的研究中，一直是最常用的材料多半為 GaAs MESFET[49]或 HEMT[50-52]，以及 InP HBT[53]製程技術，在最近幾年，SiGe HBT 成為一個成熟而低成本的製程來設計 10-40Gbps 的光纖通訊系統 [54-56]。

在光纖通訊發射端中，並列式的信號被資料序列器轉換成串列式的信號，這種高速的 PECL 電壓準位信號隨即被光元件轉換成光的脈衝信號，這種光元件也就是雷射二極體(laser diode, LD)，從雷射二極體激發出來的光能量會再被耦合到光纖通道將資料傳送到遠端[57]，雷射二極體驅動電路則是一個提供雷射二極體開關的切換電流源，開關是根據從多工器接收而來的邏輯信號準位，雷射二極體的驅動方式是以電流代替電壓，切換電流可以達到比較高速的操作。

一個高速的驅動電路必須滿足三個重要的條件：(a) 足夠的切換速度以保證光信號能夠在最小信號干涉(ISI)之下被調變，信號轉態的上升時間及下降時間的和要小於信號週期，如此才能避免嚴重的信號干涉，在一般應用中規定一個眼圖遮罩來做為速度的指標，在 SONET OC192 中發射器的眼圖遮罩規格如圖 2-3；(b)要能輸出足夠大的電流來激發出邏輯準位為 1 的光能量，當一個雷射二極體被驅動的電流小於他的臨界電流，輸出的光能量就會變的極小，當有足夠的偏壓電流將他偏壓在臨界電流之上時，雷射二極體就會快速開關以及送出大的光能量，溫度變化及雷射的使用時間會需要有可調的偏壓電流及調變電流的雷射二極體驅動器；(c)要能容忍跨在雷射二極體的大電壓振幅，雷射二極體在開關時是用極大的電流去驅動，因此會有極大的電壓跨載雷射二極體上，需防止電路其他的電晶體操作在非線性區。

在本章中，這個雷射二極體驅動電路主要包含兩個部份：一個高速調變電流驅動器及一個雷射偏壓的部份，這個電路操作在電源電壓 3.3V 及 7V 之下，高速調變電流驅動器包含兩級的前置驅動器，第一級當作輸入的緩衝器，第二級要推動調變電流的切換電流源，為了驅動如此大電流造成的電容性負載，我們使用了推挽式的射極隨耦器來增加驅動能力，在調變切換電流源，我們使用負電容的架構來抵銷掉前級所看到的大雜散電容負載[58]，在大電流的操作下，為了防止溫度變異造成電流的漂移，整個電路都以 Bandgap 電流源來提供穩定電流，接下來我們會介紹前置驅動器(predriver)、調變切換電流源、及 Bandgap 電流源，最後是量測結果。

4.2 前置驅動器架構

本章主要是說明一個低功率的 10Gbps 的雷射二極體驅動器電路，整個晶片是以 SiGe BiCMOS 製程設計而成，電晶體的 f_T 約為 64GHz，圖 4-1 所示為雷射二

第四章

極體驅動器的系統架構，在前置驅動器之前為一個CML/ECL的輸入緩衝器，

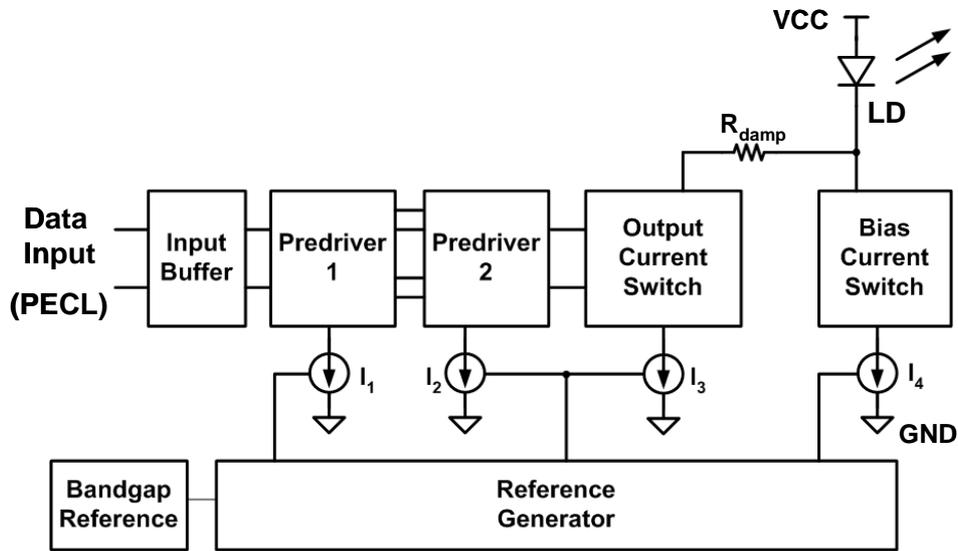


圖 4-1 雷射二極體驅動電路架構

Bandgap 電流源用來提供溫度補償的電流源，第一級的前置驅動器接收信號並提供一個固定的信號振幅送至後級，第二級的前置放大器用來推動調變電流源，為了適用於可變的調變電流，這一級的電流源主要是和調變電流共同控制他的電流大小，調變電流源的輸出為 40~100mA 的大信號電流，和偏壓電流源提供的 1~60mA 的偏壓電流一起驅動雷射二極體，使他操作在適當的偏壓以及有足夠的邏輯準位，雷射二極體驅動器使用在晶片外的電阻來達到匹配的效果，信號再經過傳輸線送到雷射二極體。

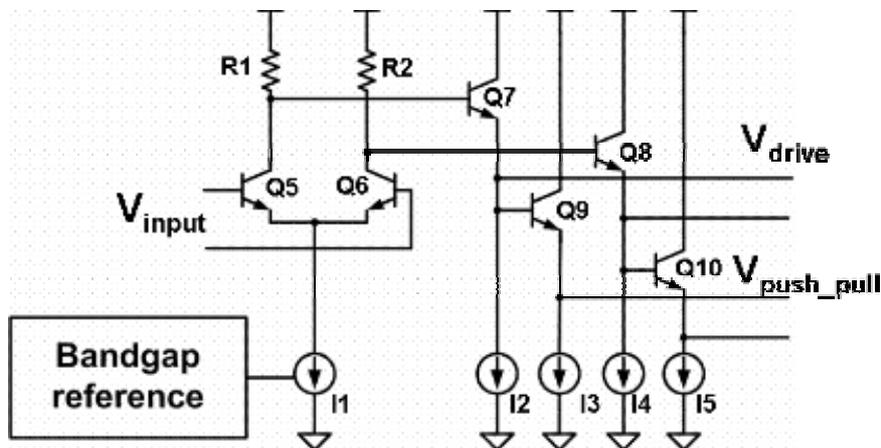


圖 4-2 第一級前置驅動器

圖 4-2 為第一級前置驅動器，主要是以一個共射極的差動對級一個標準的射極隨耦器來提供固定的信號振幅 V_{drive} ，一個額外的射極隨耦器輸出 V_{push_pull} 用來提供下一級的推挽式放大器的切換電流源，這一級的電流因為不需要推動大的電容負載，只要讓每個電晶體操作在可以達到最高 f_T 的電流。

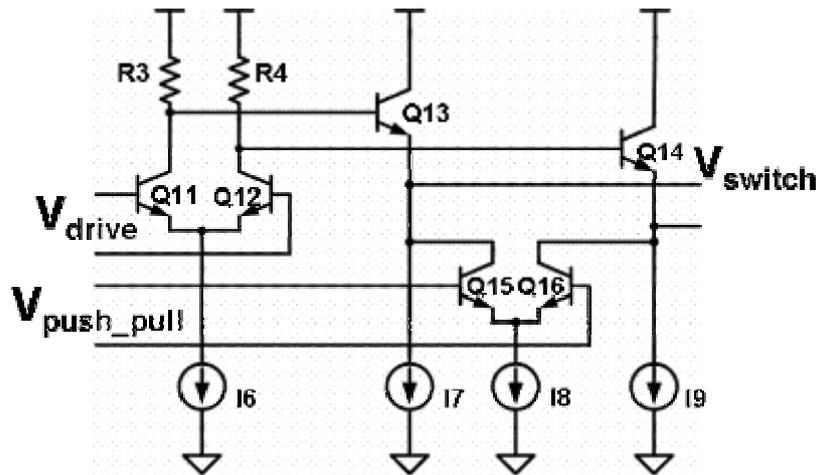


圖 4-3 第二級前置驅動器

圖 4-3 為第二級前置驅動器，使用了一個差動的推挽式射極隨耦器當作輸出級，為了符合市場需求，雷射二極體驅動電路提供了很廣的偏壓電流(1~60mA)，及很大的調變電流(40mA~100mA)，在這個情況下，要使信號輸出保持固定的上升下降時間及超越量 (overshoot/undershoot)，因此這一級的驅動能力也要隨之變動，偏壓電流需要與代表調變電流的邏輯準位 1 的電流大小而動， V_{drive} 為輸入的信號， V_{push_pull} 用來切換 $Q_{15,16}$ 的電流，當 Q_{13} 對輸出充電時， Q_{15} 會在關掉的狀態，讓充電負載減少，當 Q_{13} 對輸出放電時， Q_{15} 會在打開的狀態，並且提供 Q_{13} 額外一個放電電流路徑，使下降時間更為快速。

4.3 調變電流源及偏壓電流源

調變電流源的電晶體元件的大約都是操作在 $f_T/4$ ，這樣會造成很低的 AC 電流增益 (β_{ac})，因此第二級的前置驅動器輸出也需要提供調變電流源輸入電晶體的基極電流，使第二級前置驅動器成為在整個驅動器中電流消耗極大的部分，因此，我們使用推挽式射極隨耦器來增進功率的使用率，一個 BJT 的關掉時間通常

比打開時間來的慢很多，當BJT要關掉時，需要從基極排放大量的電荷，造成不平均的結果，因此當驅動調變電流源時，第二級的前置驅動器在調變電流源為打開時的拉起電流必須比關掉時的下拉電流來的小，一般是 $I_{pull_up}=I_{pull_down}/2..3$ ，使用推挽式射極隨耦器不只可以降低功率消耗，也可以減少輸出打開時的超越量(overshoot)， $Q_{15,16}$ 的切換電流源可以使 $Q_{13,14}$ 在充放電時能夠操作在不同的電流之下，為了達到這樣子操作的正確性，信號到 $Q_{15,16}$ 路徑的延遲時間必須比主要信號路徑的延遲時間來的短，因此我讓 V_{drive} 再經過一個共射極的差動對，一方面增加信號的延遲時間，另一方面增加信號振幅以驅動後級，推挽式射極隨耦器帶來的節省功率消耗的優點只有在高電流消耗的電路上才会有明顯的效果，這也是為何用在第二級而第一級不需要使用的原因，在大電流操作之下，雷射二極體驅動電路受到溫度的影響甚鉅，一個PTAT的前置驅動器的輸出振幅可以保持最小的超越量及切換時間，且防止振幅隨著溫度而上升，調變電流源的輸入振幅為 $V_{sw}=(5..6) \cdot V_T + I_{mod} \cdot R_e$ ，跟溫度及調變電流成相依的關係， V_T 為熱電壓， I_{mod} 為調變電流大小， R_e 為調變電流源輸入差動對的射極雜散電阻，電路的偏壓電流跟調變電流源的電流由一個可變電阻共同控制，因此可以達到相依的關係。

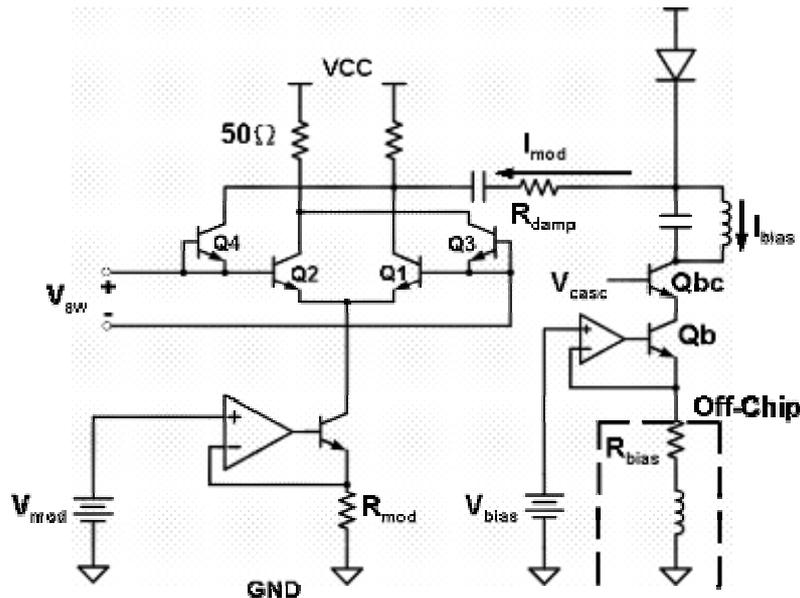


圖 4-4 調變電流源

圖 4-4 左半部所示為調變電流源的電路，由一個切換電路將電壓信號以電流的形式輸出， V_{mod} 及 R_{mod} 可以決定輸出的調變電流的最大值，在如此大的電流操作之下，考慮電流密度的問題， $Q_{1,2}$ 的電晶體也要使用大尺寸的面積，因此雜散電容 C_u 在經由米勒效應放大之後，會對前級造成極大的電容性負載，因此，我們加了 $Q_{3,4}$ 的交互耦合組態的負電容，用來抵消 $C_{u1,2}$ 經由米勒效應放大的電容負載， $Q_{3,4}$ 的電晶體尺寸要使用跟 $Q_{1,2}$ 相同以達到近似抵消的效果，差動輸出的一端

第四章

為開路集極的方式輸出，並且直接送出調變信號到雷射二極體，另一端在晶片內部有一個 50Ω 的匹配電阻，輸出的雜散電容以及輸出到LD間的等效電感可能會形成一個阻尼係數極低的LC tank，可能會造成輸出的訊號會有振盪的現象，這樣會增加抖動及輸出眼圖的高度，為了增加阻尼係數，會在電流路徑上加一個電阻 R_{damp} 。

圖 4-4 右半部為雷射二極體的偏壓電流源，目的為製造一個穩定而可變範圍寬廣的電流(1~60mA)，電流大小由一個可調的電壓 V_{bias} 及一個外接的電阻 R_{bias} 決定， Q_{bc} 形成一個在 Q_b 及雷射二極體間有效的隔絕，如果需要更好的隔絕的話，可以在電路板上加上一個並聯的LC tank接在輸出到LD之間。

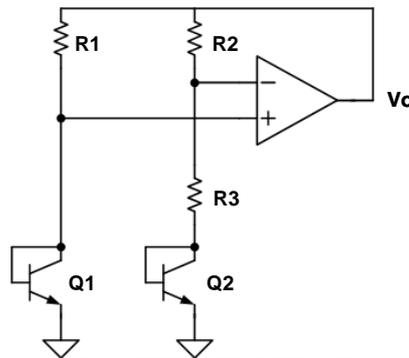


圖 4-5 Bandgap 電流源

圖 4-5 為 Bandgap 電流源的電路，產生一個對於溫度穩定的參考電壓，用來設定前置驅動器、調變電流源、及偏壓電流源的電流大小，Bandgap 電流源主要是利用一個順偏二極體的負溫度係數特性及一個正溫度係數的的電壓相減之後的結果，可以提供一個對於製程及溫度變異的穩定的電壓，圖 4-6 所示為 Bandgap 電壓對溫度的模擬特性，在溫度變異 -20°C ~ 120°C 之下，電壓的變異不超過 0.3%。

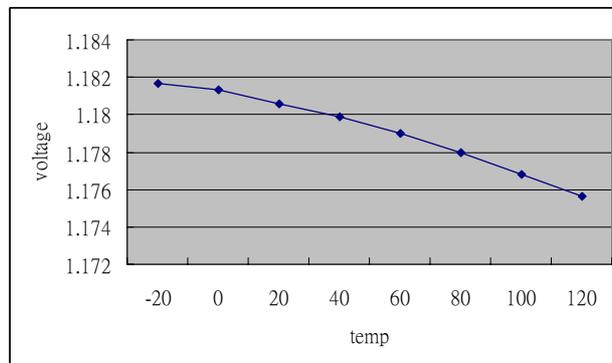


圖 4-6 Bandgap 電壓對溫度的模擬特性

4.4 雷射二極體驅動電路量測

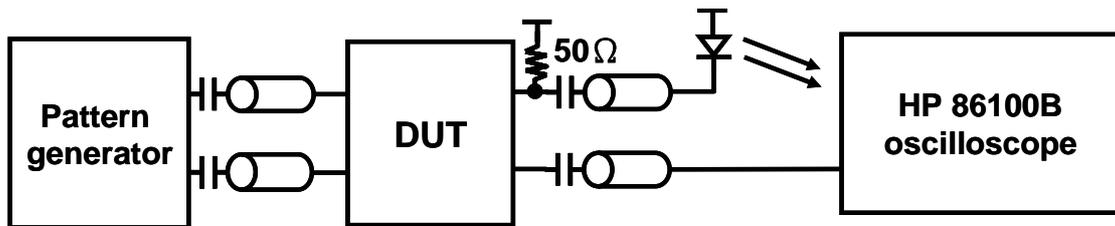


圖 4-7 儀器架設

這個雷射二極體驅動器主要設計在提供 40~100mA 的調變電流，以及一個 1~60mA 的切換電流，量測的方式分為電氣量測及光學量測，輸入信號由一個信號產生器產生 $2^{31}-1$ 的隨機二元資料送入電路中，一端以 AC couple 的方式接到示波器中以電氣方式量測，另一端以 50Ω 匹配之後接到一個等效內阻為 50Ω 的雷射二極體 (NEL, NLK5B5E2FA) 再經由光纖傳送到示波器中，圖 4-8 為以電氣方式量測的輸出眼圖，圖 4-8(a) 為調變電流為 40mA，而圖 4-8(b) 為調變電流為 100mA 時的輸出，都有符合 SNET OC-192 的眼圖遮罩規格，圖 4-9 所示為輸出眼圖符合 10Gbps Ethernet Network 的眼圖遮罩規格，輸入的信號主要是來自於儀器 $2^{31}-1$ PRBS generator 所產生的 PECL 的隨機信號，在 $I_{\text{mod}}=100\text{mA}$ 時 $T_r/T_f=47\text{ps}$ ，在 $I_{\text{mod}}=40\text{mA}$ 時 $T_r/T_f=46\text{ps}$ ，決定性抖動約為 22.2ps_{p-p}，隨機抖動為 2.86ps_{rms}，圖 4-10 為雷射二極體驅動電路的晶片照相圖，所使用的製程為 0.35μm SiGe BiCMOS process，總面積大約為 1430×940μm²，總共的消耗功率為 1.08W，整個效能如表 4-1 所示。

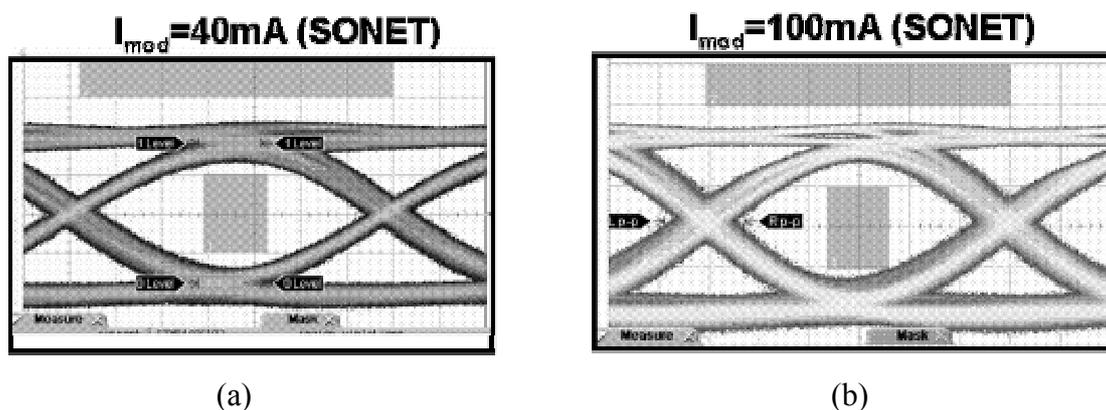


圖 4-8 LD driver量測眼圖(SONET OC192) (a) $I_{mod}=40\text{mA}$, (b) $I_{mod}=100\text{mA}$

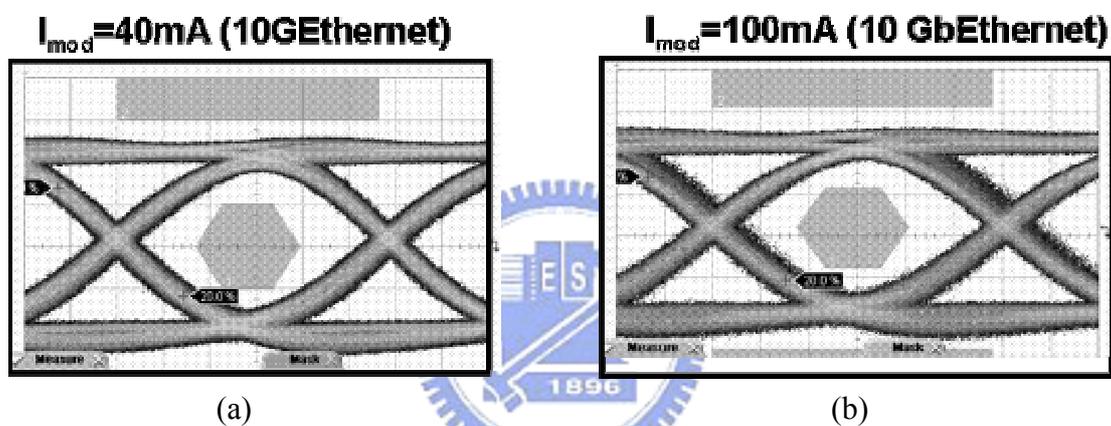


圖 4-9 LD driver量測眼圖(10GbEthernet) (a) $I_{mod}=40\text{mA}$, (b) $I_{mod}=100\text{mA}$

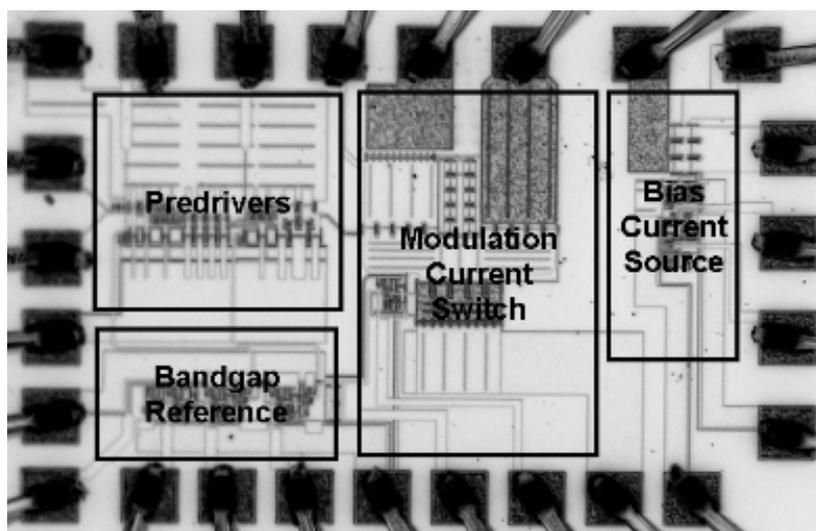


圖 4-10 雷射二極體驅動電路晶片照相圖

Driver	Summary
<i>Supply Voltage</i>	3.3 V
<i>Total Power</i>	1.08W
<i>Bias Current</i>	1~60mA
<i>Modulation Current</i>	40~100mA
<i>Input Pattern</i>	10 Gbps $2^{31}-1$ PRBS Generator
<i>Rise/Fall Time</i>	47ps
<i>Deterministic Jitter</i>	22.2ps _{p-p} /2.86ps _{rms}
<i>Chip Size</i>	1430x940 μm^2
<i>Process</i>	0.35um SiGe BiCMOS

表 4-1 雷射二極體驅動電路效能



第五章

結論



5.1 結論

本論文研究內容主要著重於同步光纖網路 SONET OC-192 系統中的發射器電路，內容包括一個 10Gbps 的資料序列器，以及一個 10Gbps 的雷射二極體驅動器，晶片是以 0.35 μm SiGe BiCMOS 製程設計而成，我的研究成果分述如下。

首先是提出一個在發射器前端的資料序列器的架構，可以將 16 筆並列式的 625Mbps 的資料轉成一筆串列式的 10Gbps 的二元資料，多工器為樹狀架構，資料在傳遞過程被錯排成不同的相位，可以因此而減少一些功率的消耗，並且使用時脈倍頻器來產生多種頻率及相位的時脈信號當作多工器的選擇信號，時脈倍頻器的迴路頻寬可以使輸出的雜訊低於 OC-192 的抖動規格，並且能保證迴路處於一個穩定的狀態，電壓控制振盪器輸出正交相位，輸出頻率範圍大約為 9.89GHz~11.36GHz，可以使這個時脈倍頻器可以應用在 SONET OC-192 包括有誤碼更正時的傳輸率、10Gbps Ethernet、及 Optical Transport Network，為了量測時的方便性，我們另外內建了一個隨機碼產生器，可以產生 16 筆並列式的

第五章

625Mb/s 的資料，送給多工器來驗證多工器的效能，整個晶片面積為 $2240 \times 2260 \mu\text{m}^2$ ，電源電壓 3.3V 之下，消耗的功率為 594.66mW，模擬的資料序列器輸出結果為 1.9ps_{p-p}。

第二部分為實現一個操作在 10Gbps 的雷射二極體驅動電路，可以將資料序列器輸出的電壓信號經由驅動電路轉換成電流信號，雷射二極體的偏壓電流為 1~60mA，調變電流為 40~100mA，內部電路包括一個兩級的前置驅動器，並以推挽式射極隨耦器來增加對後級的驅動能力，調變電流源主要為一個切換電路，將電壓信號轉換成電流信號來驅動雷射二極體，使用負電容的技巧來抵消米勒效應造成的電容性負載，一個Bandgap電流源提供整個電路所需的電流，使電路在大電流操作之下，對於製程及溫度的變異比較不敏感，電子式量測的結果，符合 SONET OC-192 的眼圖規格， T_r/T_f 約為 46ps，輸出抖動為 22.2ps_{p-p} 或 2.86ps_{rms}，整個晶片面積為 $1490 \times 940 \mu\text{m}^2$ ，在操作電壓 3.3V，消耗功率為 1.08W。



文献参関

- [1] V. Schwarz, B. Willen, H. Jackel, “**56Gbit/s Analogue PLL for Clock Recovery,**” IEE Electronics Letters, vol. 37, No. 22, pp. 1336-1338, Oct. 2001.
- [2] T. Otsuji et al., “**20-40-Gbit/s-Class GaAs MESFET Digital Ics for Future Optical Fiber Communications Systems,**” International Journal of High Speed Electronics and Systems, vol.9, No. 2, pp. 399-435, 1998.
- [3] Z. Lao et al., “**20-40 Gbit/s GaAs-HEMT Chip Set for Optical Data Receiver,**” International Journal of High Speed Electronics and Systems, vol.9, No. 2, pp. 437-472, 1998.
- [4] Ting-Ping Liu, “**1.5V 10-12.5GHz Integrated CMOS Oscillators,**” VLSI Circuits Design of technical papers, vol.9, No. 2, pp. 55-56, 1999.
- [5] A. Tanabe et al., “**0.18- μ m CMOS 10-Gb/s Multiplexer/Demultiplexer ICs Using Current Mode Logic with Tolerance to Threshold Voltage Function,**” IEEE Journal of Solid-State Circuits, vol.36, No. 6, pp. 988-996, 2001.
- [6] H. Knapp et al., “**25 GHz Static Frequency Divider and 25Gb/s Multiplexer in 0.12 μ m CMOS,**” IEEE ISSCC, pp. 302-303, February 2002.
- [7] M. Fukaishi, K. Nakamura et al., “**A 20-Gb/s CMOS Multichannel Transmitter and Receiver Chip Set for Ultra-High-Resolution Digital Displays,**” IEEE Journal of Solid-State Circuits, vol.35, No. 11, pp. 1611-1618, 2000.
- [8] J. Savoj, B. Razavi, “**A 10-Gb/s CMOS Clock and Data Recovery Circuit With a Half-Rate Binary Phase/Frequency Detector,**” IEEE Journal of Solid-State Circuits, vol.38, No. 1, pp. 13-21, 2003.
- [9] Jun Cao, M. Green et al., “**OC-192 Transmitter and Receiver in Standard 0.18- μ m CMOS,**” IEEE Journal of Solid-State Circuits, vol.37, No. 12, pp. 1768-1780, 2002.

-
- [10] Jonathan E. Rogers, and John R. Long, “**A 10Gb/s CDR/DEMUX with LC Delay Line VCO in 0.18 μ m CMOS,**” IEEE ISSCC, pp. 254-255, 2002.
- [11] Hong-Ih Cong et al., “**A 10-Gb/s 16:1 Multiplexer and 10-GHz Clock Synthesizer in 0.25- μ m SiGe BiCMOS,**” IEEE Journal of Solid-State Circuits, vol.36, No. 12, pp. 1946-1953, Dec. 2000.
- [12] M. Meghelli et al., “**SiGe BiCMOS 3.3-V Clock and Data Recovery Circuits for 10-Gb/s Serial Transmission System,**” IEEE Journal of Solid-State Circuits, vol.35, No. 12, pp. 1992-1995, Dec. 2000.
- [13] Y. M. Greshishchev et al., “**A Fully Integrated SiGe Receiver IC for 10-Gb/s Data Rate,**” IEEE Journal of Solid-State Circuits, vol.35, No. 12, pp. 1949-1957, Dec. 2000.
- [14] Y. M. Greshishchev et al., “**SiGe Clock and Data Recovery IC with Linear-Type PLL for 10-Gb/s SONET Application,**” IEEE Journal of Solid-State Circuits, vol.35, No. 9, pp. 1353-1359, September 2000.
- [15] Satoshi Ueno et al., “**A Single-Chip 10Gb/s Transceiver LSI using SiGe SOI/BiCMOS,**” IEEE ISSCC, September 2001.
- [16] G. Georgiou, Y. Baeyens et al., “**Clock and Data Recovery IC for 40-Gb/s Fiber-Optical Receiver,**” IEEE Journal of Solid-State Circuits, vol.37, No. 9, pp. 1120-1125, September 2002.
- [17] M. Meghelli et al., “**50-Gb/s SiGe BiCMOS 4:1 Multiplexer and 1:4 Demultiplexer for Serial Communication System,**” IEEE Journal of Solid-State Circuits, vol.37, No. 12, pp. 1790-1794, Dec. 2002.
- [18] Jafar Savoj, and Behzad Razavi, “**High-Speed CMOS Circuit for Optical Receivers,**” Kluwer Academic Publishers, 2001.
- [19] “**SONET OC-192 Transport System Generic Criteria,**” Bellcore, GR-1377-CORE, Mar. 1998.
- [20] H.-I. Cong, S.M. Logan, M.J. Loinaz, K.J. O’Brien, E.E. Perry, G.D. Polhemus, J.E. Scoggins, K.P. Snowdon, M.G. Ward, “**A 10-Gb/s 16:1 Multiplexer and 10-GHz Clock Synthesizer in 0.25- μ m SiGe BiCMOS,**” IEEE journal of
-

-
- solid-state circuits, vol. 36, no. 12, Dec. 2001.
- [21] “**10.7Gbps Laser Diode Drivers**,” MAXIM, MAX3930-MAX3932, 2002
- [22] Dan H. Wolaver, “**Phase-Locked Loops Circuits Design**,” Advanced Reference Series & Biophysics and Bioengineering Series, Englewood Cliffs, New Jersey 07632: Prentice Hall, 1991.
- [23] Roland E. Best, “**Phase-Locked Loops: Design, Simulation, and Applications**,” New York: McGraw-Hill, Fourth Ed., 1999.
- [24] F. Herzel and B. Razavi, “**A Study of Oscillator Jitter Due to Supply and Substrate Noise**,” IEEE Trans. Circuits and Systems, Part II, vol. 46, pp. 56-62, Jan. 1999.
- [25] W. P. Robins, **Phase Noise in Signal Sources**, London:Peregrinus, Ltd., 1982.
- [26] A. Hajimiri, S. Limotyrakis, and T. H. Lee, “**Jitter and Phase Noise in Ring Oscillators**,” IEEE Journal of Solid-State Circuits, vol. 34, pp. 790-804, June 1999.
- [27] B. Razavi, “**A Study of Phase Noise in CMOS Oscillators**,” IEEE Journal of Solid-State Circuits, VOL. 31, NO.3, pp. 331-343, March 1996.
- [28] J. Craninckx, M. Steyaert, “**Wireless CMOS Frequency Synthesizer Design**,” Kluwer Academic Publishers, Boston, 1998.
- [29] R. E. Best, “**Phase-Locked Loops: Design, Simulation, and Applications**,” New York: McGraw-Hill, Fourth Ed., 1999.
- [30] Won-Hyo Lee, Jun-Dong Cho and Sung-Dae Lee, “**A High Speed and Low Power Phase-Frequency Detector and Charge-Pump**,” IEEE Processing of the ASP-DAC, pp. 269-272, vol.1, 1999.
- [31] B. Razavi, **Design of Analog Integrated Circuit**. New York McGraw-Hill, International Ed., 2001.
- [32] B. Razavi, **RF Microelectronics**. Prentice-Hall Inc., 1998.
- [33] M. Danesh et al., “**A Q-Factor Enhancement Technique for MMIC Inductors**,” Proc. IEEE Radio Frequency Integrated Circuits Symp., pp. 217-220,
-

April 1998.

- [34] B. Razavi, **Design of Integrated Circuits for Optical Communications**. L.A. McGraw-Hill, International Ed., 2002.
- [35] T. -P. Liu, “**A 6.5 GHz Monolithic CMOS Voltage-Controller Oscillator,**” ISSCC Digest of Technical Papers, pp. 404-405, Feb. 1999.
- [36] M. Alioto, G. Palumbo, “CML and ECL:optimized design and comparison,” Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on, vol. 46, Issue. 11 pp. 1330~1331, 1999.
- [37] Ritzbeyer, G.; Bock, J.; Knapp, H.; Treitinger, L.; Scholtz, A.L., “**38 GHz low-power static frequency divider in sige bipolar technology,**” Circuits and Systems, IEEE International Symposium, Volume: 4, pp. 413-416, 2002.
- [38] Knapp, H.; Wilhelm, W.; Wurzer, M., “**A low-power 15-GHz frequency divider in a 0.8- μ m silicon bipolar technology,**” Microwave Theory and Techniques, IEEE Transactions, Volume: 48 Issue: 2, pp. 205-208, Feb. 2000.
- [39] Alioto, M.; Di Cataldo, G.; Palumbo, G., “**Design of low-power high-speed bipolar frequency dividers,**” Electronics Letters, Volume: 38 Issue: 4, pp. 158–160, Feb. 2002.
- [40] Alioto, M.; Palumbo, G, “**Modeling and optimized design of current mode MUX/XOR and D flip-flop,**” Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, Volume: 47 Issue: 5, pp. 452–461, May 2000.
- [41] Nakajima, H.; Sano, E.; Ida, M.; Yamahata, S., “**80 GHz 4:1 frequency divider IC using nonself-aligned InP/InGaAs heterostructure bipolar transistors,**” Electronics Letters, Volume: 36 Issue: 1, pp. 34-35, Jan. 2000.
- [42] Pulieta, R.; Mensa, D.; Lee, Q.; Agarwal, B.; Guthrie, J.; Jagannathan, S.; Rodwell, M.J.W., “**48 GHz static frequency dividers in transferred-substrate HBT technology,**” Electronics Letters, Volume: 34 Issue: 16, pp. 1580-1581, Aug. 1998.

-
- [43] J.F. Ewen et al., "Single-chip 1062 Mbaud CMOS transceiver for serial data communication," IEEE International Solid-State Circuits Conference, pp. 32-33, 1995.
- [44] M. Fukaishi et al., "A 4.25 Gb/s CMOS fiber channel transceiver with asynchronous tree-type demultiplexer and frequency conversion architecture," IEEE J. Solid-State Circuits, vol. 33, pp. 2139-2147, Dec. 1998.
- [45] S. Kim et al., "A 960Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL", IEEE J. Solid-State Circuits, vol. 32, pp. 691-700, May 1997.
- [46] Fuji Yang, Jay O'Neill, Patrik Larsson, Dave Inglis, and Joe Othmer, "A 1.5V 86mW/ch 8-Channel 622-3125Mb/s/ch CMOS SerDes Macrocell with Selectable MUX/DEMUX Ratio," *IEEE ISSCC*, 2002.
- [47] Kyeongho Lee, Sungjoon Kim, Gijung Ahn, Deog-Kyoon Jeong, "A CMOS Serial Link for Fully Duplexed Data Communication," *IEEE JSSC*, vol. 30, no. 4, pp. 353-364, Apr. 1995.
- [48] Kyeongho Lee, Yeshik Shin, Sungjoon Kim, Deog-Kyoon Jeong, Gyudong Kim, Bruce Kim, and Victor Da Costa, "1.04GBd Low EMI Digital Video Interface System Using Small Swing Serial Link Technique," *IEEE JSSC*, vol.33, pp.816-823, May. 1998.
- [49] J. Riisboj, "2.5Gb/s laser driver GaAs IC ," IEEE Journal of Lightwave Technology, vol.11, no.7, pp.1139-1146, July 1993.
- [50] Z. Lao et al, "40Gb/s high power modulator driver IC for lightwave communications," IEEE JSSC, vol.33, no.10, pp.1520-1525, October 1998.
- [51] H. Ransijn et al, "A 10Gb/s laser.modulator driver IC with a dual-mode actively matched output buffer," IEEE JSSC vol.36, no.9, pp.1314-1320, September 2001.
- [52] Z.Wang et al, "Integrated laser diode voltage driver for 20Gb/s optical systems using 0.3 μ m gate length quantum well HEMTs," IEEE JSSC, vol.28, no.7, pp.829-834, July 1993.
- [53] M. Meghelli et al, " High power and high speed InP DHBT driver IC's for laser modulation," IEEE JSSC, vol.33, no.9, pp.1411-1416, September 1998.

- [54] R. Schmid et al, "40Gb/s EAM driver IC in SiGe bipolar," Electronics Letters, vol.34, o.11, pp.1095-1097, May 1998.
- [55] Garry Link, "High speed semiconductor laser driver circuits," US patent 5883910, March 16,1999.
- [56] R. Schmid et al, "SiGe driver circuit with high output amplitude operating up to 23Gb/s," IEEE JSSC, vol.34, no.6, pp.886-891, June 1999.
- [57] G.C. Chen; W.Z. Chen; R.H. Luo; "A 2.5 Gbps CMOS laser diode driver with preemphasis technique," ASIC, 2002. Proceedings. 2002 IEEE Asia-Pacific Conference on , 6-8 pp.65 – 68 August 2002.
- [58] A. Maxim, "A 10Gb/s SiGe compact laser diode driver using push-pull emitter followers and Miller compensated output switch," European Solid-State Circuits, 2003. ESSCIRC '03. Conference on , 16-18 pp.557-560 September 2003.

