

發光二極體列印頭驅動電路之設計

學生：郭耿誌

指導教授：黃宇中

國立交通大學電子工程學系 電子研究所碩士班

摘 要

在電子顯像印表機中，採用發光二極體列印頭當作曝光機制，有縮小印表機體積、增加印表機穩定度及降低成本的好處，但這樣的技術一直把持在日本手中，因應國內市場的需求，本論文設計了一顆應用於發光二極體列印頭的驅動晶片，本晶片採用數位式脈衝寬度調變的技巧，在定電流下利用 4-bit 的數位訊號可產生 16 種線性的發光二極體發光能量，並提出一個動態時間脈衝寬度產生電路，使脈衝寬度有更多的變化。由於晶片在 CMOS 製程中，會產生晶片間的誤差，本論文對此設計了兩種補償電路，一個是脈衝起始限制電路，用來限制脈衝開始的時間，另一個是參考電流調整器，可線性調整電流鏡的參考電流，每階調整的幅度為 0.1mA。另外對於發光二極體陣列每一顆發光二極體的不一致性，本晶片也提出補償的方法，採用一個輸出電流調整器，可針對個別的發光二極體驅動電流做些微的調整，每階調整的幅度為 0.05mA。針對功率消耗的問題，也提出了兩種解決的方法，一個是多晶片分段曝光，另一個是單一晶片分段曝光，兩者皆可降低瞬間大電流的產生，並降低瞬間功率消耗。整個晶片是利用 0.5um 2M1P CMOS 製程所完成，經過量測後，本論文所設計的晶片可以確實的運作。

Design of LED Print Head Driver

Student : Ken-Chih Cho

Advisors : Dr. Yu-Chung Huang

Department of Engineering and Institute of Electronics
National Chiao Tung University

ABSTRACT

Using the LED Print Head for exposure structure inside the Photographic Printer has three benefits: First, it can make the volume of the printer smaller; second, it can make the printer more reliable; last, it can decrease the capital of the printer. But this kind of skill is always controlled by Japanese. To adapt the demand in internal market, this thesis designed a driver IC for LED Print Head. The driver IC adopts a skill of Pulse Width Modulation (PWM) which uses 4-bits digital signal to produce 16 kinds of pulse width under a fixed current. The thesis also designs a Dynamic Pulse Width circuit to make pulse width more variable. In CMOS process, the process will make each IC different. In order to solve this problem, the thesis provides two compensation circuits to compensate the difference between ICs. One is the Pulse Start-Limited circuit which is used to limit the start time of the pulse; the other is the Reference Current Control circuit which is used to adjust the reference current of the current mirror. The range of each adjustable reference current step is 0.1mA. As for the difference between each LED in the LED array itself, the thesis brings up a way to solve this problem. The way is adopting an Output Current Control circuit which can make some adjust in each LED drive current. The range of each adjustable output current step is 0.05mA. As to the problem of power consumption, the thesis also provides two solutions: One is Multi-Chip Segment Exposure, the other is Single-Chip Segment Exposure, both two can decrease the transient large current and the transient power consumption. The whole chip was completed by 0.5um 2M1P CMOS process. After testing, the drive chip can really work well.

誌 謝

首先要感謝我的父母與家人，在我從小到大的求學過程中，總是給予鼓勵與支持，讓我得以順利完成學業。研究所的兩年生活，我要特別感謝我的指導教授黃宇中老師，他提供了良好的學習環境並親切細心的教導，讓我對做研究有了更深的體驗。在論文的研究過程中，要感謝實驗室張煒旭學長給予我許多寶貴的意見，讓我能更了解電路的特性。另外也要感謝林稔杰學長、林水木學長、余俊德學長、朱濟群學長、謝岳成學長和實驗室其他同學在課業與生活上的互相照顧與幫忙，這段期間互相砥礪的日子是我畢生難忘的回憶，謝謝大家。

最後僅將我的論文獻給我摯愛的家人與所有朋友。



郭耿誌

2004年7月1日

目 錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
表目錄	vi
圖目錄	vii
一、緒論	1
1.1 前言	1
1.2 研究動機	3
1.3 研究工作項目	3
二、原理與設計目標	4
2.1 電子顯像印表機的工作原理	4
2.2 發光二極體陣列電路特性	9
2.2.1 電流-電壓特性曲線	9
2.2.2 電流-發光功率曲線	11
2.3 驅動晶片的基本架構	12
2.4 設計目標	16
2.5 晶片大小的決定	18
三、驅動晶片電路設計與模擬	20
3.1 控制電路的設計	21
3.1.1 晶片的三種操作狀態	21
3.1.2 控制電路	23
3.2 移位暫存器與栓鎖器	26
3.2.1 移位暫存器	26
3.2.2 栓鎖器	30
3.3 驅動電路	31
3.3.1 驅動電流產生電路	31
3.3.2 動態時間脈衝寬度產生電路	35
3.4 補償電路	37
3.4.1 晶片不一致性的補償	38
3.4.2 發光二極體陣列不一致性的補償	43
3.5 晶片串接的情形	46
3.5.1 控制訊號 CLKI 與資料訊號 DI[3:0]的關係	46
3.5.2 控制訊號 CLKI 與 STB 的關係	48
3.6 功率消耗的考量	52

3.6.1 多晶片分段曝光.....	52
3.6.2 單一晶片分段曝光.....	54
四、電路量測與驗證.....	56
4.1 移位暫存器的量測與驗證.....	58
4.2 輸入訊號與輸出訊號的量測與驗證.....	60
4.2.1 延遲時間的量測與驗證.....	60
4.2.2 準備時間的量測與驗證.....	61
4.3 參考電流調整器的量測與驗證.....	62
4.4 輸出電流調整器的量測與驗證.....	64
五、結論與未來展望.....	67
5.1 結論.....	67
5.2 未來展望.....	68
參考文獻	69
附錄一	72
簡歷	77



表 目 錄

表 3.1 參考電流 I_{ref} 模擬結果	42
表 3.2 輸出電流調整器模擬結果	45
表 3.3 不同負載下的外部 CLKI 訊號至內部 clk 訊號的延遲時間	47
表 3.4 不同負載下 DA 至 DO 的延遲時間(t_d)	47
表 3.5 延遲時間表	48
表 3.6 輸出電容負載為 5pF 的 CLK 延遲時間	51
表 3.7 輸出電容負載為 10pF 的 CLK 延遲時間	51
表 3.8 功率消耗與曝光時間	53
表 4.1 延遲時間的量測結果	60
表 4.2 輸出資料訊號 DATAO 到輸出控制訊號 CLKO 的間隔時間	61
表 4.3 準備時間的量測結果	61
表 4.4 參考電流調整器量測值	62
表 4.5 輸出電流調整器量測值	64
表 4.6 輸出電流調整器每一間隔差值	65



圖 目 錄

圖 1.1 全球印表機銷售額發展現況與趨勢	2
圖 1.2 全球印表機的銷售量發展現況與趨勢	2
圖 2.1 電子顯像印表機的列印過程	5
圖 2.2 雷射二極體列印架構	6
圖 2.3 發光二極體陣列列印架構	7
圖 2.4 發光二極體陣列與驅動晶片的連接方式	8
圖 2.5 發光二極體順偏下的電流-電壓特性曲線	9
圖 2.6 發光二極體逆偏下的電流-電壓特性曲線	10
圖 2.7 發光二極體的順偏等效電路	10
圖 2.8 發光二極體電流-發光功率曲線	11
圖 2.9 驅動晶片的基本架構	12
圖 2.10 電壓驅動示意圖	13
圖 2.11 電流驅動示意圖	14
圖 2.12 脈衝寬度調變示意圖	15
圖 2.13 利用點的排列顯現“A”	16
圖 2.14 設計目標	18
圖 3.1 晶片整體架構圖	20
圖 3.2 狀態轉換圖	22
圖 3.3 reset 與 next 的產生方式	23
圖 3.4 控制電路圖	24
圖 3.5 控制電路時序圖	25
圖 3.6 狀態轉換的限制	25
圖 3.7 移位暫存器架構圖	27
圖 3.8 移位暫存器時序圖	27
圖 3.9 修正後移位暫存器架構圖	28
圖 3.10 二級晶片串接	29
圖 3.11 修正後移位暫存器時序圖	29
圖 3.12 栓鎖器架構圖	30
圖 3.13 發光二極體驅動電路圖	31
圖 3.14 V_r 與 I_{ref} 的關係圖	32
圖 3.15 完整發光二極體驅動電路圖	34
圖 3.16 傳統脈衝寬度產生電路圖	35
圖 3.17 $DATA[3:0]=0110=12_{10}$ 的時序圖	35
圖 3.18 動態時間計數器時序圖	36
圖 3.19 發光二極體驅動晶片結構示意圖	37
圖 3.20 脈衝起始限制電路	39

圖 3.21 脈衝起始限制電路時序圖	39
圖 3.22 參考電流調整器	40
圖 3.23 參考電流 Iref 突波模擬結果	42
圖 3.24 參考電流 Iref 模擬結果	42
圖 3.25 輸出電流調整器	43
圖 3.26 輸出電流調整器突波模擬結果	45
圖 3.27 輸出電流調整器模擬結果	45
圖 3.28 控制訊號 CLKI 與資料訊號 DI[3:0]循序傳遞架構圖	46
圖 3.29 CLKI 至 CLK0 在輸出電容負載 5pF 及 10pF 下的延遲時間	48
圖 3.30 共享 STB 訊號架構圖	49
圖 3.31 共享 STB 訊號的結果	49
圖 3.32 CLKI 由 20MHz 降至 6.25MHz	50
圖 3.33 CLKI 與 STB 訊號皆採用循序傳遞的方式	50
圖 3.34 CLKI 與 STB 在不同輸出電容負載下的延遲	51
圖 3.35 多晶片分段曝光時序圖	53
圖 3.36 時脈訊號延遲時間	53
圖 3.37 單一晶片分段曝光架構圖	55
圖 3.38 單一晶片分段曝光時序圖	55
圖 4.1 晶片實際佈局圖	57
圖 4.2 測試架構	57
圖 4.3 移位暫存器在 CHIP_DATA 狀態下的傳遞狀況	58
圖 4.4 移位暫存器在 PIXEL_DATA 狀態下的傳遞狀況	59
圖 4.5 參考電流調整器量測結果	63
圖 4.6 輸出電流調整器量測結果	65