

一、緒論

1.1 前言

電子顯像印表機(Electrophotographic Printer)，即俗稱的雷射印表機(Laser Printer)，在最近幾年，已成為辦公室市場的主流，並有向家庭市場進軍的趨勢。比較 2000 年到 2006 年，全球四大類印表機銷售額的發展現況與趨勢，參考圖 1.1，可以看出所有印表機中，雷射印表機的銷售額最高、噴墨印表機(Ink-Jet Printer)次之，另外再比較 2000 年到 2006 年，全球四大類印表機銷售量的發展現況與趨勢，參考圖 1.2，可以發現噴墨印表機銷售量排在第一，而雷射印表機次之。由銷售額及銷售量兩點來看，雷射印表機與噴墨印表機為目前較常見的兩種印表機，其中雷射印表機有比噴墨印表機良好的列印品質，但苦於售價較高，在家庭市場中，銷售量一直無法超越噴墨印表機，因此若能有效降低雷射印表機的成本，則其銷售量便有可能超越噴墨印表機。

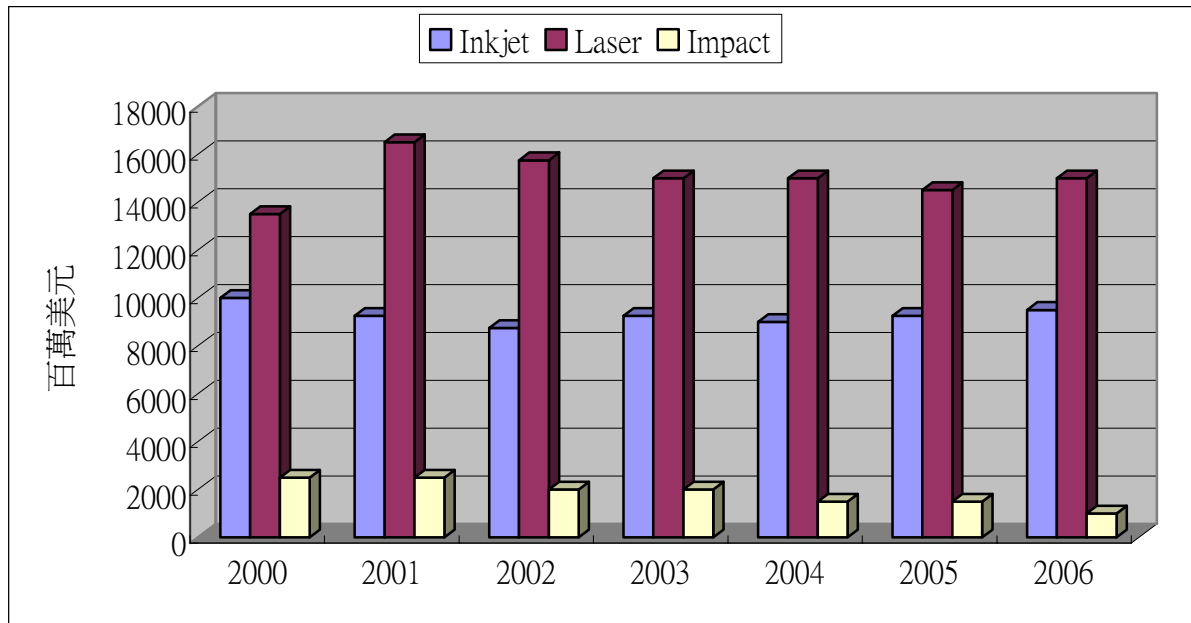


圖1.1 全球印表機銷售額發展現況與趨勢

資料來源：Lyra Research (2003/01)；工研院IEK (2003/05)

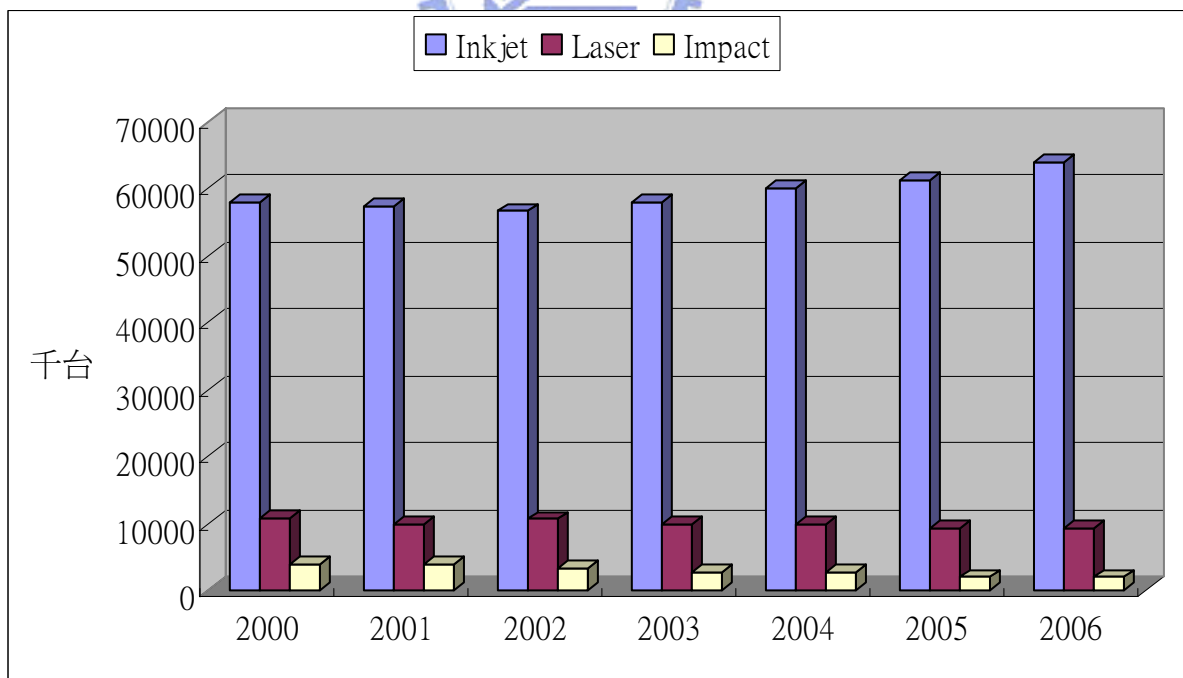


圖1.2 全球印表機的銷售量發展現況與趨勢

資料來源：Lyra Research (2003/01)；工研院IEK (2003/05)

雷射印表機售價高昂的原因在於，其使用的曝光機制是採用一顆雷射二極體(Laser Diode)與複雜的光學透鏡系統[1]，因此有廠商對此提出了解決的方法，將曝光機制改為發光二極體陣列(Light-Emitting Diode Array)[16][17]，此方法可縮小印表機的體積，並有效的降低成本。

1.2 研究動機

雖然使用發光二極體陣列的方法，可降低電子顯像印表機的成本，但這樣的技術一直以來都是把持在日本的手上，國內廠商對於發光二極體陣列的製造則還在起頭的階段，至於發光二極體陣列的驅動電路國內的廠商也還在研發的階段，而國內外論文對於有關發光二極體陣列驅動電路的研究也甚少，因此本論文的研究重點在於配合發光二極體陣列設計出一顆發光二極體陣列驅動電路。

1.3 研究工作項目

針對上述的研究目標，訂出本論文之主要工作項目如下：

1. 探討發光二極體陣列的電路特性
2. 依據發光二極體陣列的電路特性，設計出適當的驅動電路
3. 量測此驅動電路的特性

二、原理與設計目標

在設計發光二極體陣列驅動電路前，本章節將先介紹電子顯像印表機的工作原理，並比較雷射二極體與發光二極體陣列曝光機制的差異。在了解發光二極體陣列的電路特性後，參考一般發光二極體的驅動方式，選擇適當的架構，最後再訂立設計目標。

2.1 電子顯像印表機的工作原理

電子顯像印表機的應用理論在 1938 年，由 Chester Carlson 所提出，採用一種『電子照相技術- Electrophotography』的技術，列印過程需要以下七個步驟[1][12]，如圖 2.1 所示：1. 佈電(Charge)：在曝光光源照射感光鼓前，先由佈電元件在感光鼓佈上電荷。2. 曝光(Exposure)：將影像資料轉為電訊號，並由相關電路來調變曝光光源，再將調變過後的曝光光源在感光鼓表面投射光點，改變感光鼓表面的電荷分佈，形成靜電潛像(latent image)的圖案或文字。3. 顯像(Development)：碳粉被摩擦帶電後，藉由電場作用將碳粉吸附在感光鼓上。4. 轉寫(Transfer)：在紙背上提供電荷，以電場將感光鼓上的碳粉吸引至紙張表面，也就是將感光鼓上由碳粉形成的影像轉寫到紙上。5. 定著(Fuse)：將附著於紙上的碳粉，利用高溫高壓使其熔融，固定在紙上，並形成欲列印的圖案或文字。6. 清除(Clean)：在轉寫的過程中，碳粉無法完全轉移到紙上，會有少量碳粉殘存在感光鼓上，為了不影響下一次的列印效果，必須以碳粉刮刀清除感光

鼓上的殘留碳粉。7. 除像(Erase)：清除完殘留碳粉後，感光鼓上的靜電潛像仍然存在，因此必須以光源均勻照射感光鼓，除去靜電潛像，使感光鼓表面電位回到最初的狀態，以維持每次顯像品質的穩定。

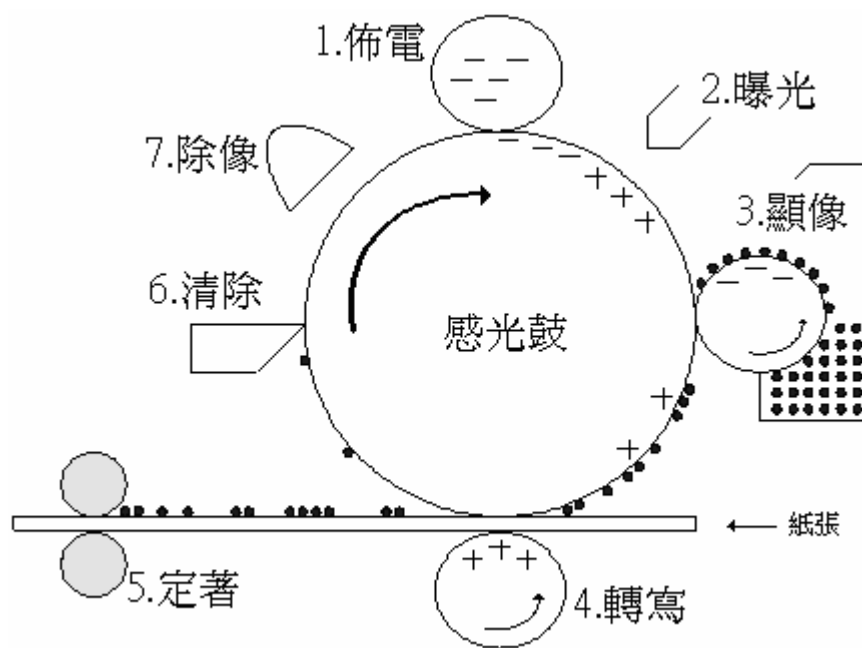


圖 2.1 電子顯像印表機的列印過程

以上七個步驟中，曝光是決定列印品質的重要步驟，其所需的光源可

由以下兩種不同的方式產生：

a. 雷射二極體(Laser Diode)

一般傳統的電子顯像印表機即俗稱的雷射印表機，是採用一顆高能量、固定波段的雷射二極體，加上複雜的光學透鏡系統及一旋轉多面鏡，利用光的折射來做掃描的動作，達到曝光一系列資料的效果[1]，如圖 2.2 所示。雷射光的優點是在於比起一般光線來說沒有散射的困擾，但缺點則是設備昂貴，此外會動的旋轉多面鏡和複雜的透鏡系統，使得印表機體積龐

大、穩定度較低；再加上只使用單一的雷射二極體配合透鏡的折射，所產生的光點大小會有誤差，而影響列印的品質。

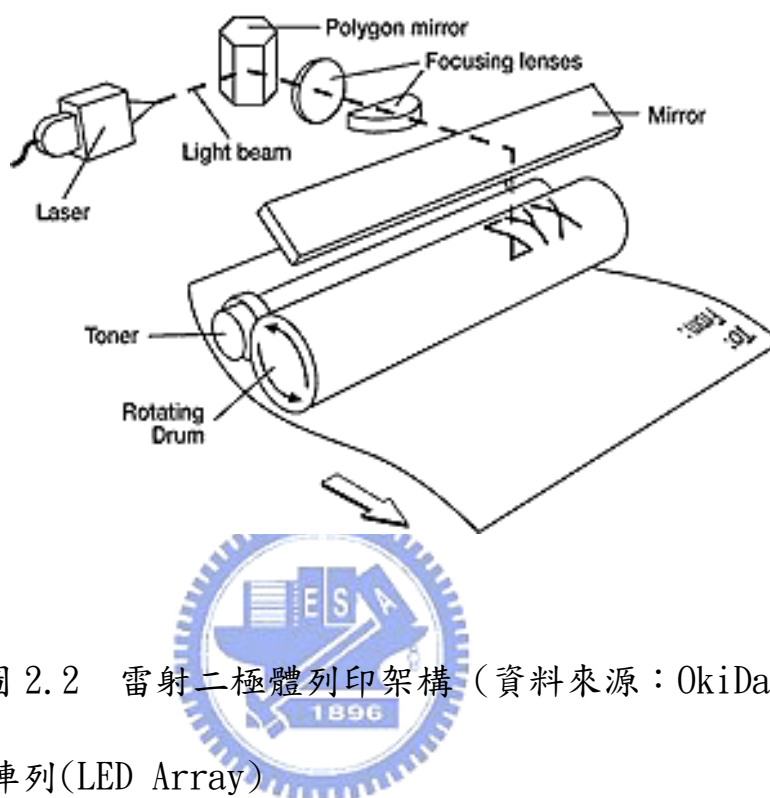


圖 2.2 雷射二極體列印架構 (資料來源：OkiData)

b. 發光二極體陣列(LED Array)

為了改善雷射二極體印表機體積龐大、穩定度較低及設備昂貴的缺點，有廠商利用介於雷射和一般可見光之間的替代光源，將數千顆獨立的發光二極體排成一列，經由透鏡直接照射在感光鼓上，可同時曝光一系列資料，如圖 2.3 所示。這樣的架構省略了會動的旋轉多面鏡和複雜的透鏡系統，可提高印表機的穩定度及縮小印表機的體積；直接曝光一系列資料也比利用旋轉多面鏡掃描一系列資料要節省時間，可加快列印速度。但受限於製程與封裝的限制，無法有效提高解析度。利用發光二極體陣列作為曝光光源的印表機，以下簡稱為 LED 印表機。

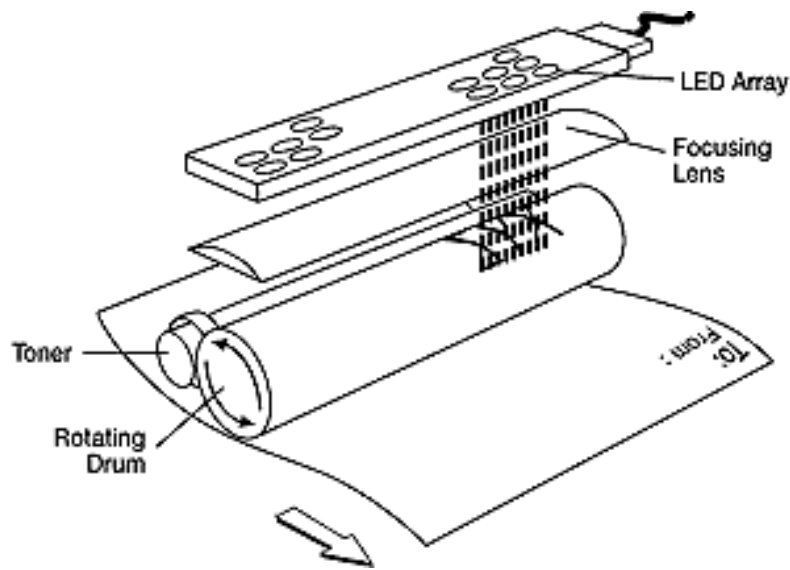


圖 2.3 發光二極體陣列列印架構(資料來源：OkiData)

LED 印表機的好壞是由 LED 印表機列印頭來決定，所謂 LED 印表機列印頭是指，在曝光過程的中曝光光源的產生電路，它由兩部分組成[8][10]，一為發光二極體陣列，一為驅動晶片，驅動晶片負責提供電壓或電流促使發光二極體發光，兩者藉由打線(wire bonding)的方式連接在一起，如圖 2.4 所示，通常一排發光二極體陣列的發光二極體數會多達數千顆，直覺上要驅動這麼多顆發光二極體，不可能直接由一顆驅動晶片完成，大部分的做法都是設計一顆可驅動較少發光二極體數目的驅動晶片，再利用串接多顆晶片的方法來驅動整個發光二極體陣列。

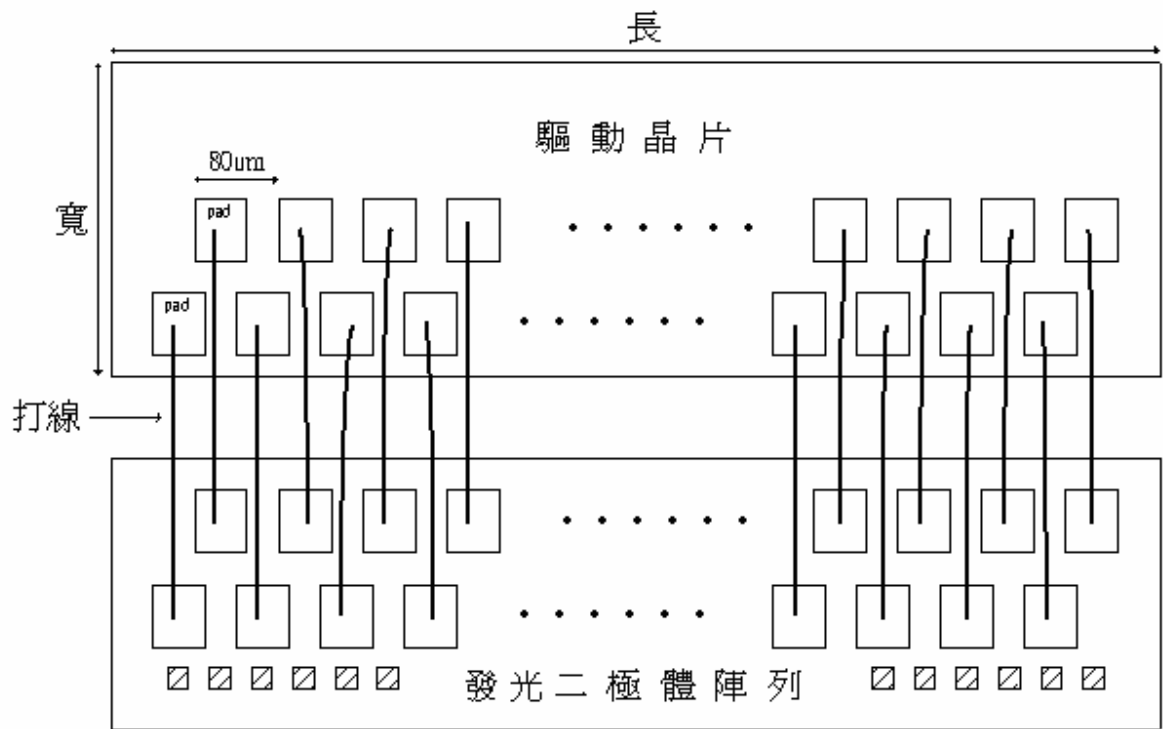


圖 2.4 發光二極體陣列與驅動晶片的連接方式



2.2 發光二極體陣列電路特性

要設計較好的發光二極體陣列驅動電路，必須先了解發光二極體陣列的電路特性，以下將分別探討發光二極體陣列電流-電壓特性及電流-發光功率特性。

2.2.1 電流-電壓特性曲線

發光二極體陣列是由一顆顆的發光二極體所組成，每顆發光二極體的電流電壓特性曲線可經由量測的結果得知，圖 2.5 為不同材料的發光二極體在順偏下的特性曲線，轉折點電壓(turn-on voltage)會因不同的材料而有所差異，範圍在 1.4V~1.7V 之間，隨著材料的老化程度與工作溫度的不同亦會有所變化，特性曲線的斜率為發光二極體等效電阻的倒數，不同的材料有不同的特性曲線斜率，斜率愈大，等效電阻越小，發光二極體的功率消耗越小。圖 2.6 為不同材料的發光二極體在逆偏下的特性曲線，逆偏下有極小的漏電流，崩潰電壓則隨著材料的不同而有所差異。

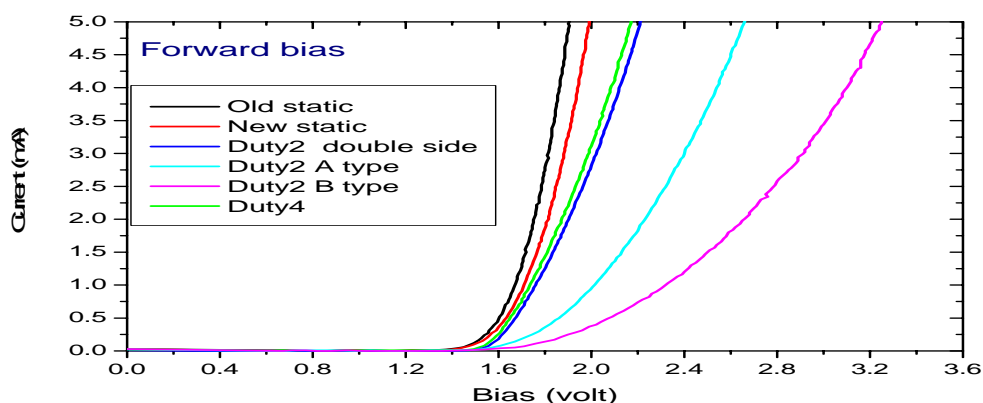


圖 2.5 發光二極體順偏下的電流-電壓特性曲線

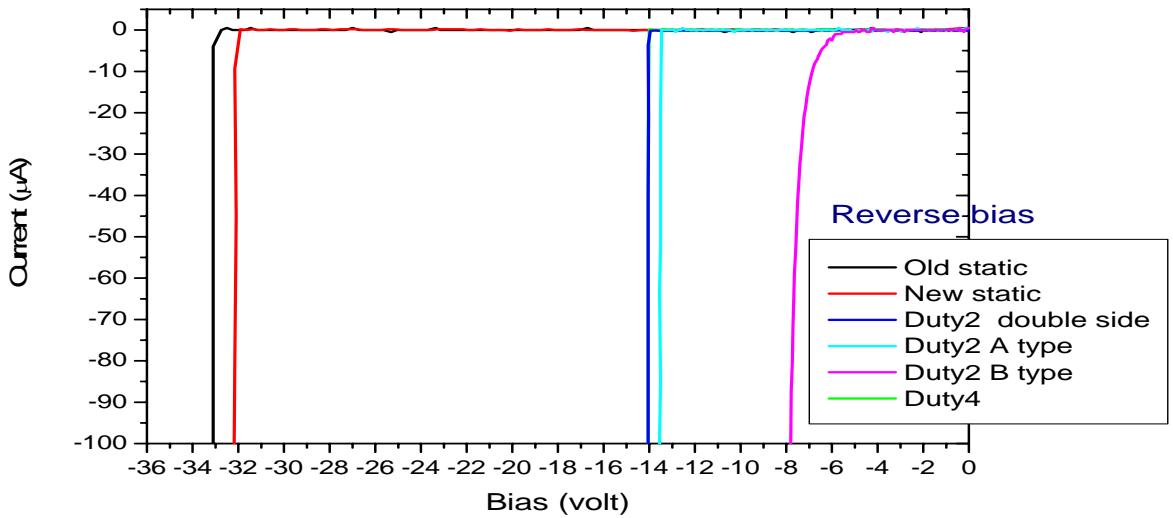


圖 2.6 發光二極體逆偏下的電流-電壓特性曲線

考慮順偏下發光二極體的轉折電壓、等效電阻及寄生電容，可得到發光二極體的順偏等效電路，如圖 2.7 所示，其中 V_d 為轉折電壓、 R_d 為等效電阻、 C_d 為寄生電容。好的發光二極體在順偏下要有較低的轉折點電壓、較小的等效電阻，在逆偏下要有較大的崩潰電壓，及較小的漏電流。

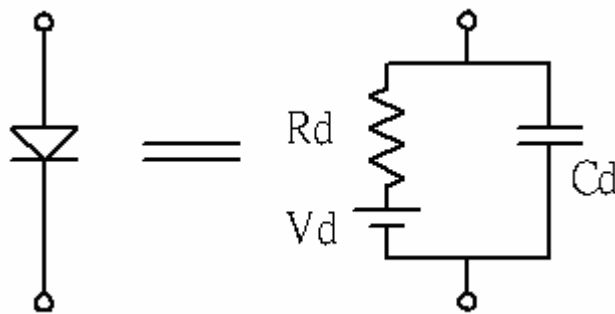


圖 2.7 發光二極體的順偏等效電路

2.2.2 電流-發光功率曲線

發光二極體的發光功率，決定了曝光的結果，對相同材料的發光二極體，在不同電流下，量測其發光功率，可得到發光二極體的電流-發光功率曲線，圖 2.8 是對四顆相同材料的發光二極體所做的量測結果，可以發現發光二極體的發光功率與電流是呈線性的關係，圖中 Error%指的是四顆發光二極體間的差異性，是利用式 2.1 求出，計算出的結果顯示四顆發光二極體的一致性還算良好，只有在電流等於 2mA 的情況下有較大的差異。另外值得一提的是，發光二極體的電壓與發光功率間的關係並非線性，而是呈現指數的關係。

$$Error\% = \frac{Y_{max} - Y_{min}}{\frac{1}{2}(Y_{max} + Y_{min})} \times 100 \quad (式 2.1)$$

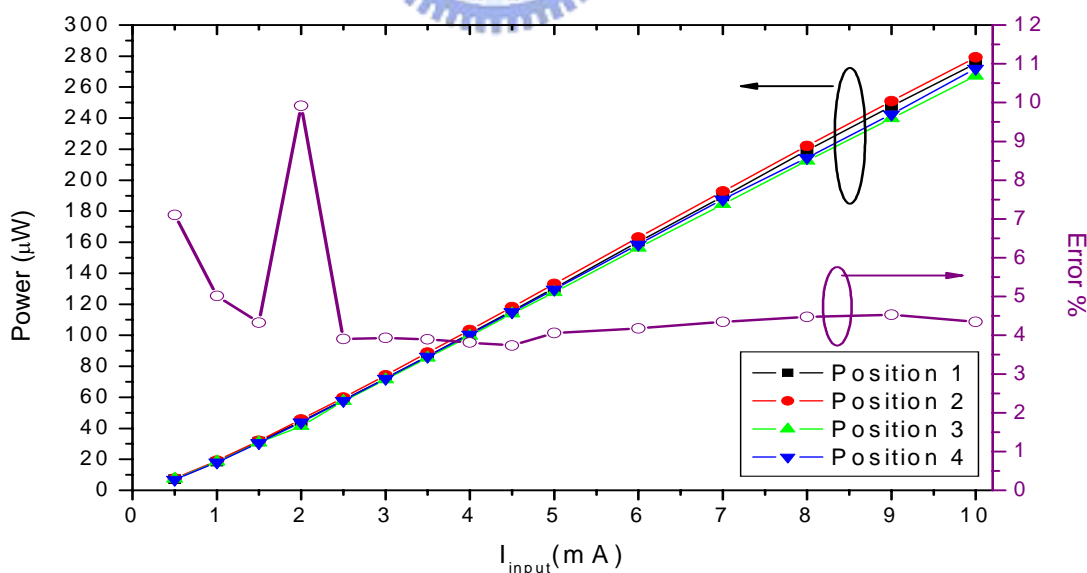


圖 2.8 發光二極體電流-發光功率曲線

2.3 驅動晶片的基本架構

發光二極體陣列驅動晶片的基本架構，如圖 2.9 所示，可分為五個主要部份[6]：

I. 控制電路(Controller)：負責控制晶片的各種動作。

II. 移位暫存器(Shift Register)：負責列印資料的傳遞。

III. 拴鎖器(Latch)：負責列印資料的儲存。

IV. 驅動電路(Driver)：負責驅動發光二極體陣列，使其發光。

IV. 補償電路(Compensation Circuit)：用來補償發光二極體陣列上各發光二極體的發光能量，以使其亮度一致。

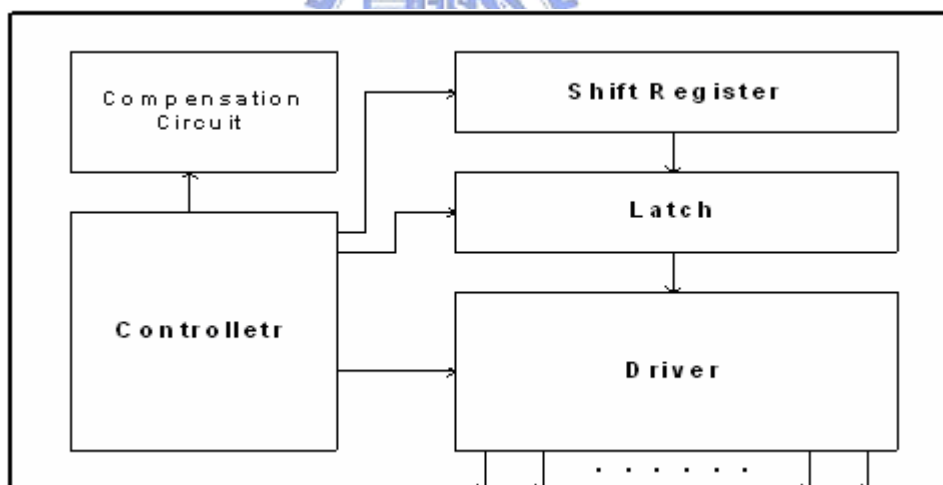


圖 2.9 驅動晶片的基本架構

驅動晶片在曝光時的動作流程為：控制電路由外部將列印資料依序傳遞到移位暫存器，等所有列印資料傳遞完畢，列印資料再由拴鎖器予以保存，之後驅動電路便依據拴鎖器所儲存的值，促使發光二極體發光，達到對感光鼓曝光的效果。

在曝光過程中，發光二極體發光能量的大小可決定感光鼓上碳粉附着量的大小，在驅動晶片中，發光能量的大小是由驅動電路這部分所決定，因此驅動電路是整個驅動晶片中最重要。驅動電路依驅動的方式可分為三種，電壓驅動、電流驅動及改變發光時間，三者皆可改變發光二極體的發光能量，其中電壓驅動和電流驅動是屬於類比的驅動方式，而改變發光時間又稱為脈衝寬度調變(Pulse Width Modulation) [12]，則屬於數位的驅動方式。

電壓驅動意思是指，調整發光二極體電壓 V_d ，藉此改變發光能量，如圖 2.10 所示。電壓的改變可利用電壓式數位類比轉換器(Voltage Type Digital to Analog Converter)完成。電壓驅動的方式有發光能量與電壓的關係並非線性的缺點，如果要直接利用電壓控制發光二極體發光能量改變碳粉附着量的大小，則送到發光二極體的電壓值必須先經過轉換，才能表現線性的關係，而這額外的轉換電路會使得電路變的較複雜。

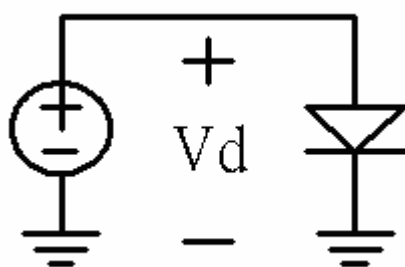


圖 2.10 電壓驅動示意圖

電流驅動意思是指，藉由電流的改變來驅動發光二極體[9]，如圖 2.11 所示，電流的改變可利用電流式數位類比轉換器(Current Type Digital to Analog Converter)完成，由於電流與發光能量成線性的關係，因此利用電流直接控制發光二極體，即可表現出碳粉附著量線性的變化。

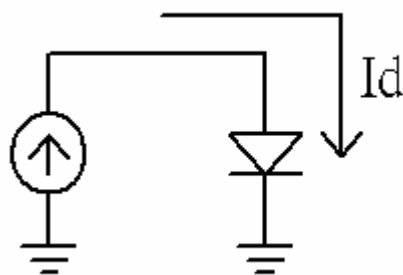


圖 2.11 電流驅動示意圖

通常可變電流的產生，是採用電流鏡搭配電流式數位類比轉換器的架構，在理想的情況下，假設兩 PMOS 的通道長度相同，則發光二極體電流 I_d 與參考電流 I_{ref} 的比會等於兩 PMOS 寬度比，利用數位類比轉換器調整參考電流 I_{ref} ，即可改變發光二極體電流 I_d 。但事實上，在電流鏡輸出電阻不是無限大的情況下，發光二極體電流會因為發光二極體等效電阻的大小不同而有所改變。

脈衝寬度調變則是指，直接利用發光能量正比於時間的線性關係，在定電流下，控制發光二極體發光時間長短，可得到不同的發光能量，產生碳粉附著量線性的改變，如圖 2.12 所示，這樣的技術稱為脈衝寬度調變。此種驅動方式的優點是電路簡單，利用數位的方式可以容易實現。

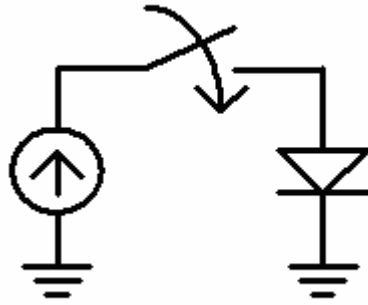


圖 2.12 脈衝寬度調變示意圖

比較三種驅動方式，脈衝寬度調變的技術，因為電路簡單，所以最多人採用此種設計方法，但由於定電流的產生電路通常會隨著製程的因素，造成每顆驅動晶片輸出的定電流有不一致的現象，影響曝光的結果，若要對此現象作補償，則須對不同的晶片調整其定電流的大小，調整的方式可利用電流驅動的觀念，利用電流式數位類比轉換器改變電流大小。本論文即是採用這種以脈衝寬度調變為主，電流驅動為輔的設計方式。

2.4 設計目標

在討論設計目標之前，必須先了解到 LED 印表機使用者所看到的字或圖形都是由點所構成[1]，點即所謂的像素(pixel)，利用點的排列可顯現不同的圖案，如圖 2.13 所示，即是由點排列出一個“A”字。圖案的細緻與像素的深淺，是由點的密集度與大小來決定。

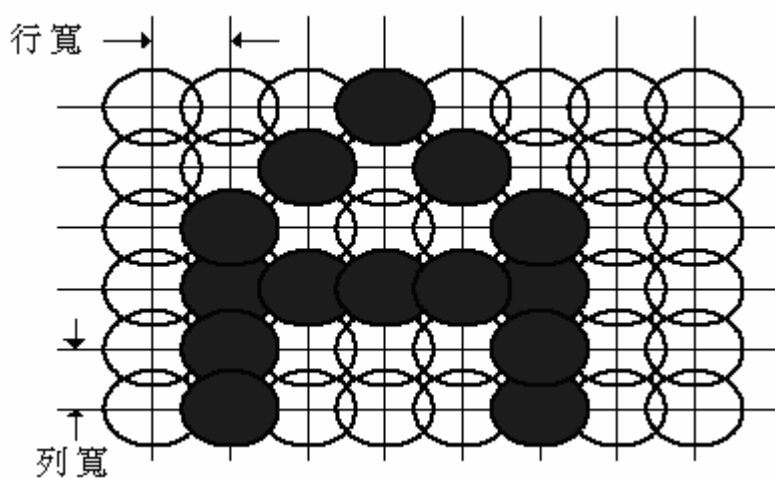


圖 2.13 利用點的排列顯現“A”

點的密集度由圖中行寬與列寬決定，直接影響了列印的品質，寬度愈小畫質越好，以發光二極體陣列架構來說，點的行寬與發光二極體陣列在一定長度可排列多少顆發光二極體有關，數目的多少受限於製程的技術。

點大小的改變，可以決定像素的深淺，點越大像素越深。紙張上點的大小與發光二極體光點的大小有關，光點的大小取決於發光二極體的發光能量，越高的發光能量照射在感光鼓上，感光鼓上的電荷分布改變越多，所吸附的碳粉會較多，形成較深的像素。發光二極體發光能量 E_d 與發光二極體電流 I_d 、電壓 V_d 與發光的時間 T_d 有式 2.2 的關係。

$$E_d = V_d I_d T_d = I_d^2 R_d T_d = V_d^2 T_d / R_d \quad (\text{式 2.2})$$

在 LED 印表機之功能與規格中有兩個重要的指標，一為解析度，一為列印速度：解析度即點的密集度，是決定列印的品質好壞的依據，可由單位 DPI(Dot Per Inch)，即每英吋有多少點來表示，數值越高圖案越細緻。對於紙張的長、寬兩方向而言可以有不同的 DPI 值。列印速度可由單位 PPM(Page Per Minute)表示，即每分鐘可列印多少頁。

利用長、寬兩方向 DPI 值 D_L 、 D_W 、列印速度 P 及紙張長 L 、寬 W ，可由以下公式計算出發光二極體陣列所需的發光二極體數 M_W 和列印一列資料所需的時間 T ：



$$M_W = W \cdot D_W \quad (\text{式 2.3})$$

$$M_L = L \cdot D_L \quad (\text{式 2.4})$$

$$T = 1 / M_L \cdot P \quad (\text{式 2.5})$$

本論文的设计目標是希望驅動晶片能輸出 2.5mA 的發光二極體驅動電流，達到 20PPM 的列印速度，及寬為 600DPI、長為 1200DIP 的解析度，列印的紙張則是以 A4 大小為基準，如圖 2.14 所示，其中 A4 紙張的規格為：

$$\text{寬} \times \text{長} = 21\text{cm} \times 29.7\text{cm} = 8.27\text{inch} \times 11.7\text{inch}$$

利用上列的公式，可計算出一個發光二極體陣列需要 4962 個發光二極體，及列印一列資料需要在 214 us 內的時間完成。

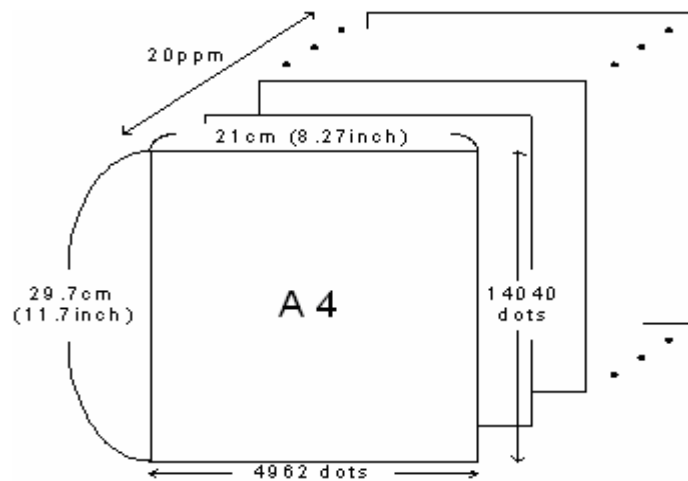


圖 2.14 設計目標

2.5 晶片大小的決定

一個發光二極體陣列需要 4962 個發光二極體，要驅動這麼多顆發光二極體，直覺上不可能直接由一顆驅動晶片完成，因此每顆晶片所能驅動的發光二極體數，必須做適當的分配，並且藉由串接多顆晶片來驅動所有的發光二極體，至於每顆晶片要驅動多少數目的發光二極體，則可由打線 (wire bonding)、晶片的長寬比及功率的消耗等方面來做考量：

a. 打線及晶片的長寬比

晶片的長度與電路的大小並無太大的相關，主要是由接線點(pad)的數目來決定，一個接線點的寬度加上接線點與接線點間的間隔大約 $80\mu\text{m}$ ，若要將全部 4962 個點，都做在一顆晶片上，晶片的長度則需要 200mm，而晶片寬度約 1mm，因此長度會是寬度的 200 倍，但實際上不可能作出這樣細長

形的晶片，長度過長的晶片容易損壞，晶片內同電位的金屬連線，其電阻值也會因為長度增加而提高，造成電壓的改變。因此選擇適當的長寬比不僅可以增加晶片的良率，也可提高晶片的效能。

b. 功率的消耗

假設一顆發光二極體的驅動電流為 2.5mA，若 4962 顆發光二極體一起發光，共需要 12.5A 的電流，這樣大的電流要直接由一顆晶片來提供幾乎是不可能，因此設計一顆能夠驅動約 200 顆發光二極體，消耗電流 0.5A 的晶片，並同時串接 26 顆相同的晶片去驅動一排二極體陣列，會是較合理的，而實際的驅動數目為了配合電路的設計則訂為 192 顆。這樣的分配結果，晶片的長寬比可降為的 8:1。



三、驅動晶片電路設計與模擬

在不改變驅動晶片基本架構的情況下，本論文分別針對基本架構的五大部分做了改良，可利用較簡單的電路，設計出效能更好的驅動晶片，架構如圖 3.1 所示，各個部份將於以下小節說明。

此架構採用三組訊號作為資料傳遞與控制之用，作為資料傳遞用的一組是 4-bit 的 DI[3:0]，對應的輸出訊號為 DO[3:0]；作為控制用的有兩組，一組是正相 CLKIP 與反相 CLKIN 的時脈訊號，對應的輸出訊號為 CLKOP 與 CLKON；另一組是訊號 STB，對應的輸出訊號為 STBO，各組訊號的詳細功能，也將於各小節中說明。

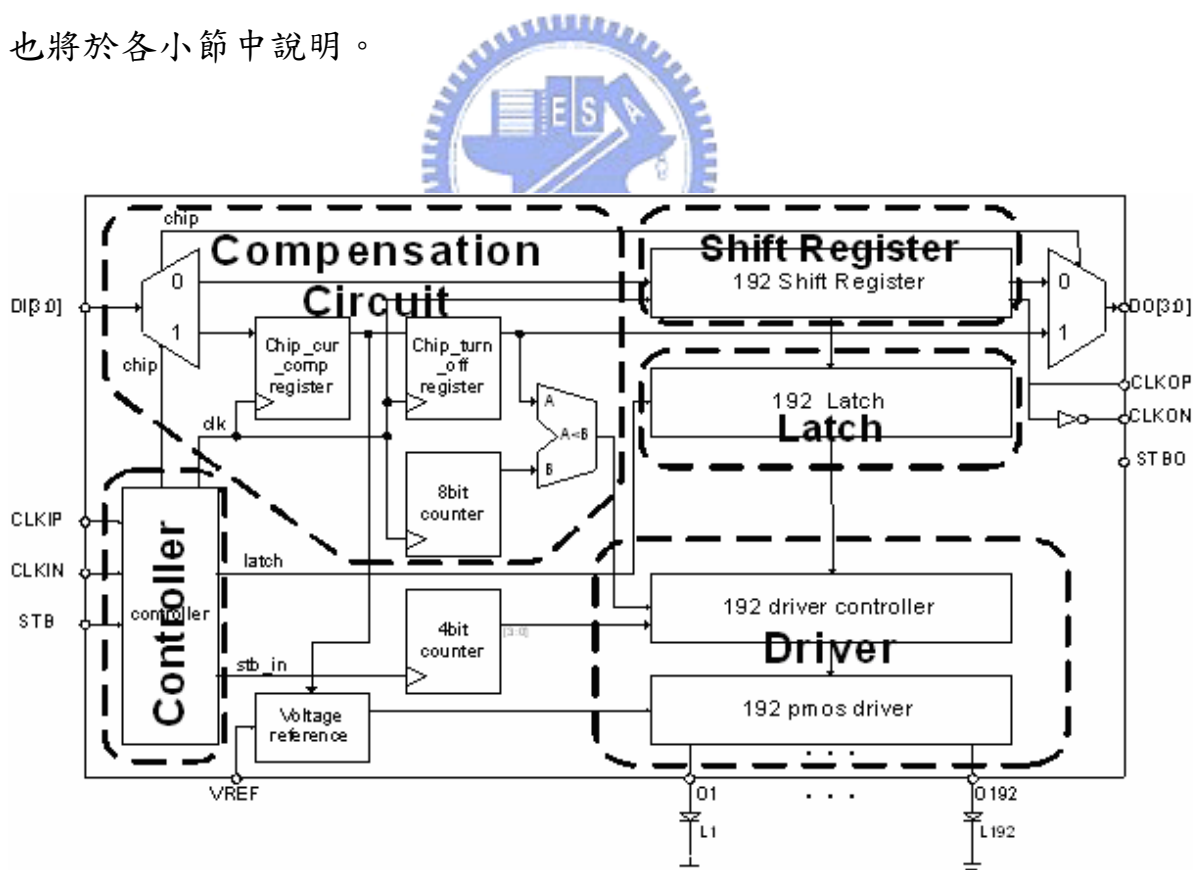


圖 3.1 晶片整體架構圖

3.1 控制電路的設計

控制電路是用來支配及協調發光二極體驅動晶片內各區塊的動作，以下將介紹控制電路的操作狀態與控制訊號間的關係。

3.1.1 晶片的三種操作狀態

本架構將曝光過程中驅動晶片的動作分為三種狀態，分別是晶片重置與補償狀態、資料傳遞與儲存狀態、曝光狀態，狀態的轉換由控制電路控制，各狀態的動作如下：

a. 晶片重置與補償狀態(CHIP_DATA State)

晶片重置與補償狀態有兩個重要的動作，一是重置晶片，此動作是將晶片裡計數器或暫存器的值歸零，另外是補償差異的動作，此動作是將用來補償差異的一些設定值預先儲存到晶片裡的補償電路。此狀態又稱為 CHIP_DATA 狀態。

b. 資料傳遞與儲存狀態(PIXEL_DATA State)

在晶片重置後便可開始傳遞列印資料，控制電路將列印資料交由移位暫存器(Shift Register)傳遞到適當位置，等列印資料傳遞完成後，便利用栓鎖器(Latch)將列印資料予以儲存，等待曝光。此狀態又稱為 PIXEL_DATA 狀態。

c. 曝光狀態(EXPOSURE State)

在列印資料被保存到栓鎖器後，驅動電路便可依據儲存的值驅動發光二極體陣列，開始對感光鼓進行曝光。此狀態又稱為 EXPOSURE 狀態。

三種狀態之間的轉換可利用兩個訊號來控制，如圖 3.2 所示，兩個訊號分別命名為 reset 與 next，一開始無論晶片處於那個狀態，在接收到 reset 訊號時，晶片都會跳到 CHIP_DATA 狀態，接著收到 next 訊號後，晶片的狀態會跳到 PIXEL_DATA 狀態，在列印的資料都被儲存到移位暫存器後，晶片會接收到另一個 next 訊號，然後跳到 EXPOSURE 狀態，在此狀態，下一筆要被列印的資料可以繼續傳送到移位暫存器，若此時晶片接收到另一個 next 訊號，則晶片的狀態會跳到 PIXEL_DATA 狀態，以此類推。

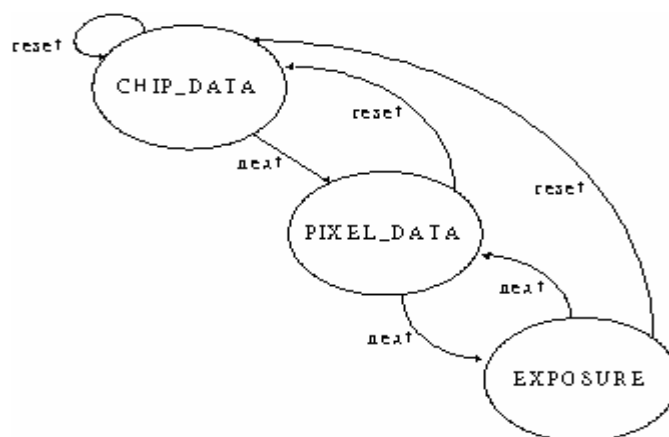


圖 3.2 狀態轉換圖

reset 訊號與 next 訊號的產生是利用晶片的兩組控制訊號 CLKI 與 STB 的不同組合來完成，如圖 3.3 所示，在兩個 STB 訊號週期內，

1. 若 CLKI 維持在高準位，則產生 reset 訊號；
2. 若 CLKI 維持在低準位，則產生 next 訊號。

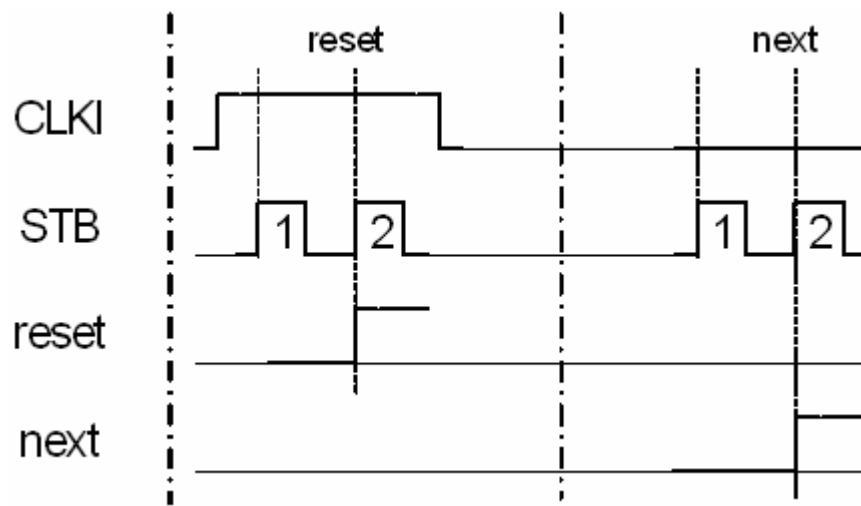


圖 3.3 reset 與 next 的產生方式

3.1.2 控制電路

控制電路負責產生狀態轉換及各個狀態所需的內部控制訊號，電路首先根據控制訊號 CLKI 與 STB 產生 reset 與 next 訊號，再利用 reset 與 next 訊號，產生 CHIP_DATA、PIXEL_DATA、EXPOSURE 等訊號決定晶片的狀態，控制電路圖圖 3.4 所示。圖 3.5 為控制電路的時序圖，圖中顯示了訊號彼此間的動作關係，當 reset 訊號被致能時，晶片會處於 CHIP_DATA 狀態，chip 訊號會維持在高準位直到晶片重置完畢，之後第一個 next 訊號被致

能，晶片由 CHIP_DATA 狀態跳到 PIXEL_DATA 狀態，pixel 訊號會維持在高準位直到資料傳遞完畢，接著在第二個 next 訊號被致能後，晶片會先經過 Latch 的動作再跳到 EXPOSURE 狀態，其中 Latch 的動作是為了將傳遞的資料儲存在栓鎖器內，在資料儲存完畢後，exposure 訊號會被致能並維持在高準位，直到曝光結束，以此類推。

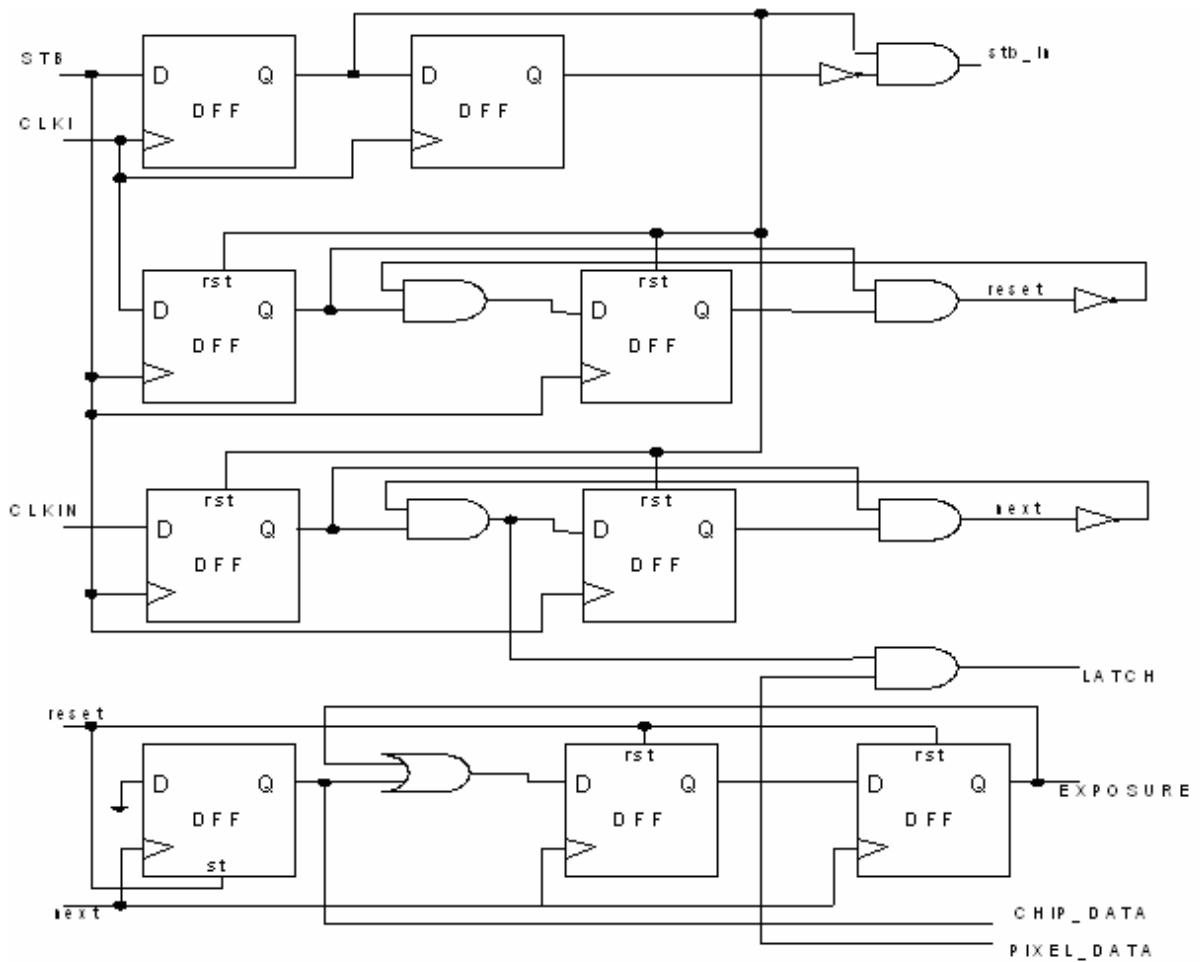


圖 3.4 控制電路圖

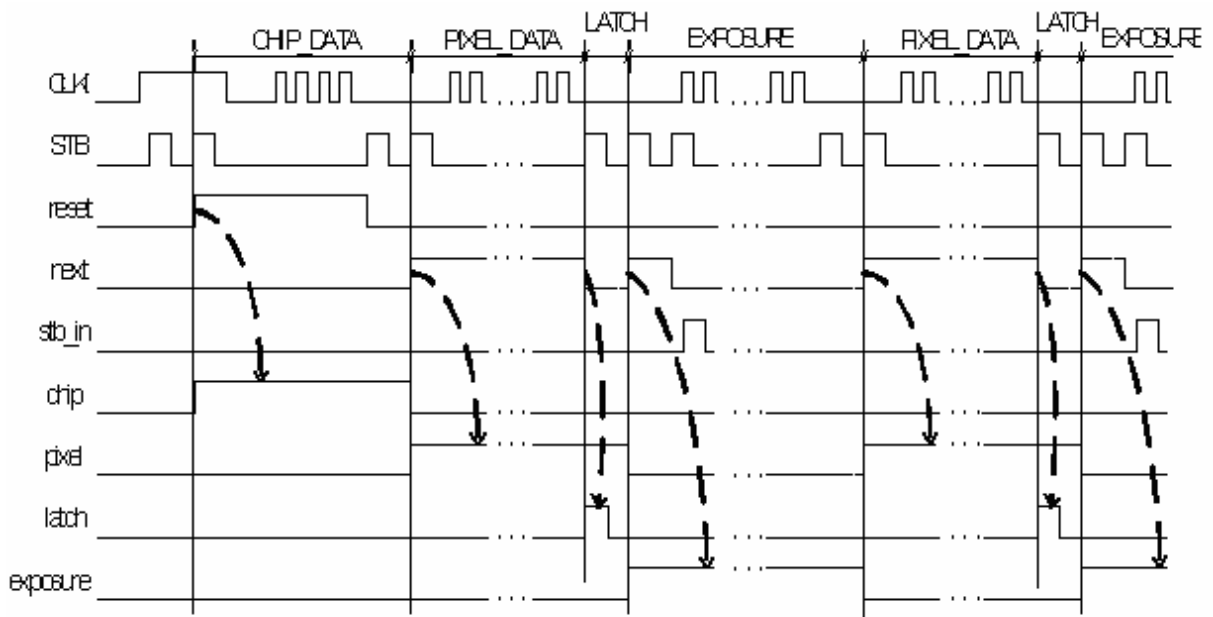


圖 3.5 控制電路時序圖

此控制電路在每一個狀態轉換時，除了 2 個 STB 訊號週期內 CLKI 需維持在相同準位外，還須注意 STB 訊號第一個正緣上升的前一個 CLKI 訊號，必須擷取到低準位的 STB 訊號，這樣電路才能正常動作，如圖 3.6 所示。

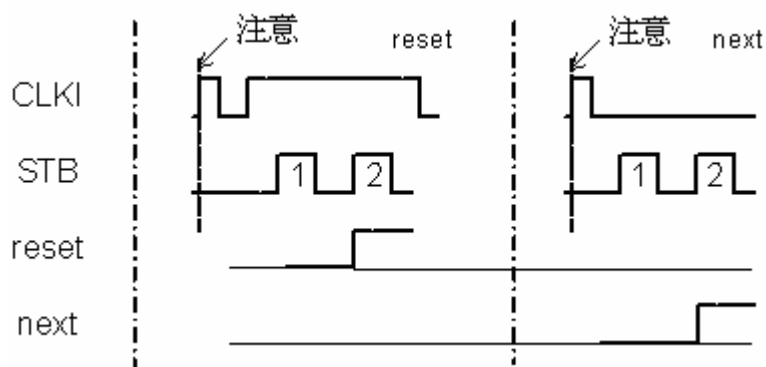


圖 3.6 狀態轉換的限制

3.2 移位暫存器與栓鎖器

當晶片處於資料傳遞與儲存狀態時，列印資料會由晶片外部傳送到晶片裡，作為發光二極體曝光的依據，分別用來傳遞資料與儲存資料的是移位暫存器(shift register)與栓鎖器(latch)。詳細介紹如下：

3.2.1 移位暫存器(shift register)

LED 印表機每次曝光的過程，皆是在一整列 4962 顆發光二極體的資料傳遞完成後，才進行曝光的動作，其中資料傳遞的工作是由移位暫存器 shift register 來完成，為加快資料傳遞的速度，本論文的移位暫存器架構如



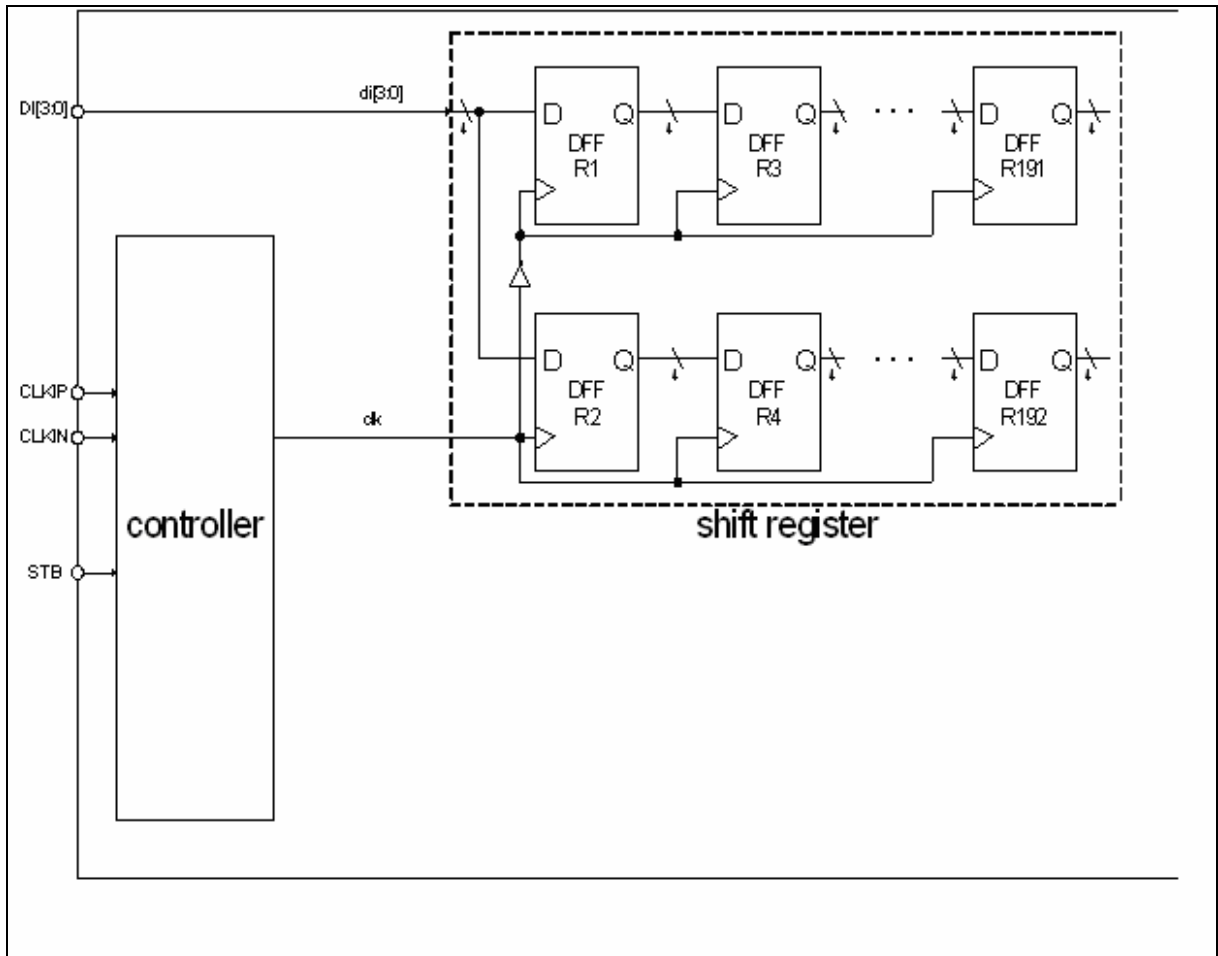


圖 3.7 所示，此架構會在時脈的正緣與負緣各擷取一筆資料。設計時，分別將 192 個 4-bit 的暫存器命名為 R1、R2、R3...R191、R192，並將其分類為奇數級 R1、R3...R191，與偶數級 R2、R4...R192，奇數級在 CLKI 負緣時會儲存資料；偶數級則是在 CLKI 為正緣時儲存資料。圖 3.8 顯示移位暫存器在時脈正緣與負緣擷取資料的狀況，在 CLKI 正緣時，資料儲存到偶數級的暫存器 R2~R192；CLKI 負緣時，資料儲存到奇數級的暫存器 R1~R191，圖中在 CLKI 第二個負緣後(虛線處)，可看出 R1=4、R2=3、R3=2、R4=1 每個暫存器都按照順序擷取了正確的資料。

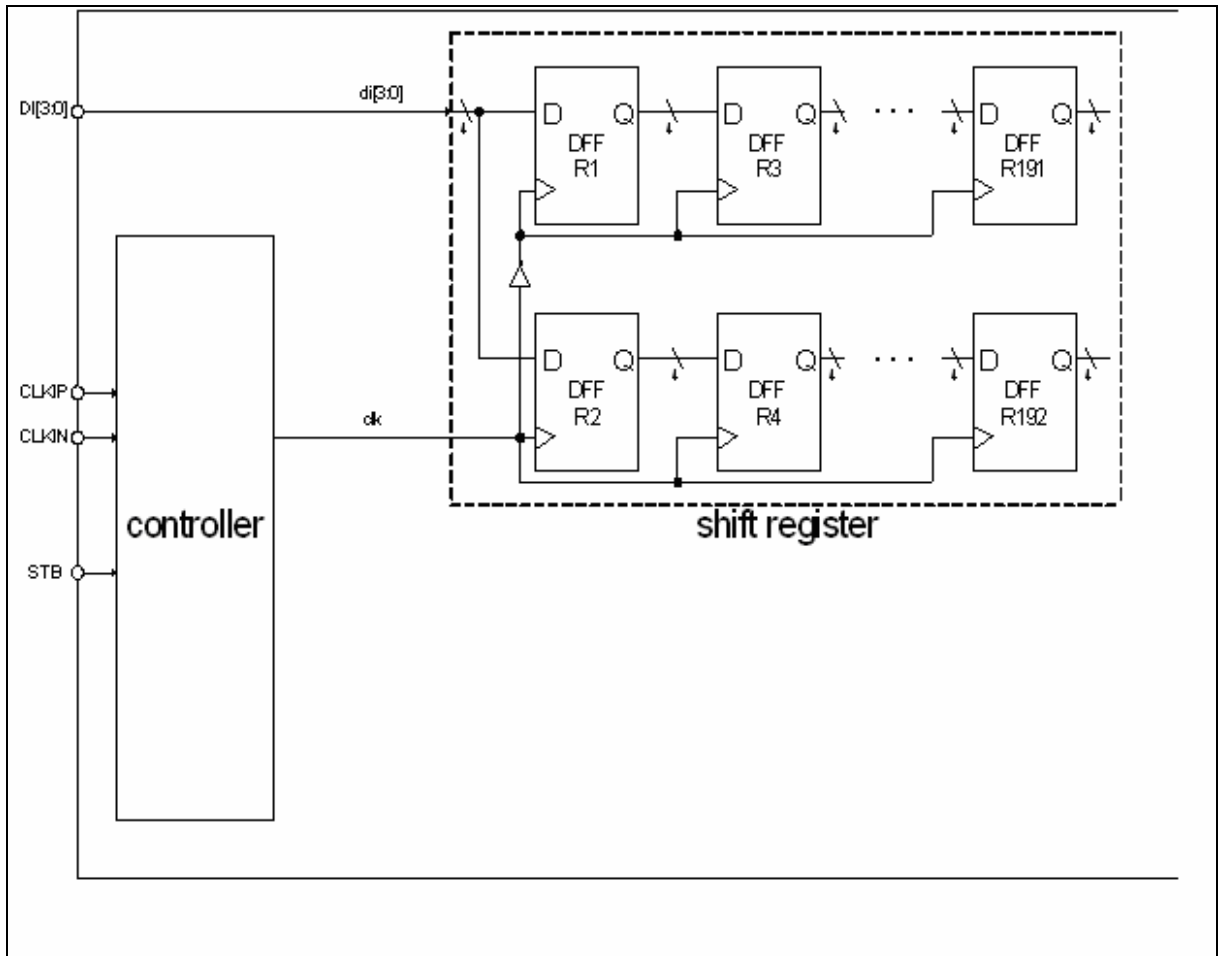


圖 3.7 移位暫存器架構圖

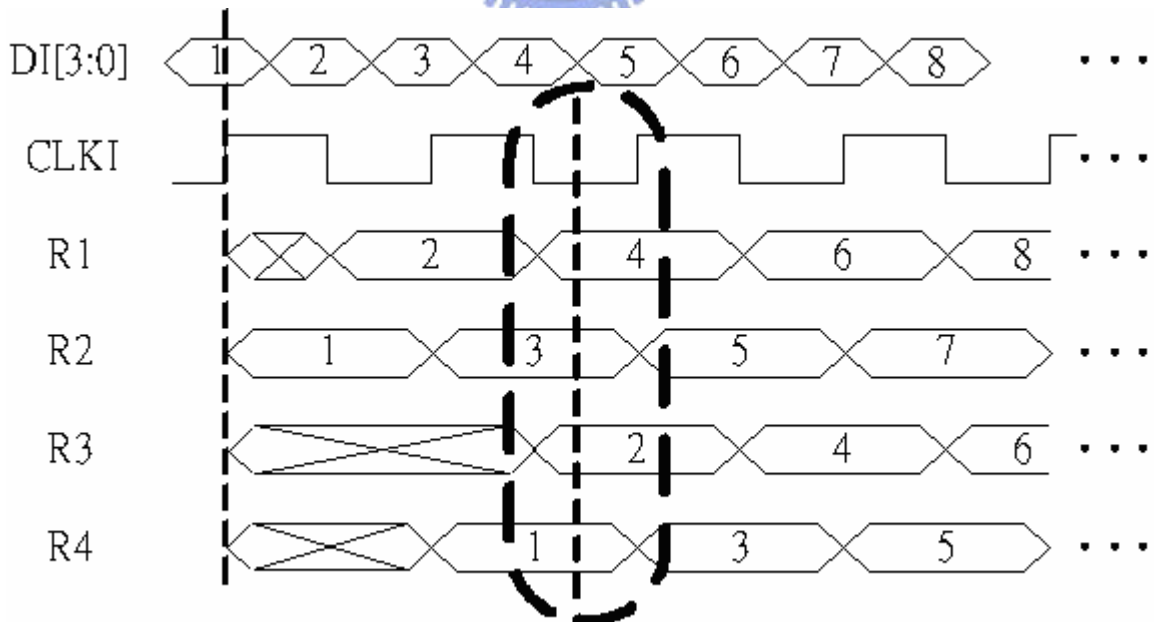


圖 3.8 移位暫存器時序圖

在串接 26 個晶片的情況下，資料的傳遞方式是由上一級晶片傳給下一級晶片。為了使資料能正確傳遞到下一級，除了 192 個暫存器外，還必須多加兩個暫存器及一個由 CLKI 控制的輸出多工器，如圖 3.9 所示，多出的兩個暫存器，分別命名為 odd 與 even。

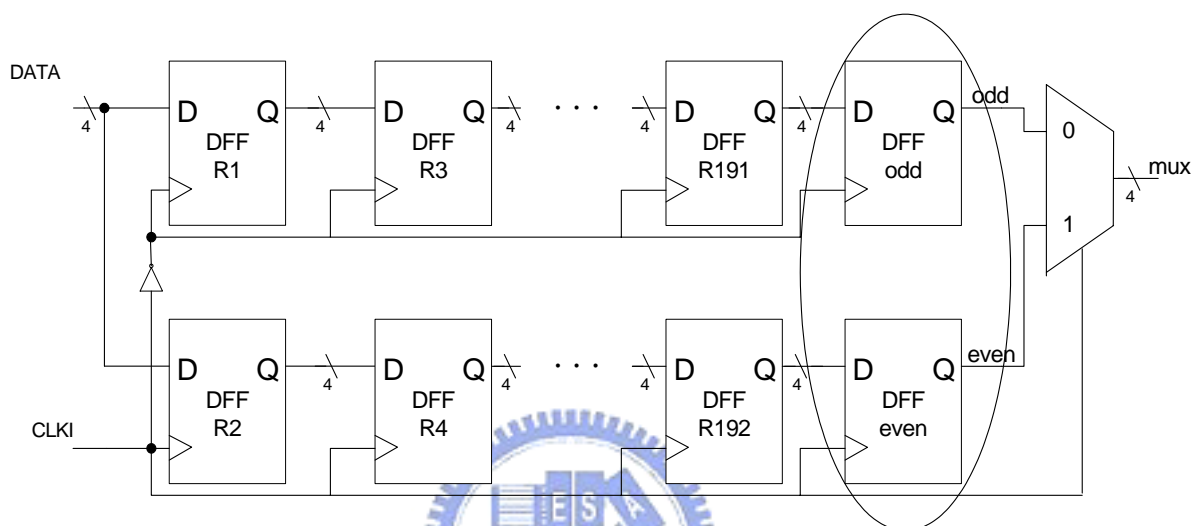


圖 3.9 修正後移位暫存器架構圖

接著說明為何要多加兩個暫存器，首先假設每個晶片只需儲存 4 筆資料，並且只有兩個晶片串接的情形，如圖 3.10 所示，圖中 R1_1、R2_1、R3_1、R4_1、Odd_1、Even_1 為第一級晶片內的暫存器，其中 Odd_1、Even_1 即上述多增加的兩個暫存器；而 R1_2、R2_2 則表示第二級晶片內的暫存器；DATA、CLKI 為第一級晶片的資料訊號與時脈訊號；Mux_1、CLKO 為第一級輸出給第二級使用的資料訊號與時脈訊號，圖 3.11 顯示資料傳遞的結果，在 CLKI 第三個負緣後(如虛線處)，可看出第一級晶片 R1_1=6、R2_1=5、R3_1=4、R4_1=3，第二級晶片 R1_2=2、R2_2=1，每個暫存器都按照順序擷取了正確的資料。

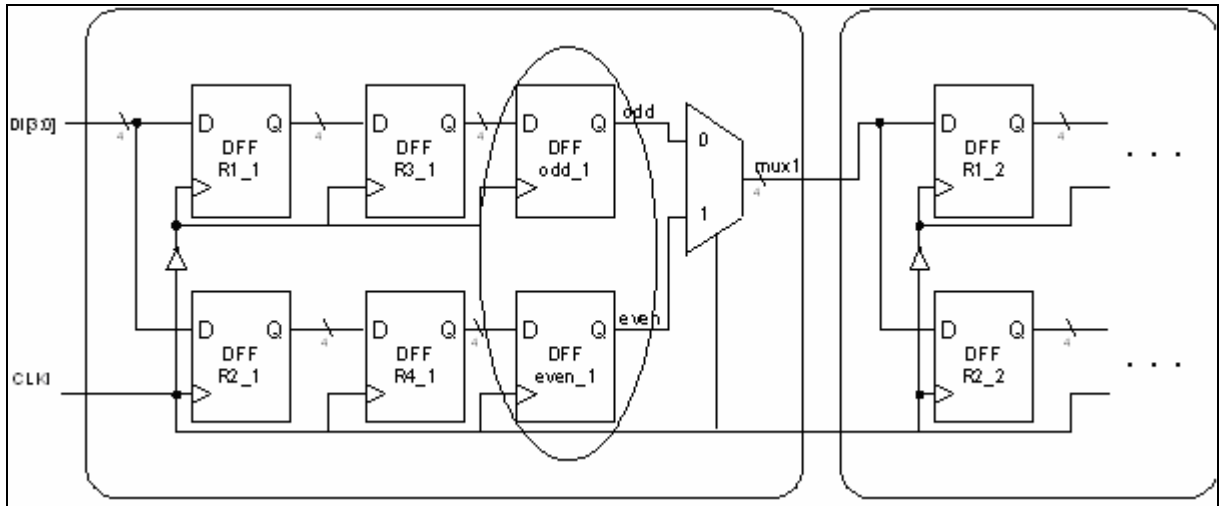


圖 3.10 二級晶片串接

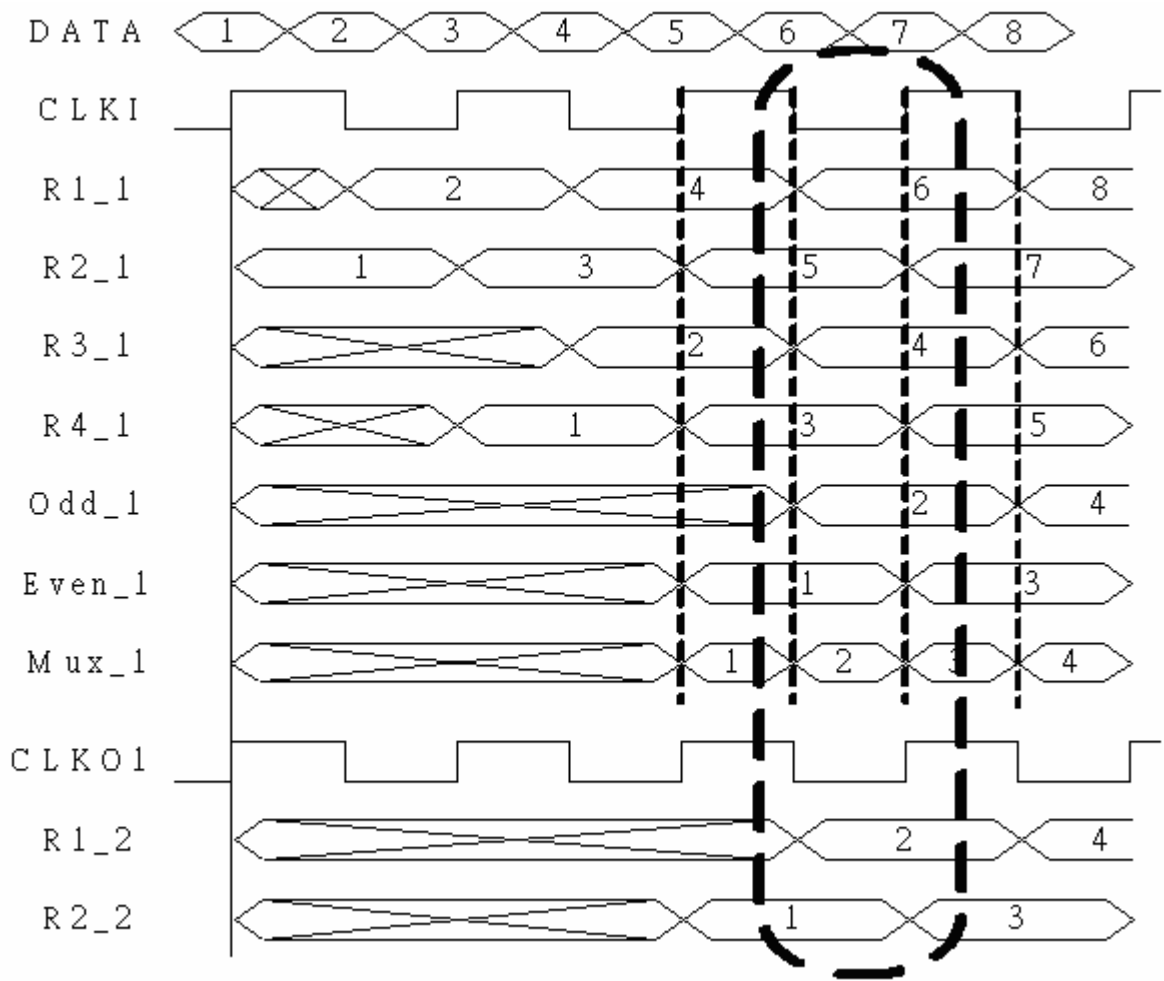


圖 3.11 修正後移位暫存器時序圖

3.2.2 栓鎖器(latch)

在資料傳遞完成後，接著就是進行曝光的動作，為了加快列印的速度，可以利用在曝光的時間，同時傳遞下一筆的列印資料。為了避免舊有的資料被新的覆蓋掉，則需要利用栓鎖器來保存，如圖 3.12 所示，資料傳遞到移位暫存器後，由控制電路產生的 latch 訊號作控制，將暫存器的值保存在栓鎖器裡。

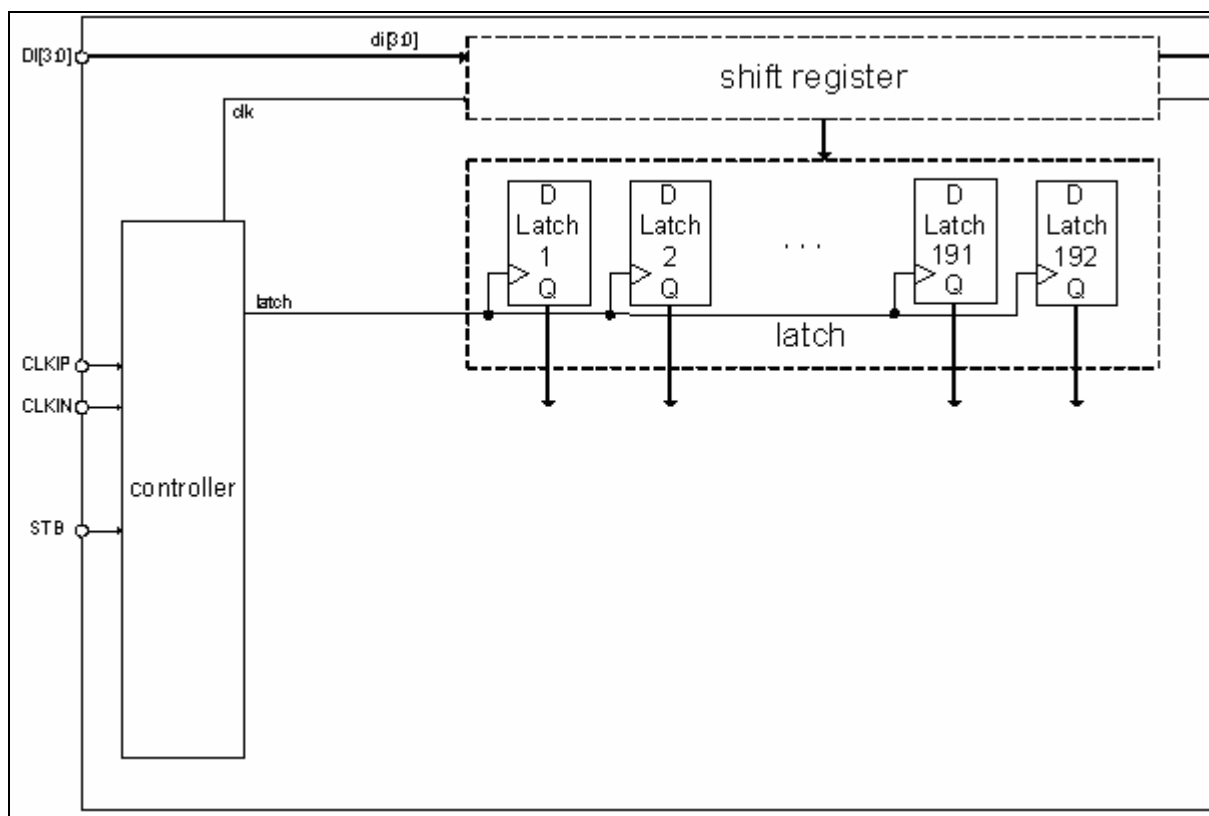


圖 3.12 栓鎖器架構圖

3.3 驅動電路

比較第 2.3 節所提的三種驅動方式，因為脈衝寬度調變(PWM)的驅動方式電路簡單，所以是目前較常使用的技巧，但驅動晶片和發光二極體陣列在製造的過程往往會造成晶片或發光二極體陣列的不一致性，為了對此現象作補償，本論文同時採用了電流驅動的技巧來達到補償的效果。驅動電路可分為兩部分，一為驅動電流產生電路，一為脈衝寬度產生電路

3.3.1 驅動電流產生電路

驅動電流的產生是由電流鏡架構搭配上一用來調整開關時間的開關電路，如圖 3.13 所示，其中 PMOS P_d 、 P_r 與 NMOS N_r 組成電流鏡架構， I_d 為發光二極體電流， I_{ref} 為參考電流， V_{in} 為一定電壓，可利用 band gap 電路產生或直接由晶片外提供；PMOS P_1 與 NMOS N_1 組成開關電路， V_{Td} 為開關訊號用來控制開關時間 T_d 的長短。

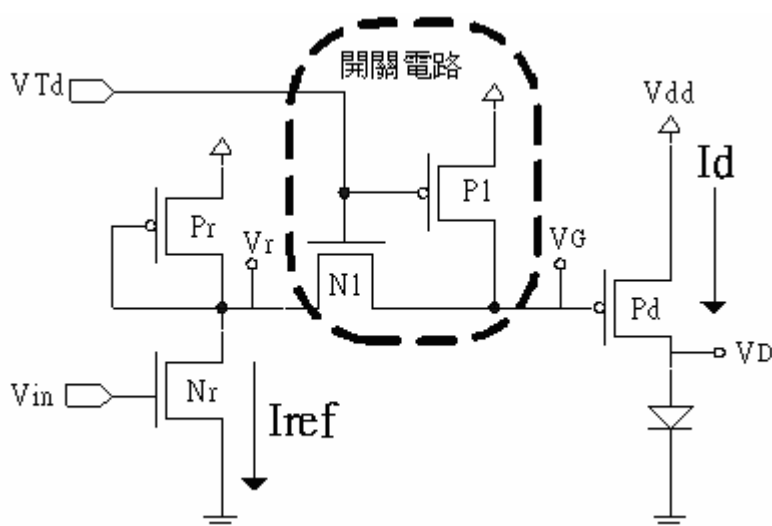


圖 3.13 發光二極體驅動電路圖

當 V_{Td} 為低準位時， $V_G=V_{dd}$ ， P_d 截止，發光二極體電流 $I_d=0$ ；當 V_{Td} 為高準位時，整個電路可視為一電流鏡架構，在理想的情況下 $V_r=V_G$ ，發光二極體電流 I_d 與參考電流 I_{ref} 的關係如下：

$$I_{ref} = \frac{1}{2} \mu_p C_{ox} \frac{W_{Pr}}{L_{Pr}} (V_{dd} - V_G - |V_{tp}|)^2 \quad (\text{式 3.1})$$

$$I_d = \frac{1}{2} \mu_p C_{ox} \frac{W_{Pd}}{L_{Pd}} (V_{dd} - V_G - |V_{tp}|)^2 \quad (\text{式 3.2})$$

$$I_d = \left[\frac{W_{Pd} / L_{Pd}}{W_{Pr} / L_{Pr}} \right] I_{ref} \quad (\text{式 3.3})$$

式 3.3 說明了發光二極體電流 I_d 與參考電流 I_{ref} 的關係與兩顆 PMOS 的通道長度 L 和寬度 W 有關，因此調整 P_d 的大小即可得到想要的 I_d 。

參考電流 I_{ref} 的產生電路是由 PMOS P_r 與 NMOS N_r 組成，其中 PMOS P_r 為二極體連接形式，圖 3.14 為 NMOS N_r 的電路特性曲線，其中弧線虛線為 NMOS N_r 飽和區與三極區的分界線，有特性如下：

$$V_r = V_{in} - V_t \quad (\text{式 3.4})$$

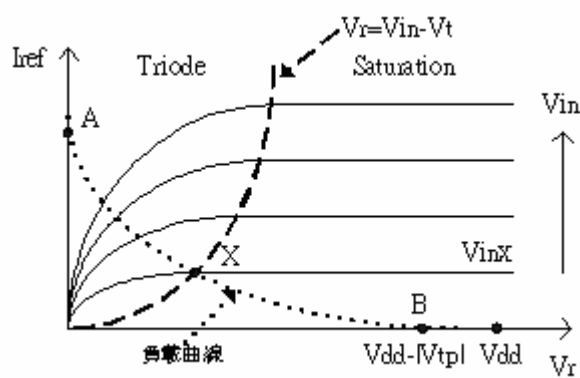


圖 3.14 V_r 與 I_{ref} 的關係圖

由於 PMOS P_r 一直都工作在主動區，因此其電路特性如下：

$$I_{ref} = \frac{1}{2} \mu_p C_{ox} \frac{W_{Pr}}{L_{Pr}} (V_{dd} - V_r - |V_{tp}|)^2 \quad (\text{式 3.5})$$

利用 NMOS N_r 與 PMOS P_r 的電路特性，可推導出輸入電壓 V_{in} 與參考電

流 I_{ref} 的關係：

1. 截止區， $V_{in} < V_t$ ，操作點位在 B 點

$$I_{ref} = 0$$

2. 飽和區， $V_{in} > V_t$ 、 $V_{in} - V_r < V_t$ ，隨著 V_{in} 增加操作點逐漸遠離 B 點並朝 X

點方向接近， I_{ref} 逐漸上升：

$$\begin{aligned} I_{ref} &= \frac{1}{2} \mu_n C_{ox} \frac{W_{Nr}}{L_{Nr}} (V_{in} - V_t)^2 \\ &= \frac{1}{2} \mu_p C_{ox} \frac{W_{Pr}}{L_{Pr}} (V_{dd} - V_r - |V_{tp}|)^2 \end{aligned} \quad (\text{式 3.6})$$

3. 變遷點， $V_{inx} > V_t$ 、 $V_r = V_{inx} - V_t$ ，操作點位在 X 點：

$$\begin{aligned} I_{ref} &= \frac{1}{2} \mu_n C_{ox} \frac{W_{Nr}}{L_{Nr}} (V_{inx} - V_t)^2 \\ &= \frac{1}{2} \mu_p C_{ox} \frac{W_{Pr}}{L_{Pr}} (V_{dd} - V_{inx} + V_t - |V_{tp}|)^2 \end{aligned} \quad (\text{式 3.7})$$

4. 三極區， $V_{in} > V_t$ 、 $V_{in} - V_r > V_t$ ，隨著 V_{in} 增加，操作點逐漸遠離 X 點並朝 A

點方向接近：

$$\begin{aligned} I_{ref} &= \frac{1}{2} \mu_n C_{ox} \frac{W_{Nr}}{L_{Nr}} [2(V_{in} - V_t)V_r - V_r^2] \\ &= \frac{1}{2} \mu_p C_{ox} \frac{W_{Pr}}{L_{Pr}} (V_{dd} - V_r - |V_{tp}|)^2 \end{aligned} \quad (\text{式 3.8})$$

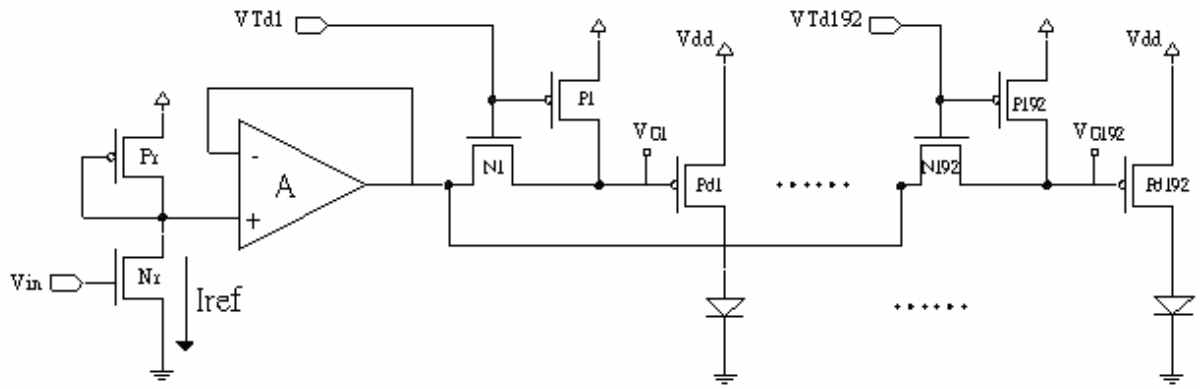


圖 3.15 完整發光二極體驅動電路圖

3.3.2 動態時間脈衝寬度產生電路

傳統的脈衝寬度產生電路是利用n-bit的資料與n-bit計數器作比較，如圖 3.16 所示，若n=4，則可產生 $2^4=16$ 種不同的發光時間，也就是列印時，像素可以有 16 階的灰階表現。假設DATA[3:0]=0110₂=12₁₀，從counter=0 到 counter=12 時，DATA[3:0]都大於或等於counter的值，所以out訊號都維持在高準位，一直到了counter=13 才變為低準位，如圖 3.17 所示，也就表示發光二極體會在counter=0 到counter=12 時發光。

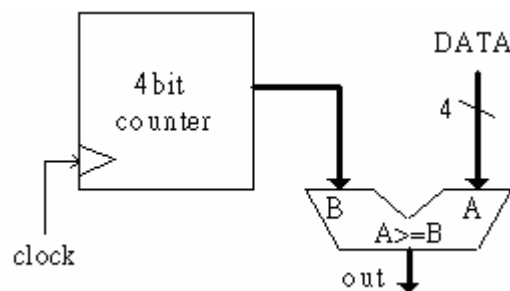


圖 3.16 傳統脈衝寬度產生電路圖

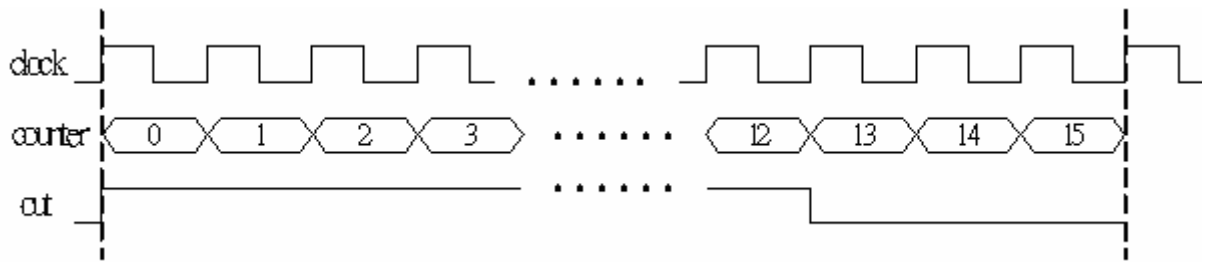


圖 3.17 DATA[3:0]=0110=12₁₀的時序圖

本論文提出一動態時間計數器架構，可動態的調整計數器的快慢，使曝光脈衝寬度有更多的變化，計數器的觸發訊號是由晶片的控制訊號 CLKI 與 STB 決定，如圖 3.18 所示，CLKI 訊號擷取 STB 訊號產生 stb_in 訊號，利用 stb_in 訊號當作計數器的觸發訊號，則可改變計數器的計數狀況，圖中 counter=1 的時間被調整成 counter=0 的兩倍。

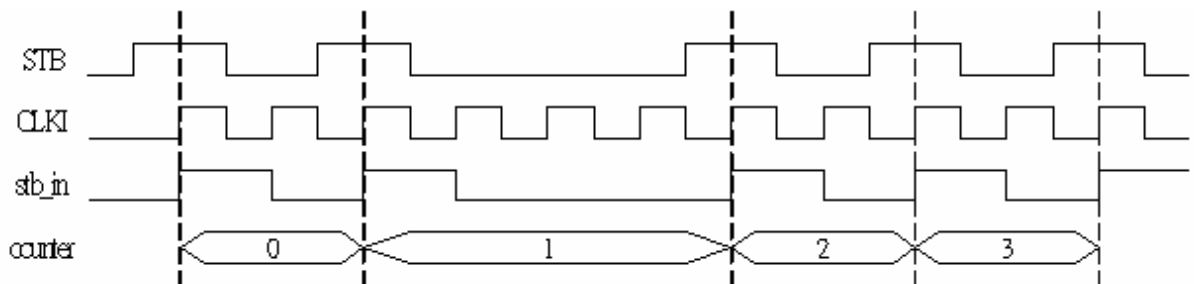


圖 3.18 動態時間計數器時序圖

3.4 補償電路

在連接控制電路、移位暫存器、栓鎖器及驅動電路後，如圖 3.19 所示，發光二極體驅動晶片已大致完成，由於晶片或發光二極體陣列在製造過程中所產生的差異會造成發光的不一致性，因此需要補償電路來作調整，文中提出許多的不同的補償架構，以改善晶片與發光二極體陣列不一致性的缺點。

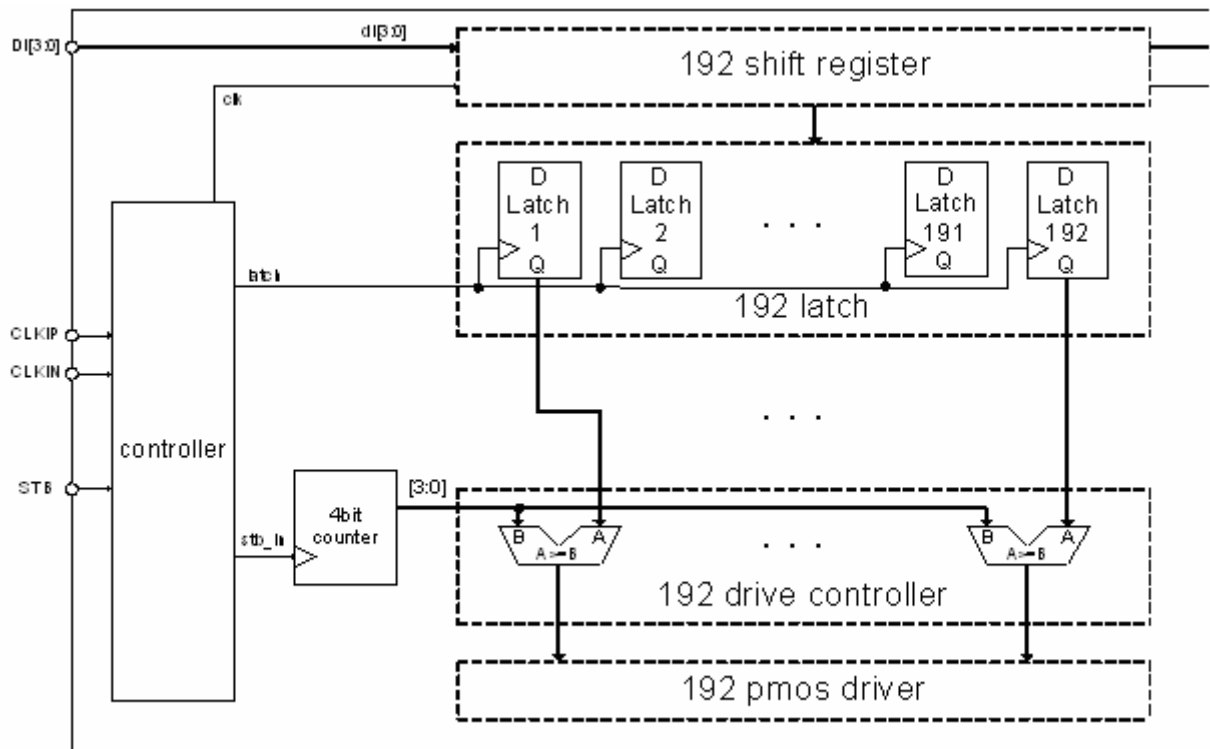


圖 3.19 發光二極體驅動晶片結構示意圖



3.4.1 晶片不一致性的補償(Chip Compensation)

由於製程的關係會造成每一顆晶片的差異性，這樣的差異性會影響發光二極體發光的情形，所以電路中必須加入一些補償的電路，補償的方式有兩種：

a. 脈衝起始限制電路

在栓鎖器的輸出加上一脈衝起始限制電路，如圖 3.20 所示，利用此電路調整晶片開始曝光的時間，脈衝起始限制電路是利用一個 8-bit 的計數

器與晶片在 CHIP_DATA 狀態預先儲存的補償資料做比較，當計數器的值比暫存器的值大時，比較器的輸出為高準位，配合 AND 閘，便可調整一顆晶片裡所有發光二極體的發光起始時間，其中計數器的觸發訊號是直接由晶片控制訊號 CLKI 決定。為了說明脈衝起始限制電路的動作，參考圖 3.21，其中 4-bit_counter 是動態時間脈衝寬度產生電路的計數器訊號，而 8-bit_counter 是脈衝起始限制電路的計數器訊號，pulse_out 是動態時間脈衝寬度產生電路輸出的脈衝寬度訊號，comp_out 是脈衝起始限制電路輸出的訊號，and_out 是用來驅動發光二極體的最後輸出，假設晶片在 CHIP_DATA 狀態預先儲存的補償資料 comp=4₁₀，脈衝寬度等於 4，則 pulse_out、comp_out、and_out 波形如圖 3.21 所示。

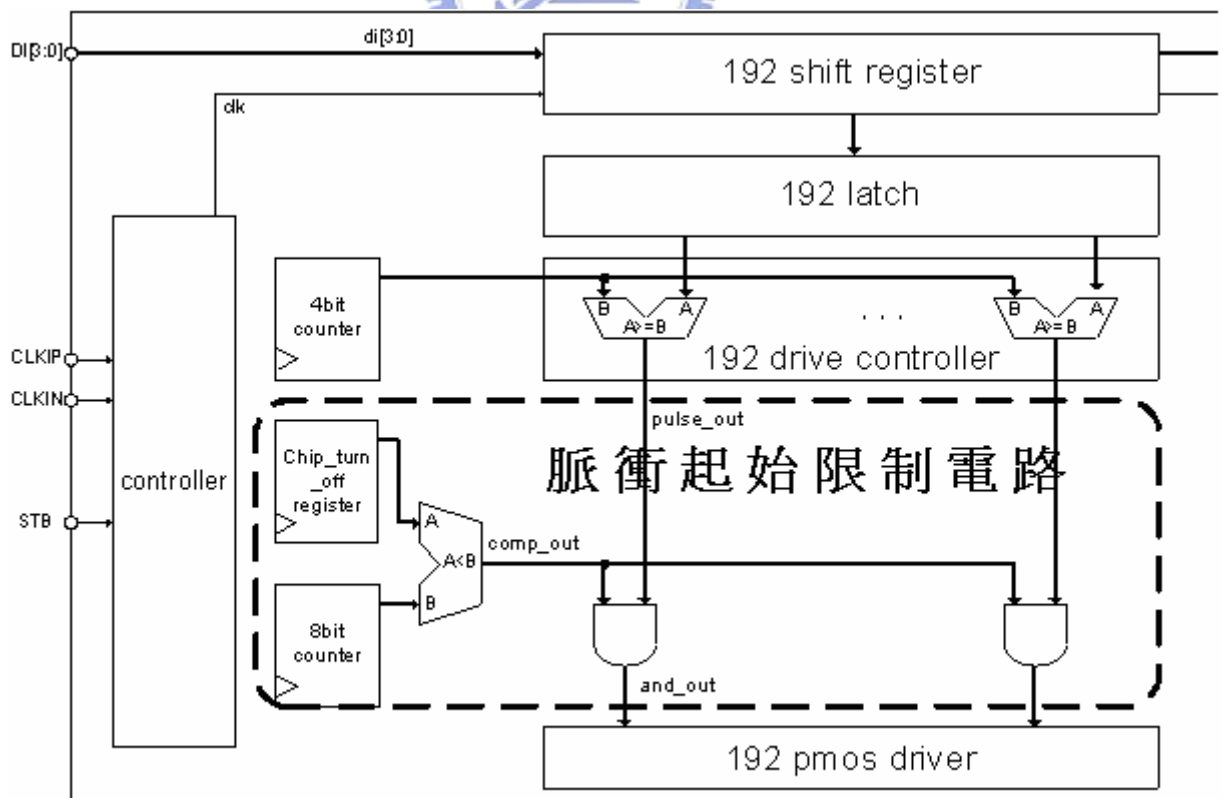


圖 3.20 脈衝起始限制電路

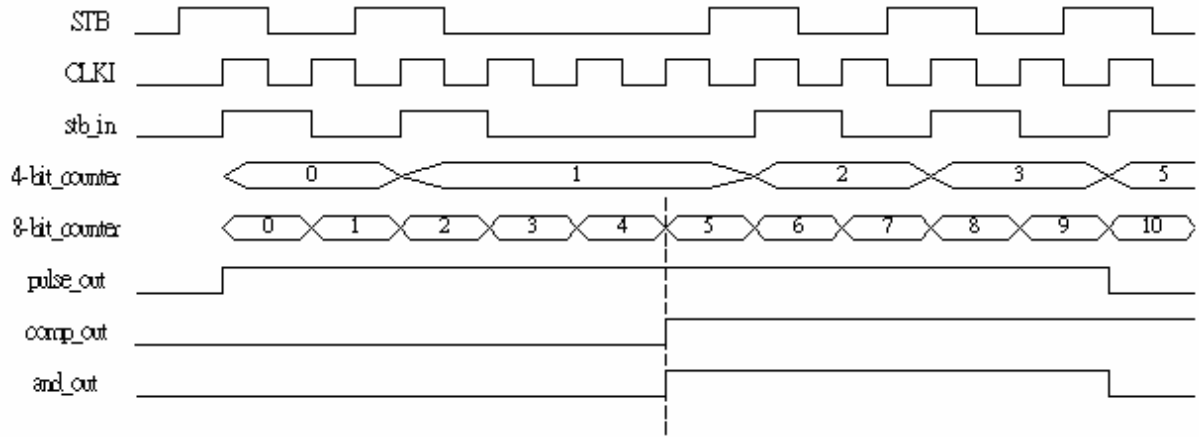


圖 3.21 脈衝起始限制電路時序圖



b. 參考電流調整器

在驅動電路中若調整參考電流 I_{ref} ，則可改變驅動電流 I_d 的大小。 I_{ref} 的調整方式可利用一個 4-bit 的二元加權數位類轉換器(binary weighted Digital to Analog Converter) [13][14]，使用二元加權數位類比轉換器，可有效的縮小電路面積，輸入的數位訊號可直接控制開關，不需要額外的解碼電路。整個補償電路稱作參考電流調整器，架構如圖 3.22 所示。

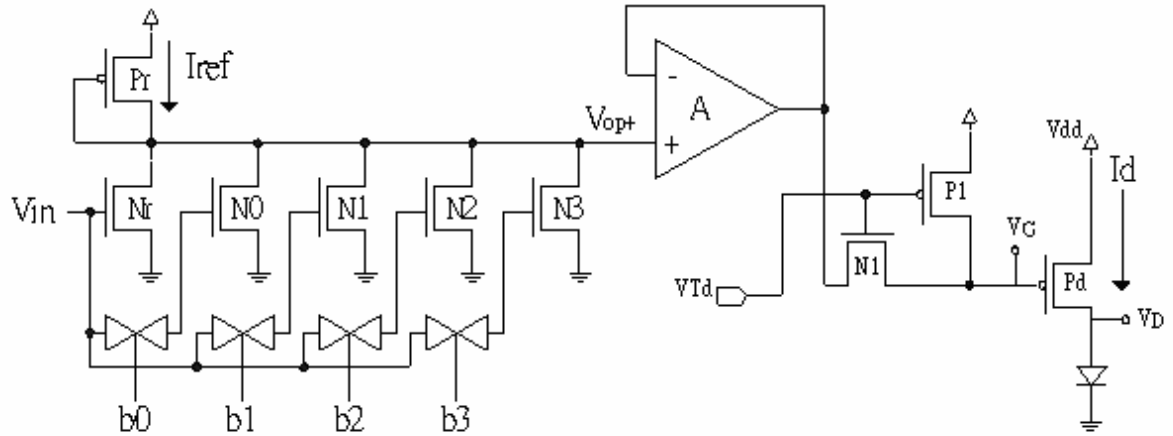


圖 3.22 參考電流調整器

圖中 b0~b3 為輸入的數位訊號，分別對應到不同大小的 NMOS N0~N3，N0~N3 通道長度相同，而通道寬度的比列為 N0:N1:N2:N3=1:2:4:8，藉由 b0~b3 不同的組合，可調整參考電流 Iref，假設 op 為理想，VTp 為高準位，

Iref 的推導式如下：

$$I_{Nr} = \frac{1}{2} \mu_n C_{ox} \frac{W_{Nr}}{L} (V_{in} - V_t)^2 \quad (\text{式 3.12})$$

$$I_{N0} = \frac{1}{2} \mu_n C_{ox} \frac{W_{N0}}{L} (V_{in} - V_t)^2 \quad (\text{式 3.13})$$

由於 NMOS N0~N3 通道寬度的比列為 1:2:4:8，因此 IN0~IN3 的關係如下：

$$I_{N0} = \frac{1}{2} I_{N1} = \frac{1}{4} I_{N2} = \frac{1}{8} I_{N3} \quad (\text{式 3.14})$$

在 N0~N3 全導通的情況下，Iref 為所有 NMOS 電流總合：

$$I_{ref} = I_{Nr} + b0 \cdot I_{N0} + b1 \cdot I_{N1} + b2 \cdot I_{N2} + b3 \cdot I_{N3} \quad (\text{式 3.15})$$

利用式 3.12 與式 3.13 可計算出 N0 的通道大小，如式，N1、N2 與 N3 的通道寬度值則可利用 N0 的通道寬度值推算出

$$I_{N0} = \frac{[W_{N0}/L_{N0}]}{[W_{Nr}/L_{Nr}]} I_{Nr} \quad (\text{式 3.16})$$

參考電流 I_{ref} 經由 spice 模擬結果如圖 3.23 所示，模擬的環境設定為：
 $V_{in}=1.23V$ 、 $V_{dd}=3.3V$ 、 $Temperature=25$ 、發光二極體等效電阻 $R_d=200\Omega$ 。
 由於電路中使用二元加權數位類比轉換器，所以會有突波(glitch)的現象
 [13][14]，但由於參考電流調整器，只是當作補償電路之用，並沒有速度
 上的要求，突波的現象並不會影響驅動電流的輸出，因此只要輸出的參考
 電流符合設計要求即可，詳細的參考電流值列於表 3.1，將表 3.1 整理為圖
 3.24 可看出此參考電流之輸出結果為線性。

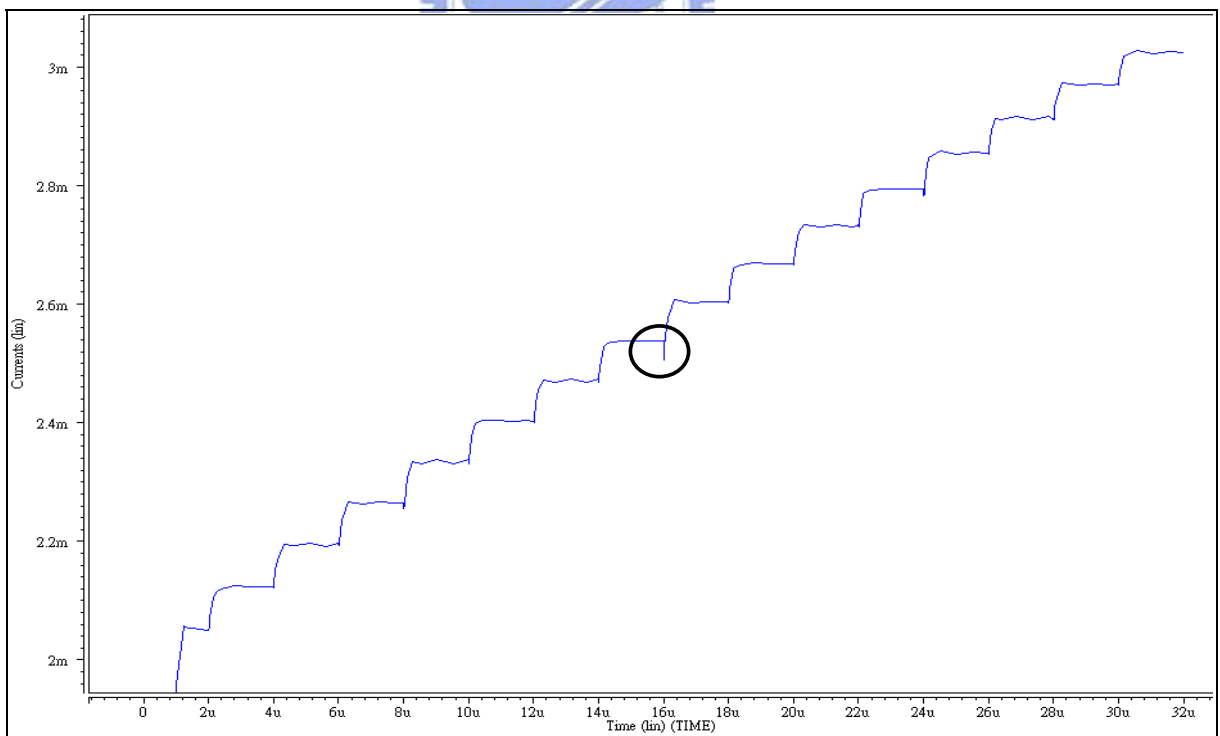


圖 3.23 參考電流 I_{ref} 突波模擬結果

表 3.1 參考電流 I_{ref} 模擬結果

b3~b0	0000	0001	0010	0011	0100	0101	0110	0111
電流(mA)	2.052	2.124	2.197	2.266	2.338	2.403	2.473	2.538
b3~b0	1000	1001	1010	1011	1100	1101	1110	1111
電流(mA)	2.604	2.669	2.734	2.794	2.856	2.915	2.971	3.026

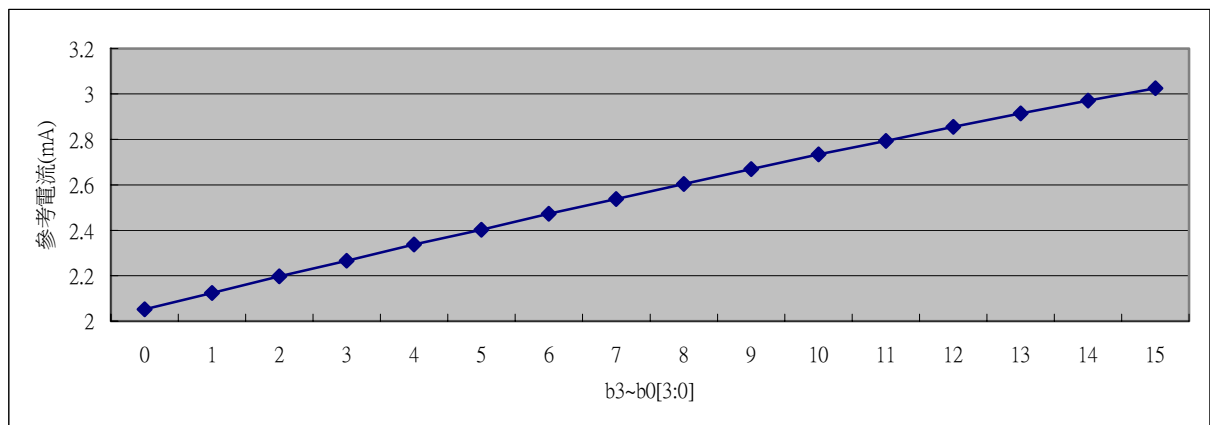


圖 3.24 參考電流 I_{ref} 模擬結果

3.4.2 發光二極體陣列不一致性的補償(Pixel Compensation)

由於發光二極體陣列的製造過程，也會造成發光二極體間的差異性，在同樣的驅動電路下，會有不同的發光情形，本論文對此現象做了補償，補償的方式是在原來的驅動電路中，加上 4-bit 電流式數位類比轉換器 [13][14]，稱作輸出電流調整器，如圖 3.25 所示，根據每顆發光二極體出廠時所量測的特性，為每顆發光二極體驅動電流作不同的調整。每個發光二極體驅動電路額外的 4-bit 補償訊號，可在晶片的 CHIP_DATA 狀態時，存到另外增加的暫存器裡。

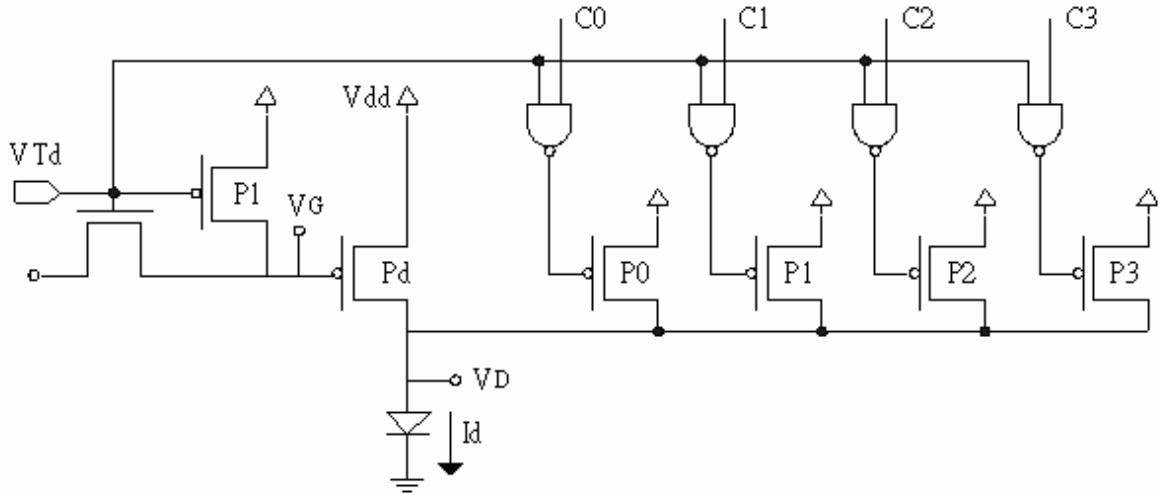


圖 3.25 輸出電流調整器

圖 3.25 中，c0~c3 為輸入的補償訊號，分別對應到不同大小的 PMOS P0~P3，P0~P3 有相同的通道長度，通道寬度大小的比例為 P0:P1:P2:P3=1:2:4:8，藉由 P0~P3 不同的組合，可產生所需的驅動電流，當開關 VTd 為高準位的時候，驅動電流 Id 的推導式如下：

$$I_{Pd} = \frac{1}{2} \mu_p C_{ox} \frac{W_{Pd}}{L_{Pd}} (V_{dd} - V_G - |V_{tp}|)^2 \quad (\text{式 3.17})$$

$$I_{P0} = \frac{1}{2} \mu_p C_{ox} \frac{W_{P0}}{L_{P0}} (V_{dd} - V_G - |V_{tp}|)^2 \quad (\text{式 3.18})$$

由於 PMOS P0~P3 通道寬度的比列為 1:2:4:8，因此 IP0~IP3 的關係如下：

$$I_{P0} = \frac{1}{2} I_{P1} = \frac{1}{4} I_{P2} = \frac{1}{8} I_{P3} \quad (\text{式 3.19})$$

在 P0~P3 全導通的情況下，Id 為所有 PMOS 電流總合：

$$I_d = I_{Pd} + C_0 \cdot I_{P0} + C_1 \cdot I_{P1} + C_2 \cdot I_{P2} + C_3 \cdot I_{P3} \quad (\text{式 3.20})$$

利用式與式可計算出 P0 的通道大小，如式，P1、P2 與 P3 的通道寬度值則

可利用 P0 的通道寬度值推算出：

$$I_{P0} = \frac{[W_{P0} / L_{P0}]}{[W_{Pd} / L_{Pd}]} I_{Pd} \quad (\text{式 3.21})$$

spice 模擬結果，如圖 3.26 所示，模擬的環境設定為：Vdd=3.3V、Temperature=25、發光二極體等效電阻 Rd=200Ω，同樣的由於電路並沒有速度上的要求，因此突波的現象可以忽略。詳細的電流值列於表 3.2。將表 3.2 整理為圖 3.27 可看出此數為位類比轉換器之輸出結果為線性，符合設計的要求。

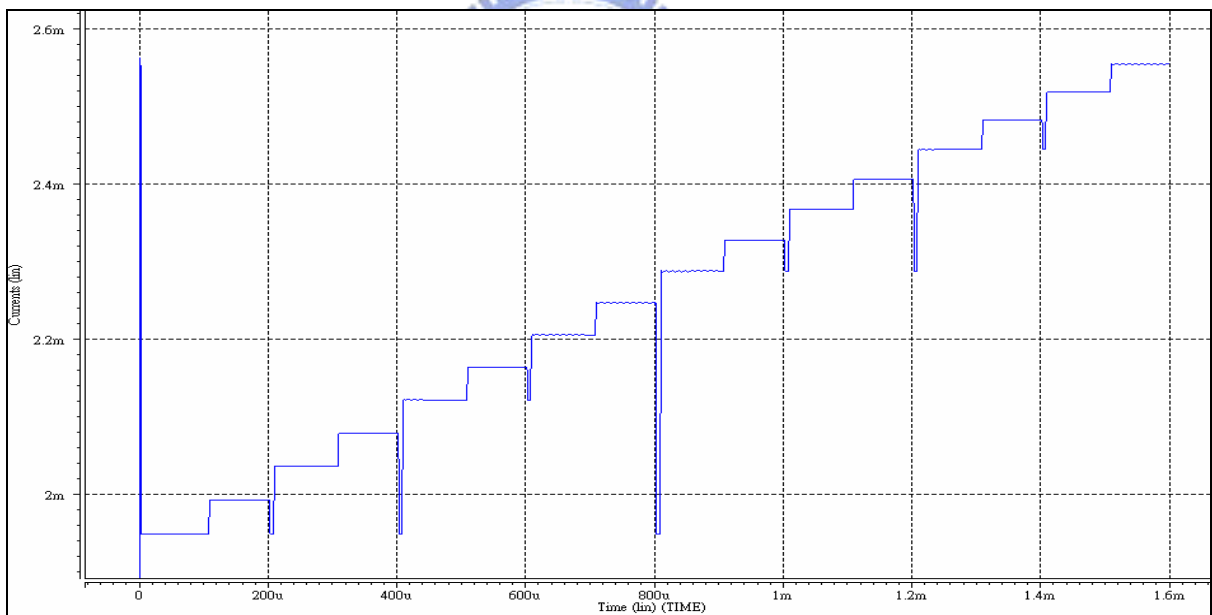


圖 3.26 輸出電流調整器突波模擬結果

表 3.2 輸出電流調整器模擬結果

c3~c0	0000	0001	0010	0011	0100	0101	0110	0111
電流(mV)	1.949	2.007	2.067	2.089	2.122	2.175	2.216	2.255
c3~c0	1000	1001	1010	1011	1100	1101	1110	1111

電流(mV)	2. 297	2. 339	2. 393	2. 415	2. 453	2. 485	2. 519	2. 562
--------	--------	--------	--------	--------	--------	--------	--------	--------

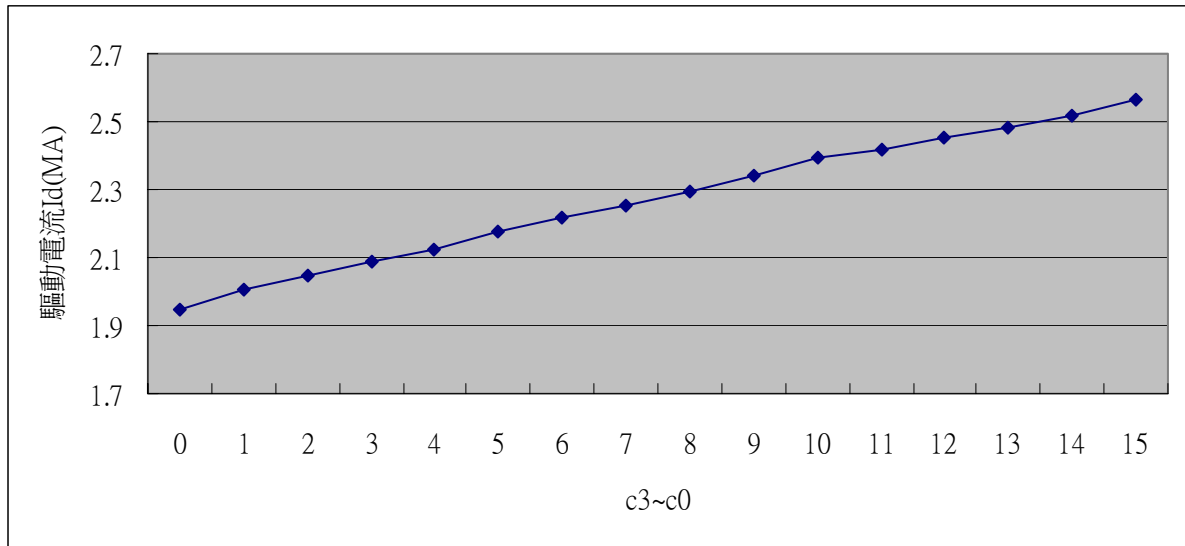


圖 3.27 輸出電流調整器模擬結果

3.5 晶片串接的情形

由於一個發光二極體陣列並不是由單一顆驅動晶片來驅動，而是採用多顆串接的方式，來驅動所有的發光二極體，本論文所設計的驅動晶片一次可驅動 192 顆發光二極體，共需 26 顆驅動晶片串接，才能驅動一條發光二極體陣列，在這樣的情況下，必須討論控制訊號 CLKI 與 STB 的關係，以避免訊號在傳遞的過程發生錯誤。

3.5.1 控制訊號 CLKI 與資料訊號 DI[3:0]的關係

在串接 26 顆晶片的情況下，資料訊號 DI 的傳遞方式與控制訊號 CLKI 相同，是採上一級傳給下一級循序的方法，如圖 3.28 所示，這樣的設計必須考慮兩訊號在不同的傳遞延遲時間下傳送到下一級時，在下一級中資料能否正確的擷取，所以必須在設計時考慮訊號的延遲時間。

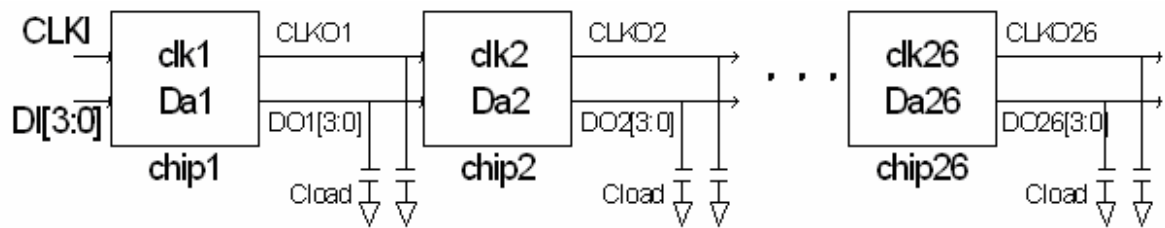


圖 3.28 控制訊號 CLKI 與資料訊號 DI[3:0] 循序傳遞架構圖

CLKI 輸入訊號，在輸入電路內部後被分為兩個部分，一個是供給內部電路使用的訊號 clk1；另一個是輸出給下一級電路使用的訊號 CLKO，其中供給內部電路使用的 clk1 訊號是用來擷取資料 DI[3:0]，其延遲時間必須盡量縮短以加快電路的速度，表 3.3 為不同的輸出負載 Cload 下，利用 spice 模擬所得的延遲時間。

表 3.3 不同負載下的外部 CLKI 訊號至內部 clk 訊號的延遲時間

Cload	CLKI→clk1	CLKO1→clk2
5pF	2.4ns	2.0ns
10pF	2.4ns	2.1ns

內部 clk 訊號在擷取 DI[3:0] 時，需要約 1ns 的延遲才能得到擷取的結果 Da[3:0]，而取得的結果 Da[3:0] 在輸出負載 Cload 的影響下，需要經過一段延遲時間 td，才能輸出給下一級當輸入，表 3.4 為 Da 至 DO 在不同負載下，利用 spice 模擬所得的延遲時間 td。

表 3.4 不同負載下 DA 至 DO 的延遲時間(td)

Cload	5pF	10pF
td	2.0ns	2.6ns

在 26 級晶片串接的情況下，為了讓每一級都能擷取正確的列印資料 D，所以 CLKI 至 CLK0 延遲時間的設計，必須比 DI[3:0] 至 DO[3:0] 的延遲時間還要長，CLKI 至 CLK0 的最短延遲時間，可由式 3.22 計算出，。圖 3.29 為不同輸出負載 Cload 為 5pF 及 10pF 的情況下，由 spice 模擬出 CLKI 至 CLK0 的最短延遲時間，將兩圖整理為表 3.5，可看出輸出電容負載變大會加長 DA→DO 的時間。

$$T_{CLKI \rightarrow CLK0} > T_{CLKI \rightarrow clk1} + T_{clk1 \rightarrow DA} + T_{DA \rightarrow DO} \quad (\text{式 3.22})$$

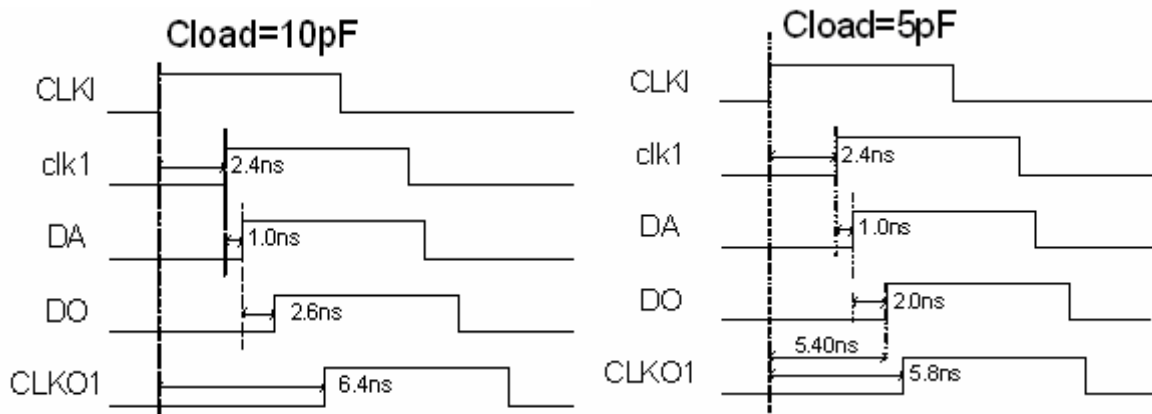


圖 3.29 CLKI 至 CLK0 在輸出電容負載 5pF 及 10pF 下的延遲時間

表 3.5 延遲時間表

Cload	CLKI→clk1	clk1→DA	DA→DO	CLKI→CLKO1
-------	-----------	---------	-------	------------

5pF	2.4ns	1.0ns	2.0ns	5.8ns
10pF	2.4ns	1.0ns	2.6ns	6.4ns

3.5.2 控制訊號 CLKI 與 STB 的關係

由於控制訊號 CLKI 與 STB 決定晶片狀態的轉換和曝光的時間，在延遲時間的考量下，CLKI 與 STB 有兩種不同的傳遞方式：

a. 共享控制訊號 STB

CLKI 訊號的採用上一級傳給下一級循序的方式，而 STB 訊號採用 26 顆晶片共享的方式，如圖 3.30 所示。

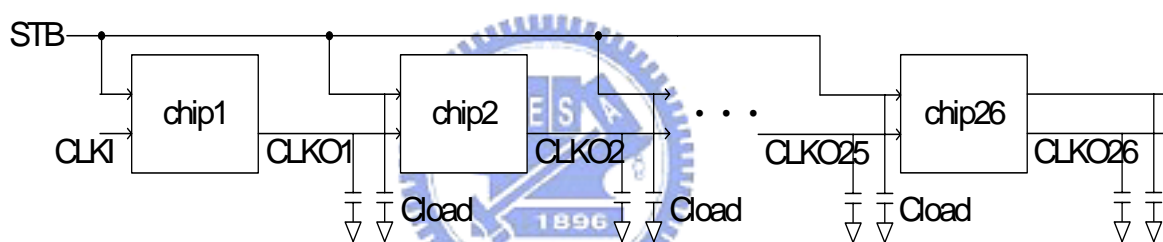


圖 3.30 共享 STB 訊號架構圖

這樣的架構在 EXPOSURE 狀態時，會有問題產生，假設原來 CLKI 為 20MHz 的狀況下，由於每一級晶片傳給下一級的時脈訊號 CLK 都有延遲時間，因此第 1 級晶片的時脈訊號 CLKI，傳遞到第 26 級 CLK025 時，會有最大的延遲時間，假設每一級時脈訊號延遲時間為 6ns，則時脈訊號由第 1 級傳遞到第 26 級會延遲了 150ns，這樣的情況，有可能造成每一級的 CLKI 擷取到不同的 STB 訊號。圖 3.31 顯示，第 1 級時脈輸入訊號 CLKI 與第 26 級時脈輸入訊號 CLK025 擷取到不同的 STB 訊號的狀況， Td_clk 為 CLKI 到 CLK025 的

延遲時間。相同的，在狀態轉換的過程，STB 訊號在每一級也可能因為擷取到不正確的 CLKI 訊號，造成晶片動作的錯亂。

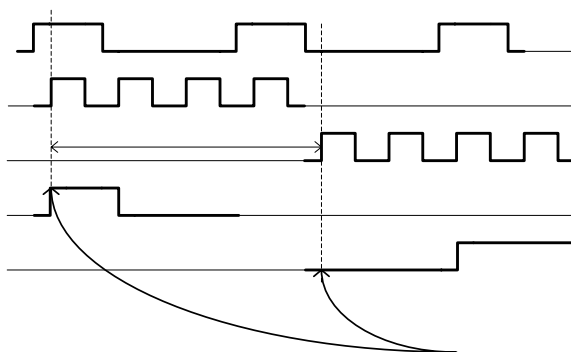


圖 3.31 共享 STB 訊號的結果

若要達到每一級的 CLKI 皆能擷取正確的 STB 訊號，CLKI 需由原來的 20MHz 降到 6.25MHz，如圖 3.32 所示，這樣要完成曝光一次的時間需要花掉 $320\text{ns} \times 16 = 5120\text{ns}$ 。

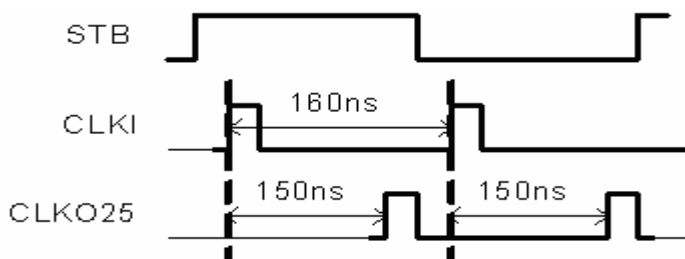


圖 3.32 CLKI 由 20MHz 降至 6.25MHz

b. 循序傳遞控制訊號 STB

CLKI 與 STB 訊號皆採用上一級傳給下一級的循序傳遞方式，如

sha

CL

St

Stb

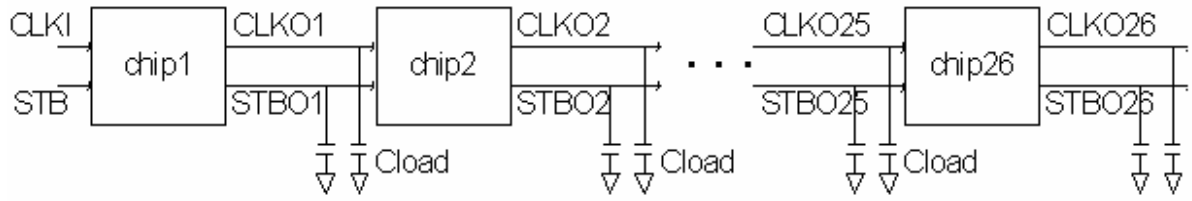


圖 3.33 所示。這樣的設計必須使 CLKI 與 STB 訊號由上一級輸出至下一級的延遲時間盡量一樣，以避免訊號的傳遞發生錯誤，而造成資料擷取的不正確。圖 3.34 顯示在不同的輸出電容負載 C_{load} 下，由 spice 模擬出的 CLKI 延遲時間與 STB 延遲時間，整理為表 3.6 與表 3.7 可發現 CLKI 與 STB 兩訊號的延遲時間在不同輸出負載電容下都差不多。此架構完成曝光一次的時間要花 $100\text{ns} \times 16 = 1600\text{ns}$ 。

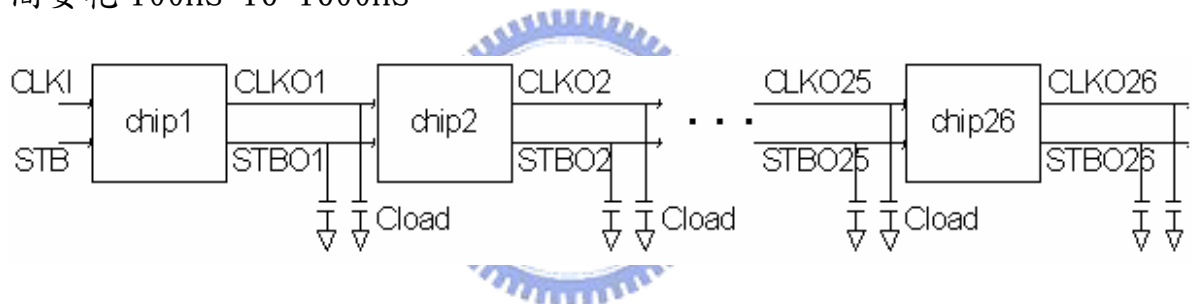
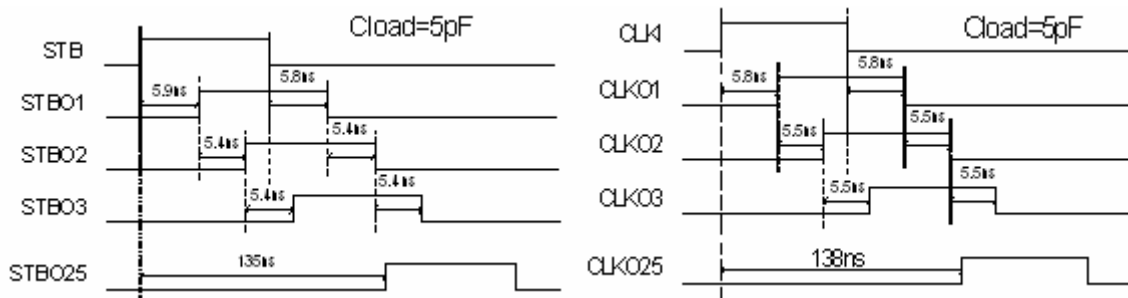


圖 3.33 CLKI 與 STB 訊號皆採用循序傳遞的方式



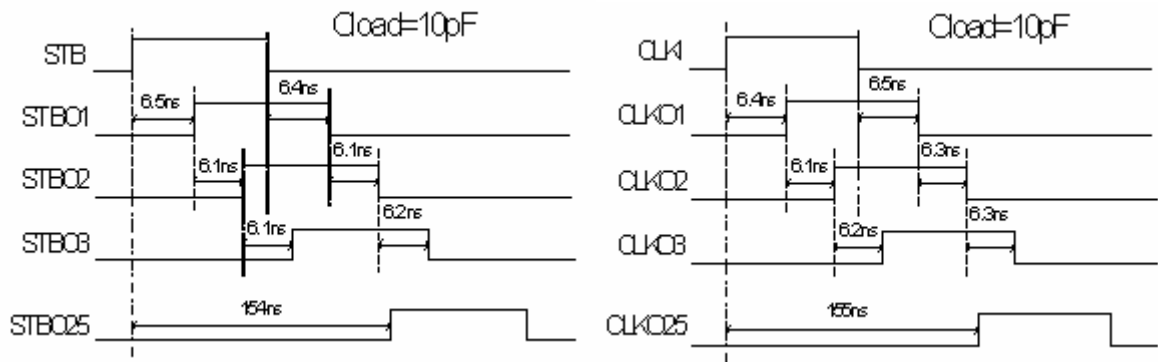


圖 3.34 CLKI 與 STB 在不同輸出電容負載下的延遲

表 3.6 輸出電容負載為 5pF 的 CLK 延遲時間

5pF	CLKI→CLKO1	CLKO1→CLKO2	CLKO2→CLKO3	CLKO1→CLKO25
Delay(ns)	5.8	5.5	5.5	138
	STB→STBO1	STBO1→STBO2	STBO2→STBO3	STBO1→STBO25
Delay(ns)	5.9	5.4	5.4	135

表 3.7 輸出電容負載為 10pF 的 CLK 延遲時間

10pF	CLKI→CLKO1	CLKO1→CLKO2	CLKO2→CLKO3	CLKO1→CLKO25
Delay(ns)	6.4	6.1	6.2	155
	STB→STBO1	STBO1→STBO2	STBO2→STBO3	STBO1→STBO25
Delay(ns)	6.5	6.1	6.1	154

3.6 功率消耗的考量

在曝光過程，假設每顆發光二極體電流為 2.5mA，發光二極體等效電阻為 1kΩ，則每顆發光二極體的功率消耗為 6.25mW，若發光二極體陣列裡的 4962 顆發光二極體同時發光，則整體功率消耗約為 32W，因此降低驅動電路的功率消耗是一項非常重要的工作。

3.6.1 多晶片分段曝光

在 4.1.2 小節裡提到的兩種控制訊號 STB 的傳遞方式，皆是為了解決訊號不一致的問題，而沒有考慮功率消耗對電路所帶來的影響，無法避免 4962 顆發光二極體同時發光的情形。

為了解決功率消耗的問題，一次只點亮四分之一，甚至更少的發光二極體，將可有效降低整體功率消耗，但缺點是會加長曝光的時間。將 STB 控制訊號增加成為四條 STB0~STB3，並將 26 顆晶片分成四組，使每一條 STB 訊號分別只控制六到七顆的晶片，當晶片在曝光的狀態時，分散每一組曝光的時間，如圖 3.35 所示，四組分別在四個時段曝光。每一組串接 6 到 7 顆晶片，所造成的時脈訊號延遲，如圖 3.36 所示，時脈訊號可維持在原來的 20MHz。曝光四分之一行的時間為 $100\text{ns} \times 16 = 1600\text{ns}$ ，曝光一行的速度為 $1600\text{ns} \times 4 = 6400\text{ns}$

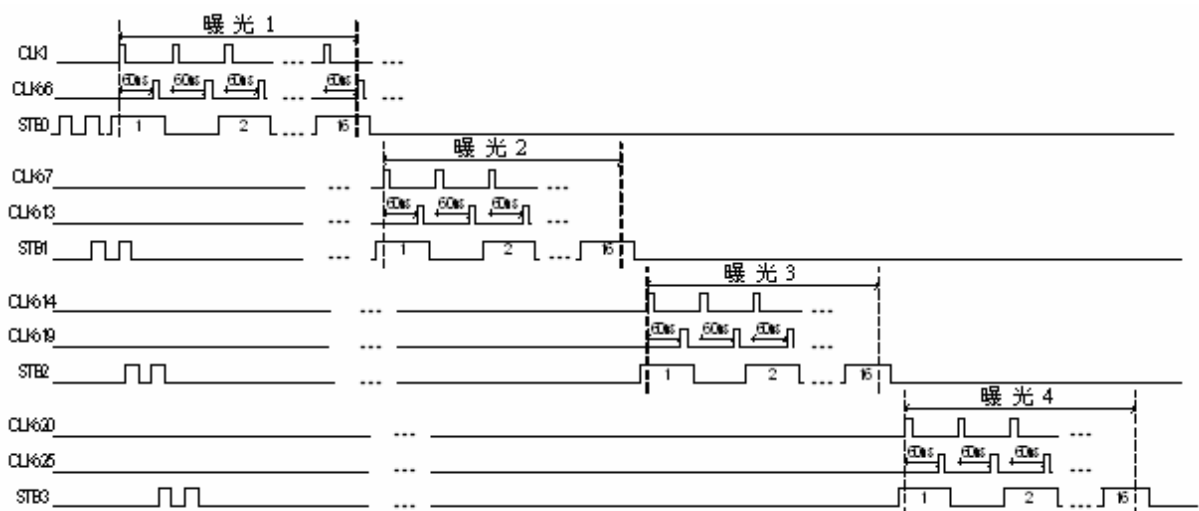


圖 3.35 多晶片分段曝光時序圖

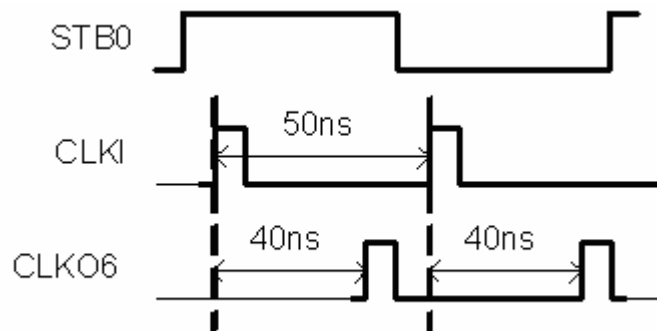


圖 3.36 時脈訊號延遲時間

比較三種架構的消耗功率與曝光時間，表 3.8，分段曝光的消耗功率可有效的降到原來的四分之一。

表 3.8 功率消耗與曝光時間

	STB 共享	STB 傳遞	分段曝光
消耗功率(W)	32	32	8
曝光時間(μs)	5.1	1.6	6.4

3.6.2 單一晶片分段曝光

上一小節直接改變控制訊號，以達到整體分段曝光的效果，並沒有改變晶片的電路架構，本節將介紹如何利用電路的技巧，降低功率的消耗。

將發光二極體陣列上 192 個發光二極體分成奇數 L1、L3...L191 與偶數 L2、L4...L192 兩組，利用多晶片分段曝光的觀念，將 192 個發光二極體的曝光時間分成兩段，第一段時間奇數組發光二極體 L1、L3...L191 先曝光，第二段時間再由偶數組發光二極體 L2、L4...L192 曝光，錯開奇數組與偶數組的發光時間，實現的方式是，奇數組與偶數組的發光二極體共用同一驅

動輸出點，並利用多工器(multiplexer)依據時段選擇要曝光的發光二極體，如圖 3.37 所示，發光二極體 L1 與 L2 共用一個輸出點 O1，在第一段時間 SEL0 訊號為高準位，SEL1 為低準位，奇數組發光二極體 L1、L3...L191 導通，偶數組發光二極體 L2、L4...L192 關閉，反之，第二段時間 SEL0 訊號為低準位，SEL1 為高準位，奇數組發光二極體 L1、L3...L191 關閉，偶數組發光二極體 L2、L4...L192 導通。

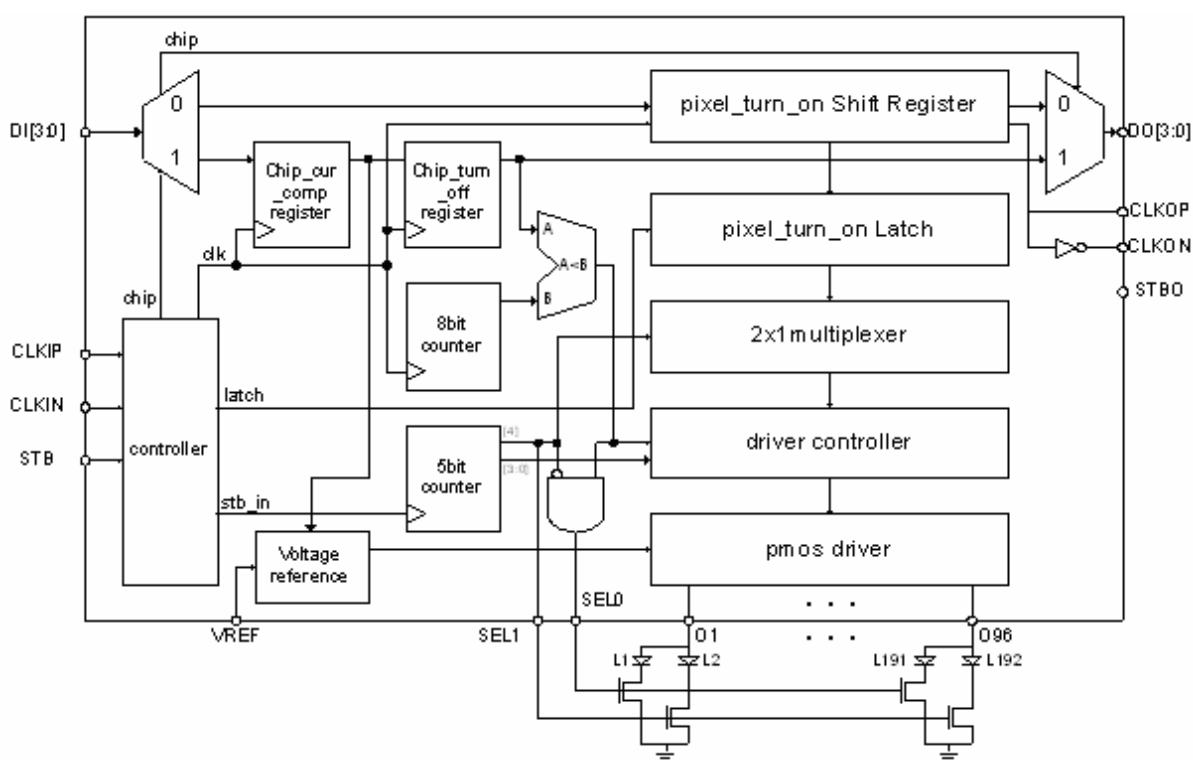


圖 3.37 單一晶片分段曝光架構圖

圖 3.38 是單一晶片分段曝光的時序圖，計數器由 0 到 15 會重複數兩次，第一次是給奇數組發光二極體曝光用，SEL0 訊號會維持在高準位，每個奇數組的發光二極體依據各自的脈衝寬度作曝光；同樣的，偶數組則是

在第二次作曝光的動作。這樣的做法不僅可以降低功率消耗，也可減少驅動晶片的輸出接腳數，縮小晶片面積，但缺點是會加長曝光的時間。

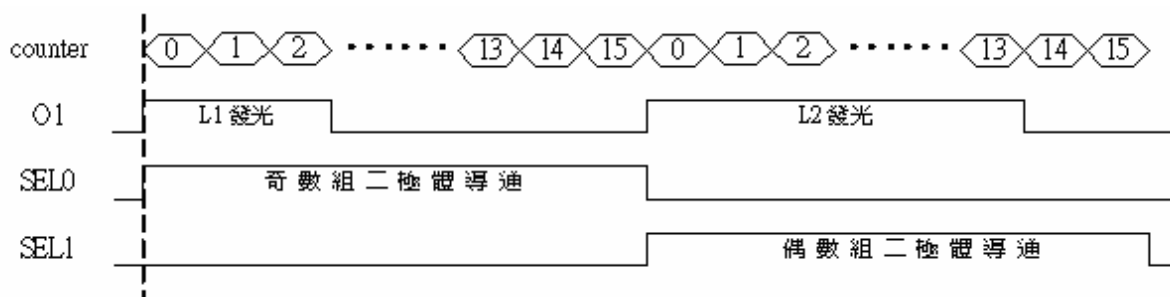


圖 3.38 單一晶片分段曝光時序圖

四、電路量測與驗證

本論文所設計的驅動晶片是利用 2M1P 0.5 μm 的製程技術，以 full-custom 的方式完成，晶片大小為 2mm X 2mm，如圖 4.1 所示，此晶片放了兩組不同的驅動架構，一組是有 Pixel Compensation 的架構，另一組是沒有 Pixel Compensation 的架構，由於晶片的大小限制，所以每組架構只放了八個發光二極體驅動輸出。圖上晶片的右邊為測試晶片特性的電路，是用來比對電路在模擬時與實際操作情況下的差異。晶片的量測方式是撰寫 Verilog code 利用 FPGA 產生驅動晶片所需的資料訊號 DATA[3:0] 與控制訊號 CLKIP、CLKIN 及 STB，直接輸入驅動晶片，發光二極體則是以其等效電路代替，依據發光二極體的特性，等效電路可視為一 200 Ω 電阻串接一 1.2V 的電壓源，測試的架構如圖 4.2 所示。實際測試所用的 FPGA 為 XILINX SPARTAN XC2S300E 速度最快可到 66MHz，可提供驅動晶片夠快的輸入訊號，量測的示波器為 Agilent 54832D MSO(Mix-Signal Oscilloscope)

其具 1GHz Bandwidth，足夠驅動晶片上訊號之量測。

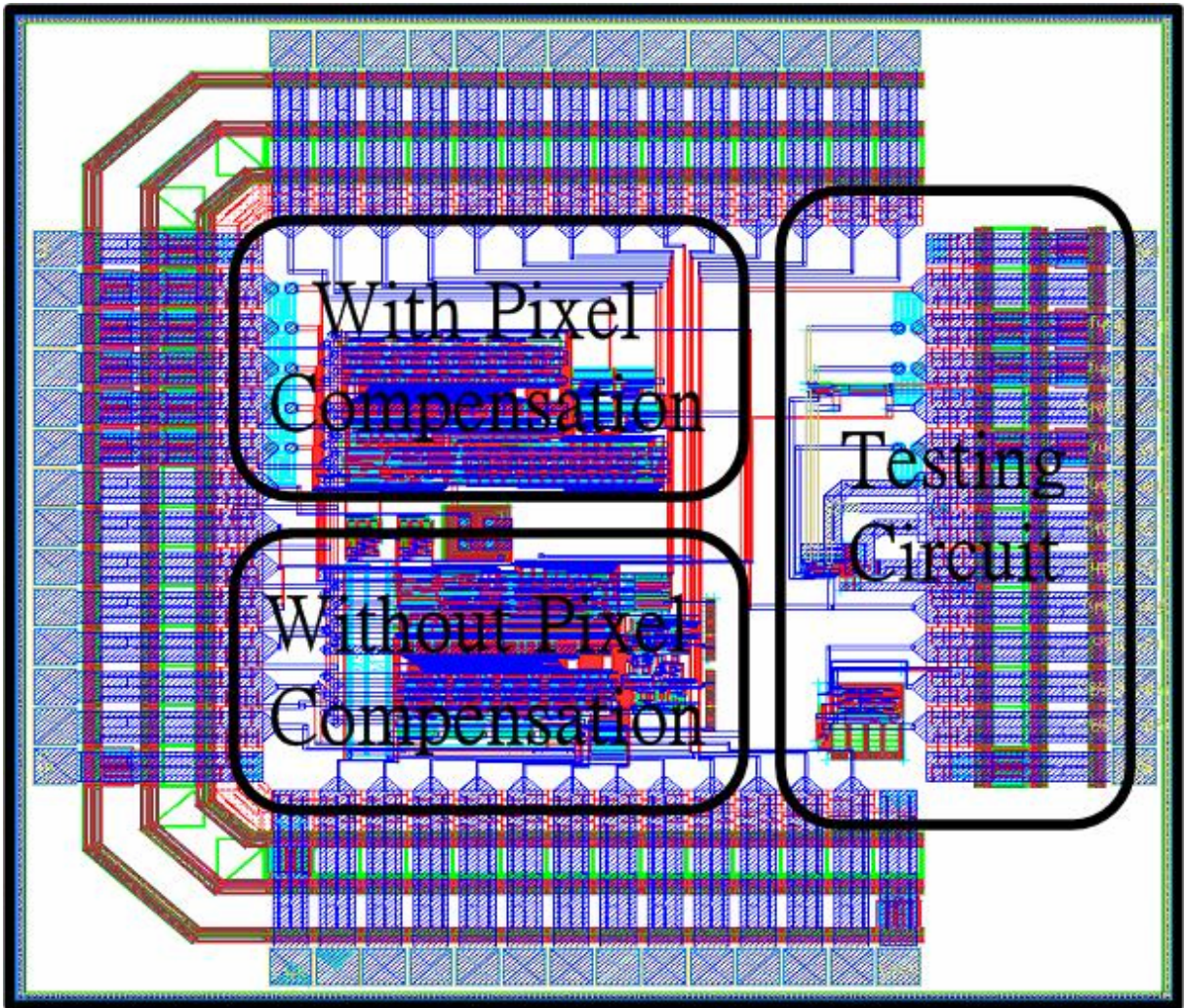


圖 4.1 晶片實際佈局圖

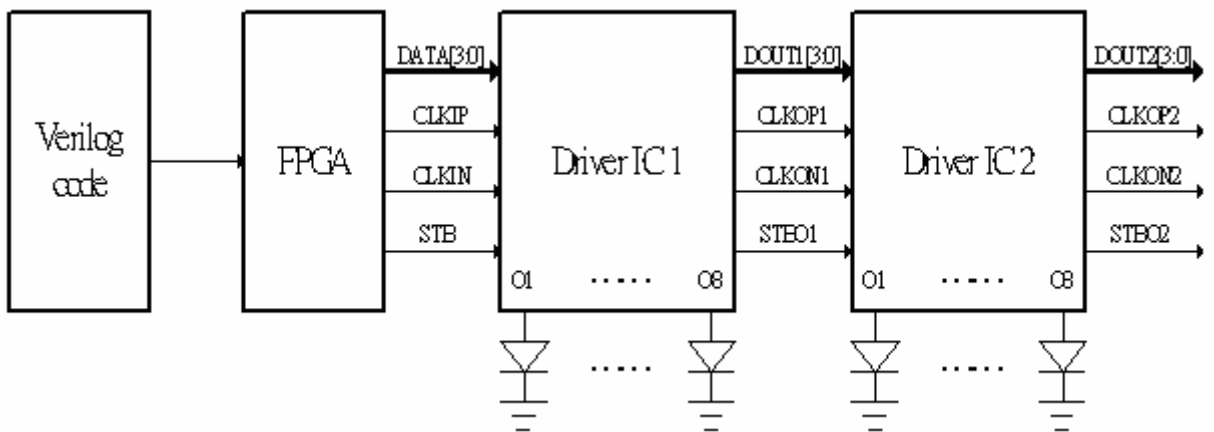


圖 4.2 測試架構

4.1 移位暫存器的量測與驗證

移位暫存器的量測可分為兩部分，一個是當晶片在 CHIP_DATA 狀態，補償資料存入補償電路裡的暫存器，並傳遞給下一級的狀況，一個是當晶片在 PIXEL_DATA 狀態，列印資料存入移位暫存器，並傳遞給下一級的狀況，圖 4.3 是當晶片操作在 CLKIP 等於 20MHz 的速度下，在 CHIP_DATA 狀態時，補償資料傳遞的實際狀況，由於補償電路裡有四級暫存器，而且在 CLKIP 的正、負緣皆能擷取資料，所以輸出的資料訊號 Dout 會比輸入的資料訊號 DATA 延遲兩個時脈訊號。

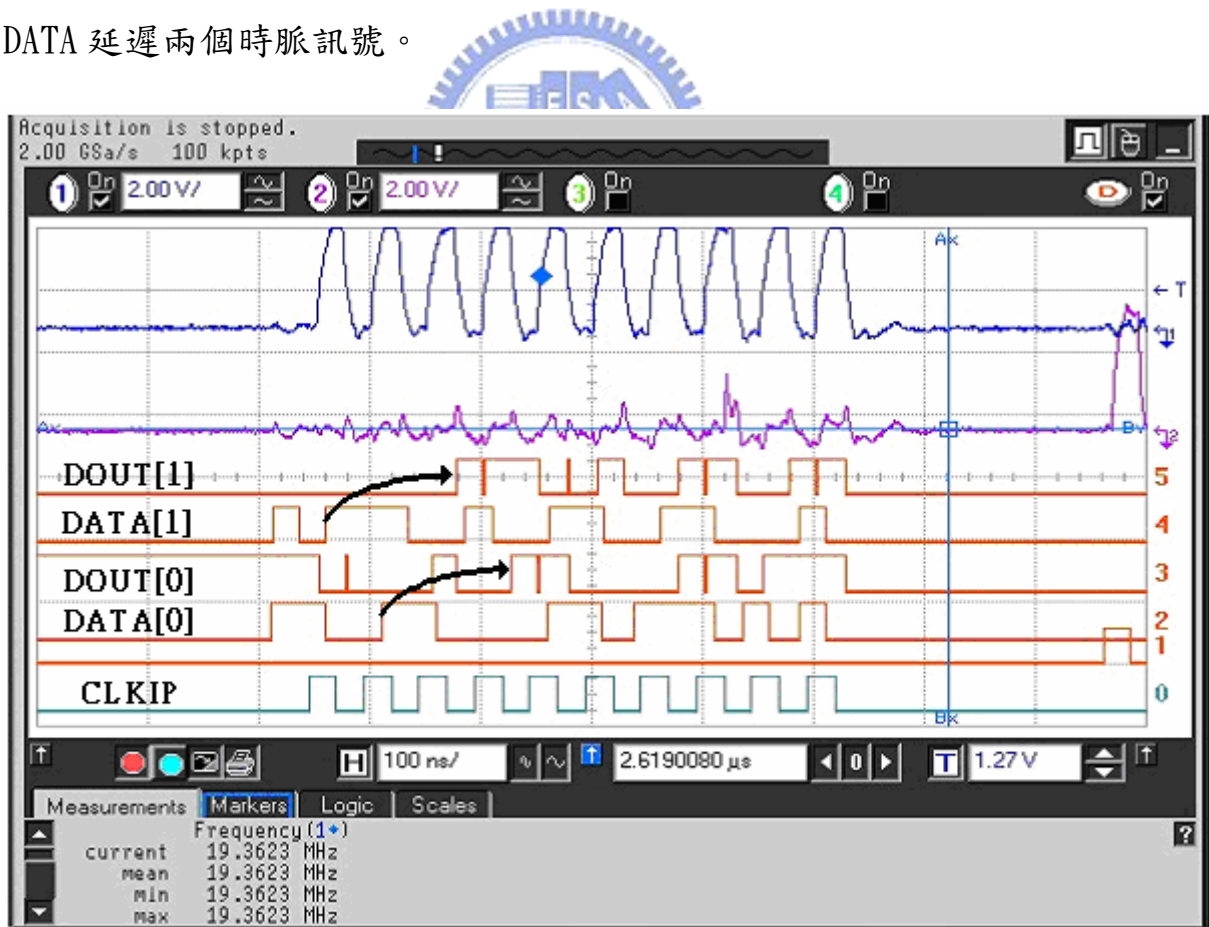


圖 4.3 移位暫存器在 CHIP_DATA 狀態下的傳遞狀況

圖 4.4 是當晶片操作在 CLKIP 等於 20MHz 的速度下，在 PIXEL_DATA 狀態時，列印資料傳遞的實際狀況，由於移位暫存器裡有八級暫存器，而且在 CLKIP 的正、負緣皆能擷取資料，所以輸出的資料訊號 DOUT 會比輸入的資料訊號 DATA 延遲四個時脈訊號。



圖 4.4 移位暫存器在 PIXEL_DATA 狀態下的傳遞狀況

4.2 輸入訊號與輸出訊號的量測與驗證

由於輸入訊號與輸出訊號間的延遲，還有訊號彼此間的時間間隔，是決定晶片能否正常工作的主要依據，因此本節分別針對訊號的延遲時間(Delay Time)與準備時間(Setup Time)做了量測。

4.2.1 延遲時間的量測與驗證

表 4.1 為控制訊號 STB 與 CLK 延遲時間的量測結果，表中列出了各訊號的正緣延遲時間與負緣延遲時間，測試環境為 VDD=3.3V、Temperature=25、CLK=20MHz，由量測的結果發現 STB 訊號正緣與負緣的延遲時間比模擬的結果還要長，而且正緣與負緣的延遲時間相差了 4ns 左右，CLK 訊號正緣與負緣的延遲時間相差了約 10ns，與模擬的結果有出入，推測是由於 CLK 訊號輸入晶片時，會先經過一個差動放大器，因為差動放大器的不匹配，而造成誤差。

表 4.1 延遲時間的量測結果

正緣延遲時間	STB→STB0 (+)	CLKI→CLK0 (+)
#01Real Time(ns)	14	2.7
#02Real Time(ns)	14.9	2.8
#03Real Time(ns)	12.7	2.6
Sim Time(ns)(10p)	6.5	6.4
負緣延遲時間	STB→STB0 (-)	CLKI→CLK0 (-)
#01Real Time(ns)	9.2	13.6
#02Real Time(ns)	9.4	13.5
#03Real Time(ns)	9.1	12.1
Sim Time(ns)(10p)	6.4	6.5

表 4.2 為輸出資料訊號 DATA0 到輸出控制訊號 CLK0 的間隔時間，這段間隔時間是用來判斷下一級晶片能否順利接收上一級晶片傳遞過來的資料，量測的結果發現，兩訊號的間隔時間只相差了零點幾個 ns，不同晶片間因為製程的因素，而有所誤差。

表 4.2 輸出資料訊號 DATA0 到輸出控制訊號 CLK0 的間隔時間

	DATA0(-)→ CLK0(+)	DATA0(+)-> CLK0(-)	DATA0(+)-> CLK0(+)	DATA0(-)-> CLK0(-)
#01Real Time(ns)	0.127	0.950	0.430	0.036
#02Real Time(ns)	0.764	0.400	0.210	0.220
#03Real Time(ns)	0.620	0.350	0.320	0.870
Sim Time(ns)	0.4	0.4	0.4	0.4

4.2.2 準備時間的量測與驗證

分別對 CLK 擷取 STB、STB 擷取 CLK 及 CLK 擷取 DATA 的準備時間做量測，結果列於表 4.3，測試環境為 VDD=3.3V、Temperature=25、CLK=20MHz，量測後發現 STB 擷取 CLK 的準備時間與模擬的結果很接近，但 CLK 擷取 STB 及 CLK 擷取 DATA 的準備時間比模擬的結果來的快，推測這樣的誤差是來自於上一小節中提到的 CLK 延遲時間的誤差。

表 4.3 準備時間的量測結果

	CLK_ STB	STB_ CLK	CLK_ DATA
#01Real Time(ns)	1.560	4.600	2.373
#02Real Time(ns)	1.564	3.350	2.709
#03Real Time(ns)	1.236	3.840	1.327

Sim Time(ns)(10p)	4	4	4
-------------------	---	---	---

4.3 參考電流調整器的量測與驗證

表 4.4 為經過參考電流調整器調整過後的發光二極體驅動電流實際量測值，量測的環境設定為：

$V_{in}=1.23V$ 、 $V_{dd}=3.3V$ 、Temperature=25、發光二極體等效電阻 $R_d=200\Omega$

表 4.4 參考電流調整器量測值

b3~b0 [3:0]	#01 Output current(mA)	#02 Output current(mA)	#03 Output current(mA)	Average current(mA)	Error rate
0000	2.170	2.080	2.015	2.088	7.41%
0001	2.220	2.120	2.060	2.133	7.48%
0010	2.250	2.155	2.090	2.165	7.37%
0011	2.290	2.185	2.125	2.200	7.47%
0100	2.300	2.180	2.125	2.202	7.91%
0101	2.330	2.220	2.170	2.240	7.11%
0110	2.370	2.250	2.200	2.273	7.44%
0111	2.400	2.280	2.220	2.300	7.79%
1000	2.350	2.215	2.190	2.252	7.05%
1001	2.390	2.255	2.230	2.292	6.93%
1010	2.420	2.275	2.270	2.322	6.40%
1011	2.455	2.315	2.295	2.355	6.74%
1100	2.460	2.325	2.305	2.363	6.51%
1101	2.495	2.360	2.340	2.398	6.41%
1110	2.520	2.385	2.370	2.425	6.13%
1111	2.550	2.415	2.400	2.455	6.06%

表中的 Error rate 值，是用來量測晶片不一致性的程度，可利用下列式子算出：

$$Error_rate = \frac{I_{max} - I_{min}}{\frac{1}{2}[I_{max} + I_{min}]} \quad (\text{式 4.1})$$

將表 4.4 整理為圖 4.5 發現，當訊號 b3~b0 改變時，輸出電流會呈線性的增加，只有當訊號 b3~b0 在中間轉換時(0111₂=7₁₀→1000₂=8₁₀)，輸出電流沒有按照比列上升，主要的原因是因為在實際佈局(layout)時，沒有對參考電流調整器裡的數位類比轉換電路做適當的修正。

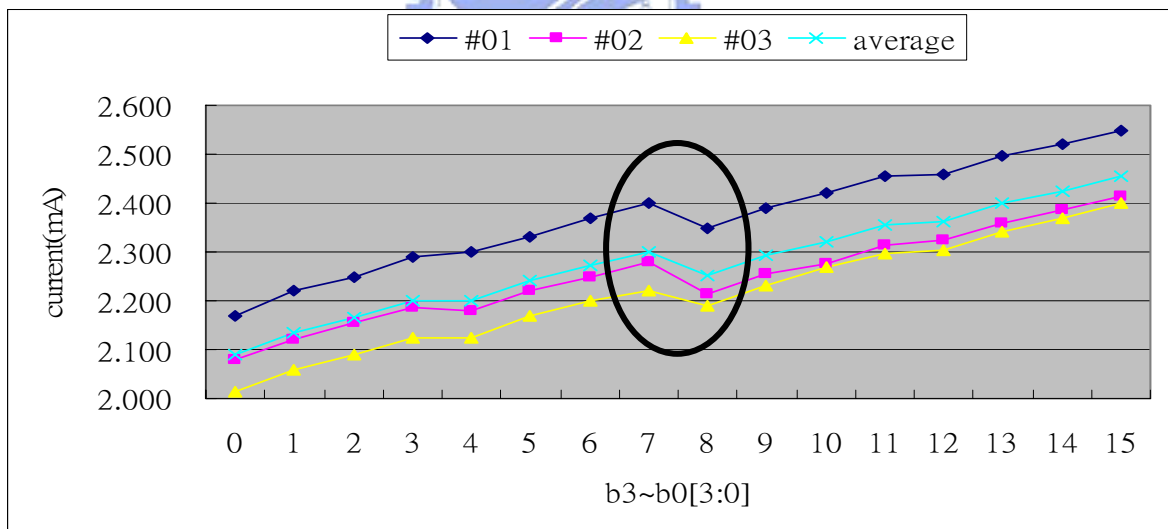


圖 4.5 參考電流調整器量測結果

不同晶片輸出電流的不一致性，大約在 6%~7.5%之間，而晶片設計時的補償程度最大可到 10%，因此 6%~7.5%的誤差，還在合理的範圍。

4.4 輸出電流調整器的量測與驗證

輸出電流調整器實際量測的結果，列於表 4.5，表 4.5 是在 Global compensation b3~b0=0111 的狀況下，所量測的發光二極體驅動電流，模擬環境設定為：Vdd=3.3V、Temperature=25、Rd=200Ω

表 4.5 輸出電流調整器量測值

Global compensation b3~b0=0111

C3~C0 [3:0]	#01 Output current(mA)	#01 Output current(mA)	#03 Output current(mA)	average current(mA)	Error Rate
0000	2.270	2.140	2.040	2.150	10.67%
0001	2.310	2.170	2.070	2.183	10.96%
0010	2.350	2.200	2.105	2.218	11.00%
0011	2.380	2.240	2.145	2.255	10.39%
0100	2.430	2.290	2.195	2.305	10.16%
0101	2.470	2.330	2.240	2.347	9.77%
0110	2.495	2.365	2.270	2.377	9.44%
0111	2.525	2.400	2.310	2.412	8.89%
1000	2.565	2.440	2.345	2.450	8.96%
1001	2.590	2.475	2.380	2.482	8.45%
1010	2.610	2.505	2.415	2.510	7.76%
1011	2.630	2.540	2.430	2.533	7.91%
1100	2.660	2.570	2.465	2.565	7.61%
1101	2.690	2.605	2.495	2.597	7.52%
1110	2.720	2.635	2.525	2.627	7.44%
1111	2.760	2.670	2.550	2.660	7.91%

將表 4.2 整理為圖 4.6 發現，當訊號 c3~c0 改變時，輸出電流呈線性的增加，由於輸出電流調整器裡的數位類轉換電路電路面積較小，實際佈局(layout)對電路影響較小，所以輸出電流調整器在中間轉換時(0111₂=7₁₀→1000₂=8₁₀)，並沒有類似參考電流調整器的問題。

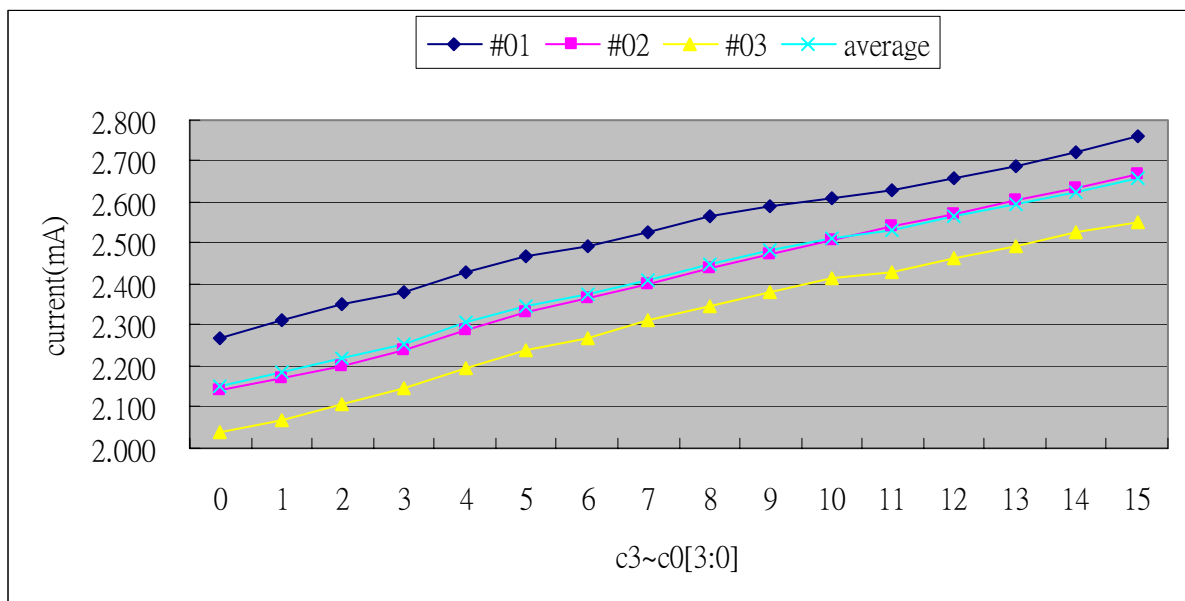


圖 4.6 輸出電流調整器量測結果

輸出電流的不一致性，大約在 7.5%~11%之間，但這樣的誤差計算事實上是沒有意義的，因為不同的晶片在相同的狀況下，參考電流調整器輸出的電流就已經不同，如上一小節所量測的，當 b3~b0[3:0]=0111，三顆晶片的輸出電流分別為

$$\#01=2.400\text{mA} \quad \#02=2.280\text{mA} \quad \#03=2.220\text{mA}$$

在這樣的狀況下，調整輸出電流調整器輸入訊號 c3~c0 之後，再量測輸出電流，誤差一定會較大，因此輸出電流調整器的量測重點在於每一間隔的

差值，如表 4.6，計算結果發現每一間隔的差值大約在 0.03mA~0.04mA 之間。

表 4.6 輸出電流調整器每一間隔差值

$c3 \sim c0[n+1] - c3 \sim c0[n]$	#01	#02	#03
0001-0000	0.040	0.030	0.030
0010-0001	0.040	0.030	0.035
0011-0010	0.030	0.040	0.040
0100-0011	0.050	0.050	0.050
0101-0100	0.040	0.040	0.045
0110-0101	0.025	0.035	0.030
0111-0110	0.030	0.035	0.040
1000-0111	0.040	0.040	0.035
1001-1000	0.025	0.035	0.035
1010-1001	0.020	0.030	0.035
1011-1010	0.020	0.035	0.015
1100-1011	0.030	0.030	0.035
1101-1100	0.030	0.035	0.030
1110-1101	0.030	0.030	0.030
1111-1110	0.040	0.035	0.025

五、結論與未來展望

5.1 結論

利用發光二極體陣列代替傳統雷射二極體成為電子顯像印表機的曝光光源，可縮小印表機的體積，加快列印速度，本論文利用發光二極體的特性並根據不同的驅動電路作比較，設計出合適的發光二極體陣列驅動晶片，驅動晶片的主要功能是在定電流下利用脈衝寬度調變的技巧，在不同曝光時間下表現 16 灰階，並利用電流鏡加上電流式數位類比轉換器的架構調整驅動電流，補償晶片不一致性的效果，而為了改善發光二極體陣列本身不一致性的問題，也在每個像素上提供了調整電路，可對驅動電流作微調，微調的電路同樣是以電流式數位類比轉換器完成。利用發光二極體陣列當作曝光光源最大的問題在於曝光過程的功率消耗，論文中提出許多技巧可以有效避免瞬間大電流的產生，降低瞬間功率消耗。

5.2 未來展望

受限於發光二極體陣列的製程技術，LED 印表機一直有解析度不高的缺點，但這樣的情形也許在製程技術的進步後可以獲得改善，LED 印表機解析度的提升，意味著發光二極體陣列裡的發光二極體數目也跟著增加，在這樣的情況下，曝光過程中會有更多的發光二極體一起發光，瞬間功率消耗的問題會變的更嚴重，如何利用電路的技巧再降低瞬間功率消耗是個值得繼續研究的課題[附錄一]。

在發光二極體數目變多的情況下，另外一個值得注意的是，當驅動晶片採用脈衝寬度調變的驅動方式時，所產生的脈衝波形，實際上會因為電路裡電阻和電容負載，有上升延遲時間與下降延遲時間的問題，當列印速度越來越快時，LED 印表機曝光時間將會縮短，在較短的時間曝光內，這樣非理想的脈衝波形，會因為延遲時間對曝光造成影響，因此如何有效加快上升延遲時間與下降延遲時間，是值得考慮的。

參考文獻

- [1] 謝樹崢 黃金龍, 雷射印表機(二), 光電科技資料叢書之二十五, 1993
- [2] M. Maier, E. Creutzmann, “Precision ” LED Character Generator” with High Resolution and Uniformity for High-Speed Electrophotographic Printers” , IEEE, 1989
- [3] Jeremy K. Chung, Kenneth D. Kieffer, Hieu Pham, “A High-Performance LED Array Driver ASIC with Programmable Thermal Coefficients” , IEEE, 1991
- [4] Donald B. Carlin, Yoshito Tsunoda, “Diode Lasers for Mass Market Applications: Optical Recording and Printing” , IEEE, 1994
- [5] Yukihiisa Kusuda, Nobuyuki Komaba, Yasunao Kuroda, Seiji Ohno, Shuhei Tanaka “64-Bits Integrated Light-Emitting Device Array with Shift Register” , IEEE, 1992
- [6] William R. Imler, Terry Hildebrandt, Steve Paolini, Kenneth D. Scholz, Maria Cobarruviaz and V. K. Nagesh, “Design and Fabrication of 600 DPI Light-Emitting Diode Print Heads Using Precision Flip-Chip Solder Bump Technology” , IEEE, 1994
- [7] Hiroshi Tohyama, Susumu Ozawa, Yuko Kitayama, Toshimitsu Yamashita, Yukio Nakamura, “The Fine Pitch Direct Bonding

Technology for Chip Interconnection” , IEMT/IMC, 1998

[8] Akira Nagumo, “Driver Circuit and LED Head Incorporating The Drive Circuit” , United States Patent 6535235, 2003

[9] Klaas Van Zalinge, “LED Driver” , United States Patent 5966110, 1999

[10] Paul John Fleming, “Method for Constructing a Light-Emitting Diode Printhead with a Multiple DPI Resolution Driver IC” , United States Patent 5828400, 1998

[11] Pin S. Tschang, Hieu T. Pham, “Non-Impact Printer Apparatus Improved Current Mirror Driver and Method of Printing” , United States Patent 4885597, 1989



[12] David J. Luman, “Electrophotographic Printer and Method of Controlling Light Emitting Element in an Electrophotographic Print Head” , United States Patent 6476845 B2, 2002

[13] J. Bastos, M. Steyaaert, W. Sansen, “A High Yield 12-bit 250MS/s CMOS D/A Converter” , Proc. IEEE 1996 Custom Integrated Circuits Conf. (CICC), pp. 20.6.1-20.6.4, 1996

[14] Cornelis A.A. Bastiaansen, D. Wouter J. Groeneveld, “A 10-b 40-MHz 0.8um CMOS Current-output D/A Converter” , IEEE, 1991

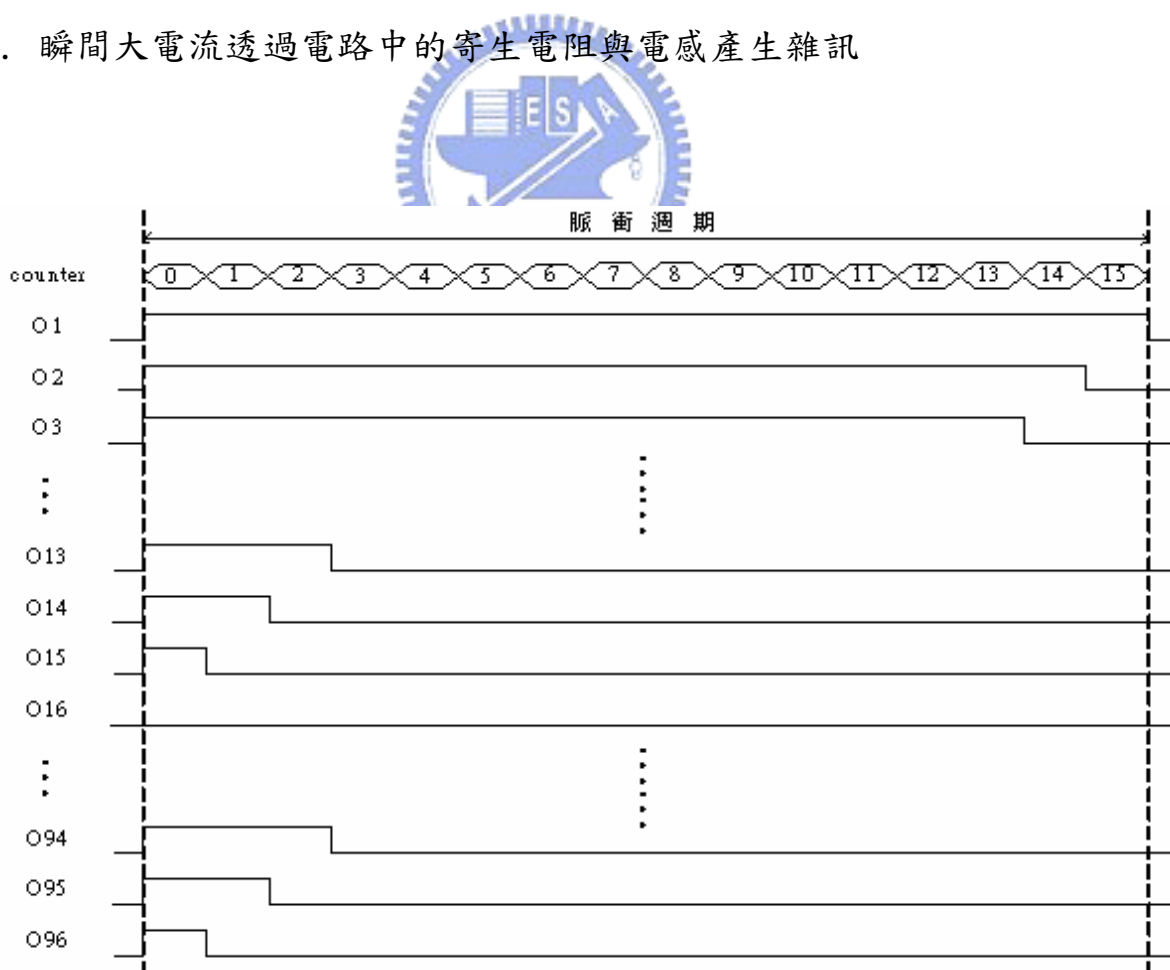
- [15] H. Takakura, M. Yokoyama, A. Yamaguchi, “A 10-bit 80MHz glitchless CMOS D/A Converter” , Proc. IEEE 1996 Custom Integrated Circuits Conf. (CICC), pp. 26.5.1.1–26.5.4, 1991
- [16] Donald T. Dolan, Henry Stalzer, “Control of A Light Emitting Diode Array” , United States Patent 4455562, 1984
- [17] Yukio Nakamura, “The Trends in LED Printheads” , OKI Technical Review, 2003



[附錄一] 調整脈衝波形降低瞬間功率消耗

考慮利用電路的技巧降低瞬間功率消耗，調整脈衝波形是一種可行的方法，假設傳統的脈衝寬度調變每個驅動輸出點 01~096 所產生的脈衝波形，如附錄圖 1.1 所示，由圖中可以發現，在脈衝周期的開始時，所有的發光二極體會同時導通，最後再依照個別的脈衝寬度做結束，而這一起導通的現象會導致瞬間大電流的產生，而瞬間大電流的產生會有下列的問題：

1. 瞬間功率消耗過大
2. 瞬間大電流造成電磁干擾的問題
3. 瞬間大電流透過電路中的寄生電阻與電感產生雜訊

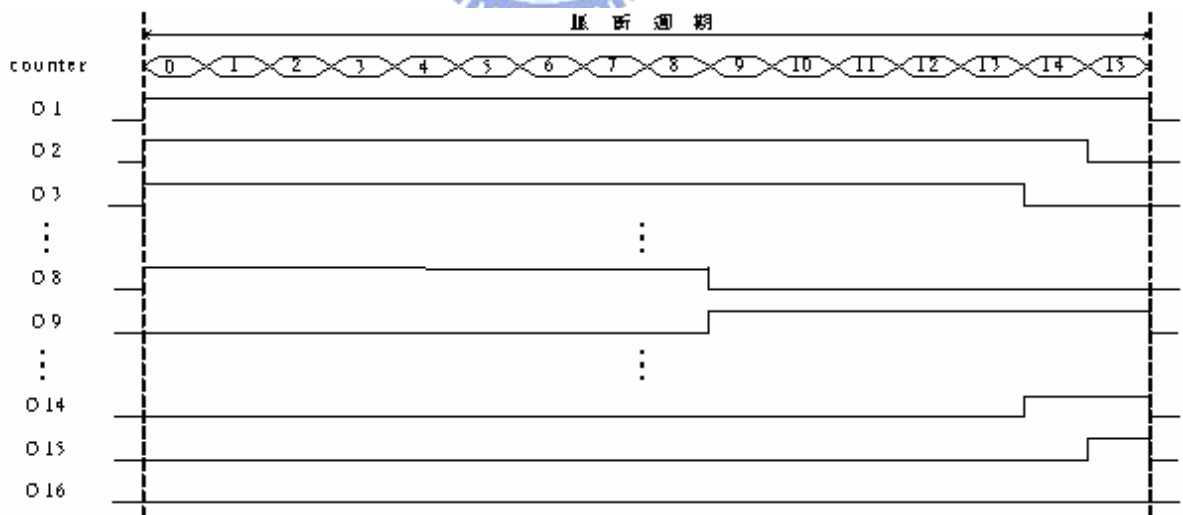


附錄圖 1.1 傳統脈衝寬度調變波形圖

若利用每個發光二極體輸出驅動點脈衝寬度不一樣的特性，錯開二極體開始導通的時間，可減小瞬間大電流對電路的影響及瞬間的功率消耗，並且將電流平均化，可利用以下幾種方法實現。

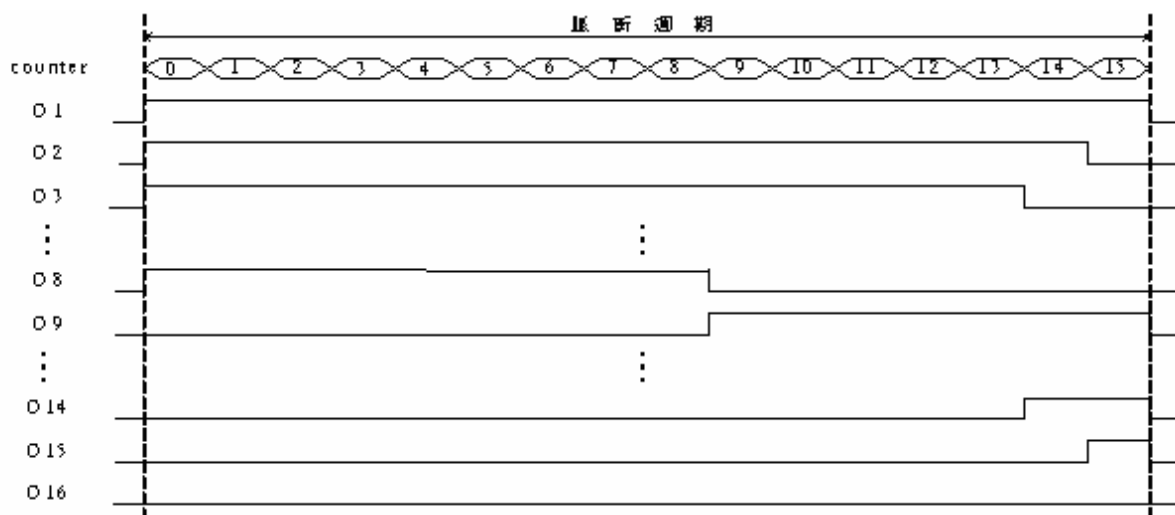
a. 分段式脈衝寬度調變

將驅動輸出點 01~096 每 16 個分為一組，每組分為前後兩半，以 01~016 為例，分為前半週期驅動輸出點 01~08 與後半週期驅動輸出點 09~016，前半週期驅動輸出點 01~08 的脈衝波形與傳統脈衝波形相同，在脈衝週期開始時，同時導通，結束的時間則由各輸出點的比較電路所決定，後半週期驅動輸出點 09~016 則與傳統脈衝波形不同，採用同時結束脈衝，而開始的時間則是由與前半週期各輸出點的比較電路決定，如

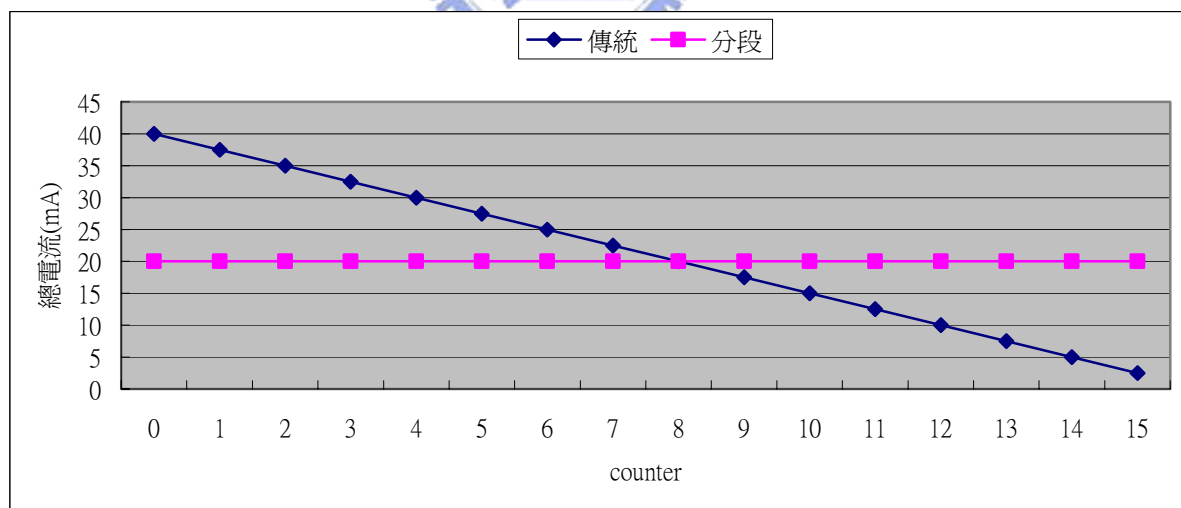


附錄圖 1.2 所示。比較驅動輸出點 01~016 在傳統脈衝寬度調變與分段脈衝寬度調變下，在脈衝週期內不同時段的總電流，如附錄圖 1.3 所示，假設每個驅動輸出點的電流值為 2.5mA，傳統脈衝寬度調變在 counter=0 時，瞬

間產生的大電流為 $2.5\text{mA} \times 16 = 40\text{mA}$ ，而分段脈衝寬度調變則是 20mA ，降低為傳統的一半，瞬時功率消耗相對的降低了不少，而且在不同的時段總電流也較平均，不像傳統脈衝寬度調變的總電流隨著時間的不同有很大的變化。



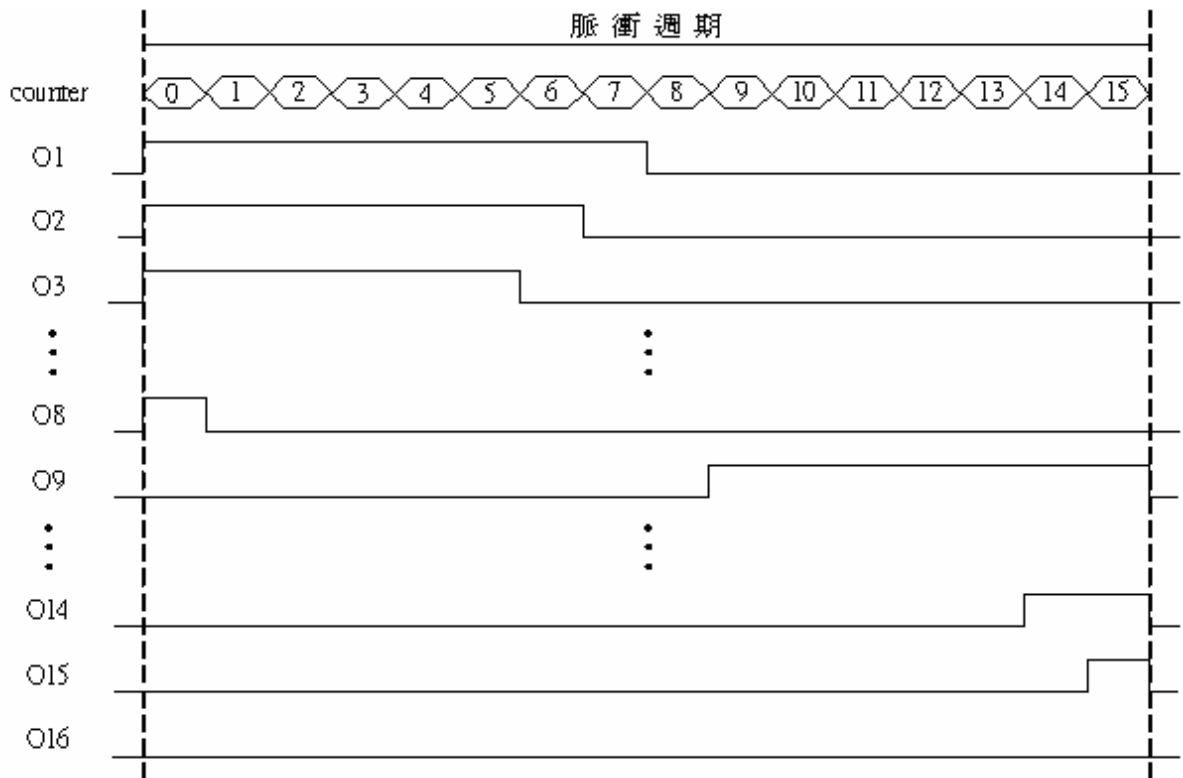
附錄圖 1.2 分段式脈衝寬度調變波形圖



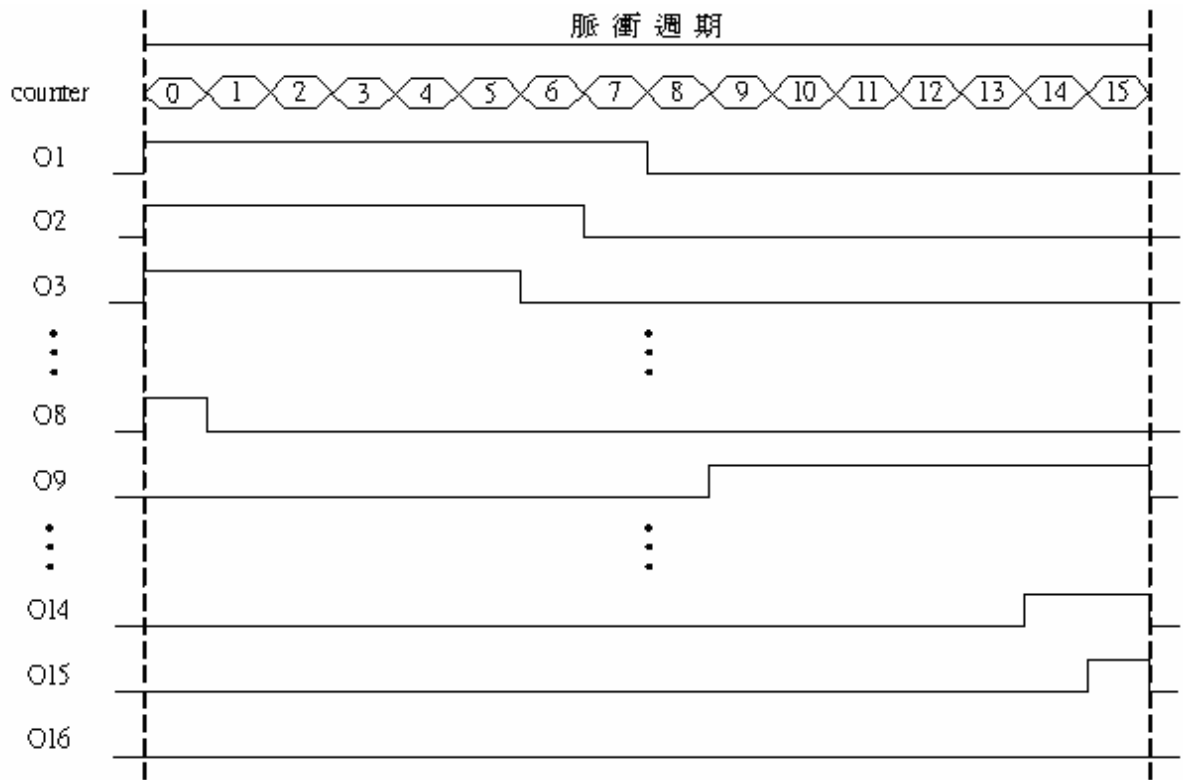
附錄圖 1.3 傳統脈衝寬度調變與分段式脈衝寬度調變總電流比較

分段式脈衝寬度調變，有將電流平均化及減小瞬間大電流的

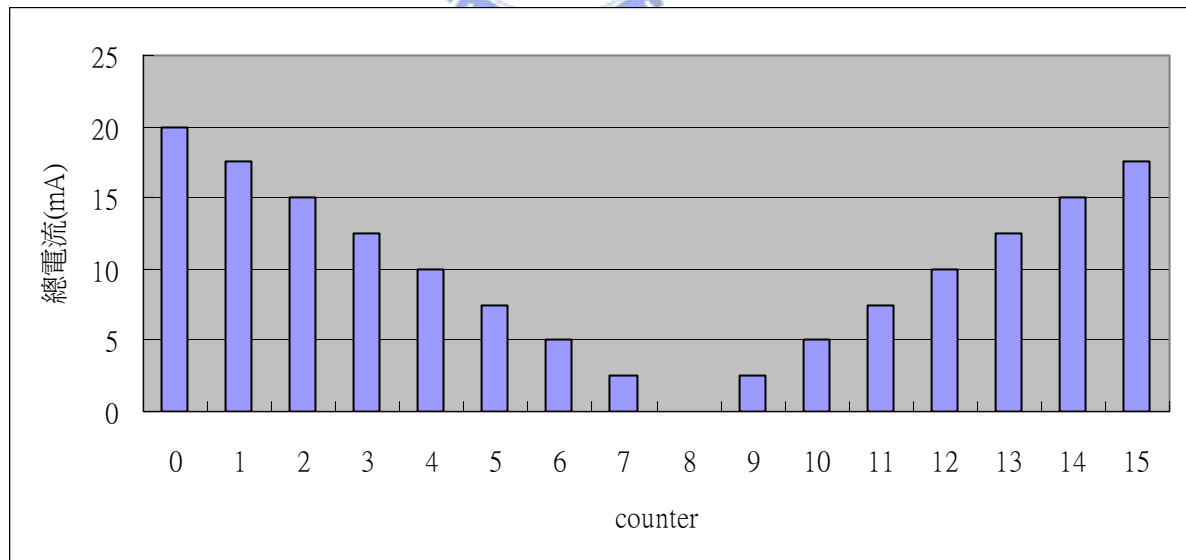
優點；缺點是，但當遇到某些脈衝波形時，無法有效的將電流平均化，例如，當所有驅動輸出點的脈衝寬度都小於7的時候，如



附錄圖 1.4 所示，則在脈衝周期內，每個時段的總電流，如附錄圖 1.5 所示，會有很大的差距，無法達到平均化的效果。



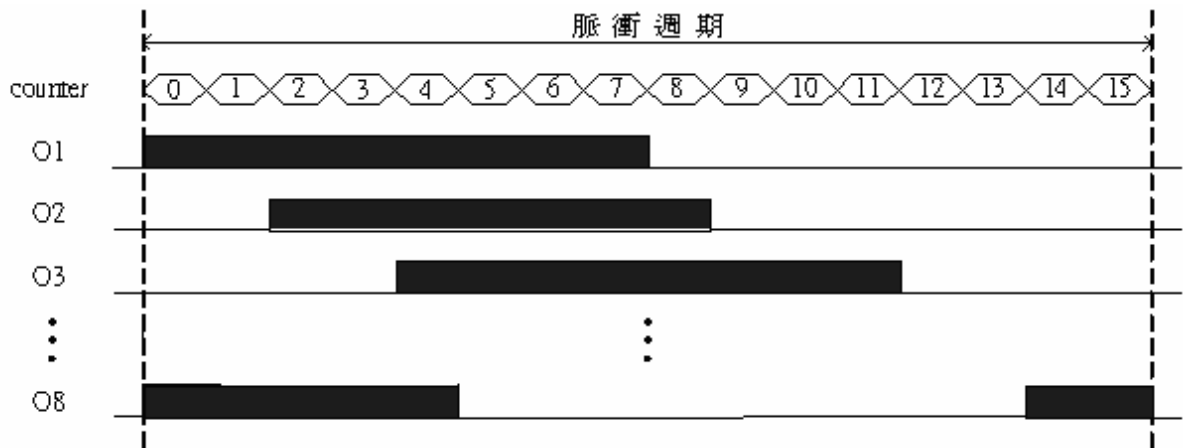
附錄圖 1.4 分段式脈衝寬度調變波形



附錄圖 1.5 特殊狀況下的總電流圖

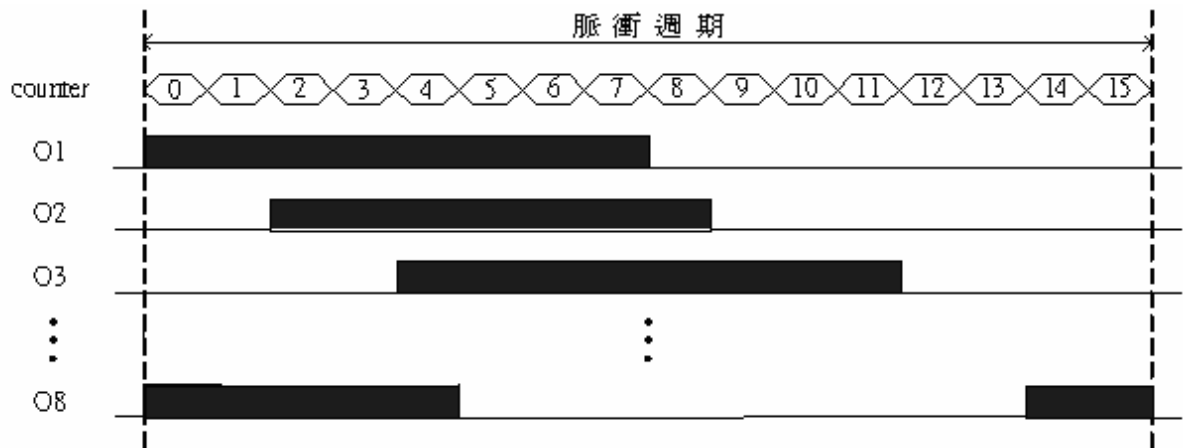
b. 循序式脈衝寬度調變

循序式脈衝寬度調變為美國第 6191535 號專利，每個脈衝的開始時間隨著不同的輸出驅動點作周期性的改變，如



附錄圖 1.6 所示，每個脈衝開始的時間都與前一個脈衝相差兩個時段，而當脈衝由開始到脈衝週期結束的時間小於脈衝寬度時，脈衝則會被切成兩段：如圖中訊號 O8，脈衝寬度原本為 7，經過調整後被切為兩部分。

循序式脈衝寬度調變可以讓輸出電流相當平均，但當脈衝波形被一分為二的情形太頻繁時，增加了二極體開關的次數，會消耗電路較多的能量，另外由於脈衝波形並非理想，訊號有上升延遲時間及下降延遲時間，會影響發光亮度的準確性。



附錄圖 1.6 循序式脈衝寬度調變波形圖

