

一個背景式校正之

全數位式非整數頻率合成器

**An All-Digital Fractional-N Frequency Synthesizer
with Background Calibration**

研究生：莊書瑾 Student : Shu-Chin Chuang

指導教授：陳巍仁 Advisor : Wei-Zen Chen



電子工程學系 電子研究所

碩士論文

A Thesis

Submitted to Department of Electronics Engineering and Institute of
Electronics College of Electrical and Computer Engineering

National Chiao-Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Electronics Engineering

March 2012

Hsin-Chu, Taiwan, Republic of China

中華民國一〇一年三月

一個背景式校正之

全數位式非整數頻率合成器

研究生：莊書瑾 指導教授：陳巍仁教授

國立交通大學

電子工程學系電子研究所碩士班

摘要



相位雜訊為評估鎖相迴路功能優劣的一個重要指標，而頻寬的決定也會直接的影響到輸出相位雜訊的表現。在一個類比式的鎖相迴路中，頻寬由充電泵電流值、迴路濾波器電阻電容值、振盪器增益所決定。不幸的是，上述均會受到製程物理環境與元件不匹配誤差，使得與原先之設計值有所不同，無法達最佳雜訊頻寬的效果。然而在一個全數位式鎖相迴路中，頻寬由一些已知的參數以及振盪器增益所決定，其中僅剩振盪器增益會受到製程物理環境與元件不匹配誤差影響的變數。

本論文提出一個具有背景式校正的全數位式非整數頻率合成器。自我追蹤與校正振盪器增益的方法，能免除製程物理環境和元件匹配誤差造成振盪器增益的不理想效應，並能在不影響鎖相迴路系統運作於通訊系統下，加於振盪器輸入端一數位訊號，使迴路濾波器輸出端產生一相應訊號，得知其振盪器增益關係式。使用上述量取振盪器增

益資訊，直接的校正振盪器增益，可達到校正振盪器物理增益，與還原最佳雜訊頻寬的效果。

另外，時脈抖動特性亦為鎖相迴路的一個重要效能。以往測試鎖相迴路效能多用外部儀器量測時脈抖動，但隨著鎖相迴路操作頻率之提升，測量儀器成本也大大提高。因此晶片上雜訊自我量測的方法，利用振盪器輸入端的頻率控制碼(FTW)計算抖動雜訊，其量測頻率從原本的輸出頻率降低為參考頻率等級，大大減輕了量測儀器的成本。

本論文中的晶片採用 TSMC-40nm CMOS 製程技術實現，總面積為 $1.330 \times 1.195\text{mm}^2$ 。晶片量測結果，輸出頻率為 8GHz，RMS jitter 在整數及非整數架構下分別為 3.4251ps 及 13.019ps。



An All-Digital Fractional-N Frequency Synthesizer with Background Calibration

Student: Shu-Chin Chuang

Advisor: Wei-Zen Chen

Department of Electronics Engineering & Institute of Electronics

National Chiao-Tung University



Abstract

Phase noise is an important factor, which is used to estimate the performance of phase locked loop, and the choice of the bandwidth could also affect the phase noise directly. In an analog phase-locked loop, the bandwidth depends on the current of charge pump, the passive components in the loop filter and the gain of voltage control oscillator (VCO). Unfortunately, they would differ from the designed values because of the process, voltage and temperature (PVT) variation. However, in an all-digital phase-locked loop, the bandwidth is composed of some well-known parameters and the gain of digital control oscillator (DCO), but only the gain of DCO is unpredictable because of the PVT variation.

An all-digital fractional-N frequency synthesizer with background calibration is presented. The background calibration method of the DCO gain could relieve the PVT variation on the DCO gain without affecting the operation of the communication system at the same time. Adding a digital code at the input of the DCO, so that the output of loop filter would generate an opposite signal, able to be recorded to formulate the estimation of the DCO gain. The background calibration method of the DCO gain could restore the loop bandwidth without changing other loop parameters.

Besides, jitter performance is another important factor, which is used to estimate the performance of phase-locked loop. But it is difficult to measure the output clock jitter of the high speed phase-locked loop circuit directly. In addition, using external measuring equipment takes the high cost. For the reasons, the on-chip jitter measurement method, which dumps the frequency tuning word from the input of DCO, could estimate the jitter performance by lower frequency. Since the measured frequency changes from output frequency to reference frequency level, the on-chip jitter measurement method could release the cost of equipment.

Implemented in TSMC-40nm CMOS technology, the total area included PAD is $1.330 \times 1.195\text{mm}^2$. The measured output frequency of proposed ADPLL is 8GHz, where the RMS jitter is 3.4251ps in integer-N architecture and 13.019ps in fractional-N architecture.

致謝

歷經三年多的時間，從一開始對電路實作一點經驗都沒有，到這本論文的完成，實在很感謝我的指導教授，陳巍仁老師的帶領。在此過程，無論是在專業領域以及待人處世，都讓我受益匪淺。

在這段漫長的研究生涯，特別感謝本實驗室-台祐學長、世豪學長、彥緯學長的幫助，唯有你們的幫助，才有本論文的誕生。也感謝塔哥、歐陽、小賴、順天、凱悌、育祥、邱神、昕爺、小毅、文杰、健軒、秀樺、川逸、豔婷、建宏、逸弘、仲廷、曜嘉、政豪和弘凱、還有本實驗室的新血欣彥、凱婷和欣蓓，以及 307 實驗室的同學與學弟…等。由於你們的陪伴以及幫忙，帶給我許多的方便以及快樂的回憶，祝福你們未來在工作或學業上都能夠一路順風，而還沒畢業的學弟妹能早日畢業。

另外，也特別感謝在背後默默支持我的家人，在這段期間對與我的關懷和付出，讓我可以無後顧之憂完成碩士學位。

莊書瑾 Mar., 2012

目錄

摘要.....	i
Abstract	iii
致謝.....	v
目錄.....	vi
圖目錄.....	ix
表目錄.....	xiii
第 1 章 簡介	1
1.1 相關背景與動機.....	1
1.2 論文架構.....	4
第 2 章 頻率合成器系統架構.....	5
2.1 類比式頻率合成器.....	5
2.1.1 類比式整數頻率合成器.....	5
2.1.2 類比式非整數頻率合成器.....	6
2.2 全數位式頻率合成器.....	8
2.2.1 全數位式整數頻率合成器.....	8
2.2.2 全數位式非整數頻率合成器.....	10
2.3 提出的全數位式非整數頻率合成器架構.....	13
2.4 抖動量估計 (Jitter Measurement)	15
第 3 章 一個全數位式非整數背景式校正頻率合成器.....	20
3.1 動態分析.....	20
3.2 線性模型.....	25

3.2.1	二元相位偵測器(Bang-Bang Phase Detector, BBPD)線性模型	25
3.2.2	數位迴路濾波器(Digital Loop Filter, DLF)線性模型	28
3.2.3	參考相位積分路徑線性模型	29
3.2.4	完整鎖相迴路線性模型	30
3.3	產生的相位雜訊(Phase Noise)	31
3.3.1	參考時脈雜訊模型	32
3.3.2	二元相位偵測器(BBPD)雜訊模型	32
3.3.3	數位控制振盪器(DCO)雜訊模型	33
3.3.4	和差調變器(Delta-Sigma Modulator, $\Sigma\Delta$)雜訊模型	39
3.3.5	輸出相位雜訊功率頻譜密度(PSD)	40
3.4	背景式校正振盪器增益的方法	43
3.4.1	振盪器增益自我追蹤	44
3.4.2	背景式校正振盪器增益	47
第 4 章	電路設計與實現	53
4.1	系統架構	53
4.2	電流導向式數位類比轉換器	55
4.3.1	溫度計編碼(Thermometer Code)電流導向式數位類比轉換器	57
4.3.2	階梯 R-2R 電阻網路電流導向式數位類比轉換器	59
4.3	和差調變器	61
4.4	數位控制振盪器	64
4.5	相位積分(Phase Accumulator)電路	66
第 5 章	佈局與量測結果	72

5.1 晶片佈局(Chip Layout)	72
5.2 量測環境(Measurement Setup).....	73
5.3 量測結果(Measurement Results).....	74
5.3.1 開迴路測試.....	74
5.3.2 閉迴路測試.....	75
5.3.2.1 整數架構測試	76
5.3.2.2 非整數架構測試	79
第 6 章 結論	83
參考文獻	84



圖目錄

圖 1-1 整數式鎖相迴路架構.....	2
圖 2-1 類比式整數頻率合成器架構.....	6
圖 2-2 類比式非整數頻率合成器架構.....	7
圖 2-3[4]提出的 BBPLL 系統架構圖.....	9
圖 2-4 [7]提出的 BBPLL 系統架構圖.....	10
圖 2-5[3]提出的 ADPLL 系統架構圖.....	11
圖 2-6 [8]提出的 ADPLL 系統架構圖.....	12
圖 2-7 提出的 ADPLL 系統架構圖.....	14
圖 2-8 抖動量估計示意圖.....	16
圖 2-9 晶片上自我抖動量估計方法使用條件.....	16
圖 2-10 提出的抖動量估計方法(a)理想時脈(b)具有雜訊的時脈.....	18
圖 2-11 抖動量估計模擬方法.....	18
圖 2-12 抖動量估計 Matlab 模擬結果.....	19
圖 3-1 系統架構圖.....	20
圖 3-2 總除數為 2.25 積分資訊時序圖.....	21
圖 3-3 動態分析模結果(a)輸出頻率對模擬時間.....	24
圖 3-4 二元相位偵測器線性模型.....	25
圖 3-5 二元相位偵測器的狀態鍊近似.....	27
圖 3-6 (a)迴路濾波器離散時間模型.....	29
圖 3-7 (a)參考相位積分路徑離散時間模型.....	30

圖 3-8 迴路連續時間近似模型	31
圖 3-9 包含內部與外部雜訊源的鎖相迴路線性模型	31
圖 3-10 DCO 數位控制示意圖	33
圖 3-11 振盪器量化雜訊模型	34
圖 3-12 和差調變器的量化雜訊	35
圖 3-13 不同超取樣頻率對擾動雜訊的影響	36
圖 3-14 振盪器的自身相位雜訊	37
圖 3-15 和差調變器產生的相位雜訊	38
圖 3-16 數位控制振盪器的相位雜訊	39
圖 3-17 參考相位積分路徑上和差調變器的相位雜訊	40
圖 3-18 包含內部與外部雜訊源的鎖相迴路線性模型	40
圖 3-19 各雜訊源對輸出相位貢獻的轉移函式	42
圖 3-20 總輸出相位雜訊	43
圖 3-21 振盪器增益自我追蹤的機制	44
圖 3-22 振盪器增益自我追蹤方法模擬結果	47
圖 3-23 振盪器增益校正方法(a)校正前 (b)校正後	48
圖 3-24 振盪器增益背景式校正方法(a)校正前 (b)校正後	50
圖 3-25 振盪器增益背景式校正方法模擬結果	52
圖 4-1 實現的全數位式鎖相迴路區塊圖	54
圖 4-2 電流式數位類比轉換器與和差調變器控制振盪器方法	57
圖 4-3 八位元溫度計編碼電流式數位類比轉換器	57
圖 4-4 佈局示意圖	58
圖 4-5 象限錯排 & Dummy Cell	58

圖 4-6 階梯 R-2R 電阻網路電流式數位類比轉換器	59
圖 4-7 加入運算放大器固定偏壓	60
圖 4-8 電流式數位類比轉換器模擬圖	61
圖 4-9 二階 MASH 信號方塊圖	62
圖 4-10 二階 MASH 電路圖	62
圖 4-11 解碼器邏輯閘	63
圖 4-12 和差調變器控制電流式數位類比轉換器	63
圖 4-13 四級差動環形振盪器	64
圖 4-14 每一級的延遲單元	65
圖 4-15 振盪器自身雜訊	66
圖 4-16 相位積分電路	67
圖 4-17 u-位元累加器理想行為模型	68
圖 4-18 相位偵測器模數方塊圖	68
圖 4-19 旋轉向量解釋參考與迴授相位	69
圖 4-20 高速計數器方塊圖	70
圖 4-21 高速計數器模擬結果	71
圖 5-1 晶片照相圖	72
圖 5-2(a)AC PCB 與(b)DC PCB	73
圖 5-3 量測環境設置	74
圖 5-4 量測粗條溫度計編碼電流數位類比轉換器之 DNL	75
圖 5-5 量測粗條溫度計編碼電流式數位類比轉換器之 INL	75
圖 5-6 同時達到整數與非整數之架構	76
圖 5-7 量測 8.0GHz(a-1) (a-2)頻譜圖與(b)相位雜訊圖	78
圖 5-8 量測 8.0GHz 時域抖動圖	79

圖 5-9 量測 GHz(a-1) (a-2)頻譜圖與(b)相位雜訊圖81
圖 5-10 量測不同分數值.....82



表目錄

表 1-1 提出之全數位式非整數頻率合成器規格.....	4
表 4-1 解碼器真值表.....	63
表 4-2 所有控制振盪器單元的權重與頻率步階.....	66



第1章 簡介

1.1 相關背景與動機

頻率合成器(frequency synthesizer)在現今的通訊系統中，無論是無線接收機、行動電話和衛星接收機等，都扮演著極為重要的角色。其主要的工作目的是產生一與參考訊號具有已知的頻率和相位關係的週期訊號。此產生的時脈訊號將可作為處理器在高速資料傳輸介面的時脈來源、類比數位轉換器的取樣時脈和無線發射機中用來混頻的本地振盪訊號。多年來已提出了許多頻率合成的技術，例如鎖相迴路(phase-locked loop, PLL)、直接數位合成(direct digital synthesis, DDS)和混頻技術(frequency mixing)等。在上述不同的頻率合成技術中，鎖相迴路技術最能實現高效能的頻率合成器。

鎖相迴路是一具有負迴授的頻率控制系統。藉由感測迴授路徑與輸入參考訊號的相位誤差，鎖相迴路將會產生一與相位誤差有關的訊號控制振盪器的輸出頻率，以達到與參考訊號具有固定的頻率和相位關係。鎖相迴路可以用來調變(modulate)或解調(demodulate)訊號、重組一低雜訊的倍頻或除頻訊號。

一個基本的鎖相迴路架構如圖 1-1[1]所示，其中包含一個可控制的振盪器(controlled oscillator)、相位頻率偵測器(phase frequency detector)、迴路濾波器(loop filter)以及迴授除頻器(feedback frequency divider)。可控制的振盪器將依據輸入控制訊號產生一頻率為 f_{OUT} 的週期訊號輸出。

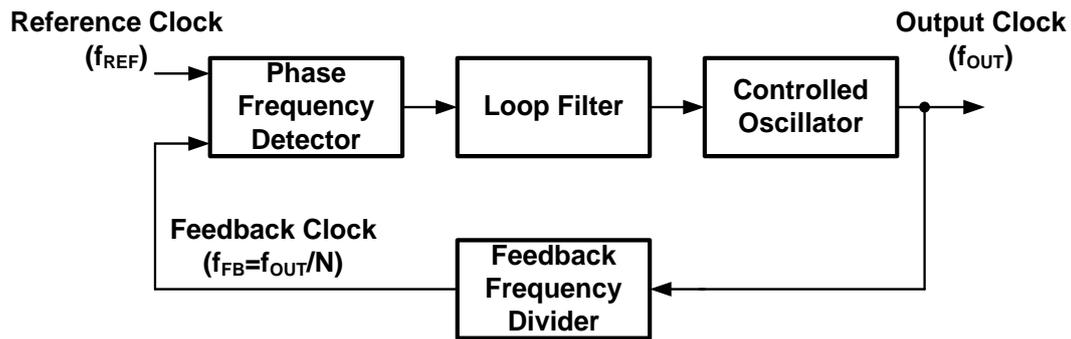


圖 1-1 整數式鎖相迴路架構

輸出頻率(f_{OUT})輸入迴授除頻器後輸出迴授頻率 $f_{FB}=f_{OUT}/N$ ，其中 N 為除頻器的除數。相位頻率偵測器比較迴授時脈與參考時脈的頻率或相位誤差，將其輸出頻率或相位誤差資訊送入迴路濾波器。迴路濾波器將此不連續變化的誤差資訊平滑化，最後迴路濾波器的輸出注入可控制振盪器以調整輸出頻率(f_{OUT})。若迴路設計得當，當迴路達到穩態時，輸出頻率與參考頻率將會存在一固定關係 $f_{OUT} = f_{REF} \cdot N$ 。

使用 CMOS 製程設計射頻頻率合成器仍是通訊系統中的一大挑戰，因為很難同時達到低成本，低功耗，以及符合雜訊規格和瞬態規格。一般而言，設計一個頻率合成器主要的考量有下列幾點：相位雜訊 (phase noise)，抖動效能(jitter performance)，突波雜訊效能(spurious noise performance)，跳頻速度(frequency hopping speed)，可調頻寬 (tuning bandwidth)，供應電壓雜訊或基板雜訊(substrate noise)抑制，晶片面積，功率消耗，不同製程間轉換的便利性。然而，上述這些規範之間存在著複雜的設計權衡，因此頻率合成器僅能滿足特定應用規格做設計。

傳統的射頻頻率合成器通常是使用類比的方式實現。隨著製程的快速演進，在低電壓深次微米 (deep-submicrometer) 的互補金氧半 (CMOS) 製程下，單一顆晶片上的數位電路積體密度提高，並且由於寄生電容和供應電壓的降低，數位電路可以達到更高的操作頻率以及更低功耗的好處。但是相反的，類比電路將面臨到較小的電壓容許空間 (voltage headroom)，較大的漏電流以及在 SoC 環境下的雜訊影響，反而增加了高效能頻率合成器設計的難度。因此，近年來許多研究成果專注在以數位的方式或是數位輔助的方式實現射頻頻率合成器 [2]-[4]。

而在一個全數位式鎖相迴路中，頻寬由一些已知的參數以及振盪器增益所決定，其中僅剩振盪器增益會受到製程物理環境與元件不匹配誤差影響的變數。因此，若能設法使振盪器增益成為已知，則整個鎖相迴路系統的效能表現，如頻寬、抖動等，也能準確如預期般的表現。

本論文提出一個具有背景式校正的全數位式非整數頻率合成器。其自我追蹤與校正振盪器增益的方法，能免除製程物理環境和元件匹配誤差造成振盪器增益的不理想效應，並能在不影響鎖相迴路系統運作於通訊系統下，直接的校正振盪器增益，可達到校正振盪器物理增益，與還原最佳雜訊頻寬的效果。另外，本論文提出了晶片上雜訊自我量測的方法，其量測頻率從原本的輸出頻率降低為參考頻率等級，大大減輕了外部量測儀器的成本。

本論文提出的具背景式校正之全數位式非整數頻率合成器的目標規格如表 1-1 所示。

Parameter	Value
Process	TSMC 40nm GS (1P8M)
Supply Voltage	0.9V
Output frequency	8GHz
Reference frequency	100MHz
Loop Bandwidth	1MHz
Calibration resolution	0.07%

表 1-1 提出之全數位式非整數頻率合成器規格

1.2 論文架構

本論文主要分五個章節，第一章，說明相關背景動機以及目標規格；第二章，介紹傳統式頻率合成器，全數位式頻率合成器系統架構和所提出的全數位式非整數頻率合成器架構及其工作原理。

第三章，對系統做動態分析後，將系統線性化推導雜訊轉移函式，以便計算輸出相位雜訊及抖動表現，並且藉由轉移函式的推導估計振盪器增益；第四章，從系統架構出發，由上而下的介紹每一個電路的實作，包含相位積分電路、電流導向式數位類比轉換器、類比濾波器、和差調變器、數位控制振盪器和背景式校正振盪器增益的方法；第五章，量測結果；本文的最後，在第六章對本篇研究內容做個總結。

第2章 頻率合成器系統架構

2.1 類比式頻率合成器

2.1.1 類比式整數頻率合成器

絕大部分高效能的類比式頻率合成器都是使用充電泵 PLL 架構[5]。圖 2-1 為一個類比式整數頻率合成器的架構。其中包含了一個相位頻率偵測器(PFD)、充電泵(charge pump)、迴路濾波器(loop filter)、壓控振盪器(VCO)和除頻器(frequency divider)。相位頻率偵測器藉由偵測參考時脈 f_{REF} 與壓控振盪器輸出頻率除以整數 N 的迴授時脈 f_{FB} ，兩者最接近的邊緣時間差可視為相位誤差，產生上升(Up)或下降(Down)的脈衝訊號，其脈衝寬度正比於量測到的邊緣時間差。此脈衝訊號藉由充電泵轉換成電流對迴路濾波器充放電，在壓控振盪器前端產生控制電壓。迴路濾波器的主要功能是壓抑每一次相位比較時，充電泵瞬間產生的突波(glitch)。負迴授機制自動的調整壓控振盪器的控制電壓使迴路趨於穩定的狀態，此時輸出的平均頻率與輸入參考頻率存在一確定的整數關係。

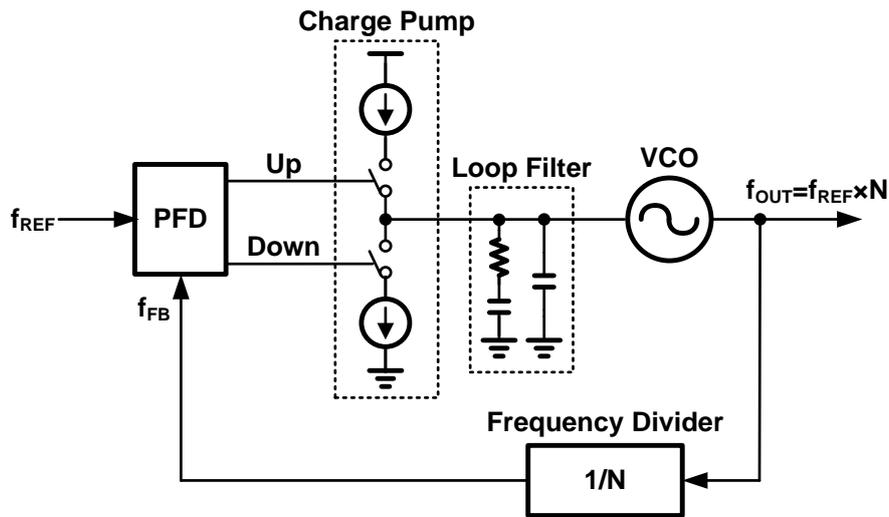


圖 2-1 類比式整數頻率合成器架構

2.1.2 類比式非整數頻率合成器

為了提高頻率且解析度以及較高的頻譜使用率，圖 2-2 為一個類比式非整數頻率合成器的架構[6]。與類比式整數頻率合成器不同處為，整數除頻器置換成多模數除頻器(multi-modulus frequency divider)以及需要一個和差調變器(Delta-Sigma Modulator, $\Sigma\Delta$)利用平均的概念來提供一個非整數的除數。

如圖 2-2 所示，和差調變器操作頻率為除頻後的迴授頻率 f_{FB} 。當迴路鎖定時迴授頻率幾乎為參考頻率 f_{REF} ，因此除數的變動頻率通常接近於參考頻率，並且參考頻率通常設計為迴路頻寬的十倍以上。故當除數在兩整數值間變動時，輸出頻率不會即時反應到相對應的頻率值，因此輸出頻率會在除數期望值所對應的頻率上。同時和差調變器具備有雜訊整形的能力，能將訊號頻寬內的雜訊整形到較高的頻域，進而提高訊號雜訊比。

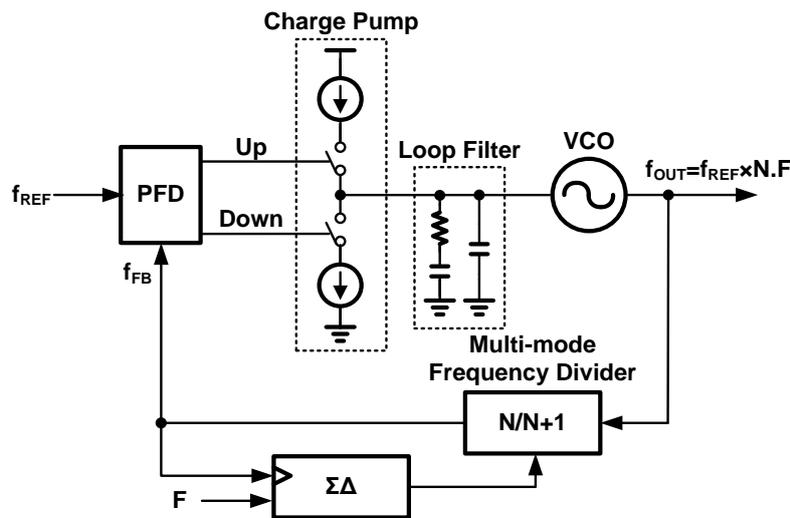


圖 2-2 類比式非整數頻率合成器架構

與所有頻率合成器相同的是，類比式非整數頻率合成器負迴授機制自動的調整壓控振盪器的控制電壓使迴路趨於穩定的狀態，此時輸出的平均頻率與輸入參考頻率存在一確定的倍數關係。

若迴路參數設計得宜，充電泵 PLL 的效能能符合不同的應用需求，包含乙太網路(Ethernet)接受器，磁碟讀寫通道，無線發射器以及高速記憶體界面。不幸的是，隨著製程的演進以及電子通訊產業發展的趨勢，實現低抖動的類比式頻率合成器將面臨到巨大的挑戰。

由於現今電子通訊產業如日中天的發展，對更低成本、低功耗以及更多功能的 SoC (System-on-Chip) 整合晶片的需求越來越高。進入深次微米 CMOS 製程後，低工作電壓以及高積體密度的好處將不利於傳統射頻以及類比電路的設計。例如利用先進製程實現充電泵 PLL 將面臨電容漏電流、電流不匹配，低供應電壓使得動態範圍受限等問題，導致雜訊層(noise floor)升高，寄生基調(spurious tone)的產生。此外，高積體密度導致更多數位切換雜訊透過電源供應網路和低阻抗的基

板(substrate)，耦合到需要高精準度的類比部分，導致類比電路的訊雜比降低，並且這個問題會隨著供應電壓的下降而愈來愈嚴重。

另一方面，利用數位輔助實現的頻率合成器能充分利用數位設計的好處。由於數位電路是大訊號的操作，相較於類比電路的小訊號操作，較不易受到製程-電壓-溫度(PVT)變異以及基板雜訊影響造成偏壓點和其他電路特性的變異。相較於傳統使用被動元件組成的迴路濾波器，數位化的迴路濾波器的設計將更加具有彈性及準確性。由於數位電路使用標準單元設計流程(Cell-based design kit)不同於類比電路使用全客戶式設計流程(Full-custom design kit)，數位電路在不同製程中轉換較為快速。因此，近年來提出了許多使用數位集成或是數位輔助的方法實現頻率合成器的研究[2]-[4]。在下一節將簡介全數位式整數頻率合成器以及全數位式非整數的頻率合成器的架構。

2.2 全數位式頻率合成器

2.2.1 全數位式整數頻率合成器

在過去，由於缺乏低抖動的數位控制振盪器(digital controlled oscillator, DCO)，全數位式的頻率合成器被排除在高效能的射頻應用外。近年來，一個不需任何類比電壓控制應用在無線射頻的數位控制振盪器首次被提出[2]。在[4]中提出了一個應用在記憶體控制器具展頻功能的全數位 Bang-Bang 鎖相迴路(BBPLL)。圖 2-3 為其 BBPLL 系統架構圖，其中參考時脈(f_{REF})與迴授時脈(f_{DIV})之間的相位資訊使用一個簡單的二元相位偵測器(BPD)來偵測，其行為等效成一個一位元的量化器。

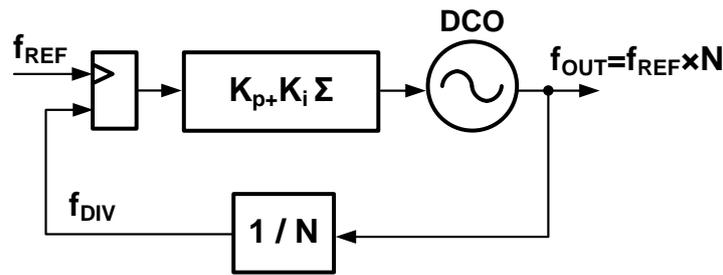


圖 2-3[4]提出的 BBPLL 系統架構圖

由於二元相位偵測器的輸出只有相位誤差極性的資訊，故當初始頻率誤差較大時，會面臨到較長鎖定時間的問題。但若為了使鎖定速度加快而增加迴路頻寬，則會付出較大輸出抖動的代價。

在[7]中提出了一個具有動態調整頻寬以加快鎖定速度全數位式整數 BBPLL 架構，圖 2-4 為其系統架構圖。其中包含一個具有線性相位偵測器路徑及二元相位偵測器路徑的雙模態相位頻率偵測器(DPD)，一個具有可程式化權重(α)積分路徑及可程式化權重(β)直通路徑的數位迴路濾波器，一個鎖定過程監控器(LPM)，一個 LC 諧振的數位控制振盪器(DCO)，一個除以 4 的前置除頻器(prescaler)以及兩個相位積分器 PAC1 和 PAC2。當一開始輸出頻率距離目標頻率很遠的時候，先進行鎖頻(FT)的模式，直到輸出頻率很接近目標頻率時，再進入鎖相(PT)模式。在鎖頻模式中，雙模態相位頻率偵測器選擇線性相位偵測器路徑，數位濾波器只開啟直通路徑，先將輸出頻率快速的拉到目標頻率附近。進入鎖相模式後，雙模態相位頻率偵測器選擇二元相位偵測器路徑，開啟數位濾波器的直通與積分路徑，漸進式的動態縮小數位迴路濾波器的權重，以同時達到快速鎖定以及輸出抖動最佳化的效果。

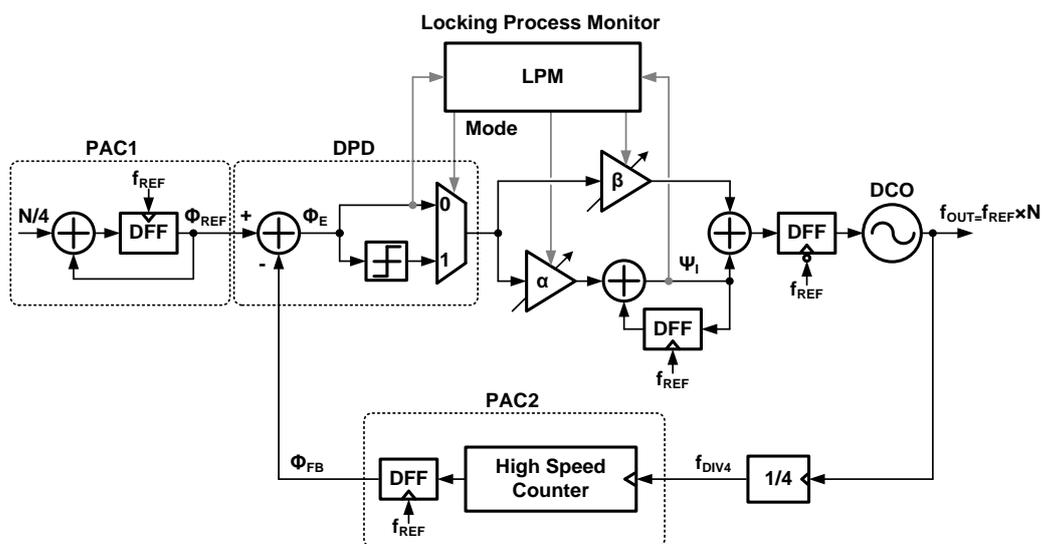


圖 2-4 [7]提出的 BBPLL 系統架構圖

但由於使用前置除頻器的輸出時脈邊緣 f_{DIV4} 作為相位積分電路 PAC2 計數的觸發訊號，故其量化解析度將受限於前置除頻器輸出的時脈週期。由於所有可獲得的頻寬都是有限的，因此較細的頻率解析度可獲得較多的頻率通道，在頻譜上的使用效率也較高。非整數頻率合成器允許高的參考頻率同時設計較寬的迴路頻寬。後面一節將對全數位式的非整數頻率合成器作介紹。

2.2.2 全數位式非整數頻率合成器

[3]提出了一個相位域(phase domain)全數位式鎖相迴路(ADPLL)，圖 2-5 為其 ADPLL 系統架構圖。透過 LC-諧振(LC-tank)的數位控制振盪器 and 高速擾動(dithering)的和差調變器，實現極佳的相位雜訊效能以及精細的頻率解析度。

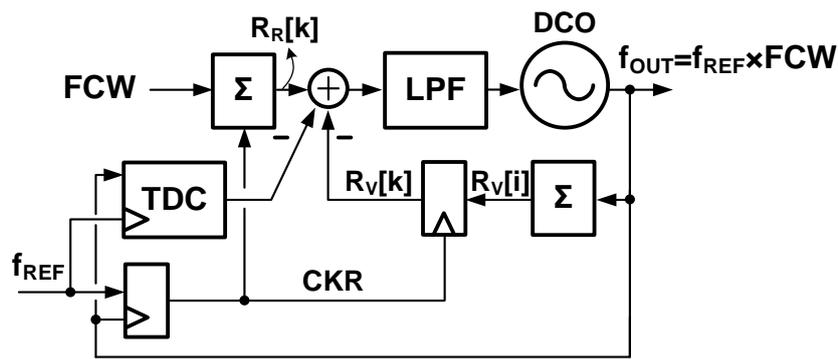


圖 2-5[3]提出的 ADPLL 系統架構圖

相位資訊 $R_V[i]$ 計數數位控制振盪器的輸出時脈上升緣，當重計參考時脈 (retimed reference clock, CKR) 的上升緣來臨時，送出累加的相位資訊 $R_V[k]$ ，此時參考相位資訊 $R_R[k]$ 也在每次重計參考時脈 (CKR) 的上升緣來臨時累加頻率指令字元 (frequency command word, FCW)。而 $R_R[k]$ 與 $R_V[k]$ 的差值為相位誤差資訊，相位誤差資訊經過數位迴路濾波器調整數位控制振盪器的輸出頻率。

為了達到非整數倍頻的輸出，[3] 使用了一個時間數位轉換器 (time to digital converter, TDC)，來量取參考時脈和下一個數位控制振盪器時脈上升緣之間的時間差，時間數位轉換器可由一連串的單位延遲單元和正反器組成，其解析度大約為一個反相器的延遲時間。但時間數位轉換器的線性度與解析度將會受到單位延遲單元速度和匹配的限制，需要額外的校正電路作輔助，更是增加硬體的複雜度。

[8] 提出了一個使用二元相位偵測器達到非整數式頻率合成器的方法，圖 2-6 為其 ADPLL 系統架構圖。若將時間數位轉換器類比成快閃式類比數位轉換器 (flash ADC)，其量化步階為單位延遲單元。

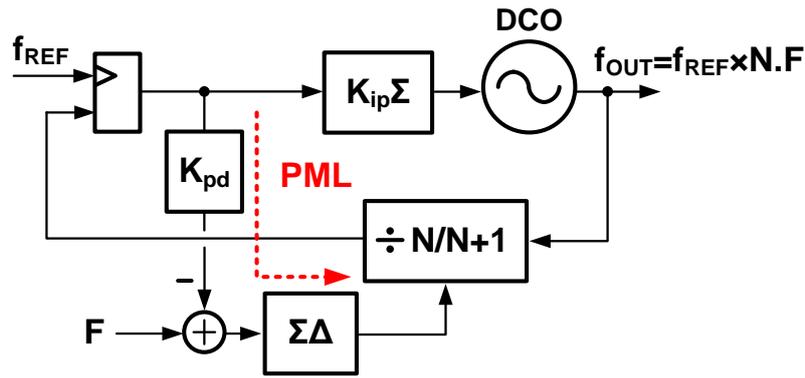


圖 2-6 [8]提出的 ADPLL 系統架構圖

則[8]所提出的相位偵測器可類比為超取樣類比數位轉換器 (over-sampling ADC)，使用超取樣以及相位最小化迴路(phase minimization loop, PML)達到增加一位元相位量化器解析度的效果。藉由加入一條從相位偵測器輸出經過和差調變器控制除頻器除數的迴授迴路，可將相位誤差最小化，稱這條新的迴路為相位最小化迴路 (PML)。將相位最小化迴路的頻寬設計的比整個鎖相迴路的頻寬大，可保持參考時脈與迴授時脈相位上的對齊。換句話說，由於相位最小化迴路的超取樣使得二元相位偵測器的解析度提高，達到非整數頻率合成器的效果。

但此架構美中不足的地方是仍然需要一個多模數除頻器，在不同製程下需要重新設計，不僅耗時費工也造成較大的功率消耗。因此在下一節將提出一個不需時間數位轉換器也不需多模數除頻器，使用二元相位偵測器的全數位式非整數頻率合成器架構。

2.3 提出的全數位式非整數頻率合成器架構

圖 2-7 為提出的全數位式非整數頻率合成器架構，其中包含兩個相位積分路徑，一為下路的迴授相位積分路徑，一為上路的參考相位積分路徑。從二元相位偵測器的輸出分開為兩個迴路，迴授相位積分路徑包含具有權重(K_{ip})的迴路濾波器，數位控制振盪器(DCO)以及迴授相位積分電路。參考相位積分路徑包含具有權重(K_{pd})的和差調變器以及參考相位積分電路。藉由設定需要的整數除頻數(N)以及小數除頻數(F)可得總除頻數($N.F$)。當迴路鎖定時，ADPLL 的輸出頻率(f_{OUT})將會是參考頻率(f_{REF})的 $N.F$ 倍，其數學表示式為 $f_{OUT} = f_{REF} \times N.F$ ，其中 $N.F = N + F/M_{dsm}$ ， M_{dsm} 為和差調變器的最大解析度。當電路工作時，參考相位積分電路累加總除頻數 $N.F$ ，可視為參考相位資訊(Φ_{REF})，同時迴授相位積分電路將會輸出累加輸出頻率(f_{OUT})上升緣的個數，可視為輸出相位資訊(Φ_{DCO})。相位誤差(Φ_E)為參考相位資訊(Φ_{REF})與輸出相位資訊(Φ_{DCO})的差值，其數學表示式為 $\Phi_E = \Phi_{REF} - \Phi_{DCO}$ 。當迴路鎖定時，相位誤差(Φ_E)為一定值，當相位誤差值(Φ_E)小於 0 時，二元相位偵測器輸出 -1，當相位誤差值大於等於 0 時，二元相位偵測器輸出 1。

以下對此迴路特性做定性的描述，當輸出頻率小於參考頻率時，輸出相位資訊(Φ_{DCO})將會大於參考相位資訊(Φ_{REF})，此時相位誤差(Φ_E)為正值，二元相位偵測器量化其相位誤差輸出 1，迴授相位積分路徑上的迴路濾波器累加 $+K_{ip}$ ，向上調整輸出頻率，另一方面，參考相位積分路徑上的和差調變器($\Sigma\Delta$)輸入小數除頻數(F)減 K_{pd} ，此時的等效小數除頻數($F - K_{pd}$)小於目標小數除頻數(F)，故參考相位積分電路累加的

除頻值小於目標總除頻數(N.F)，反之亦然。兩負迴授路徑的拉扯終至迴路穩定，其中參考相位積分路徑的頻寬必須設計大於整個鎖相迴路的頻寬，如此一來參考相位積分電路上的和差調變器才有超取樣的結果，小數除頻數(F)的資訊才不至於被二元相位偵測器濾掉。

以往的鎖相迴路的思維都是以固定的參考頻率為標準，計算輸出頻率與參考頻率之間倍數關係的大小，調整輸出頻率以達到目標的除頻數，但如此類似的想法，將受限於使用線性的相位偵測器，例如時間數位轉換器，或是多模數除頻器來達成非整數除頻數的效果。但此一架構不同於以往鎖相迴路架構的思維是，除了保留調整輸出頻率的迴路之外加入一調整參考頻率的迴路，並且利用和差調變器平均的概念產生小數除頻數，只需要簡單的累加器就可以達到相位比較以及非整數除頻數的效果。

另外，基於這個架構上提出了背景式頻寬校正以及抖動量估計的方法。在 3.4.1 與 2.4 將做詳細的介紹。

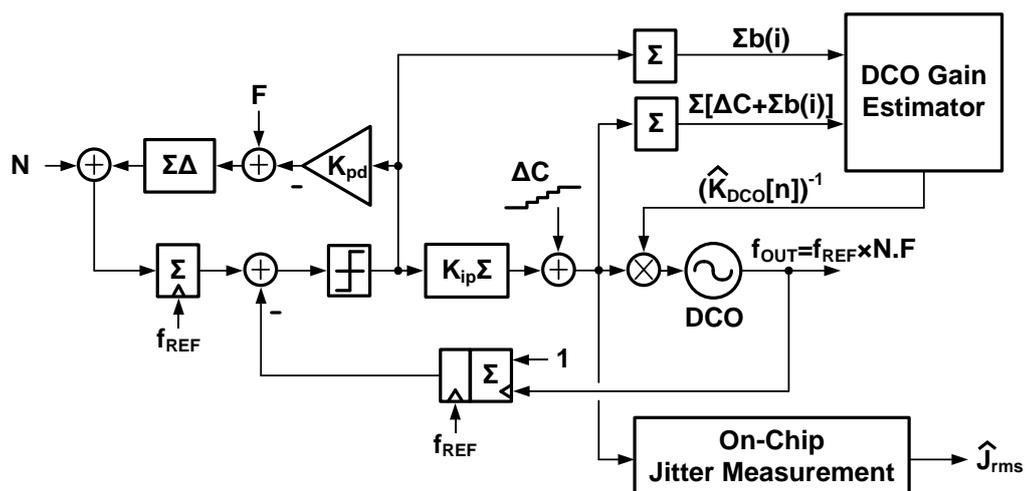


圖 2-7 提出的 ADPLL 系統架構圖

2.4 抖動量估計 (Jitter Measurement)

時脈抖動特性為評估鎖相迴路優劣的重要指標之一，以往測試鎖相迴路效能多半使用外部儀器量測時脈抖動，但隨著鎖相迴路輸出頻率之提升，量測儀器成本也大大提高。因此晶片上抖動量估計的方法，利用振盪器輸入端的頻率控制碼計算抖動雜訊，其量測頻率從原本的輸出頻率降低為參考頻率等級，大大減輕了量測儀器的成本。

本論文所提出的 ADPLL 中，頻寬由已知的數位迴路參數(迴路濾波器權重 K_{ip} , 參考相位積分路徑權重 K_{pd} , 和差調變器最大解析度 M_{dsm} , 整數除頻數 N , 小數除頻數 F)以及類比迴路參數(振盪器增益 K_{DCO})所決定。其中唯一會受到製程-電壓-溫度變異(PVT variation)影響的僅剩振盪器增益(K_{DCO})。若我們能設法找出晶片中振盪器的物理增益($K_{F,phy}$)並且將其物理增益($K_{F,phy}$)置換成原本所設計的振盪器增益($K_{F,SPEC}$)，如此一來便可以在不更動其他系統參數的情況下，達到還原迴路頻寬的效果。在完成頻寬校正後，利用振盪器前的頻率控制碼(frequency control word, FCW)估計抖動量(\hat{J}_{rms})並與此時量測到的抖動量(J_{rms})做比對，若兩張抖動分佈圖相同，可驗證頻寬校正的準確度。

其抖動量估計示意圖如圖 2-8 所示。完成背景式頻寬校正後，使用示波器量測振盪器輸出時脈可得一抖動分佈圖(J_{rms})。此時可利用振盪器前的頻率控制碼(FCW)經過運算得到一估計抖動量(\hat{J}_{rms})的分佈圖。若能保證頻率控制碼經過晶片內校正後的振盪器增益，再經過示波器的這條路徑，與頻率控制碼(FCW)經過已知振盪器增益($K_{F,SPEC}$)頻率平移積分後，再經過提出的抖動估計方法。若這兩條路徑相同，便能藉由比較兩張抖動分佈圖達到驗證頻寬校正準確度的功能。

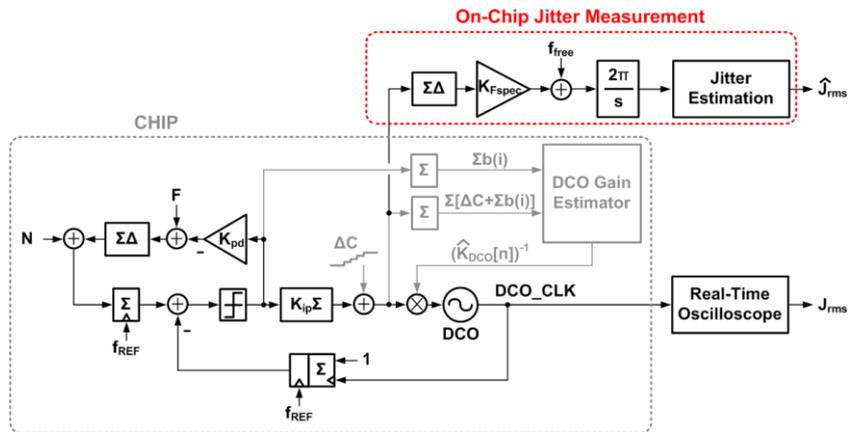


圖 2-8 抖動量估計示意圖

而這兩條抖動估計路徑相同的前提有二，一為晶片內校正後的振盪器增益必須等於已知的振盪器增益($K_{F,SPEC}$)，二為提出的抖動估計方法必須等效於示波器量測抖動的方法。首先我們先假設晶片內校正後的振盪器增益等於已知的振盪器增益($K_{F,SPEC}$)，討論提出的抖動量估計方法。由於晶片內振盪器的自身雜訊為未知數，因此要保證所提出之晶片上自我抖動量估計之方法的正確性，還存在一前提：鎖相迴路頻寬內雜訊必須由參考雜訊決定，如圖 2-9 所示，否則估計之抖動量將失去參考價值。

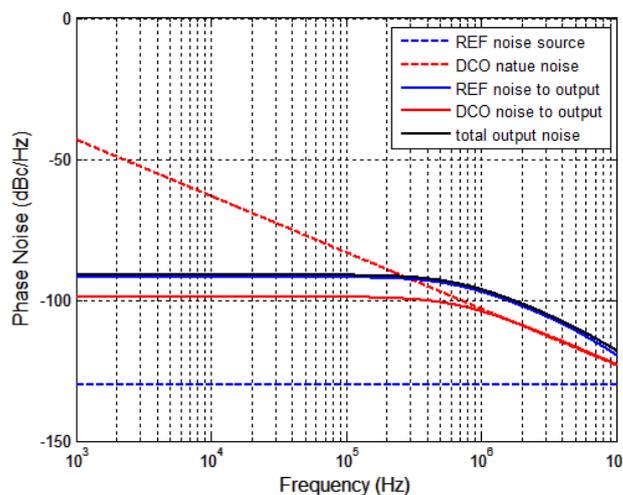


圖 2-9 晶片上自我抖動量估計方法使用條件

圖 2-10 為提出的抖動量估計方法。要計算出抖動量，找出每個時脈的週期為不可或缺的資訊。如圖 2-10(a)所示，假設在一頻率為 f ，週期為 $T(T=1/f)$ 的理想時脈中取八個點，表示每一個取樣點之間的時間間隔為 $T/8$ 。由於相位為頻率的積分，故其相位資訊將會以 $2\pi/8$ 等差遞增。將此相位資訊除以 2π 的餘數再對 2π 做正規化，可得圖 2-10(a) 下的三角波形。觀察圖 2-10(a) 的上下圖可發現，當一個週期結束時，相位除以 2π 的餘數恰好出現斜率極性的轉變，換句話說，當原本遞增的相位資訊轉為遞減時，此時的時間點可視為一個週期的結束。同理，圖 2-10(b) 為一個具有相位雜訊的時脈，藉由量測相位除以 2π 的餘數出現斜率極性轉變的時間，可視為該週期的時間長度。取足夠大的 N 個週期做平均，將其 N 次週期的期望值作為理想的時脈週期 (\bar{T})，每一次時脈週期 ($T_{cycle,n}$) 與理想週期 (\bar{T}) 的差，定義為週期抖動 (period jitter, $T_{jit(per),n}$)，其數學表示式為

$$T_{jit(per),n} = T_{cycle,n} - \bar{T} \quad (式 2-1)$$

$$\text{其中 } \bar{T} = \frac{\sum_{n=n_0}^{n_0+N-1} T_{jit(per),n}}{N}, n_0 \geq 1$$

將其週期抖動做累加並對理想週期做正規化可統計其抖動分佈 ($\hat{J}[i]$)，單位為 UI (unit interval)，其數學表示式為

$$\hat{J}[i](UI) = \sum_{n=0}^i \frac{T_{jit(per),n}}{\bar{T}}, \text{PDF}[i] = \hat{J}[i] / \sum_{\forall i} \hat{J}[i] \quad (式 2-2)$$

計算抖動分佈的期望值作為估計的方均根抖動 (\hat{J}_{rms})，其數學表示式為

$$\hat{J}_{rms} = \sum_{\forall i} \hat{J}[i] \times \text{PDF}[i] - \bar{T} \quad (式 2-3)$$

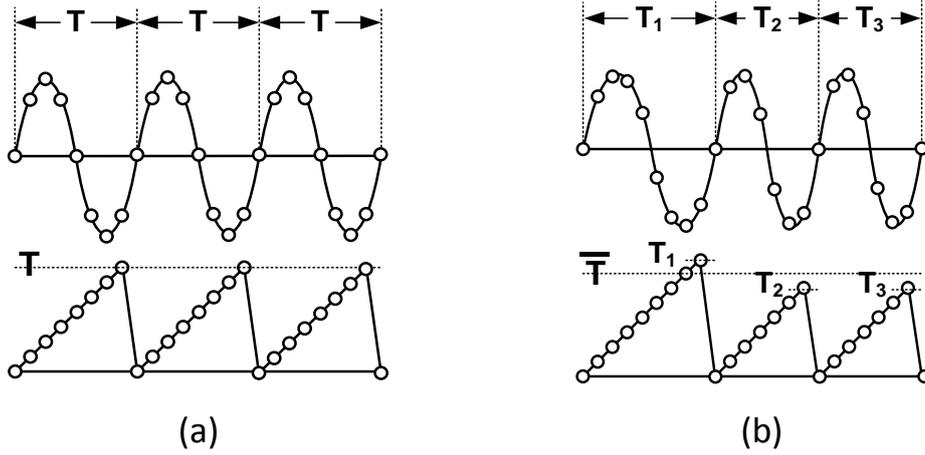


圖 2-10 提出的抖動量估計方法(a)理想時脈(b)具有雜訊的時脈

由於相位雜訊在頻域上的積分值為方均根抖動值，在模擬時，使用第 3 章中推導的轉移函式繪出相位雜訊並對頻率積分，作為實際的方均根抖動(J_{rms})。另外，提取頻率控制碼經過與迴路內相同的振盪器，使用本論文提出的抖動量估計方法，對輸出時脈取樣以估計方均根抖動量(\hat{J}_{rms})，抖動量估計模擬方法如圖 2-11 所示。比較由上述兩方法求得的抖動量是否相同，便可驗證。

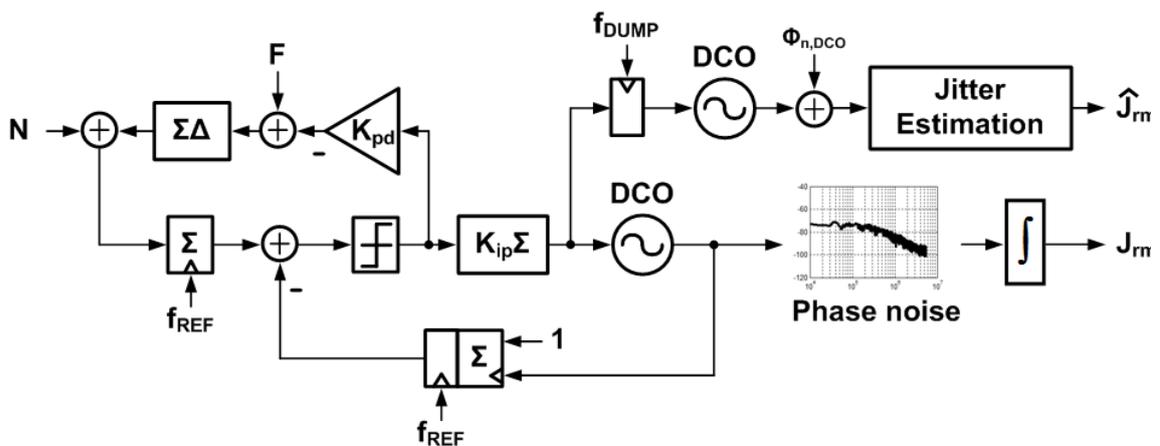


圖 2-11 抖動量估計模擬方法

圖 2-12 為使用 Matlab 模擬的抖動分佈圖，模擬參數:參考頻率 $f_{REF}=156\text{MHz}$ ，輸出頻率 $f_{DCO}=10\text{GHz}$ ，頻率控制碼輸出取樣頻率 $f_{DUMP}=156\text{MHz}$ ，鎖相迴路閉迴路頻寬設計為 1MHz (遠小於 f_{DUMP})，此時使用相位雜訊轉移函式積分得到的理想方均根抖動(J_{rms})為 2.0915ps ，值得注意的是若控制碼輸出取樣頻率 f_{DUMP} 不滿足遠大於迴路頻寬的限制，則會有混疊產生使得估計量(\hat{J}_{rms})略大於理想值(J_{rms})，舉例來說，若迴路頻寬為 1MHz ，控制碼輸出取樣頻率 $f_{DUMP}=7.8\text{MHz}$ ，得到之估計方均根抖動(\hat{J}_{rms})為 2.9888ps ，此估計值不具參考價值。

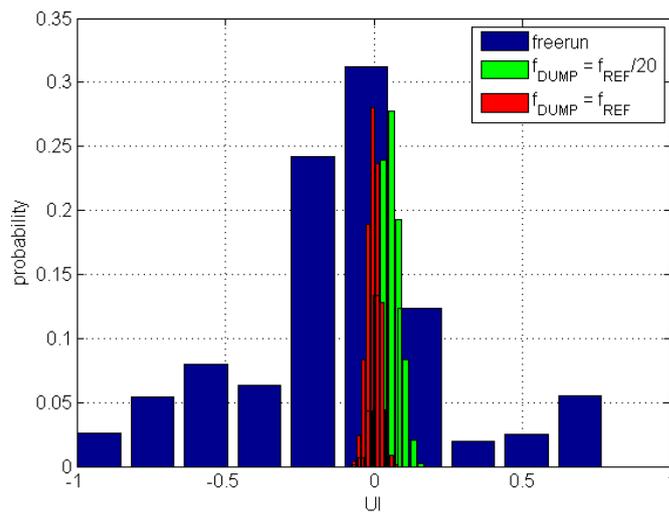


圖 2-12 抖動量估計 Matlab 模擬結果

第3章 一個全數位式非整數背景式校正頻率合

成器

3.1 動態分析

圖 3-1 為完整的鎖相迴路系統架構圖。當每一次參考時脈上升緣來臨時，相位積分電路 PAC1 理想上累加一個總除數(N.F)。PAC1 將總除數加上上一時間儲存在累加器中的值，其輸出可視為參考相位資訊量(Φ_{REF})。同時，數位振盪器(DCO)後的高速計數器(high speed counter)在每一次輸出時脈上升緣來臨時，累加 1 於上一時間儲存在累加器中的值，其輸出可視為迴授相位資訊量(Φ_{FB})。在參考時脈上升緣來臨時，將此兩相位資訊量相減量化後的值，再次送入迴路進入下一個階段。

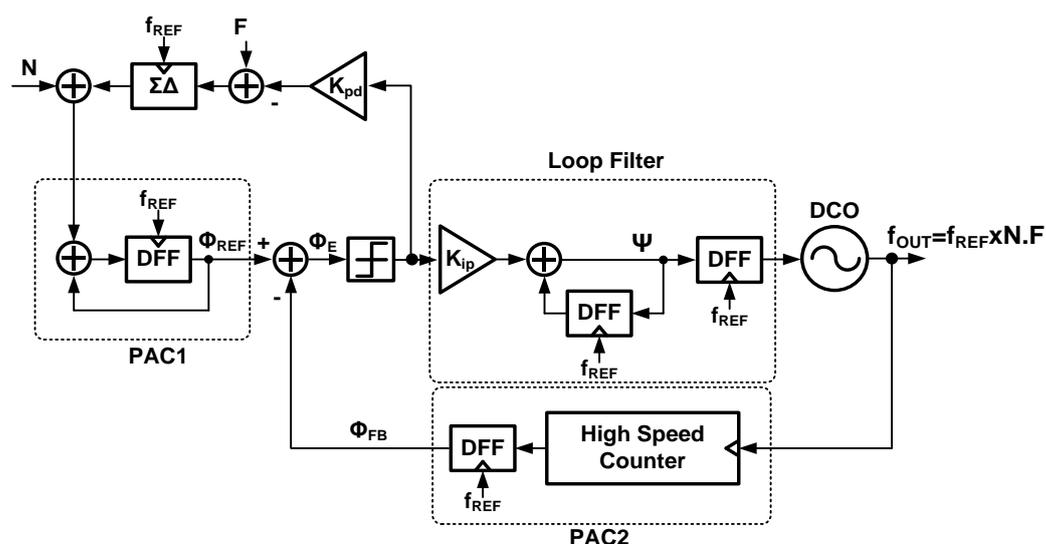


圖 3-1 系統架構圖

在傳統非整數鎖相迴路概念中，由於輸出頻率與參考頻率成非整數的倍數關係，故輸出相位也不會是整數的遞增。換句話說，輸出相位應為非整數遞增。但一個簡單的高速計數器僅能計數整數數字，當參考頻率上升緣來臨時，沒有辦法檢測出小數部分，圖 3-2 為總除數為 $2\frac{1}{4}$ 的例子。因此輸出相位的小數部分必須累積到整數數字才能被偵測出。

理論上，參考相位積分電路 PAC1 每一次參考週期將會累加一次帶有小數的除數，但迴授相位積分電路 PAC2 無法在每一次參考週期偵測到非整數相位中的小數部分。輸出相位的小數部分必須累積至整數，迴授相位積分電路 PAC2 才能夠輸出整數的相位資訊。但此無法即時偵測到的小數相位量化誤差將會嚴重的影響到非整數鎖相迴路的抖動輸出效能。為了解決這個問題，建立一條具有權重(K_{pd})與和差調變器的負迴授路徑連接到參考相位積分電路 PAC1。

和差調變器在每個參考週期將輸出不同的整數並與迴路中的殘值做累加。雖然和差調變器為一連串的整數，但從長時間的平均來看將成為一小數數字，定義為 F/M_{dsm} ，其中 M_{dsm} 為和差調變器的最大解析度。

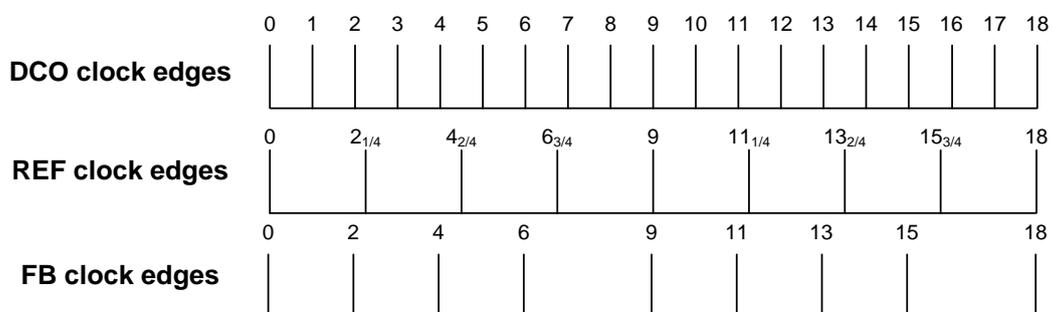


圖 3-2 總除數為 2.25 積分資訊時序圖

換句話說，雖然每個參考週期參考相位積分電路 PAC1 累加的除數為整數，但和差調變器將會調整輸出使得長時間的平均值收斂至目標非整數除數($N.F = N + \frac{F}{M_{dsm}}$)。

除此之外，由於加入了一條從二元相位偵測器的輸出到和差調變器輸入的負迴授路徑，使得和差調變器溢位輸出的時間與迴授相位積分電路 PAC2 小數累積成整數的時間點對齊。表示若參考相位積分電路 PAC1 的負迴授路徑收集足夠的時間資訊，則參考相位積分電路 PAC1 與迴授相位積分電路 PAC2 將會完全同步。因此，當高速計數器累加的非整數的輸出相位資訊尚未累積成整數時，迴授相位積分電路 PAC2 只能偵測到迴授相位的整數部分；同時，和差調變器的輸出送出 0，所以參考相位積分電路 PAC1 僅累加了總除數的整數部分。反之，當高速計數器累加的非整數的輸出相位資訊累積成整數時，迴授相位積分電路 PAC2 能偵測到此時的迴授相位；同時，和差調變器的輸出送出 1，所以參考相位積分電路 PAC1 累加了總除數的整數部分與溢位的整數數字。

這個機制的優點是因為參考相位積分電路 PAC1 與迴授相位積分電路 PAC2 同步溢位，相位量化誤差將會被消去。同時，鎖相迴路因為相位誤差偵測更加準確，使得所需的鎖定時間縮短。因此，此全數位式非整數鎖相迴路，僅使用簡單的整數累加器和二元相位偵測器達到非整數除頻數的效果，並且不需要時間數位轉換器(TDC)、多模數除頻器或是複雜的數學演算法。

如第 2 章所敘述，本論文提出了一個全數位式非整數頻率合成器架構，僅需二元相位偵測器與整數累加器，如圖 3-1 所示，化簡了 2.2.2

需要和差調變器控制的多模數除法器的架構。當參考相位(Φ_{REF})大於等於迴授相位(Φ_{FB})，也就是相位誤差(Φ_E)大於等於 0 時，二元相位偵測器的輸出為 1。反之，當參考相位(Φ_{REF})小於迴授相位(Φ_{FB})，也就是相位誤差(Φ_E)小於 0 時，二元相位偵測器的輸出為-1。定義變數 Ψ 為迴路濾波器的輸出，也就是數位控制振盪器的輸入頻率控制碼。

傳統類比線性的鎖相迴路使用拉式轉換(Laplace transform)做分析。然而，由於迴路中使用非線性的二元相位偵測器，故無法在線性的連續時間上做分析。在此簡稱使用二元相位偵測器(Bang-bang phase detector)的鎖相迴路為 BBPLL(bang-bang PLL)。BBPLL 的鎖定情形不同於一般線性鎖相迴路的想法，一般線性鎖相迴路在鎖定时，頻率相位偵測器的輸出與迴路濾波器的輸出電壓，會漸進的收斂至一固定值，其分佈僅受溫度雜訊(thermal noise)影響。為了在分析轉移函式之前先對 BBPLL 在時域行為上有粗略的概念，利用 Matlab 的 Simulink 建立系統模型，對 BBPLL 進行動態分析，圖 3-3 為模擬結果。圖 3-3(a)為輸出頻率對模擬時間作圖，可清楚的觀察到當鎖定时輸出頻率在一固定範圍內抖動。圖 3-3(b)為輸出相位對模擬時間作圖。圖 3-3(c)為相位平面的模擬，橫軸為二元相位偵測器尚未經過量化前的相位誤差(Φ_E)，縱軸為迴路濾波器的輸出(Ψ)。因為迴路濾波器的輸出(Ψ)直接的控制數位振盪器的輸出頻率，所以此點可視為頻率追蹤的行為。當迴路穩定時，圖 3-3(c)會向內收斂至相位誤差(Φ_E)等於 0 並且行週期性的軌道運動。

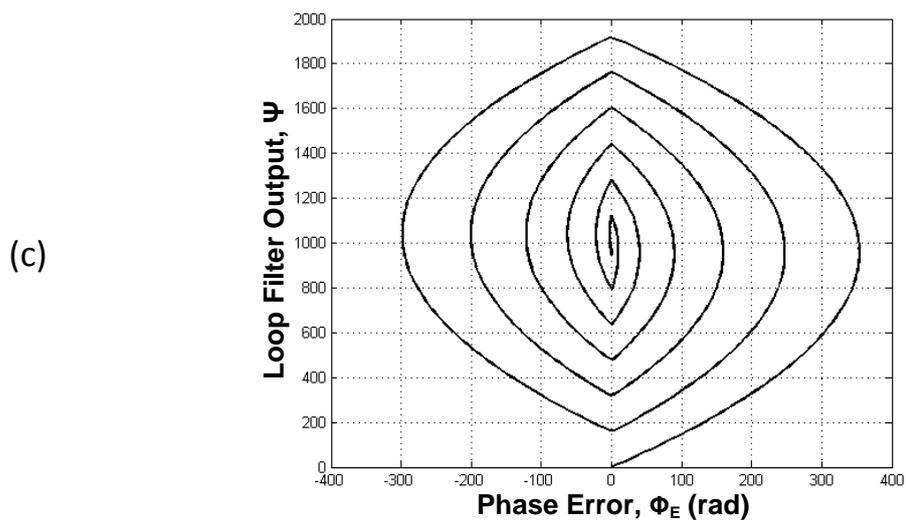
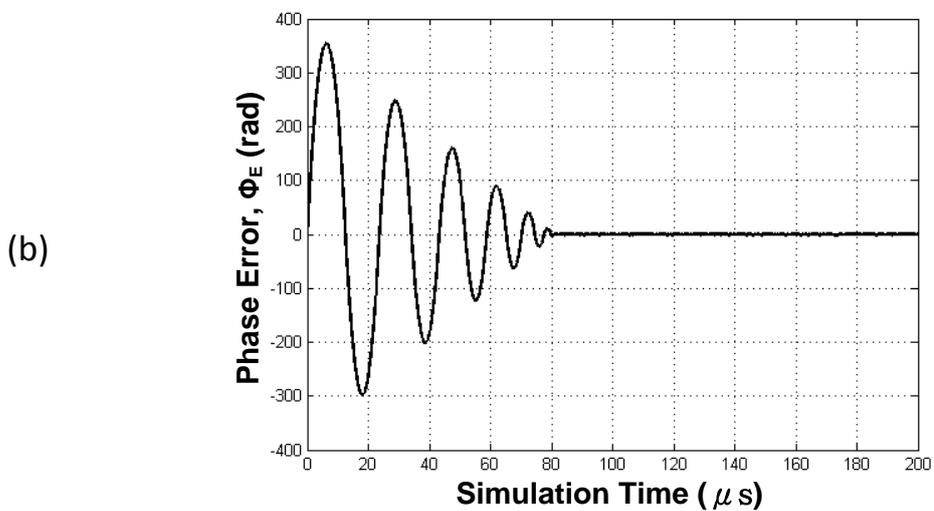
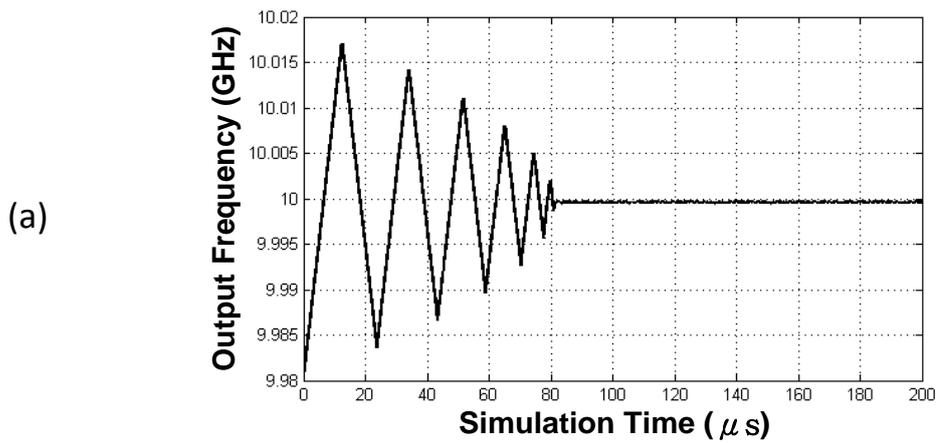


圖 3-3 動態分析模結果(a)輸出頻率對模擬時間
(b)相位誤差對模擬時間(c)輸出頻率對相位誤差

3.2 線性模型

雖然使用離散時間非線性模型可以很直觀的觀察到系統在時域上的表現，但無法對於實際上內部與外部雜訊源對輸出雜訊的貢獻作更完整的分析。在本節將使用連續時間的線性模型對系統作近似，推導系統的轉移函式以估計迴路的輸出效能。

3.2.1 二元相位偵測器(Bang-Bang Phase Detector, BBPD)線性模型

圖 3-1 為系統架構圖，由於使用非線性的二元相位偵測器，使得整個系統難以在連續時間上建立線性化的模型。但當相位誤差很小時，二元相位偵測器可用一個具有增益 K_{bpd} 的線性模型[9]作近似，如圖 3-4 所示。其中 $\Delta t = t_r - t_d$ 為參考時脈上升緣時間(t_r)與迴授時脈上升緣時間(t_d)的差值。無疑的，當迴路鎖定時二元相位偵測器輸出的期望值 $E[\Phi_{EBB}]$ 將收斂至 0。假設因為某些原因 Δt 往正方向偏移平衡點一個微小的量 η ，此時 Φ_{EBB} 的期望值也會為一微小正數。根據這個機制，相位偵測器的增益(K_{bpd})可定義為在鎖定情況下， $E[\Phi_{EBB}]$ 因為一個具有機率密度函數分佈函數(probability density function, pdf)的極小的偏移量 η 而改變的反應速度，如(式 3-1)所示

$$K_{bpd} \equiv \frac{\partial}{\partial \eta} (E[\Phi_{EBB} | shift = \eta]) |_{\eta \rightarrow 0} \quad (式 3-1)$$

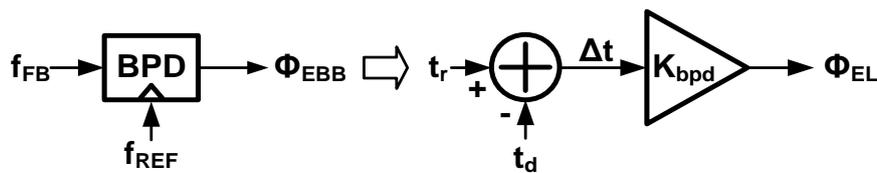


圖 3-4 二元相位偵測器線性模型

根據這個定義， K_{bpd} 可近似為(式 3-2)

$$K_{bpd} = 2f_{\Delta t}(0) \quad (式 3-2)$$

其中 $f_{\Delta t}$ 表示 Δt 的機率密度函數分佈函數

當迴路鎖定時，迴路濾波器的輸出(Ψ)將會動態的對一圓心作軌道運動，因此可以假設(式 3-3)

$$T_{REF} - NT_{DCO,free} - NK_T\Psi[k - D] = 0 \quad (式 3-3)$$

其中 $\Psi[n]$ 表示迴路濾波器的輸出

此時參考時脈抖動和振盪器時脈抖動的非線性對應，表示為(式 3-4)

$$\Delta t[k + 1] = \Delta t[k] + t_j - \frac{K_{pd}}{Nf_{REF}} \text{sgn}(\Delta t[k]) \quad (式 3-4)$$

其中 t_j 表示參考時脈上的時間抖動

假設 $\Delta t[0] = 0$ 且令 Δt 在不考慮參考時脈抖動與振盪器時脈抖動的情況下為 Δt^* ， Δt^* 可表示為(式 3-5)離散狀態：

$$\Delta t^* = n \frac{K_{pd}}{Nf_{REF}}, n \in Z \quad (式 3-5)$$

定義(式 3-6)表示狀態 n 出現的機率為

$$q_n \equiv P \left[\Delta t^* = n \frac{K_{pd}}{Nf_{REF}} \right] \quad (式 3-6)$$

則 Δt 的機率密度函數分佈函數 $f_{\Delta t}$ ，可由 t_j 的機率密度函數分佈函數乘上目前狀態出現的機率累加求得，如(式 3-7)所示：

$$f_{\Delta t}(a) = \sum_{n=-\infty}^{n=+\infty} q_n f_{t_j} \left(a - n \frac{K_{pd}}{Nf_{REF}} \right) \quad (式 3-7)$$

一般而言， f_{t_j} 可視為變異數為 $\sigma_{t_j}^2$ 的高斯分布(Gaussian process)，如(式 3-8)所示

$$f_{t_j}(x) = \frac{1}{\sigma_{t_j}\sqrt{2\pi}} \exp\left[-\frac{1}{2}\left(\frac{x}{\sigma_{t_j}}\right)^2\right] \quad (\text{式 3-8})$$

其中 $\sigma_{t_j}^2$ 為參考時脈抖動的變異數

爲了求得 $f_{\Delta t}$ ，使用統計法取得 q_n 。假定已知目前在狀態 n ，下一狀態 Δt^* 可能走向狀態 $(n+1)$ 或狀態 $(n-1)$ ，定義(式 3-9)表示從已知狀態 m 轉移到狀態 n 的條件機率

$$P_{m,n} \equiv P[\Delta t_{k+1}^* \in n | \Delta t_k^* \in m] \quad (\text{式 3-9})$$

假設 σ_{t_j} 遠小於迴路的量化間距 $-K_{pd}/N f_{REF}$ ，故狀態 n 轉移到狀態 $|n| \geq 2$ 的機率可忽略。因此系統的狀態圖可化簡為三個狀態鏈，如，並以(式 3-10)描述之

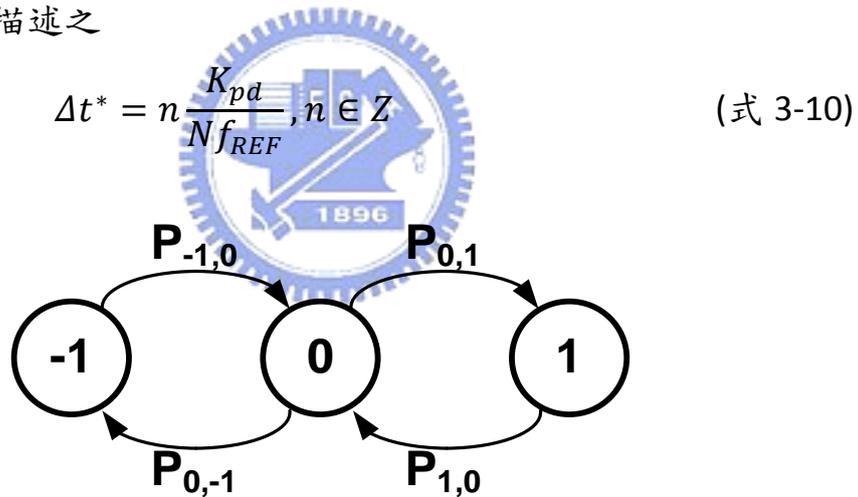


圖 3-5 二元相位偵測器的狀態鍊近似

若 $f_{\Delta t}$ 對零對稱則 $q_{-1} = q_1$ 且 $P_{0,1} = P_{0,-1} = 1/2$ ，因此迴路存在兩個可能的情況，會維持原本的狀態或是轉換到下一個狀態。例如，。然而，在此例中下一時間不可能維持狀態 1。因此，根據(式 3-4)且假設 $\sigma_{t_j} \ll K_{pd}/N f_{REF}$ ，可得(式 3-11)

$$P_{1,0} = \frac{\frac{q_0}{2} + q_1}{q_0 + q_1} \quad (\text{式 3-11})$$

為了取得狀態機率與轉移機機率的關係， q_0 可表示為(式 3-12)

$$q_0 = q_{-1}P_{-1,0} + q_0P_{0,0} + q_1P_{1,0} = 2q_1P_{1,0} + q_0P_{0,0} \quad (\text{式 3-12})$$

由於已描述所有狀態可能發生的事件並且互為互斥事件(disjoint)，因此應滿足歸一條件(normalization equation)

$$q_{-1} + q_0 + q_1 = 1 \quad (\text{式 3-13})$$

由(式 3-11)，(式 3-12)與(式 3-13)可得 $q_{-1} = q_0 = q_1 = 1/3$ ，代入(式 3-7)與(式 3-8)根據(式 3-2)的定義可得二元相位偵測器等效增益如(式 3-14)所示

$$K_{BPD} \approx \frac{1}{\sigma_{tj}\sqrt{2\pi}} \left[1 + e^{-\frac{1}{2}\left(\frac{K_{pd}}{Nf_{REF}\sigma_{tj}}\right)^2} \right] \quad (\text{式 3-14})$$

上式的增益表示式的單位為 $(\text{sec})^{-1}$ 。可藉由下式將單位轉換成 $(\text{rad})^{-1}$

$$K_{bpd,\phi} = \frac{K_{bpd}}{2\pi f_{REF}} \quad (\text{式 3-15})$$

將(式 3-14)代入(式 3-15)可得

$$K_{BPD,\phi} \approx \frac{1}{\sigma_{tj}(2\pi)^{\frac{3}{2}}f_{REF}} \left[1 + e^{-\frac{1}{2}\left(\frac{K_{pd}}{Nf_{REF}\sigma_{tj}}\right)^2} \right] \quad (\text{式 3-16})$$

3.2.2 數位迴路濾波器(Digital Loop Filter, DLF)線性模型

圖 3-6 表示數位濾波器的離散時間模型與相應的連續時間近似模型。在線性的相位誤差資訊(Φ_{EL})送入數位迴路濾波器之前，這個連續時間的訊號(Φ_{EL})會先被參考時脈取樣，表示成連續離散轉換(C/D)單元。假設此類比訊號是在頻譜上是有界(band-limited)的且忽略混疊

(aliasing)效應，則此取樣過程可被乘上一增益(f_{REF})取代。在離散時間無限脈衝響應濾波器(IIR filter)中，一個單位延遲表示成 z^{-1} ，其中 $z = \exp(j2\pi f/f_{REF})$ 。在圖 3-6 中，數位訊號重組成類比訊號的過程表示成離散連續轉換(D/C)單元。明顯的，數位訊號將會保持其值直到下次取樣，因此數位濾波器的輸出以零階保持(zero-order-hold)重建訊號，在頻域上可以表示成 sinc 函數。最後數位濾波器在連續時間近似的頻率響應可表示成(式 3-17)

$$H_{LF}(f) = K_{ip} \frac{e^{-j\frac{2\pi f}{f_{REF}}}}{1 - e^{-j\frac{2\pi f}{f_{REF}}}} \text{sinc}\left(\frac{\pi f}{f_{REF}}\right) \quad (\text{式 3-17})$$

$$\text{其中 } \text{sinc}\left(\frac{\pi f}{f_{REF}}\right) = \frac{\sin(\pi f/f_{REF})}{(\pi f/f_{REF})}$$

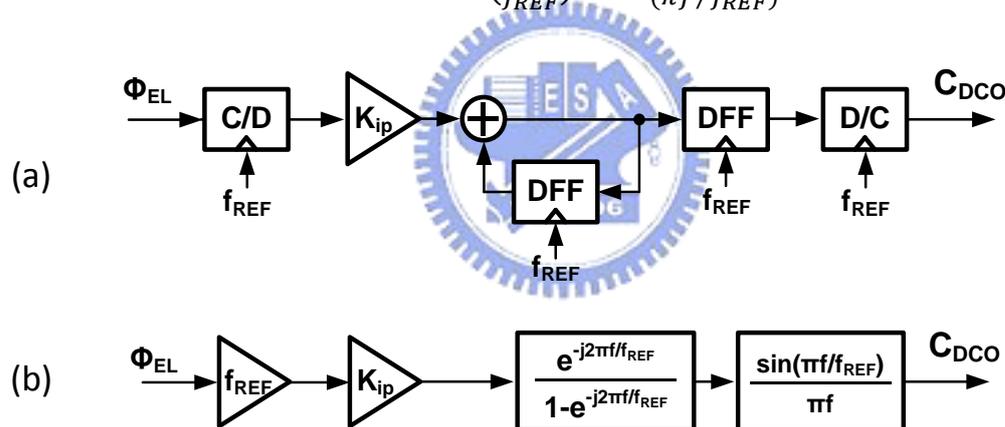


圖 3-6 (a)迴路濾波器離散時間模型

(b)迴路濾波器連續時間近似模型

3.2.3 參考相位積分路徑線性模型

同理，在線性的相位誤差資訊(Φ_{EL})送入參考相位積分路徑之前，這個連續時間的訊號(Φ_{EL})會先被參考時脈取樣，表示成連續離散轉換(C/D)單元。假設此類比訊號是在頻譜上是有界(band-limited)的且忽略混疊(aliasing)效應，則此取樣過程可被乘上一增益(f_{REF})取代。在離

散時間無限脈衝響應濾波器(IIR filter)中，一個單位延遲表示成 z^{-1} ，其中 $z = \exp(j2\pi f/f_{REF})$ 。在圖 3-7 中，數位訊號重組成類比訊號的過程表示成離散連續轉換(D/C)單元。明顯的，數位訊號將會保持其值直到下次取樣，因此數位濾波器的輸出以零階保持(zero-order-hold)重建訊號，在頻域上可以表示成 sinc 函數。和差調變器以一個分母為最大解析度 M_{dsm} 表示平均的概念，最後參考相位積分路徑在連續時間近似的頻率響應可表示成(式 3-18)

$$H_{AF}(f) = \frac{K_{pd}}{M_{dsm}} \frac{e^{-j\frac{2\pi f}{f_{REF}}}}{1 - e^{-j\frac{2\pi f}{f_{REF}}}} \text{sinc}\left(\frac{\pi f}{f_{REF}}\right) \quad (\text{式 3-18})$$

$$\text{其中 } \text{sinc}\left(\frac{\pi f}{f_{REF}}\right) = \frac{\sin(\pi f/f_{REF})}{(\pi f/f_{REF})}$$

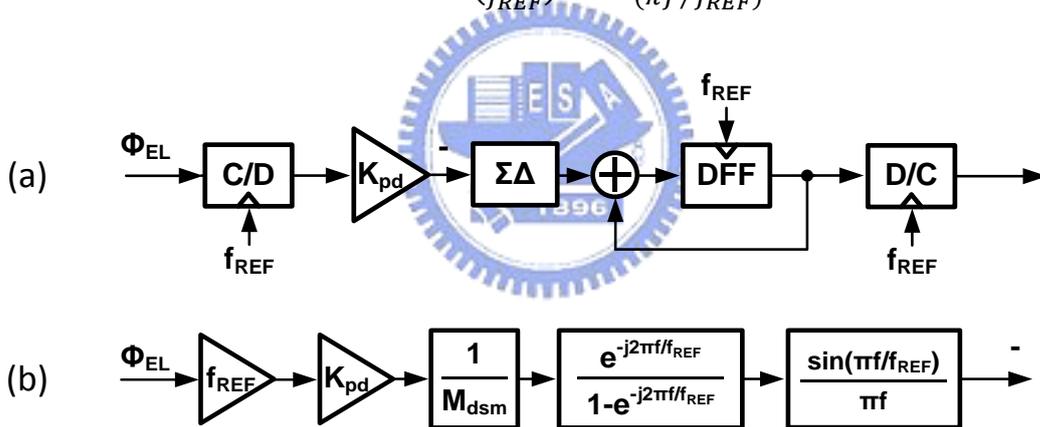


圖 3-7 (a)參考相位積分路徑離散時間模型

(b)參考相位積分路徑連續時間近似模型

3.2.4 完整鎖相迴路線性模型

圖 3-8 表示鎖相迴路的完整模型，其中 DCO 以一個具有積分功能帶有 $2\pi K_{DCO}$ 增益的模型表示，並且輸出相位 ϕ_{OUT} 和參考相位 ϕ_{REF} 具有倍數關係(xN.F)，其中 $N.F = N + \frac{F}{M_{dsm}}$ 。迴路轉移函式與相位雜訊

接下來會做更詳細的分析。

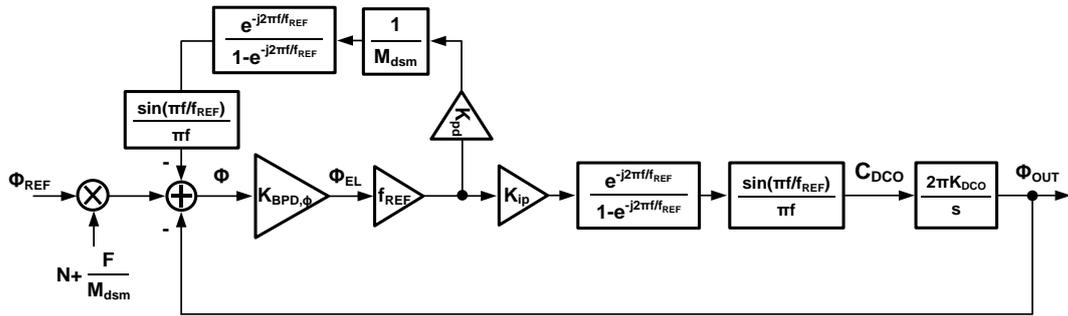


圖 3-8 迴路連續時間近似模型

3.3 產生的相位雜訊(Phase Noise)

一般而言，鎖相迴路主要的雜訊來源來自於輸入參考雜訊以及內部振盪器的自然雜訊(nature noise)。然而，因為使用了二元相位偵測器以及和差調變器，故其量化行為造成的雜訊也必須被考慮。

圖 3-9 再次說明提出的全數位式鎖相迴路線性模型包含內部與外部雜訊源。實際上 $\varphi_{n,REF}$ 為輸入參考時脈的相位雜訊； $\varphi_{n,BPD}$ 為由於二元相位偵測器量化行為產生的輸入參考雜訊； $\varphi_{n,DSM}$ 為和差調變器的量化雜訊； $\varphi_{n,DCO}$ 振盪器自身的相位雜訊。

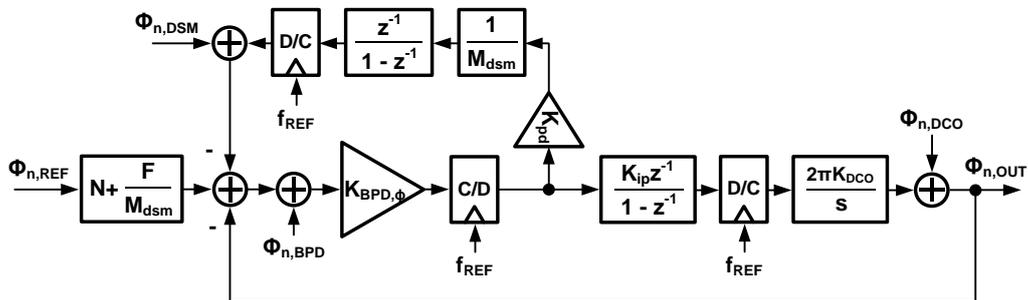


圖 3-9 包含內部與外部雜訊源的鎖相迴路線性模型

為了計算鎖相迴路的輸出總雜訊大小，必須知道每個雜訊源的功率頻譜密度(power spectral density, PSD)。

3.3.1 參考時脈雜訊模型

實際上鎖相迴路的參考時脈是由訊號產生器(signal generator)產生，所以參考時脈的相位雜訊功率頻譜密度可根據訊號產生器應用手冊中的規格描述[10]來估計。參考時脈的相位雜訊可表示為(式 3-19)

$$S_{\varphi_{n,REF}}(\Delta f) = -132 \text{ (dBc/Hz)} \quad (\text{式 3-19})$$

3.3.2 二元相位偵測器(BBPD)雜訊模型

在線性分析中，二元相位偵測器以一個具有增益 $K_{bpd,\varphi}$ 的線性區塊表示。為了模擬二元相位偵測器量化雜訊的影響，引入輸入參考抖動，定義為(式 3-20)

$$\varphi_{n,BPD} = \frac{\text{sgn}(\Delta\varphi) - K_{bpd,\varphi} \cdot \Delta\varphi}{K_{bpd,\varphi}} = \frac{\text{sgn}(\Delta\varphi)}{K_{bpd,\varphi}} - \Delta\varphi \quad (\text{式 3-20})$$

為了推導總輸出相位雜訊， $\varphi_{n,BPD}$ 的近似功率頻譜密度是必要的。一般而言，若輸入時脈的抖動小於鎖相迴路的量化步階 K_{pd}/Nf_{REF} ，則使用二元相位偵測器的鎖相迴路行為可視為一階和差調變器，具有一位元量化器其量化步階為 $2K_{pd}/Nf_{REF}$ 。因此， $\varphi_{n,BPD}$ 可近似為一個具有均勻分布(uniform distribution)的白雜訊(white process)其變異數為 $(2K_{pd}/Nf_{REF})^2/12$ 。然而，若參考時脈的抖動增加，和差調變器迴路將會溢位且輸出將會反轉[11]。因此 $\varphi_{n,BPD}$ 的變異數將會增加。為了取得當輸入抖動很大時 $\varphi_{n,BPD}$ 變異數，[11]使用模擬結果提出方法。模擬結果顯示二元相位偵測器產生的抖動，大約是輸入抖動的3/4標準差。根據上述的討論，二元相位偵測器的功率頻譜雜訊密度

可定義為(式 3-21)[11]

$$S_{\varphi_{n,BPD}}(\Delta f) = \max \left\{ \frac{((2\pi)^2 f_{REF} (K_{pd} / N f_{REF})^2)}{3}, \left(\frac{3}{4}\right)^2 S_{\varphi_{n,REF}}(\Delta f) \right\} \quad (\text{式 3-21})$$

3.3.3 數位控制振盪器(DCO)雜訊模型

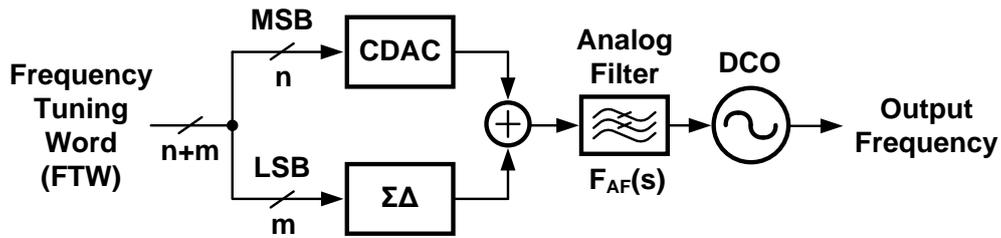


圖 3-10 DCO 數位控制示意圖

圖 3-10 為 DCO 數位控制示意圖。頻率控制碼(FTW)前 MSB 個位元輸入電流式類比數位轉換器(CDAC)將數位碼轉換成類比電流，後 LSB 個位元輸入和差調變器($\Sigma\Delta$)使用與電流式類比數位轉換器相同的最小電流作為量化步階，產生高速擾動(dithering)的電流得到內插的效果，獲得更高的頻率解析度。由於數位的位元數為一有限值，對應到類比連續的訊號中，勢必會產生一量化誤差，將此量化誤差稱為量化雜訊(quantization noise)。因此，只要是使用任何形式的類比數位轉換器都會有量化雜訊的產生。另一方面，雖然使用和差調變器可增加頻率解析度，但其雜訊整形(noise shaping)特性會額外引入擾動雜訊(dithering noise)，其大小和頻寬與擾動頻率及和差調變器階數有關，在後面段落將會詳細分析。由於本論文使用的是環形振盪器(Ring oscillator)架構，其對於高頻雜訊的壓抑能力較不如 LC 共振腔振盪器(LC-tank oscillator)，加上和差調變器因雜訊整形特性將低頻雜訊推至高頻，以及電流式類比數位轉換器中的開關雜訊，故在數位振盪器前加入類比濾波器增進雜訊效能。

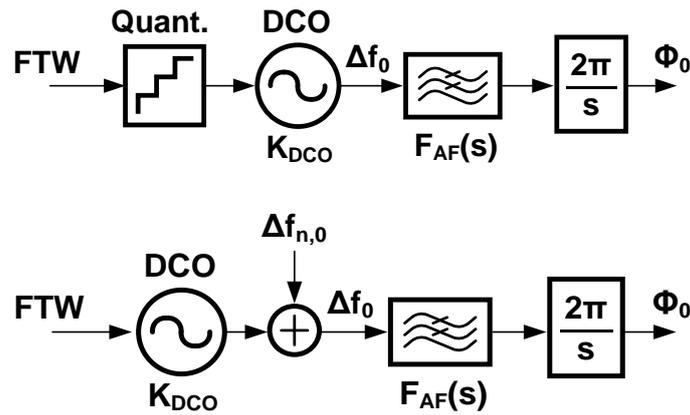


圖 3-11 振盪器量化雜訊模型

由於有限的振盪器頻率解析度，故量化誤差將會在輸出射頻訊號中產生雜訊。為了分析量化行為對振盪器相位雜訊的影響，使用量化雜訊的模型如圖 3-11 所示[12]。其量化的機制可被表示成一個無限精細度的可調訊號 $\Delta f_{n,0}$ ，並為均勻分佈的隨機變數具有白雜訊頻譜特性。因此，和差調變器的雜訊($S_{\Delta f_{n,0}}$)包含有限頻率解析度的量化雜訊($S_{\Delta f,quantize}$)以及因和差調變器雜訊整形造成的擾動雜訊($S_{\Delta f,dithering}$)，其數學表示式為

$$S_{\Delta f_{n,0}} = S_{\Delta f,quantize} + S_{\Delta f,dithering} \quad (\text{式 3-22})$$

其中量化雜訊為(式 3-23)[12]

$$S_{\Delta f,quantize}(\Delta f) = \frac{1}{12} \times \left(\frac{\Delta f_{res}}{\Delta f} \right)^2 \times \frac{1}{f_{REF}} \times \left(\text{sinc} \frac{\Delta f}{f_{REF}} \right)^2 \quad (\text{式 3-23})$$

在(式 3-23)中， Δf_{res} 表示理想上振盪器輸入變動一個最小控制碼時輸出頻率的平均改變量， $\Delta f_{res} = \Delta f_T / 2^{(n+m)}$ ， Δf_T 為振盪器的輸出可調頻率範圍， n 為電流式類比數位轉換器的量化位階數， m 為和差調變器最大解析度。 Δf 為偏移中心頻率的偏移量。圖 3-12 為不同頻率解析度對量化雜訊的影響，可觀察到當頻率解析度越高時，量化雜

訊的準位越低。

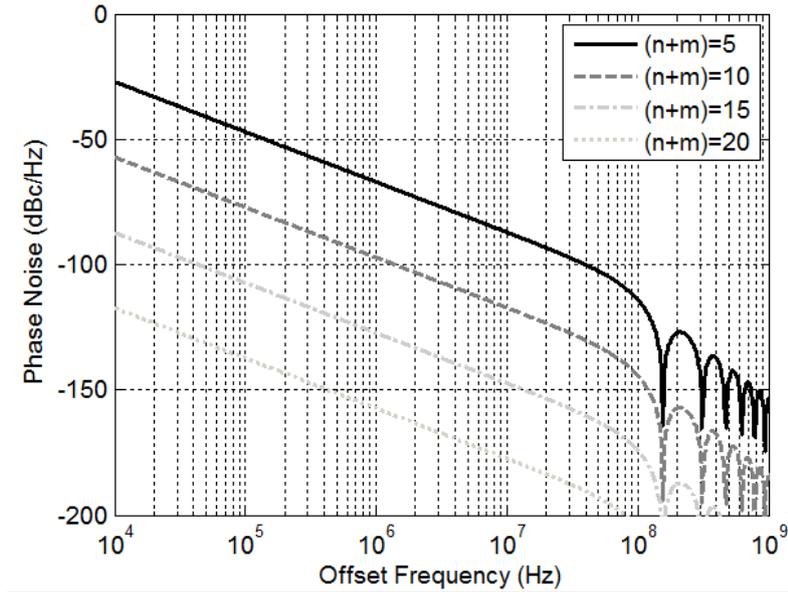


圖 3-12 和差調變器的量化雜訊

其中擾動雜訊為(式 3-24)[12]

$$S_{\Delta f, dithering}(\Delta f) = \frac{1}{12} \times \left(\frac{\Delta f_{res}}{\Delta f} \right)^2 \times \frac{1}{f_{dth}} \times \left(2 \sin \frac{\pi \Delta f}{f_{dth}} \right)^{2k} \quad (式 3-24)$$

在(式 3-24)中， Δf_{res} 表示實際上振盪器輸入變動一個最小控制碼時輸出頻率的改變量，此時 $\Delta f_{res} = \Delta f_T / 2^n$ ， Δf_T 為振盪器的輸出可調頻率範圍， n 為電流式類比數位轉換器的量化位階數。值得注意的是此時的頻率解析度並未包含和差調變器的解析度，是因為和差調變器的溢位輸出對頻率的即刻的調動量與電流式類比數位轉換器最小刻度相同，故和差調變器的溢位輸出 1，實際上調動的頻率量為 $\Delta f_{res} = \Delta f_T / 2^n$ ，僅是在時間平均上能得到小數頻率值的效果，故數位類比轉換器的解析度仍有最低限制，不可完全依靠和差調變器內插。 k 為和差調變器的階數，若使用 MASH I-I 架構則 $k=2$ ，若使用 MASH I-I-I 架構則 $k=3$ 。圖 3-13 為不同超取樣頻率(f_{dth})對擾動雜訊的影響，可

觀察到當超取樣頻率越快時，量化雜訊的準位越低。

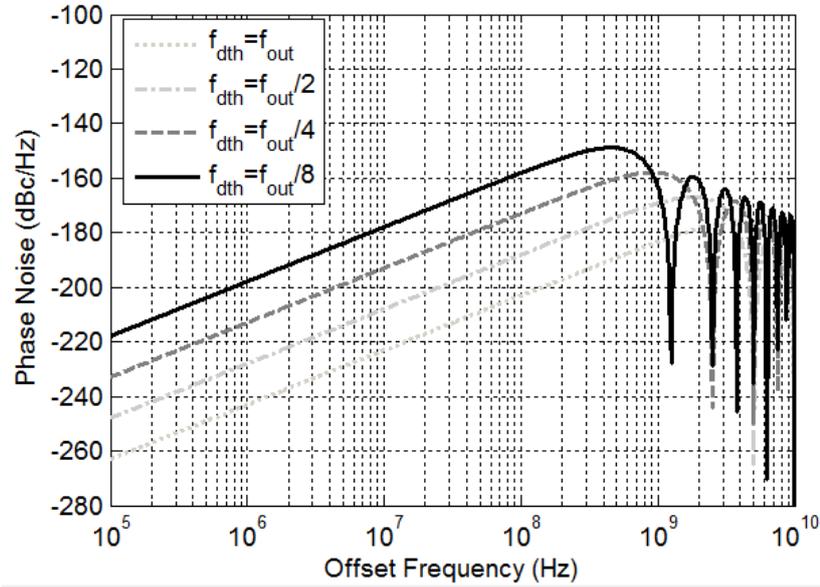


圖 3-13 不同超取樣頻率對擾動雜訊的影響

和差調變器在頻率上的雜訊經過類比濾波器 $F_{AF}(s)$ 後，再經過 $2\pi/s$ 的積分轉到相位域。因此，和差調變器的頻率上的雜訊($S_{\Delta f_{n,0}}$)對輸出相位雜訊的影響可表示為(式 3-25)

$$S_{\Phi_{n,\Sigma\Delta}} = \left| F_{AF}(s) \cdot \frac{2\pi}{s} \right|^2 S_{\Delta f_{n,0}} \quad (\text{式 3-25})$$

為了得到較好的輸出雜訊表現，和差調變器的量化雜訊與擾動雜訊在經過類比濾波器之後的準位，必須設計在振盪器的自身雜訊以下。因此接下來討論振盪器的自身雜訊以及類比濾波器之轉移函式。由於本論文使用一差動 MOS 四級環形振盪器，根據[13]提出的差動 MOS 環形振盪器相位雜訊做推導。一個 N 級環形振盪器的自身雜訊可表為(式 3-26)

$$S_{\Phi_{n,Dco}}(\Delta f) = \frac{8}{3\eta} \cdot N \cdot \frac{kT}{P} \cdot \left(\frac{V_{DD}}{V_{char}} + \frac{V_{DD}}{R_L I_{tail}} \right) \cdot \left(\frac{f_o}{\Delta f} \right)^2 \quad (\text{式 3-26})$$

其中 η 為傳播常數(propagation constant)， N 為環形振盪器的級數，

$k = 1.38 \times 10^{-23}$ J/K 為波茲曼常數(Boltzmann constant), T 為絕對溫度, P 為環形振盪器的總功率消耗, V_{DD} 為供應電壓, $V_{char} = (V_{GS} - V_t)/\gamma$, R_L 為負載電阻, I_{tail} 為每一級的供應電流, f_o 為振盪頻率。代入本論文振盪器的模擬參數, 可得振盪器的自身相位雜訊如圖 3-14 所示, 在 1MHz 處大約是 -82dBc/Hz。

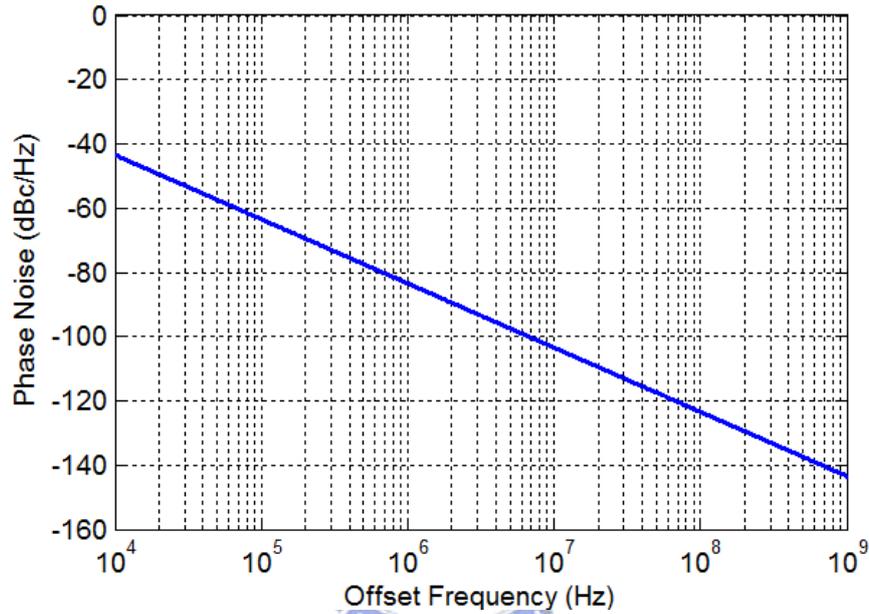


圖 3-14 振盪器的自身相位雜訊

為了減少量化雜訊以及擾動雜訊對輸出的影響, 類比濾波器的頻寬須考慮(式 3-23)與(式 3-24)設計, 使得和差調變器造成的輸出相位雜訊貢獻低於振盪器的自身雜訊。本論文使用 10 位元的二階和差調變器, 超取樣頻率為輸出頻率的 1/16, 尚未加入類比濾波器之前, 和差調變器產生的相位雜訊如圖 3-15 所示, 包含量化雜訊及擾動雜訊。根據圖 3-15, 可觀察到在大約 5MHz 處量化雜訊與擾動雜訊有一交叉點。二階的類比濾波器才能抵銷二階和差調變器的高頻雜訊, 故設計一二階的類比濾波器其頻寬位在 5MHz。

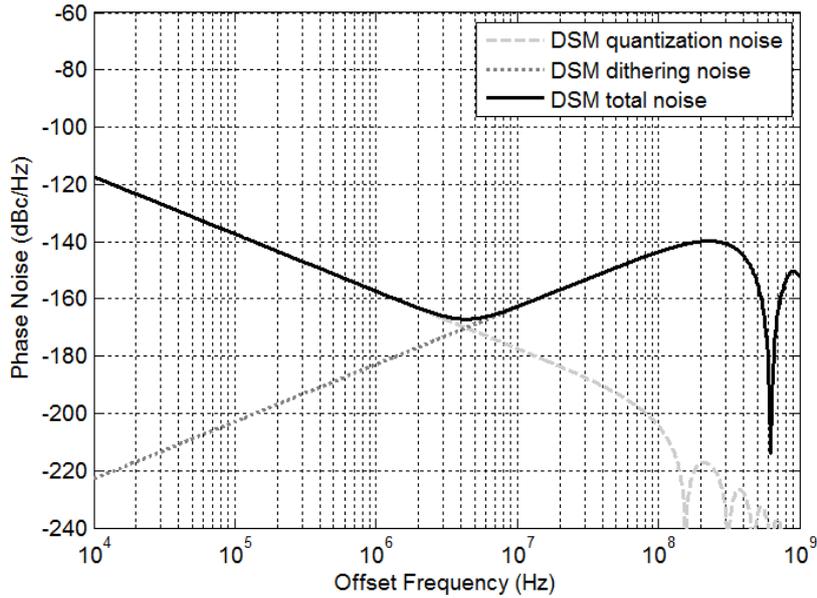


圖 3-15 和差調變器產生的相位雜訊

一個二階的濾波器轉移函式如(式 3-27)所示

$$H_{AF}(s) = \frac{\omega_{p1}\omega_{p2}}{s^2 + (\omega_{p1} + \omega_{p2})s + \omega_{p1}\omega_{p2}} \quad (\text{式 3-27})$$

若設計兩個極點在同一位置 $\omega_{p1} = \omega_{p2} = \omega_p$ ，(式 3-27)可改寫成(式 3-28)

$$H_{AF}(s) = \frac{\omega_p^2}{s^2 + 2\omega_p s + \omega_p^2} \quad (\text{式 3-28})$$

其-3dB 頻寬發生在 $\|H_{AF}(j\omega_{-3dB})\| = 1/\sqrt{2}$ 時，可得頻寬(ω_{-3dB})與極點(ω_p)之間的關係式，如(式 3-29)所示

$$\omega_{-3dB}^2 = \omega_p^2 \times (\sqrt{2} - 1) \quad (\text{式 3-29})$$

由(式 3-29)可得，若-3dB 頻寬設計在 5MHz，則類比濾波器的兩個極點都設計在 7.77MHz 處。

圖 3-16 為包含類比濾波器之數位控制振盪器的相位雜訊。由於經過類比濾波器之後的和差調變器相位雜訊準位均遠低於振盪器自身

相位雜訊，故數位控制振盪器之相位雜訊對輸出相位雜訊之貢獻，僅考慮振盪器自身雜訊即可。

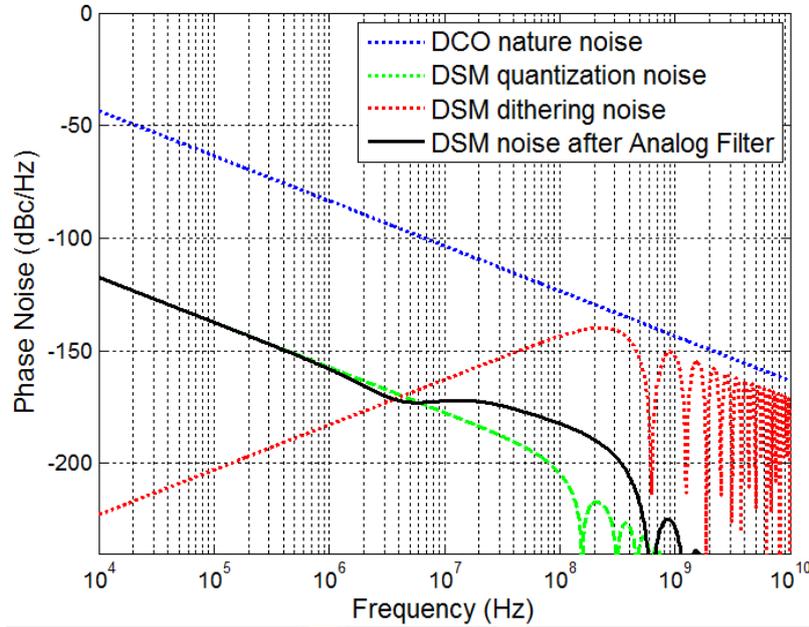


圖 3-16 數位控制振盪器的相位雜訊

3.3.4 和差調變器(Delta-Sigma Modulator, $\Sigma\Delta$)雜訊模型

參考相位積分路徑上亦有一和差調變器，與振盪器前的和差調變器不同的是其取樣頻率為參考頻率，並且僅需考慮擾動雜訊，因為在參考相位積分路徑上，和差調變器並沒有將數位訊號轉換成類比訊號的功能。同(式 3-24)，參考路徑上和差調變器對相位影響的擾動雜訊，可表為(式 3-30)[12]

$$S_{\varphi_n, DSM}(\Delta f) = \frac{1}{12} \times \left(\frac{\Delta f_{res}}{\Delta f}\right)^2 \times \frac{1}{f_{dth}} \times \left(2 \sin \frac{\pi \Delta f}{f_{dth}}\right)^{2k} \quad (\text{式 3-30})$$

其中 k 為和差調變器之階數， Δf 為偏移中心載波(carrier)的頻率， $f_{dth} = f_{REF}$ 為和差調變器操作速度即為參考頻率， $\Delta f_{res} = f_{REF}$ 為和差調變器輸出 1LSB 調動的頻率值亦為參考頻率。當偏移頻率(Δf)越大

時和差調變器的量化雜訊越大，由於和差調變器使用 MASH-II 架構，其擾動雜訊為+40dBc/Hz 上升，對參考相位的影響需再經過一次積分，成為+20dBc/Hz 上升，如圖 3-17 所示。

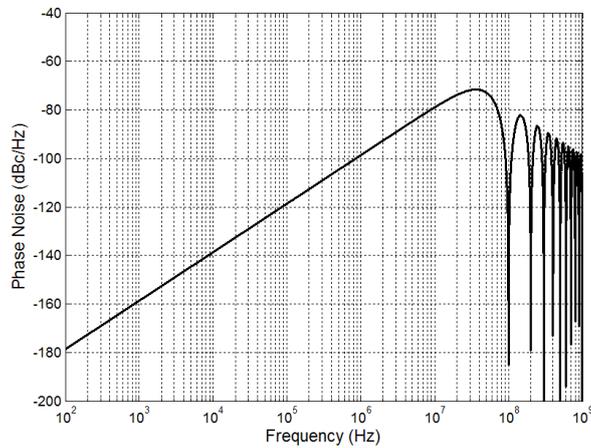


圖 3-17 參考相位積分路徑上和差調變器的相位雜訊

3.3.5 輸出相位雜訊功率頻譜密度(PSD)

圖 3-18 統整上面幾節說明的相位雜訊源，重繪一次圖 3-9。考慮參考時脈雜訊($\varphi_{n,REF}$)、二元相位偵測器量化雜訊($\varphi_{n,BPD}$)、振盪器自身雜訊($\varphi_{n,DCO}$)、和差調變器擾動雜訊($\varphi_{n,DSM}$)，四個雜訊源對輸出相位雜訊(φ_{OUT})的貢獻。

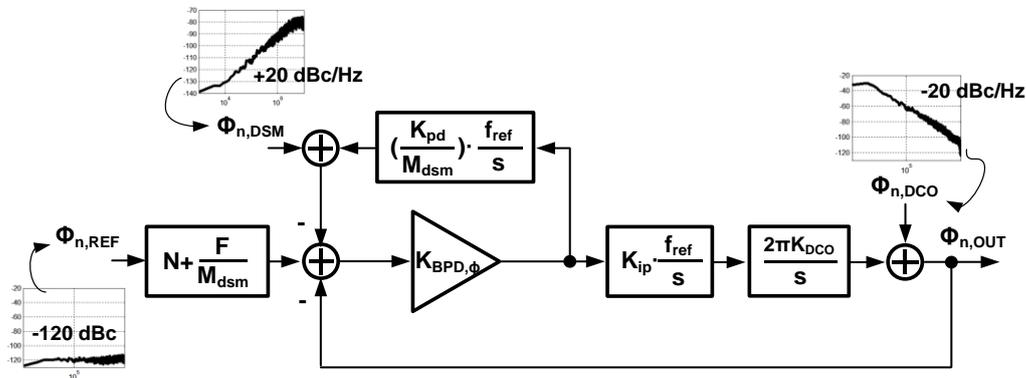


圖 3-18 包含內部與外部雜訊源的鎖相迴路線性模型

假設各雜訊源之間彼此獨立，根據重疊定理輸出相位雜訊即為各雜訊源乘上相對應的輸出轉移函式的總和，如(式 3-31)所示。

$$S_{\varphi_{n,OUT}}(\Delta f) = S_{\varphi_{n,REF}}(\Delta f) \cdot |H_{REF,OUT}(\Delta f)|^2 + S_{\varphi_{n,BPD}}(\Delta f) \cdot |H_{BPD,OUT}(\Delta f)|^2 + S_{\varphi_{n,DSM}}(\Delta f) \cdot |H_{DSM,OUT}(\Delta f)|^2 + S_{\varphi_{n,DCO}}(\Delta f) \cdot |H_{DCO,OUT}(\Delta f)|^2 \quad (式 3-31)$$

其中 $S_{\varphi_{n,REF}}(\Delta f)$ 如 3.3.1 中(式 3-19)所敘述之參考時脈雜訊模型；

$S_{\varphi_{n,BPD}}(\Delta f)$ 如 3.3.2 中(式 3-21)(式 3-19)所敘述之二元相位偵測器雜訊

模型； $S_{\varphi_{n,DCO}}(\Delta f)$ 如 3.3.3 中(式 3-26)所敘述之振盪器自身雜訊模型；

$S_{\varphi_{n,DSM}}(\Delta f)$ 如 3.3.4 中(式 3-30)所敘述之和差調變器雜訊模型；

$H_{REF,OUT}(\Delta f)$ 為從參考時脈雜訊源($\varphi_{n,REF}$)到鎖相迴路輸出(φ_{OUT})的相位轉移函式； $H_{BPD,OUT}(\Delta f)$ 為從二元相位偵測器雜訊源($\varphi_{n,BPD}$)到鎖相迴路輸出(φ_{OUT})的相位轉移函式； $H_{DCO,OUT}(\Delta f)$ 為從振盪器雜訊源($\varphi_{n,DCO}$)到鎖相迴路輸出(φ_{OUT})的相位轉移函式； $H_{DSM,OUT}(\Delta f)$ 為從和差調變器雜訊源($\varphi_{n,DSM}$)到鎖相迴路輸出(φ_{OUT})的相位轉移函式。

由於各雜訊源之間彼此獨立，根據重疊定理，推導其一雜訊源至輸出之轉移函式時，可令其他雜訊源為零。依據圖 3-18 之線性模型，令迴授相位積分路徑之數學模型為 $H_{ip}(f)$ ，參考相位積分路徑之數學模型為 $H_{pd}(f)$ ，如(式 3-32)所示

$$H_{ip}(f) = K_{ip} \cdot \frac{e^{-j\frac{2\pi f}{f_{REF}}}}{1 - e^{-j\frac{2\pi f}{f_{REF}}}} \cdot \text{sinc}\left(\frac{\pi f}{f_{REF}}\right) \cdot \frac{2\pi K_{DCO}}{s} \quad (式 3-32)$$

$$H_{pd}(f) = \frac{K_{pd}}{M_{dsm}} \cdot \frac{e^{-j\frac{2\pi f}{f_{REF}}}}{1 - e^{-j\frac{2\pi f}{f_{REF}}}} \cdot \text{sinc}\left(\frac{\pi f}{f_{REF}}\right)$$

可得二元相位偵測器雜訊源($\varphi_{n,BPD}$)至輸出相位(φ_{OUT})的轉移函式

$(H_{BPD,OUT}(\Delta f))$ ，如(式 3-33)所示，令 $H_{BPD,OUT}(\Delta f)$ 為 $H(f)$

$$H_{BPD,OUT}(f = \Delta f) = \frac{\varphi_{OUT}}{\varphi_{n,BPD}} = \frac{K_{BPD,\phi} \cdot H_{ip}(f)}{1 + K_{BPD,\phi} \cdot H_{ip}(f) + K_{BPD,\phi} \cdot H_{pd}(f)} \equiv H(f) \quad (\text{式 3-33})$$

其他雜訊源至輸出相位的轉移函式，可表為 $H(f)$ 之關係式

$$H_{REF,OUT}(f = \Delta f) = \frac{\varphi_{OUT}}{\varphi_{n,REF}} \equiv \left(N + \frac{F}{M_{dsm}}\right) \cdot H(f)$$

$$H_{DCO,OUT}(f = \Delta f) = \frac{\varphi_{OUT}}{\varphi_{n,DCO}} \equiv 1 - H(f) \quad (\text{式 3-34})$$

$$H_{DSM,OUT}(f = \Delta f) = \frac{\varphi_{OUT}}{\varphi_{n,DSM}} \equiv H(f)$$

圖 3-19 為對各雜訊源對輸出相位貢獻的轉移函式作圖。由於 $H(f)$ 為一個二階低通函數，故二元相位偵測器雜訊($\varphi_{n,BPD}$)到輸出為一增益為 1 的低通函數；參考時脈雜訊($\varphi_{n,REF}$)到輸出為一具有 N.F 倍增益的低通函數；振盪器雜訊($\varphi_{n,DCO}$)到輸出為一增益為 1 的高通函數；和差調變器雜訊($\varphi_{n,DSM}$)到輸出為一低通函數在乘上一次積分。

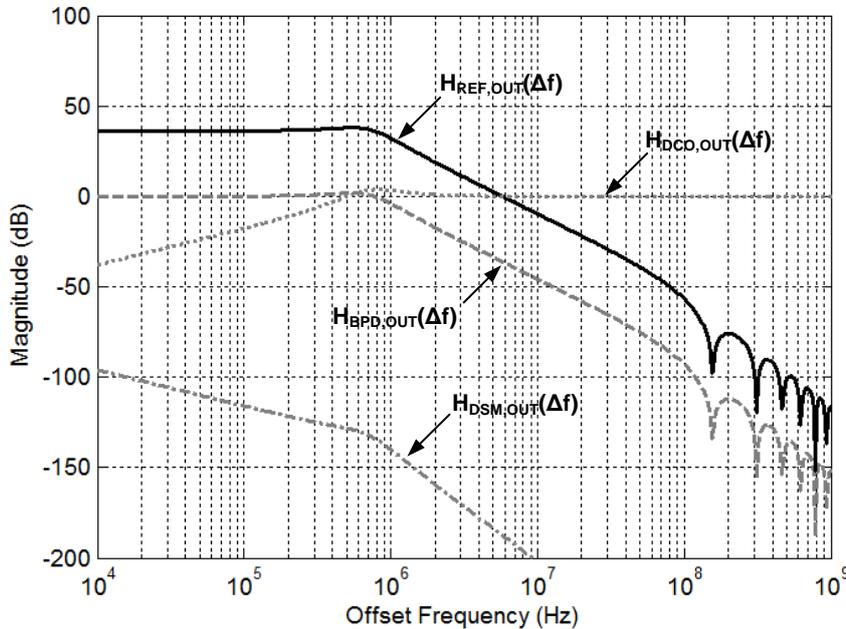


圖 3-19 各雜訊源對輸出相位貢獻的轉移函式

使用(式 3-31)可繪出總輸出相位雜訊，如圖 3-20 所示，以本論文的參

數設計為例，可觀察出輸出相位雜訊(φ_{OUT})與振盪器自身雜訊($\varphi_{n,DCO}$)幾乎相同，故可知輸出相位雜訊(φ_{OUT})被振盪器自身雜訊($\varphi_{n,DCO}$)所決定(dominate)。

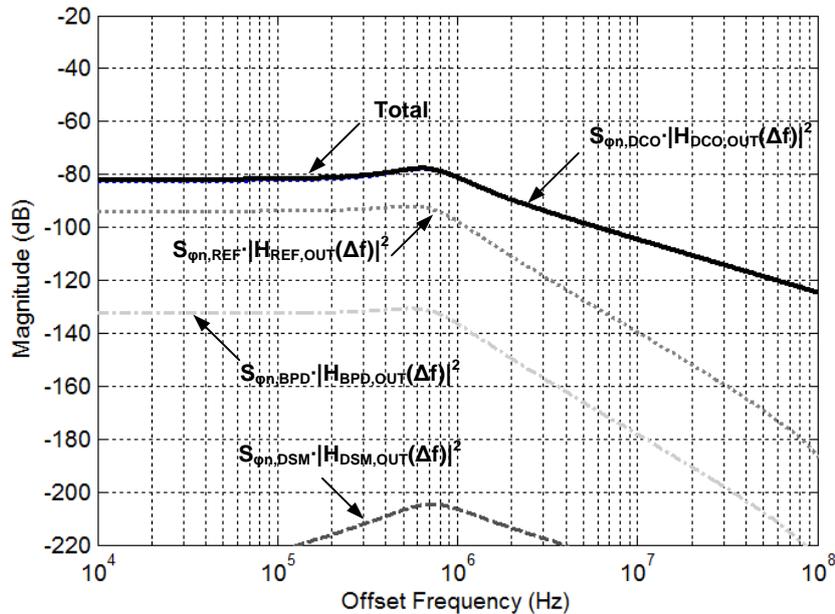


圖 3-20 總輸出相位雜訊

3.4 背景式校正振盪器增益的方法

在一個全數位式的鎖相迴路中，頻寬由已知的數位迴路參數(迴路濾波器權重 K_{ip} 、參考相位積分路徑權重 K_{pd} 、和差調變器最大解析度 M_{dsm} 、整數頻率控制碼 N 、小數頻率控制碼 F)以及類比迴路參數(數位控制振盪器增益 K_{DCO})所決定，其中僅剩數位控制振盪器增益(K_{DCO})為會受到製程物理環境與元件不匹配誤差影響的變數。故背景式校正振盪器增益的方法，能免除製程物理環境和元件匹配誤差造成振盪器增益的不理想效應，並能在不更動其他系統參數的情況下，針對振盪器增益進行自我追蹤與校正，達到迴路頻寬穩定之功能。所以發展一種背景式校正振盪器增益的方法是有必要的。

3.4.1 振盪器增益自我追蹤

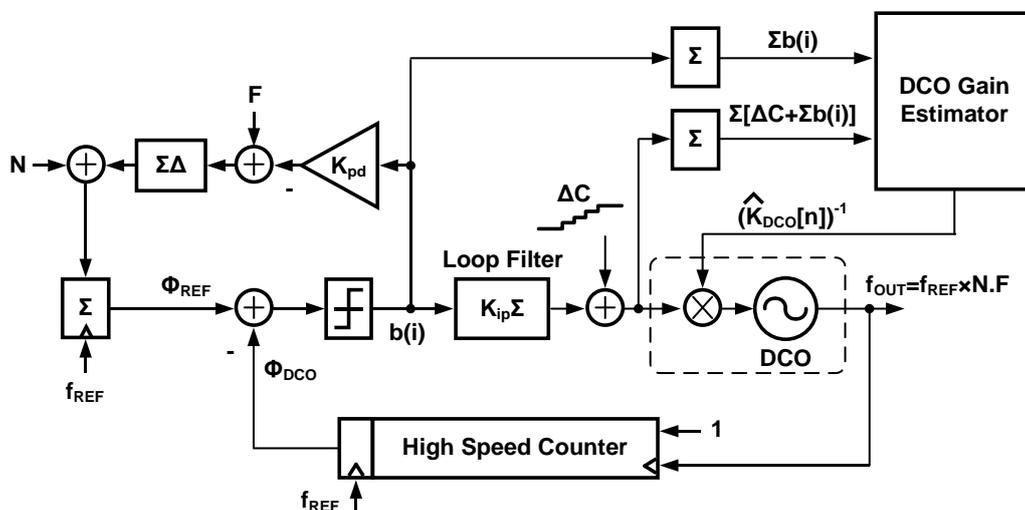


圖 3-21 振盪器增益自我追蹤的機制

其振盪器增益自我追蹤的機制，如圖 3-21 所示。在數位控制振盪器前注入一緩慢變化的數位碼(ΔC)，其變化速度必須在整個鎖相迴路的頻寬內，因此由於鎖相迴路相位追蹤的天性，迴路濾波器的輸出勢必會產生一與注入訊號(ΔC)相反的數位碼，以抵消輸出頻率(f_{OUT})的相位誤差。無疑的，相位量化器的輸出也將因注入訊號(ΔC)而有所變化。基於此架構具有兩個相位積分路徑的特性，藉由觀察兩相位積分路徑對於注入訊號(ΔC)的相位追蹤資訊，達到振盪器增益自我追蹤的功能。

參考相位積分路徑輸出的多餘相位資訊($\Delta\Phi_{REF}$)可表為(式 3-35)，其中 $b(i)$ 為相位量化器的輸出即參考相位積分路徑的輸入端。 M_{dsm} 為和差調變器的最大解析度，經過和差調變器的信號以除以最大解析度(M_{dsm})表示平均的概念。由於參考相位積分路徑最後經過一個累加器，將這次的相位資訊與上一時間儲存的相位資訊相加，以參考時脈的上

升緣作為觸發訊號，故經過累加器的信號以乘以參考頻率(f_{REF})表示每一次參考週期積分的概念，亦可視為將參考頻率資訊($N \cdot F = N + F/M_{dsm}$)積分成參考相位資訊(Φ_{REF})。

$$\Delta\Phi_{REF} = \sum \left\{ [-b(i)] \cdot \frac{K_{pd}}{M_{dsm}} \cdot f_{REF} \right\} \quad (式 3-35)$$

迴授相位積分路徑輸出的多餘相位資訊($\Delta\Phi_{DCO}$)可表為(式 3-36)，其中 $b(i)$ 為相位量化器的輸出即參考相位積分路徑的輸入端。 K_{ip} 為迴路濾波器的權重。 $\sum b(i) \cdot K_{ip} + \Delta C$ 為迴路濾波器後加法器的輸出。 K_{DCO} 為振盪器的增益，單位為 Hz/LSB，數位控制訊號經過數位控制振盪器後轉成頻率(f_{OUT})輸出，以增益 K_{DCO} 表示。輸出時脈訊號經過高速計數器積分成迴授相位資訊(Φ_{DCO})。

$$\Delta\Phi_{DCO} = \sum \left\{ \left[\sum b(i) \cdot K_{ip} + \Delta C \right] \cdot K_{DCO} \right\} \quad (式 3-36)$$

將等式建立在相位量化器的前後可表為(式 3-37)，物理意義為多餘參考相位資訊($\Delta\Phi_{REF}$)與多餘迴授相位資訊的差值($\Delta\Phi_{DCO}$)量化後為相位量化器的輸出($b(i)$)。

$$\Delta\Phi_{REF} - \Delta\Phi_{DCO} = b(i) \quad (式 3-37)$$

將(式 3-35)與(式 3-36)代入(式 3-37)得(式 3-38)

$$\sum \left\{ [-b(i)] \cdot \frac{K_{pd}}{M_{dsm}} \cdot f_{REF} \right\} - \sum \left\{ \left[\sum b(i) \cdot K_{ip} + \Delta C \right] \cdot K_{DCO} \right\} = b(i) \quad (式 3-38)$$

鎖相迴路相位鎖定时，振盪器的輸出頻率(f_{OUT})為一定值，故振盪器的輸入的數位頻率控制碼也為一定值。此數位頻率控制碼為迴路濾波器的輸出，由於迴路濾波器可視為積分器，故可推知迴路濾波器的輸入，也就是相位量化器的輸出($b(i)$)，為一常數的微分結果。換句話說，在相位鎖定时相位量化器的輸出($b(i)$)平均為零。定義相位量

化器的輸出(b(i))的平均值($\overline{b(i)}$)為 N 個參考頻率週期的期望值，將(式 3-38)等號兩邊做平均得(式 3-39)

$$f_{REF} \cdot \frac{K_{pd}}{M_{dsm}} \cdot \sum \overline{[-b(i)]} - K_{DCO} \cdot \sum [\Delta C + K_{ip} \cdot \sum \overline{b(i)}] = \overline{b(i)} = 0 \quad (\text{式 3-39})$$

$$\text{其中 } \overline{b(i)} = \sum_{N_{cycle}} b(i) / N_{cycle} = 0$$

將(式 3-39)移項整理後可得振盪器增益，如(式 3-40)所示

$$K_{DCO} = \frac{f_{REF} \cdot \frac{K_{pd}}{M_{dsm}} \cdot \sum \overline{[-b(i)]}}{\sum [\Delta C + K_{ip} \cdot \sum \overline{b(i)}]} \quad (\text{式 3-40})$$

由於此自我追蹤方法須建立在相位鎖定上，故本論文之慢速變化訊號(ΔC)使用一梯型波，在一段訊號變化後，維持一段時間不做變化，等待相位完全鎖定後再利用(式 3-40)做振盪器增益的估計。其模擬結果如圖 3-22 所示。圖 3-22(a-2)表示注入的慢速變化訊號(ΔC)上升一段時間之後會保持一段時間等待相位鎖定，圖 3-22(a-3)為迴路濾波器的輸出，觀察可以得知迴路濾波器的輸出最終將會產生與注入的慢速變化訊號(ΔC)相反且等量的變化，其數學表示式為 $\Delta C + K_{ip} \cdot \sum b(i)$ 。圖 3-22(a-1)表示振盪器前的數位頻率控制碼，其值為注入的慢速變化訊號(ΔC)與迴路濾波器輸出($K_{ip} \cdot \sum b(i)$)之和，觀察可得知若注入的慢速變化訊號(ΔC)其變化速度在鎖相迴路的頻寬內，則頻率誤差可以完全抵消。此模擬使用之慢速變化訊號(ΔC)變化速度為 $f_{REF}/10^3 = 156\text{kHz}$ 鎖相迴路頻寬設計在 1MHz。圖 3-22(b-1)為估計之多餘參考相位資訊($\Delta\Phi_{REF}$)，其數學表示式為(式 3-35)。圖 3-22(b-2)為估計之多餘迴授相位資訊($\Delta\Phi_{DCO}$)，其數學表示式為(式 3-36)。圖 3-22(b-3)為多餘參考相位資訊($\Delta\Phi_{REF}$)與多餘迴授相位資訊($\Delta\Phi_{DCO}$)之差，觀察可得平均為零，其數學表示式為(式 3-37)。

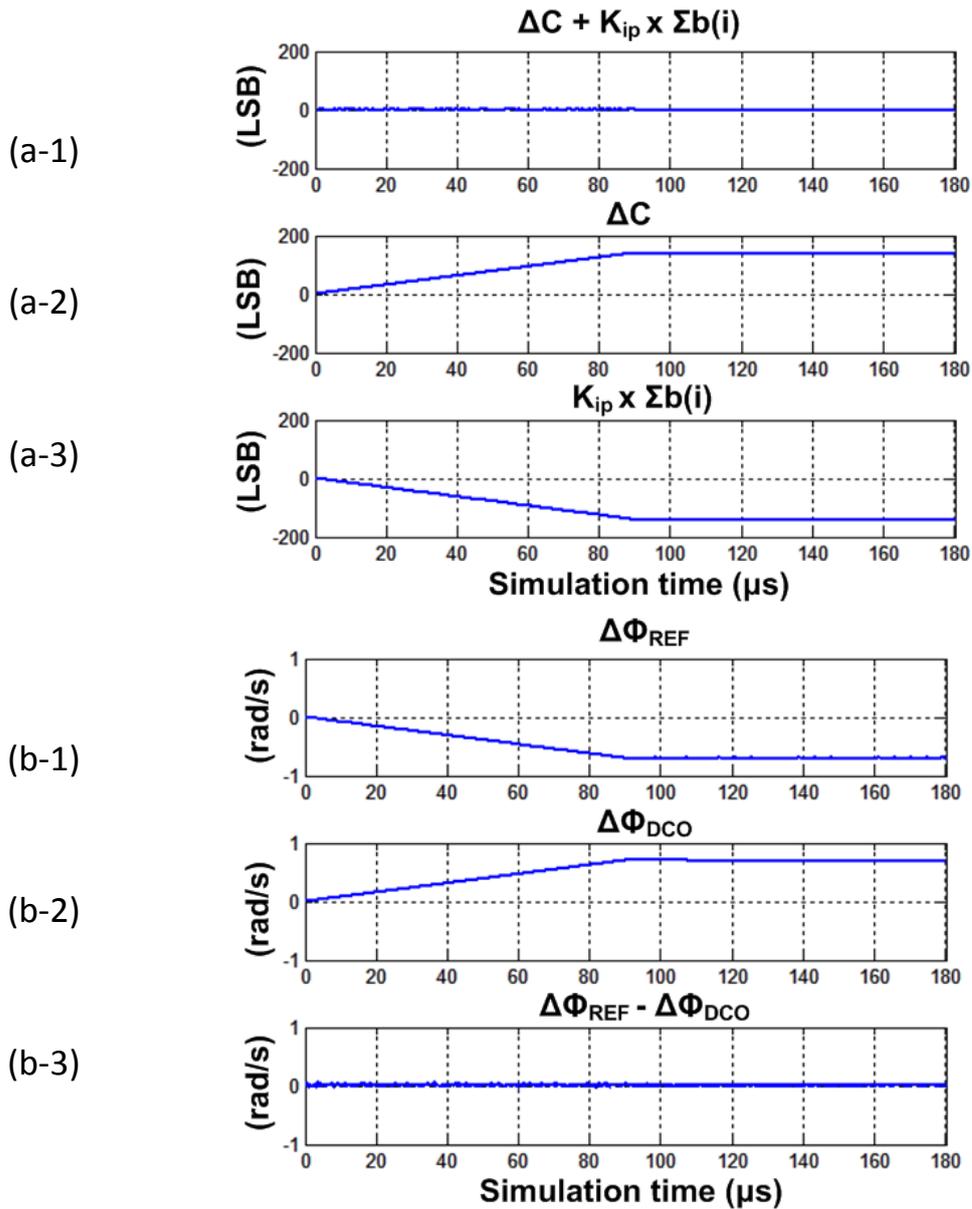


圖 3-22 振盪器增益自我追蹤方法模擬結果

3.4.2 背景式校正振盪器增益

使用上一節提出之振盪器增益自我追蹤方法，估計出此時物理振盪器的增益後，發展一個振盪器增益校正方法，達到迴路頻寬穩定之功能。圖 3-23(a)為數位控制振盪器的示意圖，其中 $K_{F,SPEC}$ 表示設計振盪器的輸出頻率範圍，單位為 Hz，其迴路頻寬與迴路參數的選定

均是依據此設計振盪器的增益。 $K_{F,PHY}$ 表示物理振盪器的輸出頻率範圍，單位為 Hz，實際上因為製程物理環境與元件不匹配誤差，使得設計振盪器輸出頻率範圍($K_{F,SPEC}$)與物理振盪器的輸出頻率範圍($K_{F,PHY}$)有所不同。頻率控制碼(frequency tuning word, FTW)有 n 個位元，若頻率控制碼為二補數編碼，其可表示範圍為 $-2^{n-1} \leq FTW \leq (2^{n-1} - 1)$ ，具有 2^n 個不同的準位，故圖 3-23(a)的輸出頻率可表示為(式 3-41)，其中 $K_{F,PHY}/2^n$ 為物理振盪器的增益，單位為 Hz/LSB。

$$f_{OUT} = FTW \cdot \frac{K_{F,PHY}}{2^n} \quad (式 3-41)$$

藉由在振盪器前乘上一個比例因子，使得頻率控制碼(FTW)經過比例因子的縮放後，等效上對振盪器的影響力成為設計振盪器的增益($K_{F,SPEC}/2^n$)。提出的振盪器增益校正方法如圖 3-23 (b)所示。其中 \hat{K}_F 為使用(式 3-40)估計之物理振盪器增益。同樣的，圖 3-23 (b)的輸出頻率可表示為(式 3-42)，其中比例因子為 $K_{F,SPEC}/\hat{K}_F$ 。

$$f_{OUT} = FTW \cdot \frac{K_{F,SPEC}}{\hat{K}_F} \cdot \frac{K_{F,PHY}}{2^n} \quad (式 3-42)$$

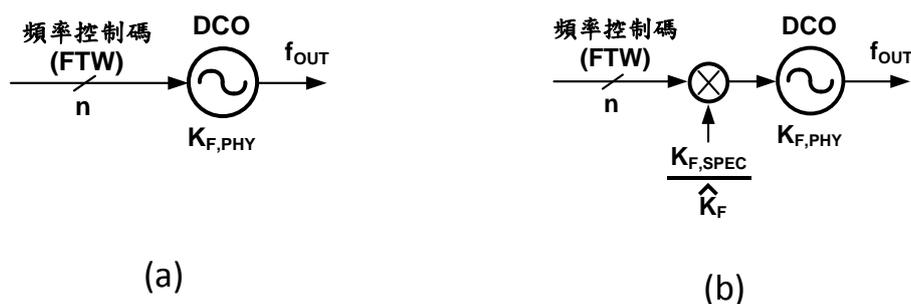


圖 3-23 振盪器增益校正方法(a)校正前 (b)校正後

由於 \hat{K}_F 為使用(式 3-40)估計之物理振盪器增益，應當與物理振盪器增益($K_{F,PHY}$)相當接近。因此可將(式 3-42)中分子的物理振盪器增益($K_{F,PHY}$)與分母的估計之物理振盪器增益(\hat{K}_F)相消，可得(式 3-43)。

$$f_{OUT} = FTW \cdot \frac{K_{F,SPEC}}{2^n} \quad (\text{式 3-43})$$

比較(式 3-41)與(式 3-43)可發現頻率控制碼經過比例因子 $(K_{F,SPEC}/\hat{K}_F)$ 後，所看到的振盪器增益從物理振盪器增益 $(K_{F,PHY})$ 等效上成為設計振盪器增益 $(K_{F,SPEC})$ ，達到振盪器增益校正的效果。

上述為振盪器增益的校正方法，但若實際上實作一個乘法器電路在數位控制振盪器前，反而增加了整體的硬體複雜度。另外若為了計算比例因子 $(K_{F,SPEC}/\hat{K}_F)$ 實作一個除法器電路，也會增加許多硬體的負擔。因此提出了一個背景式校正方法，在硬體上實現振盪器增益校正。

本論文使用一電流式數位類比轉換器(Current DAC, CDAC)與和差調變器(delta-sigma modulator, $\Sigma\Delta$)控制振盪器，如圖 3-24(a)所示。此時輸出頻率 (f_{OUT}) 可表示為(式 3-44)，

$$f_{OUT} = C_{CDAC} \cdot \frac{K_{F,PHY}}{2^n} + C_{\Sigma\Delta} \cdot \frac{1}{M_{\Sigma\Delta}} \cdot \frac{K_{F,PHY}}{2^n} \quad (\text{式 3-44})$$

其中 C_{CDAC} 為電流式數位類比轉換器的輸入碼，電流式數位類比轉換器使用二進位編碼，故輸入 n 位元則輸出有 2^n 個電流準位。 $K_{F,PHY}$ 為物理振盪器的振盪頻率範圍，單位 Hz，並且電流式數位類比轉換器輸出具有 2^n 個電流準位，故物理振盪器的增益可表為 $K_{F,PHY}/2^n$ ，單位 Hz/LSB。 $C_{\Sigma\Delta}$ 為和差調變器的輸入碼。 $M_{\Sigma\Delta}$ 為和差調變器的解析度。通過和差調變器的訊號以除以解析度 $(M_{\Sigma\Delta})$ 表示平均的概念。由於和差調變器輸出調動的一個最小頻率與電流式數位類比轉換器調動的最小頻率相同，因此和差調變器輸出控制的物理振盪器的增益同為 $K_{F,PHY}/2^n$ 。

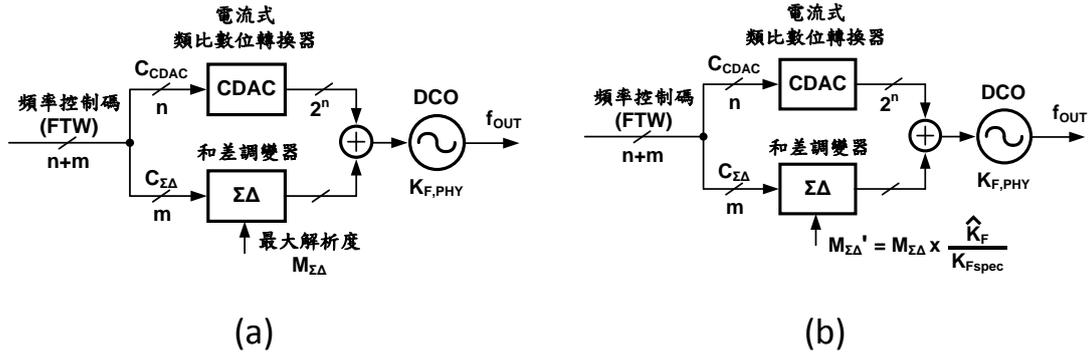


圖 3-24 振盪器增益背景式校正方法(a)校正前 (b)校正後

由於信號經過高速擾動的和差調變器，可以除以和差調變器的解析度($M_{\Sigma\Delta}$)的比例縮小輸入訊號，表示在時域上平均的概念，故可藉由改變和差調變器的解析度，達到等效在振盪器前乘上一個比例因子的行為，如圖 3-24 (b)所示，使得頻率控制碼(FTW)經過比例因子的縮放後，等效上對振盪器的影響力成為設計振盪器的增益($K_{F,SPEC}/2^n$)。但因為調整和差調變器的解析度對於振盪器增益的影響是在分母，所以原本乘在振盪器前的比例因子($K_{F,SPEC}/\hat{K}_F$)對和差調變器的解析度的調整比例必須倒數，換言之，背景式校正後和差調變器的解析度($M'_{\Sigma\Delta}$)為原始和差調變器的解析度($M_{\Sigma\Delta}$)乘上 $\hat{K}_F/K_{F,SPEC}$ ，如(式 3-45)所示。

$$M'_{\Sigma\Delta} = M_{\Sigma\Delta} \times \frac{\hat{K}_F}{K_{F,SPEC}} \quad (\text{式 3-45})$$

此時，背景式校正後的輸出頻率可表示為(式 3-46)

$$f_{OUT} = C_{CDAC} \cdot \frac{K_{F,PHY}}{2^n} + C_{\Sigma\Delta} \cdot \frac{1}{M'_{\Sigma\Delta}} \cdot \frac{K_{F,PHY}}{2^n} \quad (\text{式 3-46})$$

將(式 3-45)代入(式 3-46)可得(式 3-47)

$$f_{OUT} = C_{CDAC} \cdot \frac{K_{F,PHY}}{2^n} + C_{\Sigma\Delta} \cdot \frac{1}{M_{\Sigma\Delta}} \cdot \frac{K_{F,PHY}}{2^n} \quad (\text{式 3-47})$$

同理，由於 \hat{K}_F 為使用(式 3-40)估計之物理振盪器增益，應當與物

理振盪器增益($K_{F,PHY}$)相當接近。因此可將(式 3-47)中分子的物理振盪器增益($K_{F,PHY}$)與分母的估計之物理振盪器增益(\hat{K}_F)相消，可得(式 3-48)。比較(式 3-44)與(式 3-48)可發現頻率控制碼經過最大解析度為 $M'_{\Sigma\Delta}$ 的和差調變器後，所看到的振盪器增益從物理振盪器增益($K_{F,PHY}$)等效上成為設計振盪器增益($K_{F,SPEC}$)，達到振盪器增益背景式校正的效果。

$$f_{OUT} = C_{CDAC} \cdot \frac{K_{F,PHY}}{2^n} + C_{\Sigma\Delta} \cdot \frac{1}{M_{\Sigma\Delta}} \cdot \frac{K_{F,SPEC}}{2^n} \quad (式 3-48)$$

再來，探討振盪器增益與閉迴路 3dB 頻寬的關係。(式 3-49)為一個二階系統的標準式，其直流增益為 1，3dB 頻寬發生在增益為 $\frac{1}{\sqrt{2}}$ 處，可推得 3dB 頻寬表為(式 3-49)。

$$H(s) = \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}, \quad \|H(j\omega_{3dB})\| = \frac{1}{\sqrt{2}} \quad (式 3-49)$$

$$\omega_{3dB} = \omega_n \sqrt{(1 - 2\xi^2)^2 + \sqrt{4\xi^4 - 4\xi^2 + 2}}$$

由(式 3-33)可得迴路轉移函式，與(式 3-49)比較係數後可得鎖相迴路的 3dB 頻寬可表為振盪器增益的函數，如(式 3-50)所示，其中 $c_1 c_2 c_3 c_4$ 為常數。

$$\text{PLL closed-loop 3dB bandwidth} = c_1 K_{DCO}^{0.5} \cdot \sqrt{(1 - c_2 K_{DCO}^{-1}) + \sqrt{c_3 K_{DCO}^{-2} - c_4 K_{DCO}^{-1} + 2}} \quad (式 3-50)$$

但由於(式 3-50)過複雜，無法直觀的觀察出頻寬與振盪器增益的冪次關係。因此假設振盪器增益為參考頻率的一倍到十倍範圍內 ($100MHz \leq K_F \leq 1GHz$)，利用 Matlab curve fitting 功能可將(式 3-50)化簡為(式 3-51)。在限制範圍內，迴路頻寬與振盪器增益成大約 0.5

次方的關係。

$$\text{PLL closed-loop 3dB bandwidth} \approx c \cdot \sqrt{K_{DCO}} \quad (\text{式 3-51})$$

If $100\text{MHz} \leq K_F \leq 1\text{GHz}$

圖 3-25 為使用上述振盪器增益自我追蹤方法與背景式校正方法，達到迴路頻寬穩定之模擬圖。其中包含振盪器自身雜訊(nature noise)。當振盪器增益從設計值($K_{F,SPEC}$)因為製程物理環境與元件不匹配誤差飄移成原本的四倍大($K_{F,PHY} = 2.5 \times K_{F,SPEC}$)後，輸出相位雜訊在大約 3MHz 處會有峰化(peaking)產生，此時迴路頻寬為 4.98MHz。另一相位雜訊較平坦的相位雜訊為振盪器增益自我追蹤校正後，在不更動其他迴路參數的情況下，還原迴路頻寬的情形，此時迴路頻寬為 3.15MHz。

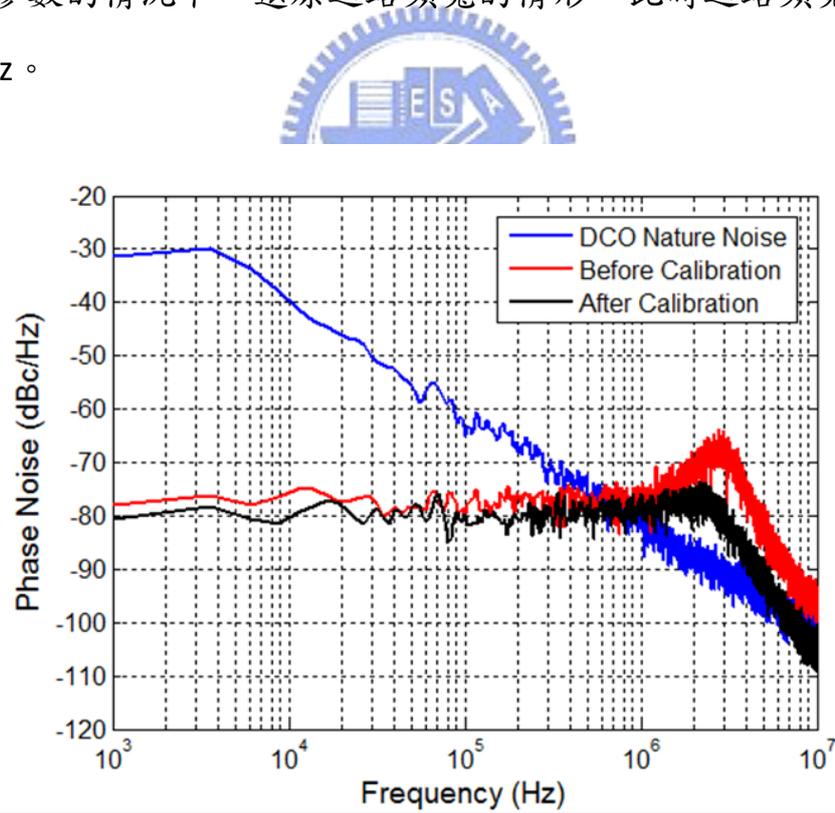


圖 3-25 振盪器增益背景式校正方法模擬結果

第4章 電路設計與實現

4.1 系統架構

本論文提出的全數位式鎖相迴路使用 TSMC 40nm 1P8MCMOS 製程技術設計與實現。圖 4-1 為提出之非整數式全數位式鎖相迴路詳細的區塊圖。其主要包含兩個相位積分路徑：迴授相位積分路徑與參考相位積分路徑。迴授相位積分路徑將相位量化器的輸出，輸入迴路濾波器(loop filter)做權重式(K_{ip})的累加，再將其數位控制碼輸入電流式類比數位轉換器(DAC)，將數位控制訊號轉換成類比電流訊號後控制振盪器(DCO)的輸出頻率(f_{OUT})，再由高速計數器(high speed counter)計算數位控制振盪器(DCO)輸出頻率(f_{OUT})的上升緣，輸出可視為數位控制振盪器(DCO)的相位資訊。參考相位積分路徑將相位量化器的輸出乘上權重(K_{pd})與小數頻率控制碼(F)相減後，送入最大解析度為 M_{dsm} 的和差調變器(delta-sigma modulator)其輸出再加上整數頻率控制碼(N)，平均來看為一理想帶有小數的參考頻率倍頻數，再將其理想參考頻率倍頻數輸入累加器計算參考頻率的相位資訊。兩積分路徑的相位資訊輸入相位量化器，在每一次參考頻率(f_{REF})的上升緣時相減產生一數位化的相位誤差資訊，並權重式的再次輸入參考相位積分路徑與迴授相位積分路徑，藉由這兩個相位積分路徑的回饋平衡達到鎖相的目的。當相位鎖定時，輸出訊號與參考訊號將存下以下關係，

$$f_{OUT} = f_{REF} \times N.F, \text{ 其中 } N.F = N + F/M_{dsm}。$$

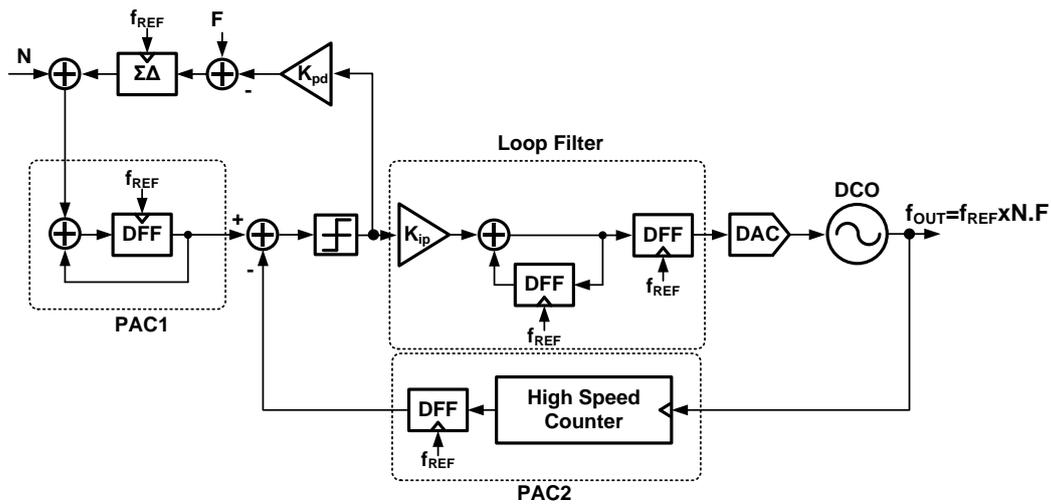


圖 4-1 實現的全數位式鎖相迴路區塊圖

本晶片分為兩個設計流程實現，數位電路部分使用標準單元設計流程(Cell-based design kit)，編輯硬體描述語言 verilog 實現需要的功能，此時為理想的行為模擬並不包含時間延遲資訊與電晶體操作速度限制等非理想效應。再使用合成(synthesis)軟體將硬體描述語言轉換成由邏輯閘及正反器構成的連線檔，並同時編輯所需之時脈週期、延遲時間、繞線負載、操作環境約束、最佳化約束等設計約束條件(design constraint)產生一初步的時間資訊檔(standard delay format, SDF)。此時可再跑一次模擬，觀察考慮時間延遲資訊後的行為是否與原本先設計相同，若不符合理想行為模擬，則需要調整架構或設計約束條件，以確保時序上的正確性，若符合理想行為模擬，則可進入自動佈局及繞線(auto placement and route, APR)步驟。將邏輯閘及正反器構成的連線檔轉換成電晶體階層的連線檔，檢查佈局繞線後的建立時間(setup time)與保持時間(hold time)是否符合設計約束條件(design constraint)，並且定義輸入/輸出焊墊(I/O pad)位置與排序以及指定欲連接到類比電路的腳位座標，經過反覆幾次檢查時序的動作後，就完成了整個晶

片數位部份的設計。

類比電路部分使用全客戶式設計流程(Full-custom design kit)。本論文所實現的晶片中，類比電路包含電流導向式數位類比轉換器、類比濾波器、數位控制振盪器、高速計數器，在下面幾節會做詳細說明。

4.2 電流導向式數位類比轉換器

此電路目的主要是把上一級 20 位元的數位迴路濾波器所累積的數位碼轉換成類比電流來控制振盪器的振盪頻率。由於考量電流鏡的準確度，電流導向式數位類比轉換器有最小電流的限制。但在 3.3.3 中對於數位控制振盪器擾動雜訊(dithering noise)的分析顯示，不考量和差調變器內插有效位元前的頻率解析度，對雜訊表現有相當的影響。簡而言之，考量相位雜訊的表現下，一個具高位元高解析度的電流導向式數位類比轉換器是必要的。故本論文設計一(8+2)位元電流導向式數位類比轉換器，再利用 10 位元和差調變器(Delta-Sigma Modulator)內插出小於最小有效位元的解析度。

首先設計電流式數位類比轉換器時，若全部電流源為二位元加權(Binary Weighted)，可能會遇到兩個主要的問題：第一，在中間碼切換時(01_1111_1111 -> 10_0000_0000)會造成很大的電流跳動，再則從 01_1111_1111 碼切換到 10_0000_0000 碼，短暫的瞬間有可能十個電流開關會同時開啟；第二，因為電流源彼此會有誤差，不能保證中間碼切換時，最高位元電流會大於其它位元電流的總合，換句話說，不能保證單調遞增(Monotonic Increasing)，這些都會影響此電路的 DNL (Differential Nonlinearity)。

為了降低電流切換瞬間所造成的電流的跳動(Current Glitch)，另一

種編碼方式為溫度計編碼(Thermometer Code)。此一編碼方式所有電流源的權重都相同，例如 10 位元就有 $2^{10}=1024$ 個單位電流源，每次增加或減少一個數位碼只開啟或關閉一個單位電流源，有效降低電流的跳動(Current Glitch)對整體電路的影響，也能保證一定單調遞增(MonotonicIncreasing)，但此電路仍需要一個 10 位元的解碼器(decoder)將二位元加權碼到溫度計編碼。如此高位元的解碼器會使整個邏輯複雜度增加許多，因此溫度計編碼式數位類比轉換器主要的缺點的是所需位元數(n)與所需電流源個數(2^n)成二的冪次方成長。

綜合以上面積與特性上的考量，最常用的方式為把總位元分成兩個部分編碼，由於最高有效位元(Most Significant Bit, MSB)部分電流量較大，較難保證中間碼時的單調性，故使用溫度計編碼(thermometer code)；由於最低有效位元(Least Significant Bit, LSB)部分受限於電流鏡最小電流的限制，故使用二位元加權碼(binary code)能將最小電流鏡電流限制再細分。本論文所實現的振盪器控制方法，如圖 4-2 所示。數位迴路濾波器的輸出為頻率控制碼(Frequency Tuning Word, FTW)共 20 位元，將前 8 位元(FTW[19:12])切成溫度計編碼方式；剩餘 2 位元(FTW[11:10])則用二位元加權的編碼方式，再利用 10 位元(FTW[9:0])高速擾動的和差調變器控制最小有效位元，以內插出更高的頻率解析度。

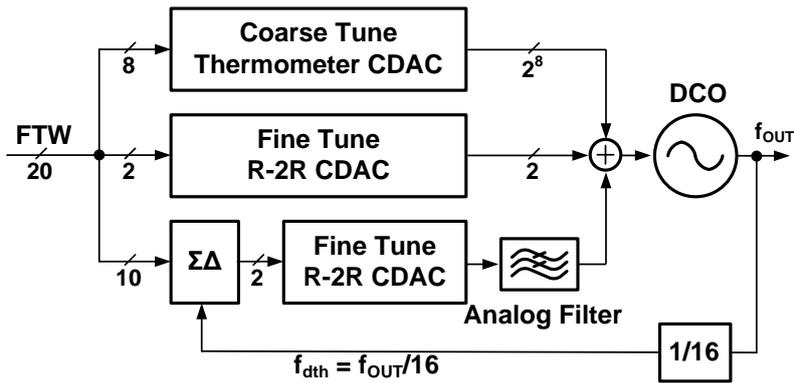


圖 4-2 電流式數位類比轉換器與和差調變器控制振盪器方法

4.3.1 溫度計編碼(Thermometer Code)電流導向式數位類比轉換器

實現一個 8 位元溫度計編碼電流式數位類比轉換器，需要一個 8 位元的解碼器，將二位元加權碼到溫度計編碼。本論文採用兩個 4 位元的解碼器，將前 4 位元送入列解碼器(row decoder)其輸出為 $2^4=16$ 個列資訊；將後 4 位元送入行解碼器(column decoder)其輸出為 $2^4=16$ 個行資訊。列資訊(R_i)與行資訊(C_i)輸入本地解碼器(local decoder)判斷開啟或關閉 $16 \times 16 = 256$ 個單位電流源，電路架構如圖 4-3(a)所示。

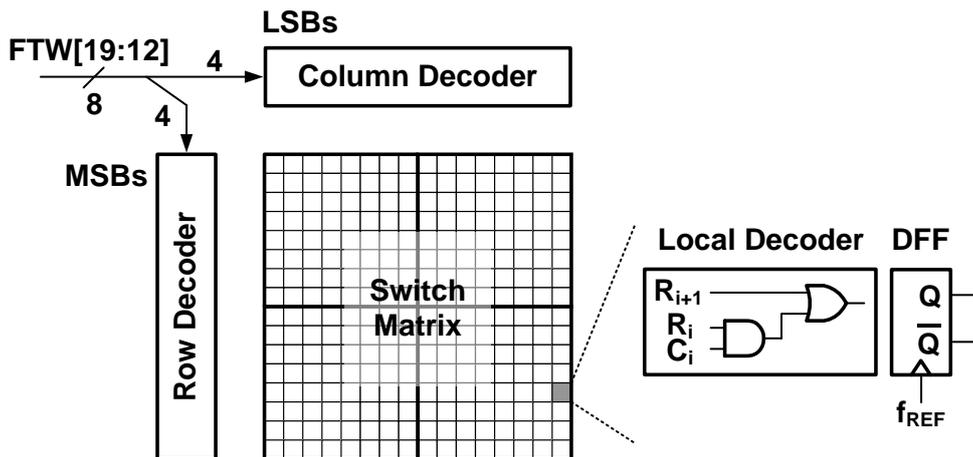


圖 4-3 八位元溫度計編碼電流式數位類比轉換器

但電流式數位類比轉換器會因為製程梯度效應會造成每顆單位

電流源不匹配，所以初步利中央抽頭(Common-Centroid)佈局的方式，將 256 個電流陣列分成四個象限，先利用全域偏壓(Global Bias)複製參考電流給本地偏壓(Local Bias)，再利用本地偏壓(Local Bias)將參考電流複製到每個象限，象限兩兩彼此沒有直接關係，如圖 4-4 所示。

雖然初步把整個 $16 \times 16 = 256$ 個電流陣列分成四個象限，能有效增加 INL 和 DNL 的特性，但每個象限內因製程造成梯度的問題還是存在，所以再把每個象限內行跟列再做錯排，增加 INL 特性，最後在主動單位電流源外圍加兩層 Dummy Cell 為了讓邊緣主動的單位電流源看到的環境是一樣，避免 Boundary Effect 對電路特性造成影響，如圖 4-5 所示。

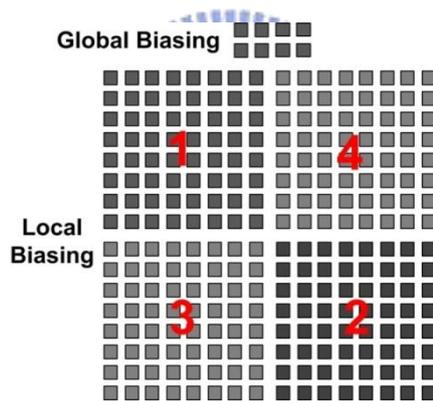


圖 4-4 佈局示意圖

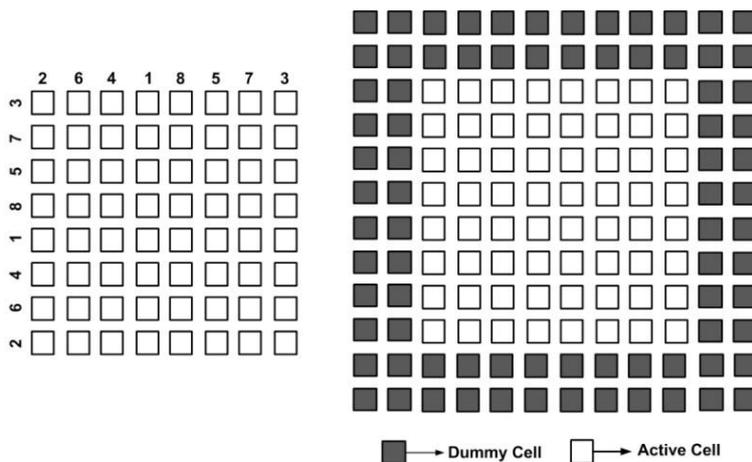


圖 4-5 象限錯排 & Dummy Cell

4.3.2 階梯 R-2R 電阻網路電流導向式數位類比轉換器

使用階梯 R-2R 電阻網路電流式數位類比轉換器，使用電流鏡限制最小電流為總電流，利用電阻網路分流實現一個更高解析度的 2 位元二位元加權電流式數位類比轉換器，其電路圖如圖 4-6 所示。

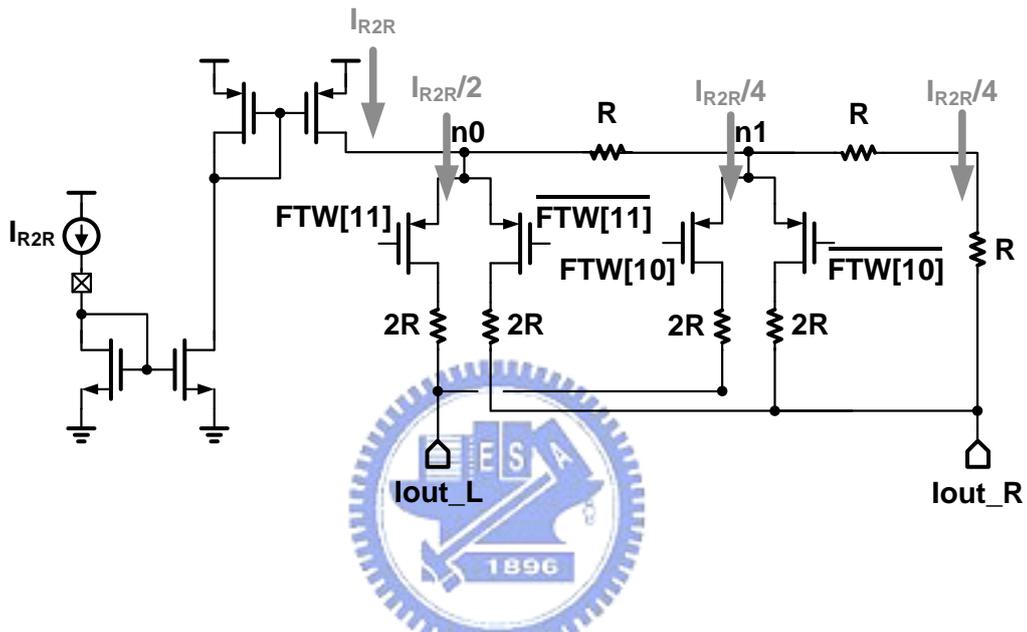


圖 4-6 階梯 R-2R 電阻網路電流式數位類比轉換器

階梯 R-2R 電阻網路電流式數位類比轉換器的工作原理是利用電阻比例分流，不斷地將輸入電流對分產生更小的電流。如圖 4-6 所示，從 n1 向右看的電阻值為 $2R(R$ 與 R 串聯)、n1 向下看的電阻值也為 $2R$ ，故這兩路電流相同；同理，從 n0 向右看的電阻值為 $2R(R$ 與 n1 看到的 $2R//2R$ 串聯)、向下看的電阻值也為 $2R$ ，故這兩路電流相同；若總電流為 I_{R2R} ，過 n0 節點電流分一半 $I_{R2R}/2$ 向右、 $I_{R2R}/2$ 向下，過 n1 節點電流分一半 $I_{R2R}/4$ 向右、 $I_{R2R}/4$ 向下。

但電阻分流的假設是建立在無論電流大小多少 lout_L 節點與 lout_R 節點電壓都不變的狀況下，但實際上 lout_L 與 lout_R 只是接

一顆接成二極體的 MOS 做電流總和的功能，根據 MOS 在飽和區的電流公式，不同電流(I_D)時其跨壓($V_{gs}=V_{ds}$)一定會有所不同，而此電壓的變異在小電流分流時，對分流值的影響更加明顯。因此，加入了一運算放大器，利用負迴授將 I_{out_L} 與 I_{out_R} 的直流電壓固定住，如圖 4-7 所示。此運算放大器的頻寬必須大於類比濾波器的頻寬以及迴路頻寬，否則整體迴路頻寬將會被此運算放大器決定。

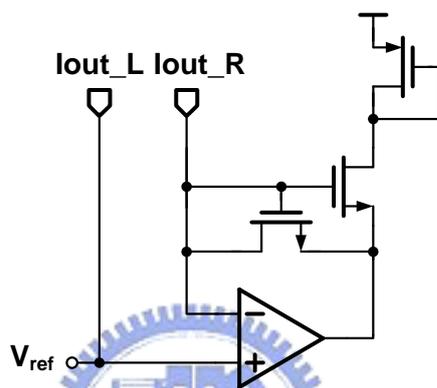


圖 4-7 加入運算放大器固定偏壓

作為開關用的 MOS 在開關開啟時操作在三級管區，其自身的電阻值也不可忽略，否則也會影響到分流的比列。故在設計時，必須將 R 值設計遠大於 MOS 電阻，使得電流分流比例以 R 值為主導 (dominate)。

將 4.3.1 與 4.3.2 電流式數位類比轉換器產生的電流總和，計算積分非線性(Integral Non-Linearity, INL)與差動非線性(Differential Non-Linearity, DNL)，模擬結果如圖 4-8 所示，輸入共 1024 個位元，DNL 在 ± 0.1 個 LSB 內，INL 小於一個 LSB，故不會有遺漏碼(missing code)或非單調遞增(non-monotonic)現象發生。

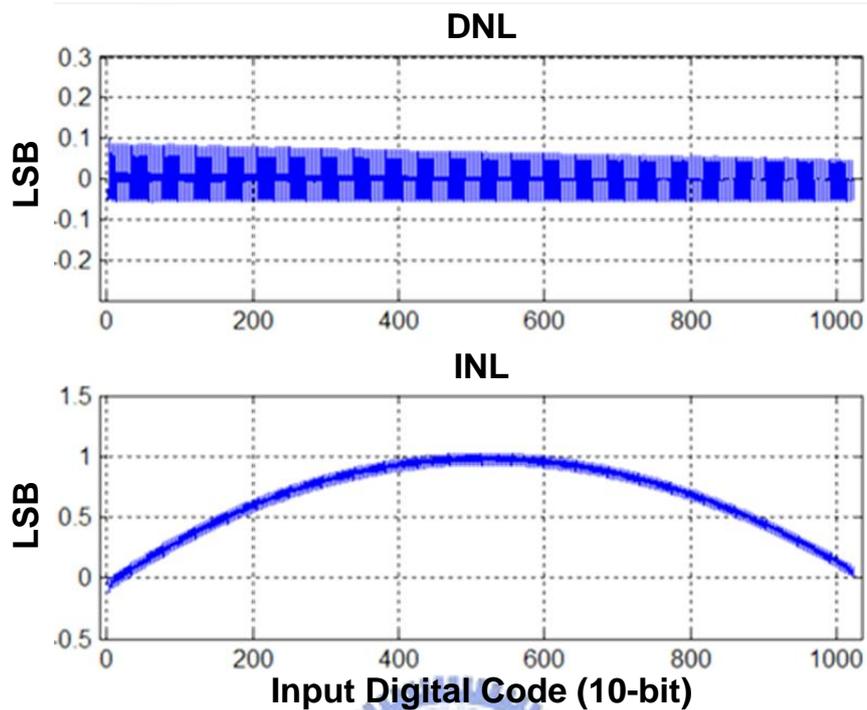


圖 4-8 電流式數位類比轉換器模擬圖

4.3 和差調變器

此電路目的為藉由和差調變器的快速切換，長時間觀察產生小於一個最小有效位元數的平均改變量，得到等效上小數的作用來增加解析度，架構上採用 MASH-II 的架構去實現，此架構完全可以用數位的方式去實現，電路為兩個累加器的串接，信號流程圖為圖 4-9 所示，

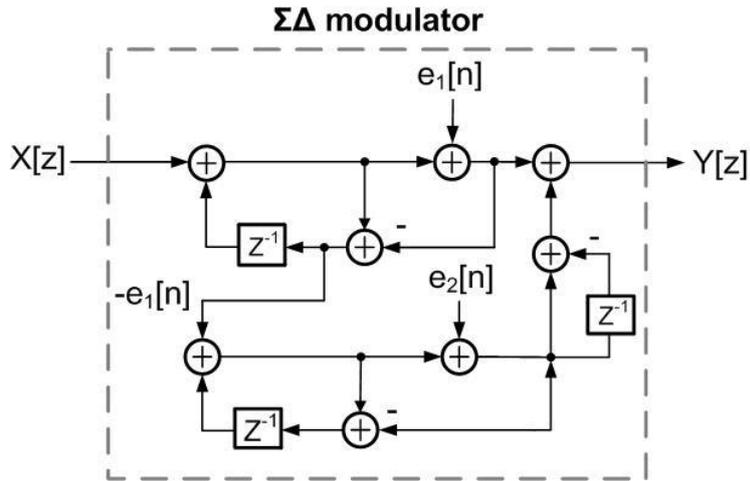


圖 4-9 二階 MASH 信號方塊圖

轉換函數如(式 4-1)所示

$$Y[z] = X[z] + (1-z^{-1})^2 \cdot E[z] \quad (\text{式 4-1})$$

把信號流程圖對應到實體電路，如圖 4-10 所示，可看成兩個累加器串接，操作頻率為輸出頻率的 1/16，產生溢位輸出(C_{out})。溢位輸出(C_{out})表示一平均為 0 的數列，其可能的值為 2(010)，1(001)，0(000)，-1(111)。

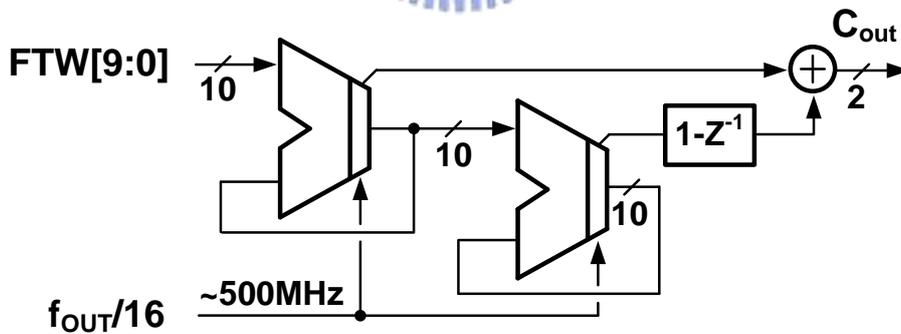


圖 4-10 二階 MASH 電路圖

但實際上電流式數位類比轉換器無法表示負的電流值，故將中將圖 4-10 中和差調變器溢位輸出(C_{out})轉換成 R-2R 電流式數位類比轉換器輸入(DSM[1:0])，其解碼器邏輯閘如圖 4-11 所示，真值表如表 4-1 所示。此時電流式數位類比轉換器輸入(DSM[1:0])的平均值不再是 0。

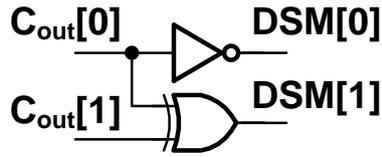


圖 4-11 解碼器邏輯閘

$C_{out}(\text{signed})$	DSM(unsigned)
2 (010)	3 (11)
1 (001)	2 (10)
0 (000)	1 (01)
-1 (111)	0 (00)

表 4-1 解碼器真值表

由於和差調變器所調動的一個最小位元，必須與 R-2R 所調動的一個最小位元相同，否則就失去內插更高解析度的效果。故重複一組 4.3.2 的 R-2R 電流式數位類比轉換器，利用和差調變器的輸出經過解碼器後(DSM[1:0])控制電流開關，如圖 4-12 所示，再和 4.3.1 與 4.3.2 之電流式數位類比轉換器的電流進行加總進而改變閘式壓控振盪器的振盪頻率。

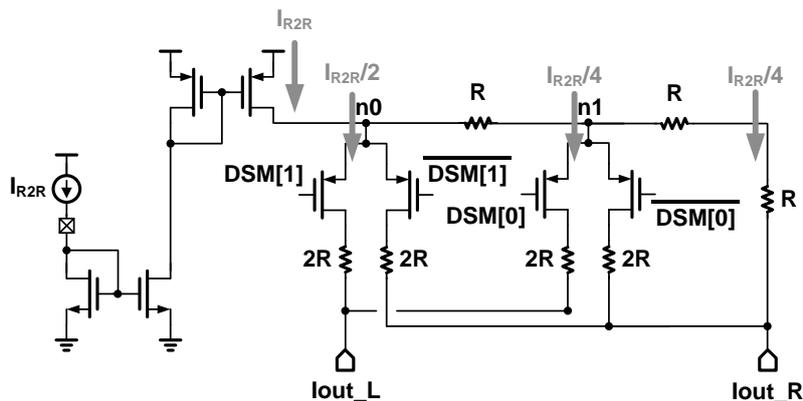


圖 4-12 和差調變器控制電流式數位類比轉換器

但和差調變器使用與 R-2R 相同的有效電流步階大小，會使得和差

調變器涵蓋的可調頻率範圍與 R-2R 涵蓋的可調頻率範圍互相重疊 (overlap)。並且由於經過圖 4-11 解碼器之轉換，和差調變器對輸出頻率的影響會有一偏移(offset)產生。使得和差調變器的擾動並不是以目標頻率為中心上下跳動內插，而是 4.3.1 與 4.3.2 的電流式數位類比轉換器先鎖定到一固定整數頻率後，和差調變器在向上一位元或上兩位元甚至三位元的跳動內插出小數的頻率。

此一設計也符合背景式校正振盪器增益的功能。由於 3.4.2 提出的背景式校正方法是利用調整和差調變器的最大解析度，達到等效校正振盪器增益的效果。換句話說，背景式振盪器增益校正方法，僅能校正和差調變器所看到的振盪器增益，對於 4.3.1 與 4.3.2 的電流式數位類比轉換器所看到的振盪器增益並沒有影響。故和差調變器涵蓋的可調頻率範圍與 R-2R 涵蓋的可調頻率範圍互相重疊(overlap)是有必要的。如此一來才能保證當鎖定時 4.3.1 與 4.3.2 的電流式數位類比轉換器提供的輸出頻率是固定不變的，僅對和差調變器所看到的振盪器增益做校正。

4.4 數位控制振盪器

本論文振盪器架構使用四級差動環形振盪器，其每一級電路如圖 4-14 所示，其連接方式如圖 4-13 所示。

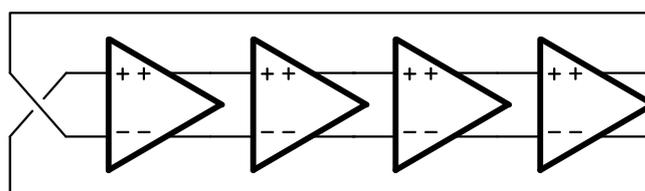


圖 4-13 四級差動環形振盪器

電流式數位類比轉換器產生之電流由如圖 4-14 所示上下兩顆電

晶體注入。藉由改變每一級的延遲時間而改變整個振盪器的振盪頻率，可產生四個差動相位輸出。由於在每一集輸出正負兩端間接有栓鎖器 (latch)。

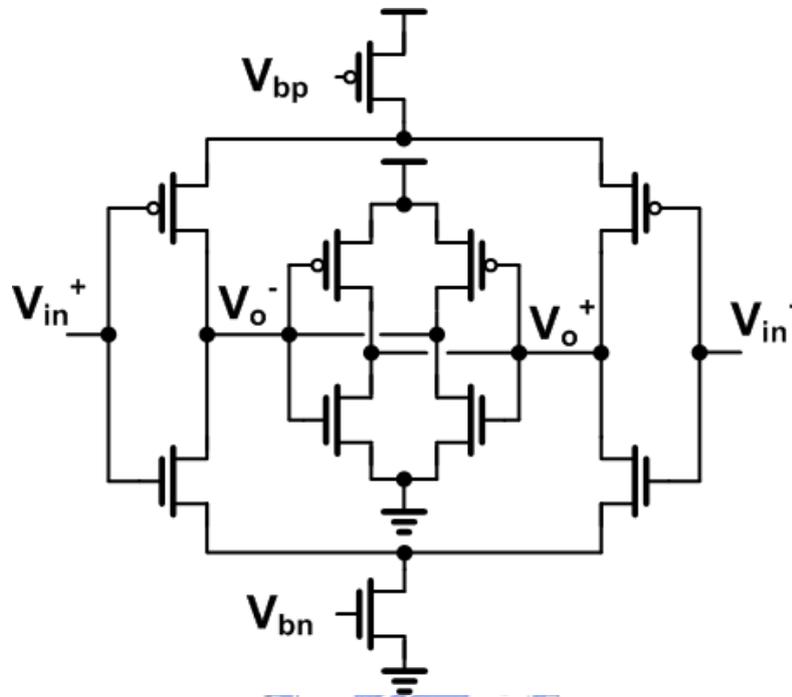


圖 4-14 每一級的延遲單元

表 4-2 為所有控制振盪器單元的權重與頻率步階。粗調的溫度計編碼電流式數位類比轉換器，其調動輸入一個最小位元(FTW[12])，輸出頻率調動 545 kHz；細調的二進位編碼電流式數位類比轉換器，其調動輸入一個最小位元(FTW[10])，輸出頻率調動 136.25 kHz；最後在使用和差調變器座內差。故電流式數位類比轉換器所有電流源打開時，為最高輸出頻率($f_{OUT,MAX}$)；反之，所有電流源關閉時為最低輸出頻率($f_{OUT,min}$)。因此，數位振盪器的輸出中心頻率為 8GHz，輸出頻率範圍為 $139.52\text{MHz}(2^8 \times 545\text{kHz})$ ，此時的振盪器自身雜訊為 -84.35dBc/Hz @1MHz，模擬圖如圖 4-15 所示。

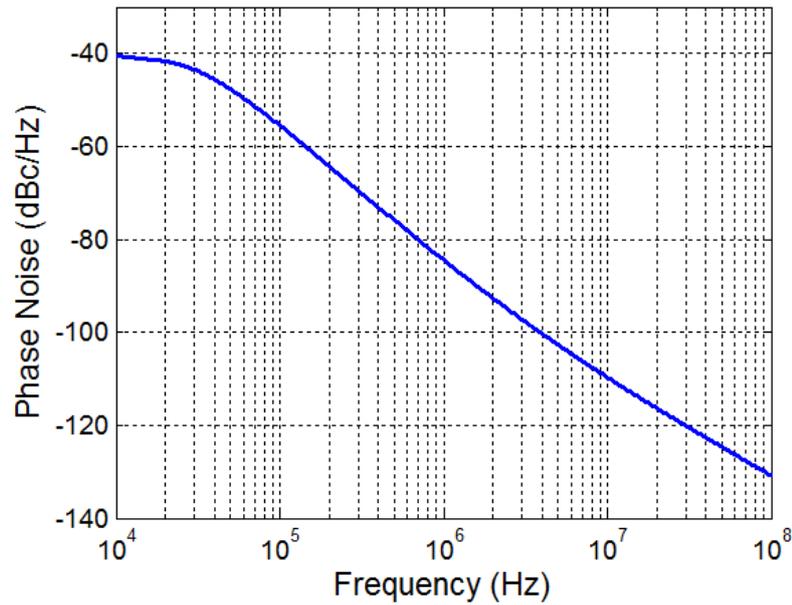


圖 4-15 振盪器自身雜訊

Bank	Weighting	Frequency Step
Coarse Tune Thermometer CDAC	8-bit Unit	545 kHz
Fine Tune R-2R CDAC	2-bit Binary	136.25 kHz
Delta-Sigma Modulator	10-bit	134 Hz

表 4-2 所有控制振盪器單元的權重與頻率步階

4.5 相位積分(Phase Accumulator)電路

一個完整的相位積分機制包含相位積分電路 1(PAC1)、相位積分電路 2(PAC2)與二元相位偵測器(BBPD)，如圖 4-16 所示。高速計數器計算輸出頻率(f_{OUT})的上升緣個數，在參考頻率(f_{REF})上升緣來臨時輸出迴授相位資訊(Φ_{FB})。同時，PAC1 在每次參考頻率(f_{REF})上升緣來臨時累

加一除頻數並且輸出參考相位資訊(Φ_{REF})。將參考相位資訊(Φ_{REF})與迴授相位資訊(Φ_{FB})利用減法器相減得到相位誤差資訊(Φ_E)。如圖 4-16 所示，減法器後接一個一位元量化器，其量化器的相位誤差資訊(Φ_E)輸入與量化輸出($b(i)$)的關係如(式 4-2)所示

$$b(i) = \begin{cases} 1, & \text{if } \Phi_E \geq 0 \\ -1, & \text{if } \Phi_E < 0 \end{cases} \quad (\text{式 4-2})$$

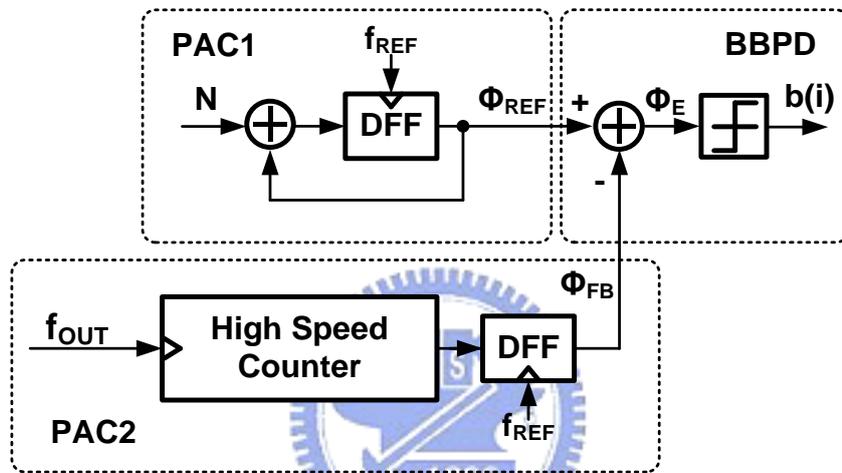


圖 4-16 相位積分電路

但在實際上累加器不可能有無限多位元，故 PAC1 與 PAC2 的輸出存在溢位問題，以模數運算表示 PAC1 與 PAC2 有限位元數限制的現象 [15]。以一個有限 u 位元的累加器為例，其暫存器可表示的範圍限制在 0 到 $2^u - 1$ 之間，並且累加器到達上限時將會產生溢位。若忽略累加器的溢位輸出(carry-out)位元，則 u -位元累加器的理想行為模型可表示為一個理想的累加器加一個模數- u 運算，如圖 4-17 所示。考慮有限位元數影響的累加器方塊圖可表示為圖 4-18 所示。

在圖 4-18 中，參考相位積分電路與迴授相位積分電路以兩理想累加器串接一模數- 2^u 單元所取代， Φ_{REF0} 與 Φ_{FBO} 分別表示理想的參考相位與迴授相位資訊。為了更清楚的解釋此架構的模數行為， Φ_{REF0} 與

Φ_{FBO} 可表為兩旋轉的向量，如圖 4-19 所示。在圖 4-19 中， Φ_{REF} 與 Φ_{FB} 均為最大值為 (2^u-1) 的正數。若減法器的輸出視為二補數表示，相位偵測器輸出 Φ_E 具有相同的表示範圍但對零對稱。相位偵測器的輸出 (Φ_E) 可表示範圍為 $[-2^{(u-1)}, 2^{(u-1)} - 1]$ ，並且相位偵測器的輸出 (Φ_E) 往往為一越來越小的兩向量角度差。

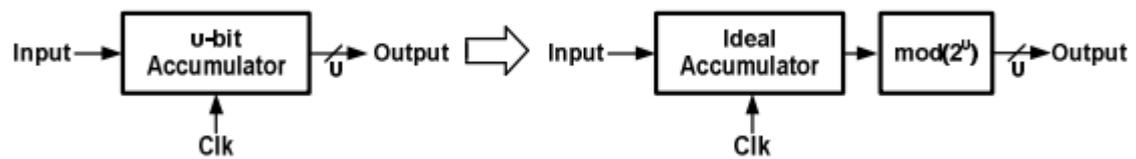


圖 4-17 u-位元累加器理想行為模型

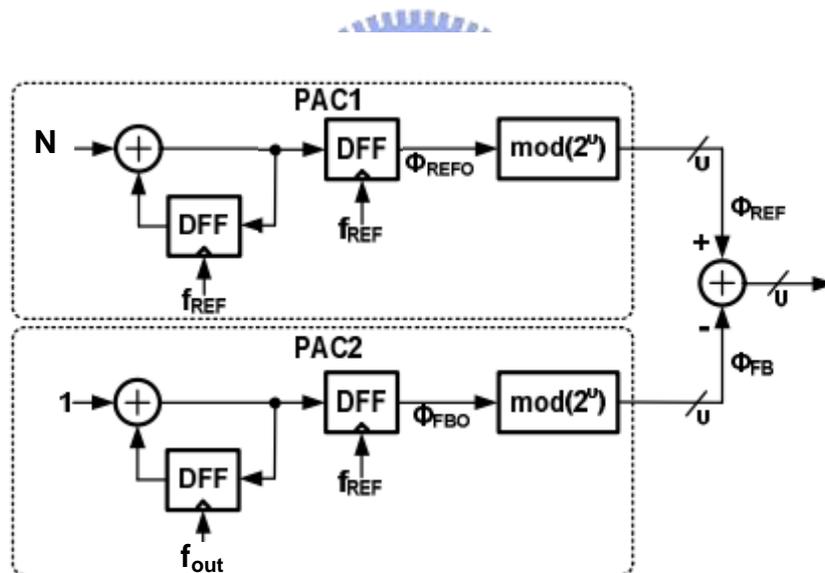


圖 4-18 相位偵測器模數方塊圖

由於模數行為，相位偵測器不只表示兩數字的相減還表示週期性調整如圖 4-19 所示。由於相位偵測器的輸出可視為參考相位與迴授相位的相位誤差資訊，因此表示 Φ_{REF} 與 Φ_{FBO} 間的相位誤差必須被限制在 $[-2^{(u-1)}, 2^{(u-1)} - 1]$ 範圍內。在上述的限制下，相位偵測器輸出

可表為(式 4-3)

$$\Phi_E = \Phi_{REFO} - \Phi_{FBO}, \quad (式 4-3)$$

$$when -2^{(u-1)} \leq (\Phi_{REFO} - \Phi_{FBO}) \leq 2^{(u-1)} - 1$$

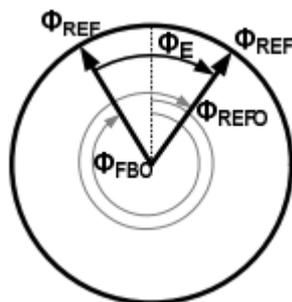


圖 4-19 旋轉向量解釋參考與迴授相位

若滿足(式 4-3)的條件，相位偵測器的輸出(Φ_E)可簡單的視為參考相位積分器輸出與迴授相位積分器輸出的相減結果。以設計的角度來看，(式 4-3)的條件限制了目標頻率與振盪器輸出頻率之間的頻率誤差($N \cdot F \times f_{REF} - f_{OUT}$)。假設初始相位誤差為零且振盪器輸出為 f_{OUT} 。在下次參考時脈上升緣來臨時，PAC1 與 PAC2 的輸出值將分別增加 N 與 f_{OUT}/f_{REF} 。為了避免混疊須滿足(式 4-4)，其中 $f_{TARGET} = N \cdot F \times f_{REF}$ 為目標頻率。

$$-2^{(u-1)} \leq \left(N \cdot F - \frac{f_{OUT}}{f_{REF}} \right) \leq 2^{(u-1)} - 1 \quad (式 4-4)$$

$$\Rightarrow -2^{(u-1)} \cdot f_{REF} \leq (f_{TARGET} - f_{OUT}) \leq (2^{(u-1)} - 1) \cdot f_{REF}$$

本論文設計的振盪器輸出範圍為 $8\text{GHz} \pm 100\text{MHz}$ ，因此最糟的情況觸及(式 4-4)下限為振盪器輸出頻率最小時 $f_{OUT,min} = 8\text{GHz} - 100\text{MHz}$ ，相同的，最糟的情況觸及(式 4-4)上限為振盪器輸出頻率最大時 $f_{OUT,max} = 8\text{GHz} + 100\text{MHz}$ 。並考慮保留振盪器可調範圍的製程誤差，本論文設計兩 8-位元的相位積分電路 PAC1 與 PAC2。

其中參考相位積分電路 PAC1，其累加頻率為參考頻率(f_{REF})，取值頻率也為參考頻率(f_{REF})，因此為一單純的 8 位元累加器。但迴授相位積分 PAC2，其累加頻率為輸出頻率(f_{OUT})，取值頻率卻為參考頻率(f_{REF})，並且在相位追蹤過程中無法保證輸出時脈與參考時脈間的相位關係，因此兩個不同的時脈域介面會有時脈偏移(clock skew)現在發生導致取值的錯誤。並且若整個迴授相位積分 PAC2 所有位元均以最高速度也就是輸出頻率(f_{OUT})操作，將會造成相當大的功率消耗，如此高速的累加器也會造成設計的困難度。

因此為了解決時脈偏移(clock skew)同時兼顧高速操作與低功耗，本論文採用一個非同步高速計數器實現迴授相位積分電路 PAC2[7]。完整的方塊圖如圖 4-20 所示。其中取樣相位產生器(sampling phase generator)由兩個 TSPC 的正反器以及三個門鎖器所構成，以產生不同相位的取樣邊緣相對於不同時間輸出的相位資訊做取樣。另外，非同步計數器為八個除二的正反器串接而成，前六個以 TSPC 架構實現，最後三個的操作速度較慢故以 static 架構實現。

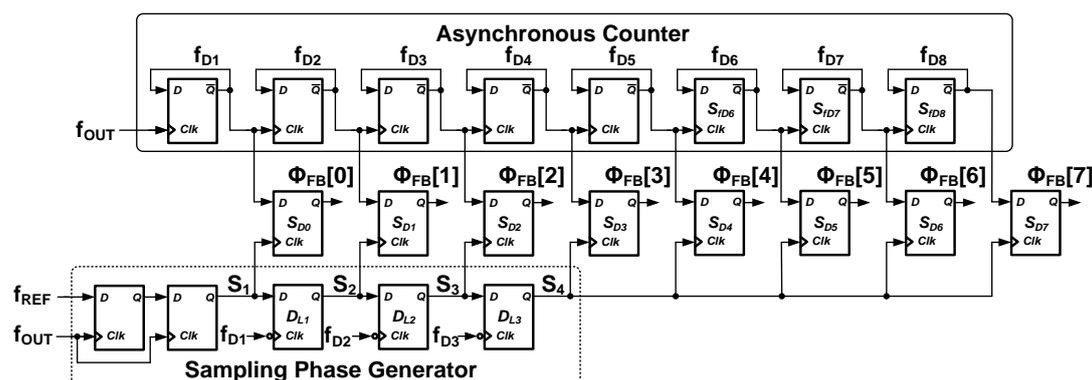


圖 4-20 高速計數器方塊圖

圖 4-21 為高速計數器的模擬結果，當輸出頻率為 10GHz，參考頻率為 200MHz，除數為 50，可觀察到迴授相位資訊(Φ_{FB})以除數 50 做遞增。

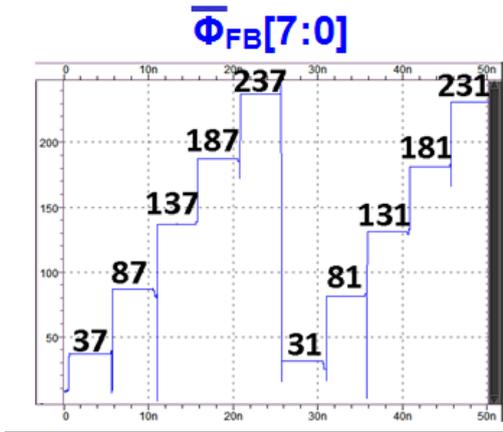


圖 4-21 高速計數器模擬結果



第5章 佈局與量測結果

5.1 晶片佈局(Chip Layout)

圖 5-1 所示為晶片照相圖，此晶片採用 TSMC 40nm CMOS 製程實現，包含 Bonding PAD, I/O 和 seal ring 面積約為 $1.330 \times 1.195 \text{ mm}^2$ ，電路佈局上半部為類比部分，下半部為數位部分。

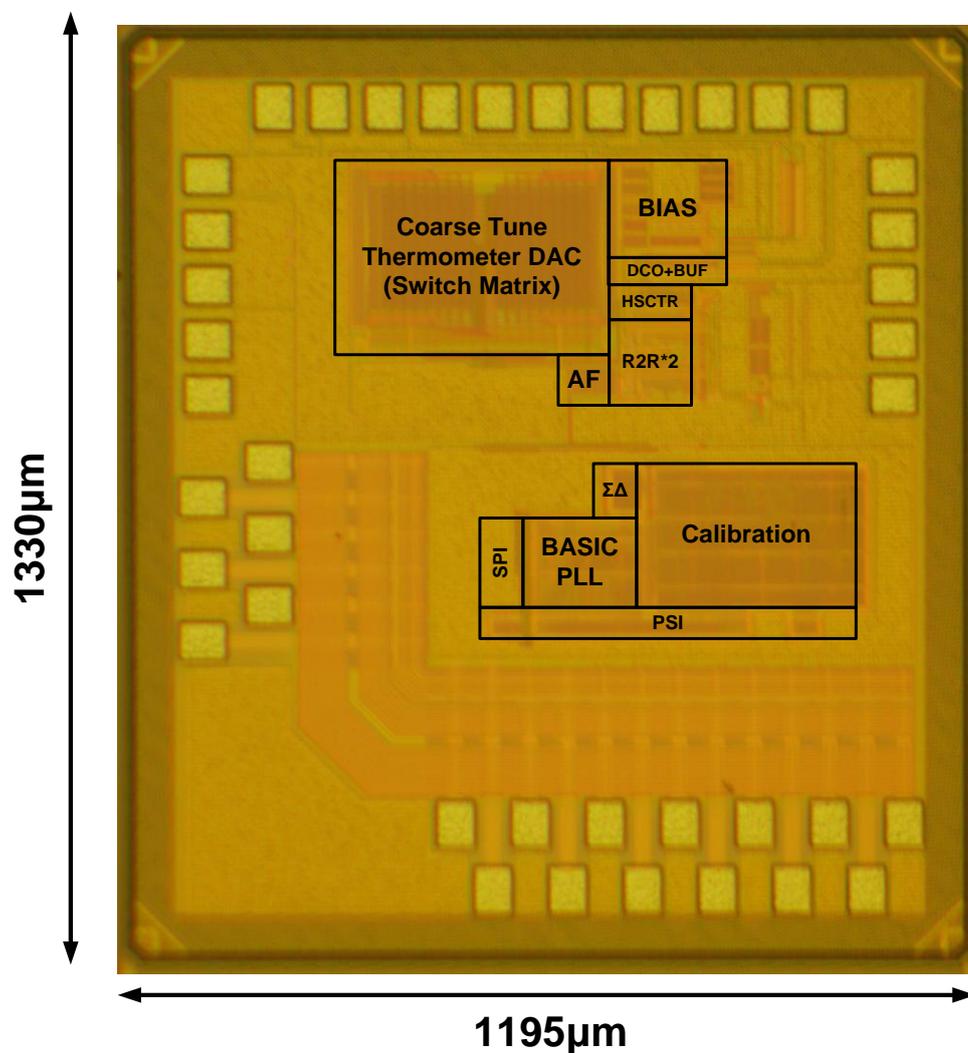


圖 5-1 晶片照相圖

5.2 量測環境(Measurement Setup)

為了去量測全數位式頻率合成器電路，兩個四層印刷電路板被使用，如圖 5-2 所示，雖然把晶片經過封裝可以獲得保護避免應力和灰塵靜電的破壞，但封裝會降低晶片的特性特別是在射頻的應用。因此晶片直接經過 Bond Wire 和 AC 印刷電路板做連接，如圖 5-2 (a)所示，然而 DC 印刷電路板，如圖 5-2 (b)所示，經過排針與 AC 印刷電路板相連提供直流的供應和偏壓，分成兩個電路板的好處是方便去更換測試的晶片而使 DC 印刷電路板上的被動元件和穩壓 IC 可以重複使用。

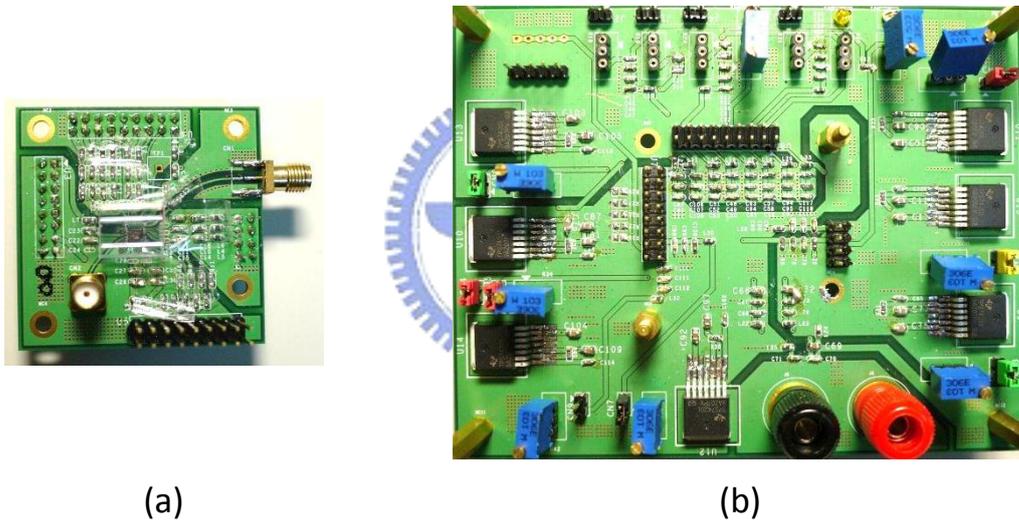


圖 5-2(a)AC PCB 與(b)DC PCB

本晶片量測環境的設置如圖 5-3 所示，此晶片為 On PCB 的方式測量，並採用裸晶直接 Bond Wire 連接到 PCB 的方式，以減少封裝的負載效應。在 RF 輸出端部分，均有加上緩衝放大器，並有考量輸出負載效應以及 Bond Wire 的電感效應。

利用個人電腦(MATLAB)控制印表機埠(printer port)輸出序列訊號控制晶片內數位參數。利用安捷倫 E8257D 訊號產生器輸出與目標頻率相同的時脈，輸入安立知 MP1800A，利用安立知 MP1800A 輔助輸

出除頻的功能產生參考頻率與 1/2 參考頻率的時脈，其中參考頻率輸入晶片，1/2 參考頻率輸入安捷倫 86100C 作為疊眼圖的觸發訊號。高頻輸出採用 3.5mm SMA 外接 cable 線至安捷倫 E4448A 頻譜分析儀，量測頻譜圖與相位雜訊圖，至安捷倫 86100C 量測抖動圖。

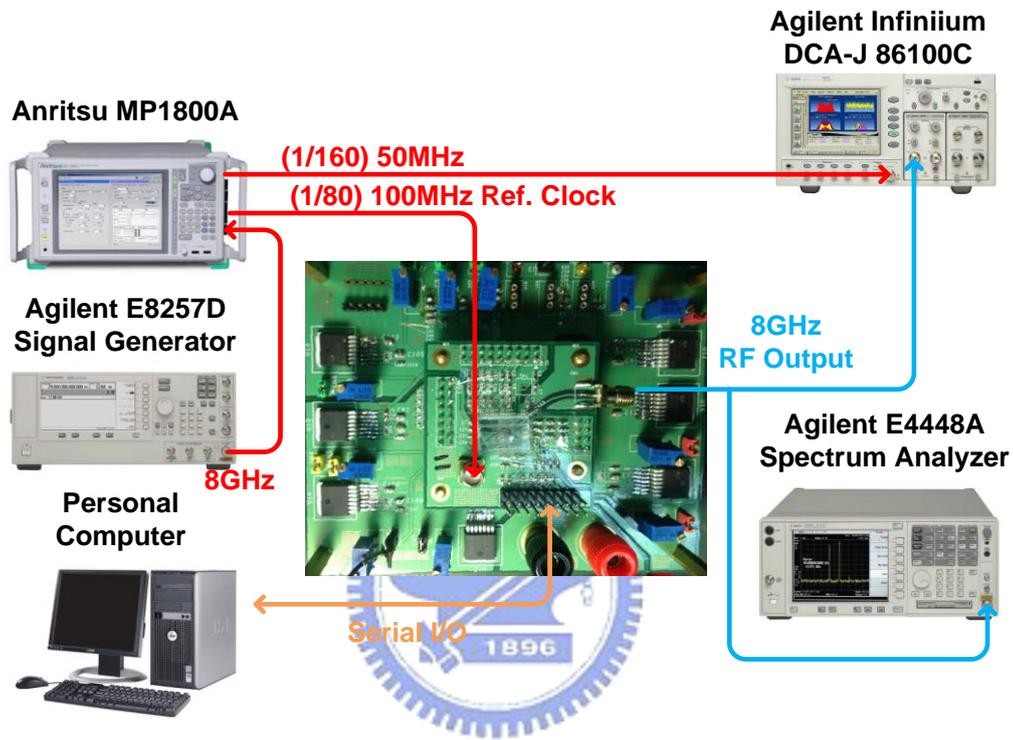


圖 5-3 量測環境設置

5.3 量測結果(Measurement Results)

5.3.1 開迴路測試

如圖 4-2 所示，數位控制振盪器有三個控制來源，一為粗條溫度計編碼電流式數位類比轉換器，二為細條階梯電阻網路電流式數位類比轉換器，三為和差調變器。圖 5-4 為量測粗條溫度計編碼電流數位類比轉換器之 DNL。圖 5-5 為量測粗條溫度計編碼電流式數位類比轉換器之 INL。

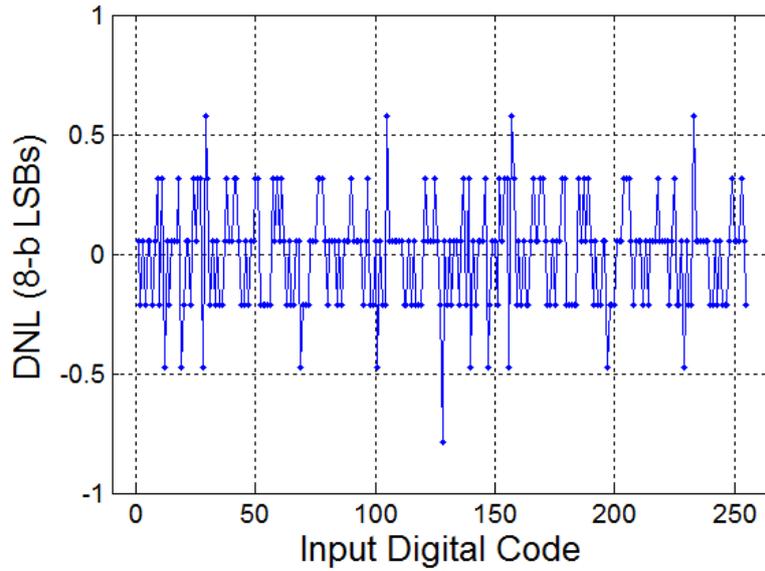


圖 5-4 量測粗條溫度計編碼電流數位類比轉換器之 DNL

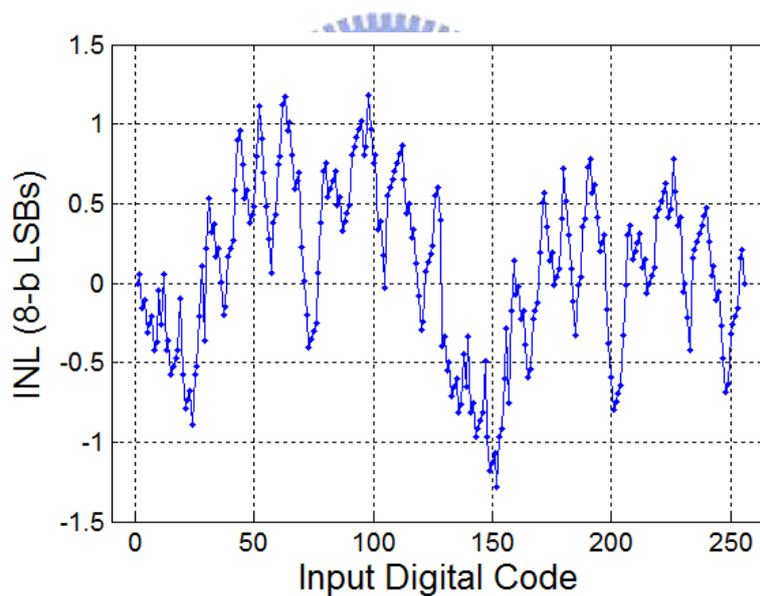


圖 5-5 量測粗條溫度計編碼電流式數位類比轉換器之 INL

5.3.2 閉迴路測試

比較圖 2-4[7]之全數位式整數頻率合成器架構，與圖 2-7 即本論文所提出之全數位式非整數頻率合成器架構，的迴授相位積分路徑，可發現在迴路濾波器部分有相異之處，本論文提出之迴路濾波器僅有

一權重(K_{ip})積分路徑，而[7]之迴路濾波器含有一權重(α)積分路徑與一權重(β)直通路徑。

若令圖 2-7 本論文提出之架構中的 $K_{pd}=0$ 且 $F=0$ ，此時迴授相位積分路徑上的和差調變器輸入值為 0，故輸出值也為 0，達到打斷迴授相位積分路徑的效果，並同時在原本只有一權重(K_{ip})積分路徑的迴路濾波器加入一權重(β)直通路徑，才不至於會有穩定度的問題。此時可視為與[7]具有相同轉移函式之鎖相迴路架構，如圖 5-6 所示。使用圖 5-6 所示之架構，可比較整數架構與非整數架構之效能。

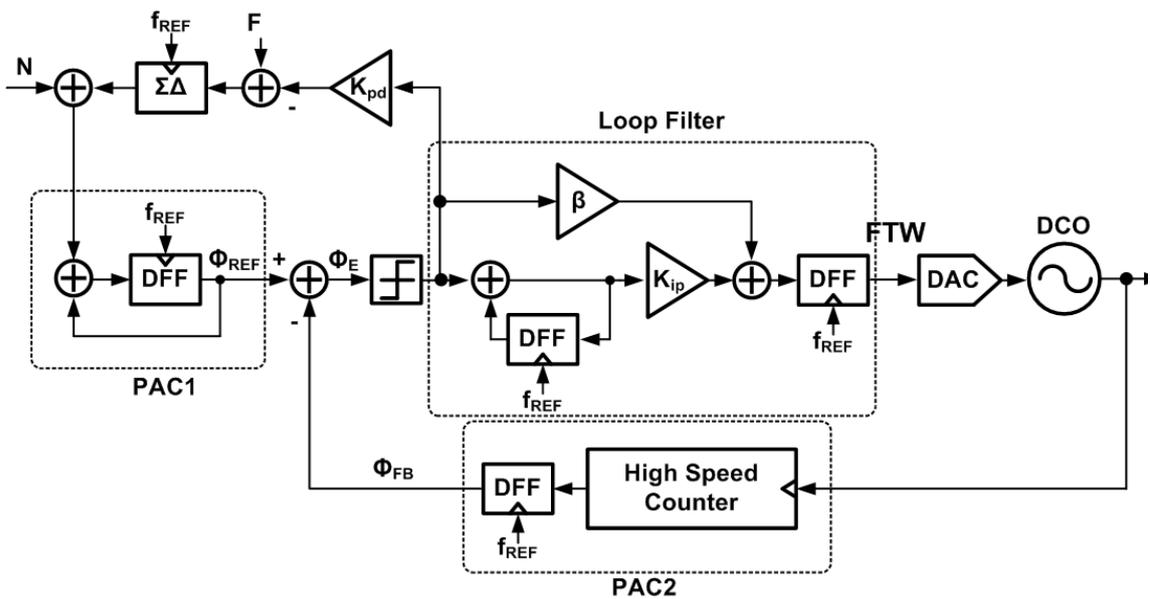


圖 5-6 同時達到整數與非整數之架構

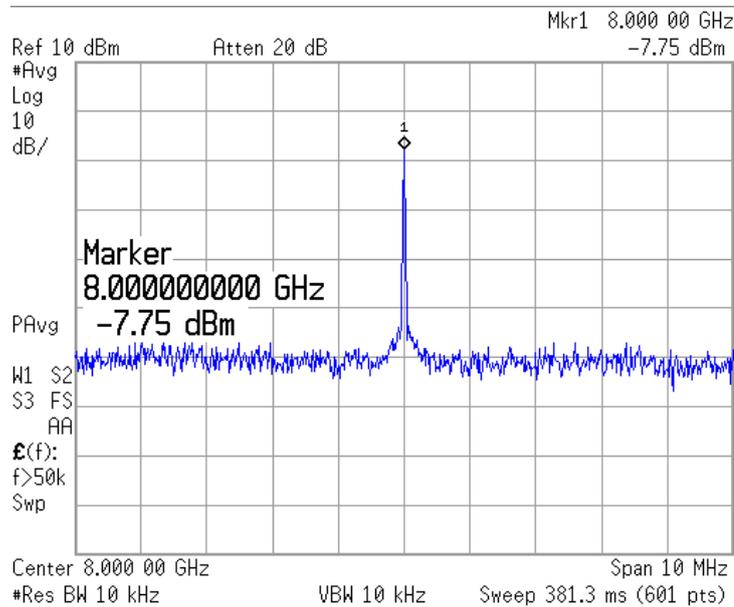
5.3.2.1 整數架構測試

量測整數架構時，須令 $K_{pd}=0$ 且 $F=0$ 達到打斷迴授相位積分路徑的效果。根據[16]穩定度之分析，此種架構須滿足(式 5-1)之條件迴路才能穩定，其中 D 為迴路濾波器輸出至振盪器輸入路徑中之延遲時間對參考週期(T_{ref})作正規化。

$$\frac{K_{ip}}{\beta} < \frac{2}{2D + 1} \quad (\text{式 5-1})$$

圖 5-7(a-1), (a-2)為量測之頻譜圖，其輸入參考頻率為 100MHz，整數除數為，分數除數為，目標頻率為 8.0GHz， K_{ip} 為 2^0 ， K_{pd} 為 0， β 為 2^{12} 。圖 5-7(b)為相應之相位雜訊圖，可觀察得鎖相迴路在此時的相位雜訊在 1MHz 處為 -89.19dBc/Hz，在 10MHz 處為 -97.69dBc/Hz。迴路頻寬外的相位雜訊分佈由振盪器自身雜訊所決定。將相位雜訊從 50Hz 積分至 50MHz 所得之 RMS 抖動為 2.983ps。

(a-1)



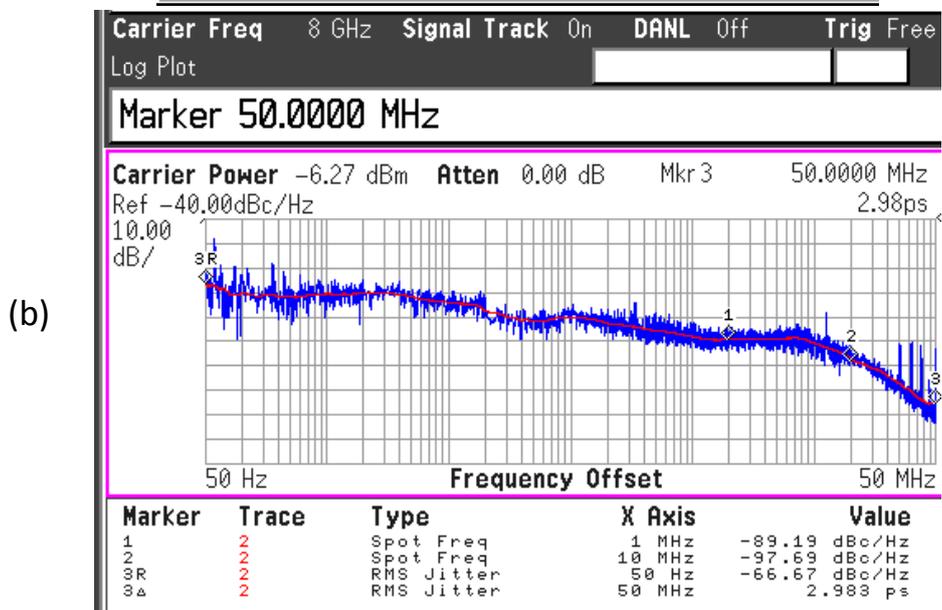
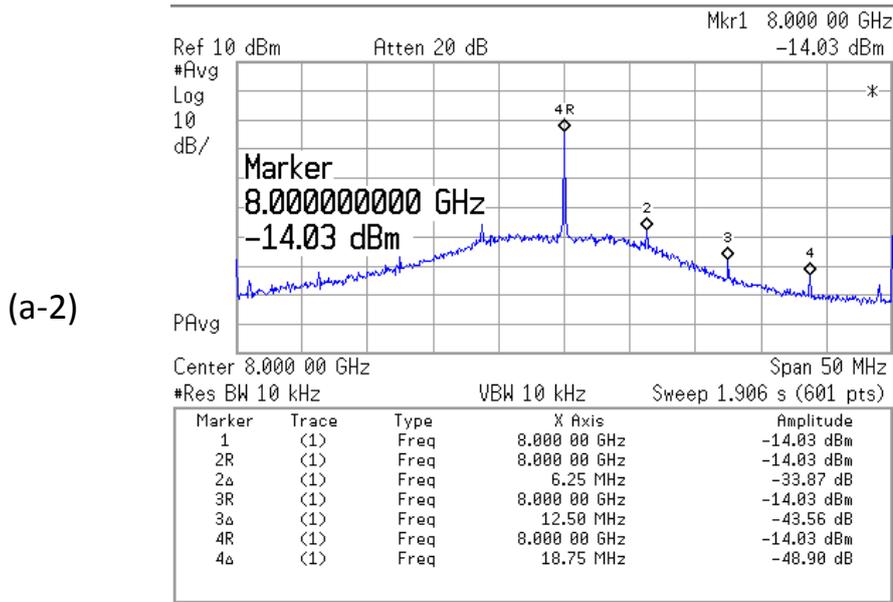


圖 5-7 量測 8.0GHz(a-1) (a-2)頻譜圖與(b)相位雜訊圖

圖 5-8 為利用安捷倫 86100C 量測整數架構之時域抖動圖，參考頻率為 100MHz，輸出頻率為 8.0GHz，觸發頻率為 50MHz。

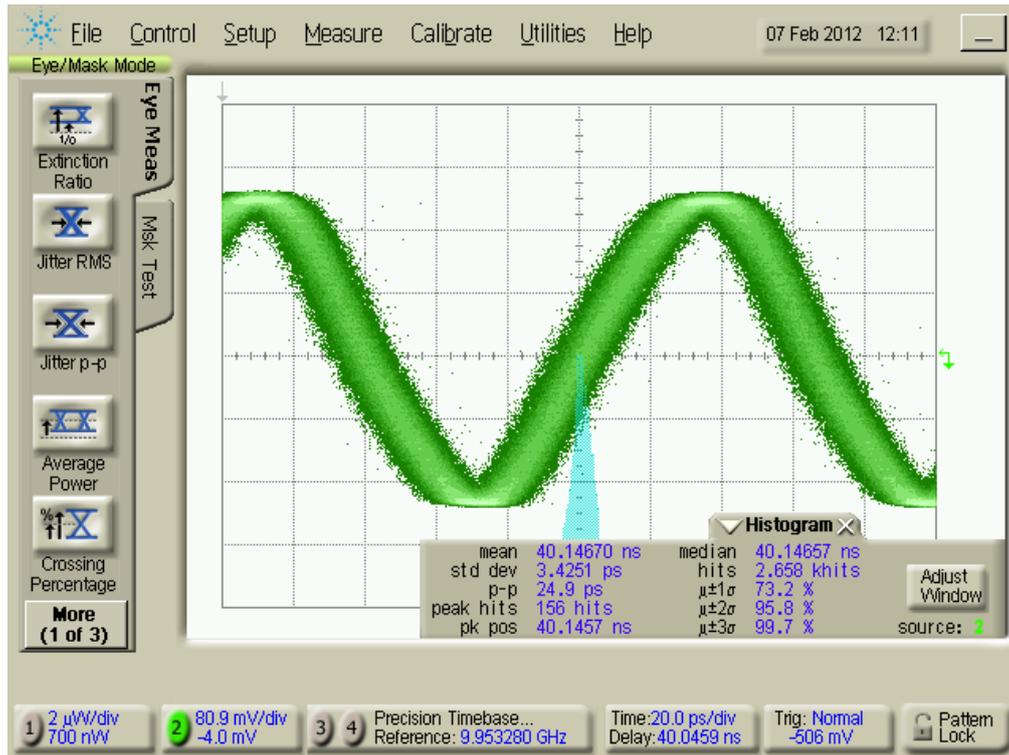


圖 5-8 量測 8.0GHz 時域抖動圖



5.3.2.2 非整數架構測試

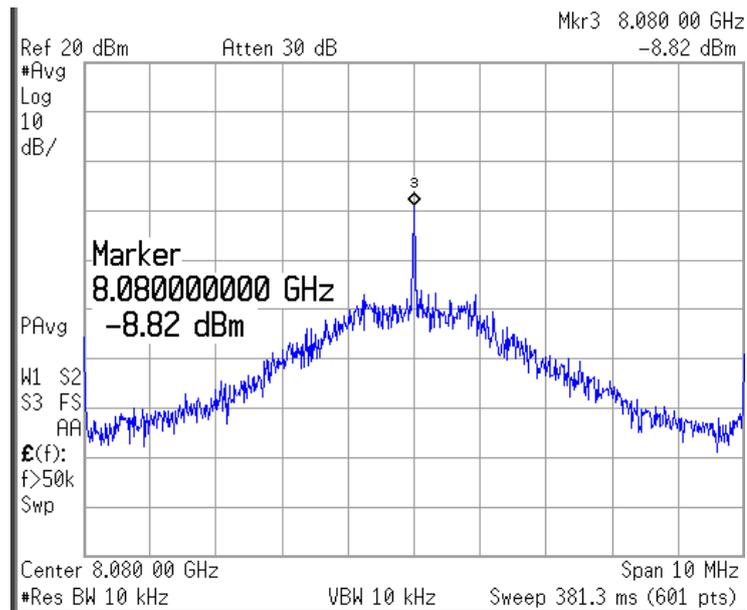
上節整數架構中迴路濾波器的權重(K_{ip})積分路徑可視為頻率資訊，權重(β)直通路徑則是作為相位內插作用。若以抖動效能考量，[7]指出當 β 固定時， K_{ip} 越小輸出抖動越小；當 K_{ip} 固定時， β 則是存在一最小輸出抖動的區間。但又由於(式 5-1)穩定度的考量，通常 β 會遠大於 K_{ip} ，導致在振盪器前有一具有週期性且劇烈的跳動，在頻譜上則會有參考頻率倍數的突波產生。

本論文提出的非整數架構，利用迴授相位積分路徑代替迴路濾波器直通路徑的功能，在突波表現上較為優異。

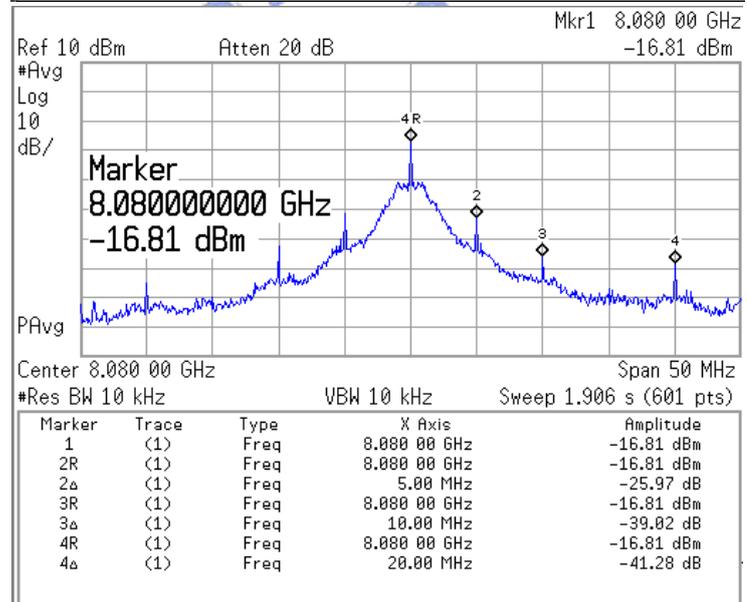
圖 5-9(a-1), (a-2)為量測之頻譜圖，其輸入參考頻率為 100MHz，整數除數為 80，分數除數為 0.8，目標頻率為 8.08GHz， K_{ip} 為 2^{10} ， K_{pd}

為 (0.05×2^{17}) ， β 為 0。圖 5-9(b) 為相應之相位雜訊圖，可觀察得鎖相迴路在此時的相位雜訊在 1MHz 處為 -73.00 dBc/Hz，在 10MHz 處為 -99.32 dBc/Hz。迴路頻寬外的相位雜訊分佈由振盪器自身雜訊所決定。將相位雜訊從 50Hz 積分至 50MHz 所得之 RMS 抖動為 13.019ps。

(a-1)



(a-2)



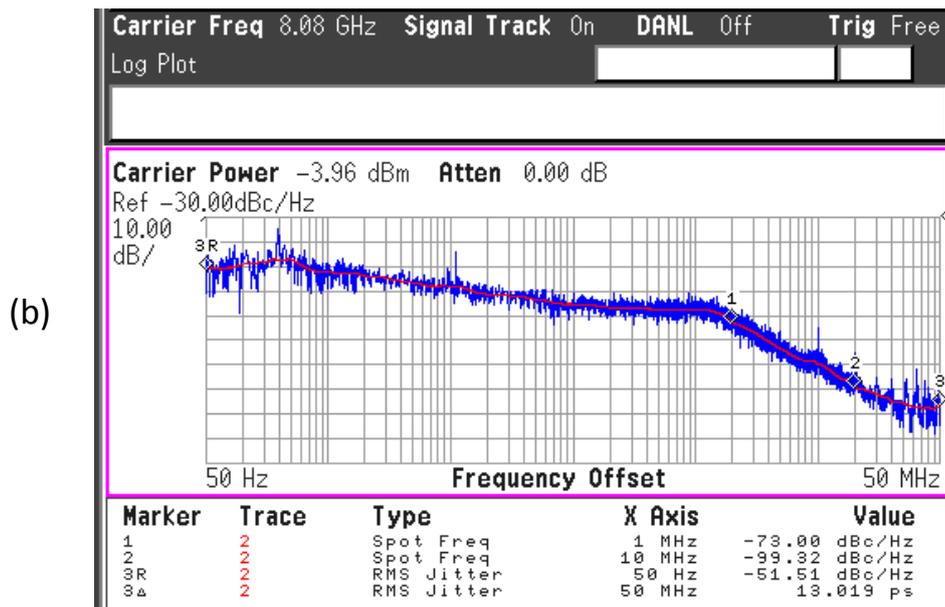
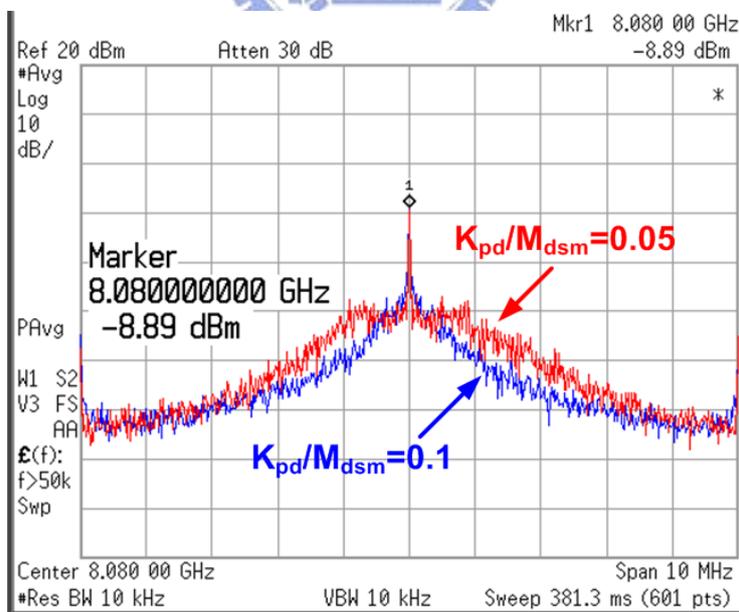


圖 5-9 量測 GHz(a-1) (a-2)頻譜圖與(b)相位雜訊圖

圖 5-10 為量測不同分數值之頻譜結果。參考頻率為 100MHz，整數除數為 79，分數除數為 0.4， K_{ip} 為 2^{10} ， K_{pd} 為 0.03 與 0.015。觀察可得 K_{pd} 越小其迴路頻寬越大。



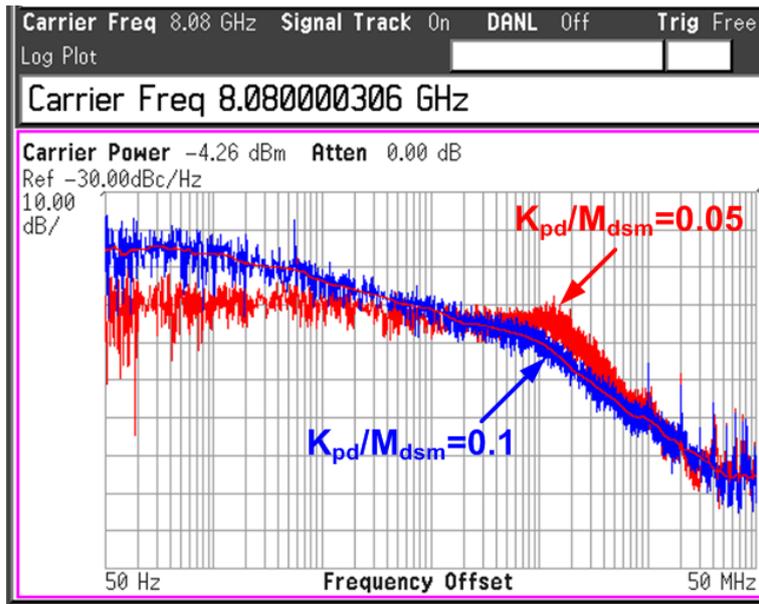


圖 5-10 量測不同分數值



第6章 結論

本論文提出一個具有背景式校正的全數位式非整數頻率合成器。自我追蹤與校正振盪器增益的方法，能免除製程物理環境和元件匹配誤差造成振盪器增益的不理想效應，達到校正振盪器物理增益，與還原最佳雜訊頻寬的效果。

另外，提出晶片上雜訊自我量測的方法，利用振盪器輸入端的頻率控制碼(FTW)計算抖動雜訊，其量測頻率從原本的輸出頻率降低為參考頻率等級，大大減輕了量測儀器的成本。

本論文中的晶片採用 TSMC-40nm CMOS 製程技術實現，總面積為 $1.330 \times 1.195\text{mm}^2$ 。晶片量測結果，輸出頻率為 8GHz，RMS jitter 在整數及非整數架構下分別為 3.4251ps 及 13.019ps。



參考文獻

- [1] B. Razavi, *Design of Analog CMOS Integrated Circuits*. Boston, MA: McGraw-Hill, 2001.
- [2] R. B. Staszewski, C. M. Hung, D. Leipold and P. T. Balsra, "A first multigigahertz digitally controlled oscillator for wireless applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, pp. 2154-2164, 2003.
- [3] R. B. Staszewski, C. M. Hung, K. Maggio, J. Wallberg, D. Leipold and P. T. Balsra, "All-digital phase-domain TX frequency synthesizer for Bluetooth radios in 0.13 μ m CMOS," *ISSCC Dig. Tech. Papers*, vol. 1, pp. 272, 2004.
- [4] N. D. Dalt, E. Thaller, P. Gregorius and L. Gazsi, "A compact triple-band low-jitter digital LC PLL with programmable coil in 130-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 1482-1490, 2005.
- [5] B. Razavi, *Design of Integrated Circuits for Optical Communications*. Boston: McGraw-Hill, 2003.
- [6] I. Galton, "Delta-sigma data conversion in wireless transceivers," *IEEE Transactions on microwave theory and techniques*, vol. 50, o. 1, pp. 302-315, Jan. 2002.
- [7] S. Y. Yang, W. Z. Chen, "A 7.1mW, 10GHz All Digital Frequency Synthesizer with Dynamically Reconfigured Digital Loop Filter in 90nm CMOS Technology," *ISSCC Dig. Tech. Papers*, pp. 90-91, Feb. 2009.
- [8] M. Ferriss and M. P. Flynn, "A 14mW Fractional-N PLL Modulator with

a Digital Phase Detector and Frequency Switching Scheme,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 11, pp. 2464-2471, Nov. 2008.

[9] N. D. Dalt, “Markov Chains-Based Derivation of the Phase Detector Gain in Bang-Bang PLLs,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, pp. 1195-1199, Nov. 2006.

[10] “Agilent E4448A PSA 系列高性能頻譜分析儀應用手冊,” 2008.

[11] N. D. Dalt, “Theory and Implementation of Digital Bang-Bang Frequency Synthesizers for High Speed Serial Data Communications,” University of Padova, Ph.D, Feb. 2007.

[12] R. B. Staszewski and P. T. Balsra, *All-Digital Frequency Synthesizer in Deep-Submicron CMOS*, Wiley-Interscience, 2006.

[13] A. Hajimiri, S. Limotyrakis and T. H. Lee, “Jitter and phase noise in ring oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 34, no. 6, pp. 790-804, June 1999.

[14] M. H. Perrott, M. D. Trott, and C. G. Sodini, “A Modeling Approach for Σ - Δ Fractional-N Frequency Synthesizers Allowing Straightforward Noise Analysis,” *IEEE Journal of Solid-State Circuits*, vol. 37, no. 8, pp. 1028-1038, Aug. 2002.

[15] R. B. Staszewski and P. T. Balsra, “Phase-Domain All-Digital Phase-Locked Loop,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 52, pp. 159-163, Mar. 2005.

[16] N. D. Dalt, “A design-oriented study of the nonlinear dynamic of digital bang-bang PLLs,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, pp. 21-31, 2005.

