

# 國立交通大學

電控工程研究所

碩士論文

使用共用傳導層傳送晶片間多重信號機制

**Die-to-Die Multi-signaling Communication  
Mechanism with Common Conduction Layer**

研究生：黃博祥

指導教授：蘇朝琴 教授

中華民國一百年一月

使用共用傳導層傳送晶片間多重信號機制

Die-to-Die Multi-signaling Communication  
Mechanism with Common Conduction Layer

研究生：黃博祥

Student : Po-Hsiang Huang

指導教授：蘇朝琴 教授

Advisor : Chau Chin Su

國立交通大學

電控工程研究所



Submitted to Department of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical and Control Engineering

January 2011

Hsinchu, Taiwan, Republic of China

中華民國一百年一月

# 使用共用傳導層傳送晶片間多重信號機制

研究生：黃博祥

指導教授：蘇朝琴 教授

國立交通大學電控工程研究所

## 摘 要

本篇論文提出一個新型三維積體電路晶片間連接的應用架構，使用共用傳導層傳送晶片間多重信號機制，使用導電介質如導電膠，將晶片與晶片黏合並形成傳導層。與其它三維積體電路晶片使用無線或有線傳輸的架構有比較近的通訊距離，此篇論文設計的距離為 2 微米。較短的通訊距離也就是共用傳導層厚度越薄，意味著有較好的抵抗鄰近雜訊干擾能力也能增加高密度連線的數量。我們也設計十字標記對準機制來偵測位移誤差，在上下區塊的晶片上設計傳送端與接收端的中繼器，可以量測出訊號完整性。且此晶片也用來驗證共用傳導層之間的電阻模型。

共用傳導層傳送晶片間多重信號機制操作在 2Gbps 時能達到 0.18pJ/bit 能量效率，使用台積電 0.18 微米 1P6M CMOS 製程來實現與驗證此新型的三維晶片傳輸架構。

關鍵字：三維積體電路、導電膠、訊號完整性

# Die-to-Die Multi-signaling Communication Mechanism With Common Conduction Layer

Student: Po Hsiang Huang      Advisor: Chau Chin Su

Institute of Electrical Control Engineering  
National Chiao Tung University

## Abstract



A broadcast interconnects method for 3D-IC applications is implemented by using common conduction layer. Die-to-Die Multi-signaling communication mechanism with common conduction layer has shorter communication distance. Compared with wireless or wire interconnect. Our communication distance is 2 $\mu$ m. The shorter distance means that it can resist the neighborhood noise and increase the IO density for packaging. Moreover, chip thinning, together with device scaling, will further improve the density and performance of the vertical I/Os. As a result, because of the larger I/O count possible in 3D integration and the short length of the interconnections, it is expected that the vertical I/Os between stacked chips will be able to provide the high data bandwidth required by Moore's law with the benefit of low-power signaling.

We also use alignment method for detecting position error. In our design, a buffer stage may be needed between the circuit blocks in different layers, since common conduction layer usually have a much larger Parasitic Resistance than interconnects of circuits. This interconnect has energy efficiency of 0.18 pJ/bit at 2Gbps. The proposed broadcast interconnects method is implemented in TSMC 0.18 $\mu$ m process for demonstration of this architecture.

Keyword: Three-Dimensional Integrated Circuits, Conductive Paste, Signal Integrity.

## 誌 謝

在研究所的人生階段中，首先感謝我的指導教授 蘇朝琴教授的辛勤指導，無論是在研究或是生活上，總是教導學生正確的態度，展現出做人處事與研究精神的模範，每當研究遇到瓶頸時，老師總會提供很多的方向指引學生，讓學生從挑戰中成長、逆境中突破、跌倒中爬起，也提供學生一個資源非常充足的研究環境，因為這些的人、事、物，學生才能有所成長。

因為實驗室同學們的鼓勵與支持下，讓學生在研究上可以有更多的能量，也非常感謝盈杰學長、煜輝學長、庭佑學長，三位學長的帶領下，讓實驗室的人、事、物可以順利的走下去。而于昇學長在我眼中是個教導我樂觀的人。鈞藝、哲瑋、泓瑋、修銘、群育，我們是同年同月一起進來實驗室的好友，所以這之間有著濃濃的友誼，讓我們在喜、怒、哀、樂中體驗人生中這段不平凡的研究生活。而學弟妹軍團：澤勝、璟伊、昶志、順煜、弘宇、佳容、Mark、阿 Mon、嘉哲、蔡倫、可謙，因為有你們的協助與支持，才能讓我的研究生活有更多美好的回憶，助理豐文姐姐也是我要感謝的人，因為有她的幫忙與熱心，讓大家在實驗室有更好的研究環境。

最後我想感謝我的家人，感謝我的家人在寒冷中總是會給我溫暖，在研究所的生活中可以專心的去完成學業，同時也要感謝在台北的俊魁大哥、黃老師與達叔還有在台北親愛的學弟妹，因為有你們的陪伴與支持，讓學生在研究所學習的階段中，添增了許多對人生更深的體會與更多的成長。

黃博祥 2011/01/07

摘 要.....	i
Abstract.....	ii
誌 謝.....	iii
目 錄.....	iv
圖目錄.....	vi
表目錄.....	ix
第一章.....	1
緒論.....	1
1.1 簡介.....	1
1.2 研究動機.....	2
1.3 論文結構.....	3
第二章.....	4
三維積體電路架構與製程技術.....	4
2.1 簡介.....	4
2.2 二維到三維封裝形式.....	5
2.3 為何要使用三維積體電路技術.....	9
2.3.1 傳統 SOC 的設計問題.....	9
2.3.2 使用 3D IC 設計好處.....	10
2.3.3 SOC vs. SiP vs. 3D IC.....	11
2.4 垂直傳輸技術.....	12
2.4.1 有線垂直傳輸之矽穿孔技術.....	12
2.4.2 無線垂直傳輸之電感與電容耦合技術.....	15
第三章.....	17
3D TCAD 半導體元件製程設計模擬.....	17
3.1 簡介.....	17
3.2 導電膠材料應用分析.....	18
3.3 面對面接合堆疊.....	20
3.4 RAPHAEL 模擬環境設定.....	21
3.5 TAURUS VISUAL 驗證環境設定.....	25

3.6 電阻與電容粹取.....	26
<b>第四章.....</b>	<b>28</b>
<b>共用傳導層傳送晶片多重信號設計.....</b>	<b>28</b>
4.1 簡介.....	28
4.2 共用傳導層之電阻與電容模型.....	29
4.2.1 垂直訊號傳輸路徑分析.....	33
4.2.2 鄰邊雜訊干擾路徑分析.....	34
4.2.3 鄰邊漏電流路徑分析.....	36
4.2.4 對邊雜訊干擾路徑分析.....	38
4.2.5 對邊漏電流路徑分析.....	40
4.3 設計流程.....	43
4.3.1 訊號與雜訊之電阻差異性分析.....	44
4.3.2 金屬層墊排列模型最佳化設計.....	47
4.3.3 訊號完整度分析.....	48
4.4 金屬層墊排列與傳送訊號方向分析.....	50
4.4.1 共用傳導層加入傳送與接收器設計.....	54
4.4.2 金屬層墊的不同排列方式分析.....	57
4.4.3 上下訊號傳輸方向分析.....	58
<b>第五章.....</b>	<b>59</b>
<b>模擬結果與佈局.....</b>	<b>59</b>
5.1 簡介.....	59
5.2 晶片佈局圖.....	60
5.3 模擬結果.....	62
5.4 性能比較.....	63
5.5 印刷電路板模型驗證.....	64
5.6 晶片量測考量.....	69
<b>第六章.....</b>	<b>73</b>
<b>結論.....</b>	<b>73</b>
6.1 結論.....	73
6.2 未來發展.....	74
<b>參考文獻.....</b>	<b>75</b>

# 圖目錄

圖 1. 有線通訊連接 .....	3
圖 2. 無線通訊連接 .....	3
圖 3. 三維晶片內部連線優勢 .....	5
圖 4. PIP 構裝結構 .....	6
圖 5. POP 構裝結構 .....	6
圖 6. 堆疊微型接點晶片尺寸封裝(SCSP)技術 .....	7
圖 7. 3D IC WITH TSV 概念架構圖 .....	8
圖 8. CMOS 前製程 .....	13
圖 9. CMOS 後製程 .....	13
圖 10. 換段中製程 .....	13
圖 11. 鍵合後製程 .....	13
圖 12. 各種不同應用中所需要的 TSV 大小[20] .....	14
圖 13. 利用電容感應與電感感應傳遞資料的示意圖 .....	16
圖 14. 導電膠黏接示意圖 .....	18
圖 15. TSMC 0.18UM 1P6M 的剖面圖 .....	20
圖 16. RAPHAEL 簡易流程圖 .....	21
圖 17. RAPHAEL 介面流程 .....	22
圖 18. 面對面接合環境(9 個金屬層墊) .....	22
圖 19. 厚度與名稱定義 .....	23
圖 20. 剖面圖(9 個金屬層墊) .....	23
圖 21. 輸出檔案設定 .....	24
圖 22. 三維圖形界面 .....	25
圖 23. 三個金屬層墊在兩個基底 .....	26
圖 24. 等效電阻模型 .....	26
圖 25. 浮動閘電晶體 .....	27
圖 26. 等效電容模型 .....	27
圖 27. 共用傳導層傳送訊號示意圖(2_CELL) .....	29
圖 28. 共用傳導層傳送訊號示意圖(9_CELL) .....	29
圖 29. 共用的傳導層參數與等效電阻與電容模型 .....	30
圖 30. 共用傳導層傳送晶片間多重信號機制等效電路示意圖(鄰邊模型) .....	31
圖 31. 共用傳導層傳送晶片間多重信號機制等效網路轉換示意圖 .....	32
圖 32. 垂直訊號傳輸示意圖 .....	33
圖 33. 垂直訊號傳輸上下金屬層墊不同大小示意圖 .....	33
圖 34. 鄰邊雜訊干擾示意圖 .....	34
圖 35. 鄰邊轉角電阻示意圖(參數 $K_1$ ) .....	35
圖 36. 轉角倍率修正參數 $K_1$ .....	35

圖 37. 鄰邊漏電流示意圖 .....	36
圖 38. 鄰邊雜訊干擾(A)、漏電流(B)示意圖.....	37
圖 39. 寬度(W)固定下，厚度(T)大小、間距(S)的影響 .....	37
圖 40. 鄰邊雜訊干擾路徑電阻與漏電流路徑電阻的比值 .....	37
圖 41. 共用傳導層傳送晶片間多重信號機制等效電路示意圖(對邊模型).....	38
圖 42. 對邊雜訊干擾示意圖 .....	38
圖 43. 對邊轉角電阻示意圖(參數 $K_2$ ).....	39
圖 44. 轉角倍率修正參數 $K_2$ .....	40
圖 45. 對邊漏電流示意圖 .....	40
圖 46. 對邊雜訊干擾路徑電阻與漏電流路徑電阻的比值 .....	41
圖 47. 共用傳導層參數模型示意圖(9_CELL).....	42
圖 48. 共用傳導層傳送訊號最佳化流程圖 .....	43
圖 49. 共用傳導層差異性分析示意圖 .....	44
圖 50. 共用傳導層差異性 W 固定分析示意圖 .....	45
圖 51. 共用傳導層差異性 $S=2T$ 分析示意圖 .....	45
圖 52. 寬度(W)改變對差異性的影響.....	46
圖 53. 間距(S)改變對差異性的影響 .....	46
圖 54. 厚度(T)改變對差異性的影響.....	46
圖 55. 共用傳導層 9 塊金屬層墊排列示意圖 .....	47
圖 56. 共用傳導層 5 塊金屬層墊排列示意圖 .....	47
圖 57. 數位序列的抖動 .....	49
圖 58. 共用傳導層訊號完整度之抖動容忍規格示意圖 .....	49
圖 59. 眼圖之抖動與開口示意圖 .....	49
圖 60. 共用傳導層參數與模型示意圖(9_CELL).....	50
圖 61. 參數寬度(W)改變對共用傳導層模型影響.....	51
圖 62. 參數間距(S)改變對共用傳導層模型影響 .....	52
圖 63. 參數厚度(T)改變對共用傳導層模型影響.....	53
圖 64. 共用傳導層加入傳送與接收器示意圖 .....	54
圖 65. 傳送與接收器示意圖 .....	54
圖 66. 傳送與接收器輸出眼圖 .....	55
圖 67. 操作速率改變對輸出眼圖的抖動與開口大小 .....	55
圖 68. 寬度(W)改變對輸出眼圖的抖動與開口大小.....	56
圖 69. 間距(S)改變對輸出眼圖的抖動與開口大小 .....	56
圖 70. 厚度(T)改變對輸出眼圖的抖動與開口大小.....	56
圖 71. 共用傳導層之排列方式示意圖 .....	57
圖 72. 不同的排列方式對輸出眼圖的抖動與開口大小 .....	57
圖 73. 共用傳導層之訊號傳輸方向示意圖 .....	58
圖 74. 訊號傳輸方向對輸出眼圖的抖動與開口大小 .....	58

圖 75. 使用共用傳導層傳送晶片間多重信號機制佈局圖 .....	60
圖 76. 使用共用傳導層傳送晶片間多重信號機制的顯微照片 .....	61
圖 77. 使用共用傳導層傳送晶片間多重信號機制構裝示意圖 .....	61
圖 78. 使用共用傳導層傳送晶片間多重信號機制模擬結果 .....	62
圖 79. 速度與距離比較圖 .....	63
圖 80. 使用共用傳導層傳送晶片間多重信號機制印刷電路板設計(一).....	64
圖 81. 使用共用傳導層傳送晶片間多重信號機制印刷電路板設計(二).....	65
圖 82. 使用共用傳導層傳送晶片間多重信號機制厚度統計 .....	65
圖 83. 使用共用傳導層 PCB 模型 CASEA 分析 .....	66
圖 84. 使用共用傳導層 PCB 模型 CASEA 電阻量測結果 .....	66
圖 85. 使用共用傳導層 PCB 模型 CASEB 分析 .....	67
圖 86. 使用共用傳導層 PCB 模型 CASEB 電阻量測結果 .....	67
圖 87. 使用共用傳導層 PCB 模型 CASEA 量測結果(輸入訊號:CLK) .....	68
圖 88. 使用共用傳導層 PCB 模型 CASEA 量測結果(輸入訊號:PRBS).....	68
圖 89. 使用共用傳導層傳送晶片間多重信號機制量測環境 .....	69
圖 90. 使用共用傳導層傳送晶片間多重信號對準機制示意圖 .....	70
圖 91. 使用共用傳導層傳送晶片間多重信號電阻量測示意圖 .....	70
圖 92. 使用共用傳導層傳送晶片間多重信號晶片堆疊示意圖 .....	71
圖 93. 使用共用傳導層傳送晶片間多重信號對準塗膠示意圖 .....	71
圖 94. 量測機台與訊號量測方式 .....	72

# 表目錄

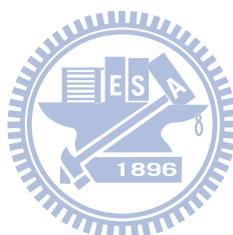
表 1. SOC vs. SiP vs. 3D IC 之比較 .....	11
表 2. IBM 對於不同產品所需的 TSV 大小預估[19] .....	14
表 3. 部份導電金屬與及導電黏著劑的導電性質[33].....	19
表 4. TSMC 0.18UM 1P6M 參數規格 .....	21
表 5. 轉角倍率修正參數 $K_1$ .....	35
表 6. 共用傳導層參數模型 .....	42
表 7. 共用傳導層不同排列比較參數 .....	48
表 8. 共用傳導層設計參數比較 .....	50
表 9. 共用傳導層加入傳送與接收器參數設計 .....	55
表 10. 使用共用傳導層傳送晶片間多重信號機制接腳數目 .....	60
表 11. 使用共用傳導層傳送晶片間多重信號機制不同寬度(W)規格表.....	61
表 12. 使用共用傳導層傳送晶片間多重信號機制規格表 .....	62
表 13. 三維積體電路之面對面堆疊架構比較表 .....	63
表 14. 使用共用傳導層傳送晶片間多重信號機制之導電碳膠規格 .....	64



# 第一章

---

## 緒論



### 1.1 簡介

隨著網路、數位多媒體等消費性產品的快速發展，晶片設計的複雜度也隨之急速提高。系統單晶片的理念發展至此面對了許多的困難，舉凡隨著複雜度而增大的晶片面積、晶片的參數漂移以及不同製程技術整合上的困難等，以上種種皆是造成良率無法提昇的主要因素。但此時，由於近年來晶片封裝技術的持續進步，產學各方所關注的系統單晶片整合已然由平面的整合轉進立體堆疊的 3D IC 技術。3D IC 技術儼然成為今日積體電路產業延續遵循摩爾定律(Moore's Law)最可能的選項之一。

## 1.2 研究動機

現今發展的立體堆疊 3D IC 技術，是在封裝的階段使用於不同製程的晶片疊合，達到所謂的異質晶片整合。目前熱門的 3D IC 堆疊技術有很多的解決方案，大致通稱為系統級封裝(System in Package, SiP)，發展至今種類繁多，例如：晶片堆疊(Stack Die)、覆晶(Flip-chip)等皆是屬於立體堆疊 3D IC 技術的範疇。

而這些現行的一些 3D IC 解決方案雖然在晶片的連接上使用各種不同的方式，但在信號的傳輸上皆是屬於傳統點對點方式。舉凡利用打線(Wire Bonding)[1]，如圖 1.(a)所示；覆晶錫焊球(Solder Bonding)[2]，如圖 1.(b)所示；另外還有電容性耦合(Capacitive Coupling)[3]與電感性耦合(Inductive Coupling)[4]，如圖 2.(a)、圖 2.(b)所示，等形成晶片與晶片之間的連結，其目的都是要形成晶片與晶片之間點對點的訊號傳輸路徑。讓我們更深入地討論，打線的接合方式，導線需佔用晶片的空間，無法大量地連接，並造成較大的負載效應與較長的傳輸距離。覆晶可以近距離連線(10~15 微米)，亦可以較高密度連線，但是在後製程上有溫度以及填充等問題，良率不高且成本不菲；電容性耦合、電感性耦合需要較大面積的金屬層墊，而晶片與晶片間的黏合與校準是個問題。

本篇論文所提出的使用共用傳導層傳送晶片間多重信號機制，使用導電介質如導電膠，將晶片與晶片黏合並形成傳導層。不同於傳統所使用點對點的輸入輸出埠，使用共用傳導層傳送晶片間多重信號機制是直接將訊號從傳送端傳送到共用傳導層，再由接收端在共用傳導層選取接受所需要的訊號。相較於現有 3D IC 的堆疊技術，共用傳導層直接傳輸之 3D IC 堆疊技術具備多項特色：電路設計容易，不須為克服應力使用多層金屬層製作金屬層墊。較小晶片間距、可使用高密度連線。直接使用導電介質黏合，完全不需繁複且昂貴的後製程處理。

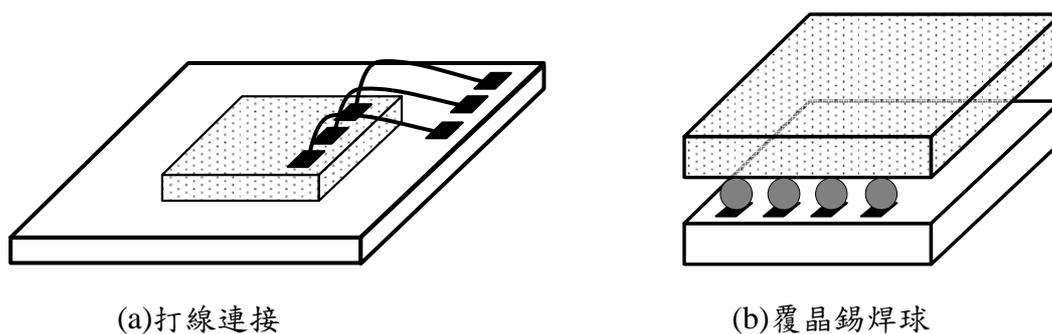


圖1. 有線通訊連接

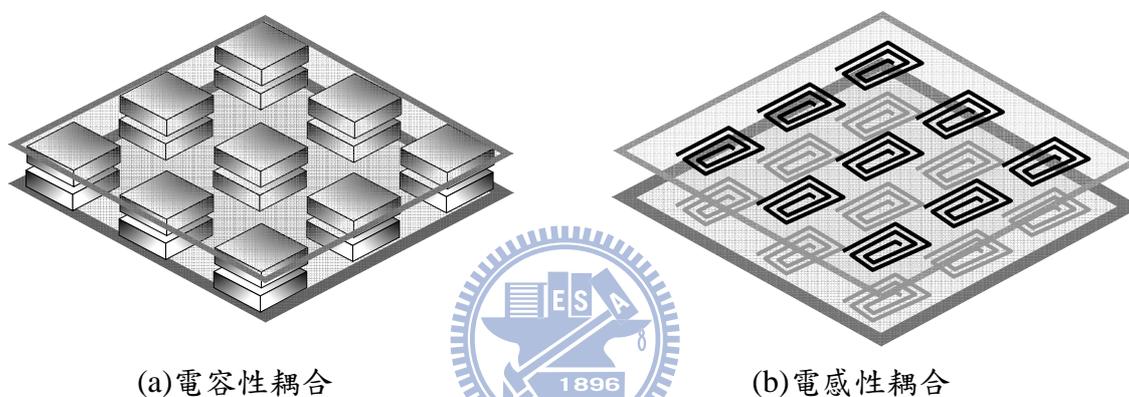


圖2. 無線通訊連接

## 1.3 論文結構

本論文內容分成六個章節。第一章為緒論，簡介發展現況、研究動機以及論文結構。第二章為三維積體電路架構、製程與設計原理，說明各式三維積體電路介面傳輸方法以及應用。第三章介紹使用三維半導體製程模擬的模擬方法以及粹取寄生電阻電容的精確度。第四章則是介紹我們所提使用共用傳導層傳送晶片間多重信號機制的設計考量以及設計流程。第五章為使用印刷電路板的模型量測結果，驗證共用傳導層傳送晶片間多重信號機制的設計並討論晶片佈局，其中亦包含規格表、比較表，以及量測考量。第六章為結論，討論使用共用傳導層傳送晶片間多重信號機制的設計結果與未來發展。

## 第二章

---

# 三維積體電路架構與製程技術



## 2.1 簡介

隨著半導體技術發展至 32 奈米以下，先進製程下微影技術投資過於昂貴，技術難以突破，讓原以兩年為世代週期的摩爾定律，未來在 32 奈米以下的世代交替週期時間將會拉長，並抬高成本。且在先進製程下，銅導線線寬縮小所造成的阻抗增加將使訊號延遲效應更明顯，如何在不縮小線寬與線距情況下還能提升電晶體密度，三維堆疊式系統晶片將是滿足此項需求的解決方案之一，特別是對容量及速度需求進展較快的記憶體及微處理器部份。因此發展出各式不同的堆疊架構，依三維積體電路垂直連線上的分類，我們將三維堆疊式系統晶片區分為垂直有線傳輸跟無線傳輸兩種架構討論。

## 2.2 二維到三維封裝形式

半導體的發展一直跟隨著摩爾定律發展，因為半導體製程與光學微影的進步才可以每 18 月其密度可以增加一倍，但是這些發展目前受到最大的挑戰在於封裝方面，尤其是因為封裝的連接線(Wire Bonding)使得晶片的密度一直無法上升。

3D IC 主要是對過去元件進行平面 2D 連接的方式。而朝向立體堆疊的型態，以達到縮減體積、降低能耗、及增進效率的多方面益處，使得應用在可攜式電子產品時能達到所需要的相關要求，然而 3D IC 的定義有很多種，有些設計者認為三維晶片由單塊晶片中的多層半導體器件所組成。另一種則是採用一些把多個晶粒接合在一起的技術當作是三維晶片，或是把多個晶粒接合在一起的技術，就像是在晶圓級連接的多晶片封裝，認為 3D IC 的定義應該是只有一個矽基層，而工作晶圓位於最上層，所有的製程處理都在晶圓級完成，這使晶片成為單片電路，晶圓中可以借助僅為數微米長的互連線路可在任何地方連接晶圓。

相較於過去二維晶片內網路，三維晶片內網路將帶來三項主要的好處如圖 3 示，提高晶片堆疊密度並且縮小尺寸、減少晶片內全域資料交換之連線距離、增加網路頻寬提升效能。

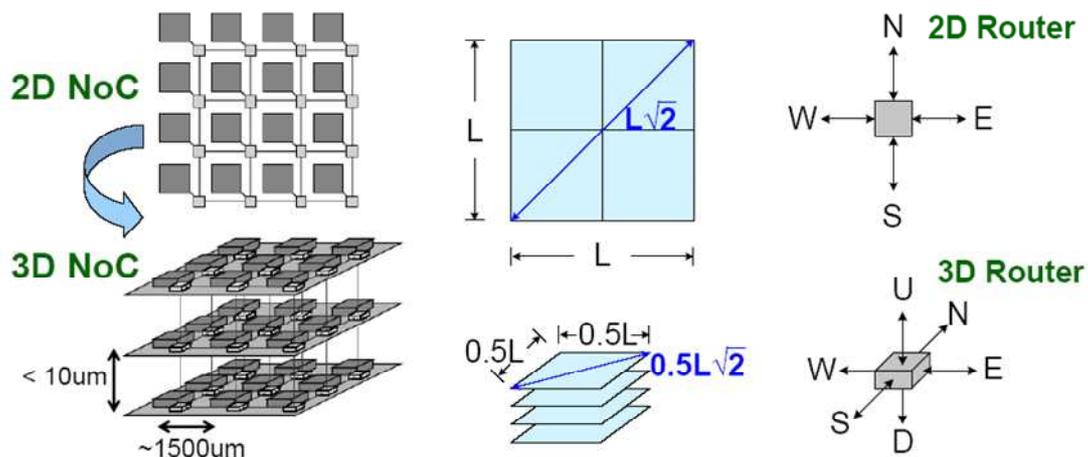


圖3. 三維晶片內部連線優勢

3D IC 的技術分類上，可分為三大類[5]，分別是 1.Package Stacking 2.Die Stacking 3.3D IC with TSV，以下將概述三大技術之優缺點。

### 1. Package Stacking:

Package stacking 又可分為 PIP (Package in Package)[6]如圖 4 所示與 POP (Package on Package)[7]如圖 5 所示兩種構裝方式，PIP 構裝因使用兩個獨立構裝體以表面黏著方式作堆疊，這樣的堆疊方式，好處在於可提高產品良率。POP 則因將構裝體包在裡面，使得構裝後晶片體積較大，且線路較長，這樣的堆疊方式則較難應用於需微型化的晶片。以此兩種封裝體來看整體的封裝厚度差距甚小，但在製程方面，PIP (Package in Package)結構卻較為複雜並且較無法考慮封裝體功能檢測 KGP (known good package)及良率較低等問題，相反的，POP (Package on Package)因為傳統的單一封裝技術已趨於成熟，只需要將兩個 Package 加以堆疊的製程技術，相較 PIP (Package in Package)而言，良率則是相對得提高許多。

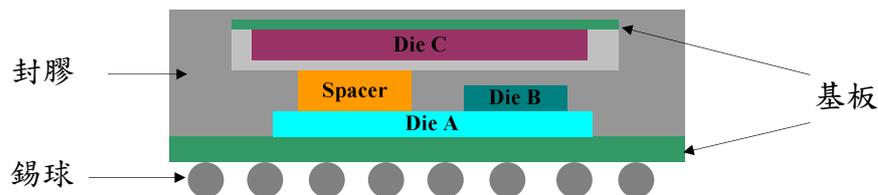


圖4. PIP 構裝結構

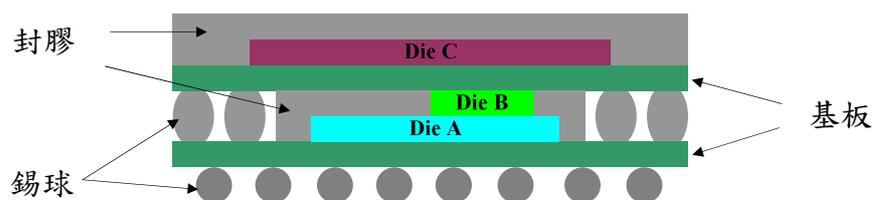


圖5. POP 構裝結構

## 2. Die Stacking:

Die stacking[8]是將晶片以立體打線電性連接方式做訊號連結的構裝技術。此技術優點是技術成熟、成本低，整合使用異質性技術及不同電壓操作環境的各種功能不同的晶粒。例如：一個堆疊晶粒的封裝中會包含分開但互相用導線連結的晶粒組成，可能包含一顆到數顆記憶體晶粒的堆疊、一顆類比晶粒堆疊在另一顆 SoC 或是數位晶粒上，另有一顆獨立的 RF 晶粒位於一個多層相連結基板之上，而這些組成晶粒都有不同的控制及 I/O (Input/Output) 路徑。

但因晶片構裝是用打線方式使其範圍侷限於用在晶片周圍連結，雖其電訊傳輸路徑較 package stacking 來的短，但在高頻上的應用則會產生限制，如圖 6 所示為堆疊微型接點晶片尺寸封裝(SCSP)技術[9]。

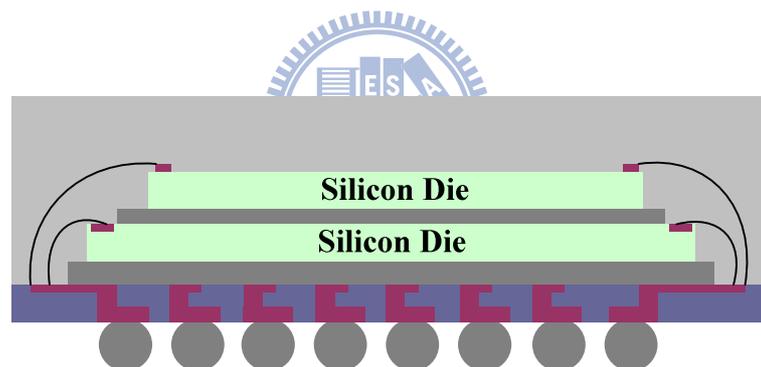


圖6. 堆疊微型接點晶片尺寸封裝(SCSP)技術

## 3. 3D IC with TSV:

矽穿孔技術 (Through Silicon Via, TSV)[10-14]是在晶圓上以蝕刻或雷射的方式鑽孔(Via)，再將導電材料如銅、多晶矽、鎢等填入 Via 形成導電的通道(即內部接合線路)，最後則將晶圓或晶粒薄化再加以堆疊、結合(Bonding)，作為晶片間傳輸電訊號用之堆疊技術如圖 7 所示。

但在 TSV 的製程上，而因為各管道須與其他 IC 的管道連結，所以必須先挖矽基板再彼此連結。為了方便挖掘，基板的厚度要越薄越好。基板越薄，除了考量挖穿基板所需的時間越少，挖洞的大小也是主要考量之一。基板厚度越厚，洞的尺寸就須越大，反之亦然。雖然「基板的厚度越薄越好」，但仍有諸多挑戰須要克服。如為了基板的薄化，首先要克服的便在於如何處理這超薄的晶圓。從物理特性來說，當晶圓磨薄到 50 微米之後，晶圓基本上就像紙張一樣是可撓性的。這樣的可撓特性，也造成了後續製程的問題。

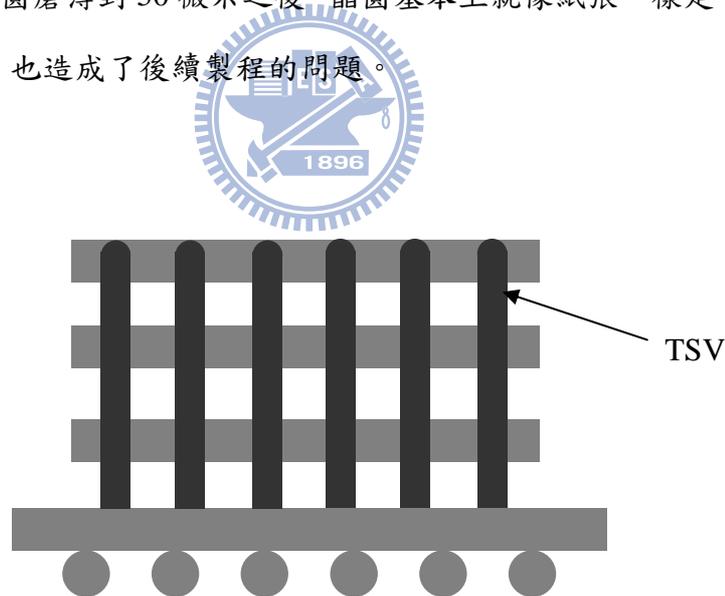


圖7. 3D IC with TSV 概念架構圖

## 2.3 為何要使用三維積體電路技術

過去 SOC(System On a Chip)的優缺點[15]。在優點上，SOC 過去都認為它可以降低成本、執行效能增加、降低耗電量、體積縮小與增加可靠度。因為要達到一個 IC 具有所有系統的功能，就必須在佈局、時脈與訊號整合度上付出時間與金錢的龐大代價。目前也有很多人討論新一代的製程，希望用更小的電晶體尺寸與連線來解決更多功能需求的問題。因為到時候製程技術會到達 18 奈米~20 奈米，光罩與製程將會非常昂貴，這也是摩爾定律正式終止的時候了。

### 2.3.1 傳統 SOC 的設計問題

#### 1. 投資成本負擔太高:

在越先進的製程，所需的研發、製程技術、可製造性設計與光罩成本太高，且不斷的將製程微縮，對電路效能也不一定會有線性的提升。

#### 2. 材料發展不易:

在 90 奈米製程前需要不到 15 種元素，但到 90 奈米製程需要將近 20 種元素，到了 45 奈米製程進一步會用到 60 種元素，所以材料的複雜性越高。

#### 3. 微影技術太過困難:

因為使用光波長之限制，使得現有的光微影技術面臨極限，在不變更曝光波長下，必須發展更多解像度增進技術，來縮小元件的關鍵尺寸。

#### 4. 3D 電晶體架構尚未成熟:

若是持續用傳統的 CMOS 製程往下微縮，就會碰到漏電流的問題，採用多閘極的 FinFET 架構中可以控制並降低漏電流，但也面臨製程技術困難度。

#### 5. 製程變異性難以掌握:

新的製程可以提供低電壓與低臨界電壓，但對製程變異和工作點變化更敏感。

#### 6. 功耗/散熱問題影響深遠:

SOC 隨著製程進步，產生漏電流造成在功率與散熱之間的设计取舍。

### 2.3.2 使用 3D IC 設計好處

#### 1. 高連線密度=>提高頻寬

在過去 SOC 的背景，電晶體即使有依照摩爾定律發展，但因為低連線密度，記憶體頻寬並沒有順著摩爾定律比例發展，3D IC 提供垂直的高連線密度。

#### 2. 提高連線密度=>減小外觀尺寸

過去的 SOC 都會浪費大量的繞線面積在整體晶片上，反而重要的電晶體卻佔了少數面積，使用 3D IC 提供了另一維的連線自由度，所以外觀可以縮小。

#### 3. 減小外觀尺寸=>減少雜散電容與電感

在同一電路設計，若用 3D IC 可以比 2D SOC 具有較小的繞線長度與複雜度，相對於 SiP 系統而言，3D IC 內部垂直連接不須打線，因此可以比 SOC 或 SiP 具有較小雜散電容與電感。

#### 4. 減少雜散電容與電感=>提高效率

因為功能需求變大，要整合多顆 IC 在同一基底上，因為各個 IC 其輸出入(I/O) 在外圍，打線長度會限制各個 SOC 的效能，3D IC 的雜散電容與電感減少，故 RC 效應也減小，速度可以提升。

#### 5. 減少雜散電容與電感=>降低功耗

功率的消耗與電容成正比、電壓平方成正比、與電路的切換速度也成正比，因為 3D IC 比 2D SOC 較少的雜散電容，因此可以降低整體功率。

#### 6. 提供異質整合:

過去在 SOC 想把邏輯製程與 DRAM、RF 製程和 MEMS 整合，就必須做出效能的折衷，但在 3D IC 上可以不需犧牲效能做出異質整合的好處。

#### 7. 減少 ESD 需求:

ESD 的 HBM 與 MM 都來自外界，因此 ESD 都做在 I/O PAD 的旁邊與 I/O 電路結合，但對 3D IC 來說，上下的 IC 都視為內部元件，故只需考慮 CDM。

### 2.3.3 SOC vs. SiP vs. 3D IC

3D IC 作法可以是在一個封裝上堆疊所有的裸晶，所有的裸晶彼此用 Wire Bonding、Flip Chip 或更進步的 TSV 相接。其中 Wire Bonding 技術最為成熟，特性最好掌握，但是其缺點就是所有的 Bonding Pad 必須在周邊，才可以進行接合，I/O 的密度就會被限制在 Pad 的 Pitch 與導線之間的 Pitch。

若是用傳統的 SiP 設計 3D IC，不管是 Pad pitch 或者是導線 Pitch 都是因為打線機的精密度決定。在繞線的觀點上看，每一個裸晶所有的線必須連到 I/O 才可以與外界連接，所以導線的長度無法降低，RC delay 自然被這些因素所限制。

從空間的觀點上看，每一個裸晶之垂直間隙必須要有一些間隔物，水平方面也要有空間空出來以讓 Wire Bonding 可以存在，這些都會影響外觀尺寸。因為這些因素，3D IC 自然有其技術存在的價值。主要是 SOC 的成本問題太大及開發時間太長，SiP 技術是將不同種類的元件，利用不同種接合技術、元件或者模組，混合載於同一構裝之內，由此構成系統構裝形式。之所以會有 SiP 大多是因為類比電路與混合訊號的需求。SiP 經常會有機械與散熱的問題也必須探討電性上的變化，所以 SOC、SiP 和 3D IC 會有不同的應用領域，表 1 是對於 SOC、SiP 與 3D IC 的優缺點做出比較。

表1. SOC vs. SiP vs. 3D IC 之比較

	SOC	SiP	3D IC
外觀尺寸	中等	中等	優
元件整合密度	中等	中等	優
性能(速度、頻率、功率)	中等	劣	優
訊號連線的密度	中等	劣	優
異質整合服務	劣	優	中等
目前製程技術成熟度	中等	優	劣

## 2.4 垂直傳輸技術

上面所討論的 3D 封裝或者是 3D IC 形式，各個模組或者是封裝都是以接觸式的方式來連接，因為訊號可以透過接線，可能是微凸塊或 TSV，從一條導線傳到另一條導線。這種由一條導線傳到另一條導線，其所秉持著就是兩個電路模組必須保證接觸在一起，製程上就是必須依賴對準的解析度。若是對準的解析度越高，則可以製作的尺寸可以更小。除了要對準之外，也需要兩個接合的可靠度，包含了可能是導線 Wire Bonding 的鍵合程度、材料、溫度控制等。

實際上，訊號的傳遞，不一定需要靠有線傳遞，為了解決有線傳遞所造成的面積加大與特殊製程的需求，另外一種方式就是無接觸型 3D IC[16]的研究，或是稱為交連耦合(AC-Coupled Interconnection; ACCI)[17]，也就是透過電感或者是電容的交互感應傳遞訊號，也就是所謂的電容感應或者是電感感應。

### 2.4.1 有線垂直傳輸之矽穿孔技術



以目前 3D IC 開發的技術及製程的先後順序，可將 TSV 製程分為先鑽孔 (Via-First)與後鑽孔(Via-Last)兩大類;其中 Via-First 製程又可分為 CMOS 前 (Before CMOS)如圖 8 所示與 CMOS 後(After CMOS and Before BEOL)如圖 9 所示兩類，Via-Last 製程可以分為換段中(After BEOL and before Bonding) 如圖 10 所示與鍵合後(After bonding)[18]如圖 11 所示。

Before CMOS 的 Via-First 製程步驟是在進行半導體製程前，先行在矽晶圓基材上形成 TSV 通道，並填入導電金屬。After CMOS 的 Via-First 製程步驟則是在完成半導體 CMOS 製程後及在 BEOL 製程前，先進行挖孔與填孔後再進行 BEOL 製程的工作。所以總體來說採用 Via-First 製程均須在傳統後段製程前進行 Via Forming 與 Via Filling 的步驟，而此類製程的 Via Forming 不論是 Before CMOS 製程或是 After CMOS 製程，均需要透過黃光顯影與蝕刻步驟形成 Via。

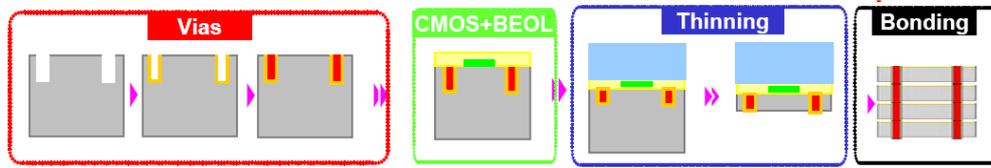


圖8. CMOS 前製程

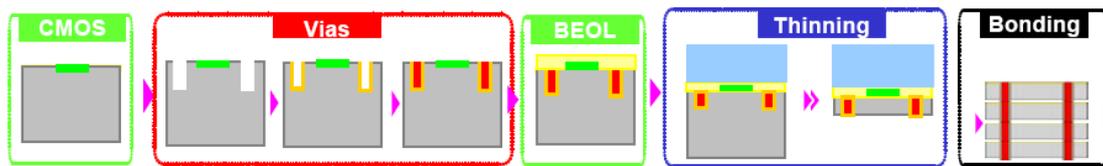


圖9. CMOS 後製程

Via-Last 的製程如同它的名字，TSV 製程是在”晶粒生產”完後進行，也就是在 BEOL 之後，才由正面或者背面挖孔接到原有的 I/O Pad 上面或下面，接著進行填孔與薄化。換段中這個製程主要就是在完成所有的 CMOS 製程後，然而是在鍵合之前進行 TSV 的製程，鍵合後這個製程跟上面的 TSV 製程相比，其 TSV 製作的順序是最後的。

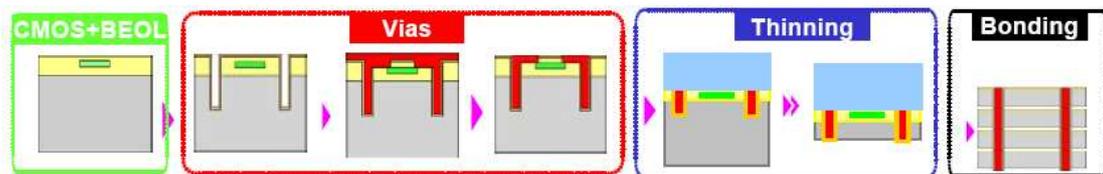


圖10. 換段中製程

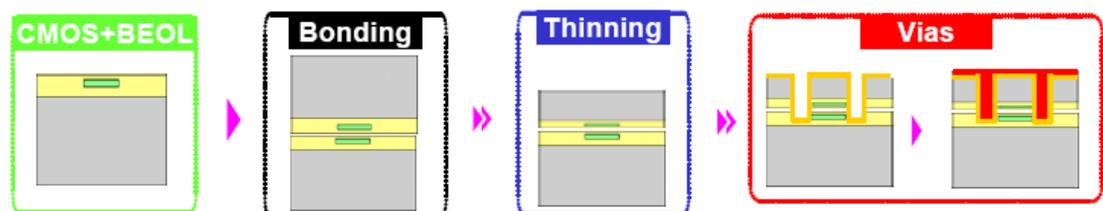


圖11. 鍵合後製程

而對於不同應用產品下，TSV 大小所做的建議，其中 CIS 因為大致上屬於 Via-Last，且 I/O 數目不多，所以 Via 較大，若是 DRAM 產品，因為頻寬需求，I/O 數目較多，最後邏輯產品也因為需要高速運算與高密度，所以 TSV 較小，如表 2 所示[19]為對於不同產品範圍所需的 TSV 大小預估，以及各種不同應用中所需的 TSV 大小如圖 12 所示[20]。

表2. IBM 對於不同產品所需的 TSV 大小預估[19]

	無線通訊	電源傳輸	微處理器/ 記憶體堆疊
Via 密度 (pins/cm <sup>2</sup> )	10 <sup>2</sup> ~10 <sup>3</sup>	10 <sup>3</sup> ~3x10 <sup>4</sup>	10 <sup>4</sup> ~10 <sup>6</sup>
Via 大小(um)	50~200	8~50	0.2~9

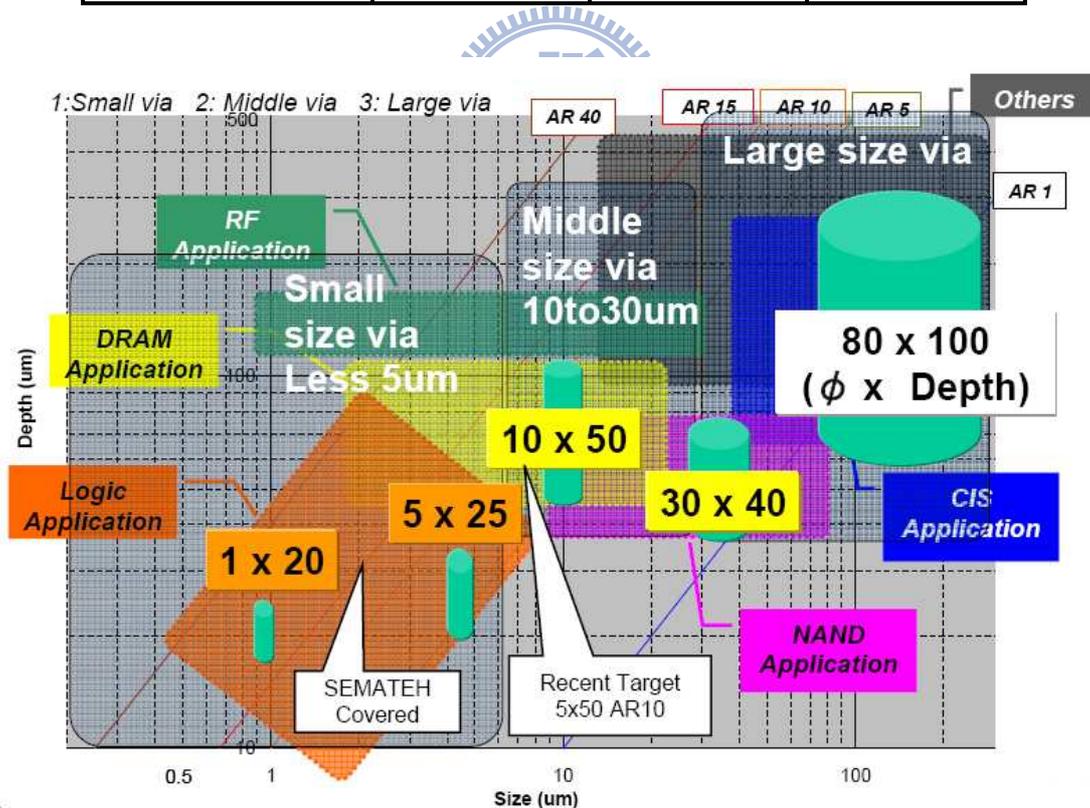


圖12. 各種不同應用中所需要的 TSV 大小[20]

## 2.4.2 無線垂直傳輸之電感與電容耦合技術

三維積體電路無線傳輸架構可分為無線電容耦合與無線電感耦合，無線電容耦合的傳輸距離屬於短距離傳輸一般在 10 微米以下，傳輸方式主要是依靠電容之間的電場來傳輸的，而無線電感耦合的傳輸距離屬於較長距離傳輸，磁通量可以輻射到幾百微米大小，傳輸方式主要是依靠電感之間的磁通量來傳輸的，在功率消耗方面無線電感耦合比無線電容耦合還大。

在電感無線傳輸方面的研究上，日本的慶應大學在這方面發表了相當多的成果[21-30]，使用被動元件電感作為訊號或電源的傳遞，而 Sun Microsystem 則提出一個鄰近通訊(proximity communication)[31]的觀念，當初這個觀念是希望可以利用原有的 I/O Pad，將不同的兩個 IC 的 I/O Pad 以面對面的方式進行堆疊，一個 Pad 作 Transmitter 另一個 Pad 就作 Receiver。整個系統可以稱為 PxC-MCM[32]。原理有點像我們常用的觸控開燈(touch lamp)。

透過 LC-Coupling 的方式傳遞資料，可以利用圖 13 所示，也就是上下兩個電極，一個當作是訊號傳送端，一個當作是訊號接收者。不同的是，若是用電容耦合，主要是上下兩個電極以面對面的方式傳遞訊號，其耗能的能源較低，浪費的晶片面積也相當小。若是用電感耦合，其可以用超過兩個電層來耦合，方向上不會有面對面或者是面對背的問題，最大的好處就是可以做功率的傳輸。這種透過 LC 耦合的好處是高速與低功率，也因為是非接觸式，也就是沒有直流的接觸，所以也不需要 ESD 的保護。因為僅需要薄化的動作，不需要特殊的 TSV 製程，所以費用可以比任何一種封裝方式便宜；因為不管是 C-Coupling 或者是 L-Coupling 其電極都是利用最上層的金屬層，所以堆疊的方式大致是用面對面的形式。

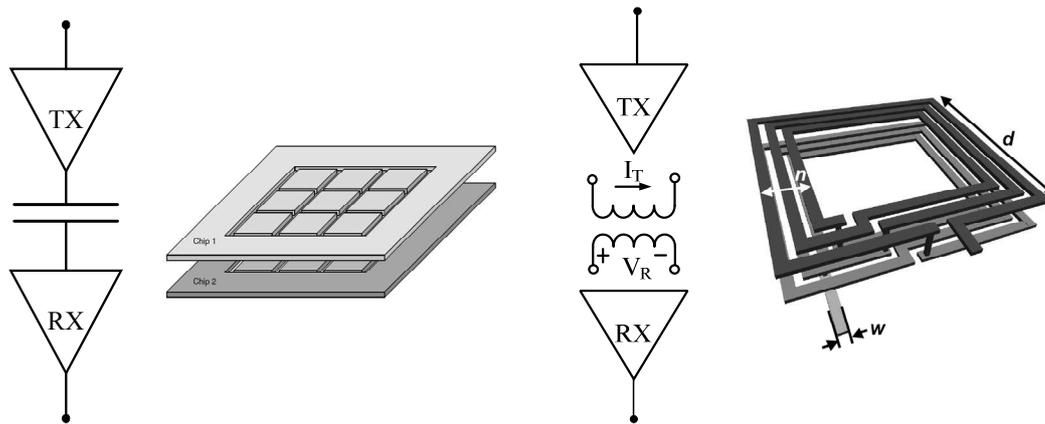


圖13. 利用電容感應與電感感應傳遞資料的示意圖

對於無線傳輸有以下優點:

1. 密度:不需繞線，所以密度變大。
2. 成本:減少打線，可能也不需要 Socket 支架的介面電路，所以費用較低。
3. 速度:直接透過無線傳輸，速度更快。
4. 延遲:因為傳輸距離變短，所以延遲較少。
5. 功率:不需要繞線，負載變小，所以每個訊號接腳的功率消耗變小。

而無線傳輸有以下缺點:

1. 訊號電壓變異大:因為 Transmitter 需要將訊號放大用來推動另一個 Pad，所以接收器必須可以忍受相當大的訊號變異。
2. 機械對準問題:因為上下兩個晶片的 I/O 要對準，所以必須要有一些方法來克服製程堆疊不準的問題、使用時的震動問題、熱膨脹係數不同的問題。
3. 無法替換:當某一個晶片有問題時，將無法替換，即使要替換，依目前製程，其成本相當昂貴。

## 第三章

---

# 3D TCAD 半導體元件製程設計模擬



## 3.1 簡介

此章節說明使用 TCAD 的電腦模擬分析流程及分析參數的設定。TCAD (Technology CAD) 是一種元件與製程方面的電腦輔助設計與模擬軟體，具有大量減少製程成本與時間的優點，是半導體研發過程中不可或缺的工具。TCAD 的應用領域包括所有和物理現象有關而且是我們必須瞭解的事物，如半導體製程、元件物理、電路缺陷(circuit defects)等，凡是像電磁、機械方面的物理現象，都是 TCAD 的應用領域，因此，TCAD 可以稱為物理基礎上的模擬(Physically Based Simulation)。我們所提出的共用傳導層傳送晶片多重信號設計，中間的介質材質使用導電膠，因此如何使用 TCAD 粹取出 3D 電阻與 3D 電容模型為此章節重點。

## 3.2 導電膠材料應用分析

導電膠是一種固化或乾燥後具有一定導電性能的膠黏劑，它通常以基體樹脂和導電填料即導電粒子為主要組成成分，通過基體樹脂的粘接作用把導電粒子結合在一起，形成導電通路，實現被粘材料的導電連接。由於導電膠的基體樹脂是一種膠黏劑，可以選擇適宜的固化溫度進行粘接，由於電子元件的小型化、微型化及印刷電路板的高密度化和高度集成化的迅速發展，而且導電膠工藝簡單，易於操作，可提高生產效率並降低成本，所以導電膠是替代鉛錫焊接，實現導電連接的理想選擇，在此篇論文中，我們使用導電膠當作印刷電路板對印刷電路板的面對面連接或是晶片對晶片的面對面堆疊如圖 14 所示。

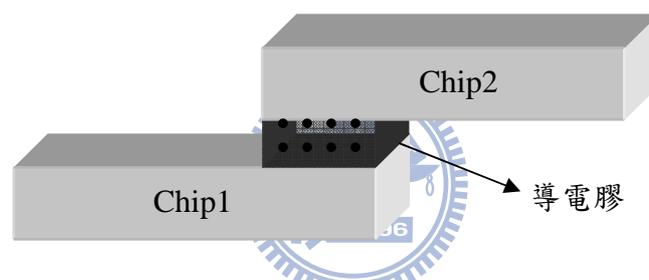


圖 14. 導電膠黏接示意圖

導電膠主要由樹脂基體、導電粒子和分散添加劑、助黏劑等組成。目前市場上使用的導電膠大都是填料型，填料型導電膠的樹脂基體，原則上講是可以採用各種膠黏劑類型的樹脂基體，常用的一般有熱固性膠黏劑如環氧樹脂、有機矽樹脂、聚醯亞胺樹脂、酚醛樹脂、聚氨酯、丙烯酸樹脂等膠黏劑體系。這些膠黏劑在固化後形成了導電膠的分子骨架結構，提供了力學性能和粘接性能保障，並使導電填料粒子形成通道。由於環氧樹脂可以在室溫或低於 150°C 固化，並且具有豐富的配方可設計性能，目前環氧樹脂基導電膠占主導地位。導電膠要求導電粒子本身要有良好的導電性能且粒子直徑要在合適的範圍內，能夠添加到導電膠基體中形成導電通路。導電填料可以是金、銀、銅、鋁、鋅、鐵、鎳的粉末和石墨及一些導電化合物[33]，如表 3 所示為各種填充粒子及不同材料的導電程度。

表3. 部份導電金屬與及導電黏著劑的導電性質[33]

Electrical Conductivity of Metals. Conductive Plastics And Various Insulation Materials at 25°C		
	Specific Gravity (gms/cm <sup>3</sup> )	Volume Resistivity (ohm-cm)
Silver	10.5	1.6 x 10 <sup>-6</sup>
Copper	8.9	1.8 x 10 <sup>-6</sup>
Gold	19.3	2.3 x 10 <sup>-6</sup>
Aluminum	2.7	2.9 x 10 <sup>-6</sup>
Platinum	21.5	21.5 x 10 <sup>-5</sup>
Eutectic solders	-	20.3 x 10 <sup>-5</sup>
Graphite	-	1.3 x 10 <sup>-3</sup>
Graphite or carbon –filled coatings	-	10-100
Oxide-filled epoxy adhesive	1.5-2.5	10 <sup>14</sup> -10 <sup>15</sup>
dielectrics	-	10 <sup>16</sup>

導電膠種類很多，按導電方向分為各向同性導電膠（ICAs, Isotropic Conductive Adhesive）和各向異性導電膠（ACAs, Anisotropic Conductive Adhesives）[34]。ICA 是指各個方向均導電的膠黏劑，可廣泛用於多種電子領域；ACA 則指在一個方向上如 Z 方向導電，而在 X 和 Y 方向不導電的膠黏劑。一般來說 ACA 的製備對設備和工藝要求較高，比較不容易實現，較多用於板的精細印刷等場合，如平板顯示器中的板子印刷。

按照固化體系導電膠可分為室溫固化導電膠、中溫固化導電膠、高溫固化導電膠、紫外光固化導電膠等。室溫固化導電膠較不穩定，室溫儲存時體積電阻率容易發生變化。高溫導電膠高溫固化時金屬粒子易氧化，固化時間要求必須較短才能滿足導電膠的要求。目前國內外應用較多的是中溫固化導電膠（低於 150 °C），其固化溫度適中，與電子元器件的耐溫能力和使用溫度相匹配，力學性能也較優異，所以應用較廣泛。而紫外光固化導電膠將紫外光固化技術和導電膠結合起來，賦予了導電膠新的性能並擴大了導電膠的應用範圍。

### 3.3 面對面接合堆疊

在第二章節中，我們提到使用無線傳輸的架構，利用電場傳輸的電容感應或磁場傳輸的電感感應，它們的電極都是利用最上層的金屬層，所以堆疊的方式大致是用面對面的形式。而在此我們所提出的使用共用傳導層傳送晶片多重信號架構是使用導電膠當做中間介質，也是採用面對面的形式堆疊，因此需要晶片最上層金屬的規格與參數，圖 15 所示為 TSMC 0.18um 1P6M 的剖面圖，由表 4 參數規格所示可以得知最上層金屬的厚度為 1 微米。

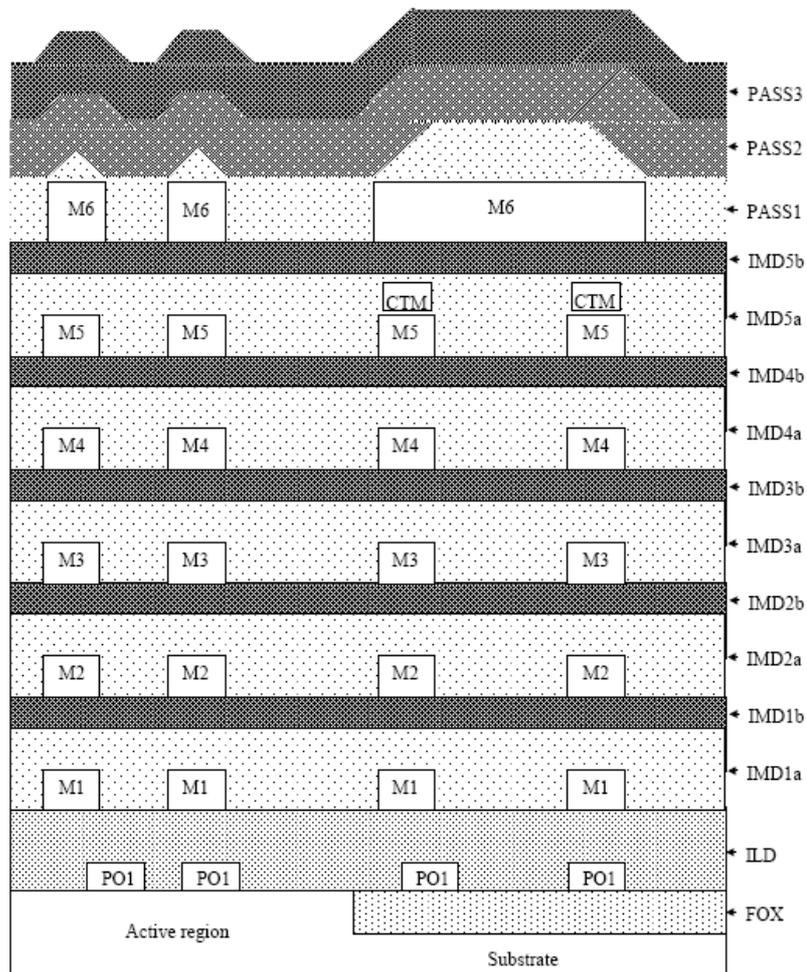


圖 15. TSMC 0.18um 1P6M 的剖面圖

表4. TSMC 0.18um 1P6M 參數規格

Dielectric	Thickness	% Var	Dielectric constant
FOX	3500	$\pm 17.1\%$	3.9
ILD	7500	$\pm 21.4\%$	4.0
IMD1a	11800	$\pm 20\%$	3.7
IMD1b	2000	$\pm 3\%$	4.2
IMD2a	11800	$\pm 20\%$	3.7
IMD2b	2000	$\pm 3\%$	4.2
IMD3a	11800	$\pm 20\%$	3.7
IMD3b	2000	$\pm 3\%$	4.2
IMD4a	11800	$\pm 20\%$	3.7
IMD4b	2000	$\pm 3\%$	4.2
IMD5a	11800	$\pm 20\%$	3.7
IMD5b	3500	$\pm 3\%$	4.2
PASS1	10000	$\pm 10\%$	4.2
PASS2	1500	$\pm 10\%$	4.2
PASS3	6000	$\pm 10\%$	7.9

### 3.4 Raphael 模擬環境設定

此章節介紹如何粹取 3D 電阻和 3D 電容的軟體，和對於此軟體的環境設定說明。Raphael 是一套可以模擬 2D 與 3D 結構的軟體，可以對使用者描述的結構根據參數選項和使用的模式(RC2、RC2-BEM、RC3、RC3-BEM、RI3)來得到電阻、電容和電感或對熱進行分析，是一個功能相當強大的軟體，被業界視為 Golden 的工具，常被用來模擬 on-chip 上面的金屬導線，圖 16 為 Raphael 的簡易流程圖，在此篇論文中用到的模式是 RC3，利用此模式來分析與建立 PCB 堆疊產生的 3D 電阻以及 Die to Die 之間的 3D 電阻、電容。

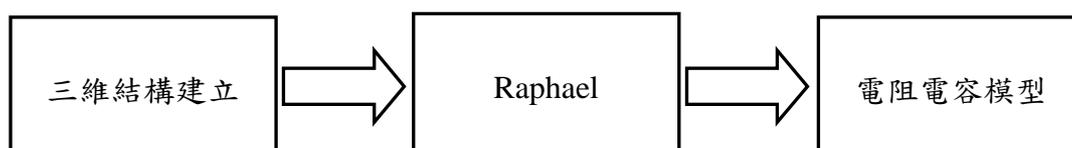


圖16. Raphael 簡易流程圖

首先先介紹 Raphael 的介面如圖 17 所示，因為我們所萃取的三維電阻與電容結構不在 Raphael 原本建立的介面環境內，所以需要先使用 Laker 軟體 Layout 建立面對面接合環境再產生 GDS 檔案，讓 Taurus-Layout & Net Extraction System 讀入 GDS 檔案，進一步把 2D 環境修改成此論文所要模擬的 3D 介面，設定好實驗參數後轉成 RC3 檔案，經過 Field Solvers 執行就可得到 3D 電阻與電容值。

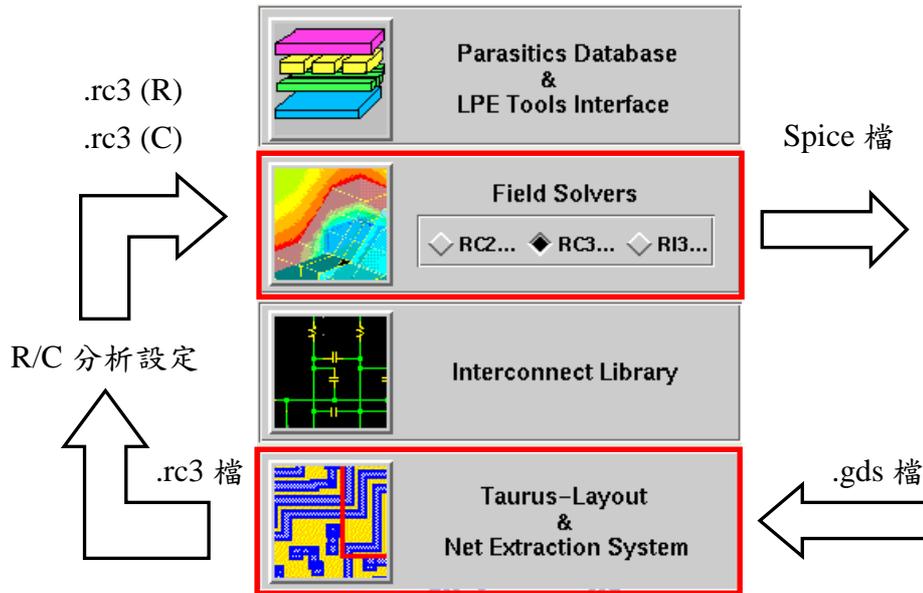


圖 17. Raphael 介面流程

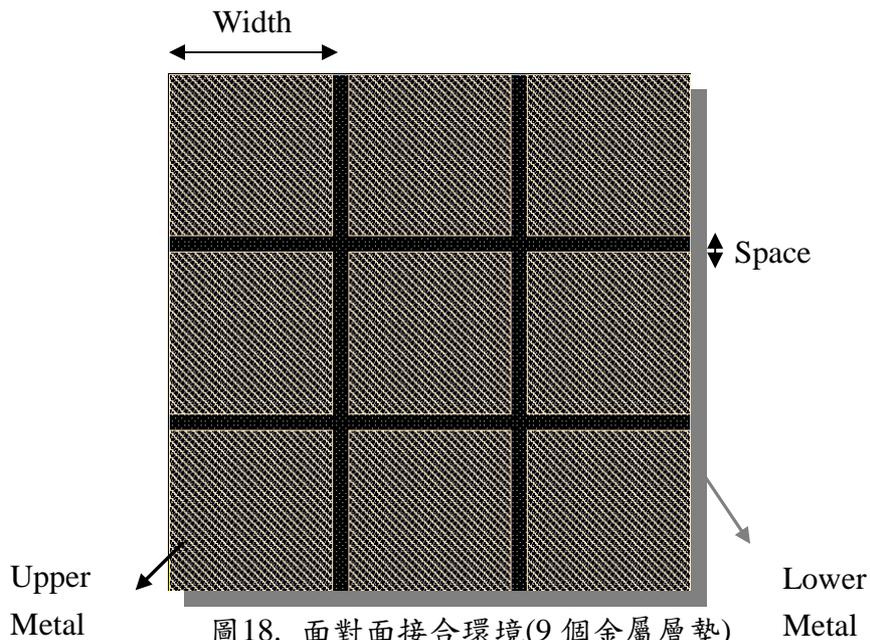


圖 18. 面對面接合環境(9 個金屬層墊)

如上圖 18 所示，先在 Laker 軟體方面佈局 9 個金屬層墊，設計參數如寬度 (Width)和間距(Space)，以 TSMC 0.18um 1P6M 製程來看，上層金屬可以是 Metal6 層，中間材質為 Metal5 層，下層金屬為 Metal4 層，此時為 GDS 檔讓 Taurus-Layout & Net Extraction System 讀入後轉出為 RC3 檔案，就可以重新定義每一層的特性與參數，如圖 19 所示，設計厚度(Thickness)的參數方法，因此使用者可以去控制 W、S、T 三種參數去找出之間對電阻與電容影響的關係，圖 20 所示為圖 18 的剖面圖，新增厚度方面的參數設定。

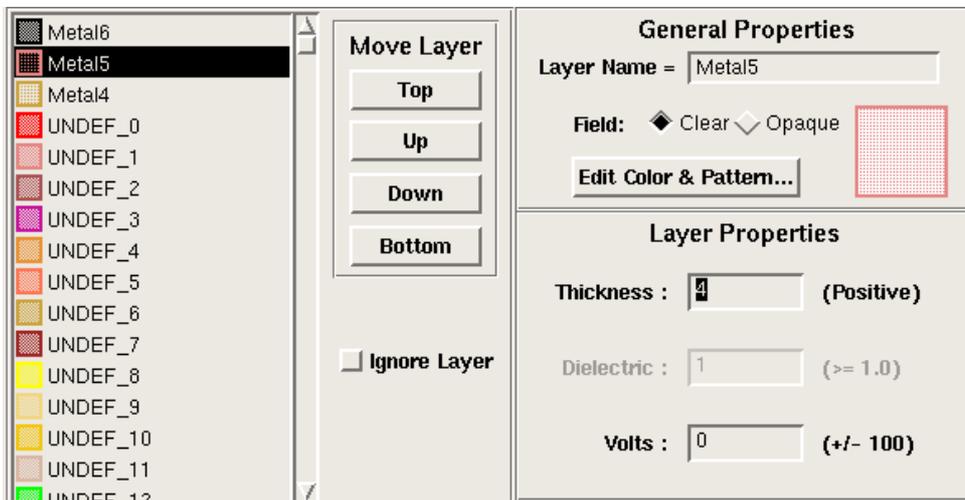


圖 19. 厚度與名稱定義

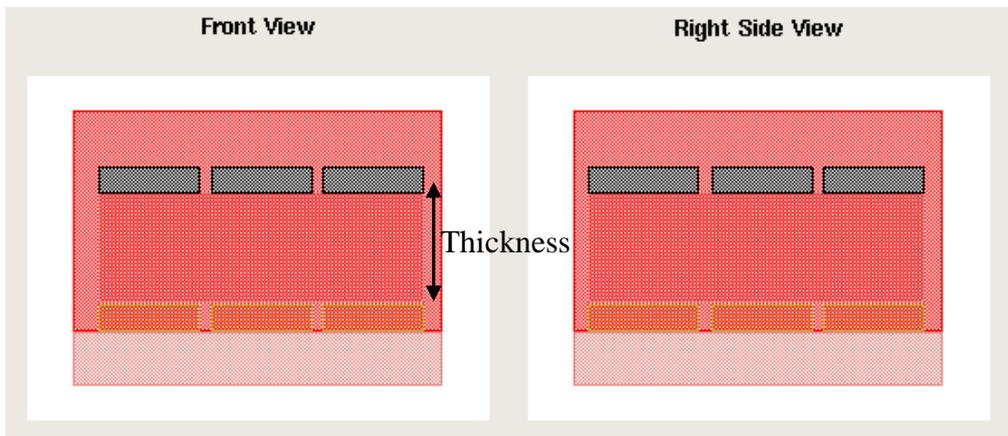


圖 20. 剖面圖(9 個金屬層墊)

當寬度(W)、間距(S)、厚度(T)都設計好後，再來決定粹取 3D 電阻或電容，分析電阻方面需要把介質定義為電阻係數(RHO)，分析電容方面需要把介質定義成介電係數(Diel)，個別分析萃取節點的電阻與電容後，就可以合在一起成為 3D RC Model 電路。

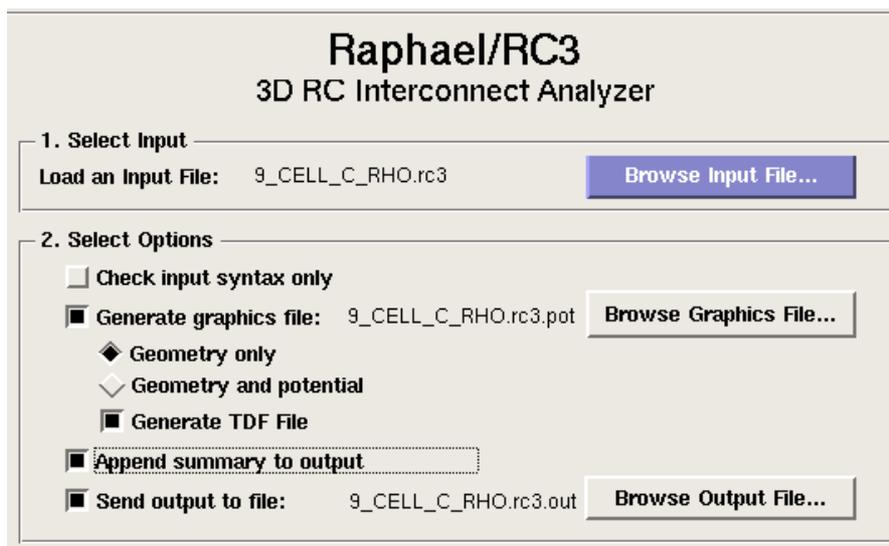


圖21. 輸出檔案設定

如圖 21 所示，Raphael 讀取修改後的 RC3 檔，再個別去分析萃取節點的電阻與電容時，我們會去選擇產生 TDF 檔案以及輸出的 Output 檔，產生 TDF 的目的是可以用 Taurus Visual(TV)軟體來驗證所設定的參數如寬度(W)、間距(S)、厚度(T)是否為我們所設定的參數，而產生 Output 檔的目的是為了把各節點所產生的 3D 電阻、電容值合併成一個提供給電路模擬的通道模型。

## 3.5 Taurus Visual 驗證環境設定

為了驗證之前所設定的寬度(W)、間距(S)、厚度(T)是否正確，我們可以使用 Taurus Visual 來讀取 TDF 檔來顯示 3D 的圖形並量測是否為所設計的，如圖 22 所示，使用尺規、放大與旋轉功能就能把設計參數如寬度(W)、間距(S)、厚度(T)，作後模擬的再次驗證參數設定，使 3D RC Model 更為精確。

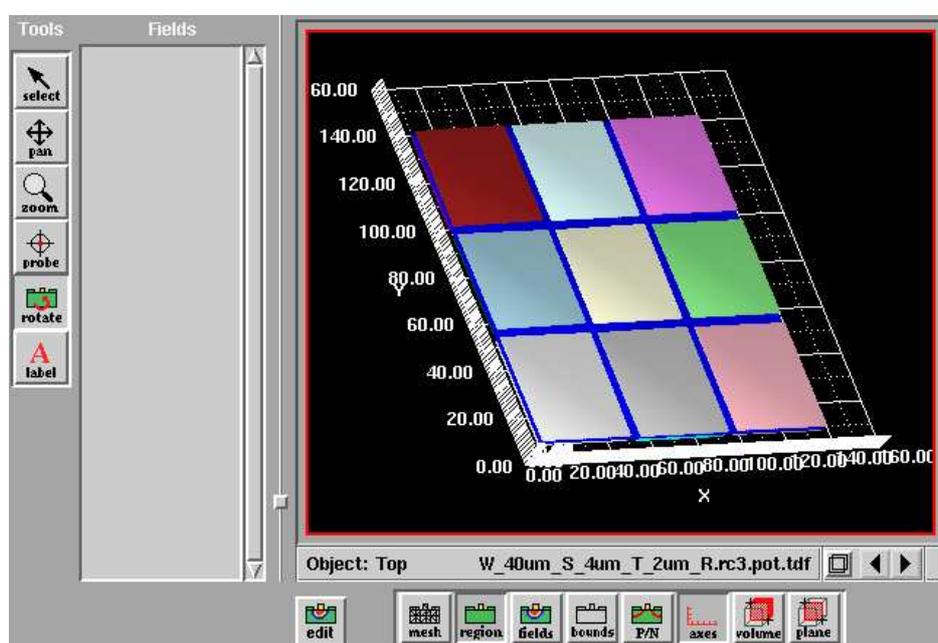


圖22. 三維圖形界面

由於節點與節點之間的電阻與電容值辨別方法，從圖形上只能從顏色去區別，故從產生的 Spice 檔中，我們必須先確定上層金屬的個別位置與下層金屬的個別位置，這樣才能正確宣告輸入與輸出相對應的電阻與電容值。如圖 22 所示，在 Edit 方面可以找出相對顏色所對應的相對節點，因此我們可以從設計參數如寬度(W)、間距(S)、厚度(T)到產生節點與節點之間的 3D 電阻與電容，才能真正模擬出 I/O 輸出入之間所有影響電路的 3D 電阻與電容值。

### 3.6 電阻與電容粹取

我們先建構出三個金屬層墊 C1、C2 與 C3 在兩個基底上如圖 3-10 所示，並定義出每一層的特性跟電阻係數，其中 C1、C2 和 C3 的大小一樣，參數設定為寬度為 5 $\mu\text{m}$ 、長度為 5 $\mu\text{m}$ 、厚度為 1.4 $\mu\text{m}$  以及之間間距為 6 $\mu\text{m}$ ，設定好這些參數加上每一層的電阻係數就可以依以上的步驟，Raphael 粹取出圖 23 所示的電阻值。

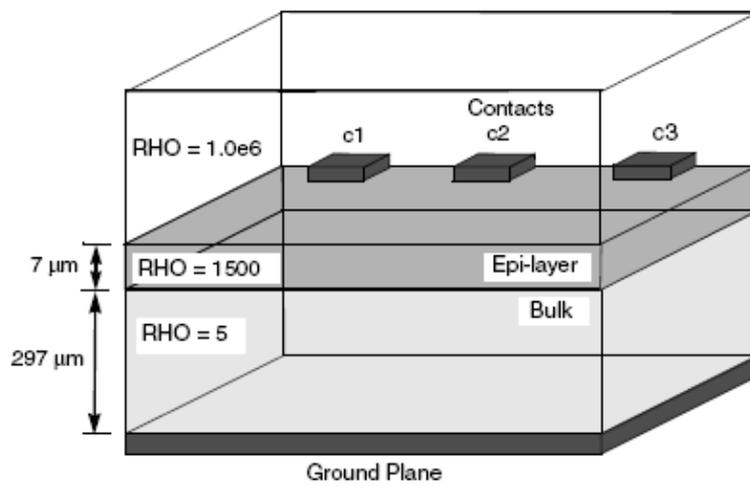


圖23. 三個金屬層墊在兩個基底

由圖 23 粹取出電阻如圖 24 所示，可以得知 C1 與 C3 之間的電阻非常大，可以視為開路，C1、C2 與 C3 電阻之間的電阻都遠大於對地的電阻。

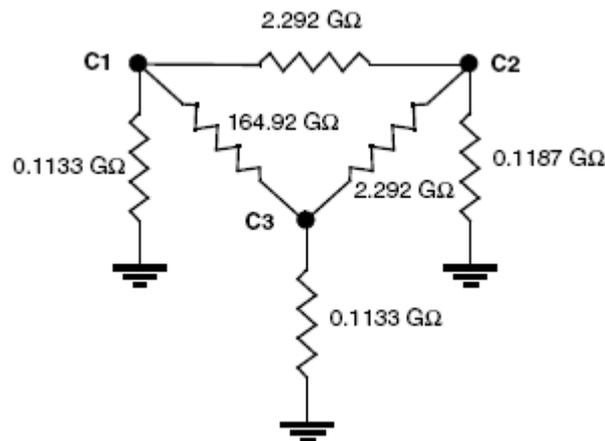


圖24. 等效電阻模型

我們建構出一個三維的元件如圖 25 所示，為一用於非揮發性記憶體單元的浮動閘電晶體，設定好介電係數、厚度與長寬的參數與不同材質的特性，Raphael 可以粹取出圖 26 所示的電容值。

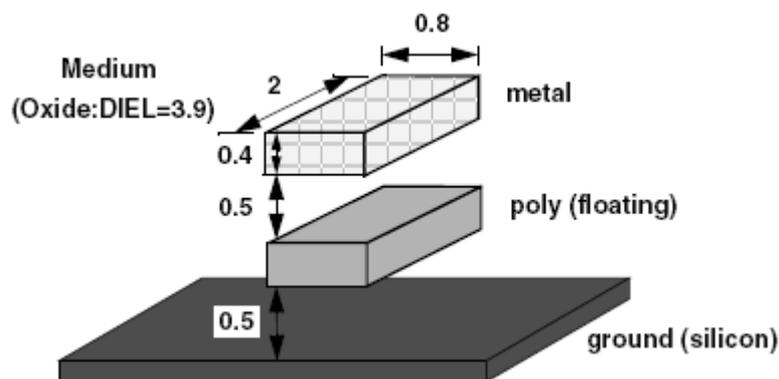


圖25. 浮動閘電晶體

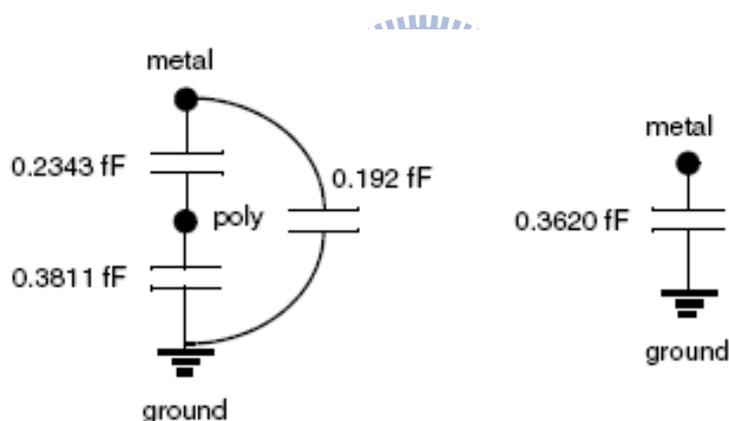


圖26. 等效電容模型

從以上的步驟可以萃取出精確的三維電阻與電容值，尤其在三維積體電路的設計中需要更可靠的模型來做電路的模擬的驗證，因此在我們所提出的新三維積體電路架構使用共用傳導層傳送訊號機制中，利用 TCAD 所粹取的 RC 模型讓我們可以分析訊號在使用導電膠當作介面傳送之間所受到的干擾與漏電流大小，從一開始所設計的參數如寬度(W)、間距(S)、厚度(T)以及電阻係數(RHO)和介電係數(Diel)，所對應產生出的三維電阻與電容值，將會影響訊號完整度(SI)的好壞。

## 第四章

---

# 共用傳導層傳送晶片多重信號設計



### 4.1 簡介

此章節說明如何使用共用傳導層傳送晶片多重信號設計，在上一章節介紹如何用 TCAD 軟體來粹取三維電阻與電容，在此章節會推導出三維電阻與電容公式，提出最佳化的設計流程，設計參數如寬度(W)、間距(S)、厚度(t)以及電阻係數(RHO)和介電係數(Diel)，藉著設計漏電流大小與訊號之間的差異性比值，可以得到寬度(W)與厚度(t)兩者的適當比值，並藉由 TCAD Raphael 所產生的轉角倍率修正參數  $K_1$  與  $K_2$ ，當作查表使用，最後加入 tx 與 rx 分析訊號在不同的排列方式與訊號在上下不同的傳遞方向，造成訊號完整度的好壞。

## 4.2 共用傳導層之電阻與電容模型

此論文所提出的「使用共用傳導層傳送晶片間多重信號機制」，使用導電介質，將晶片與晶片黏合並形成傳導層。使用共用傳導層傳送晶片間多重信號機制是直接將訊號從傳送端傳送到共用傳導層，再由接收端在共用傳導層選取接受所需要的訊號如圖 27、圖 28 所示。

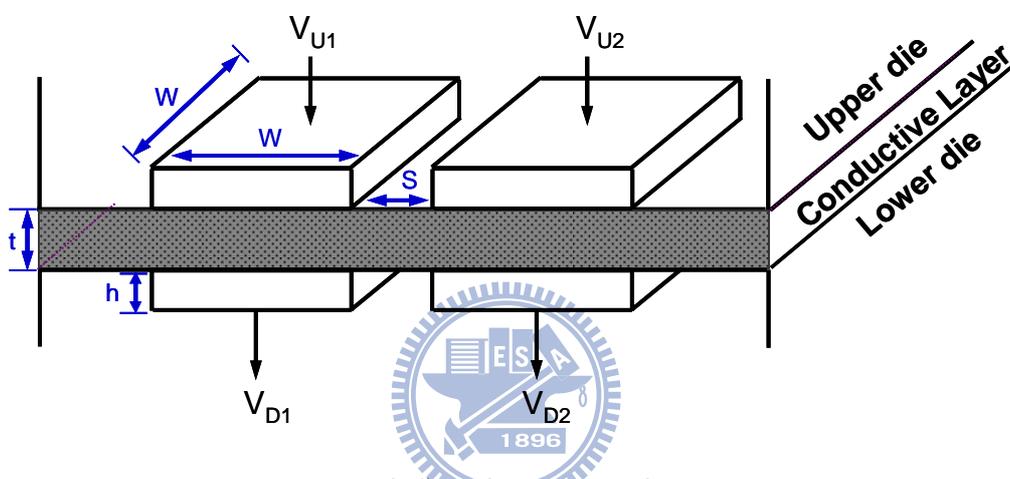


圖27. 共用傳導層傳送訊號示意圖(2\_CELL)

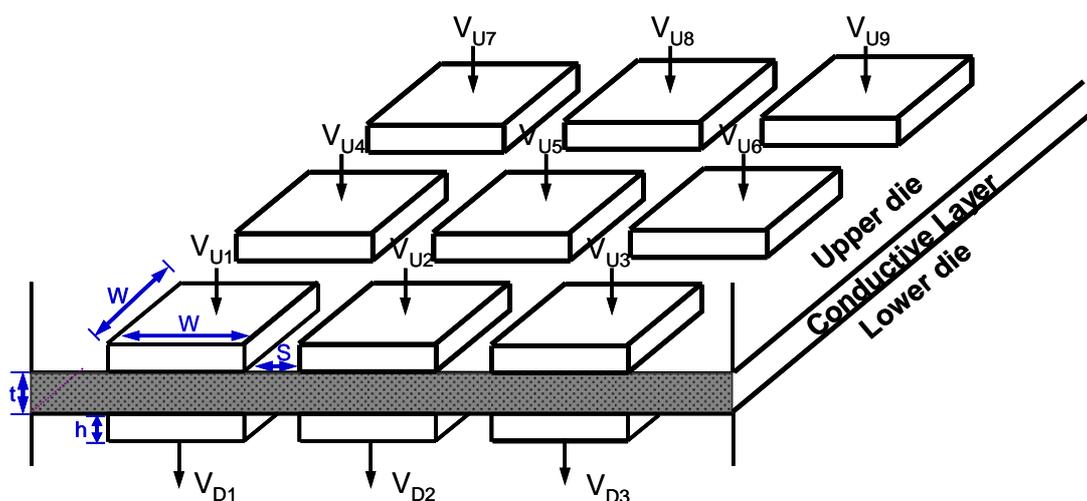


圖28. 共用傳導層傳送訊號示意圖(9\_CELL)

多組訊號在同時傳送接收時，使用共用的傳導層同時傳送接收訊號，如圖 29.(a)所示。圖 29.(a)中  $W$  表示裸晶最上層的金屬層墊的邊長， $S$  表示同層的兩相鄰金屬層墊的距離， $t$  表示傳導層的厚度。上層裸晶分別要將訊號經由傳導層傳送至下層裸晶會接收到各個方向的訊號，有正面向的訊號，亦有斜對向的訊號；換句話說，我們可預期在接收到的訊號之中，將同時存在多源信號的成份。此外，同層的金屬層墊會因為傳導層的關係產生漏電流。總結以上的幾個現象，我們將根據實際上晶片的規格，我們就可以估計出所能容忍的漏電流大小以及電路在操作時所需要達到的速度，進而設計相對應的  $W$ 、 $S$ 、 $t$  以及傳導層的電阻係數( $RHO$ )、介電係數( $Diel$ )，以寄生電阻電容來構成訊號及傳導層間的交互網路，進而在接收端順利接收傳送端的信號。

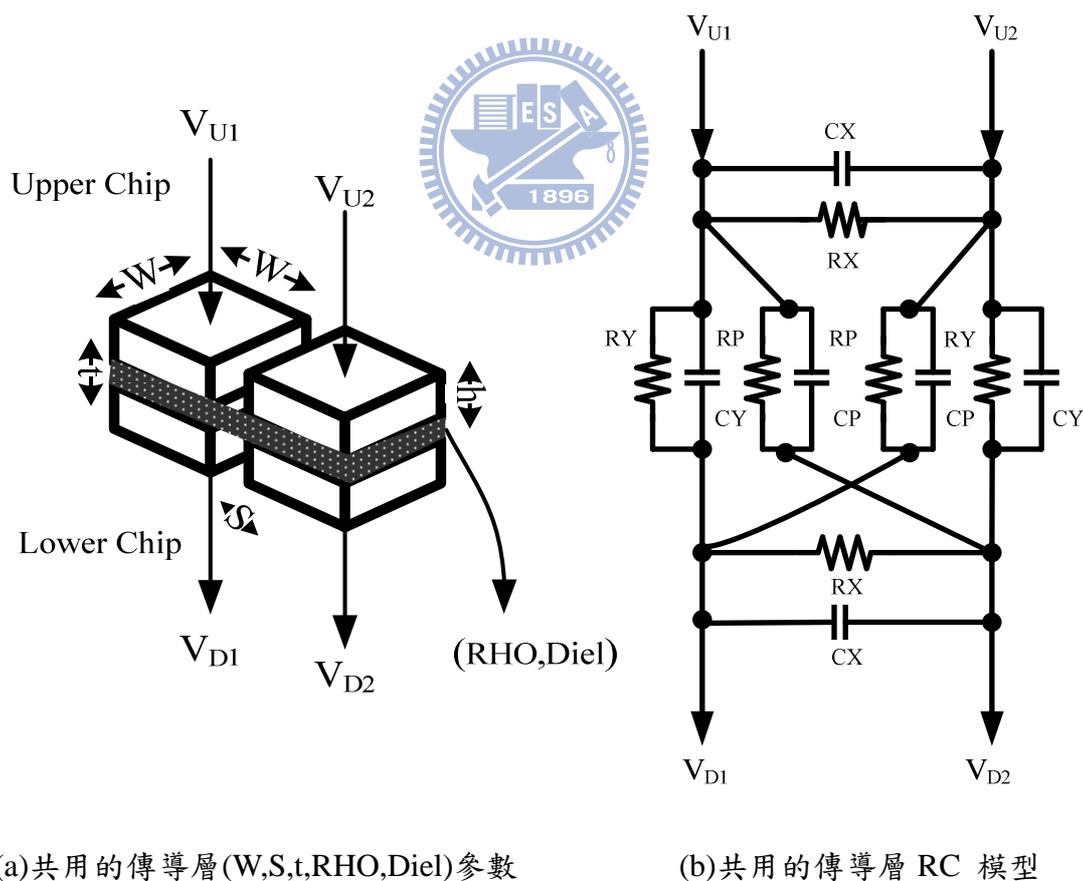


圖29. 共用的傳導層參數與等效電阻與電容模型

所謂使用共用傳導層直接傳輸就是在 3D IC 的架構中，將傳輸信號直接傳入共同傳導層。如圖 29.(a)所示，黏合時上層裸晶的  $V_{U1}$ 、 $V_{U2}$  對準下層裸晶的  $V_{D1}$ 、 $V_{D2}$ 。由  $V_{U1}$ 、 $V_{U2}$  所在的上層裸晶分別要將訊號經由傳導層傳送至下層裸晶的  $V_{D1}$ 、 $V_{D2}$ 。 $V_{D1}$  會接收到正面向的  $V_{U1}$  訊號，亦會收到斜對向的  $V_{U2}$  訊號；換句話說， $V_{D1}$  所接收到的訊號之中，將同時存在  $V_{U1}$ 、 $V_{U2}$  的成份，而對  $V_{D1}$  來說  $V_{U2}$  就是不要的雜訊。此外， $V_{U1}$ 、 $V_{U2}$  之間與  $V_{D1}$ 、 $V_{D2}$  之間在電位不同時，會因為傳導層的關係產生漏電流。總結以上的幾個現象，可以將 4-3(a)的訊號的傳遞利用對應的  $W$ 、 $S$ 、 $t$  以及傳導層的電阻係數(RHO)、介電係數(Diel)，以寄生電阻電容來構成訊號及傳導層間的交互網路，畫成圖 29.(b)互相關係圖。

$V_{U1}$ 、 $V_{U2}$ 、 $V_{D1}$ 、 $V_{D2}$  之間的關係，基本上跟  $W$ 、 $S$ 、 $t$  以及傳導層的電阻係數(RHO)、介電係數(Diel)這些參數所構成電阻電容網路有關，如式 4.1 與式 4.2。

$$V_{D1} = \alpha(W, S, t, RHO, Diel) \cdot V_{U1} + \beta(W, S, t, RHO, Diel) \cdot V_{U2} \quad (4.1)$$

$$V_{D2} = \alpha(W, S, t, RHO, Diel) \cdot V_{U2} + \beta(W, S, t, RHO, Diel) \cdot V_{U1} \quad (4.2)$$

其中  $\alpha$ 、 $\beta$  為比值，隨著參數的設計會有所不同。

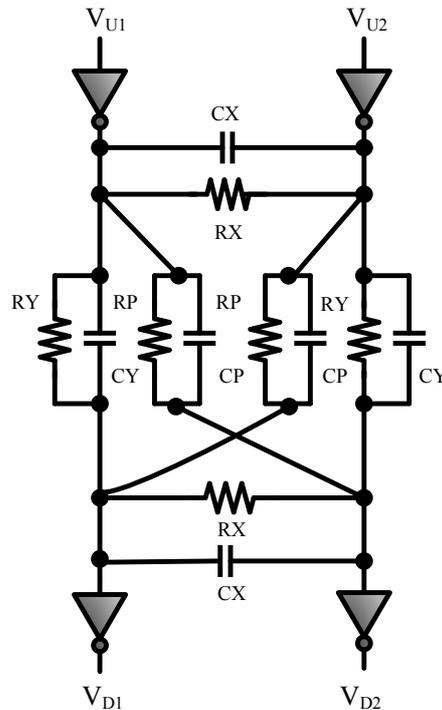


圖30. 共用傳導層傳送晶片間多重信號機制等效電路示意圖(鄰邊模型)

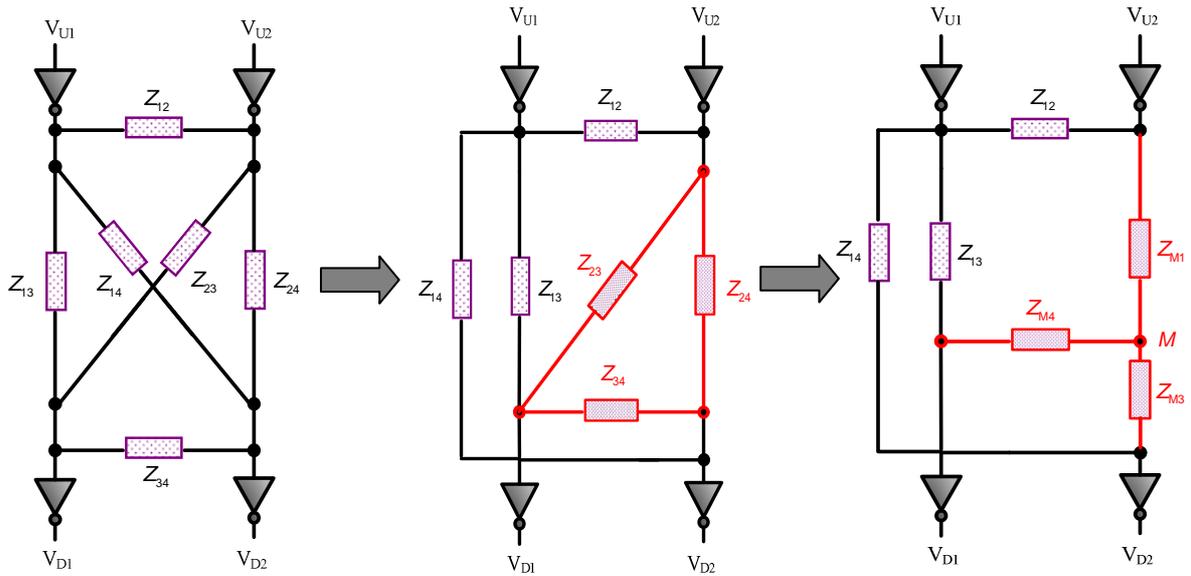


圖31. 共用傳導層傳送晶片間多重信號機制等效網路轉換示意圖

將分析的電阻電容代入圖 29.(b) 等效電路圖後加上傳送器與接收器使用就可得到如圖 30 等效網路電路圖。若  $V_{D1}$  要接收  $V_{U1}$  所傳送出來的訊號，將電路化簡後如圖 31 可以得到以下的式 4.3，其中式 4.4 為三角形轉 Y 等效轉換公式。

$$V_{D1} = \frac{(Z_{M4} + Z_{24}) \parallel (Z_{M3} + Z_{23})}{Z_{M1} + (Z_{M4} + Z_{24}) \parallel (Z_{M3} + Z_{23})} \cdot \frac{Z_{23}}{Z_{M3} + Z_{23}} \cdot V_{U1} + \left[ \frac{Z_{M1}}{Z_{M1} + (Z_{M4} + Z_{24}) \parallel (Z_{M3} + Z_{23})} \cdot \frac{Z_{23}}{Z_{M3} + Z_{23}} + \frac{Z_{M3}}{Z_{M3} + Z_{23}} \right] \cdot V_{U2} \quad (4.3)$$

$$\text{其中, } Z_{M1} \triangleq \frac{Z_{13} \cdot Z_{14}}{Z_{13} + Z_{14} + Z_{34}} ; \quad Z_{M3} \triangleq \frac{Z_{13} \cdot Z_{34}}{Z_{13} + Z_{14} + Z_{34}} ; \quad Z_{M4} \triangleq \frac{Z_{34} \cdot Z_{14}}{Z_{13} + Z_{14} + Z_{34}} \quad (4.4)$$

換言之，依照此設計所提出的方法，可以根據規格來彈性設計所需求的參數：需要高速的傳輸時，可以使用較小電阻係數的共同傳輸層材質以及較小的厚度；反之，若是需要低功耗、低漏電的設計，則可加大金屬層墊之間間距，增加相鄰金屬層墊的電阻值。

### 4.2.1 垂直訊號傳輸路徑分析

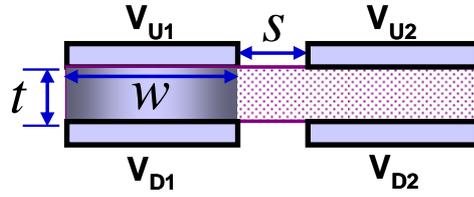


圖32. 垂直訊號傳輸示意圖

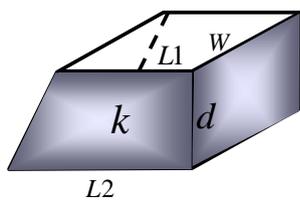
將訊號從  $V_{U1}$  傳送到  $V_{D1}$ ，上下為正方形的金屬層墊，中間介質為導電膠材料如圖 32 所示，我們用  $R_Y$  與  $C_Y$  來表示如式 4.5 與式 4.6，可以得知電阻與電容值跟寬度(W)、厚度(t)、電阻係數與介電係數有關而與間距(S)無關。當上下的金屬層墊不同大小的情況如圖 33 所示，如式 4.7 與式 4.8 所示。

$$R_Y = \rho \frac{t}{W^2} \quad (4.5)$$

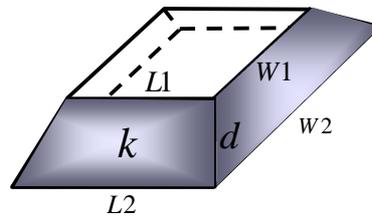
$$C_Y = k \epsilon_0 \frac{W^2}{t} \quad (4.6)$$

$$C = \frac{1}{\int \delta(1/C_i)} = \frac{k \epsilon_0 W}{d} \cdot \frac{L_1 - L_2}{\ln(L_1/L_2)} \quad (4.7)$$

$$C = \frac{1}{\int d(1/C_i)} = \frac{k \epsilon_0}{d} \cdot \frac{L_2 W_1 - L_1 W_2}{\ln(L_2 W_1 / L_1 W_2)} \quad (4.8)$$



(a)



(b)

圖33. 垂直訊號傳輸上下金屬層墊不同大小示意圖

### 4.2.2 鄰邊雜訊干擾路徑分析

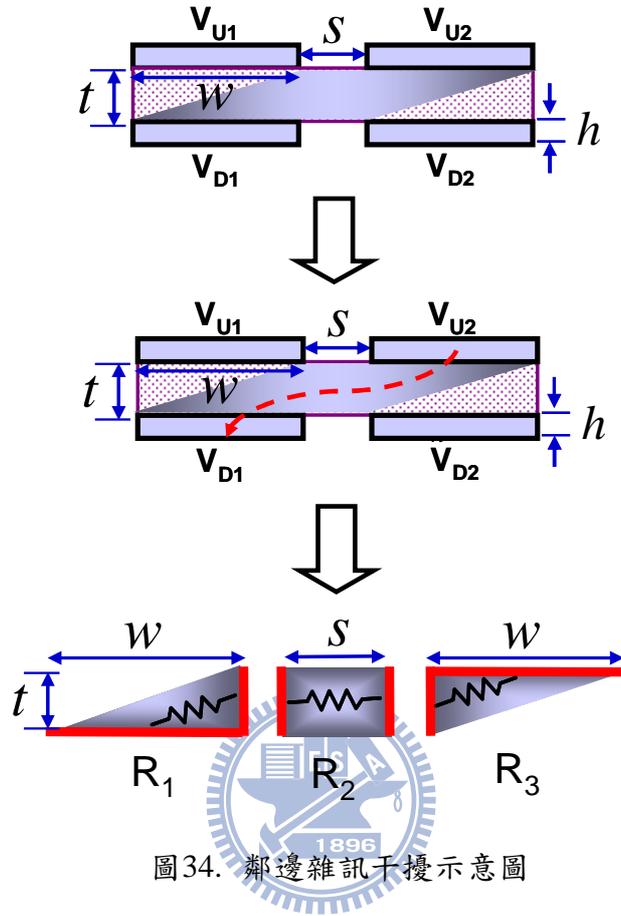


圖34. 鄰邊雜訊干擾示意圖

在  $V_{D1}$  所接收到的訊號之中，將同時存在  $V_{U1}$ 、 $V_{U2}$  的成份，而對  $V_{D1}$  來說  $V_{U2}$  就是不要的鄰邊雜訊，如圖 34 所示，我們用  $R_p$  來表示如式 4.9，而  $R_p$  由  $R_1$ 、 $R_2$ 、 $R_3$  所組成如式 4.10 與式 4.11，其中  $k_1$  為轉角倍率修正參數，從  $R_p$  可以得知干擾路徑的電阻與寬度( $W$ )大小、厚度( $t$ )大小、間距( $S$ )遠近和電阻係數的影響。

$$R_p = \rho \left[ \frac{k_1}{W} + \frac{S}{t \cdot W} + \frac{k_1}{W} \right] \quad (4.9)$$

$$R_1 = R_3 = \rho \frac{k_1}{W} \quad (4.10)$$

$$R_2 = \rho \frac{S}{t \cdot W} \quad (4.11)$$

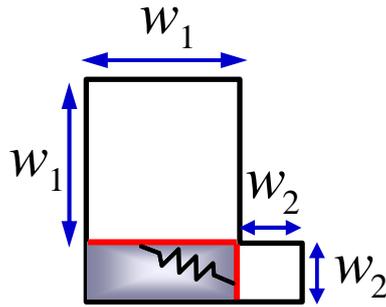


圖35. 鄰邊轉角電阻示意圖(參數  $k_1$ )

從鄰邊雜訊干擾路徑來看，其中  $R_1$  與  $R_3$  為轉角電阻如圖 35 所示，當  $W_1=W_2$  時，電阻為以寬度( $W$ )為正方體的  $1/2$  倍，即轉角倍率修正參數  $K_1$  為  $0.5$ ，如表 5 所示，由於我們所提出的共用傳導層架構中寬度( $W$ )與厚度( $t$ )的比值倍數需要更大，如此造成鄰邊的電阻越大而雜訊干擾就越小，因此使用 TCAD Raphael 可以找到  $k_1$  比值如圖 36 所示，並可當查表使用。

表5. 轉角倍率修正參數  $k_1$

$W_1/W_2$	$k_1$
1	0.5
2	0.6
3	0.75

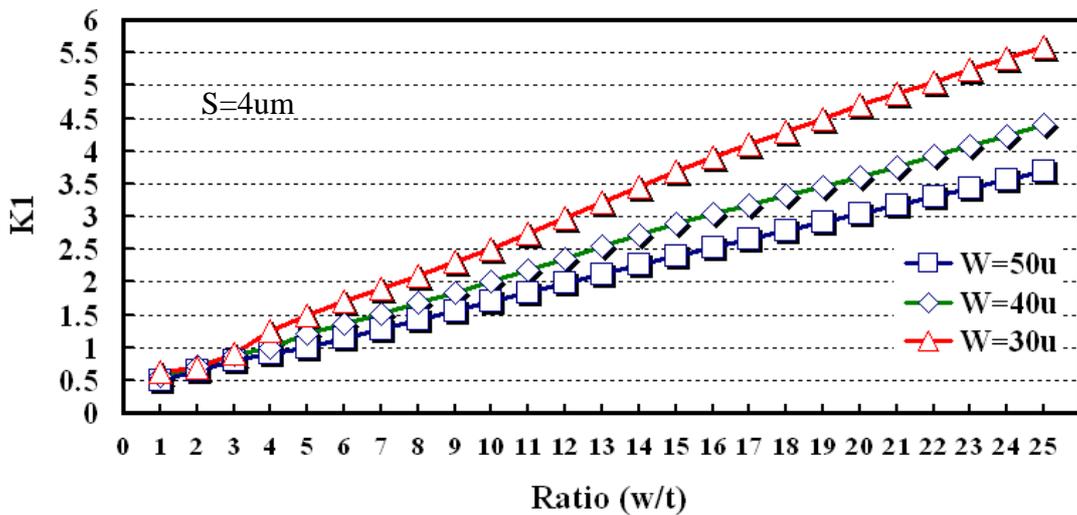


圖36. 轉角倍率修正參數  $k_1$

### 4.2.3 鄰邊漏電流路徑分析

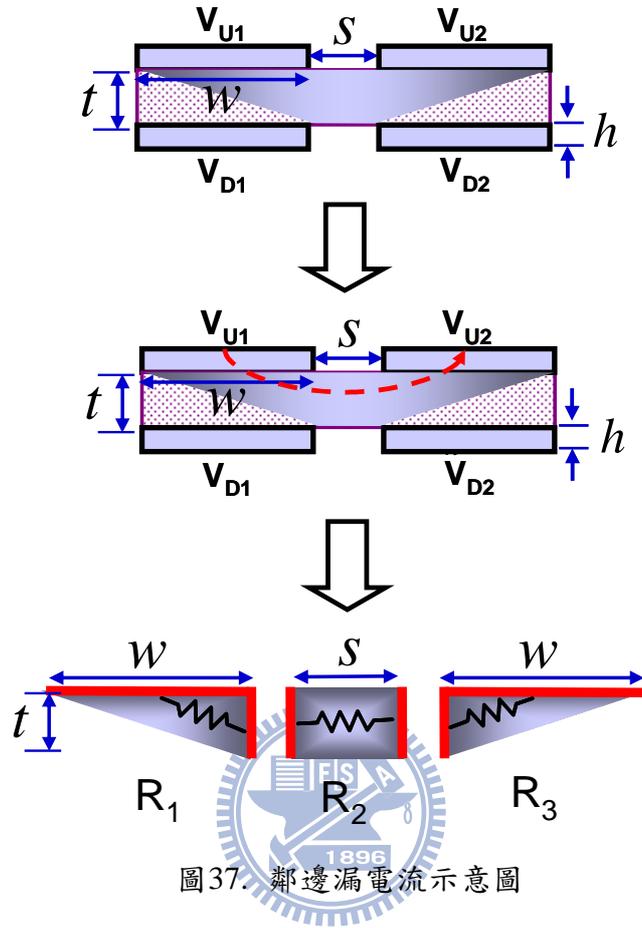


圖37. 鄰邊漏電流示意圖

當  $V_{U1}$ 、 $V_{U2}$  之間與  $V_{D1}$ 、 $V_{D2}$  之間在電位不同時，會因為傳導層的關係產生漏電流，如圖 37 所示，我們用  $R_x$  來表示如式 4.12，而  $R_x$  由  $R_1$ 、 $R_2$ 、 $R_3$  所組成如式 4.13 與式 4.14，其中  $K_1$  為轉角倍率修正參數，從  $R_p$  可以得知鄰邊漏電流路徑的電阻與寬度( $W$ )大小、厚度( $t$ )大小、間距( $S$ )遠近和電阻係數的影響。在此我們發現鄰邊干擾路徑與漏電流路徑之間跟厚度( $t$ )大小、間距( $S$ )遠近有關連。

$$R_x = \rho \left[ \frac{k_1}{W} + \frac{S}{t \cdot W} + \frac{k_1}{W} \right] \quad (4.12)$$

$$R_1 = R_3 = \rho \frac{k_1}{W} \quad (4.13)$$

$$R_2 = \rho \frac{S}{t \cdot W} \quad (4.14)$$

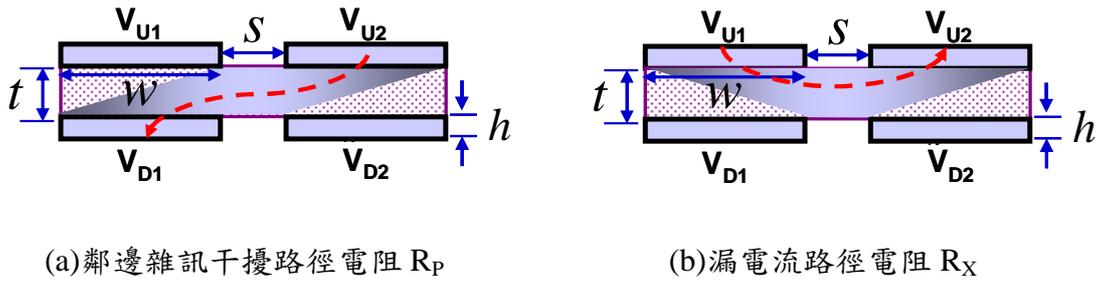


圖38. 鄰邊雜訊干擾(a)、漏電流(b)示意圖

在此討論鄰邊干擾路徑與漏電流路徑之間跟厚度(t)大小、間距(S)遠近的關係，如圖 39 所示，在寬度(W)固定下，間距(S)越遠和厚度(t)越小時，漏電流路徑的電阻越大，漏電流就越小。圖 38 與圖 40 所示，當間距(S)大於 2 倍厚度(t)時，鄰邊雜訊干擾路徑電阻  $R_P$  會等於漏電流路徑電阻  $R_X$ 。

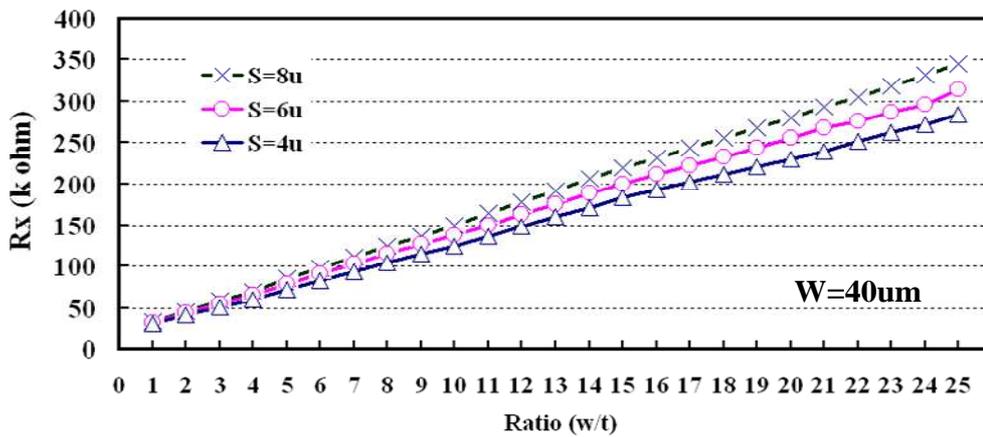


圖39. 寬度(W)固定下，厚度(t)大小、間距(S)的影響

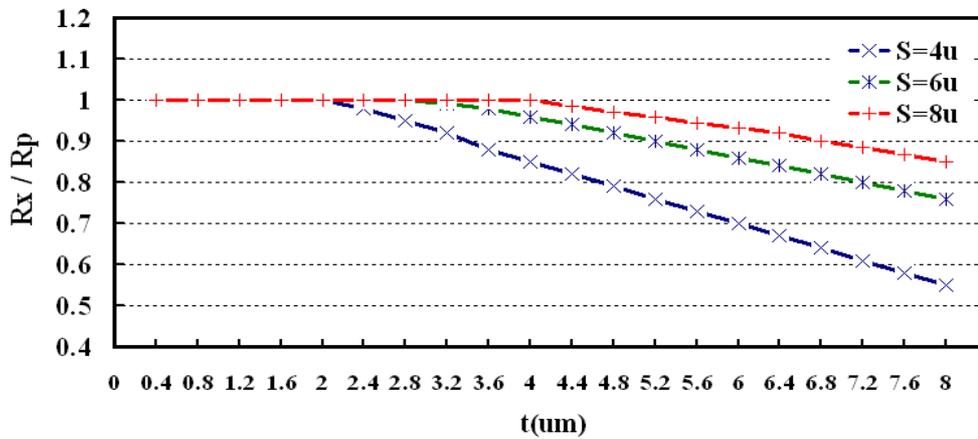


圖40. 鄰邊雜訊干擾路徑電阻與漏電流路徑電阻的比值

### 4.2.4 對邊雜訊干擾路徑分析

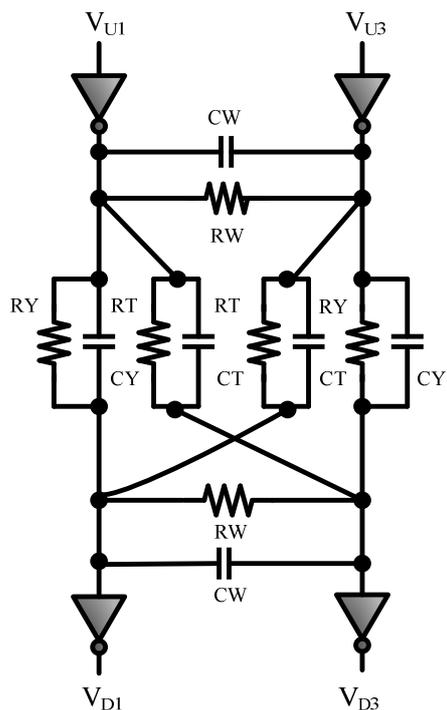


圖41. 共用傳導層傳送晶片間多重信號機制等效電路示意圖(對邊模型)

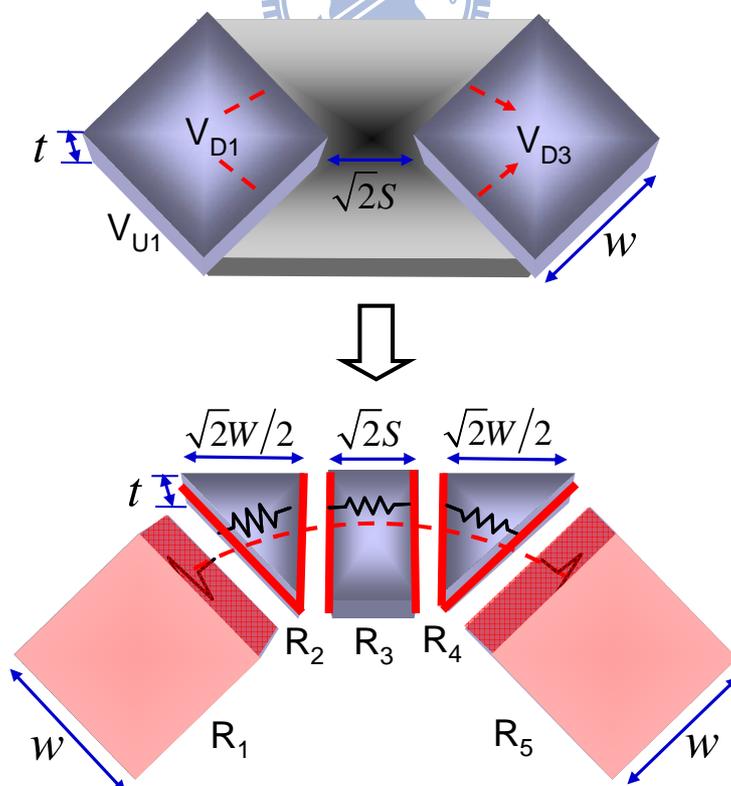


圖42. 對邊雜訊干擾示意圖

在此我們考慮  $V_{D1}$  所接收到的訊號之中為對邊的影響，將同時存在  $V_{U1}$ 、 $V_{U3}$  的成份，而對  $V_{D1}$  來說  $V_{U3}$  就是不要的對邊雜訊，如圖 41 所示，我們用  $R_T$  來表示如式 4.15，而  $R_T$  由  $R_1$ 、 $R_2$ 、 $R_3$ 、 $R_4$ 、 $R_5$  的總合後並聯如圖 42 所示，所組成如式 4.16、式 4.17 與式 4.18，其中  $k_1$  為鄰邊轉角倍率修正參數而  $k_2$  為對邊轉角倍率修正參數，從  $R_T$  可以得知干擾路徑的電阻與寬度(W)大小、厚度(t)大小、間距(S)遠近和電阻係數的影響。

$$R_T = \rho \left[ \frac{k_1}{W} + \frac{S}{t \cdot W} + \frac{k_2}{t} \right] \quad (4.15)$$

$$R_3 = \rho \frac{\sqrt{2} \cdot S}{(\sqrt{2} W/2) \cdot t} = \rho \frac{2 \cdot S}{t \cdot W} \quad (4.16)$$

$$R_2 = R_4 = \rho \frac{k_2}{t} \quad (4.17)$$

$$R_1 = R_5 = \rho \frac{k_1}{W} \quad (4.18)$$

從對邊雜訊干擾路徑來看，其中  $R_1$  與  $R_5$  為鄰邊轉角電阻如前述可用查表方式得知轉角倍率修正參數  $k_1$ ，而  $R_2$  與  $R_4$  為對邊轉角電阻如圖 43 所示，因此使用 TCAD Raphael 可以找到  $k_2$  比值如圖 44 所示，並可當查表使用，由於我們所提出的共用傳導層架構中寬度(W)與厚度(t)的比值下，對邊雜訊干擾路徑電阻會比鄰雜訊干擾路徑電阻大，如此可利用排列的方法讓對邊的電阻越大而受到雜訊干擾就越小。

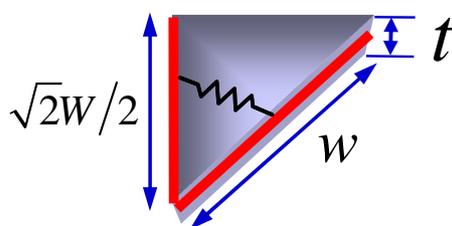


圖43. 對邊轉角電阻示意圖(參數  $k_2$ )

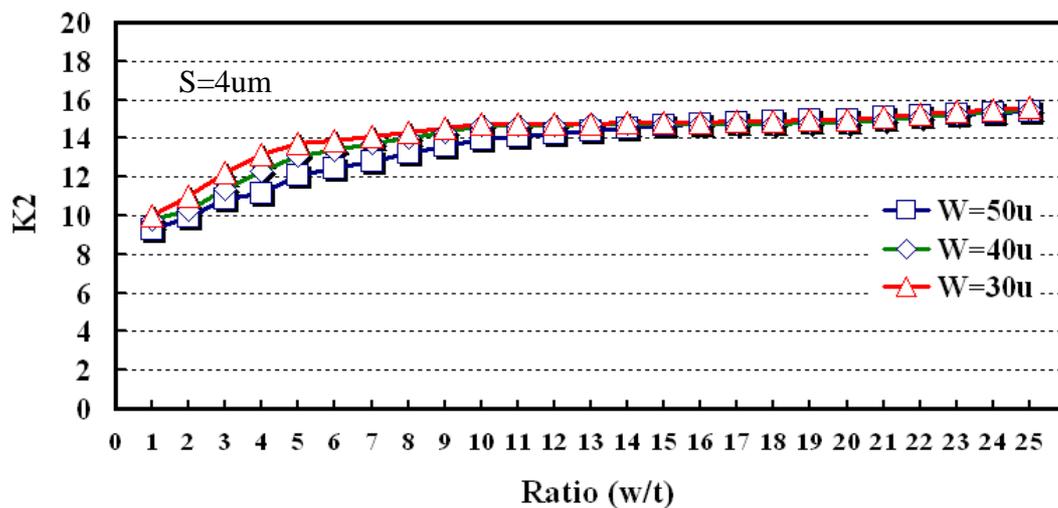


圖44. 轉角倍率修正參數  $K_2$

#### 4.2.5 對邊漏電流路徑分析

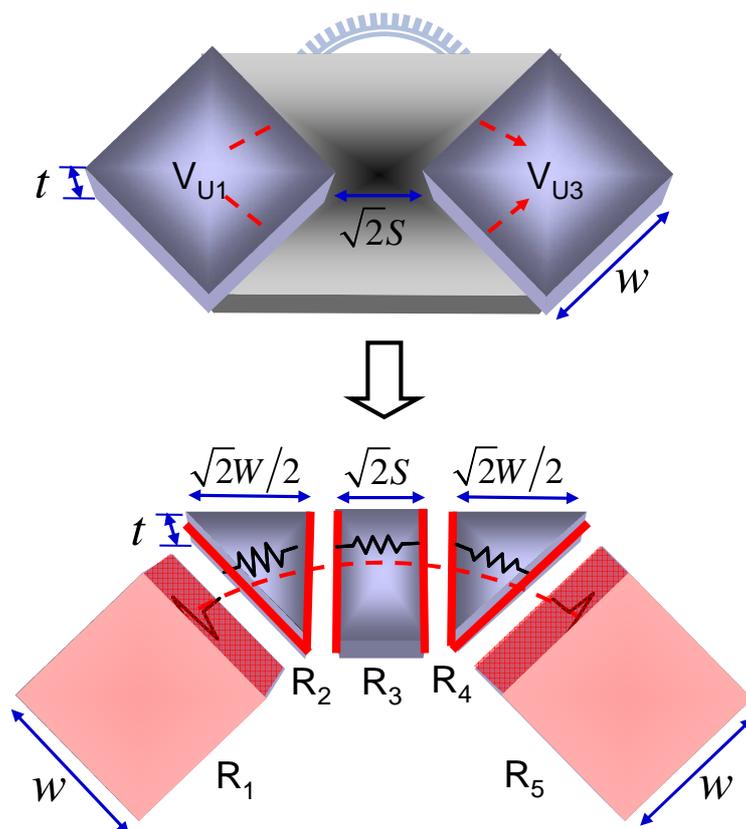


圖45. 對邊漏電流示意圖

當  $V_{U1}$ 、 $V_{U3}$  之間與  $V_{D1}$ 、 $V_{D3}$  之間在電位不同時，會因為傳導層的關係產生漏電流，如圖 45 所示，我們用  $R_w$  來表示如式 4.19，而  $R_w$  由  $R_1$ 、 $R_2$ 、 $R_3$ 、 $R_4$ 、 $R_5$  的總合後並聯，所組成如式 4.20、式 4.21 與式 4.22，其中  $K_1$  為鄰邊轉角倍率修正參數而  $K_2$  為鄰邊轉角倍率修正參數，從  $R_w$  可以得知對邊漏電流路徑的電阻與寬度(W)大小、厚度(t)大小、間距(S)遠近和電阻係數的影響。在此我們發現對邊干擾路徑電阻  $R_T$  與漏電流路徑電阻  $R_w$  之間比值跟厚度(t)大小、間距(S)遠近與鄰邊干擾路徑電阻  $R_p$  與漏電流路徑電阻  $R_x$  之間比值跟厚度(t)大小、間距(S)遠近呈現一樣的關係，即當間距(S)大於 2 倍厚度(t)時，干擾路徑的電阻與漏電流路徑電阻為一樣大小，如圖 46 所示。

$$R_w = \rho \left[ \frac{k_1}{W} + \frac{S}{t \cdot W} + \frac{k_2}{t} \right] \quad (4.19)$$

$$R_3 = \rho \frac{\sqrt{2} \cdot S}{(\sqrt{2} W / 2) \cdot t} = \rho \frac{2 \cdot S}{t \cdot W} \quad (4.20)$$

$$R_2 = R_4 = \rho \frac{k_2}{t} \quad (4.21)$$

$$R_1 = R_5 = \rho \frac{k_1}{W} \quad (4.22)$$

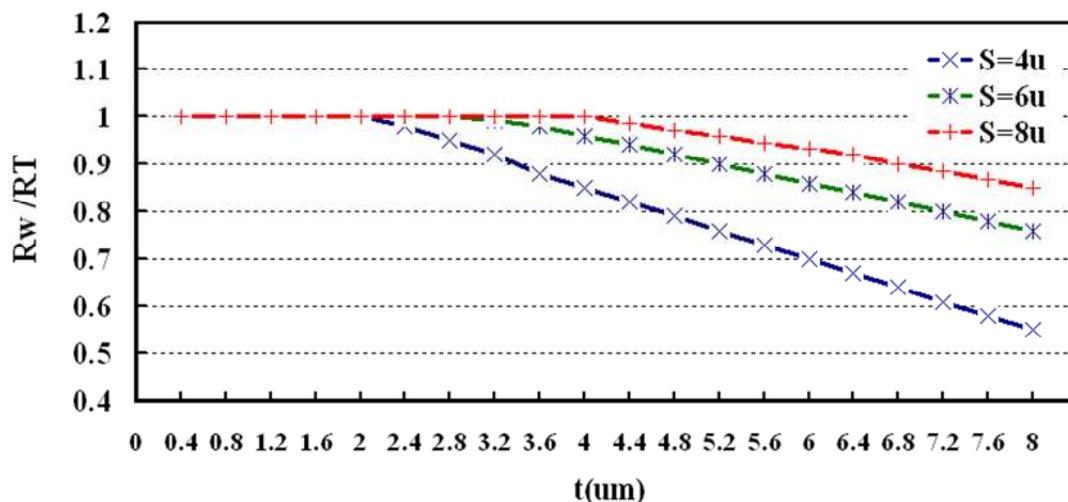


圖 46. 對邊雜訊干擾路徑電阻與漏電流路徑電阻的比值

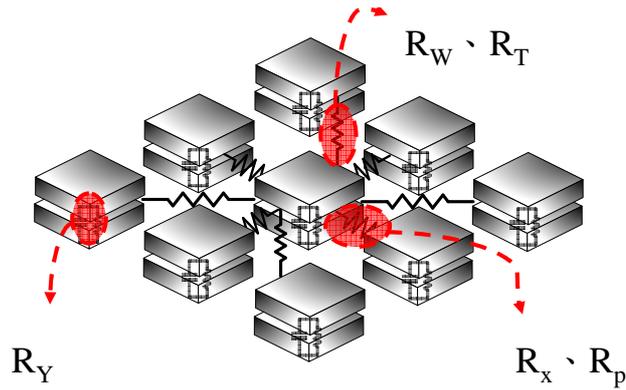


圖47. 共用傳導層參數模型示意圖(9\_CELL)

表6. 共用傳導層參數模型

參數	三維電阻模型
垂直傳輸路徑電阻 $R_Y$	$R_Y = \rho \frac{t}{W^2}$
鄰邊漏電流路徑電阻 $R_X$	$R_X = \rho \left[ \frac{k_1}{W} + \frac{S}{t \cdot W} + \frac{k_1}{W} \right]$
鄰邊雜訊干擾路徑電阻 $R_P$	$R_P = \rho \left[ \frac{k_1}{W} + \frac{S}{t \cdot W} + \frac{k_1}{W} \right]$
對邊漏電流路徑電阻 $R_W$	$R_W = \rho \left[ \frac{k_1}{W} + \frac{S}{t \cdot W} + \frac{k_2}{t} \right]$
對邊雜訊干擾路徑電阻 $R_T$	$R_T = \rho \left[ \frac{k_1}{W} + \frac{S}{t \cdot W} + \frac{k_2}{t} \right]$

如圖 47 所示為共用傳導層參數模型示意圖，如果以中心點為訊號傳輸時，周圍會有八條漏電流路徑與八條干擾路徑，我們可以使用表 6 所示，用三維電阻模型來建立起共用傳導層傳送晶片間多重信號機制的環境，而藉著設計寬度(W)大小、厚度(t)大小、間距(S)遠近和電阻係數，就可以在使用共用傳導層的架構下找到最佳的通道模型。

## 4.3 設計流程

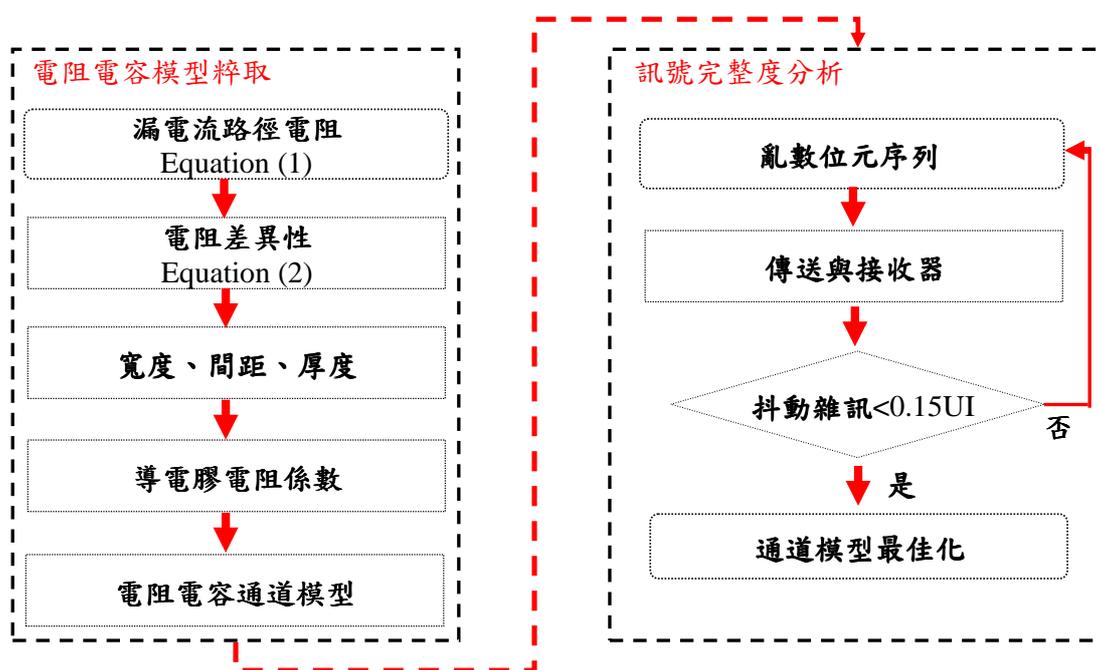


圖48. 共用傳導層傳送訊號最佳化流程圖

使用共用傳導層傳送晶片間多重信號機制中，我們去分析它的電氣特性，使用導電膠接著劑技術電氣特性為電阻抗與浮離電容，如圖 48 所示為共用傳導層傳送訊號最佳化流程圖，左邊為共用傳導層電阻與電容的粹取，右邊為訊號完整度的分析。一開始由決定漏電流大小即方程式(1)，訊號路徑比雜訊干擾路徑的電阻差異性比值即方程式(2)，可以找出適合電路傳輸的設計參數如寬度(W)大小、厚度(t)大小、間距(S)遠近和電阻係數。在訊號完整度分析中，我們設計中繼器去當作驅動電路，觀察訊號在不同的頻率下，以 0.15UI 的抖動雜訊容忍量，設計出我們可以讓電路工作的範圍與規格。

## 4.3.1 訊號與雜訊之電阻差異性分析

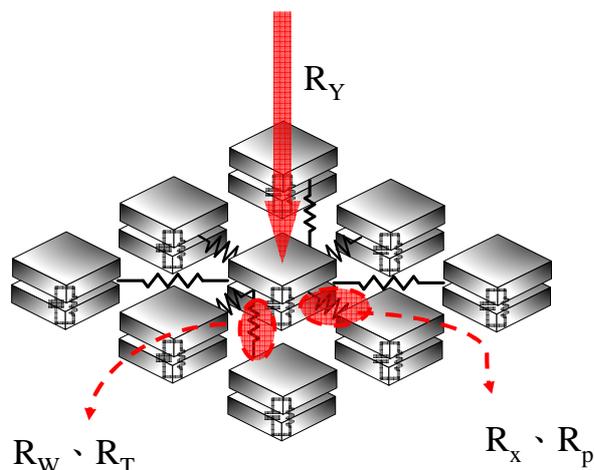


圖49. 共用傳導層差異性分析示意圖

使用共用傳導層傳送晶片間多重信號機制中，其中  $R_Y$  代表垂直傳輸路徑電阻， $R_X$  與  $R_W$  分別為鄰邊漏電流路徑電阻與對邊漏電流路徑電阻，而  $R_P$  與  $R_T$  分別為鄰邊雜訊干擾路徑電阻與對邊雜訊干擾路徑電阻，如圖 49 所示。我們將訊號對鄰邊的電阻差異性比值，即抗雜訊能力表示如式 4.23，而訊號對對邊的電阻差異性比值如式 4.24，也就是當差異性越大時，訊號傳輸受到的干擾越小。

$$\frac{R_P}{R_Y} = \frac{\rho \left[ \frac{k_1}{W} + \frac{S}{t \cdot W} + \frac{k_1}{w} \right]}{\rho \frac{t}{w^2}} = \left( \frac{t \cdot k_1 + S + t \cdot k_1}{t \cdot W} \right) \cdot \left( \frac{W^2}{t} \right) = \left( \frac{t \cdot k_1 + S + t \cdot k_1}{t \cdot W} \right) \cdot \left( \frac{W^2}{t} \right) \quad (4.23)$$

$$= \frac{W \cdot (2 \cdot t \cdot k_1 + S)}{t^2} = \frac{W}{t} \left( 2 \cdot k_1 + \frac{S}{t} \right)$$

$$\frac{R_T}{R_Y} = \frac{\rho \left[ \frac{k_1}{W} + \frac{S}{t \cdot W} + \frac{k_2}{t} \right]}{\rho \frac{t}{w^2}} = \left( \frac{t \cdot k_1 + S + W \cdot k_2}{t \cdot W} \right) \cdot \left( \frac{W^2}{t} \right) = \left( \frac{t \cdot k_1 + S + W \cdot k_2}{t \cdot W} \right) \cdot \left( \frac{W^2}{t} \right) \quad (4.24)$$

$$= \frac{W \cdot (t \cdot k_1 + S + W \cdot k_2)}{t^2} = \frac{W}{t} \left[ k_1 + \frac{S}{t} + \frac{W}{t} \cdot k_2 \right]$$

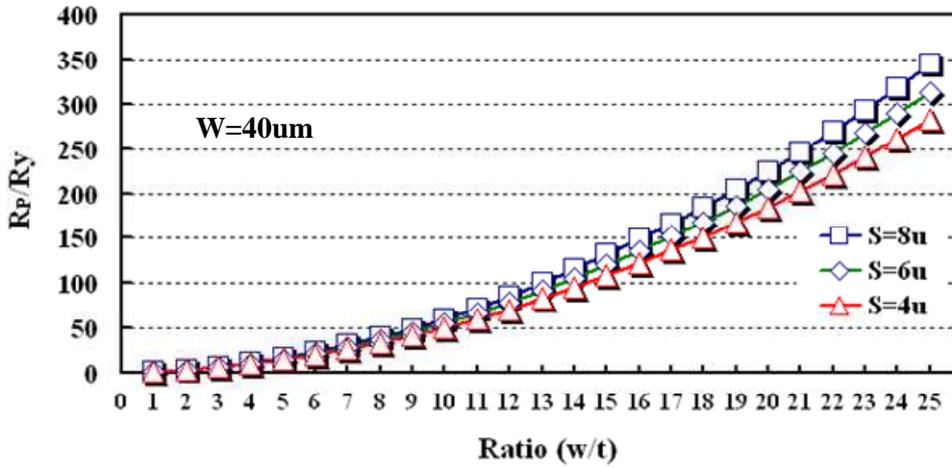


圖50. 共用傳導層差異性 W 固定分析示意圖

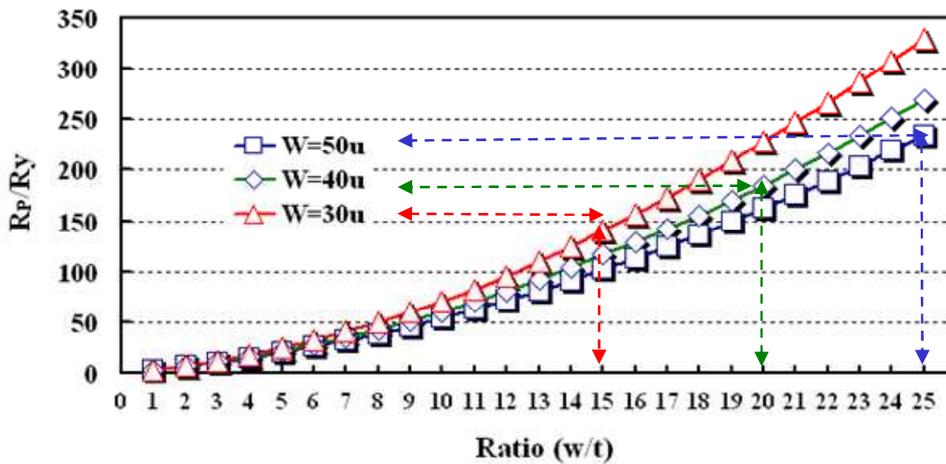


圖51. 共用傳導層差異性 S=2t 分析示意圖

使用共用傳導層傳送晶片間多重信號機制中，如圖 50 所示，我們固定寬度 (W) 改變厚度 (t) 去找出電阻的差異性與不同的間距 (S) 之間的變化，而圖 51 所示，固定 S=2t 時，可以比較出當寬度 (W) 越大時，電阻的差異性越大，進一步可以得到一結果，即寬度 (W) 越大、厚度 (t) 越小、間距 (S) 越遠，受雜訊影響的干擾也就越小。以下圖 52、圖 53、圖 54 所示，個別為改變寬度 (W)、厚度 (t)、間距 (S) 之間對電阻差異性的影響結果，驗證我們所推導的公式。

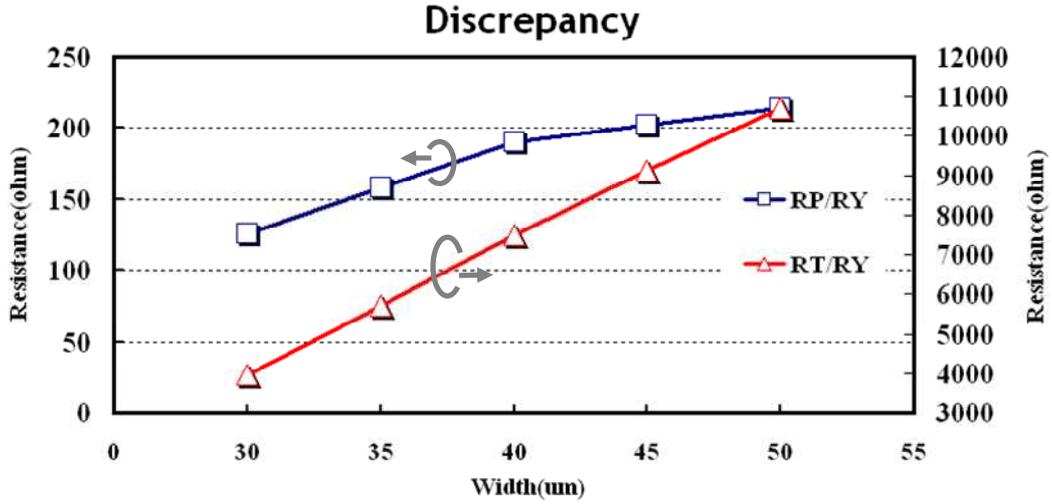


圖52. 寬度(W)改變對差異性的影響

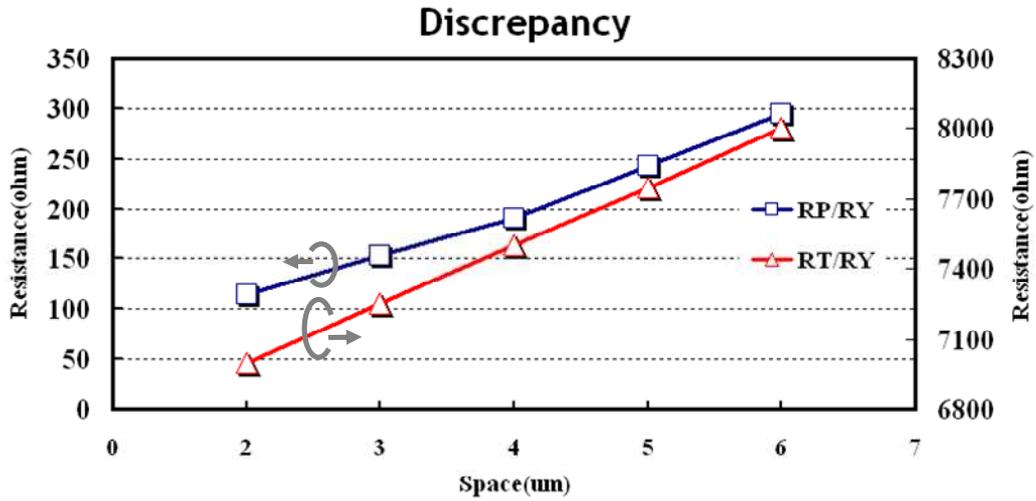


圖53. 間距(S)改變對差異性的影響

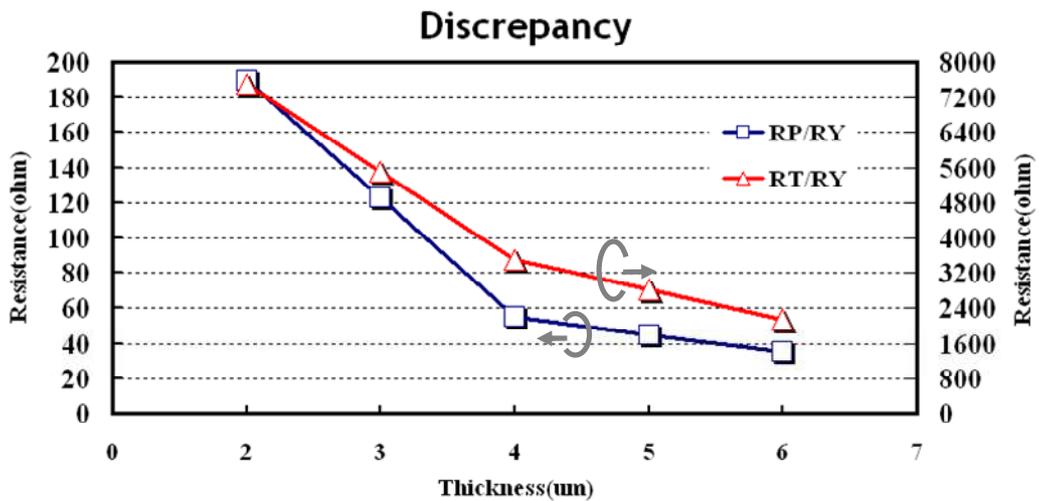


圖54. 厚度(t)改變對差異性的影響

## 4.3.2 金屬層墊排列模型最佳化設計

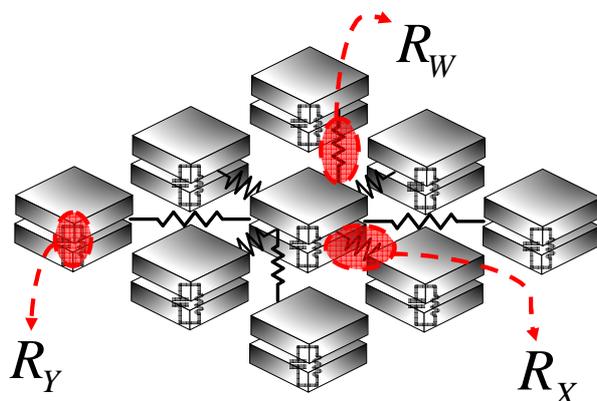


圖55. 共用傳導層 9 塊金屬層墊排列示意圖

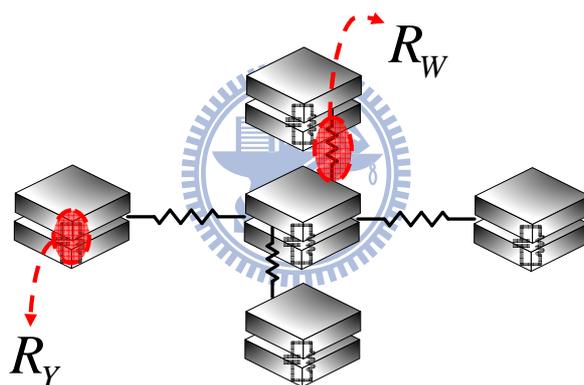


圖56. 共用傳導層 5 塊金屬層墊排列示意圖

我們舉例兩種排列方法來說明上述的設計流程，如圖 55 所示，假設漏電流在  $5\mu\text{A}$  內，就可以先得知漏電流路徑的電阻大小，而要求雜訊對訊號干擾路徑的電阻小於  $0.5\%$ ，因為鄰邊雜訊干擾路徑影響比對邊雜訊干擾路徑嚴重，並決定電阻的差異性可以推出所要的寬度(W)、厚度(t)、間距(S)與電阻係數。而在如圖 56 所示，假設同樣漏電流在  $5\mu\text{A}$  內，就可以先得知漏電流路徑的電阻大小，因為只有對邊雜訊干擾路徑，所以一樣決定電阻的差異性後可以推出所要的寬度(W)、厚度(t)、間距(S)與電阻係數。兩種不同的排列方式就有不同的電阻係數，也就是在要求高密度 I/O 傳輸下，電阻係數較大，電路操作速度較慢。

表7. 共用傳導層不同排列比較參數

設計參數	9塊金屬層墊排列	5塊金屬層墊排列
差異性比值(W/t)	20	20
寬度(W)	40um	40um
厚度(t)	2um	2um
間距(S)	4um	4um
電阻係數(RHO)	1.2(ohm · m)	0.05(ohm · m)

我們舉例兩種排列方法來做比較，如表 7 所示，假設在相同的寬度(W)大小、厚度(t)大小、間距(S)遠近條件下，不同的排列方式造成電阻係數不同，原因是 9 塊金屬層墊排列中，鄰邊雜訊干擾路徑與漏電流影響比對邊雜訊干擾路徑與漏電流大，故 9 塊金屬層墊的電阻係數比 5 塊金屬層墊的電阻係數大 24 倍，電阻係數提升則延遲變長，總結來說，設計上要在操作速度與 I/O 連線密度中作取捨。

### 4.3.3 訊號完整度分析

在高速的數位系統設計中，訊號完整度是一個重要的議題。非同步連接會產生很多訊號完整度的問題。包括訊號的反射(reflection)，電磁干擾(EMI)，接地彈跳(ground bounce)和串音干擾(crosstalk)。這些問題都會提高位元錯誤率(bit error rate, BER)，位元錯誤率是指接收端收到訊號的錯誤位元佔總傳輸位元的比率。

接下來我們會介紹一種來判斷訊號完整性的專業術語抖動(jitter)。抖動被定義成一連串的數位訊號在轉態時相對其理想時間的偏移量。如圖 57 所示。其中 T 就是時間抖動。抖動的大小和訊號雜訊的大小都會影響資料的傳輸速率，當資料傳輸速率提高時抖動會提高位元錯誤率。為了比較論文中所提出的共用傳導層

傳送晶片間多重信號機制的設計參數與模型，在此我們規定各種情況下的輸出訊號上升與下降時間不得超過  $0.15UI$ ，如圖 58 所示，所以從眼圖的抖動與開口如圖 59 所示，了解我們使用共用傳導層傳送晶片間多重信號機制的設計。

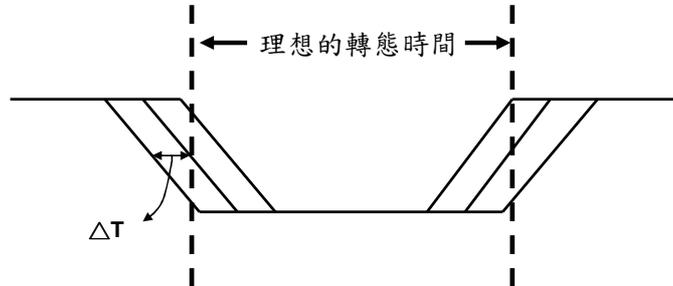


圖57. 數位序列的抖動

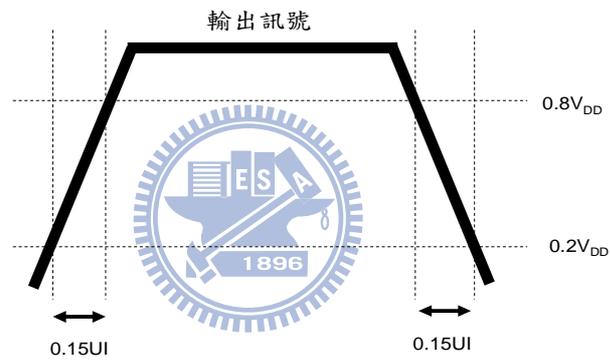


圖58. 共用傳導層訊號完整度之抖動容忍規格示意圖

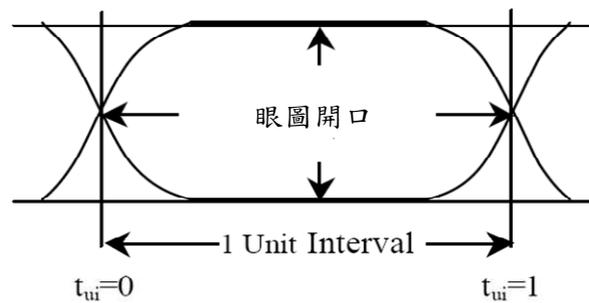


圖59. 眼圖之抖動與開口示意圖

## 4.4 金屬層墊排列與傳送訊號方向分析

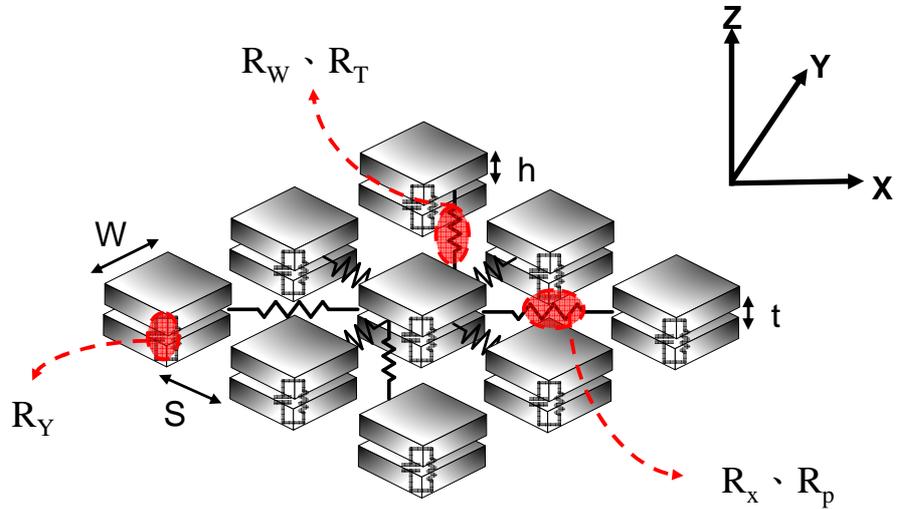


圖60. 共用傳導層參數與模型示意圖(9\_CELL)

如圖 60 所示，我們使用 TCAD Raphael 驗證參數寬度(W)、厚度(t)、間距(S)改變時對電阻與電容的影響。表 8 為模擬設定的三組參數。

表8. 共用傳導層設計參數比較

設計參數	(1)寬度(W)	(2)間距(S)	(3)厚度(t)
寬度(W)	30~50um	40um	40um
間距(S)	4um	2~10um	4um
導電膠厚度(t)	2um	2um	2~6um
金屬層墊高度(h)	1um	1um	1um
電阻係數(RHO)	1(ohm · m)	1(ohm · m)	1(ohm · m)
介電係數(Diel)	4	4	4

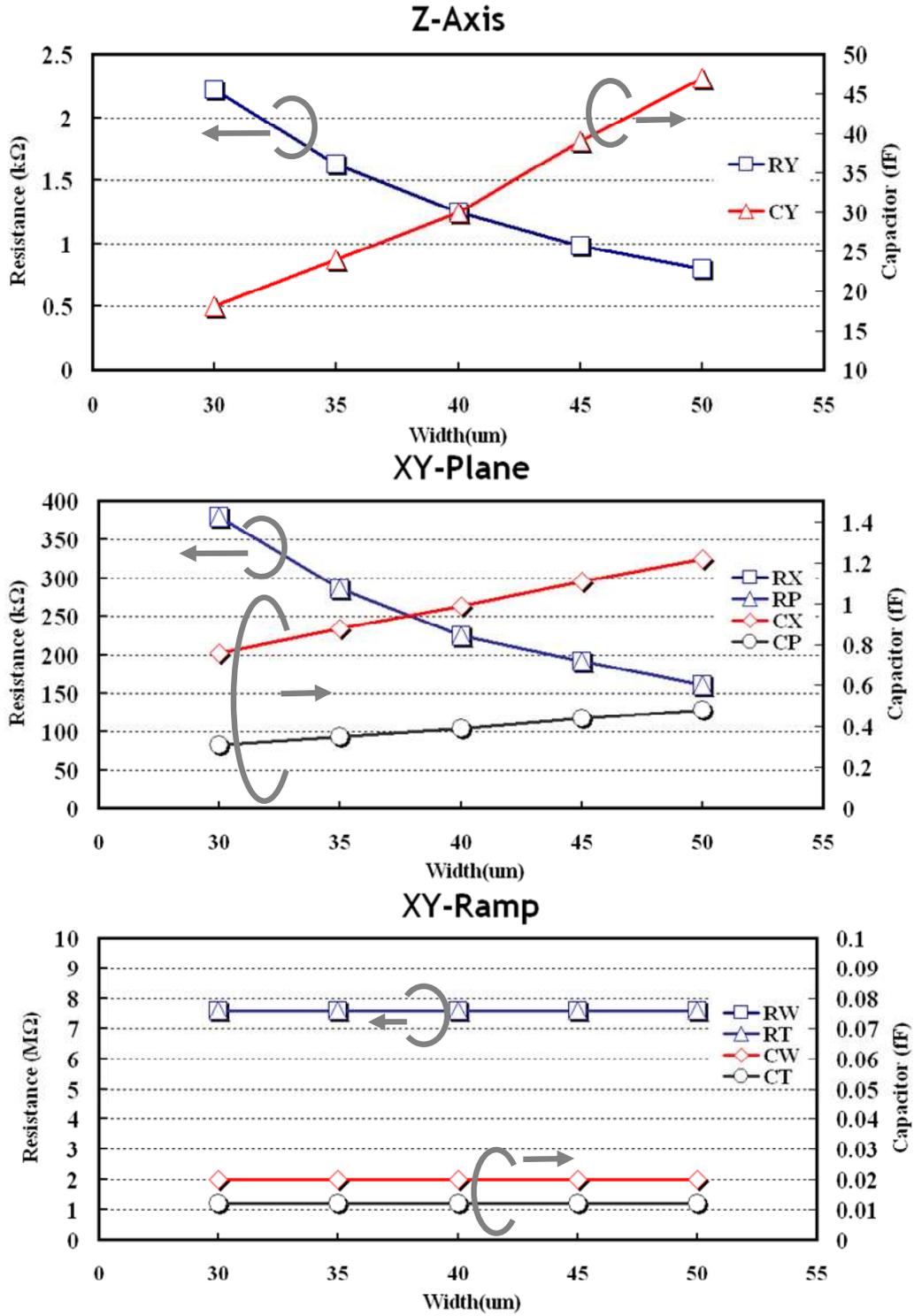


圖61. 參數寬度(W)改變對共用傳導層模型影響

如圖 61 所示，當寬度(W)越大時，訊號傳輸路徑電阻變小，鄰邊雜訊干擾路徑與漏電流路徑電阻也相對變小，對邊雜訊干擾路徑與漏電流路徑影響不大。

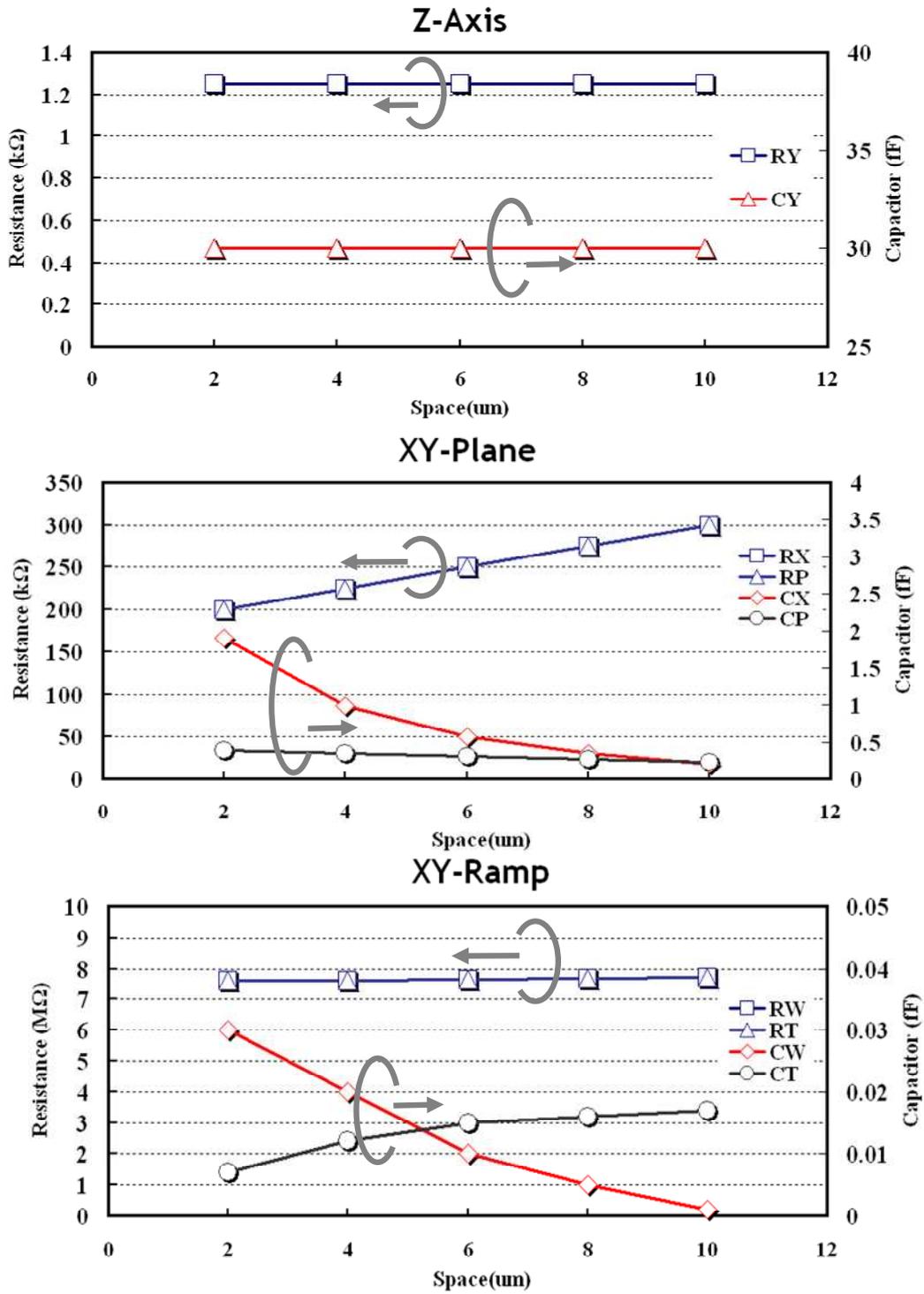


圖62. 參數間距(S)改變對共用傳導層模型影響

如圖 62 所示，當間距(S)越遠時，訊號傳輸路徑電阻不變，鄰邊雜訊干擾路徑與漏電流路徑電阻變大，對邊雜訊干擾路徑與漏電流路徑影響不大。

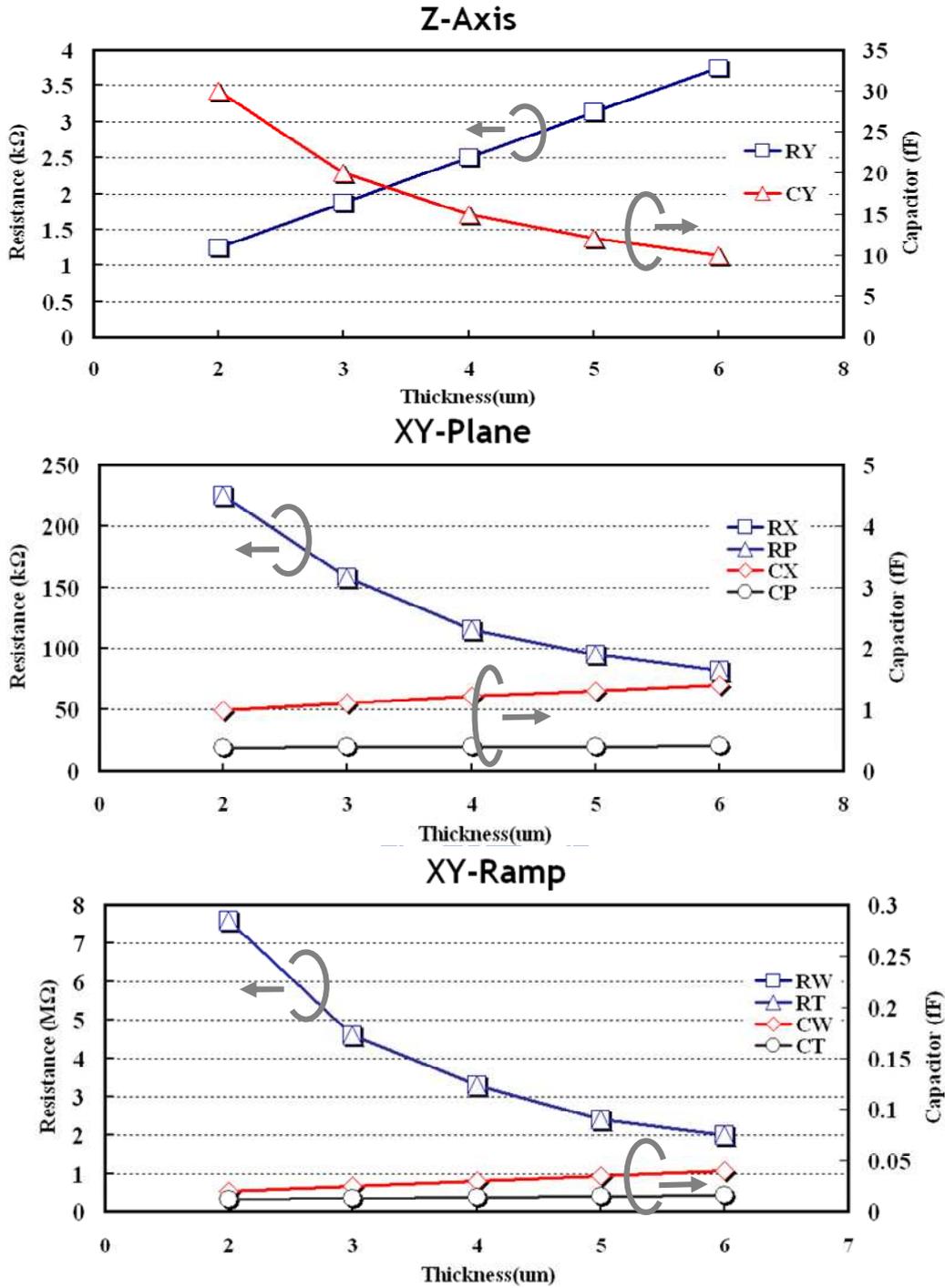


圖 63. 參數厚度(t)改變對共用傳導層模型影響

如圖 63 所示，當厚度(t)越大時，訊號傳輸路徑電阻變大，鄰邊雜訊干擾路徑與漏電流路徑電阻變小，對邊雜訊干擾路徑與漏電流路徑電阻也變小。因此從參數改變量來看，厚度(t)的改變對共用傳導層影響最大。

## 4.4.1 共用傳導層加入傳送與接收器設計

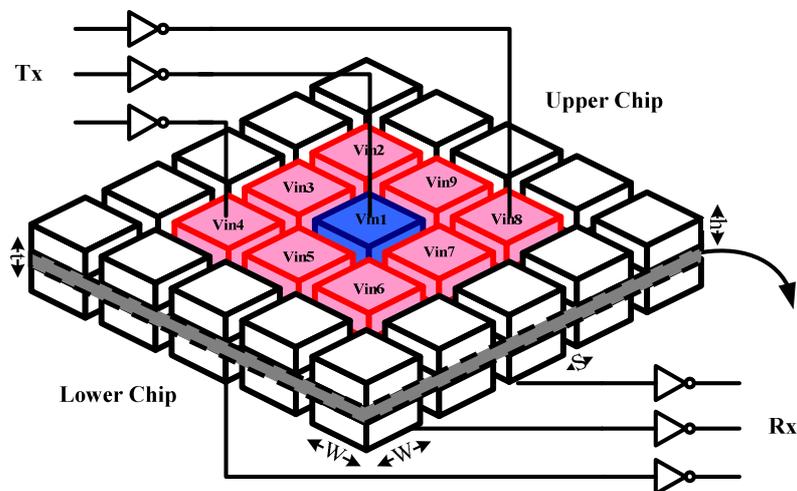


圖64. 共用傳導層加入傳送與接收器示意圖

在高速的數位系統，一般使用中繼器去當作傳送與接收器，在此論文所提出的使用共用傳導層傳送晶片間多重信號機制中，為了觀察共用傳導層的模型對信號完整度的好壞，因此我們使用相同的中繼器與相同的操作速率下，利用輸出訊號的眼圖去觀察不同的模型對雜訊抖動與開口大小的影響，如圖 64 所示。

如圖 65 所示，使用中繼器當做傳送與接收器，在輸入端輸入偽隨機位元序列，輸出端加上負載，觀察輸出眼圖的轉態點是否在中間如圖 66 所示，用此方法模擬出共用傳導層傳送晶片間多重信號機制中的傳送與接收端電路，作為選擇中繼器最佳化的設計方法。

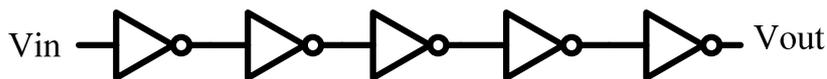


圖65. 傳送與接收器示意圖

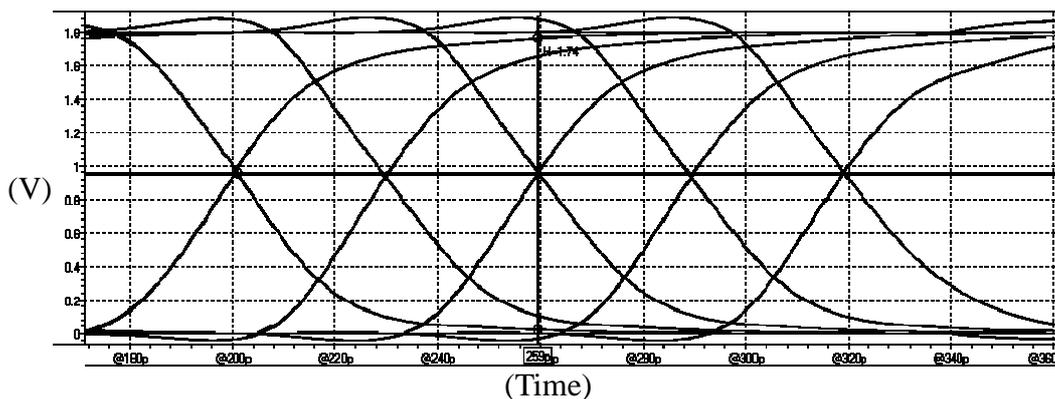


圖66. 傳送與接收器輸出眼圖

表9. 共用傳導層加入傳送與接收器參數設計

共用傳導層模型參數		傳送與接收器參數	
寬度(W)	40um	傳輸速率	2Gbps
間距(S)	4um	資料	5000
導電膠厚度(t)	2um		
金屬層墊高度(h)	1um	NMOS	0.5um/0.18um
電阻係數(RHO)	1(ohm · m)	PMOS	1.5um/0.18um
介電係數(Diel)	4		

表 9 為共用傳導層加入傳送與接收器參數設計，而圖 67、圖 68、圖 69、圖 70 為共用傳導層模型參數的改變，對眼圖的抖動與開口的關係圖，從這些參數對信號完整度的影響，可以對共用傳導層傳送晶片的設計更了解。

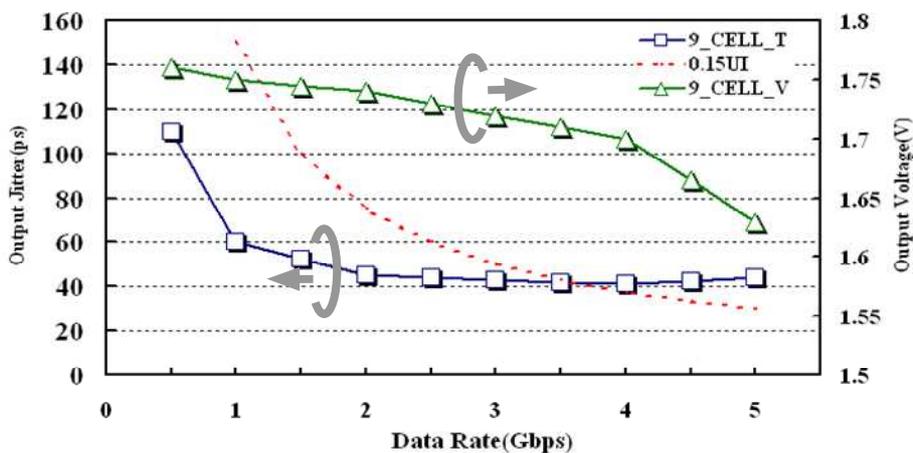


圖67. 操作速率改變對輸出眼圖的抖動與開口大小

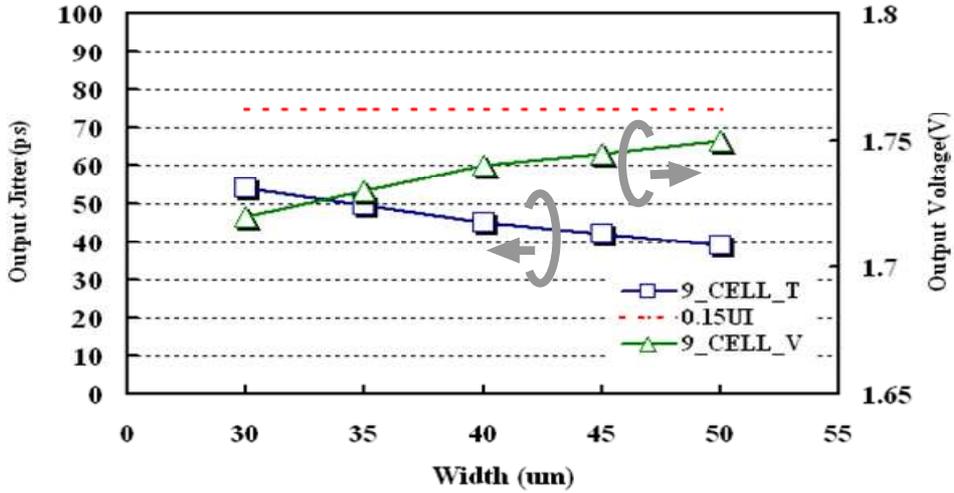


圖68. 寬度(W)改變對輸出眼圖的抖動與開口大小

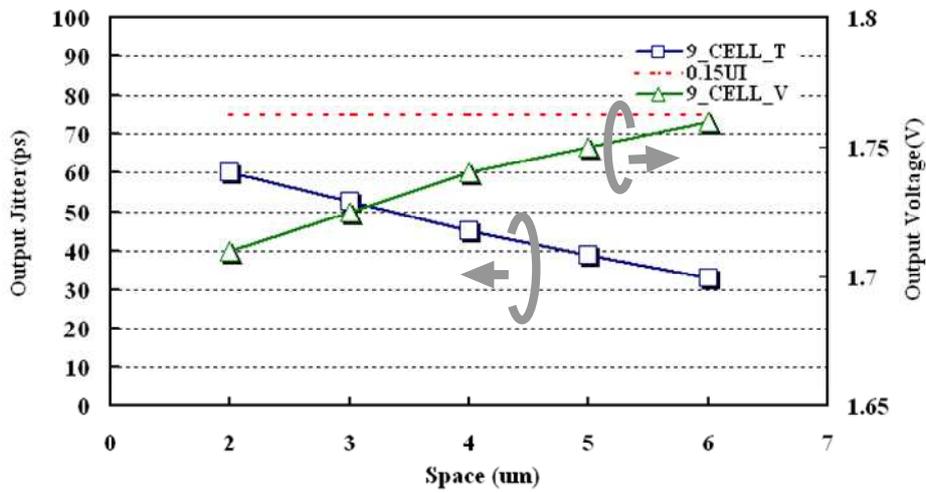


圖69. 間距(S)改變對輸出眼圖的抖動與開口大小

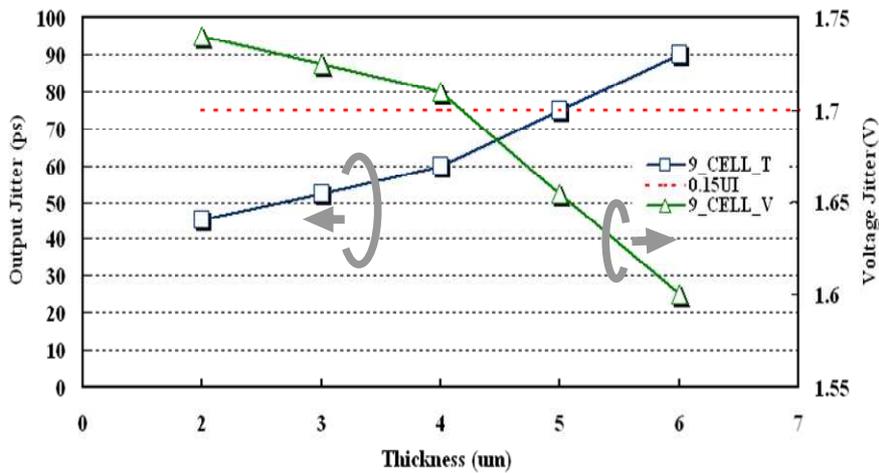


圖70. 厚度(t)改變對輸出眼圖的抖動與開口大小

## 4.4.2 金屬層墊的不同排列方式分析

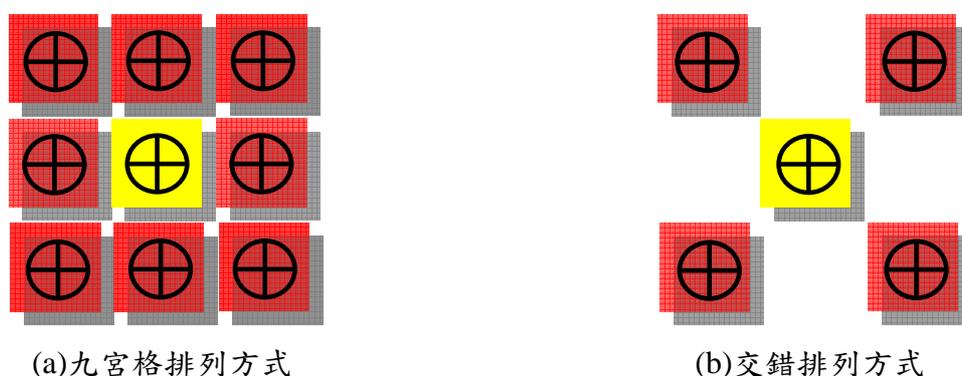
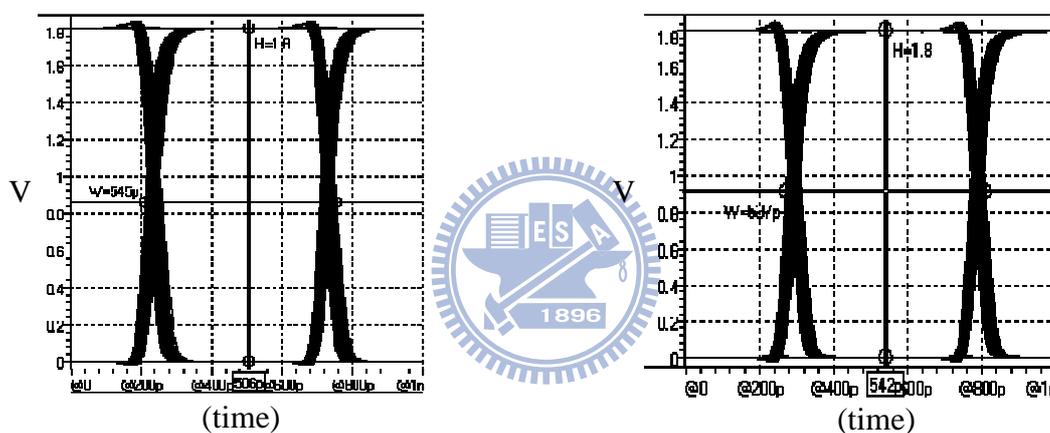


圖71. 共用傳導層之排列方式示意圖



(a)九宮格排列之輸出眼圖(2Gbps@45ps) (b)交錯排列之輸出眼圖(2Gbps@37ps)

圖72. 不同的排列方式對輸出眼圖的抖動與開口大小

使用共用傳導層傳送晶片間多重信號機制中，當排列方式不同時，因為訊號傳輸與雜訊路徑的干擾影響就不同，如圖 71 所示，參數規格如表 9 所示，我們比較兩種不同的排列方式，其中(a)九宮格排列的方式需要考慮四面八方的干擾路徑與漏電流，而(b)交錯排列的方式只需考慮對邊的干擾路徑與漏電流，如圖 72 所示，九宮格排列之輸出訊號眼圖中抖動量比交錯排列之輸出訊號眼圖抖動量大。交錯排列方式犧牲訊號傳輸的數目(I/O)的密度，但換來較小的抖動量可以操作在更高的速率。

## 4.4.3 上下訊號傳輸方向分析

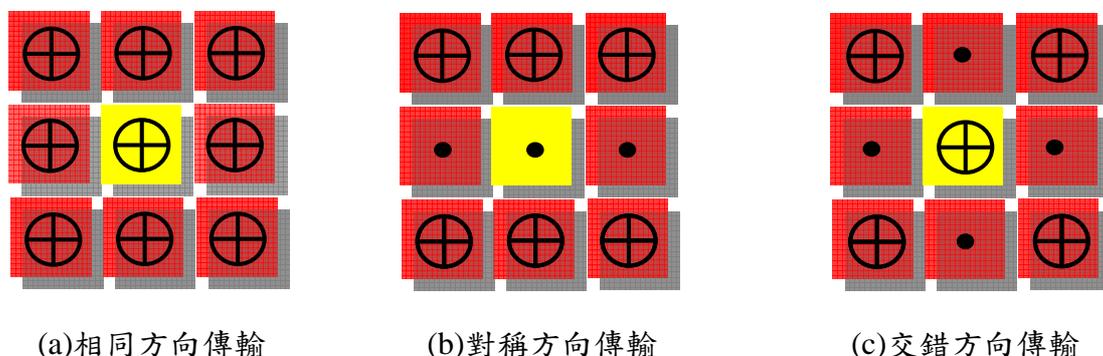


圖73. 共用傳導層之訊號傳輸方向示意圖

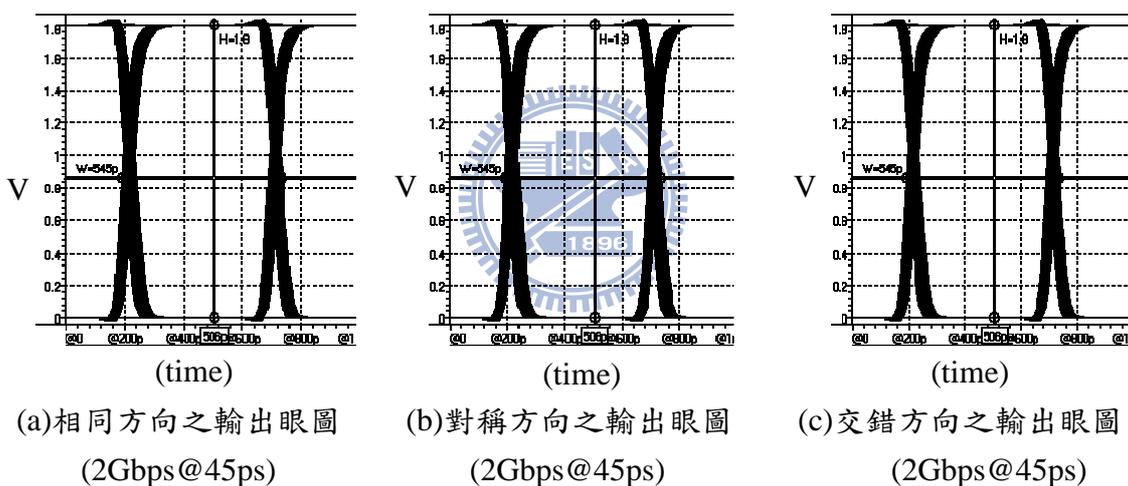


圖74. 訊號傳輸方向對輸出眼圖的抖動與開口大小

使用共用傳導層傳送晶片間多重信號機制中，當上下訊號傳輸方向不同時如圖 73 所示，參數規格如表 9 所示，我們比較三種不同的傳輸方向，使用共用傳導層概念，也就是說在(a)相同方向傳輸時，就受到四面八方的干擾路徑，(b)與(c)雖然傳輸方向不同但因為干擾的路徑與漏電流路徑是對稱的，故跟同方向傳輸時的影響是一樣的，如圖 74 所示，不管是相同方向之輸出眼圖、對稱方向之輸出眼圖以及交錯方向之輸出眼圖，都是相同的雜訊抖動量。

# 第五章

---

## 模擬結果與佈局



### 5.1 簡介

使用共用傳導層傳送晶片間多重信號機制，在第四章節中使用 TCAD Raphael 粹取電阻與電容模型，並推導出公式來互相驗證訊號傳輸路徑電阻  $R_Y$ 、鄰邊漏電流路徑電阻  $R_X$  與對邊漏電流路徑電阻  $R_W$ ，在此章節我們使用印刷電路板來驗證 TCAD Raphael 所模擬的結果，並介紹我們下線晶片的量測考量，在量測方面，因為我們使用到導電碳膠來作裸晶之間的堆疊黏合，所以對材料與構裝的複雜度也是一種挑戰。

## 5.2 晶片佈局圖

為了驗證論文所提出的使用共用傳導層傳送晶片間多重信號機制，我們使用 TSMC 0.18um 1P6M 的製程去建立面對面接合的三維傳輸環境，如圖 75 所示，右邊設計三組不同寬度(W)大小的金屬層墊、相同的間距(S)，而厚度(t)則可依使用三軸控制機台的解析度去設定。為了使接合後的偏移誤差量變小，我們在上下各做十字對準機制。在左上方設計了三組傳送與接收器，為了觀察訊號完整度的好壞。如表 10 所示為共用傳導層傳送晶片間多重信號機制的接腳數目，其中測試接腳共有 29 個，為了驗證我們共用傳導層的電阻與電容模型，如表 11 為規此晶片規格表。圖 76 所示為顯微照片，圖 77 所示為兩裸晶黏接的構裝示意圖，為了量測訊號路徑電阻、漏電流路徑電阻與干擾路徑電阻，使用印刷電路板將測試接腳經由磅線連接出來，再接到電表量測出電阻值。

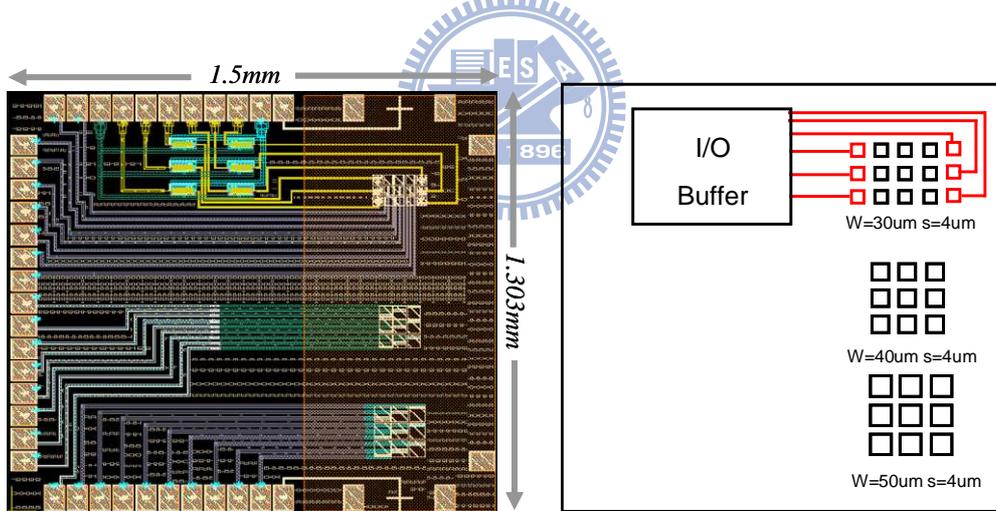


圖75. 使用共用傳導層傳送晶片間多重信號機制佈局圖

表10. 使用共用傳導層傳送晶片間多重信號機制接腳數目

Attribute	Pin Name	Pads
Power	VDD,GND	2
Input	PRBS[0:2]	3
Output	Vout[0:2]	3
Test Pin	Vw3t[0:8], Vw4t[0:8], Vw5t[0:8],Test[0:1]	29

表11. 使用共用傳導層傳送晶片間多重信號機制不同寬度(W)規格表

Item	Specification (unit)
Process	TSMC 0.18um 1P6M
Supply Voltage	1.8V
Bonding Pad No.	37
3D Pad Size	W=30,40,50um, S=4um
Data Rate	2Gb/s / channel x 6
Link	Conductive Carbon Paste
Jitter of receiver data (pk-to-pk)	<75ps (0.15UI)
PAD Touch	1303um x 593um
Core Layout Area	1.5mm x 1.303mm

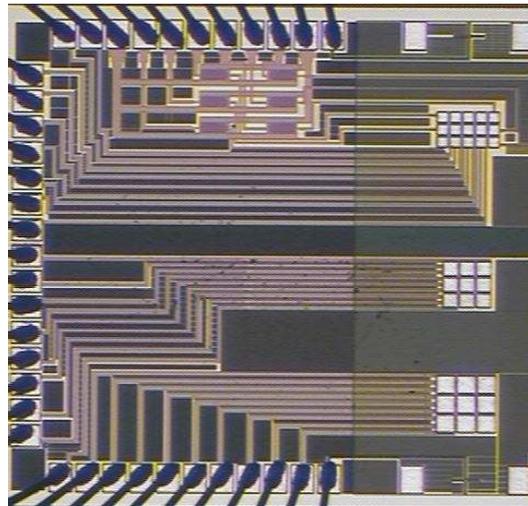


圖76. 使用共用傳導層傳送晶片間多重信號機制的顯微照片

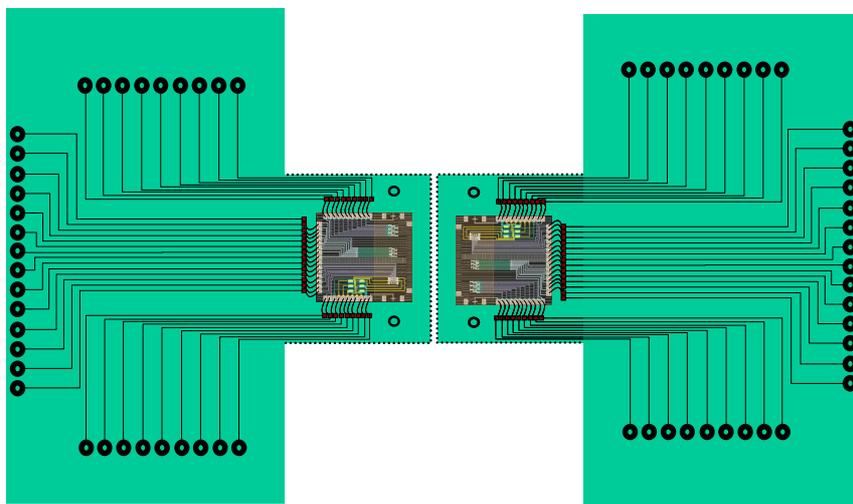


圖77. 使用共用傳導層傳送晶片間多重信號機制構裝示意圖

## 5.3 模擬結果

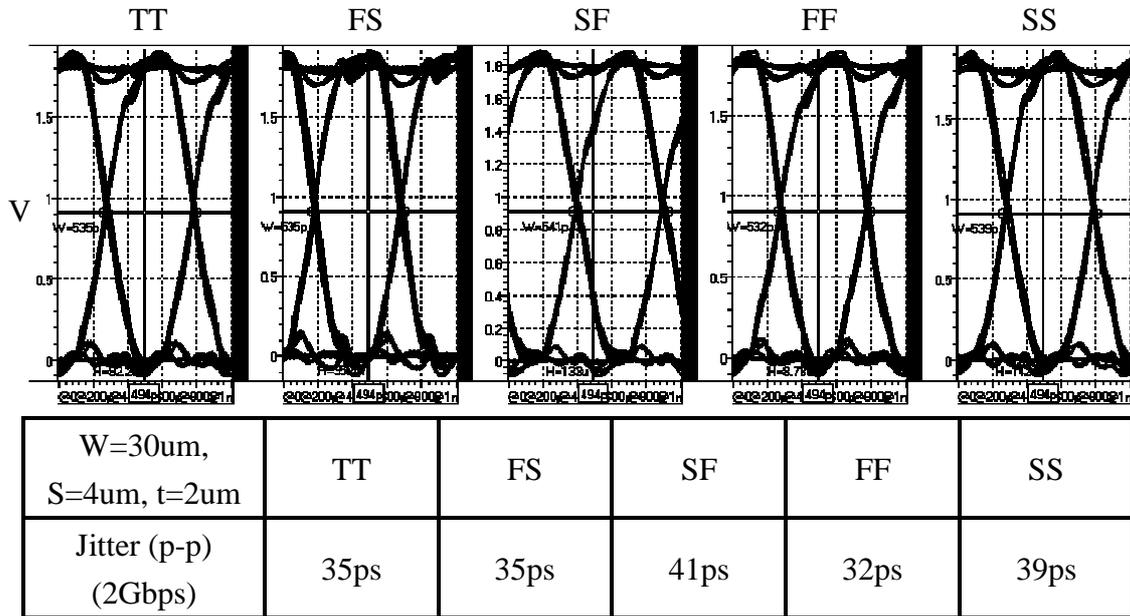


圖78. 使用共用傳導層傳送晶片間多重信號機制模擬結果

從共用傳導層傳送晶片間多重信號機制佈局圖中，我們在同一面裸晶中設計傳送與接收端電路，透過中間的導電碳膠接連，因此中間的電阻電容模型，我們利用 TCAD Raphael 粹取出參數後加入電路模擬中，並在輸入端加入偽隨機位元序列 2Gbps，如圖 78 所示為輸出眼圖的抖動與開口大小，表 12 為使用共用傳導層傳送晶片間多重信號機制規格表。

表12. 使用共用傳導層傳送晶片間多重信號機制規格表

Item	Specification (unit)
Process	TSMC 0.18um 1P6M
Supply Voltage	1.8V
Data Rate	2Gb/s / channel x 6
Link	Conductive Carbon Paste
Jitter of receiver data (peak-to-peak)	75ps (< 0.15UI)
PAD Touch	1303um x 593um
Core Layout Area	1.5mm x 1.303mm

## 5.4 性能比較

使用共用傳導層傳送晶片間多重信號，從訊號傳輸介面來看是屬於三維積體電路之面對面堆疊架構之一，因此我們整理出使用無線傳輸的面對面架構，即電感耦合與電容耦合的方式，如表 13 為比較表格、圖 79 為速度與距離比較圖。

表13. 三維積體電路之面對面堆疊架構比較表

	JSSC 2004[30]	JSSC 2005[34]	JSSC 2007[35]	ISSCC 2007[36]	This work
通訊 距離	50um	60um	15um	3um	2um
耦合 方法	電容 耦合	電感 耦合	電感 耦合	電容 耦合	導電 碳膠
使用 製程	0.35um CMOS	0.35um CMOS	0.18um CMOS	0.18um CMOS	0.18um CMOS
速率	1.35Gbps	1.25Gbps	1Gbps	11Gbps	2Gbps
功率 消耗	5.3mW	46mW	3mW	4.3mW	0.36mW
效能	3.9pJ/bit	36.8pJ/bit	3pJ/bit	0.39pJ/bit	0.18pJ/bit
被動 元件 大小	35x35 um <sup>2</sup>	100x100 um <sup>2</sup>	29.5x29.5 um <sup>2</sup>	28x28 um <sup>2</sup>	30x30 um <sup>2</sup>

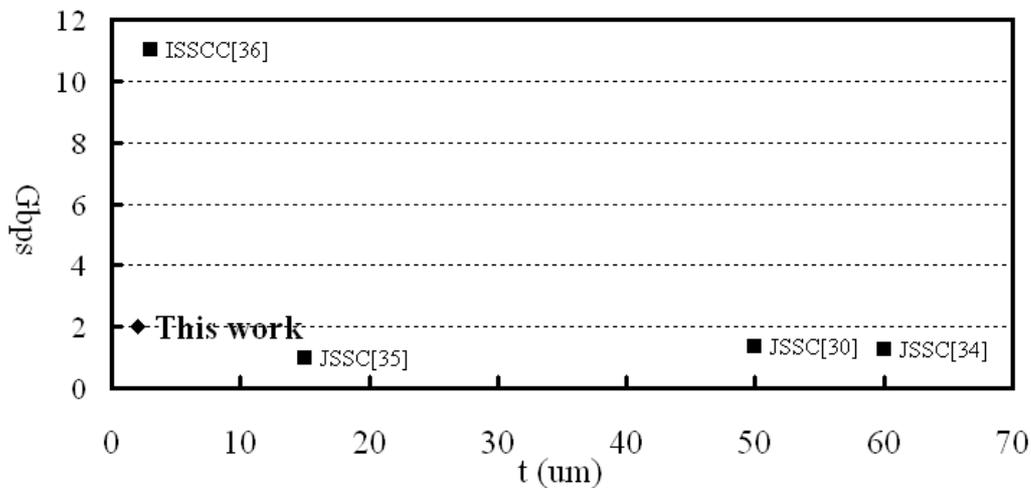


圖79. 速度與距離比較圖

## 5.5 印刷電路板模型驗證

我們使用客製化的印刷電路板，驗證論文所提的共用傳導層傳送晶片間多重信號的模型，相關設計參數為寬度(W)、間距(S)以及厚度(t)以及電阻係數，如圖 80 所示，為了跟晶片的傳輸介面環境一樣，因此等比例放大寬度(W)、間距(S)以及厚度(t)以及電阻係數這些參數，表 14 為導電碳膠的規格表。

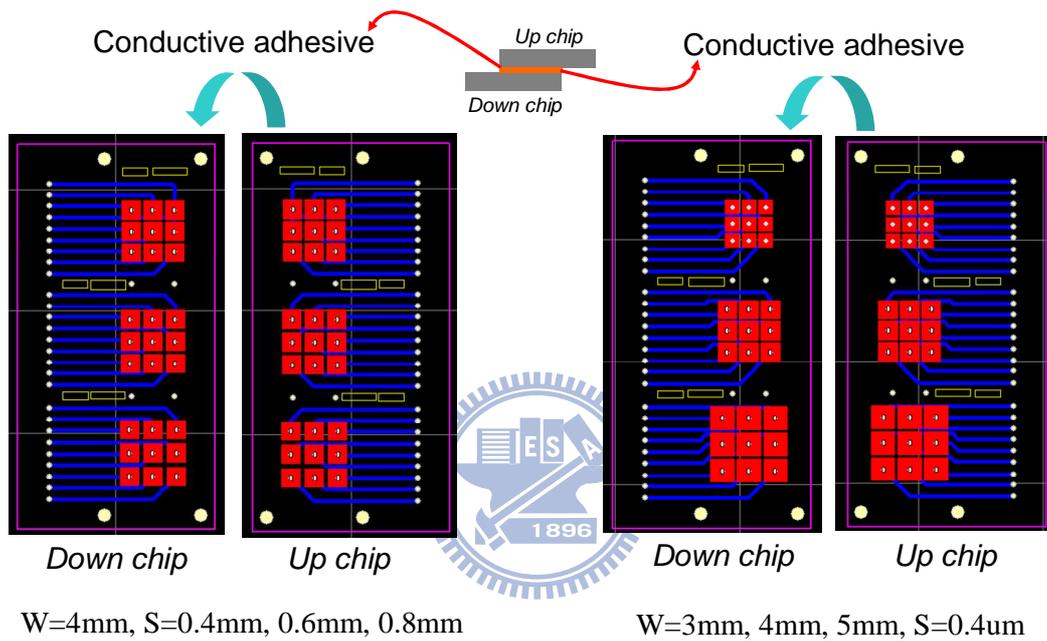


圖80. 使用共用傳導層傳送晶片間多重信號機制印刷電路板設計(一)

表14. 使用共用傳導層傳送晶片間多重信號機制之導電碳膠規格

Prod. NO.	Form	Service Temp.	Conductive Media (%)	Solvent	Mechanical Strength	Sheet Resistance @ 1mil (ohm/sq)
16051	Paint	140°C	Graphite 22%	Water	low	1200
16053	Paint	Binder 93°C Service 204°C	Graphite 20%	Isopropanol	low	30

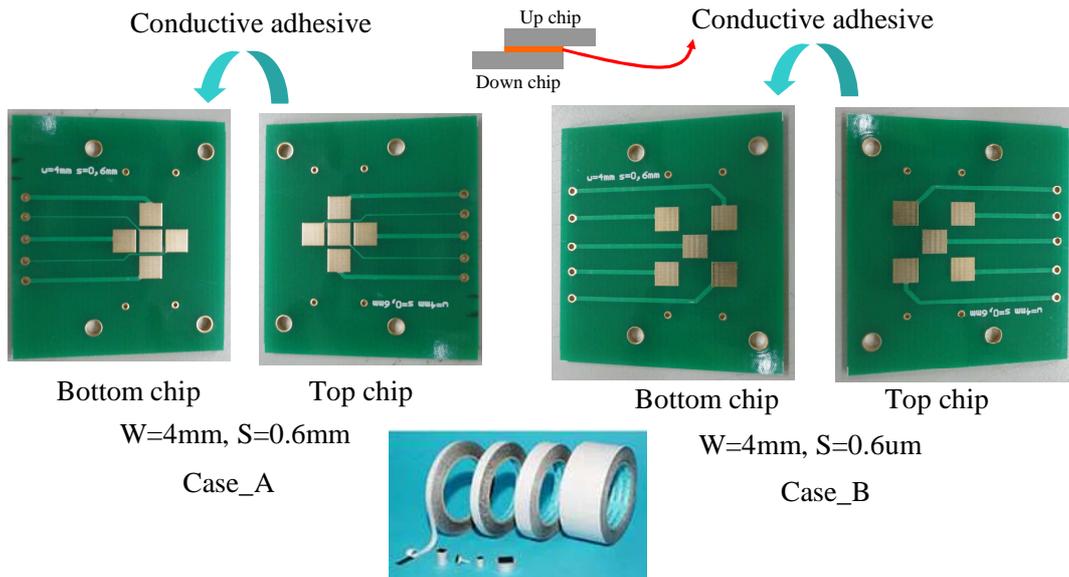


圖81. 使用共用傳導層傳送晶片間多重信號機制印刷電路板設計(二)

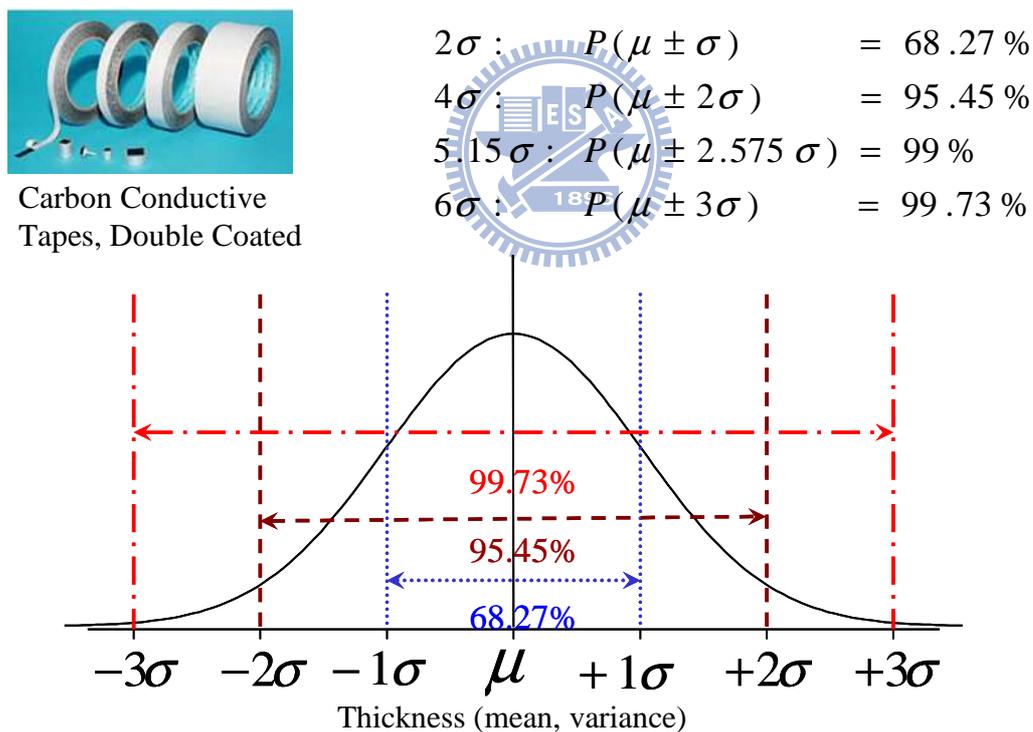


圖82. 使用共用傳導層傳送晶片間多重信號機制厚度統計

如圖 80 與圖 81 所示為兩種不同導電材料的構裝方式，分別為導電碳膠與導電碳膠帶的設計，圖 82 所示為導電碳膠帶的厚度統計與平均，為了控制厚度的誤差，我們選擇良率在 2 個 sigma 範圍內，再用 TCAD 去分析厚度的變異。

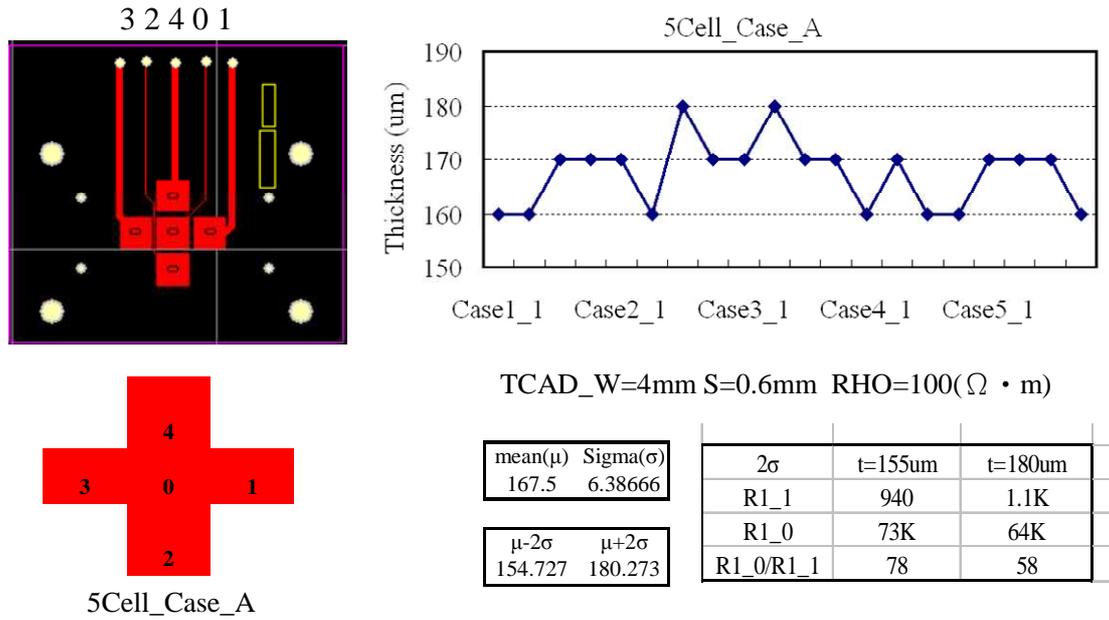


圖83. 使用共用傳導層 PCB 模型 CaseA 分析

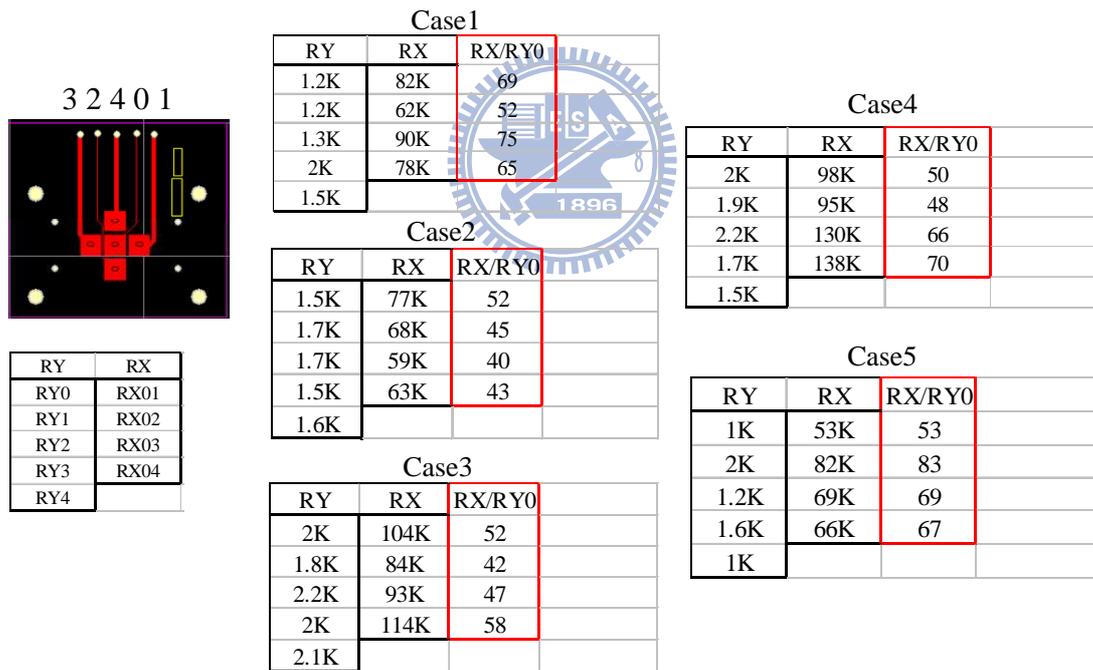


圖84. 使用共用傳導層 PCB 模型 CaseA 電阻量測結果

圖 83 所示，一開始先量 5 塊板子的厚度取平均值跟 sigma，再使用 TCAD 去模擬出 2 個 sigma 厚度改變的電阻範圍，然後量測是否與 TCAD 模擬結果相近，如圖 84 所示為使用共用傳導層 PCB 模型 CaseA 電阻量測結果。

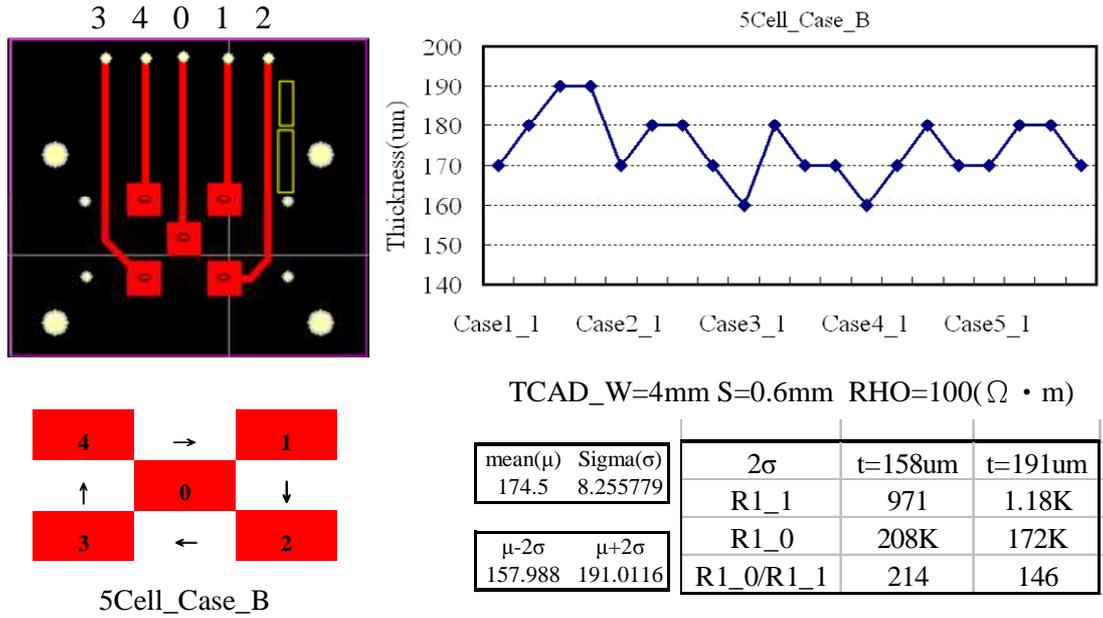


圖85. 使用共用傳導層 PCB 模型 CaseB 分析

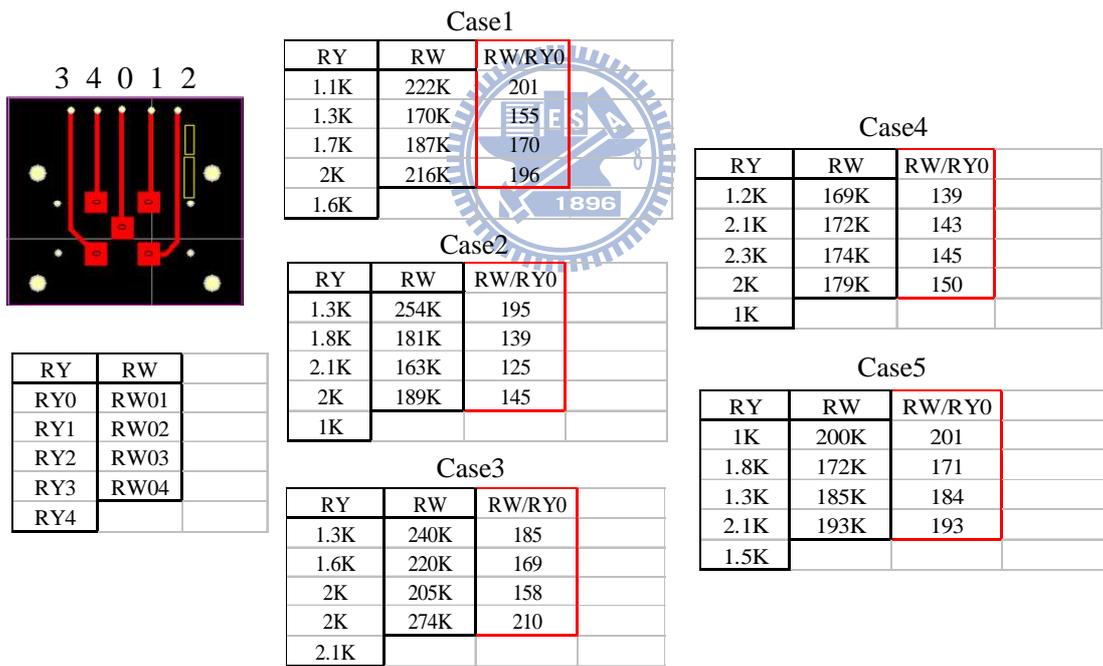


圖86. 使用共用傳導層 PCB 模型 CaseB 電阻量測結果

圖 85 所示，一開始先量 5 塊板子的厚度取平均值跟 sigma，再使用 TCAD 去模擬出 2 個 sigma 厚度改變的電阻範圍，然後量測是否與 TCAD 模擬結果相近，如圖 86 所示為使用共用傳導層 PCB 模型 CaseB 電阻量測結果。

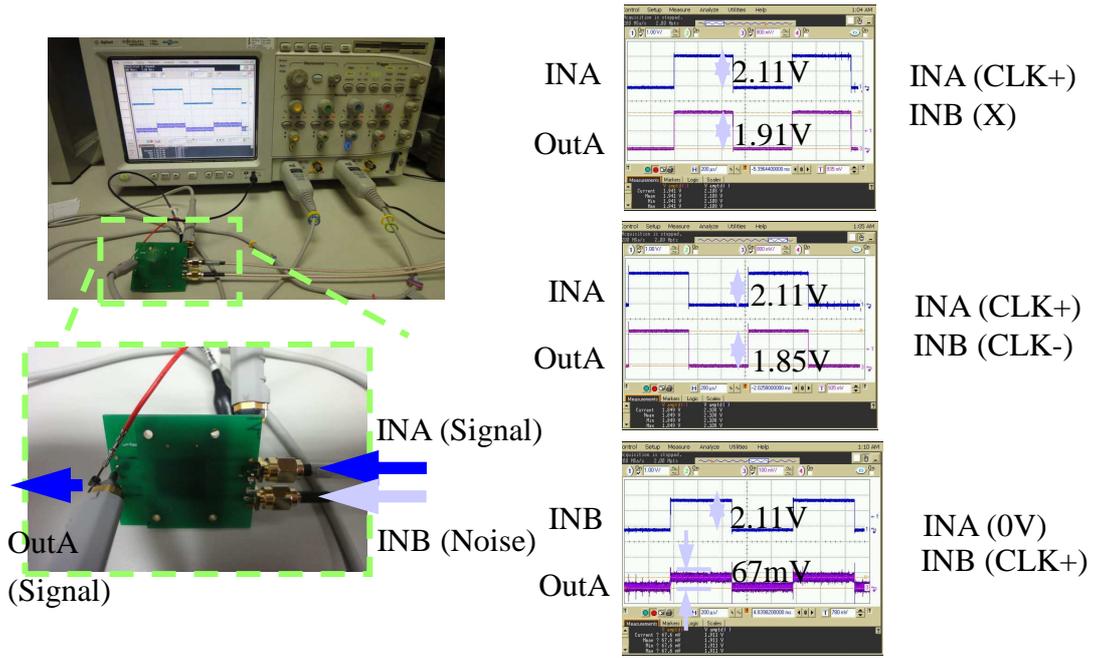


圖87. 使用共用傳導層 PCB 模型 CaseA 量測結果(輸入訊號:CLK)

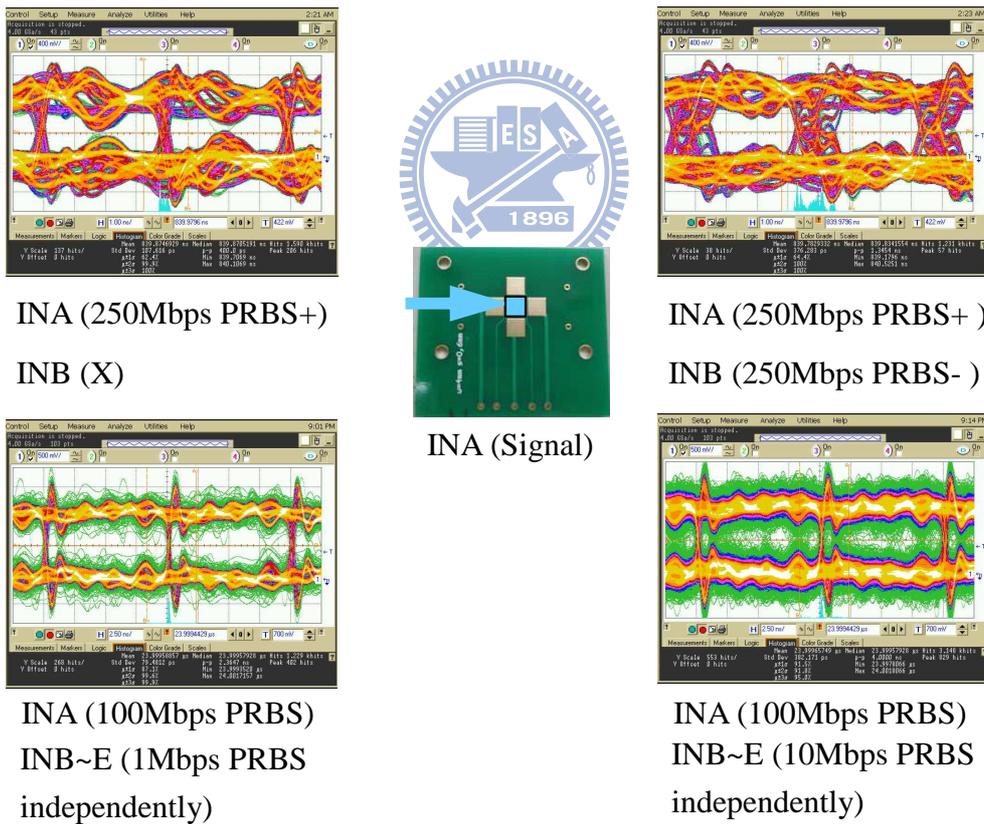


圖88. 使用共用傳導層 PCB 模型 CaseA 量測結果(輸入訊號:PRBS)

圖 87 與圖 88 所示，為使用 PCB 模型 CaseA 的量測結果，分別以 INA 與 INB 的輸入訊號去觀察輸出 OutA 的眼圖與訊號干擾的影響。

## 5.6 晶片量測考量

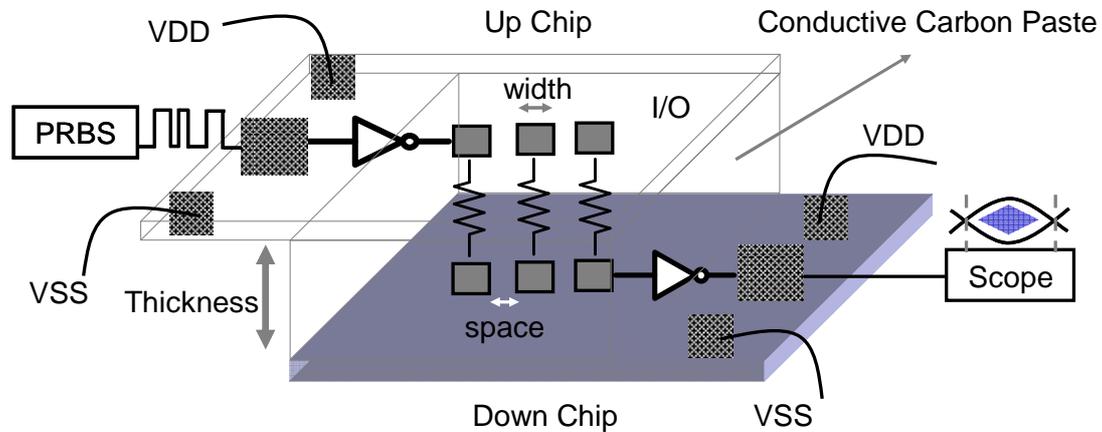


圖89. 使用共用傳導層傳送晶片間多重信號機制量測環境

在測量傳送端晶片的時後，我們會先把晶片黏在印刷電路板上，然後利用磅線把我們要量測的訊號線和電源線接到印刷電路板上，而在量測接收端電路時，我們也是將晶片黏在印刷電路板上，也是利用磅線把我們要量測的訊號線和電源線接到印刷電路板上如圖 89 所示，當傳送端和接收端電路都可以正常操作的時候，我們利用導電碳膠將它疊起來黏合量測。而圖 90 所示為對準機制示意圖。

我們先將傳送端的晶片放在量測平台上，用磅線的方式給晶片電壓，並將訊號灌入，傳送端晶片的架設就完成了。接收端晶片要倒放在發射端晶片上方，所以必須事先黏在印刷電路板上，印刷電路板用一台微調整定位機台固定，使晶片能夠對準到傳送端上方，用磅線的方式給晶片電壓並且也是用磅線將輸出訊號接到印刷電路板上，再經過轉接頭接到電纜線上，連到示波器上即可完成量測的架設。

如圖 91 所示，顯示晶片上下對準時的相對位置，我們會把印刷電路板固定到可調整 X,Y,Z 方向的微調整定位機台，並使用顯微鏡於協助對準並量測兩晶片間的厚度，為電阻模型量測示意圖，圖 92 所示為晶片堆疊示意圖，圖 93 所示，為塗導電膠示意圖，圖 94 所示為量測機台與訊號量測方式。

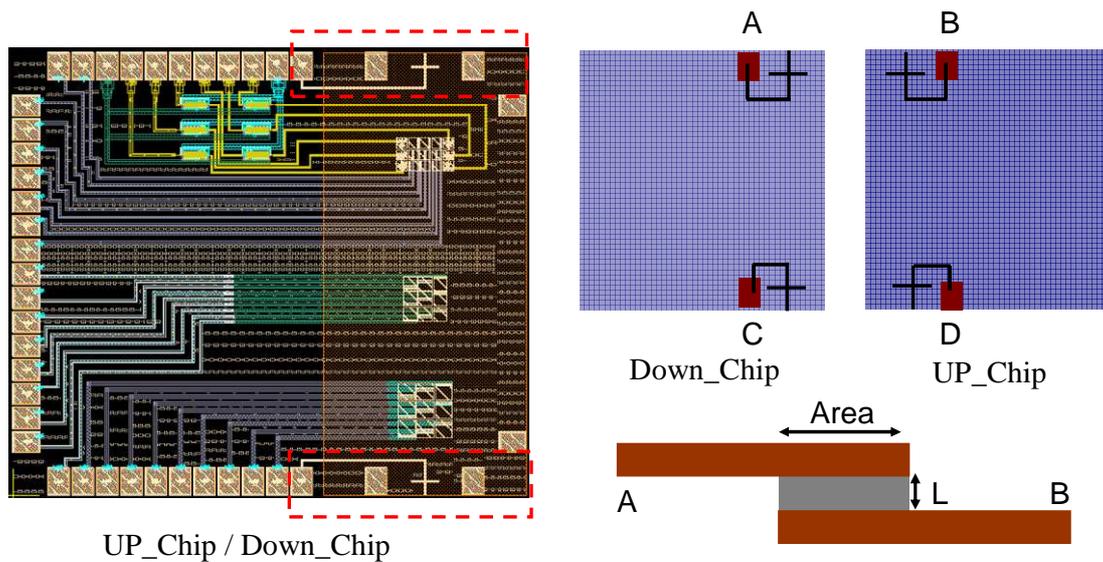


圖90. 使用共用傳導層傳送晶片間多重信號對準機制示意圖

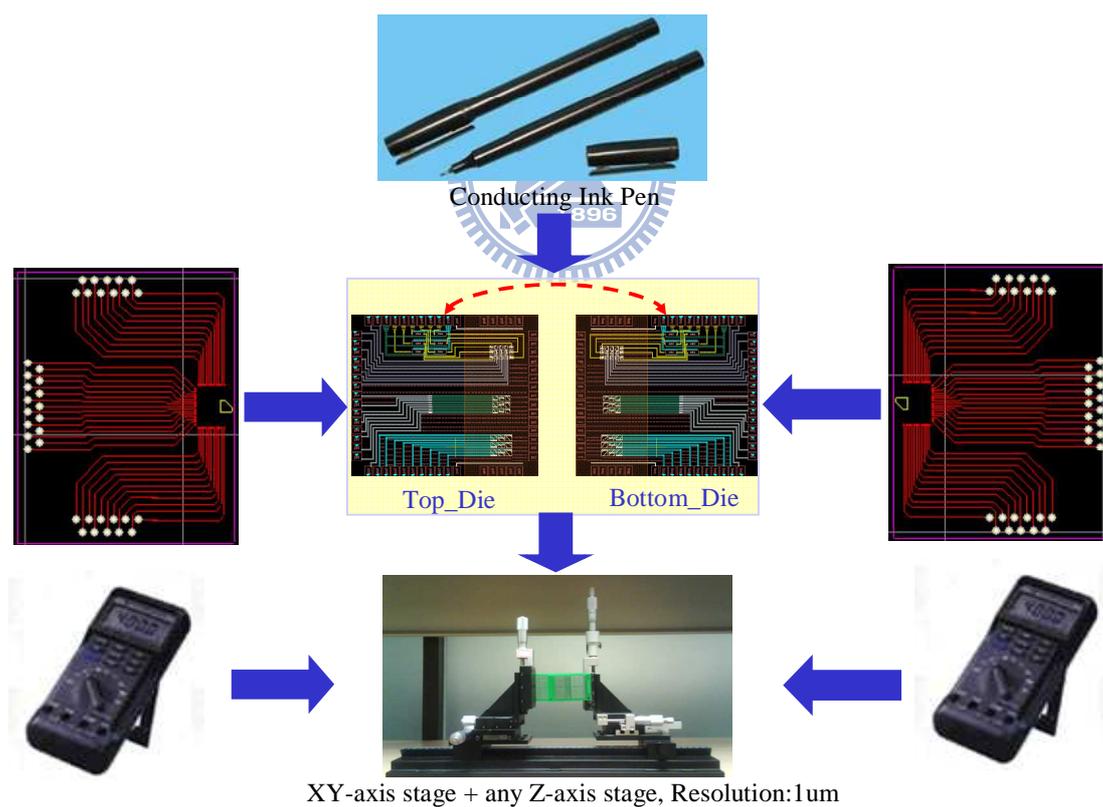


圖91. 使用共用傳導層傳送晶片間多重信號電阻量測示意圖

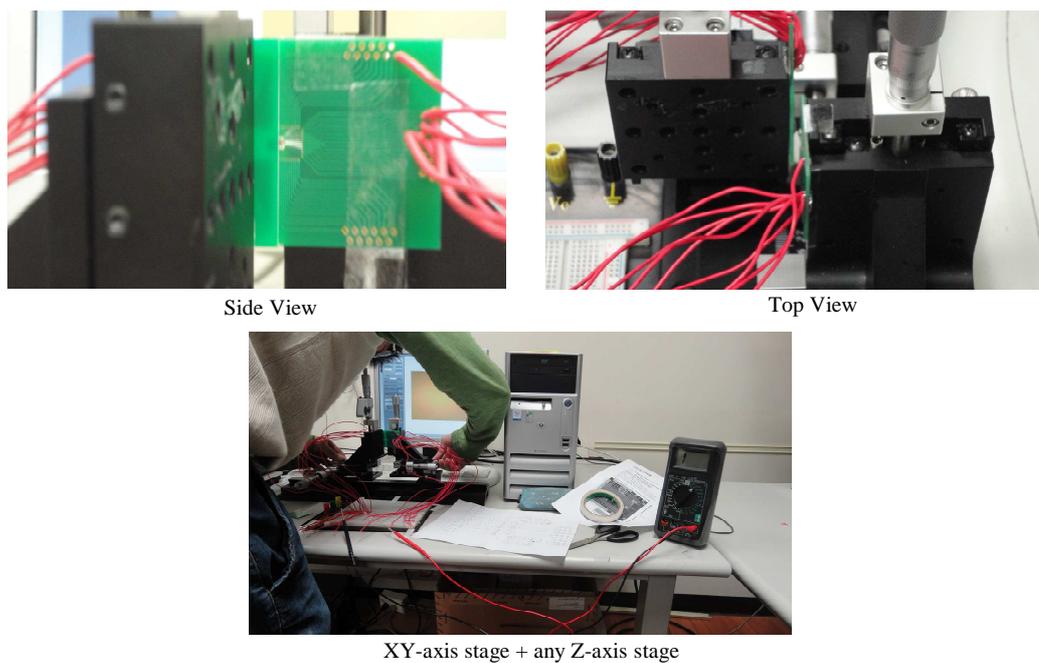


圖92. 使用共用傳導層傳送晶片間多重信號晶片堆疊示意圖

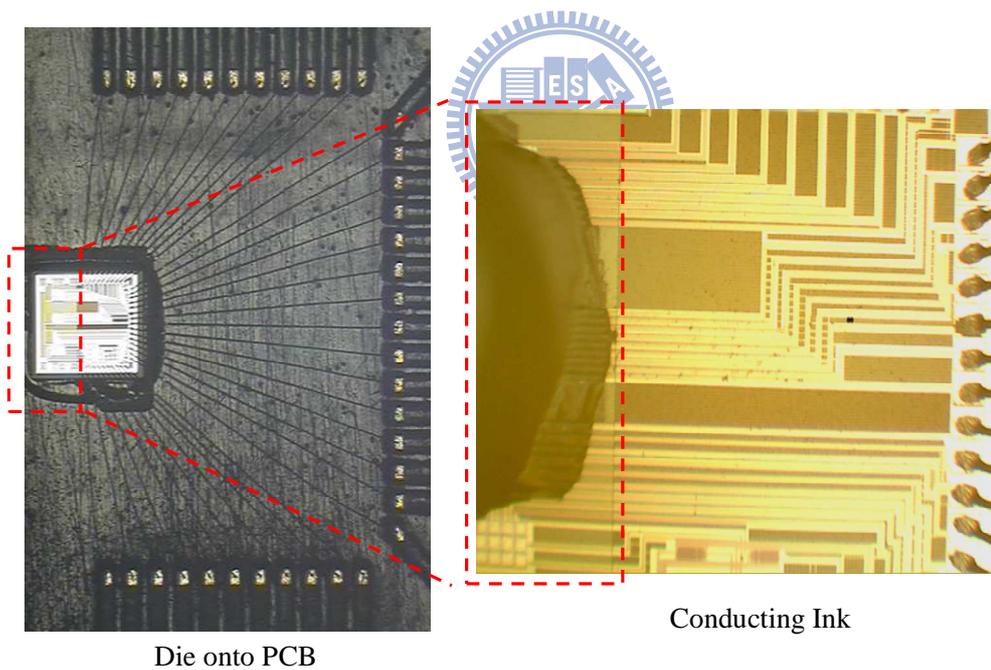


圖93. 使用共用傳導層傳送晶片間多重信號對準塗膠示意圖

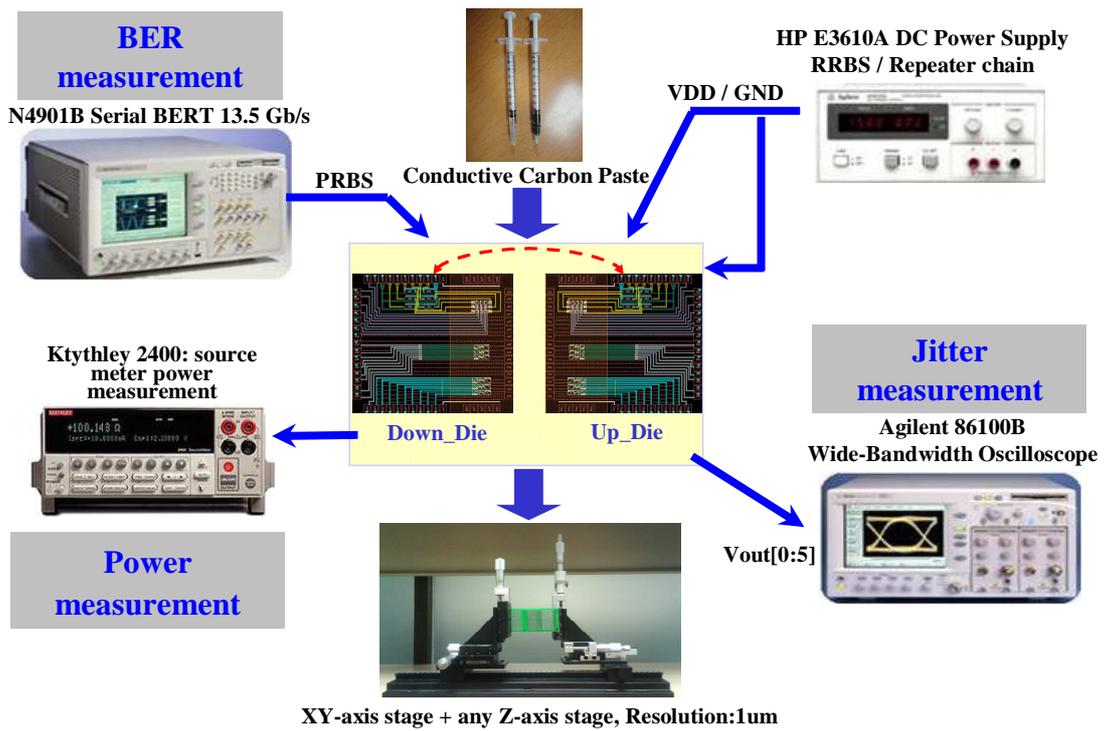


圖94. 量測機台與訊號量測方式



# 第六章

---

## 結論



### 6.1 結論

本論文提出一種應用於三維積體電路的高速傳輸連接。我們是使用共用傳導層傳送晶片間多重信號機制的方式去設計出最佳的通道模型。而使用導電性接著劑工法的好處在於裝著率提高、零件之熱應力，損壞減少、機種之切換性佳、成本降低、可依應用控制塗佈量、厚度。其此論文設計通訊距離為 2 微米。且加入十字標記的對準機制去改善三維裸晶堆疊時的對不準問題。功率效率方面可以達到 0.18pJ/bit，傳輸速率為 2Gbps 消耗功率為 0.36mW，我們整體架構是用 TSMC 0.18um 的製程去實現。

## 6.2 未來發展

使用共用傳導層傳送晶片間多重信號機制中，我們分析與驗證過共用傳導層的模型，目前三維積體電路的標準並未制定到電氣特性方面，而主流的矽穿孔(TSV)技術目前仍停留在高研發的成本中，此論文所提出的共用傳導層技術可以配合矽穿孔技術使用，尤其在需要高密度的 I/O 介面應用中，因此未來可以把共用傳導層傳送晶片間多重信號機制加入 EDA 軟體的設計平台中，加速三維積體電路的整合與應用。



## 參考文獻

- [1] Lee, H., et al., “Power Delivery Network Design for 3D SiP Integrated over Silicon Interposer Platform,” *Proc. Electronic Components and Technology Conference*, Reno, NV, pp. 1193–1198, May 2007.
- [2] G. Humpston. Flip chip solder bonding for microsystems. *IEE Colloquium on assembly and connections in microsystem*, 1997.
- [3] T. J. Gabara and W. C. Fischer, “Capacitive coupling and quantized feedback applied to conventional CMOS technology,” *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 419–427, March 1997.
- [4] H. Ishikuro and T. Kuroda, "Wireless proximity interfaces with a pulse-based inductive coupling technique," *IEEE Communications Magazine*, Vol.48, No. 10, pp.192-199, Oct. 2010.
- [5] Yi-Chang Lu, “3D technology based circuit and system design,” *Proceedings of International Conference on Communications, Circuits, and Systems*, pp. 1124-1128, July 2009.
- [6] R. Pendse et al., “Flip chip package-in-package (fcPiP): A new 3D packaging solution for mobile platforms,” *in Proc. 57th IEEE ECTC*, Reno, NV, pp. 1425–1430, May 2007.
- [7] K. Ishibashi, “PoP (package-on-package) stacked yield loss study,” *in Proc 57th IEEE ECTC*, Reno, NV, pp. 1403–1408, May 2007.
- [8] A. Rahman, J. Trezza, B. New, and S. Trimberger, “Die Stacking Technology for Terabit Chip-to-Chip Communications,” *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 587 – 590, September 2006.
- [9] J. Geissinger, F. Keller, S. Trevino, and T. Kamei, “Tape based CSP package supports fine pitch wirebonding,” *in Proc. 27th Annu. IEMTElectronics Manufacturing Technology Symp.*, pp.41 – 452, Jul. 17 – 18, 2002.
- [10] S.W. Yoon *et al*, “3D TSV processes and its assembly/packaging technology”, *3D System Integration. IEEE International Conference*, pp.1-5, 2009.
- [11] S. Savastiouk, “Through Silicon Vias (TSV): Physical Design and Reliability”, *Sematech 3D ICs Workshop*, San Diego, CA, Sept. 2008.
- [12] Igor Loi, Subhasish Mitra, Thomas H. Lee, Shinobu Fujita and Luca Benini, “A Low-Overhead Fault Tolerance Scheme for TSV-Based 3D Network on Chip Links,” *ICCAD*, 2008.
- [13] Khan N, Rao S, Lim S, et al, “Development of 3D silicon module with TSV for system in packaging” , *58<sup>th</sup> Electronic Components and Technology Conference*, Orlando, FL, pp.550-555, 2008.
- [14] Jang DM, Ryu C, Lee KY, et al, “Development and evaluation of 3D SiP with

- vertically interconnected through silicon vias (TSV)” , *57th Electronic Components and Technology Conference*, Orlando, FL, pp. 847-852, 2007.
- [15] W. Krenik, et al., “Cellular Handset Integration – SIP Versus SOC,” *IEEE JSSC*, 40(9), pages 1839-1846, 2005.
- [16] N. Mirua et al., “Cross Talk Countermeasures in Inductive Inter-chip Wireless Superconnect,” *Proc. IEEE Custom Integrated Circuits Conf. (CICC 04)*, IEEE Press, pp. 99-102, 2004.
- [17] J. Wilson, J. Xu, S. Mick, L. Luo, S. Bonafede, A. Huffman, R. LaBennett, and P. Franzon, “Fully integrated AC coupled interconnect using buried bumps,” in *IEEE, 14th EPEP*, Austin, TX, pp. 7–10, Oct. 2005.
- [18] D.Y. Chen, et. al “Enabling 3D-IC foundry technologies for 28 nm node and beyond: through-silicon-via integration with high throughput die-to-wafer stacking” *IEDM Tech. Dig.*, p. 353, 2009.
- [19] 3D IC & TSV Top 50 Profiles. Yole Developpement.
- [20] M. Yamaguchi. (2009) SETATECH Symposium Japan-3DI Session Introduction. SETATECH.
- [21] N. Miura, Y. Kohama, Y. Sugimori, H. Ishikuro, T. Sakurai, and T. Kuroda, “An 11Gb/s Inductive-Coupling Link with Burst Transmission,” *IEEE International Solid-State Circuits Conference (ISSCC08)*, Dig. Tech. Papers, pp.298-299, Feb. 2008.
- [22] N. Miura, H. Ishikuro, K. Niitsu, T. Sakurai, and T. Kuroda, “A 0.14pJ/b Inductive-Coupling Transceiver with Digitally-Controlled Precise Pulse Shaping,” *IEEE Journal of Solid-State Circuits (JSSC)*, Vol. 43, No.1, pp. 285-291, Jan. 2008.
- [23] K. Niitsu, Y. Sugimori, Y. Kohama, K. Osada, N. Irie, H. Ishikuro, and T. Kuroda, “Interference from Power/Signal Lines and to SRAM Circuits in 65nm CMOS Inductive-Coupling Link,” *IEEE Asian Solid-State Circuits Conference (A-SSCC'07)*, Dig. Tech. Papers, pp.131-134, Nov. 2007.
- [24] Y. Yoshida, N. Miura, and T. Kuroda, “A 2Gb/s Bi-Directional Inter-Chip Data Transceiver with Differential Inductors for High Density Inductive Channel Array,” *IEEE Asian Solid-State Circuits Conference (A-SSCC'07)*, Dig. Tech. Papers, pp.127-130, Nov. 2007.
- [25] N. Miura, K. Kasuga, M. Saito, and T. Kuroda, “An 8Tb/s 1pJ/b 0.8mm<sup>2</sup>/Tb/s QDR Inductive-Coupling Interface Between 65nm CMOS and 0.1um DRAM,” *IEEE International Solid-State Circuits Conference (ISSCC'10)*, Dig. Tech. Papers, pp.436-437, Feb. 2010.
- [26] T. Kuroda, "Inductively Coupled Through-Chip Interface," *IEEE International Solid-State Circuits Conference (ISSCC'10)*, Dig. Tech. Papers, Feb. 2010.

- [27] K. Kasuga, M. Saito, T. Takeya, N. Miura, H. Ishikuro and T. Kuroda, "A Wafer Test Method of Inductive-Coupling Link," *IEEE Asian solid state circuit conference (A-SSCC'09)*, pp. 301-304, Nov. 2009.
- [28] K. Takatsu, K. Niitsu, T. Shidei, N. Miura and T. Kuroda, "A 0.45V-to-2.7V Inductive-Coupling Level Shifter," *IEEE Asian solid state circuit conference (A-SSCC'10)*, pp. 205-208, Nov. 2010.
- [29] Y. Yuan, A. Radecki, N. Miura, I. Aikawa, Y. Take, H. Ishikuro, T. Kuroda, "Simultaneous 6Gb/s Data and 10mW Power Transmission using Nested Clover Coils for Non-Contact Memory Card, " *IEEE Symposium on VLSI Circuits* , Dig. Tech. Papers, pp. 199-200, Jun. 2010.
- [30] R.J. Drost, R.D. Hopkins, Ron Ho and I.E. Sutherland. "Proximity communication". In *IEEE J. Solid-State Circuits*, Volume 39, Issue 9, pp.1529-1535, September 2004.
- [31] T. Sze, M. Giere, B. Guenin, N. Nettleton, D. Popovic, J. Shi, S. Bezuk, R. Ho, R. Drost, and D. Douglas, "Proximity Communication Flip-Chip Package with Micron Chip-to-chip Alignment Tolerances", *2009 IEEE 59th Electronic Components and Technology Conference (ECTC 2009)*, San Diego CA, USA, 2009.
- [32] Bolger, J.C. Moraro, S. L., *Adhesives Age*, vol. 27, 17-20. (1984)
- [33] M. J. Yim, H. J. Kim and K.W.Paik, "Anisotropic Conductive Adhesives with Enhanced Thermal Conductivity for Flip Chip Applications", *J. of Elec. Materials*, Vol. 34, No.8, pp.1165~1171, 2005.
- [34] Noriyuki Miura, Daisuke Mizoguchi, Takayasu Sakurai, and Tadahiro Kuroda, "Analysis and design of inductive coupling and transceiver circuit for inductive inter-chip wireless superconnect," *IEEE Journal of Solid-State Circuits*, Vol. 40, Issue 4, pp. 829-837, April 2005.
- [35] N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi, T. Sakurai, and T. Kuroda, "A 1 Tb/s 3W Inductive-Coupling Transceiver for 3D-Stacked Inter-Chip Clock and Data Link," *IEEE Journal of Solid-State Circuits*, Vol.42, No.1, pp.111-122, Jan. 2007.
- [36] Qun Gu, Zhiwei Xu, Jenwei Ko, and Mau-Chung Frank Chang, "Two 10 Gb/s/pin low-power interconnect methods for 3D ICs," *2007 IEEE International Solid-State Circuits Conference*, pp.448- 449, February 2007.