

國立交通大學

電控工程研究所

碩士論文

應用於生醫訊號紀錄之低耗能連續近似式類比數位
轉換器設計

**Low Power Successive Approximation
Analog-to-Digital Converter for Biomedical Signal
Recording**

研究生：莊修銘

指導教授：蘇朝琴 教授

中華民國一百年七月

應用於生醫訊號紀錄之低耗能連續近似式類比數位
轉換器設計

Low Power Successive Approximation
Analog-to-Digital Converter for Biomedical Signal
Recording

研究生：莊修銘

Student : Siou-Ming Chuang

指導教授：蘇朝琴 教授

Advisor : Chau-Chin Su

國立交通大學

電控工程研究所



A Thesis

Submitted to Institute of Electrical Control Engineering
College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical Control Engineering

July 2011

Hsinchu, Taiwan, Republic of China

中華民國一百年七月

應用於生醫訊號紀錄之低耗能連續近似式類比數位 轉換器設計

研究生：莊修銘

指導教授：蘇朝琴 教授

國立交通大學電控工程研究所

摘 要

本論文提出一低功率消耗的連續近似式類比數位轉換器應用在生醫訊號測量。本論文中提出了一新的切換方式，能有效地降低連續近似式類比數位轉換器所需的切換能量。設計規格為 100KS/s、12 位元及 10KS/s、8 位元的類比數位轉換器。採用 UMC 90nm CMOS Logic & Mixed-Mode 1P9M Low K Process 的製程來實現。類比數位轉換器的模擬結果在 100KS/s、12 位元模式下訊號對雜訊諧波比為 69.7dB、有效位元為 11.28 位元，在 10KS/s、8 位元模式下訊號對雜訊諧波比為 48.4dB、有效位元為 7.75 位元。所消耗的功率分別為 5.42 μ W 與 3.12 μ W，晶片佈局面積為 1145 μ m \times 951 μ m。

關鍵字：連續近似式類比數位轉換器、生醫訊號量測系統

Low Power Successive Approximation Analog-to-Digital Converter for Biomedical Signal Recording

Student: Siou-Ming Chuang

Advisor: Chau-Chin Su

Institute of Electrical Control Engineering

National Chiao Tung University

Abstract

A low power Successive Approximation Analog-to-Digital Converter (SAR ADC) is presented. This thesis presents a new switching procedure which with low switching energy. The design is a 100KS/s、12 bit resolution and 10KS/s、8bit resolution analog-to-digital converter, using UMC 90nm CMOS Logic & Mixed-Mode 1P9M Low K Process. The simulation results show that the ADC, under 100KS/s and 12-bit mode, achieves an SNDR of 69.7dB, and the resultant ENOB is 11.28bits. Under 10KS/s and 8-bit mode, it achieves an SNDR of 48.4dB, and the resultant ENOB is 7.75 bits. The power consumption of the ADC converter in 12-bit and 8-bit mode is $5.42\mu\text{W}$ and $3.12\mu\text{W}$, respectively. Finally, the chip area is $1145\mu\text{m}\times 951\mu\text{m}$.

Keyword: Successive Approximation Analog-to-Digital Converter, Biomedical Signal Recording System

致謝

非常感謝我的指導教授 蘇朝琴老師辛勤的指導。無論是在學業或是待人處世方面都使我獲益良多。感謝無論老師再怎麼忙碌，一定會撥出時間來指導我們的研究進度以及給予作研究所需的態度以及方向。

感謝盈杰學長在這三年來，對我生活上的照顧，以及專業知識和球技上的教導。感謝仁乾學長願意花時間和我討論一些理論上的問題，每次的討論總是能讓我有些長進。感謝丸子學長與庭佑學長在忙碌之中仍用心的維護實驗室的工作站，讓大家能有良好的模擬環境。感謝煜輝學長在我沮喪的時候給予鼓勵。

感謝實驗室已畢業的學長于昇、洲銘、家齊對我的關照。以及實驗室的同窗同學哲瑋、弘瑋、鈞藝、群育及博祥，一起相互討論、砥礪、打球。雖然現在的學弟妹越來越不懂得尊重學長，但還是要感謝實驗室學弟妹們澤勝、順裕、昶志、璟依、弘宇、阿Mon、馬克、嘉哲、紅豆、可謙以及紅豆的愛犬 Bibi，感謝你們帶給實驗室歡笑，讓我的研究生生活多了許多樂趣。

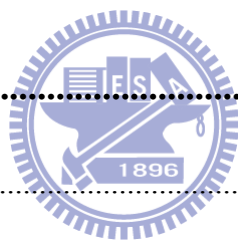
最後我要感謝我的父母，讓我在沒有後顧之憂的情況下，專心完成學業。

莊修銘

2011.7.26

目錄

摘 要	i
Abstract	ii
致謝	iii
目錄	iv
圖目錄	vi
表目錄	ix
第一章	1
緒論	1
1.1 研究動機	1
1.2 基本概念	2
1.3 論文架構	2
第二章	4
類位數位轉換器基本原理	4
2.1 簡介	4
2.2 類比數位轉換器特性參數	5
2.2.1 靜態參數	6
2.2.2 動態參數	10
第三章	13



低功率連續漸近式類比數位轉換器設計	13
3.1 簡介	13
3.2 現有低切換功率之連續漸近式類比數位轉換器架構	14
3.3 提出低切換功率之連續漸近式類比數位轉換器架構	20
3.4 切換能量分析	24
3.5 本章結論	28
第四章	29
應用於生醫訊號紀錄之低耗能連續近似式類比數位轉換器設計	29
4.1 簡介	29
4.2 取樣保持電路	31
4.3 數位類比轉換器 (DAC)	36
4.4 比較器	37
4.5 連續近似暫存器 (SAR) :	43
第五章	46
模擬結果	46
5.1 類比數位轉換器佈局圖 :	46
5.2 操作在 12 位元模式下之模擬結果	48
5.3 操作在 8 位元模式下之模擬結果	50
5.4 類比數位轉換器模擬結果與比較	52
5.5 量測考量	53
第六章	55
結論與未來展望	55

參考文獻.....58



圖目錄

圖 1-1 生醫訊號讀取系統示意圖.....	2
圖 2-1 類比數位轉換器方塊圖.....	5
圖 2-2 理想 3 位元類比數位轉換器輸出入轉換特性曲線圖	6
圖 2-3 實際 3 位元類比數位轉換器 DNL 示意圖	7
圖 2-4 實際 3 位元類比數位轉換器 INL 示意圖.....	7
圖 2-5 缺碼現象示意圖.....	8
圖 2-6 類比數位轉換器偏移誤差示意圖.....	9
圖 2-7 增益誤差示意圖.....	9
圖 2-8 量化誤差示意圖.....	10
圖 2-9 量化誤差機率分布.....	11
圖 2-10 資料轉換器頻域輸出結果示意圖.....	12
圖 3-1 傳統之連續近似式類比數位轉換器架構圖.....	14
圖 3-2 傳統電荷重新分布架構之電壓提升轉換.....	15
圖 3-3 傳統電荷重新分布架構之電壓下降轉換.....	15
圖 3-4 高效能電荷回收方法之電壓下降轉換.....	16
圖 3-5 單調式切換之切換流程圖.....	17

圖 3-6 單調式切換之切換波形示意圖.....	18
圖 3-7 單調式切換之 3 位元轉換實例.....	19
圖 3-8 提出之 3 位元連續漸近式類比數位轉換器架構圖.....	21
圖 3-9 提出之連續漸近式類比數位轉換器時序圖.....	21
圖 3-10 提出之連續漸近式類比數位轉換器 3 位元轉換實例.....	23
圖 3-11 提出之連續漸近式類比數位轉換器切換波形示意圖.....	24
圖 3-12 3 位元單調式切換之切換能量分析.....	25
圖 3-13 本論文所提出架構之 3 位元切換實例之切換能量分析.....	26
圖 3-14 切換能量對輸入數位碼之曲線比較圖.....	27
圖 4-1 提出之具兩切換模式之連續漸近式類比數位轉換器.....	30
圖 4-2 拔靴式電路圖.....	32
圖 4-3 拔靴式電路操作原理(輸入由 VDD 變 0).....	33
圖 4-4 拔靴式電路操作原理(輸入由 0 變 VDD).....	33
圖 4-5 取樣保持電路之輸出頻譜結果圖.....	34
圖 4-6 Nyquist Rate 下取樣保持電路之輸出頻譜結果圖.....	34
圖 4-7 操作電壓為 0.45V 下取樣保持電路之輸出頻譜結果圖.....	35
圖 4-8 工作電壓為 0.55V 下取樣保持電路之輸出頻譜結果圖.....	35

圖 4-9 拴鎖電路圖	38
圖 4-10 在不同製程條件下之拴鎖磁滯模擬圖	39
圖 4-11 前置放大器電路圖	40
圖 4-12 前置放大器頻率響應圖	41
圖 4-13 比較器架構圖	41
圖 4-14 比較器 Over-drive Recovery 模擬圖	43
圖 4-15 連續近似暫存器架構圖	45
圖 5-1 連續漸近式類比數位轉換器佈局圖	47
圖 5-2 連續漸近式類比數位轉換器各元件擺置圖	47
圖 5-3 12 位元模式下 100KS/s 取樣頻率之頻譜結果圖	48
圖 5-4 12 位元模式下不同輸入頻率與 SNDR 之關係	49
圖 5-5 8 位元模式下 10KS/s 取樣頻率之頻譜結果圖	51
圖 5-6 8 位元模式下不同輸入頻率與 SNDR 之關係	52
圖 5-7 量測環境設定	54
圖 6-1 晶片佈局圖	56
圖 6-2 晶片圖	57
圖 6-3 前置放大器電路圖	57

表目錄

表 1-1 生醫訊號.....	2
表 3-1 各切換模式特性比較表.....	28
表 4-1 取樣保持電路在不同 Corner 頻譜分析結果.....	36
表 4-2 前置放大器在不同 Corner 下頻率響應特性.....	41
表 4-3 連續近似暫存器操作.....	44
表 5-1 類比數位轉換器各部份之佈局面積.....	46
表 5-2 12 位元模式下 100KS/s 取樣頻率 Corner 頻率響應特性.....	48
表 5-3 12 位元模式下不同輸入頻率之 SNDR.....	49
表 5-4 各單元之消耗功率列表.....	50
表 5-5 8 位元模式下 10KS/s 取樣頻率 Corner 頻率響應特性.....	50
表 5-6 8 位元模式下不同輸入頻率之 SNDR.....	51
表 5-7 類比數位轉換器模擬結果.....	52
表 5-8 類比數位轉換器比較表.....	53

第一章

緒論



1.1 研究動機

人們在現今的生活忙碌，壓力也因此隨之增加。在長期缺乏運動的情況下，許多的病症也隨之產生。所以日常生活中對自我身體機能做檢測顯得極為重要，故須將許多醫療檢測儀器大眾化，並設計成能簡易地由電池提供電源且低面積、低功率消耗的電子產品。例如：生醫訊號監控系統、電子聽診器等，讓使用者可以初步地在自家檢查身體上的一些生理訊號。這類的產品通常都需要一個類比數位轉換器 (ADC) 來將類比訊號轉換為數位訊號並將這些數位訊號交由數位訊號處理器 (DSP) 進行分析處理。而為了使這些產品能被長時間使用，所以必須被設計成低功率消耗。

一般應用在生醫系統的類比數位轉換器，其功率消耗大多控制在數百微瓦以下。且如果監控的訊號為心電圖以及腦波圖的話，通常需要 10 位元以上的準確度。所以本論文希望設計出一個具有 8 位元及 12 位元兩種模式的低耗能類比數位轉換器。

1.2 基本概念

本論文設計一應用在監測心電圖 (Electrocardiogram, ECG)、電子腦波圖 (Electroencephalography, EEG)、肌電訊號 (Electromyogram, EMG) 等生醫訊號的類比數位轉換器。表 1-1 為各生醫訊號的特性列表。

表 1-1 生醫訊號

生醫訊號	訊號頻寬	電壓振幅
心電圖 (ECG)	0.5-100Hz	5mV
電子腦波圖 (EEG)	0.5-100Hz	100 μ V
肌電訊號 (EMG)	10-1KHz	2mV

圖 1-1 生醫訊號讀取系統示意圖。本論文所製作的部份為數位類比轉換器的部份，經由上述的介紹可以發現我們所要監測的生醫訊號頻率都相當地低。為了能達到低功率、低電壓、低速、中高解析度的特性，所以本論文選擇使用連續漸近式類比數位轉換器來實現類比數位轉換器的部份。

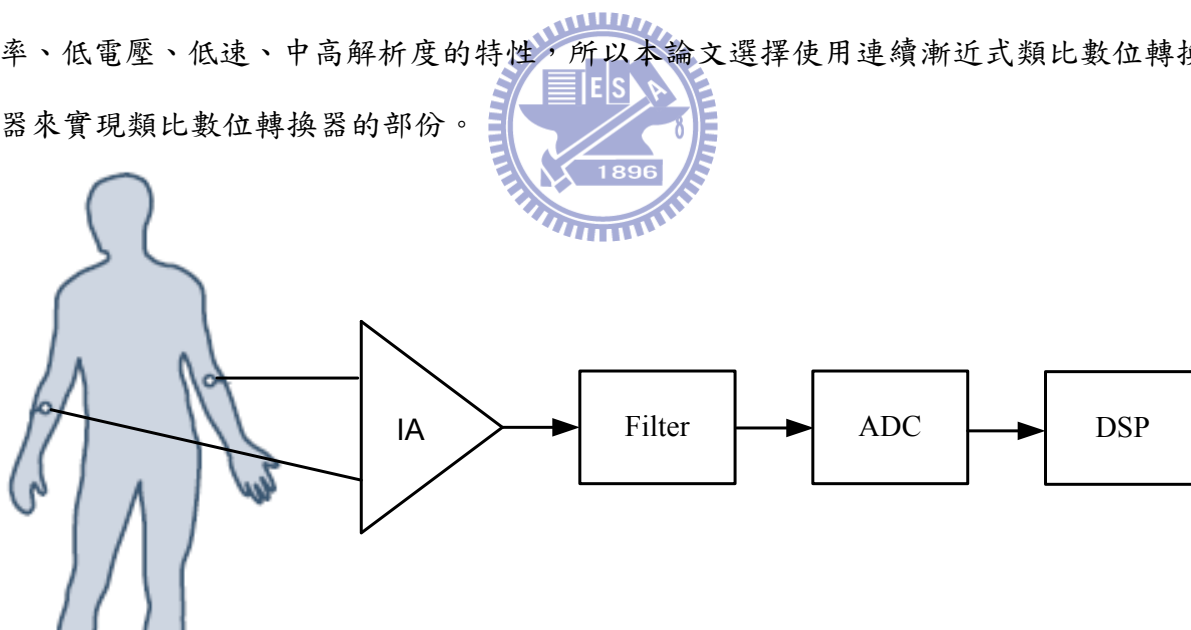


圖 1-1 生醫訊號讀取系統示意圖

1.3 論文架構

本論文主要分為六個章節，第一章介紹研究動機以及論文結構。第二章為簡介類比數位轉換器的基本原理，說明類比數位轉換器的用途以及效能指標。第三章介紹現有的低功率連續漸近式類比數位轉換器的技術以及本論文所提出之低功率連續漸近式類比

數位轉換器架構。第四章則是介紹類比數位轉換器的設計考量以及電路架構。第五章為類比數位轉換器的模擬結果以及晶片佈局，其中亦包含規格表、比較表、以及量測考量。第六章為結論與未來展望。



第二章

類位數位轉換器基本原理



2.1 簡介

類比數位轉換器(Analog-to-Digital Converter ,ADC or A/D converter)方塊圖如圖 2-1 所示。用於將外界的類比訊號轉換為數位訊號進而提供給數位訊號處理系統(Digital Signal Processor , DSP) 做處理。

然而在轉換的過程中常會受到電路本身不匹配、失真或是雜訊干擾而產生許多非理想的效應，進而影響到轉換器的效能。在轉換器的效能參數主要可以分為兩大類：靜態參數 (Static Parameter) 以及動態參數 (Dynamic Parameter)。靜態參數是將轉換器理想的輸入-輸出轉換曲線和實際的轉換曲線作比較且量化而得之，可用於觀察轉換器是否

正常工作。動態參數是由改變輸入訊號的頻率，觀察輸出的頻率響應結果而得之，可用於觀察出失真以及雜訊對轉換器的影響。

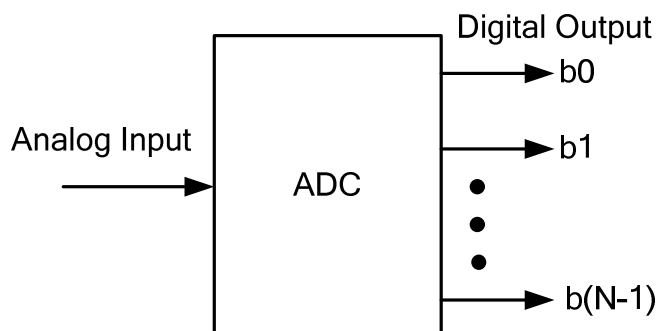


圖 2-1 類比數位轉換器方塊圖

2.2 類比數位轉換器特性參數

一個 N-bit 解析度(Resolution)類比數位轉換器表示將參考電壓分成 2^N 個電壓準位，而相鄰電壓準位差稱為最低有效位元 (Least Significant Bit, LSB)。LSB 代表可以使得的輸出訊號改變的最小輸入變化量。亦即由任一電壓準位為中心，其輸入訊號變化量小於一個 LSB，則輸出是不會有所變化，由此可得知 LSB 的定義為：

$$1 \text{ LSB} = 1\Delta = \frac{V_{in,max}}{2^N} \quad (2-1)$$

其中 $V_{in,max}$ 為輸入最大擺幅。

以一個 3-bit 的類比數位轉換器為例。將輸入訊號分為 8 段，而每段的輸入訊號會相對應的特定的數位碼輸出。圖 2-2 為一理想 3 位元類比數位轉換器輸出入轉換特性曲線。由圖 2-2 得知，而每段的寬度就是 LSB；當在相同的輸入最大擺幅條件下，當解析度越高時，其 LSB 也就越小。而在實際情況下會因為電路本身許多非理想效應而很難保證每個步階寬度都為一個 LSB，所以會有產生差分非線性誤差 (Differential Nonlinearity, DNL)、積分非線性誤差 (Integral Nonlinearity, INL) ... 等靜態參數來表示每段寬度和其理想值(LSB)的差距。以下將介紹類比數位轉換器的靜態參數：

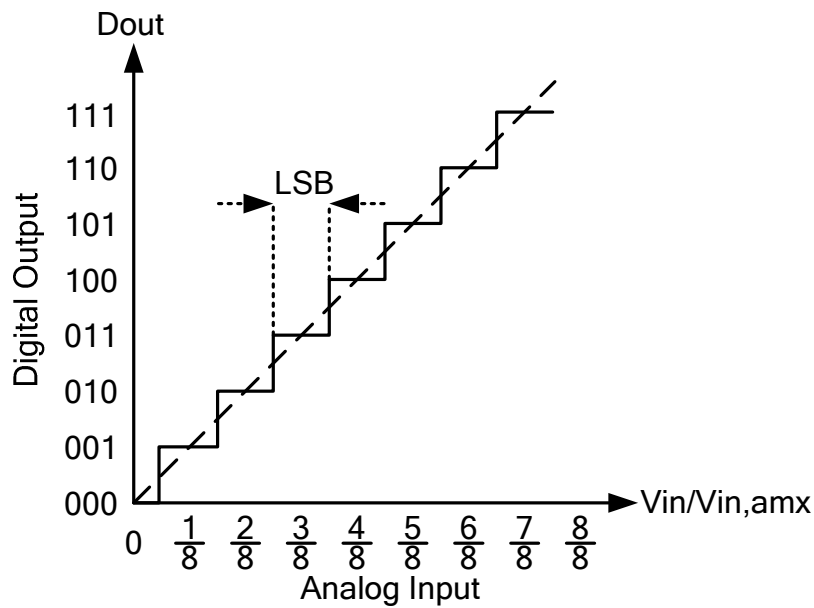


圖 2-2 理想 3 位元類比數位轉換器輸出轉換特性曲線圖

2.2.1 靜態參數

1. 差分非線性誤差 (Differential Nonlinearity, DNL)：對類比數位轉換器，差分非線性誤差其定義為判斷實際輸出曲線的每一個步階寬度是否為一個 LSB。圖 2-3 為一實際 3 位元類比數位轉換器 DNL 示意圖。由圖 2-3 得知，將相鄰兩個步階轉換的輸入值相減得到輸入變化量，再將此變化量與 LSB 相減則可得知輸入變化量和 LSB 之差距大小，最後再除以 LSB 可得到正規化後的 DNL 大小。如式 2-2 所示：

$$\text{DNL}[k] = \frac{V_A[k+1] - V_A[k] - \text{LSB}}{\text{LSB}} \quad (2-2)$$

其中 V_A 為實際上步階轉換的輸入電壓值、 K 代表第幾次的步階轉換。

2. 積分非線性誤差 (Integral Nonlinearity, INL)：積分非線性誤差的定義為實際轉換去現與理想轉換曲線的差別，其可藉此判斷轉換的特性與理想的差別以及其線性度。圖 2-4 為一實際 3 位元類比數位轉換器 INL 示意圖。由圖 2-4 得知，將產生輸出步階轉換的輸入變化值與理想的曲線步階轉換的輸入變化量相減，可得實際輸出和理想結果兩者之差距大小，最後再除以 LSB 可得到正規化後的 INL 大小。如式 2-3：

$$\text{INL}[k] = \frac{V_A[k] - V_{\text{Ideal}}[k]}{\text{LSB}} \quad (2-3)$$

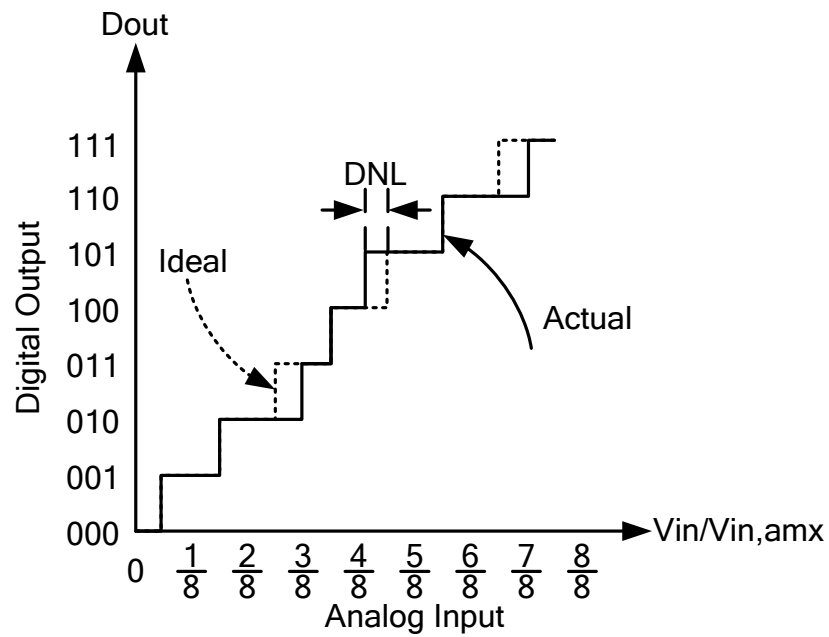


圖 2-3 實際 3 位元類比數位轉換器 DNL 示意圖

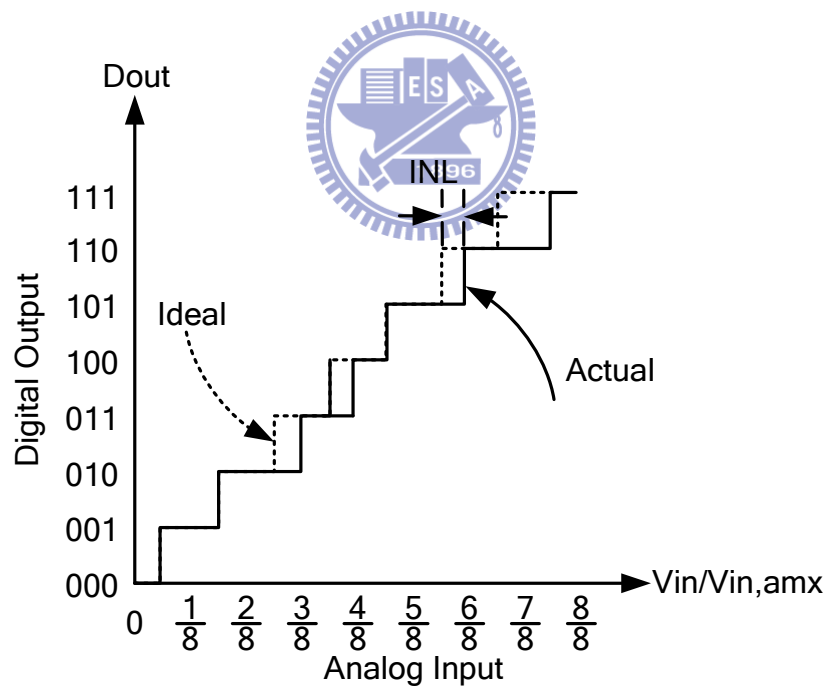


圖 2-4 實際 3 位元類比數位轉換器 INL 示意圖

3. 缺碼現象 (Missing Code): 當類比數位轉換器的輸入訊號由最小值改變到最大值時，類比數位轉換器有一個或是數個的相對應輸出並沒有出現，則此現象被稱為缺碼。

圖 2-5 為一實際 3 位元類比數位轉換器之缺碼現象示意圖。由圖 2-5 得知，DNL 可

以超過+1 但不可低於-1，否則會有產生缺碼現象。但如果 DNL 大於+1 時，雖然不會產生缺碼現象，但會壓縮到其他數位碼的空間，間接使出現缺碼現象的機率增加。所以盡量讓 DNL 介於在+1 和-1 之間。

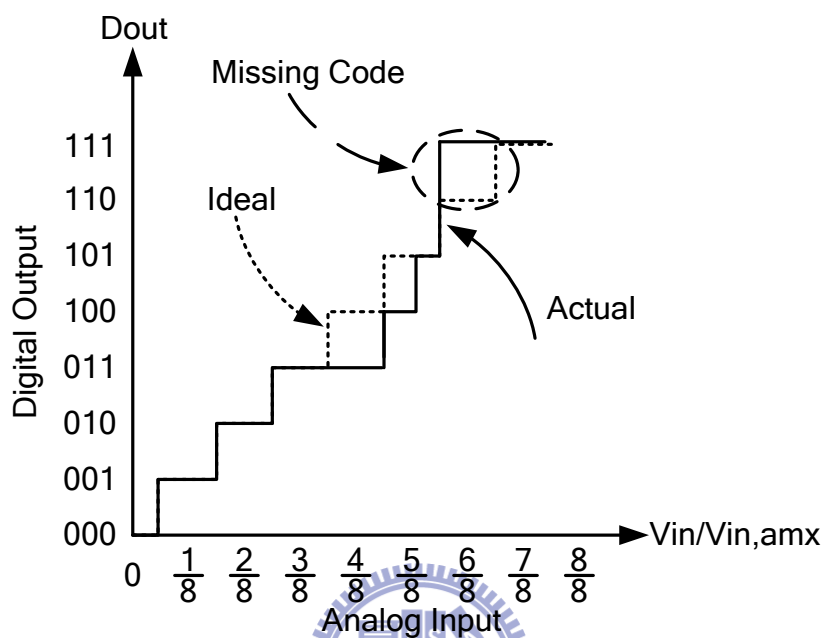


圖 2-5 缺碼現象示意圖

4. 偏移誤差 (Offset Error)：偏移誤差的定義為實際輸出曲線與理想輸出曲線始終有一個定量的差距，此定量差距稱為偏移誤差量 (Offset)。當類比數位轉換器有偏移誤差發生時，則 INL 的結果可能會完全為正值或是負值。圖 2-6 為類比數位轉換器偏移誤差示意圖，其偏移誤差量為正值，因此，其 INL 結果全部都大於 0，反之則小於 0，故可得知，經由 INL 的結果可以判斷出類比數位轉換器是否有存在著偏移誤差。

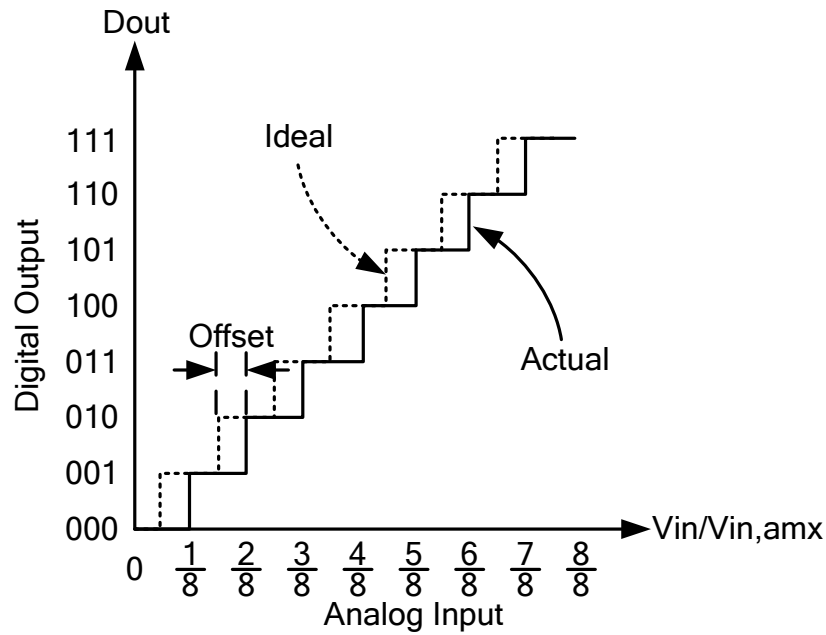


圖 2-6 類比數位轉換器偏移誤差示意圖

5. 增益誤差 (Gain Error): 執行量化轉換時, 除了需要考量輸出的線性度以外, 轉換特性曲線之增益也必須被考量。理論上轉換增益必須為 1 倍, 但實際上並非如此。實際上轉換增益可能呈現線性或是非線性的特性。圖 2-7 為類比數位轉換器增益誤差示意圖。當類比數位轉換器有增益誤差產生時, 則 INL 的結果會逐漸地往一固定趨勢變化, 故 INL 的結果不會收斂, 會完全偏向一邊。

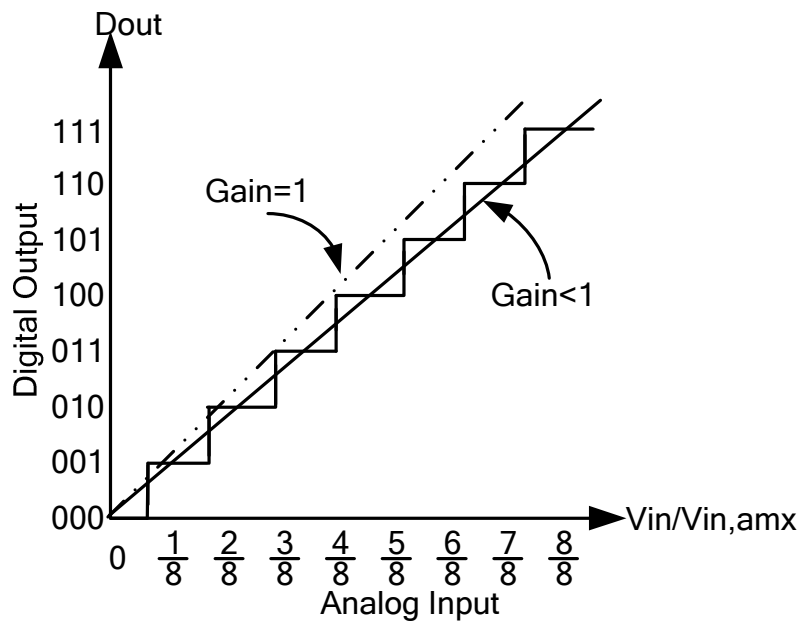


圖 2-7 增益誤差示意圖

2.2.2 動態參數

1. 量化誤差 (Quantization Error)：由於類比數位轉換器的輸出為離散的類比訊號，不同於原先的輸入訊號為連續的類比訊號。所以輸入和輸出之間必定有誤差存在，此誤差量稱之為量化誤差。且由於其表現像是雜訊，所以又稱作量化雜訊(Quantization noise)。圖 2-8 為類比數位轉換器量化誤差示意圖。由圖 2-8 得知，將輸入訊號減掉輸出訊號後得到的值就為量化誤差，如式 2-4：

$$V_Q = V_{in} - V_A[k] \quad (2-4)$$

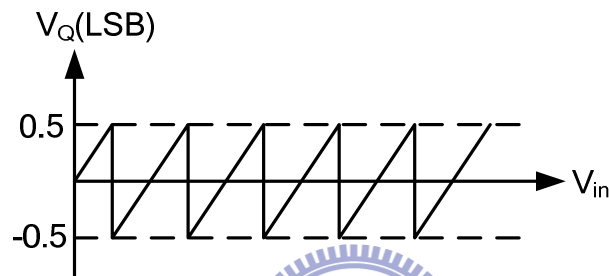


圖 2-8 量化誤差示意圖

假設量化誤差具有熱雜訊 (White noise) 一般的特性，在 $\pm\Delta/2$ 內出現的機率都相等，則由式 2-5 可得到量化誤差的功率大小：

$$P_n(t) = x_{rms}^2(t) = \int_{-\infty}^{\infty} e^2 \cdot p(e,t) de \quad (2-5)$$

式 2-5 中 $x(t)$ 代表雜訊， $p(e,t)$ 是量化誤差的機率密度函數 (Probability density function)，而 e 是積分變數。在此假設量化誤差為均勻機率密度函數 (Uniform probability density function)，其機率分布如圖 2-9 所示，則可以得到機率函數式如式 2-6 所示：

$$p(e,t) = \begin{cases} \frac{1}{\text{LSB}} & , -\frac{\text{LSB}}{2} < e < \frac{\text{LSB}}{2} \\ 0 & , \text{all other } e \end{cases} \quad (2-6)$$

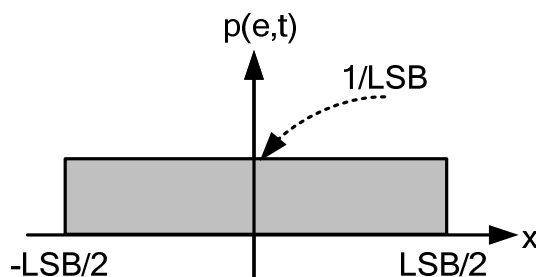


圖 2-9 量化誤差機率分布

故將式 2-6 中 $p(e,t)$ 函數帶入式 2-5 可以得到雜訊的功率大小為：

$$P_n(t) = \int_{-LSB/2}^{LSB/2} e^2 \cdot \frac{1}{LSB} de = \frac{LSB^2}{12} \quad (2-7)$$

且已知正弦波的功率為：

$$P_s = \frac{(LSB \cdot 2^{N-1})^2}{2} \quad (2-8)$$

將輸入之正弦波的功率大小與量化誤差的功率相除，則可得到理想的類比數位轉換器之訊號對雜訊比例，如式 2-9 所示：

$$SNR = 10 \cdot \log \frac{\text{Signal Power}}{\text{Noise floor Power}} \quad (2-9)$$

- 訊號雜訊比 (Signal-to-Noise Ratio, SNR)：訊號雜訊比的定義為量化結果與雜訊之比例。用於觀察在量化過程中受到雜訊影響量為多少，但不包括失真度的影響量。圖 2-10 為資料轉換器頻域輸出結果示意圖。通常會使用正弦波作為輸入信號來取得資料轉換器的頻域輸出結果圖，用以檢測出資料轉換器的效能。訊號雜訊比定義為：

$$SNR = 10 \cdot \log \frac{\text{Signal Power}}{\text{Noise floor Power}} = 6.02 \cdot N + 1.76 \text{ dB} \quad (2-10)$$

- 訊號對雜訊與失真比例 (Signal-to-Noise and Distortion Ratio, SNDR)：訊號對雜訊與失真比例為考量類比數位轉換器受到雜訊影響以及轉換時所產生的失真量，最後取得輸出信號的大小相對於此二者的比例，即是訊號對雜訊與失真比例。其定義如式 2-11 所示：

$$SNDR = 10 \cdot \log \frac{\text{Signal Power}}{\text{Noise and Distortion Power}} \quad (2-11)$$

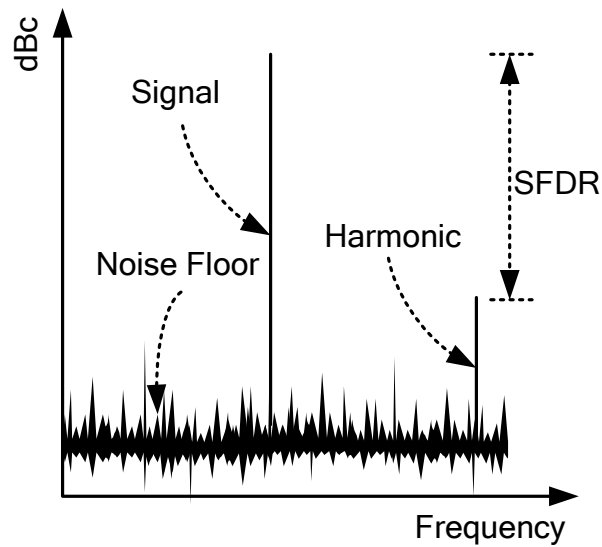


圖 2-10 資料轉換器頻域輸出結果示意圖

4. 有效位元數 (Effective Number of Bit, ENOB)：有效位元數用於判別輸入信號被量化後之結果的一種效能指標。實際上對於一個 N 位元的類比數位轉換器而言，當受到雜訊或是失真的影響之後，實際解析度不會等於 N。因此，可使用式 2-12 來計算類比數位轉換器在實際運作時，真正有效的解析度為何。

$$\text{ENOB} = \frac{\text{SNDR} - 1.76}{6.02} \quad (2-12)$$

5. 有效解析度頻寬 (Effective Resolution Bandwidth, ERBW)：有效解析頻寬為改變類比數位轉換器的輸入信號頻率，觀察其輸出結果的 ENOB，檢查在奈奎士頻率 (Nyquist Frequency) 內其有效位元數是否仍然足夠。

第三章

低功率連續漸近式類比數位轉換器設計



3.1 簡介

連續漸近式類比數位轉換器 (SAR ADC) 主要組成元件有取樣保持電路 (Sample-and-Hold)、N 位元解析度的數位類比轉換器 (Digital-to-Analog Converter, DAC or D/A converter)、比較器 (Comparator) 以及連續漸近暫存器 (Successive Approximation Register, SAR)。其中 N 為類比數位轉換器的解析度。圖 3-1 為傳統連續漸近式類比數位轉換器架構圖，主要的轉換原理主要是使用二進位搜尋演算法 (Binary search algorithm) 的觀念。其操作原理主要分為：取樣模式、保持模式以及電荷重新分布 (Charge Redistribution) 模式，其中取樣和保持模式主要是要將輸入訊號儲經由取樣保持電路儲存在電容中，並由比較器去較數位類比轉換器的輸出 V_{da} 以及輸入訊號 V_i 間的大小，然後連續漸近暫存器根據比較器的輸出結果去產生控制訊號控制數位類比轉換器中的電容陣列以改變 V_{da} 的電壓。而 V_{da} 電壓每次的改變量為 $V_{ref}/2^N$ ，

其中 n 表示為第幾次的轉換。

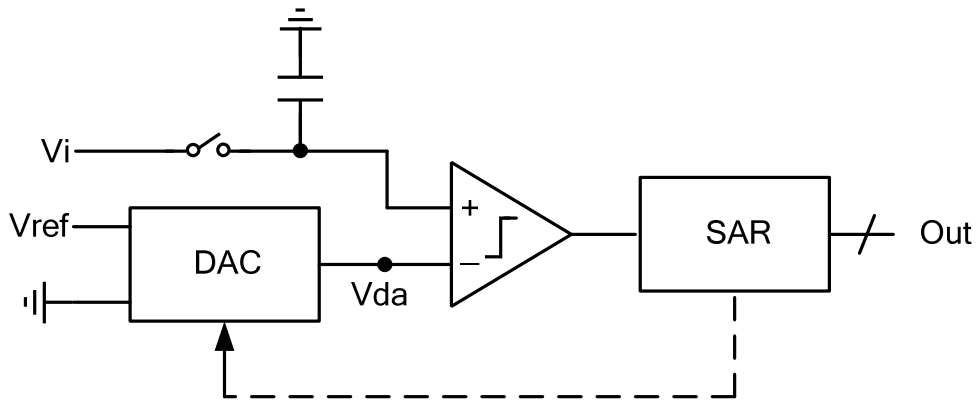


圖 3-1 傳統之連續漸近式類比數位轉換器架構圖

3.2 現有低切換功率之連續漸近式類比數位轉換器架構

3.2.1 高效能電荷回收方法 (Energy-Efficient Charge Recycling Approach) [7] :

高效能電荷回收方法[7]是提出一電荷重新分布方式來降低連續漸近式類比數位轉換器在轉換時參考電壓 (V_{ref}) 對數位類比轉換器中電容陣列充電所需要的電荷量，以達到降低連續漸近式類比數位轉換器運作時所需要的切換能量 (Switching energy)。其主要概念為避免去改變電容兩端電荷的極性以降低參考電壓對電容充電需提供之電荷。進而達到低切換能量的特性，以下將對做詳細之介紹：

圖 3-2 為傳統電荷重新分布架構電壓提升轉換 (Up transition) 的操作範例。首先將最大之電容接到 V_{ref} ，其餘電容接到 Gnd，如此一來可以得到 V_x 之電壓為 $1/2V_{ref}$ 。當下一步希望將 V_x 變為 $3/4V_{ref}$ 時，則將次大電容由原先接到 Gnd 改為接到 V_{ref} ，如此一來便可以得到 $V_x=3/4V_{ref}$ 。其中， C_f 為虛電容 (Dummy capacitor)， C_f 在傳統電荷重新分布架構中是不被切換的。其原因為切換 C_f 和切換最小電容是具有相同的權重，

則無法達到二進位搜尋演算法的切換特性。Cf 功能是用來讓數位類比轉換器中所有的電容量為 2 的幕次方來達到二進位搜尋演算法的切換特性。

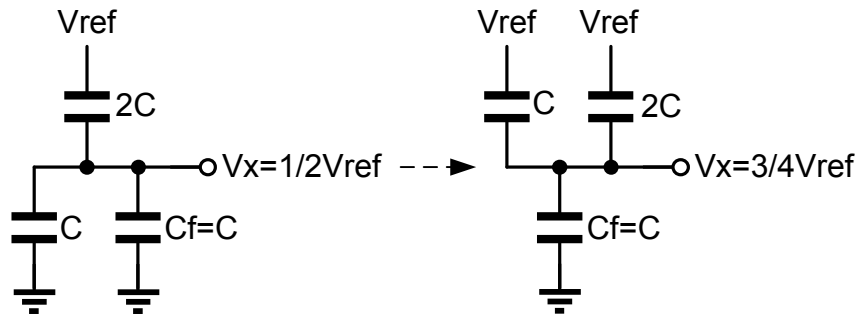


圖 3-2 傳統電荷重新分布架構之電壓提升轉換

圖 3-3 為傳統電荷重新分布架構電壓下降轉換的操作範例。希望將 V_x 電壓由原先的 $1/2V_{ref}$ 變為 $1/4V_{ref}$ 。其主要方法是將最大電容由原先接到 V_{ref} 變為接到 Gnd ，並將次大電容由原先接到 Gnd 變為接到 V_{ref} ，則可得到 V_x 為 $1/4V_{ref}$ 的電壓。值得注意的地方是，在轉換的過程中，次大電容上的電荷量由原先的 $1/2CV_{ref}$ 變為 $-3/4CV_{ref}$ 。則可以推得 V_{ref} 必須對最大電容提供 $5/4CV_{ref}$ 的電荷量才能使得的 V_x 由 $1/2V_{ref}$ 變為 $1/4V_{ref}$ 。

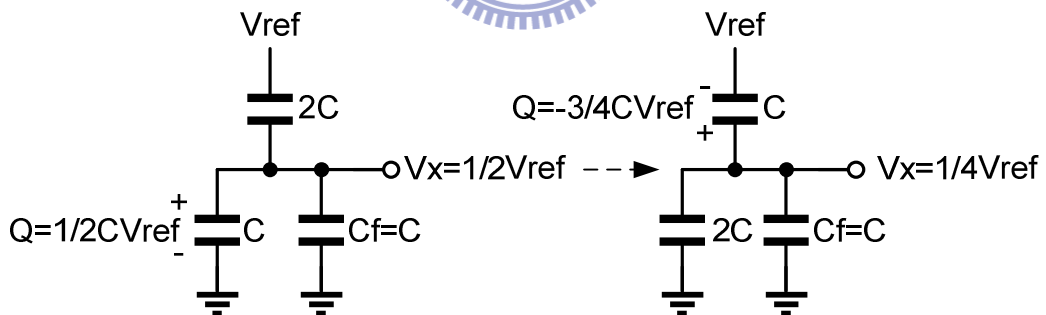


圖 3-3 傳統電荷重新分布架構之電壓下降轉換

傳統電荷重新分布架構在下降轉換時，需要改變電容兩端的極性才能的到所需求之電壓。所以會有較大的切換能量。而高效能電荷回收方法提出一新的電荷重新分布方式，能有效地降低連續漸近式類比數位轉換器運作之下降轉換時所需要的切換能量。其主要動作如圖 3-4 所示，高效能電荷回收方法主要概念是將最大的電容拆成兩個次大的電容並聯。和傳統不同的地方是下降轉換時，不是將最大電容接到 Gnd ，而是將被拆開的兩個次大電容中的其中一個由原先接到 V_{ref} 改為接到 Gnd ，另一個依舊維持接到

V_{ref} 。由圖 3-4 可以看出此轉換方式在執行下降轉換時只需將原先存在電容中的電荷放掉就可以得到所需之電壓，並不會改變電容兩端電荷的極性。不同於傳統電荷重新分布架構在執行下降轉換時 V_{ref} 必須提供更多的電荷來改變電容兩端電荷的極性。至於在提升轉換的部份，高效能電荷回收方法和傳統電荷重新分布架構具有相同的切換方式。式 3-1 是這兩種架構在兩位元切換條件下提升轉換時所需的切換能量。式 3-2 和式 3-3 分別為傳統架構和高效能電荷回收方法在兩位元切換條件下之下降轉換時所需要的切換能量。

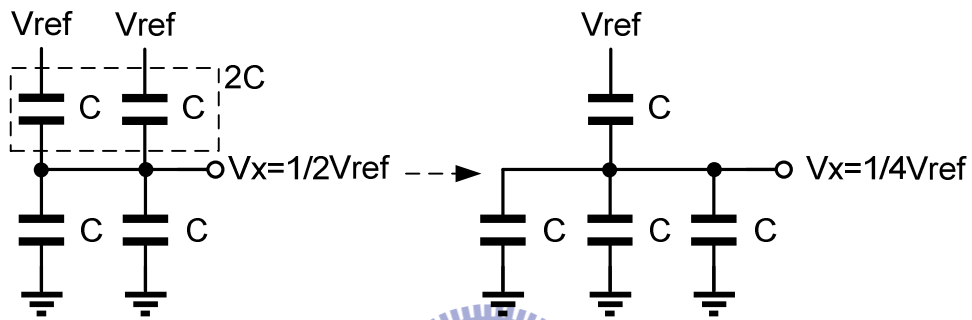


圖 3-4 高效能電荷回收方法之電壓下降轉換

$$E = V_{ref} \cdot 2C \cdot \left(\frac{1}{4} V_{ref} - \frac{2}{4} V_{ref} \right) + V_{ref} \cdot C \cdot \frac{3}{4} V_{ref} = \frac{1}{4} C V_{ref}^2 \quad (3-1)$$

$$E = V_{ref} \cdot C \cdot \left[\frac{3}{4} V_{ref} - \left(-\frac{2}{4} V_{ref} \right) \right] = \frac{5}{4} C V_{ref}^2 \quad (3-2)$$

$$E = V_{ref} \cdot C \cdot \left[\left(V_{ref} - \frac{1}{4} V_{ref} \right) - \left(V_{ref} - \frac{2}{4} V_{ref} \right) \right] = \frac{1}{4} C V_{ref}^2 \quad (3-3)$$

比較式 3-2 和式 3-3 可以得到高效能電荷回收方法所提出的切換方式能夠有效地減少在下降轉換時的所需的切換能量。但由於在提昇轉換所需之切換能量相同於傳統電荷重新分布架構，所以高效能電荷回收方法所提出的切換方式在輸入訊號接近參考電壓時，亦即輸出的數位碼接近 2^N 時，會因為大部分的切換方式都是執行提昇轉換，所以在類比數位轉換器的輸入訊號接近參考電壓時之能減少的切換能量有限。

2.2.2 單調式切換(Monotonic Switching Procedure) [8]：

單調式切換[8]是提出一切換方式，降低連續漸近式類比數位轉換器在運作時所需

要的切換能量。單調式切換所提出的切換技術之流程圖如圖 3-5 所示：

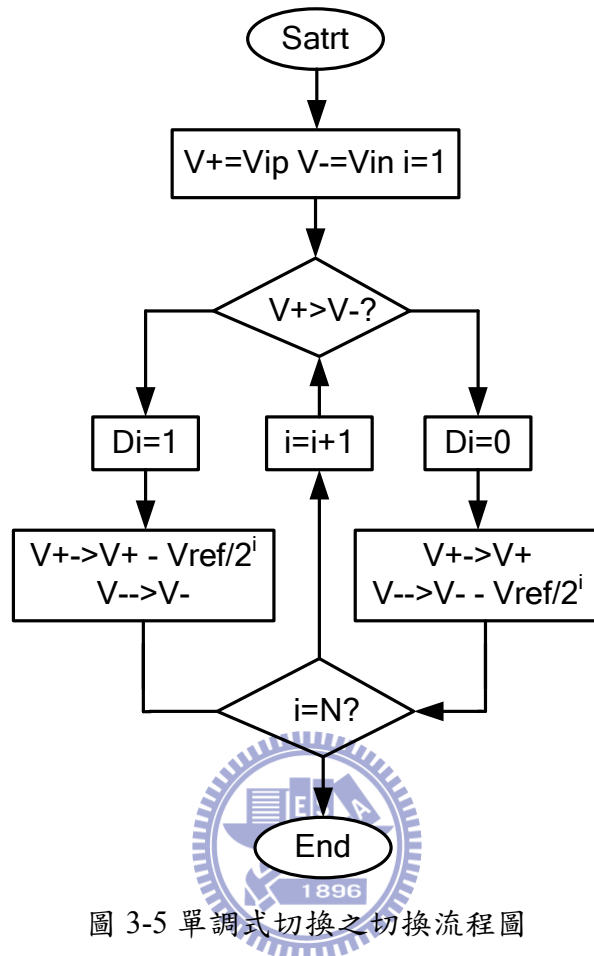


圖 3-5 單調式切換之切換流程圖

單調式切換之主要之工作原理為：當差模的輸入訊號被取樣保持電路儲存在數位類比轉換器的電容陣列後，經由比較器比較出數位類比轉換器的正端或是負端電壓較高時，就單獨只將電壓較高的那端的數位類比轉換器電壓往下切換，而另一端不切換以維持電壓不變，然後再經由比較器做比較得到下一個數位輸出以及控制訊號。

圖 3-6 為此架構的切換波形示意圖。由於此切換模式固定都是將數位類比轉換器中電壓較高的那端電壓降低，而不會出現將電壓變高的情形發生，故稱為單調切換 (Monotonic Switching)。然而由圖 3-6 也可以以明顯看出單調式切換並不會將比較器輸入兩端電壓逼近到 $1/2V_{ref}$ 。所以比較器的輸入共模範圍 (Input Common Mode Range, CMRR) 必須被設計在 0 到 $1/2V_{ref}$ ，會增加比較器設計的困難度。

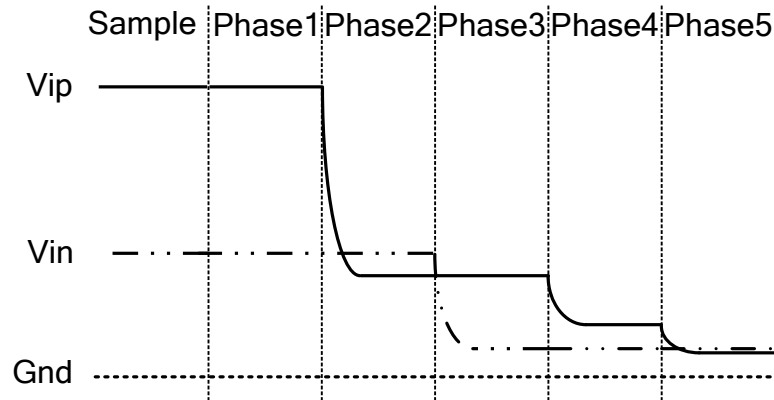


圖 3-6 單調式切換之切換波形示意圖

圖 3-7 為單調式切換之 3 位元轉換實例，由圖 3-7 可以看出輸入訊號被取樣保持電路取樣完後就直接經由比較器做比較得到最高的數位輸出位元 (MSB)，相較傳統架構中取樣保持電路取樣完後還必須將電容上的電壓位移到一共模準位，如此一來可以較傳統架構少一個轉換周期就可以得到所有的數位輸出。以一 3 位元的連續漸近式類比數位轉換器為例，傳統架構必須要 4 個轉換週期才能得到所有的數位輸出。而採用取樣後直接由比較器做比較的方式只需要 3 個週期就得到所有的數位輸出。

單調式切換所提出架構之所以能夠有效地降低轉換時所需要的切換能量。其主要原因是每次切換只切換一邊，所以每次被切換的電容量只有傳統架構的一半；此外由於傳統的切換模式必須在初始時接一半的電容量接到 V_{ref} 另一半的電容量接到地。如此才能執行提升轉換和下降轉換，故造成傳統架構相較單調式切換之架構在相同的解析度下必須多出 1 倍的電容量。所以理論上在相同的解析度情況下單調式切換所提出之架構在轉換時只需要傳統電荷重新分布架構的 25% 的切換能量。而根據[8]可以得知單調式切換所需要之切換能量為傳統架構的 19%。

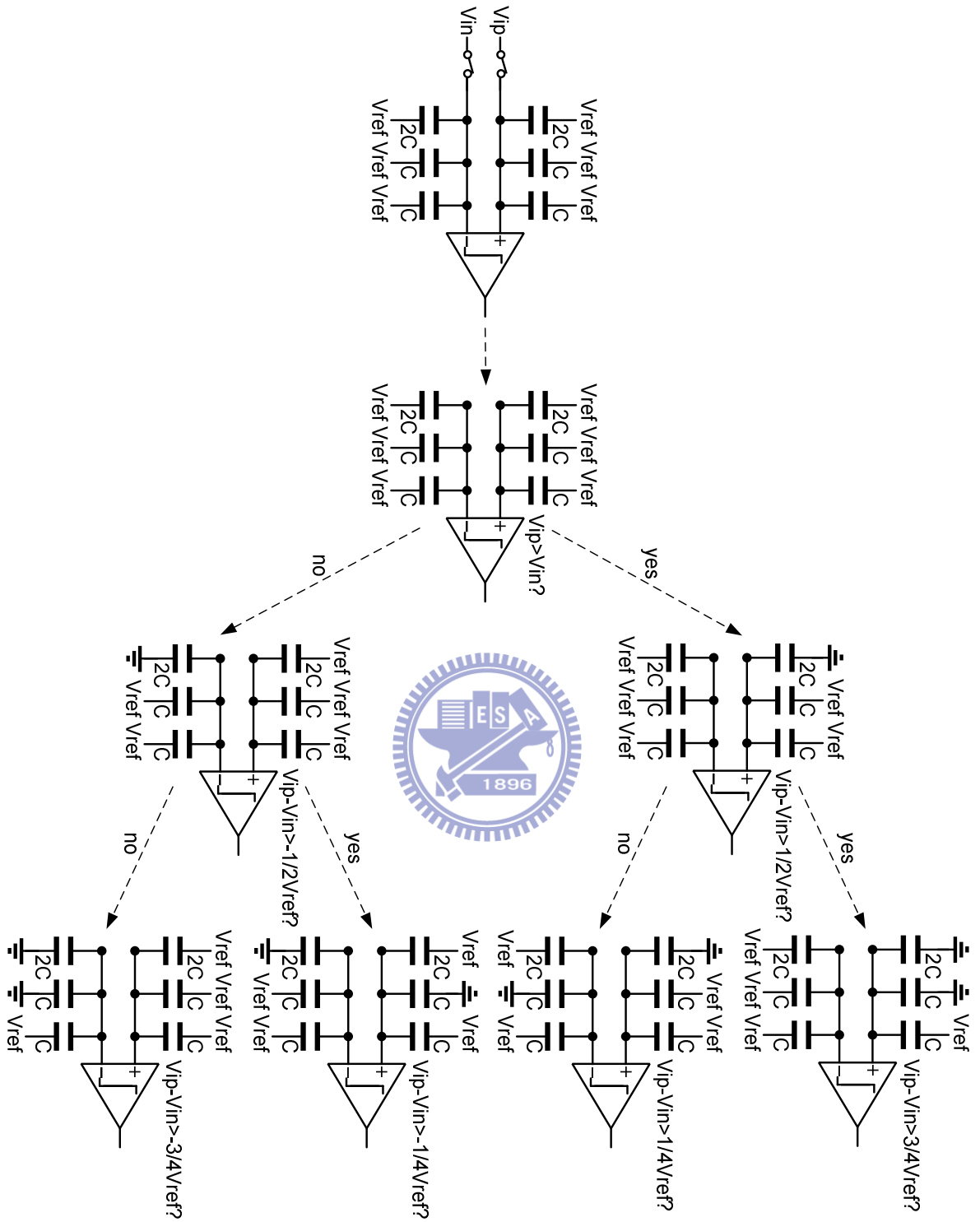


圖 3-7 單調式切換之 3 位元轉換實例

3.3 提出低切換功率之連續漸近式類比數位轉換器架構

本論文提出一新的切換方式可以不需要 C_f 就可以達到權重式的切換特性。且能有效降低在轉換時所需的切換能量。其主要的概念是添加一個電容 C_0 ，其電容值和最小電容一樣，如此一來就可以使的電容陣列的電容量為 2 的冪次方。而 C_0 和傳統電荷重新分布架構中的 C_f 不同之處為 C_0 在連續漸近式類比數位轉換器要轉換出最低位元 (LSB) 時是會被切換的，而 C_f 是不會被切換的。此外，由於 C_0 和最小電容的電容量是相同，故為了達到二進位搜尋演算法的切換特性，所以 C_0 的切換方式是採用只切換比較器正端或是負端的 C_0 ，另一端之 C_0 不被切換。故可以得到切換 C_0 時的電壓變化量為切換 C_1 時的一半，而不需要額外提供 $1/2V_{ref}$ 的電壓源。圖 3-8 為本論文所提出之一 3 位元之連續漸近式類比數位轉換器架構圖。本論文所提出之架構參考[7]中所提到的高效能電荷回收方法的想法，將最大電容拆成兩個次大的電容並聯，以達到在下降轉換時，不會改變電容兩端的極性，有效地降低下降轉換切換能量。且因為本論文所提出之架構所需要的電容量為傳統電荷重新分布架構的一半。由於切換能量為 αCV_{ref}^2 ，其中 α 為一常數，則降低一半的電容量理論上也可以降低一半的切換能量，故能有效地降低提升轉換時所需要的切換能量。

圖 3-9 為本論文所提出之 N 位元解析度連續漸近式類比數位轉換器之時序圖。其中 V_{sample} 訊號為 Low 時，表示此時連續漸近式類比數位轉換器中的取樣電路在執行取樣的動作，將輸入訊號儲存在數位類比轉換器中的電容陣列裡。當 V_{sample} 由 Low 變為 High 時，表示取樣保持電路開始進入到保持狀態。且因為本論文所提出之架構中數位類比轉換器的電容直接接到比較器的輸入端，所以在取樣保持電路一進入到保持狀態時就可以由比較器進行比較得到最高的數位輸出位元，然後連續近似暫存器根據最高的數位輸出位元的結果去產生控制訊號切換數位類比轉換器的電容陣列並得到下一個數位輸出，經過 N 個週期的轉換後可以得到 N 個數位輸出，並在下次 V_{sample} 訊號來

時同時並列輸出，且取樣保持電路會取樣下一次需要轉換的輸入訊號。

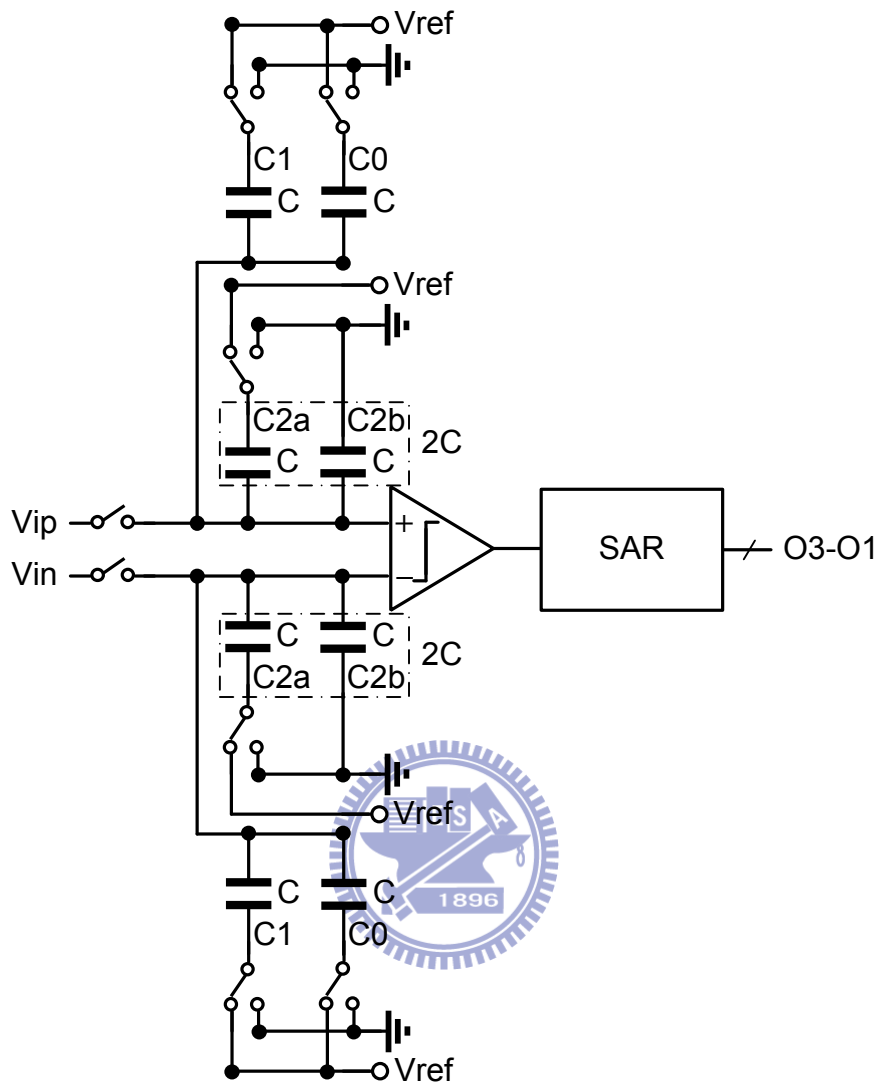


圖 3-8 提出之 3 位元連續漸近式類比數位轉換器架構圖

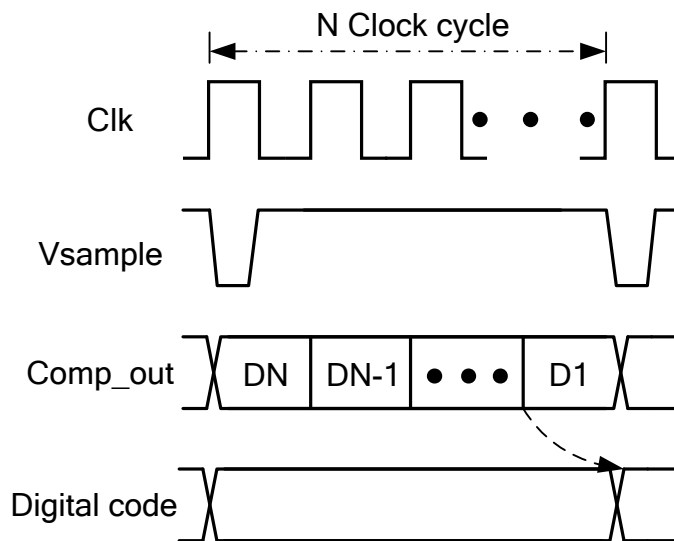


圖 3-9 提出之連續漸近式類比數位轉換器時序圖

根據上述的敘述，大致上可以將本論文所提出之連續漸近式類比數位轉換器架構分為兩種模式：訊號取樣模式以及轉換模式，圖 3-10 為一實際 3 位元的連續漸近式類比數位轉換器轉換範例，以下將對這兩種模式作詳細的敘述：

1. 訊號取樣模式：差模的輸入訊號經由取樣保持電路將輸入訊號儲存在電容陣列裡。為了減少寄生電容對整個連續漸近式類比數位轉換器效能的影響，所以將輸入訊號儲存在寄生電容較低的上極板 (Top plane)。為了使得連續漸近式類比數位轉換器在轉換時能執行提升轉換以及下降轉換而將數位類比轉換器逼近到 $1/2V_{ref}$ ，所以在取樣時電容陣列的下極板 (Bottom plane) 一半接到 V_{ref} 一半接到 Gnd 。值得一提的是，電容的下極板永遠只會被接到 V_{ref} 或是 Gnd 的技巧稱之為 Grounded-switches 的技巧，此技巧的好處是開關可以簡單地利用 NMOS 和 PMOS 來實現。
2. 轉換模式：取樣保持電路取樣完後就直接經由比較器比較可以得到最高數位輸出位元。連續近似暫存器根據最高數位輸出位元來產生控制訊號去控制數位類比轉換器。而控制方式為：當最高數位輸出位元為 High 時，表示比較器的正端電壓大於負端電壓，則控制訊號會控制接在比較器正端的數位類比轉換器電壓下降 $1/4V_{ref}$ ，且控制接在比較器負端的數位類比轉換器電壓上升 $1/4V_{ref}$ ，則可以得到比較器兩端電壓差為 $V_{ip}-V_{in}-1/2V_{ref}$ 。反之，則接在比較器正端的數位類比轉換器電壓上升 $1/4V_{ref}$ ，且接在比較器負端的數位類比轉換器電壓下降 $1/4V_{ref}$ ，則此時比較器可以進行比較而得到下一位元的數位輸出。在要比較最後一個數位輸出之前，數位類比轉換器的控制方式都是採用相同的模式，不同的是每次改變的電壓量為 $V_{ref}/2^{N+1}$ ， n 表示是第 n 次轉換。而要轉換最後一個數位輸出時則是採取不同的方式，主要原因是轉換最後一個數位輸出必須切換 C_0 電容，而 C_0 電容大小和 C_1 相同，如果採要先前的切換方式則產生在比較器兩端的電壓差變化量會和切換 C_1 時相同，則會無法達到二進位搜尋演算法的特性，所以在 C_0 的切換是使用單端的切換。亦即只切換正端或是負端的 C_0 。值得注意的是在 C_0 在取樣時是選擇接到 V_{ref} ，此設計原則是因為在最後切換 C_0 時，之所以會這樣選擇是因為由 V_{ref} 變為接到 Gnd 的切換

方式， V_{ref} 並不需要額外提供能量來對電容充電。

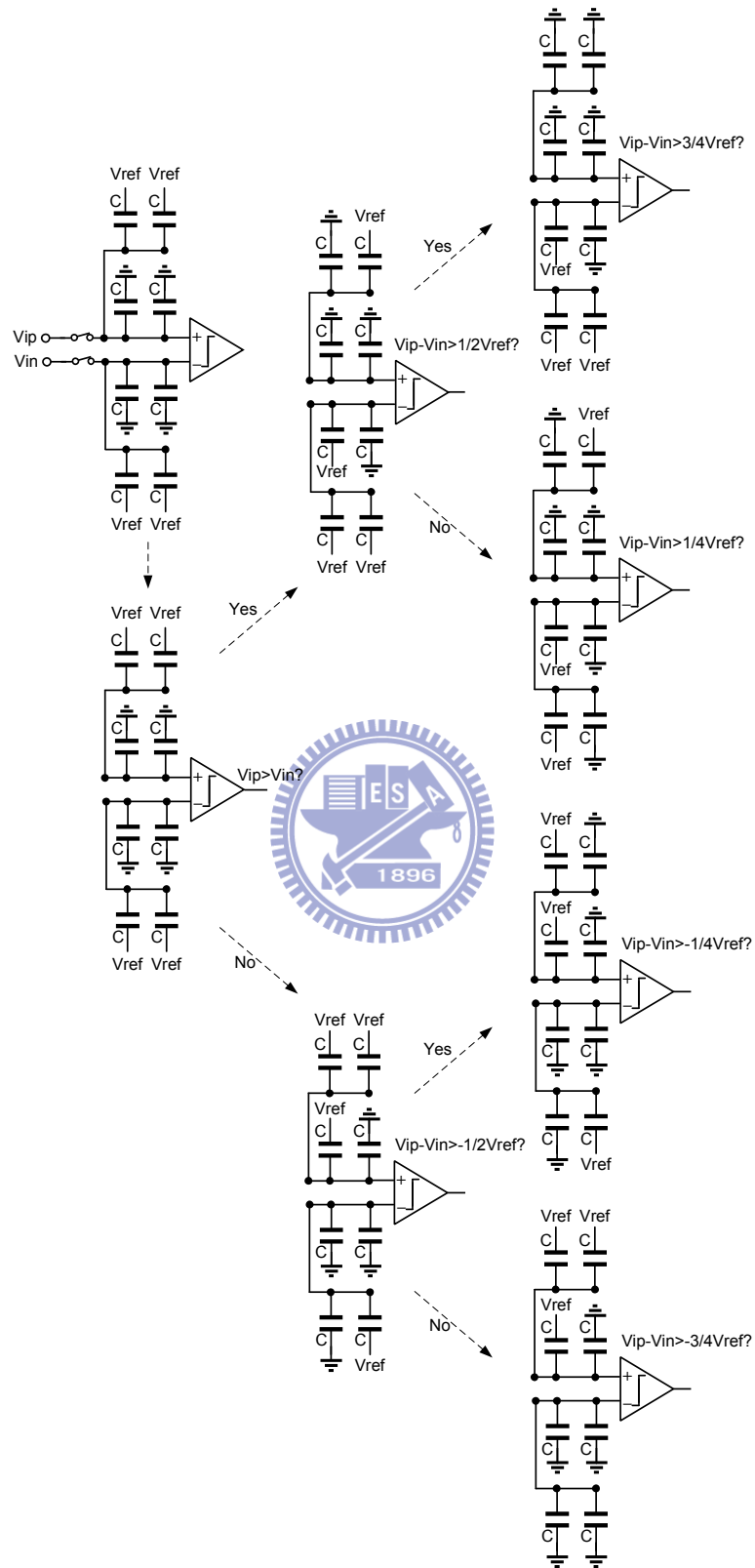


圖 3-10 提出之連續漸近式類比數位轉換器 3 位元轉換實例

圖 3-11 為本論文所提出之架構轉換曲線圖。由圖 3-11 可以看出本論文所提出的連續漸近式類比數位轉換器架構在轉換的過程中會將比較器輸入兩端電壓逼近到 $1/2V_{ref}$ ，所以比較器的輸入共模電壓只需要被設計必須設計在 $1/2V_{ref}$ 。且輸入共模範圍只需設計在 $1/2 \text{ LSB}$ ，所以在比較器的設計上會較[8]來的容易設計許多。

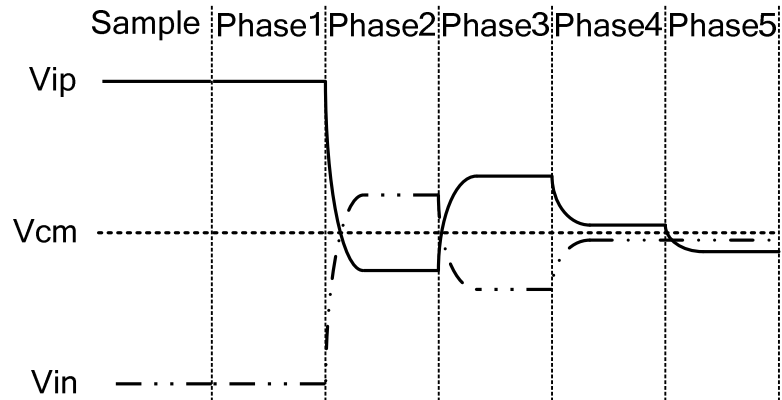


圖 3-11 提出之連續漸近式類比數位轉換器切換波形示意圖

3.4 切換能量分析



圖 3-12 為 3 位元單調式切換之切換能量分析。以下為分析各切換步驟所需之切換能量， E_1 及 E_2 為最大電容被切換時所需要的切換能量，且因為 E_1 及 E_2 的切換是對稱的，所以 E_1 及 E_2 是相等的。式 3-4 為 E_1 及 E_2 的表示式：

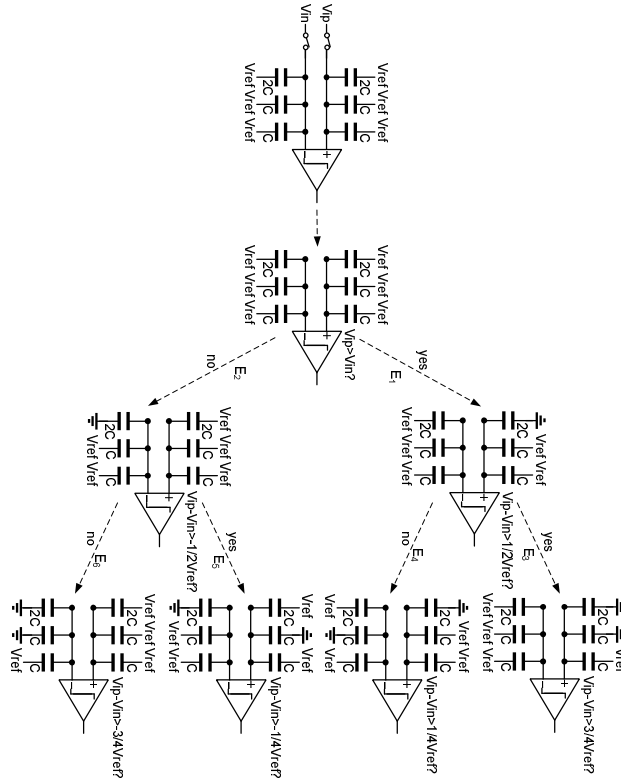


圖 3-12 3 位元單調式切換之切換能量分析

$$E_1 = E_2 = 2C \cdot V_{ref} \cdot \left\{ \left[V_{ref} - \left(-\frac{1}{2} \cdot V_{ref} \right) \right] - \left[V_{ref} - 0 \right] \right\} = CV_{ref}^2 \quad (3-4)$$

$E_3 - E_6$ 為次大電容被切換時所需要的切換能量。且 E_3 、 E_6 以及 E_4 、 E_5 的切換是相同的，所以 $E_3 = E_6$ 且 $E_4 = E_5$ 。式 3-5 及式 3-6 分別為 E_3 及 E_4 的表示式：

$$E_3 = E_6 = C \cdot V_{ref} \cdot \left\{ \left[V_{ref} - \left(-\frac{3}{4} \cdot V_{ref} \right) \right] - \left[V_{ref} - \left(-\frac{1}{2} \cdot V_{ref} \right) \right] \right\} = \frac{1}{4} CV_{ref}^2 \quad (3-5)$$

$$E_4 = E_5 = (2C + C) \cdot V_{ref} \cdot \left\{ \left[V_{ref} - \left(-\frac{1}{4} \cdot V_{ref} \right) \right] - \left[V_{ref} - 0 \right] \right\} = \frac{3}{4} CV_{ref}^2 \quad (3-6)$$

由式 3-5 和式 3-6 發現一樣是切換次大的電容但所需要的切換能量卻不相同，其原因為一樣產生 $1/4 V_{ref}$ 的電壓變化量，但由於 E_3 、 E_6 和 E_4 、 E_5 切換完後接到 V_{ref} 的電容量不同，所以所需之切換能量也不同。

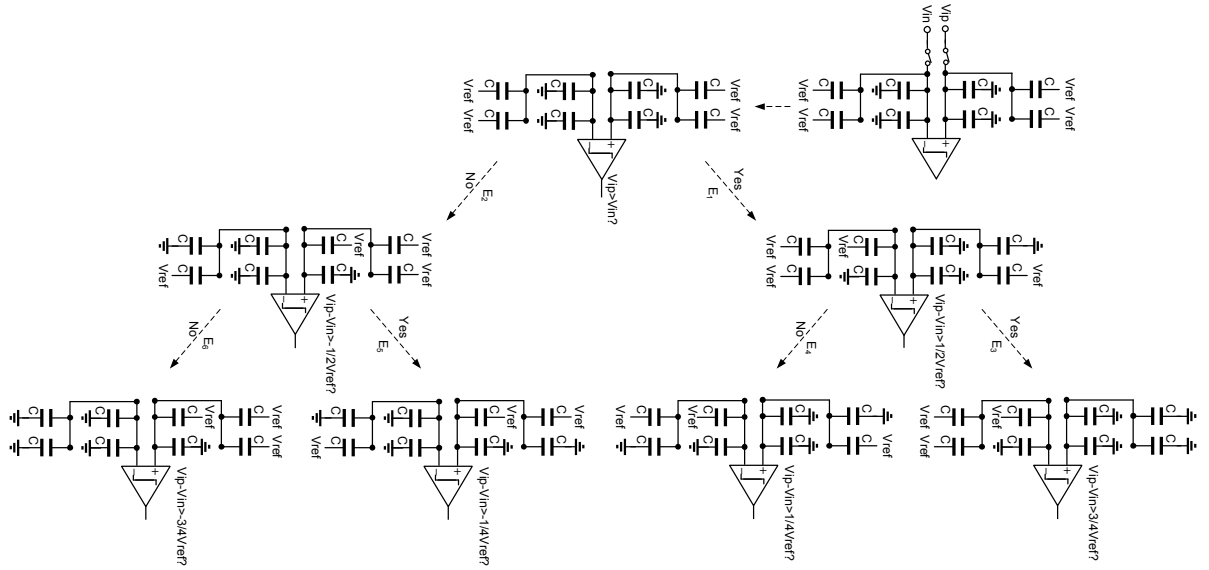


圖 3-13 本論文所提出架構之 3 位元切換實例之切換能量分析

圖 3-13 為本論文所提出架構之 3 位元切換實例。以下為各切換步驟所需之切換能量分析。 E_1 及 E_2 為最大電容被切換時所需要的切換能量，且因為 E_1 及 E_2 的切換是對稱的，所以 E_1 及 E_2 是相等的。式 3-7 為 E_1 的正端及 E_2 的負端所需之切換能量表示式、式 3-8 為 E_1 的負端及 E_2 的正端所需之切換能量表示式：

$$E_{1p} = E_{2n} = C \cdot V_{\text{ref}} \cdot \left\{ [V_{\text{ref}} - (-\frac{1}{4} \cdot V_{\text{ref}})] - [V_{\text{ref}} - 0] \right\} = \frac{1}{4} C V_{\text{ref}}^2 \quad (3-7)$$

$$\begin{aligned} E_{1n} = E_{2p} &= (C + C) \cdot V_{\text{ref}} \cdot \left\{ [V_{\text{ref}} - (\frac{1}{4} \cdot V_{\text{ref}})] - [V_{\text{ref}} - 0] \right\} \\ &+ C \cdot V_{\text{ref}} \cdot [V_{\text{ref}} - (\frac{1}{4} \cdot V_{\text{ref}} - 0)] = \frac{1}{4} C V_{\text{ref}}^2 \end{aligned} \quad (3-8)$$

E_1 及 E_2 所需之切換能量為式 A-4 及式 A-5 之和。如式 3-9 所示：

$$E_1 = E_2 = E_{1p} + E_{1n} = \frac{1}{2} C V_{\text{ref}}^2 \quad (3-9)$$

$E_3 - E_6$ 為次大電容被切換時所需要的切換能量。而本論文所提出之切換架構再最後一個切換步驟只進行單邊切換，但 E_3 、 E_6 以及 E_4 、 E_5 的切換是對稱的，所以 $E_3 = E_6$ 且 $E_4 = E_5$ 。式 3-10 及式 3-11 分別為本論文所提出之架構 E_3 及 E_4 的表示式：

$$E_3 = E_6 = 0 \quad (3-10)$$

$$E_4 = E_5 = (C + C) \cdot V_{\text{ref}} \cdot [(V_{\text{ref}} - 0) - (V_{\text{ref}} - \frac{1}{4} \cdot V_{\text{ref}})] = \frac{1}{2} C V_{\text{ref}}^2 \quad (3-11)$$

假設每個數位碼出現的機率相同，則可以得到單調式切換平均切換能量如式 3-12 所示：

$$E_{\text{avg,mono}} = \sum_{i=1}^{n-1} (2^{n-2-i}) CV_{\text{ref}}^2 \quad (3-12)$$

同樣地，式 3-13 為本論文所提出之架構在每個輸出碼出現的機率相同條件下之平均切換能量表示式。並由式 3-13 可以明顯地看出本論文所提出之切換方式在切換時需要較低的切換能量。

$$E_{\text{avg,proposed}} = \sum_{i=1}^{n-1} (2^{n-2-i}) CV_{\text{ref}}^2 - \sum_{i=1}^{n-1} (2^{-i}) CV_{\text{ref}}^2 \quad (3-13)$$

圖 3-14 繪製出使用單調式切換架構及本論文所提出之切換架構實現一 8 位元連續漸近式類比數位轉換器在產生不同輸出碼所需之切換能量。由圖 3-14 可以看出在需要最多切換能量時，本論文所提出之切換架構較單調式切換架構少掉 29% 的切換能量。而在要最低切換能量時少掉 50%。而在每個輸出碼出現的機率相同條件下之平均切換能量少掉 34.4% 的切換能量。

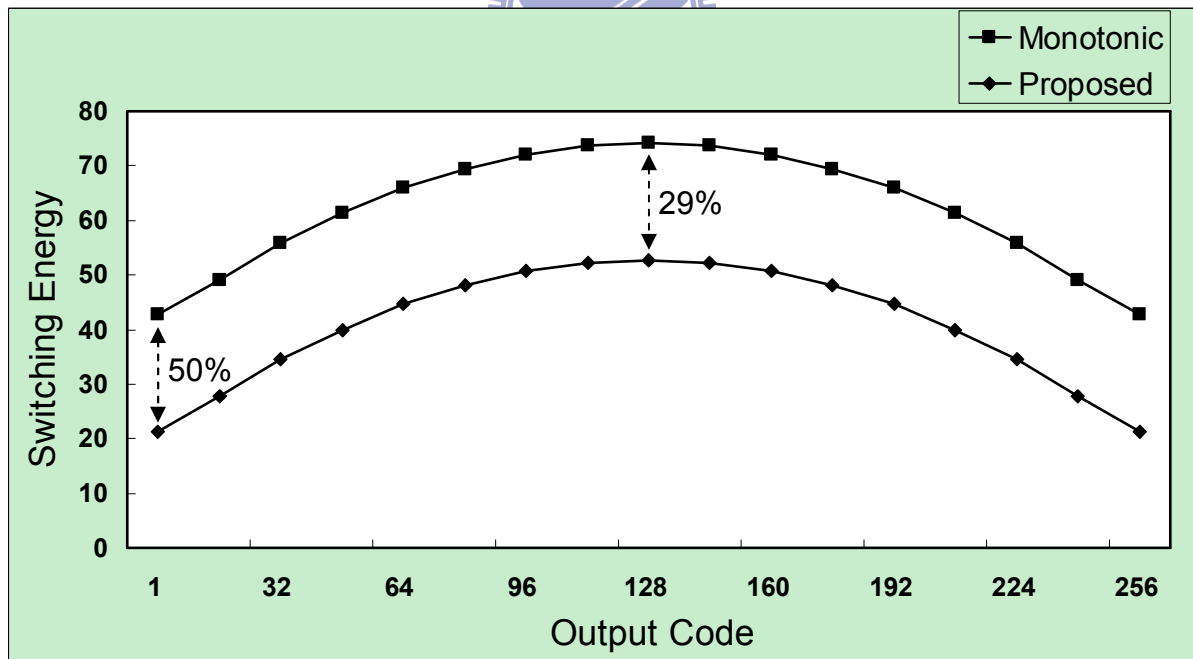


圖 3-14 切換能量對輸入數位碼之曲線比較圖

3.5 本章結論

本論文提出一新連續漸近式類比數位轉換器切換模式，能夠有效地降低轉換時所需的切換能量，且不會增加比較器和數位控制電路設計的複雜度，表 3-1 為傳統架構、單調式切換、以及本論文所提出架構之切換能量、開關數量、電容數量之比較表。

表 3-1 各切換模式特性比較表

切換模式	傳統架構	單調式切換	本論文
切換能量	1	0.19	0.13
開關數量	$4(N+1)$	$4N$	$8(N-1)$
電容數量	2^N	2^{N-1}	2^{N-1}



第四章

應用於生醫訊號紀錄之低耗能連續近似式類比數位轉換器設計



4.1 簡介

本論文設計一具有可以調整兩種不同解析度以及不同取樣頻率之應用於生醫系統的連續漸近式類比數位轉換器。之所以這樣設計是希望能夠當後端的數位訊號處理(DSP)將類比數位轉換器的輸出做處理時，發現如果前端電路量測到的生醫訊號是正常情況，則會將類比數位轉換器操作在較低解析度以及較低的取樣頻率，達到較低功率消耗的特性。而當發現量測到的生醫訊號出現異常時，則類比數位轉換器操作在較高解析度以及較高的取樣頻率，以利於做進一步的判斷。

根據上述敘述，本論文使用 3.3 節所提出之架構設計出一工作電壓為 0.5V 具有可以

切換 8-bit 10KS/s 以及 12-bit 100KS/s 兩種不同模式的超低耗能連續漸近式類比數位轉換器。圖 4-1 為本論文提出之連續漸近式類比數位轉換器架構圖，當控制訊號 Bit_S 為 High 時，表示此時類比數位轉換器工作在 12-bit 的模式下。則數位輸出為 O11-O0，且最小電容量為 C1；而當 Bit_S 訊號為 Low 時，表示此時類比數位轉換器工作在 8-bit 的模式下。則數位輸出為 O11-O4，且最小電容量為 12-bit 的模式 C1-C4 的並聯。而模式切換時之控制電路將在後面章節有詳細的介紹；其中電容標示為 v 的表示此電容在取樣模式時，下極板是被接到 Vref。g 表示此電容在取樣模式時，下極板是被接到 Gnd。式 4-1 及式 4-2 分別為 12-bit 和 8-bit 模式下輸出以及最小電容表示式。

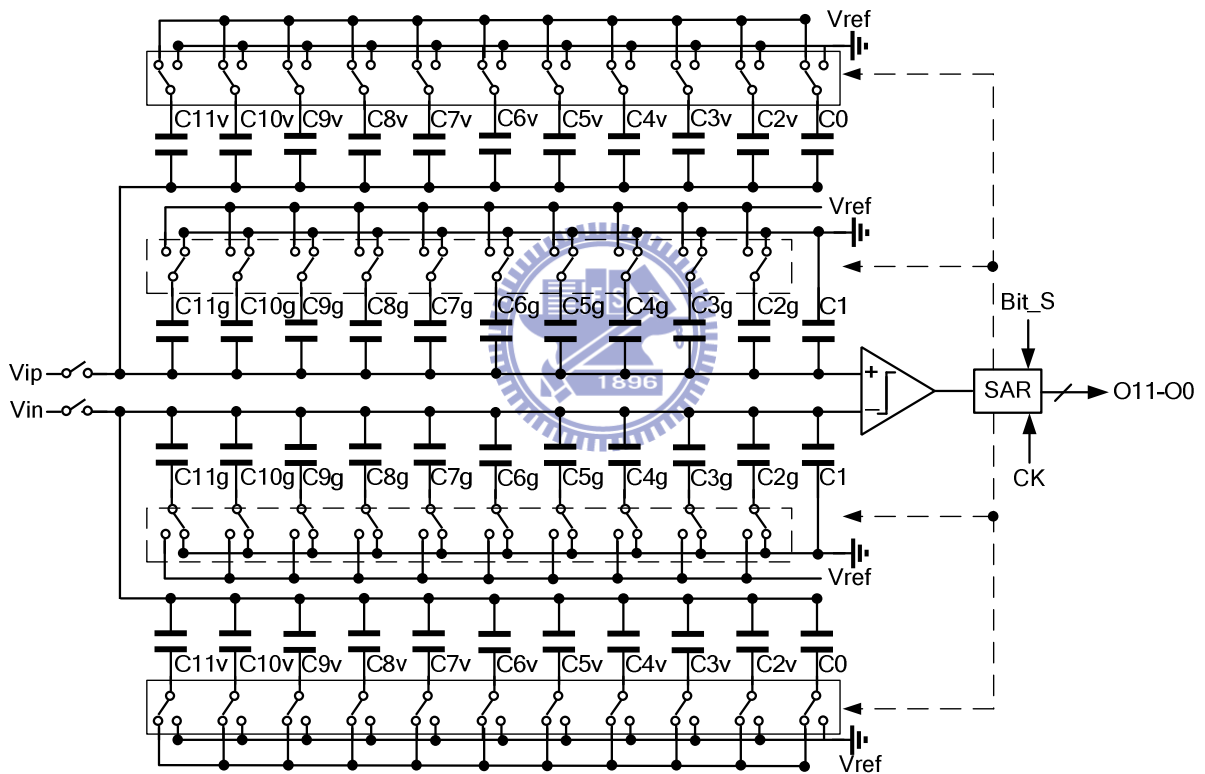


圖 4-1 提出之具兩切換模式之連續漸近式類比數位轉換器

$$\text{Out}|_{12} = O_{11} - O_0, C_{\min}|_{12} = C_1 = C_0 \quad (4-1)$$

$$\text{Out}|_8 = O_{11} - O_4, C_{\min}|_8 = C_1 + C_2 + C_3 + C_4 \quad (4-2)$$

4.2 取樣保持電路

在本論文中架構設計軌對軌 (Rail-to rail) 的輸入訊號範圍，一般會使用 TG 當開關來實現取樣保持電路。式 4-3 為電晶體工作在三極管區 (Triode region) 汲極和源極兩端的電阻表示式。根據式 4-3 可以得知當電路工作在低操作電壓的情況下，會電晶體臨界電壓 (Threshold voltage) 的限制而使得電晶體導通時汲極和源極兩端的電阻偏大。若是選要較大尺寸的電晶體當開關，雖然能降低導通電阻，但會有較大的寄生電容而降低類比數位轉換器的效能。

$$R_{on} = \frac{1}{\mu \cdot C_{ox} \cdot \left(\frac{W}{L}\right) \cdot (V_g - V_{in} - V_t)} \quad (4-3)$$

先進製程下的電晶體會因為許多的非理想效應而使得當電晶體的閘極和源極電壓 ($|V_{gs}|$) 為 0 時電晶體的汲極到源極仍有不小的漏電流。若直接使用電晶體當取樣保持電路中的開關，則此漏電流會改變保持在電容上的電壓。

本論文使用一拔靴式 (Bootstrapped) 電路，來解決電晶體臨界電壓以及漏電流的問題。圖 4-2 為本論文使用之拔靴式電路。C1 和 C2 電容為升降壓電容、M1 和 M4 負責對升降壓電容充放電、M2 及 M3 為開關、MS 為取樣保持電路的開關。理想上此電路可以輸出 VCKB 產生擺幅為 2VDD 以及 -VDD 的脈波訊號驅動後端取樣保持電路的開關。本論文使用 NMOS 當取樣保持電路的開關。當 CK_B 訊號為 2VDD 時，有較大的閘極和源極電壓來導通 MS，降低電晶體導通時汲極和源極兩端的電阻。當 VCKB 訊號為 -VDD 時，使用負的閘極和源極電壓來關閉 MS，大量降低電晶體關閉時的漏電流。

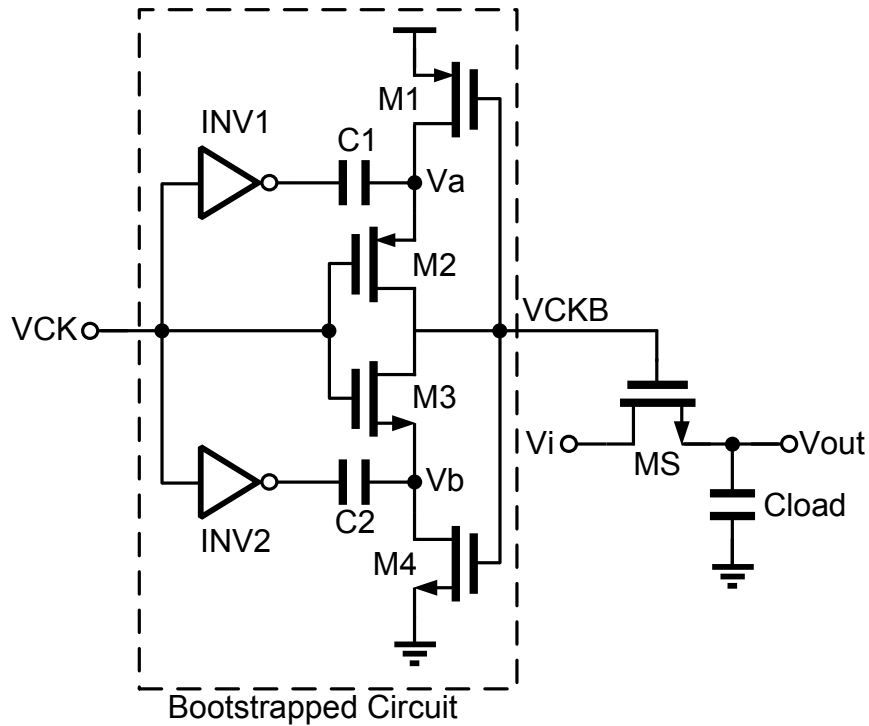


圖 4-2 拔靴式電路圖

圖 4-3 和圖 4-4 為拔靴是電路操作圖。圖 4-3 為當輸入訊號 (CK) 由 VDD 變為 0 時，儲存在 C₁ 電容中的 VDD 電壓使得 Va 由 VDD 變為 2VDD。而 CK 會使得 M2 導通而將 2VDD 電壓傳遞到 CK_B 去驅動 MS。且 CK_B 的 2VDD 電壓會使得 M4 導通，則電容 C₂ 會儲存 VDD 的電壓。由上述分析可以得知，當 CK 由 VDD 變為 0 時，C₁ 執行升壓的動作，C₂ 執行重置的動作。

圖 4-4 為當 CK 由 0 變為 VDD 時，儲存在 C₂ 電容中的 VDD 電壓使得 Vb 由 0 變為 -VDD。而 CK 會使得 M3 導通而將電壓 -VDD 傳遞到 CK_B 去驅動 MS。且 CK_B 的 -VDD 電壓會使得 M1 導通，則電容 C₁ 會儲存 VDD 的電壓。由上述分析可以得知，當 CK 由 0 變為 VDD 時，C₁ 執行重置的動作，C₂ 執行升壓的動作。

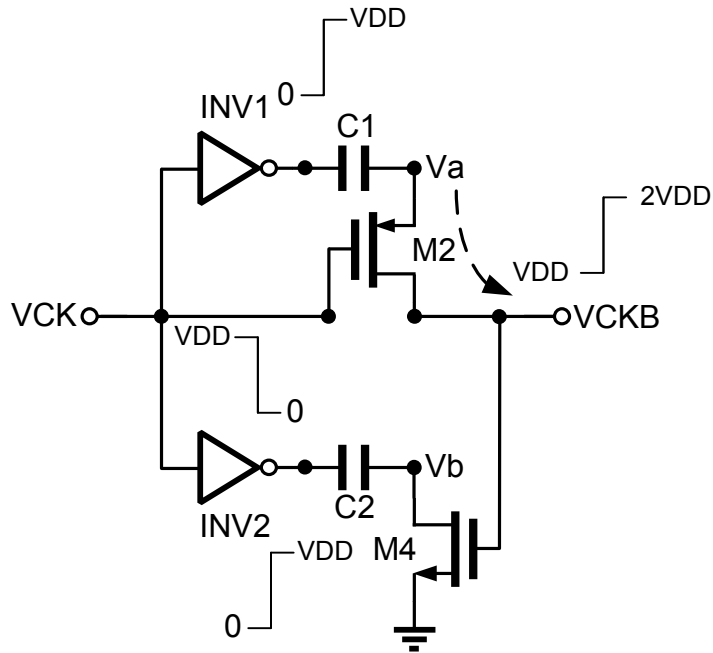


圖 4-3 拔靴式電路操作原理(輸入由 VDD 變 0)

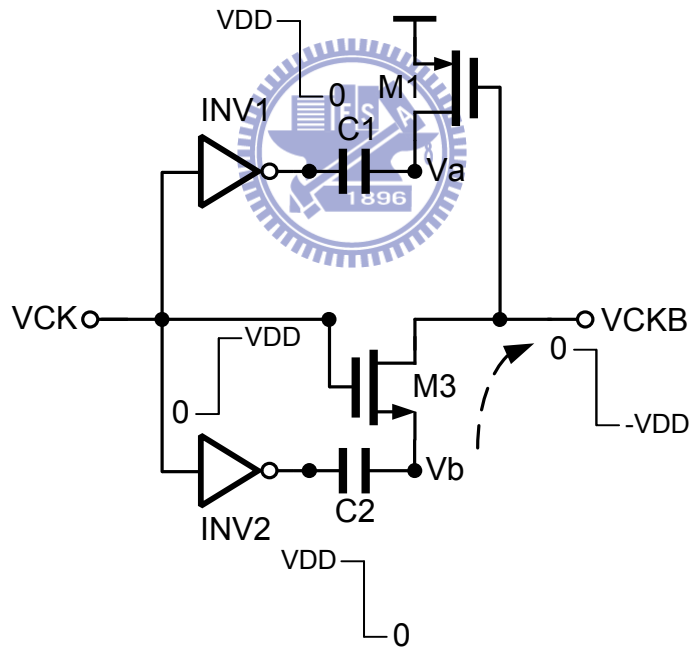


圖 4-4 拔靴式電路操作原理(輸入由 0 變 VDD)

實際上拔靴式電路的效果不到預期的 $2V_{DD}$ 及 $-V_{DD}$ ，其原因為 V_a 及 V_b 端會有寄生電容和 C_1 及 C_2 分壓導致。圖 4-5 為使用拔靴式電路去實現取樣保持電路在取樣頻率為 100KS/s 情況下之頻譜結果圖，其 SNDR 為 90.3 dB 、ENOB 為 14.71 bit ，符合 12 bit 以上的需求。圖 4-6 為接近 Nyquist Rate 之輸出頻譜結果圖，其 SNDR 為 76.5 dB 、ENOB

為 12.4 bit，也是符合需求。

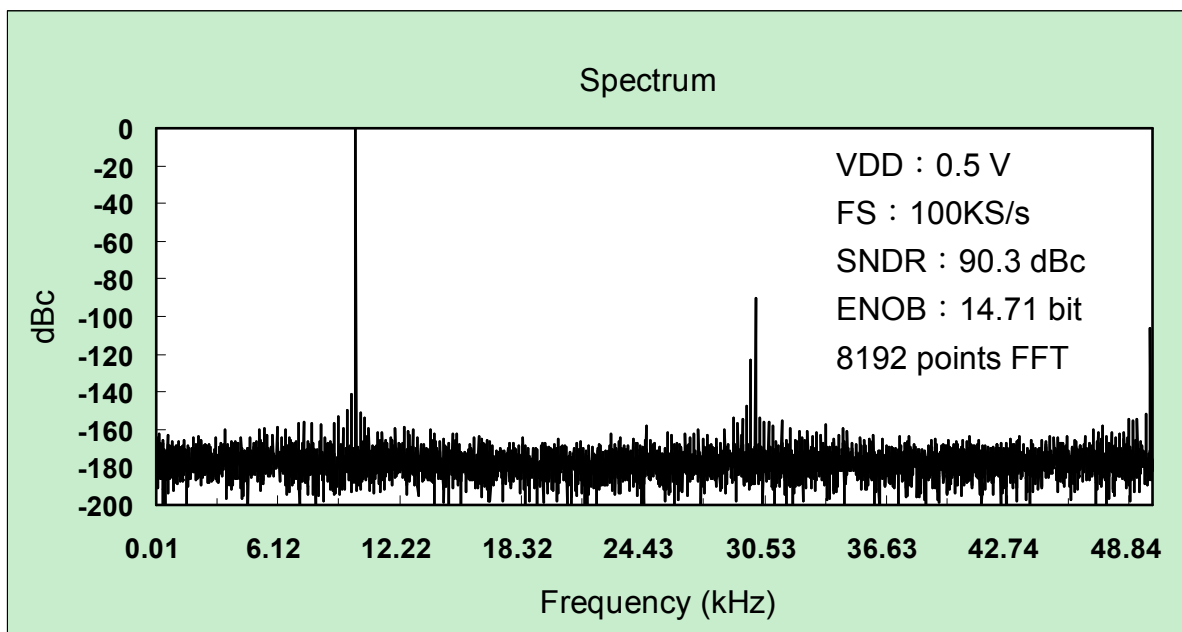


圖 4-5 取樣保持電路之輸出頻譜結果圖

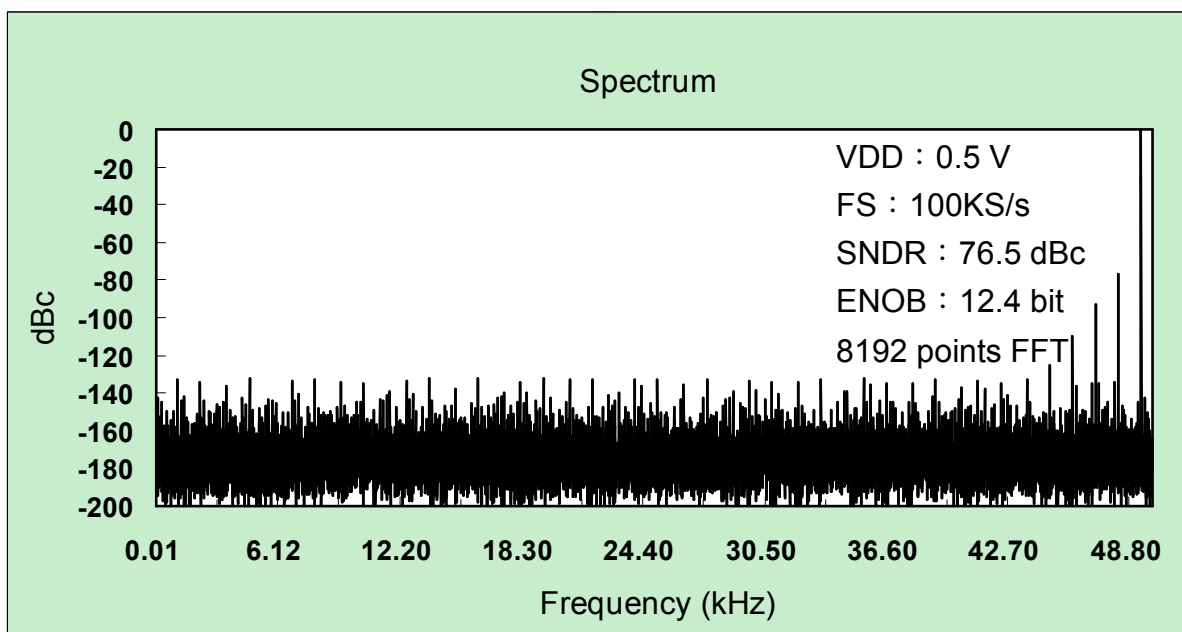


圖 4-6 Nyquist Rate 下取樣保持電路之輸出頻譜結果圖

考量在低操作電壓的情況下，電晶體隨製程變異以及 10%操作電壓改變的影響較正常操作電壓情況下來得嚴重，所以必須將製程以及電壓變異列入設計參數之一。圖 4-7 和圖 4-8 分別為操作電壓為 0.45 V 以及 0.55 V 時取樣保持電路之頻譜結果圖。其工作在 0.45 V 時 SNDR 為 85.97 dB、ENOB 為 13.99 bit，而工作在 0.55 V 時 SNDR 為 93.83 dB、

ENOB 為 15.3 bit。

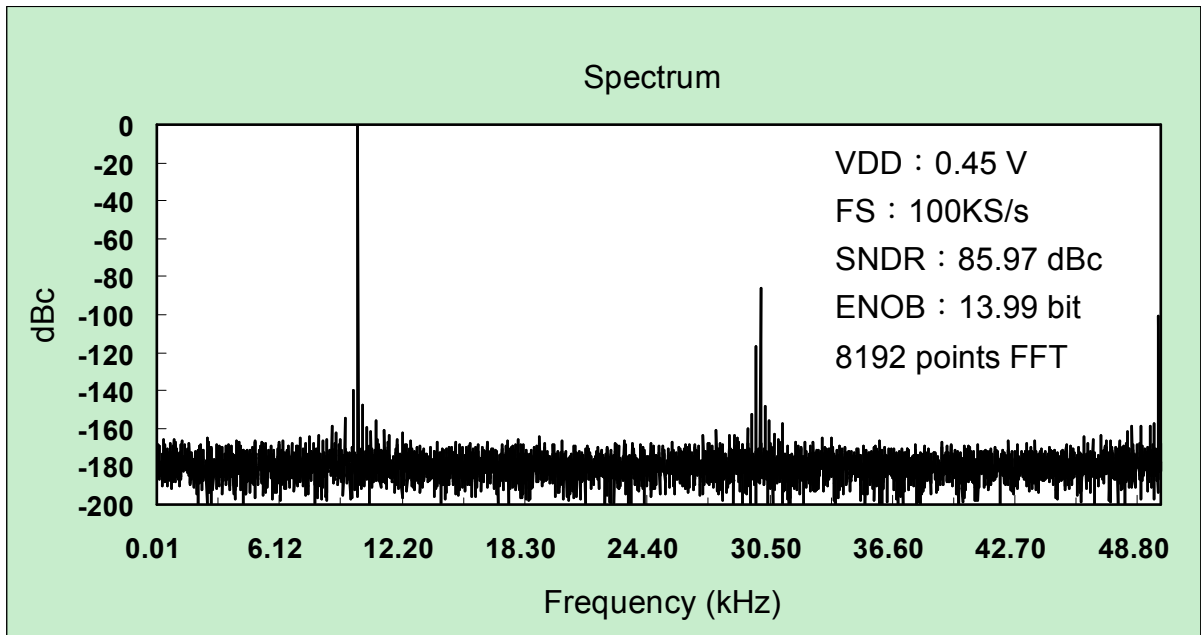


圖 4-7 操作電壓為 0.45V 下取樣保持電路之輸出頻譜結果圖

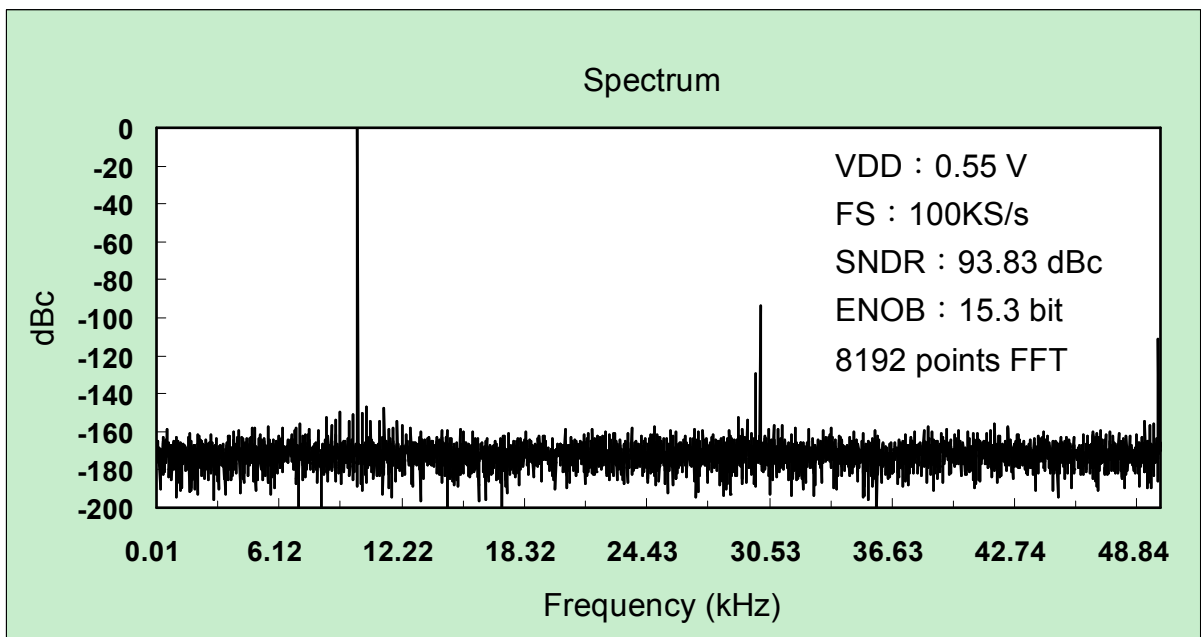


圖 4-8 工作電壓為 0.55V 下取樣保持電路之輸出頻譜結果圖

表 4-1 列出取樣保持電路在不同 Corner 下之頻譜分析結果圖，由表 4-1 可以看此取樣保持電路在 SS Corner 下表現最差，仍然還有 SNDR 為 82.2 dB、ENOB 為 13.4 bit 的特性，符合類比數位轉換器之需求。

表 4-1 取樣保持電路在不同 Corner 頻譜分析結果

Corner	TT	FF	SS	SNFP	FNSP
SNDR (dB)	90.3	96.56	82.2	86.6	93.7
ENOB (bit)	14.7	15.7	13.4	14.1	15.3

4.3 數位類比轉換器 (DAC)

本論中類比數位轉換器是使用電容陣列所組成，藉由連續近似暫存器的控制信號來控制每個電容接到 Vref 或是 Gnd，再利用電荷重新分佈的技巧來產生類比輸出電壓；由於是切換電容來產生類比電壓，所以不會有靜態的功率消耗，適合應用於低功率消耗的應用。

電容誤差對數位類比轉換器的影響相當的嚴重，所以必須考慮電容誤差的特性來對電容陣列作設計，其中設計所有的電容都用單位電容來組成，以降低電容誤差的影響。式 4-4 為電容變異量表示式，其中 C 表示電容的大小、L 和 W 表示佈局中電容的長和寬、 $\sigma(\Delta C)$ 表示電容一個標準差的變異量、 A_C 為 Matching property 單位為 $\% \cdot \mu\text{m}$ 。

$$\frac{\sigma^2(\Delta C)}{C^2} = \frac{A_C^2}{W \cdot L} \quad (4-4)$$

參考製程資料得到 $L=W=20 \mu\text{m}$ 的電容，可以得到其電容量為 789.846 fF、 $\sigma(\Delta C)$ 為 40.876 fF，則將數值代入式 4-4 可以得到 A_C 為 1.035 $\% \cdot \mu\text{m}$ ，如式 4-5 所示：

$$\frac{(40.876)^2}{(789.846)^2} = \frac{A_C^2}{20 \cdot 20} \Rightarrow A_C = 1.035 (\% \cdot \mu\text{m}) \quad (4-5)$$

由於所有的電容都用單位電容來組成，所以本論文中最大的電容 C 是由 512 個單位電容並聯所組成，根據統計的原理可以得知實際最大電容的電容量如式 4-6 所示，其中 $\alpha=3\sigma$ ，也就是說，式 4-6 表示 99.7% 的最大電容之電容量分布範圍。

$$512C - \sqrt{512}\alpha \leq 512C \leq 512C + \sqrt{512}\alpha \quad (4-6)$$

假設每個電容都有 3σ 的誤差量，則根據推導可以得知 12 位元解析度的電荷重新分佈架構之數位類比轉換器最大的電壓誤差量為：

$$V_{\text{ref}} \cdot \frac{73 \cdot \alpha}{C_{\text{tot}}} \quad (4-7)$$

其中已經知道 V_{ref} 為 $0.5V$ 、 C_{tot} 為 $2^{11}C_0$ 、 $\alpha=3\sigma(\Delta C)$ ，且設計電壓誤差量必須小於 Δ ，則可得到：

$$\alpha(\Delta C) < 13.7 \cdot 10^{-3} C_0 \quad (4-8)$$

且 $\alpha=3\sigma$ ，則可以得知必須設計 $\sigma(\Delta C) < 4.56 \cdot 10^{-3} C_0$ 根據式 4-4 可得：

$$\frac{\sigma^2(\Delta C)}{C^2} = \frac{A_C^2}{W \cdot L} \Rightarrow \frac{(4.56 \cdot 10^{-3} C_0)^2}{(C_0)^2} = \frac{(0.01305)^2}{x^2} \Rightarrow x = 2.86 \mu\text{m} \quad (4-9)$$

且根據製程參數可以反推其長和寬各為 $1\mu\text{m}$ 情況下，電容量為 1.97fF ，則可以得到電荷重新分佈架構之電容陣列最小電容量如式 4-10 所示。所以本論文設計最小電容之電容量為 20fF 。

$$C_{\text{min}} = 1.97 \cdot (2.86)^2 = 16.1\text{fF} \quad (4-10)$$

4.4 比較器

拴鎖 (Latch) 會有很大的偏移量 (Offset)，此偏移量會對高解析度的 ADC 有極大的影響。所以在本論文採用前置放大器 (Pre-amplifier) 來降低偏移量的影響以及克服拴鎖磁滯的問題。

4.4.1 拴鎖 (Latch)：

圖 4-9 是本論文使用的拴鎖電路圖。主要是利用動態的拴鎖和數位正反器所組合而成的。動態的拴鎖在不運作時並不會有靜態的功率消耗，只會有動態的功率消耗，所以

相當適合低功率的應用。但動態的拴鎖會有較大的 Input kickback noise，所以需要前端放大器來降低 Input kickback noise 對數位類比轉換器的影響。

本論文使用的拴鎖可視為是兩個反向器背對背接在一起。當 V_{latch} 為低電位時，表示拴鎖此時不進行比較的動作，則 MP3 和 MP4 會將 V_a 和 V_b 維持在高準位，故正反器的輸出會維持上次的輸出狀態。而 MN5 及 MN6 會被關閉，所以不會有電流，達到低功率消耗的特性。當 V_{latch} 為高電位時，電路進入比較的模式，當 V_{ip} 電壓高於 V_{in} 時，V_a 電壓會下降，則可從數位正反器的輸出得到為 VDD。反之，則輸出為 Gnd。

圖 4-10 為輸入為斜波，觀察拴鎖的磁滯結果。由圖 4-10 可以看出本論文設計的 Latch 在 FN5P 的製程條件下有最大的磁滯 4 mV。所以可以得知前置放大器的輸出必須大於 4 mV，以確保拴鎖有正確的輸出。

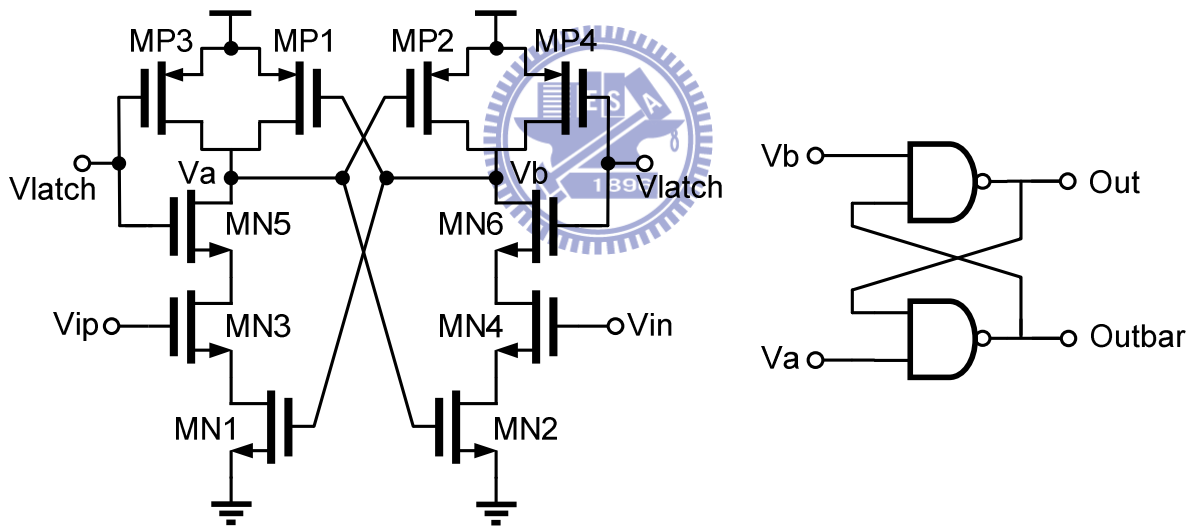


圖 4-9 拴鎖電路圖

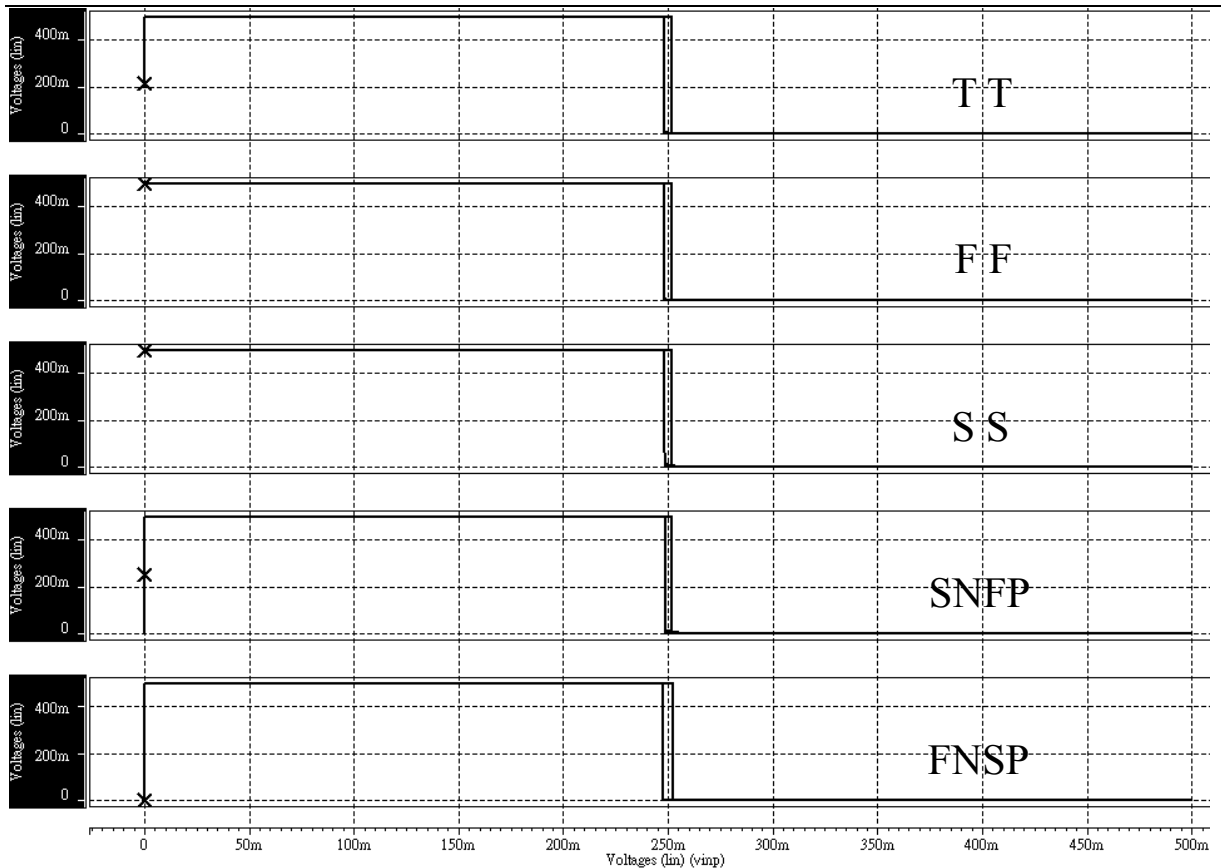


圖 4-10 在不同製程條件下之拴鎖磁滯模擬圖

4.4.2 前置放大器 (Pre-amplifier) :

由於本論文所提出之連續漸近式類比數位轉換器架構會將數位類比轉換器的部份逼近到 $1/2V_{ref}$ ，所以不需要使用到軌對軌輸入範圍的前置放大器。在低工作電壓條件下，有兩種方式來實現前置放大器，一為使用基極驅動 (Bulk driven) 的架構，經由改變基極的電壓來降低電晶體的臨界電壓，使電路能工作在低操作電壓。式 4-11 為 PMOS 的基極和臨界電壓的關係式：

$$|V_{tp}| = |V_{t0}| + \gamma(\sqrt{2\phi_F - V_{BS}} - \sqrt{2\phi_F}) \quad (4-11)$$

其中為沒有基板效應 (Body effect) 時的臨界電壓。基極驅動的電路主要是輸入在基極輸入差動電壓改變 $|V_{tp}|$ 而得到電流，再經由負載得到輸出電壓。由於基極會存在 PN 接面而會有漏電流，而本論文的數位類比轉換器是使用電容陣列來實現，如果使用基極驅動的技巧來實現前置放大器，則 PN 接面的漏電流會影響到數位類比轉換器之電

壓。

本論文是設計讓電晶體工作在次臨界區 (Sub-threshold)，而電晶體工作在次臨界區電流公式為：

$$I_D = \frac{W}{L} I_t \exp\left(\frac{V_{GS} - V_t}{nV_T}\right) [1 - \exp\left(-\frac{V_{DS}}{V_T}\right)] \quad (4-12)$$

其中 I_t 為 Process-dependent parameter、 n 為 Sub-threshold factor、 $V_T = \frac{kT}{q}$ ，經由式

4-12 可以推得在次臨界區下轉導和輸出導納分別為：

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{I_D}{n \cdot V_T} \quad (4-13)$$

$$g_{ds} = \frac{\partial I_D}{\partial V_{DS}} = \frac{I_t \cdot \left(\frac{W}{L}\right) \cdot \exp\left(\frac{V_{GS} - V_t}{nV_T}\right) \cdot \exp\left(-\frac{V_{DS}}{V_T}\right)}{V_T} = \frac{I_D}{V_T} \cdot \frac{\exp\left(-\frac{V_{DS}}{V_T}\right)}{1 - \exp\left(-\frac{V_{DS}}{V_T}\right)} \quad (4-14)$$

由於次臨界區的電流很小，所以不容易做到很大的放大倍率，所以本論文的前端放大器是串接兩組放大器單元來達到所需要的放大倍率。圖 4-11 為本論文使用的前置放大器單一級的的電路圖，是一個雙端輸入、單端輸出的架構。此前置放大器有自我偏壓的特性，不需要額外的電壓或是電路去設定電流，直接使用電流鏡之電壓去偏壓 Mb。本電路的放大增益如式 4-15 所示：

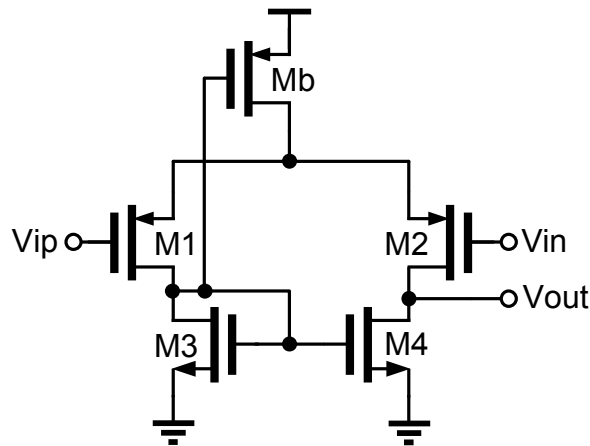


圖 4-11 前置放大器電路圖

$$A_v = \frac{V_{out}}{V_{ip} - V_{in}} = g_m \cdot (r_{o2} \parallel r_{o4}) \quad (4-15)$$

圖 4-12 為本論文所使用的前置放大器在負載為 100fF 時的頻率響應圖。表 4-2 為放大器在不同 Corner 下的頻率響應特性，其增益範圍在 21dB-24.9dB。

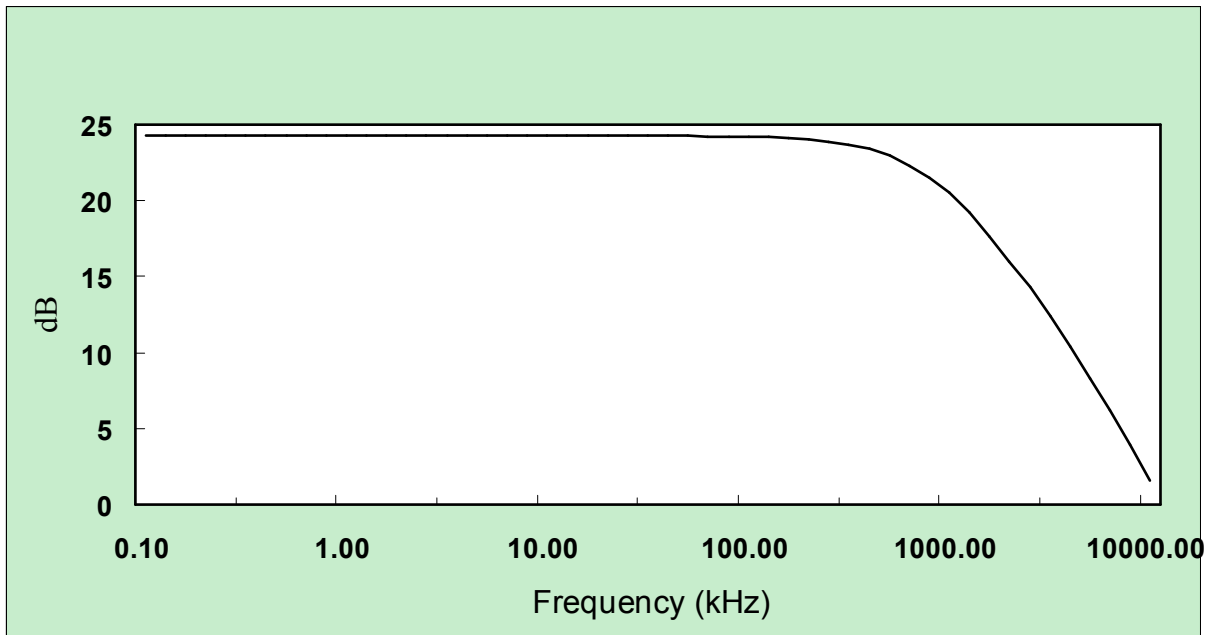


圖 4-12 前置放大器頻率響應圖

表 4-2 前置放大器在不同 Corner 下頻率響應特性

Corner	TT	FF	SS	SNFP	FNSP
Gain (dB)	24.3	21	24.9	22.2	23.8
頻寬 (KHz)	837	1920	364	1180	703

圖 4-13 為本論文所使用的比較器架構圖，串接兩級的前置放大器來放大輸入訊號。其中 Vos1 及 Vos2 分別為放大器 A1 和 A2 等效在輸入端的偏移量，本架構的串接方式能有效地降低偏移量的問題，其分析如下所示：

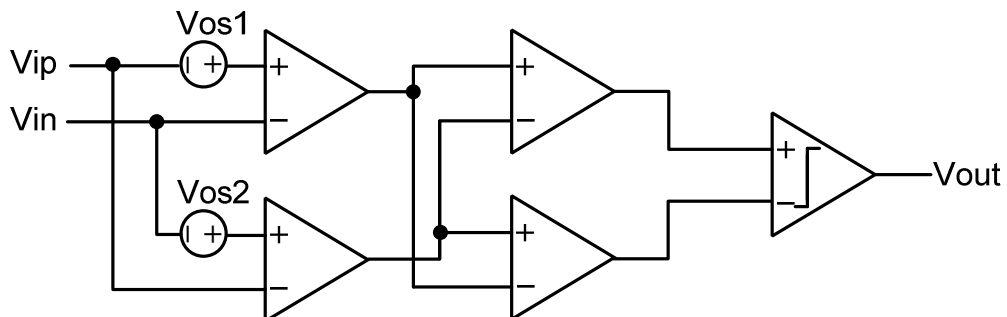


圖 4-13 比較器架構圖

由於拴鎖會有較大的偏移量，所以串接兩級的前置放大器有效地降低拴鎖的偏移量對類比數位轉換器的影響。在本架構中，放大器 A1 和 A2 的偏移量會對類比數位轉換器的影響較嚴重，式 4-16 和式 4-17 分別為 Vo1 和 Vo2 考慮偏移量的結果：

$$Vo1 = A1 \cdot [(Vip - Vos1) - Vin] \quad (4-16)$$

$$Vo2 = A2 \cdot [(Vin - Vos2) - Vip] \quad (4-17)$$

由式 4-16 和式 4-17 可以得到差模輸出 Vo 如式 4-18 所示：

$$Vo \equiv Vo1 - Vo2 = (A1 + A2) \cdot (Vip - Vin) + A2 \cdot Vos2 - A1 \cdot Vos1 \quad (4-18)$$

由式 4-18 可以看出和偏移量相關的部份為 $Vos = A2 \cdot Vos2 - A1 \cdot Vos1$ ，且 $A1 = A2 = A$ ，則可以得到偏移量為 $Vos = A \cdot (Vos2 - Vos1)$ ，故可以得到比較器輸入端等效看到的偏移量為：

$$Vos, in = \frac{A \cdot (Vos2 - Vos1)}{A} = Vos2 - Vos1 \quad (4-19)$$

根據式 4-19 可以發現輸入端等效看到的偏移量為兩個前端放大器各自的偏移量相減，雖然每個前端放大器的偏移量之極性和大小皆不相同，但可以在佈局時使用一些技巧來使的偏移量的極性和大小幾乎相同，則可以有效地降低比較器輸入端等效看到的偏移量。

圖 4-14 為輸入由全擺幅改變為 $\pm \frac{1}{4}$ LSB 時，觀察比較器 Over-drive Recovery 的特性，由圖 4-14 可以得知比較器的輸入由全擺幅改變為 $\pm \frac{1}{4}$ LSB 時都能有正確的輸出結果。

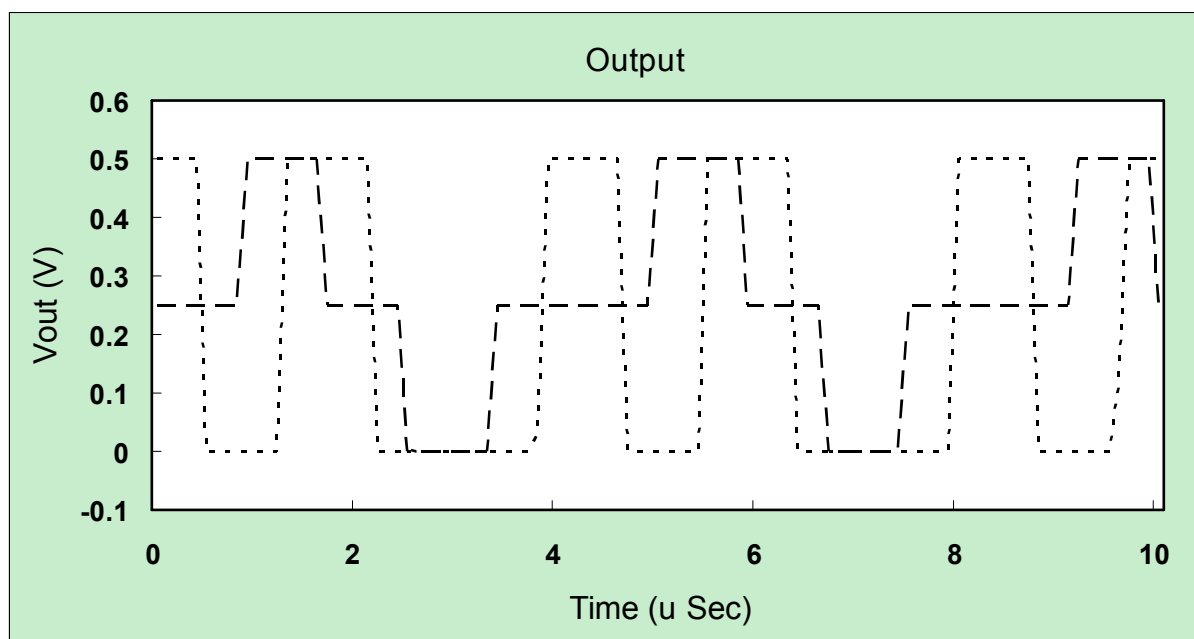


圖 4-14 比較器 Over-drive Recovery 模擬圖

4.5 連續近似暫存器 (SAR) :

連續近似暫存器是使用基本的 CMOS 邏輯電路來實現，其主要功能為控制數位類比轉換器中的電容陣列。由於本論文的架構為只利用半個週期取樣輸入訊號，且在接下來的保持模式就可以比較，所以總共只需要 12 個週期就可以依序轉換出最高位元到最低位元。

本論文所提出之架構在數位類比轉換器的切換部分，其切換開關陣列主要可以分為四大區塊 Spv、Spg、Snv、Sng。如圖 4-1 所示，其中 Spv 和 Snv 當中的 p 和 n 表示是控制訊號接到比較器正端和負端的電容陣列，而 v 和 g 分別表示在重置時會將數位類比轉換器的電容陣列接的 Vref 和 Gnd。其中 Spv 的操作如表 4-3 所示。

表 4-3 連續近似暫存器操作

Cycle	DAC switch control signal											Comp
	S11	S10	S9	S8	S7	S6	S5	S4	S3	S2	S1	
Sample	0	0	0	0	0	0	0	0	0	0	0	-
1	0	0	0	0	0	0	0	0	0	0	0	D11
2	D11	0	0	0	0	0	0	0	0	0	0	D10
3	D11	D10	0	0	0	0	0	0	0	0	0	D9
4	D11	D10	D9	0	0	0	0	0	0	0	0	D8
5	D11	D10	D9	D8	0	0	0	0	0	0	0	D7
6	D11	D10	D9	D8	D7	0	0	0	0	0	0	D6
7	D11	D10	D9	D8	D7	D6	0	0	0	0	0	D5
8	D11	D10	D9	D8	D7	D6	D5	0	0	0	0	D4
9	D11	D10	D9	D8	D7	D6	D5	D4	0	0	0	D3
10	D11	D10	D9	D8	D7	D6	D5	D4	D3	0	0	D2
11	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	0	D1
12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

圖 4-15 為連續近似暫存器架構圖，其工作原理為一開始先啟動整個系統的重置訊號 (Reset)，確保整個連續近似暫存器能有正確的工作，而在重置訊號啟動時，整個類比數位轉換器是工作在取樣模式，接著就如表 4-3 所示，

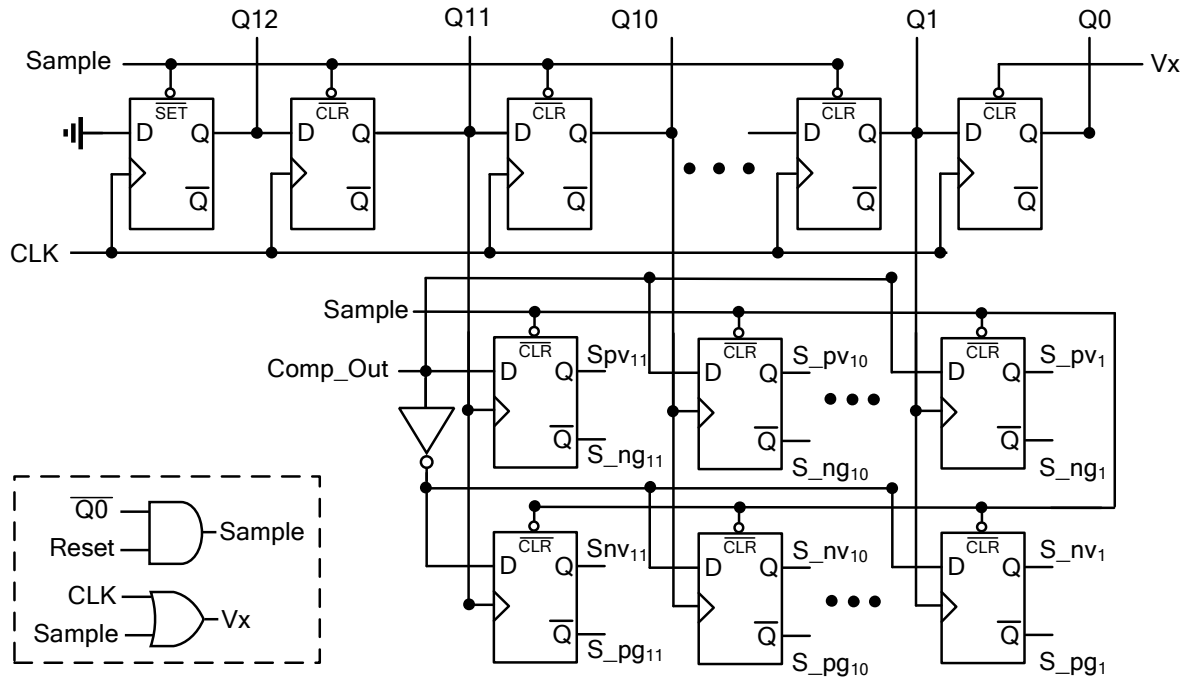


圖 4-15 連續近似暫存器架構圖



第五章

模擬結果



5.1 類比數位轉換器佈局圖：

本論文所提出的類比數位轉換器使用 90nm CMOS 製程來實現。圖 5-1 為類比數位轉換器電路佈局圖，整個晶片的面積為 $713 \times 590 \mu\text{m}^2$ 、包含 PAD 的面積為 $1145 \times 951 \mu\text{m}^2$ 。而表 5-1 為數位類比轉換器之各單元的面積大小，而圖 5-2 為電路佈局各單元的擺置圖。

表 5-1 類比數位轉換器各部份之佈局面積

	面積 ($\mu\text{m} \times \mu\text{m}$)
取樣保持電路	157×104
前置放大器	58.9×34.8
拴鎖	52.8×25.6
數位類比轉換器	590×576
連續近似暫存器	102.4×75.2

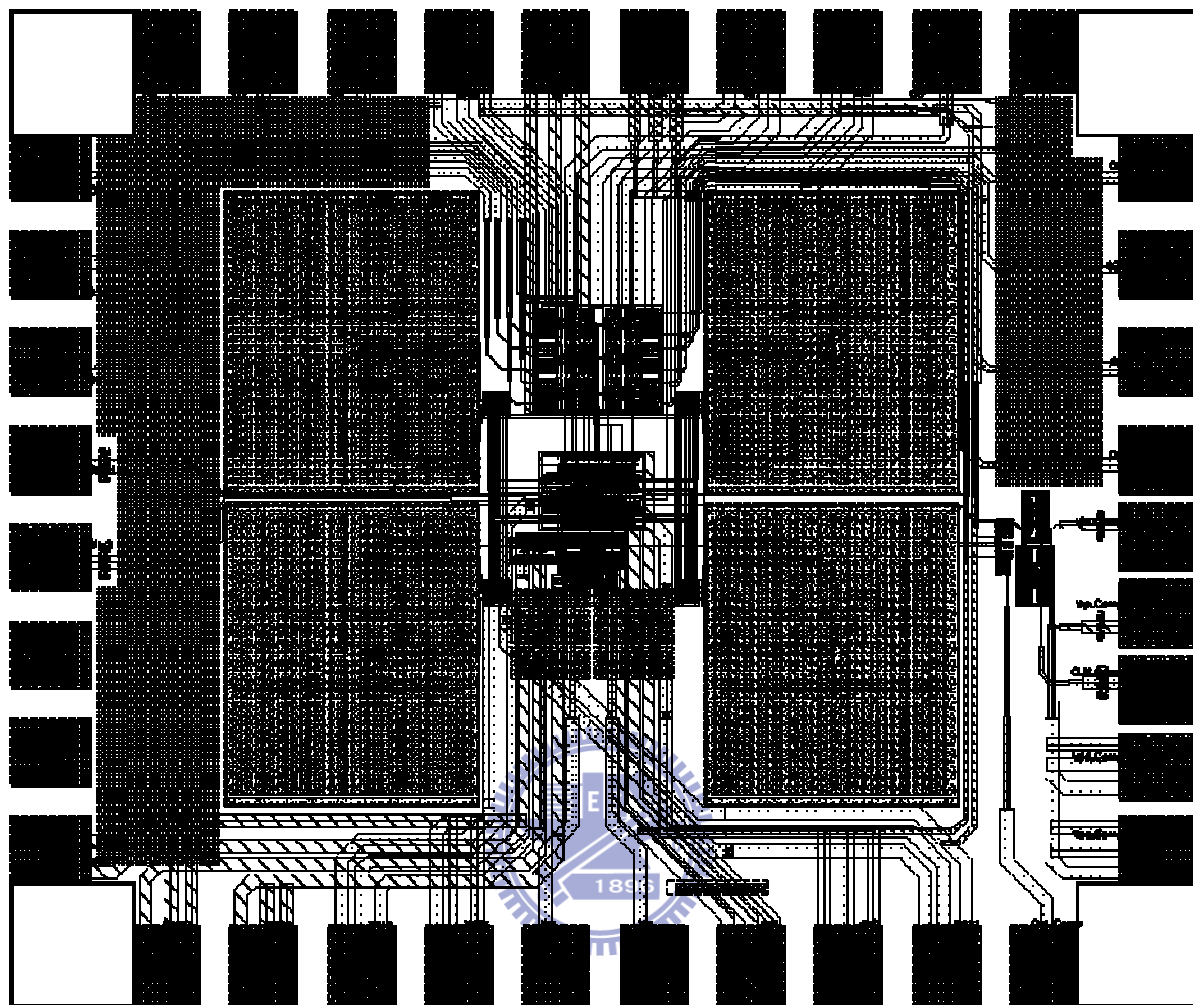


圖 5-1 連續漸近式類比數位轉換器佈局圖

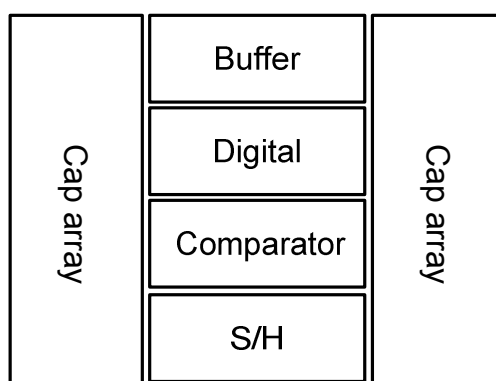


圖 5-2 連續漸近式類比數位轉換器各元件擺置圖

5.2 操作在 12 位元模式下之模擬結果

本章節將呈現整個連續漸近式類比數位轉換器操作在工作電壓為 0.5V、12 位元模式下之佈局後模擬結果。

5.2.1 動態參數：

圖 5-3 為 TT Corner、0.5V、取樣頻率為 100KS/s、輸入訊號為 10KHz 正弦波訊號時的頻譜結果圖。由模擬結果可以得到訊號對雜訊諧波比 (Signal to noise and distortion ratio, SNDR) 為 69.7dB，因此可以計算出有效位元 (Effective number of bits, ENOB) 約為 11.28 位元，表 5-2 為不同 Corner 條件下之模擬結果。

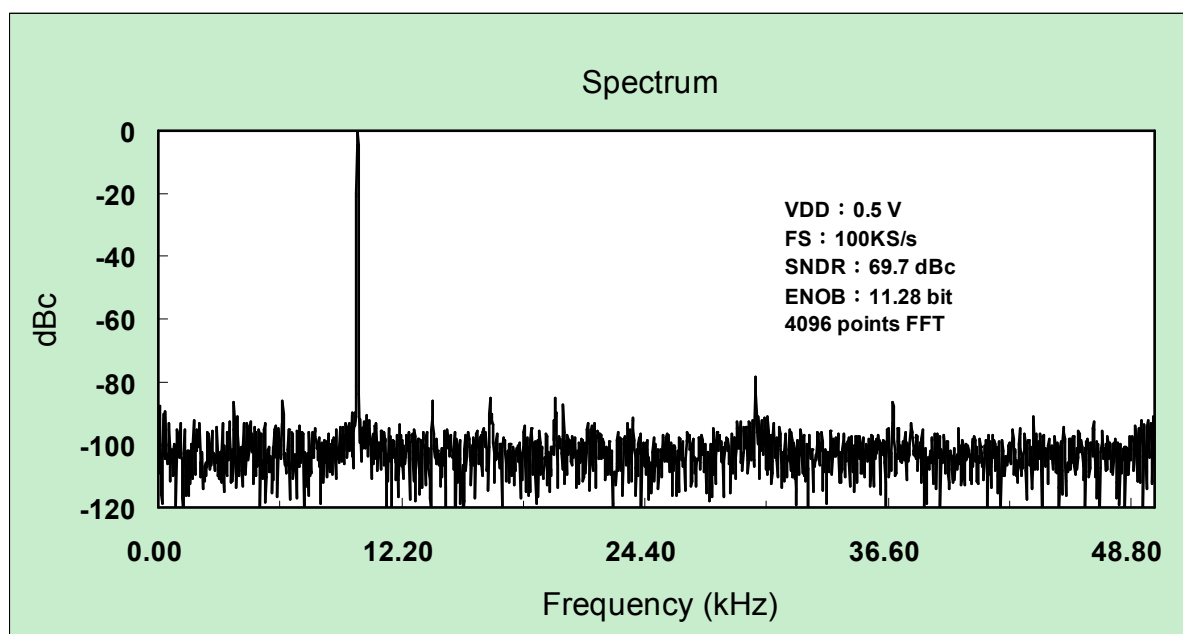


圖 5-3 12 位元模式下 100KS/s 取樣頻率之頻譜結果圖

表 5-2 12 位元模式下 100KS/s 取樣頻率 Corner 頻率響應特性

Process corner	SNDR(dB)	ENOB(bit)
TT	69.7	11.28
FF	68.8	11.14
SS	67.4	10.9
SNFP	70.13	11.36
FNSP	69.1	11.19

表 5-3 為不同輸入頻率所得到之 SNDR，圖 5-4 為將此數據會製成圖。觀察圖 5-4 可以發現輸入頻率接近取樣頻率一半時，仍然有相當不錯的 SNDR 特性。所以可得到此類比數位轉換器工作在 12 位元、100KS/s 的取樣頻率下可達到 Nyquist frequency 的有效解析度頻寬 (Effective resolution bandwidth ,ERBW)。

表 5-3 12 位元模式下不同輸入頻率之 SNDR

Fin (Hz)	SNDR (dB)	ENOB (bit)
2.7K	70.3	11.37
4.9K	69.8	11.28
11.3K	69.7	11.28
23.1K	70.1	11.35
30.8K	69.2	11.2
44.1K	67.6	10.94

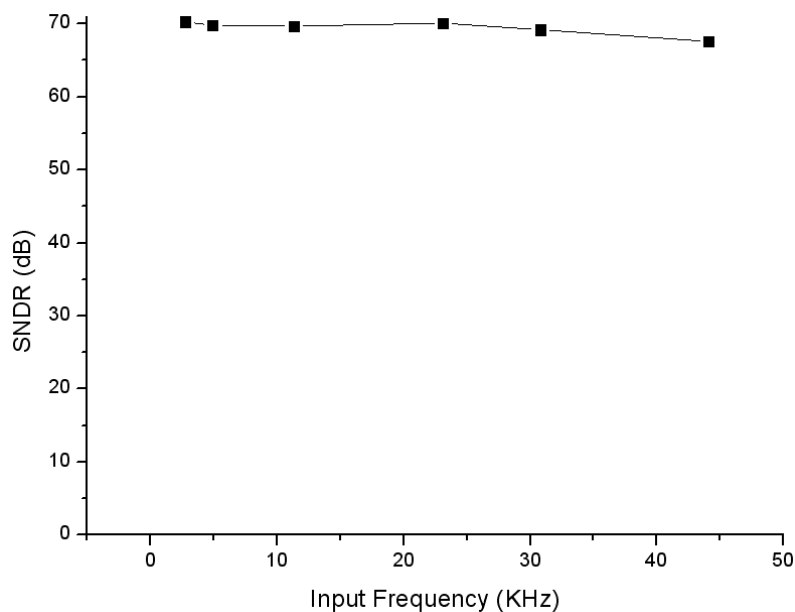


圖 5-4 12 位元模式下不同輸入頻率與 SNDR 之關係

5.2.2 功率消耗 (Power Dissipation)

本論文設計的類比數位轉換器操作在操作電壓 100KS/s 的取樣頻率下，其平均功率消耗為 5.42 μ W，表 5-4 為各單元所消耗功率列表。

表 5-4 各單元之消耗功率列表

	功率消耗 (μW)
取樣保持電路	0.25
前置放大器	2.88
拴鎖	0.15
數位類比轉換器	0.98
連續近似暫存器	1.16
連續漸近式類比數位轉換器	5.42

5.3 操作在 8 位元模式下之模擬結果

本章節將呈現整個連續漸近式類比數位轉換器操作在工作電壓為 0.5V、8 位元模式下之佈局後模擬結果。

5.2.1 動態參數：

圖 5-5 為 8 位元模式、取樣頻率為 10KS/s、輸入訊號為 1KHz 正弦波訊號時的頻譜結果圖。由模擬結果可以得到訊號對雜訊諧波比為 48.4dB、有效位元約為 7.75 位元，其功率消耗為 3.12 μW 。表 5-5 為不同 Corner 條件下之模擬結果。

表 5-5 8 位元模式下 10KS/s 取樣頻率 Corner 頻率響應特性

Process corner	SNDR(dB)	ENOB(bit)
TT	48.4	7.75
FF	43.5	6.93
SS	48.46	7.76
SNFP	48.4	7.75
FNSP	46.3	7.4

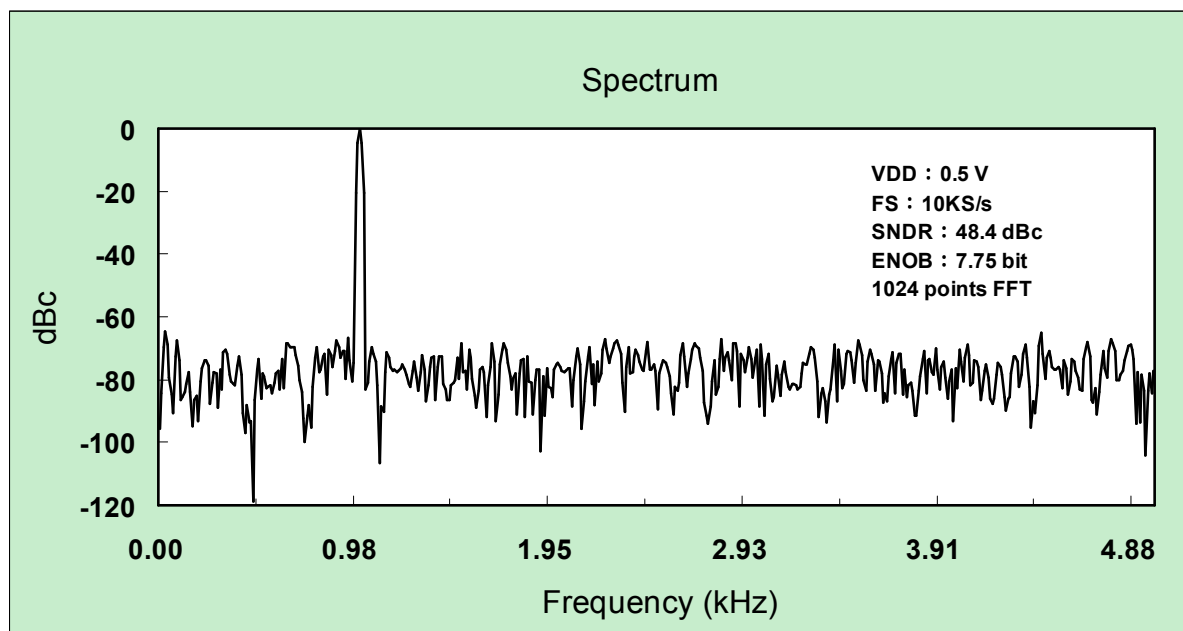


圖 5-5 8 位元模式下 10KS/s 取樣頻率之頻譜結果圖

表 5-6 為 8 位元模式下不同輸入頻率所得到之 SNDR，圖 5-6 為將此數據會製成圖。觀察圖 5-6 可以發現輸入頻率接近取樣頻率一半時，仍然有相當不錯的 SNDR 特性。所以可得到此類比數位轉換器工作在 8 位元、10KS/s 的取樣頻率下可達到 Nyquist frequency 的有效解析度頻寬。

表 5-6 8 位元模式下不同輸入頻率之 SNDR

Fin (Hz)	SNDR (dB)	ENOB (bit)
0.27K	48.9	7.83
0.49K	48.7	7.8
1.13K	48.4	7.75
2.31K	48.5	7.76
3.08K	48.2	7.71
4.41K	47.6	7.61

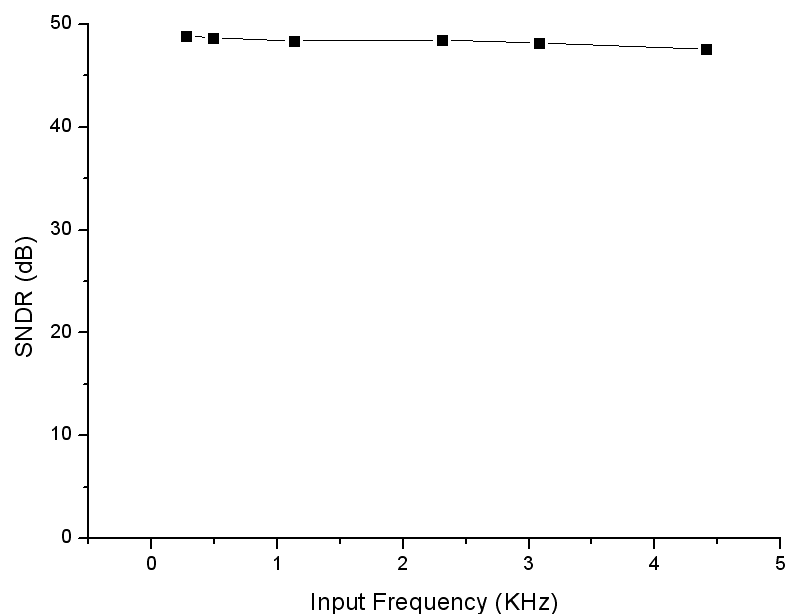


圖 5-6 8 位元模式下不同輸入頻率與 SNDR 之關係

5.4 類比數位轉換器模擬結果與比較

表 5-7 為數位類比轉換器之模擬結果摘要，用這些數據來和已發表之論文做比較。一般都是採用 FOM (Figure of merit) 來做比較。而 FOM 的公式如式 4-20 所示。表 5-8 為類比數位轉換器特性比較表。根據表 5-8 可以得知本論文之設計有極佳的 FOM，且具有低功率消耗的特性。

$$\text{FOM} = \frac{\text{Power}}{2^{\text{ENOB}} \cdot F_s} \quad (4-20)$$

表 5-7 類比數位轉換器模擬結果

Parameters	Result	
Supply Voltage (V)	0.5	0.5
Resolution (bit)	12	8
Sample Rate (KS/s)	100	10
ENOB (bit)	11.28	7.75
Power dissipation (μW)	5.42	3.12

表 5-8 類比數位轉換器比較表

	JSSC'10 [8]	JSSC'07 [9]	JSSC'03 [10]	ASSCC'07 [11]	ASSCC'09 [12]	This Work	
Technology (nm)	180	180	180	180	180	90	
Supply Voltage (V)	1.2	0.9	0.5	1	1	0.5	
Sampling Rate (KS/s)	50000	200	4.1	500	500	100	10
Resolution (bit)	10	8	8	8	10	12	8
ENOB (bit)	9.18	7.44	6.9	7.5	9.4	11.28	7.75
Power (μ W)	826	2.47	0.85	7.75	42	5.42	3.12
FOM (fJ/Conv-step)	29	65	867.9	86	1249	21.8	22500

5.5 量測考量



圖 5-7 為晶片量測環境之設定，操作電壓是由 Keithley 2400 Source Meter、Agilent E3610A Power Supply 以及 Agilent E3630A Power Supply 所提供，時脈訊號由 81130A Pulse Data Generator 產生，輸入訊號是由 33250A Function / Arbitrary Waveform Generator 供應。而類比數位轉換器的數位輸出則是使用 Agilent 16702B Logic Analysis 將輸出值取出經由 Matlab 作分析處理。

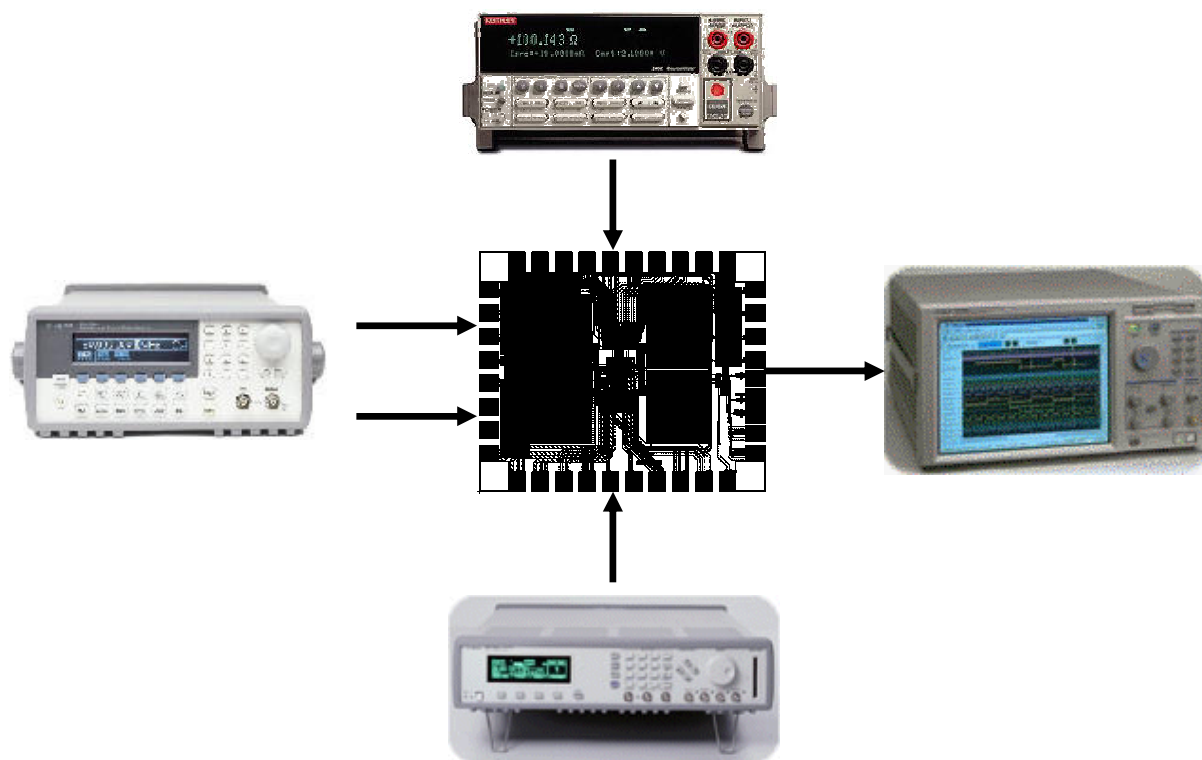


圖 5-7 量測環境設定



第六章

結論與未來展望



本論文提出一新的切換方式，能有效地降低連續漸近式類比數位轉換器在操作時所需要的切換能量，達到低功率的特性。本論文所提出之連續漸近式類比數位轉換器工作在操作電壓為 0.5V、取樣頻率為 100KS/s、12 位元情況下，其模擬結果 SNDR 為 69.7dB、ENOB 為 11.28bit、功率消耗為 5.42 μ W、FOM 為 21.8fJ/Conv-step。

雖然本論文提出之架構能有效地降低連續漸近式類比數位轉換器在轉換時所需要的切換能量，但由於本架構沒有使用 Sub DAC 的技巧，故應用於高解析度設計時需要較大的電容量，故在面積方面並無法得到優勢。在未來的設計中可以結合 Sub DAC 或是 C-2C 的技巧來降低電容量。此外，在論文此次設計中並沒有 Calibration 的機制，所以實作中元件的 Mismatch 會對電路造成較大的影響，所以在未來的設計中可以加入 Calibration 的機制來偵測誤差量並將其修正。

本論文所提出之連續漸近式類比數位轉換器曾經使用 UMC 90nm CMOS SP 製程來實現，其 Layout 以及晶片照相如圖 6-1 及圖 6-2 所示。此晶片和先前所提及的內容最大的不同在於前置放大器。此晶片的前置放大器電路圖如圖 6-3 所示。而本晶片實際量測結果無法達到當初設計所之功能。其功能表現出 1 位元的量化器。亦即當正端輸入高於負端輸入時，所有的數位輸出皆為 High。反之，則皆為 Low。經比較實際量測數據和模擬數據，由量測所得之數據可以發現提供輸入訊號的電壓源所提供之功率和模擬取樣保持電路一直在取樣輸入訊號時，輸入訊號源所提供之功率極為相近。由上述分析，可以推測此次晶片其取樣保持電路有可能一直在執行取樣的動作。

由於取樣保持電路的控制訊號是由連續近似暫存器產生。而之所以會產生上述問題，有可能是連續近似暫存器在佈局時考慮不夠，使的時脈產生錯誤。進而產生錯誤的控制訊號去控制取樣保持電路。所以在新版本中佈局時有加強時脈的考量，以避免相同的錯誤發生。

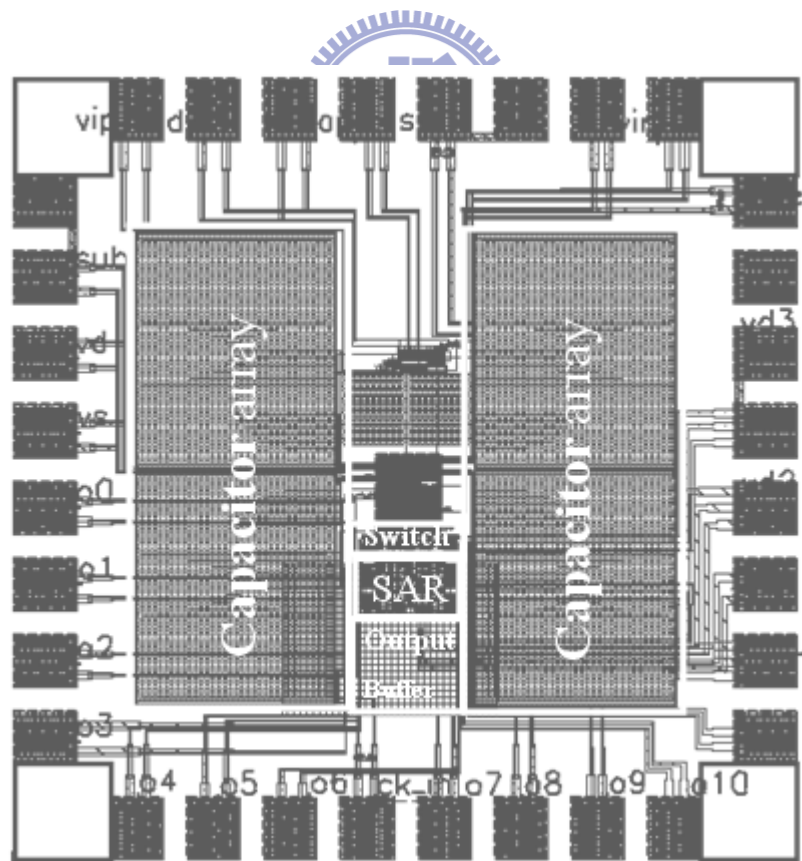


圖 6-1 晶片佈局圖

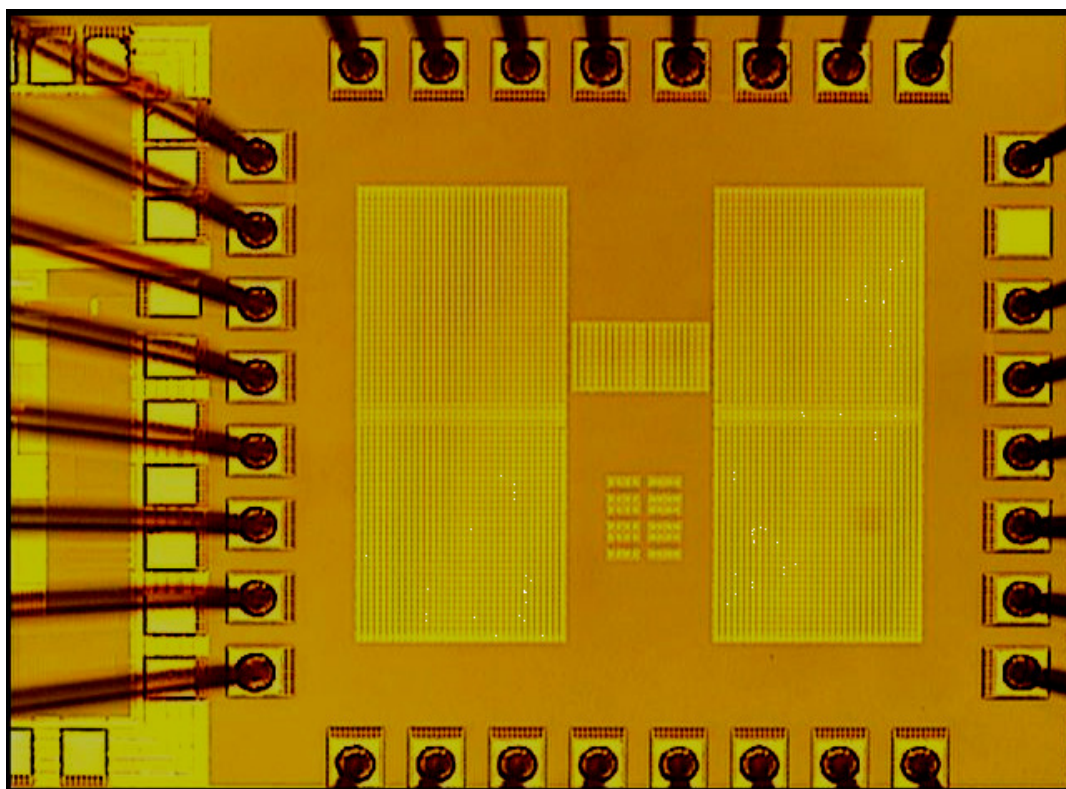


圖 6-2 晶片圖

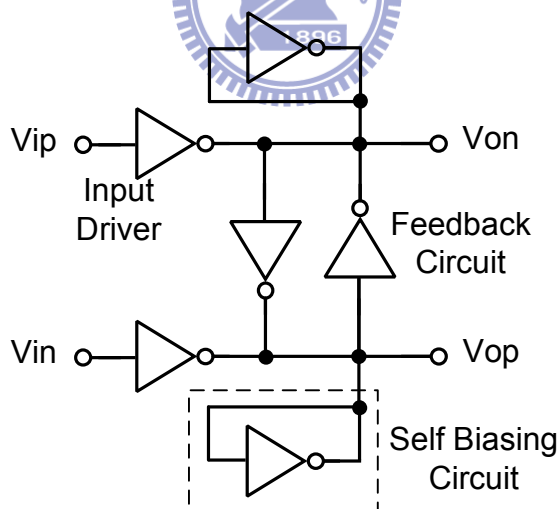


圖 6-3 前置放大器電路圖

未來會將第一次下線的晶片經由聚焦式離子束顯微鏡 (FIB) 去對晶片做電路修正，觀察取樣保持電路的控制訊號是否真的如預期地發生錯誤。如果真是控制訊號發生錯誤，則會經由外部產生控制訊號去控制取樣保持電路，並量測類比數位轉換器是否有正確的操作。

參考文獻

- [1] D. A. Johns and K. Martin, "Analog Integrated Circuit Design," John Wiley and Sons Inc., 1997.
- [2] F. Maloberti, "Data converters," Springer Press, 2007.
- [3] M. Gustavsson, J. J. Wikner and N. N. Tan, "CMOS Data Converters for Communications," Kluwer Academic Publishers, 2000.
- [4] B. Razavi, "Design of Analog CMOS Integrated Circuits," McGRAW-HILL International Edition, 2001.
- [5] P. E. Allen, "CMOS Analog IC Design, 2nd Edition," Oxford University Press, 2002
- [6] R. J. Baker, "CMOS Circuit Design Layout and Simulation, 2nd Edition," IEEE Press, 2005
- [7] B. P. Ginsburg and A. P. Chandrakasan, "An energy-efficient charge recycling approach for a SAR converter with capacitive DAC," *IEEE Journal of Solid-State Circuits*, vol. 1, pp. 184 - 187, 2005.
- [8] C. C. Liu, S. J. Chang, G. Y. Huang, and Y. Z. Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," *IEEE Journal of Solid-State Circuits*, vol. 45, pp. 731-740, 2010.
- [9] H. C. Hong and G. M. Lee, "A 65-fJ/Conversion-Step 0.9-V 200-kS/s Rail-to-Rail 8-bit Successive Approximation ADC," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 2161-2168, 2007.
- [10] J. Sauerbrey, D. Schmitt-Landsiedel, and R. Thewes, "A 0.5-V 1- μ W successive approximation ADC," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 1261-1265, 2003.
- [11] Y. K. Chang, C. S. Wang, and C. K. Wang, "A 8-bit 500 KS/s low power SAR ADC for bio-medical application," *IEEE ASSCC Dig. Tech. Papers*, pp. 228-231, 2007.
- [12] W. Y. Pang, C. S. Wang, Y. K. Chang, N. K. Chou, and C. K. Wang, "A 10-bit 500-KS/s low power SAR ADC with splitting comparator for bio-medical applications," *IEEE ASSCC Dig. Tech. Papers*, pp. 149-152, 2009.
- [13] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques. I," *IEEE Journal of Solid-State Circuits*, vol. 10, pp. 371-379, 1975.
- [14] R. E. Suarez, P. R. Gray, and D. A. Hodges, "All-MOS charge-redistribution analog-to-digital conversion techniques. II," *IEEE Journal of Solid-State Circuits*, vol. 10, pp. 379-385, 1975.
- [15] C. C. Liu, S. J. Chang, G. Y. Huang, and Y. Z. Lin, "A 0.92mW 10-bit 50-MS/s SAR ADC in 0.13 μ m CMOS process," *IEEE Symp. VLSI Circuits Dig.*, pp. 236-237, Jun. 2009.

- [16] V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. Van der Plas, and J. Craninckx, "An 820 μ W 9b 40MS/s Noise-Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," *IEEE ISSCC Dig. Tech. Papers*, pp. 238–239, 2008.
- [17] M. D. Scott, B. E. Boser, and K.S.J. Pister, "An Ultralow-Energy ADC for Smart Dust," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 1123-1129, 2003.
- [18] S. Mortezapour and E.K.F. Lee, "A 1-V, 8-bit successive approximation ADC in standard CMOS process," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 642-646, 2000.
- [19] R. K. Hester, K. S. Tan, M. de Wit, J. W. Fattaruso, S. Kiriaki, and J. R. Hellums, "Fully differential ADC with rail-to-rail common-mode range and nonlinear capacitor compensation," *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 173-183, 1990.
- [20] N. Verma and A. Chandrakasan, "A 25 μ W 100kS/s 12b ADC for Wireless Micro-Sensor Applications," *ISSCC Dig. Tech. Papers*, pp. 222-223, 2006.
- [21] W. C. Song, H. W. Choi, S. U. Kwak, and B. S. Song, "A 10-b 20-Msamples Low-Power CMOS ADC," *IEEE Journal of Solid-State Circuits*, vol. 30, pp. 514-521, 1995.
- [22] Y. Chen, S. Tsukamoto, and T. Kuroda, "A 9b 100MS/s 1.46mW SAR ADC in 65nm CMOS," *IEEE ASSCC Dig. Tech. Papers*, pp. 145-148, 2009.

