

國立交通大學

電控工程研究所

碩士論文

應用於鎖相迴路之高解析度相位頻率偵測法
**A High Resolution Method of Phase Frequency
Detection for All Digital Phase-Locked Loop**

研究生：林群育

指導教授：蘇朝琴 教授

中華民國一百年七月

應用於鎖相迴路之高解析度相位頻率偵測法
A High Resolution Method of Phase Frequency
Detection for All Digital Phase-Locked Loop

研究生：林群育

Student : Chun-Yu Lin

指導教授：蘇朝琴 教授

Advisor : Chau-Chin Su

國立交通大學

電控工程研究所



Submitted to Institute of Electrical Control Engineering
College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical Control Engineering

June 2011

Hsinchu, Taiwan, Republic of China

中華民國一百年七月

應用於鎖相迴路之高解析度相位頻率偵測法

研究生：林群育

指導教授：蘇朝琴 教授

國立交通大學電控工程研究所

摘 要

我們提出一個應用於鎖像迴路之高解析度相位頻率偵測法。在鎖定過程中的頻率搜尋模式和相位維持模式裡，共用單一的相位偵測器輸出，借此得到相位和頻率資訊。當頻率搜尋完成，參考訊號的相位和回授訊號的相位之間存在的相位誤差將趨近於零。因此上述的方法可以降低鎖定迴路的電路複雜度和鎖定時間。

所提出的電路架構被實現在 UMC 90nm 1P9M standard CMOS 製程，經模擬結果顯示時脈抖動為 80ps，功率消耗為 2.46mW，輸出頻率為 1.25GHz，並且具有八個相位輸出，晶片面積為 140 μm ×110 μm 。

關鍵字：鎖相迴路、全數位鎖相迴路、相位頻率偵測器、二元搜尋法、三角積分調變器

A High Resolution Method of Phase Frequency Detection for All Digital Phase-Locked Loop

Student: Chun-Yu Lin Advisor: Chau-Chin Su

Institute of Electrical Control Engineering

National Chiao Tung University

Abstract

We proposed a high resolution phase method of frequency detection for all digital phase locked loop. We use single output of the phase detector to obtain phase and frequency information for both frequency search and phase maintain modes. When the frequency search is finished, the phase error between the reference clock and the feedback clock will approach to zero. So the proposed method can reduce the circuit complexity and locking time of a phase-locked loop system.

The proposed ADPLL is implemented in UMC 90nm 1P9M standard CMOS technology with standard cell. The simulation results show that the output clock has a peak-to-peak jitter of 80ps, the power consumption is 46mW, the output frequency is 1.25GHz, and the chip size is $140\ \mu\text{m} \times 110\ \mu\text{m}$.

Keyword: phase-locked loop, all digital phase-locked loop, phase frequency detector, binary search method, sigma-delta modulator

致 謝

首先我要感謝我的指導老師 蘇朝琴教授。三年來不遺餘力的在專業領域上提供建議與指正，正確的指引在迷失中點燃一盞明燈給我；錯誤的引導更讓我學習分辨什麼是錯誤的。丟了許多問題給我解決，讓我學習到學習的方法，具有終身自我學習的能力。另外在做人處事的方面，我更是看到了長者的風範。告訴我們做人上必須具備的各種素養，以及身為一個碩士應該給自己人生設定的格局。

接下來要感謝的是一起度過碩士生涯的實驗室同仁。盈杰學長在我需要臨門一腳的時候提供幫助，讓我得以順利畢業。仁乾學長不辭辛勞的讓我問許多奇怪的問題，滿足學術上的各種好奇心。煜輝學長在我失意的時候拍拍肩膀跟我說加油。庭佑學長很辛苦的維護工作站，讓我的研究可以順利進行。當然還要感謝碩士班的同學與學長學弟們，這三年一起夾帶著許多汗水與淚水一同度過。感謝學長們洲銘、家齊和于昇提供許多經驗。感謝同學們鈞藝、土豆、博祥、哲瑋、修銘在學業上互相討論及一起玩樂。感謝學弟們璟伊、阿衝、順煜、澤勝、昶志、嘉哲、承振和耿嘉的陪伴，感謝學妹紅豆和我到處閒晃及聊八卦。無法想像如果少了你們我的碩班生活會是多麼的乏味。

最後要感謝的是最重要的家人，我的兄弟、爸爸、爺爺、奶奶、及其他的親戚們，在過程中給我鼓勵。最要感謝的是我的母親，支持我繼續攻讀碩士班，告訴我這個學位只要我有能力就一定要拿到，無論生活多麼辛苦。然而很難過的她在我碩班的過程中過世了，最大的遺憾是不能讓母親妳看到我畢業的這天。我的一切都是妳給的，沒有妳就不會有今天的我。我將這個學位獻給您，我親愛的母親，我會繼續努力讓妳以我為榮。

林群育 2011 夏

目錄

摘 要	I
Abstract	II
致 謝	III
目 錄	IV
表目錄	VIII
圖目錄	IX
第一章	1
緒論	1
1.1 簡介	1
1.2 研究動機	2
1.3 論文結構	2
第二章	3
鎖相迴路原理與文獻	3
2.1 前言	3
2.2 鎖相迴路基本架構	4
2.3 類比式鎖相迴路	5

2.4 數位式鎖相迴路	7
2.4.1 相位頻率偵測器	8
2.4.2 充電幫浦/迴路濾波器	9
2.4.3 壓控振盪器	10
2.5 全數位鎖相迴路	11
2.5.1 數位式相位偵測器	12
2.5.2 數位控制電路	13
2.5.3 數位控制震盪器	14
2.6 數位式鎖相迴路架構探討	15
2.6.1 含迴路增益控制器之全數位鎖相迴路[1]	15
2.6.2 動態調整迴路增益之全數位頻率合成器[2]	17
2.6.3 使用頻率預測演算法之全數位鎖相迴路[3]	20
2.6.4 文獻探討總結	21
2.7 綜合比較	22
第三章	23
鎖相迴路系統分析	23
3.1 鎖相迴路模型	23
3.2 全數位鎖相迴路線性模型	25
3.2.1 相位對數位轉換器線性模型	25
3.2.2 數位濾波器線性模型	26

3.2.3 線性模型參數定義與分析	27
3.3 非線性全數位鎖相迴路分析	28
3.3.1 非線性全數位鎖相迴路架構	28
3.3.2 非線性全數位鎖相迴路時域分析	29
3.3.3 非線性全數位鎖相迴路穩定度分析	33
3.4 鎖相迴路雜訊影響	34
3.4.1 全數位鎖相迴路環境雜訊	35
3.4.2 全數位鎖相迴路量化雜訊	36
3.4.3 考量雜訊之全數位鎖相迴路	36
3.5 總結	37
第四章	38
應用於鎖相迴路之高解析度相位頻率偵測法	38
4.1 架構簡介	38
4.2 高解析度相位頻率偵測法與鎖定方式	39
4.2.1 二元頻率搜尋法	39
4.2.2 頻率偵測法與鎖定方式	40
4.3 Bang-Bang 相位偵測器	44
4.4 除頻器	46
4.5 數位控制電路	47
4.6 三角積分調變器	49

4.7 數位控制振盪器	52
第五章	60
系統模擬、佈局與量測.....	60
5.1 製作流程	60
5.2 系統模擬	61
5.2 晶片佈局圖	64
5.3 佈局後模擬	66
5.4 電路規格	68
5.5 性能比較	68
5.6 量測考量	69
5.7 晶片圖與量測結果	71
第六章	72
結論	72
參考文獻.....	74



表目錄

表 2.1 各式鎖相迴路比較表	22
表 4.1 BBPD 製程飄移下之死區和誤差值	45
表 4.2 加入 $\Delta\Sigma$ 調變器的等效週期變化	52
表 4.3 操作頻率可調整範圍	56
表 4.4 數位控制振盪器細部規格	58
表 5.1 晶片腳位屬性表	66
表 5.2 佈局後模擬之輸出時脈抖動 (Peak-to-peak jitter)	67
表 5.3 電路規格表	68
表 5.4 效能比較表	69



圖目錄

圖 2.1 基本鎖相迴路方塊圖	4
圖 2.2 類比式鎖相迴路模型	5
圖 2.3 (a) 理想相位偵測器方塊 (b) 相同頻率輸入之相位誤差 (c) 特性曲線.....	5
圖 2.4 壓控震盪器特性曲線	6
圖 2.5 充電幫浦式鎖相迴路方塊圖	7
圖 2.6 相位頻率偵測器電路圖與時序圖	8
圖 2.7 (a) 相位誤差小於死區輸出波形 (b) 死區示意圖	8
圖 2.8 (a) 一階低通濾波器 (b) 二階低通濾波器 (c) 三階低通濾波器.....	9
圖 2.9 充電幫浦	9
圖 2.10 充電幫浦充放電示意圖	10
圖 2.11 負回授系統	10
圖 2.12 不同觀點之回授系統 (a) 負回授 180° (b) 正回授 0° (c) 正回授 360°	11
圖 2.13 全數位鎖相迴路架構圖	11
圖 2.14 (a) 基本時間數位轉換器架構圖 (b) 時間數位轉換器等效曲線.....	12
圖 2.15 (a) BBPD 方塊圖 (b) BBPD 輸出入特性曲線圖	13
圖 2.16 由數位類比轉換器和壓控振盪器組合成的數位控制振盪器架構圖	14
圖 2.17 透過電晶體陣列改變電源電壓式數位控制振盪器架構圖	14
圖 2.18 改變驅動能力和輸出負載式數位控制振盪器架構圖	15
圖 2.19 含迴路增益控制器之全數位鎖相迴路架構圖	16
圖 2.20 Bang-Bang PFD 電路方塊圖.....	16
圖 2.21 動態調整迴路增益之全數位頻率合成器架構圖	17
圖 2.22 高速非同步除頻器[2]	18
圖 2.23 鎖定監視器架構圖及鎖定曲線圖[2]	19

圖 2.24 頻率預測演算法之全數位鎖相迴路架構圖[3]	20
圖 3.1 鎖相迴路線性模型	24
圖 3.2 (a)相位-數位轉換器方塊圖 (b)相位-數位轉換器特性曲線	25
圖 3.3 相位-數位轉換器線性模型	25
圖 3.4 類比濾波器經雙線性轉換為數位濾波器	26
圖 3.5 充電幫補鎖相迴路線性模型方塊圖	27
圖 3.6 全數位鎖相迴路線性模型方塊圖	27
圖 3.7 Bang-Bang 鎖相模式等效系統方塊圖	28
圖 3.8 非線性全數位鎖相迴路時序分析圖 (引用於[2]).....	29
圖 3.9 Bang-Bang 鎖相迴路輸出頻率模擬圖	31
圖 3.10 Bang-Bang 鎖相迴路相位誤差對時間模擬圖	31
圖 3.11 Bang-Bang 鎖相迴路 phase plane 模擬圖	32
圖 3.12 系統發散的 Bang-Bang 鎖相迴路 phase plane 模擬圖	32
圖 3.13 常數迴路延遲 ($D=1$) 的 Bang-Bang 鎖相迴路行為	33
圖 3.14 常數數位濾波器增益 ($\alpha=1$ 、 $\beta=2$) 的 Bang-Bang 鎖相迴路行為	34
圖 3.15 具有雜訊源之鎖相迴路線性模型	35
圖 4.1 全數位鎖相迴路架構圖	39
圖 4.2 二元頻率搜尋法示意圖	39
圖 4.3 全數位鎖相迴路系統方塊圖	40
圖 4.4 雙倍和三倍於參考時脈週期之頻率搜尋模式	41
圖 4.5 相位頻率搜尋法之時序示意圖	42
圖 4.6 多相位輸出示意圖	43
圖 4.7 Bang-Bang 相位偵測器電路圖	44
圖 4.8 BBPD 輸入輸出遲滯曲線圖	45
圖 4.9 具有 Retime 功能的除頻器	46
圖 4.10 具有 Reset 功能的 TSPC D 型正反器	46

圖 4.11 數位控制電路方塊圖	47
圖 4.12 數位濾波器系統方塊圖	47
圖 4.13 二元搜尋電路方塊圖	48
圖 4.14 二元頻率搜尋示意圖	49
圖 4.15 具量化雜訊之一階 $\Delta\Sigma$ 調變器	49
圖 4.16 一階 $\Delta\Sigma$ 調變器數位信號方塊圖	50
圖 4.17 一階 $\Delta\Sigma$ 調變器電路方塊圖	51
圖 4.18 具智能功能之數位控制振盪器方塊圖	52
圖 4.19 延遲元件電路	53
圖 4.20 起始振盪單元及控制邏輯電路	54
圖 4.21 獨器操作電路及示意圖	55
圖 4.22 粗調和微調機制的頻率掃描圖	55
圖 4.23 微調機制振盪週期變化	56
圖 4.24 獨立操作振盪週期變化	57
圖 4.25 控制位元變化時產生間隔示意圖	57
圖 4.26 自製三態反相器佈局圖	59
圖 4.27 數位控制振盪器自動繞線佈局圖	59
圖 5.1 混合訊號 IC 設計流程圖	61
圖 5.2 鎖相迴路系統方塊圖	62
圖 5.3 Verilog RTL level 時序圖	63
圖 5.4 全晶片佈局圖	65
圖 5.6 二元頻率搜尋法頻率收斂曲線圖	66
圖 5.7 佈局後模擬各 Corner 輸出眼圖	67
圖 5.8 汲極開路輸出驅動電路	69
圖 5.9 量測晶片架構圖	70
圖 5.10 實際晶片照相圖	71

第一章

緒論



1.1 簡介

隨著科技不斷的進步，製程不斷的縮小，一個積體電路裡擁有數十億個電晶體是很常見的。因此在一個晶片裡面都具有一整個系統，系統整合晶片 (System on chip)儼然變成一個趨勢。當一個系統由許多不同功能電路所組成時，時脈的同步就變成一個很重要的議題。因此著手研究一個高效能、高速率、高整合性、低功率消耗及低成本的系統時脈為刻不容緩的。

產生一個穩定的系統時脈，鎖相迴路為必備的電路之一。然而隨著以數位電路來取代傳統的類比電路之趨勢，近年來開始出現高效能之全數位的鎖相迴路，也由於全數位式鎖相迴路的出現，創新數位式鎖相迴路的架構掀起了一陣熱潮。

1.2 研究動機

傳統的類比式鎖相迴路往往隨著製程轉移，在重新設計上需要花費許多時間。雖然類比式鎖相迴路也具有較小的時脈抖動，但是迴路濾波器經常佔用掉非常大的晶片面積。隨著製程的演進，在有線資料傳輸中全數位式鎖相迴路的效能也可以達成所需的規格。因此隨著消費者對於可攜式電子產品的訴求不斷提高，以全數位的設計方式來設計一個體積小、待機時間久且操作速度快的產品慢慢的變成焦點。其中以數位式的迴路濾波器取代傳統的類比迴路濾波器以降低面積是一個很大的優點。在低功率設計的考量中，由於總功率包含交流功率 (AC power) 和直流功率 (DC power)。雖然降低交流功率最直接的方式為降低與功率消耗成平方正比的操作電壓，但是一旦操作電壓降低電路的設計考量變得更為複雜。再者全數位式的鎖相迴路中所使用的數位控制電路理應當以標準元件庫 (Standard cell library) 製作完成。使用硬體描述語言所設計的數位控制電路比全客製化的數位電路更具有可攜性。然而目前提供的標準元件庫皆以標準電壓 (Regular voltage) 設計，標準元件庫與低壓元件組合成系統是相當複雜的一件事情。因此提出一個較好的演算法來降低系統電路複雜度，進而降低晶片面積、功率消耗，是另一個解決問題的方向。

1.3 論文結構

本論文內容分成六個章節。第一章為緒論，說明全數位鎖相迴路的發展現況，研究動機，以及論文結構。第二章為鎖相迴路基本原理，介紹各種鎖相迴路電路架構，且分析幾種全數位鎖相迴路實現方式。第三章介紹鎖相迴路的線性模型，先討論基本架構鎖相迴路線性模型，接著介紹非線性鎖相迴路穩定性分析，並推導出可實現的非線性所像迴路，最後分析鎖相迴路的雜訊。第四章為全數位鎖相迴路電路設計的實現。第五章為系統的模擬以及晶片佈局，包含了系統行為模擬、佈局前模擬、佈局後模擬、規格表、比較表、量測考量與結果。第六章為結論，討論電路設計結果。

第二章

鎖相迴路原理與文獻



2.1 前言

在開始介紹鎖相迴路基本原理之前，我們先回顧一下鎖相迴路的演進史。鎖相迴路是在 1932 年由法國人 H. de Bellesize 發明，一直到 1947 年電視機的水平與垂直掃描同步信號開始使用鎖相迴路，才正式將鎖相迴路應用在產品上。但是礙於當時的半導體製造技術還沒有到達積體電路的階段，真正開始將鎖相迴路應用在各種需要時脈的電路上是在 1965 年類比積體電路發展成功才被廣為流傳。隨著製程技術不斷的提升，系統整合晶片 (System on chip) 的出現，鎖相迴路儼然變成系統中不可或缺的次電路。鎖相迴路主要有三大功能，其一是用來提供本地振盪的時脈產生器 (Clock generator)，再來是用於時脈回復的時脈資料回復電路 (Clock data recovery)，最後是用於射頻電路頻率升降與切換頻道 (Channel) 的頻率合成器 (Frequency synthesizer) 中。

一如常見的控制系統，鎖相迴路電路為一個閉迴路 (Close loop) 控制系統電路。當我們在設計一個閉迴路電路其各種控制參數就相對的重要。在探討閉迴路電路特性之前必須要適當的設計極點 (Pole)、零點 (Zero)、開迴路增益 (Open loop gain)，選擇合適的迴路頻寬 (Loop gain bandwidth) 使系統具有足夠的相位邊限 (Phase margin) 達到系統穩定是很重要的。因此了解不同型式的鎖相迴路是必要的，我們將介紹不同類型的鎖相迴路特性及優缺點。設計流程為：先使用高階程式語言 (MATLAB、Verilog、C language) 模擬其行為模式 (Behavior model) 確認其可行性，再進一步選擇電路架構。如何利用等效的線性模型 (Linear model) 分析全數位鎖相迴路，及其他方式分析非線性系統，常使用的設計流程將在第三個章節再加以介紹。

2.2 鎖相迴路基本架構

一個基本的鎖相迴路至少包含三個基本電路方塊，相位偵測器 (Phase detector)、迴路濾波器 (Loop filter) 及電壓控制震盪器 (Voltage controlled oscillator)。圖 2.1 為一鎖相迴路的基本架構 (Basic structure of PLL)。

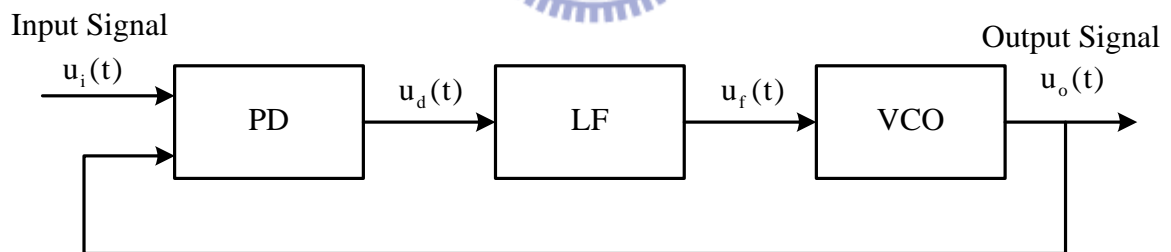


圖 2.1 基本鎖相迴路方塊圖

根據相位偵測器分辨輸出和輸入相位之間的誤差 $u_d(t)$ 。迴路濾波器將相位誤差的累積轉換成一電壓訊號 $u_f(t)$ ，藉此改變壓控振盪器輸出頻率。透過微調振盪器輸出頻率來修正輸出和輸入之間的相位誤差達到相位鎖定。迴路濾波器在此也扮演著低通濾波器的角色，可以濾除高頻雜訊。

2.3 類比式鎖相迴路

類比式鎖相迴路由基本架構的三個方塊所組成，系統方塊圖如同圖 2.1。我們進一步分析每個區塊所扮演的數學函數，圖 2.2 為等效的 S 平面系統模型。

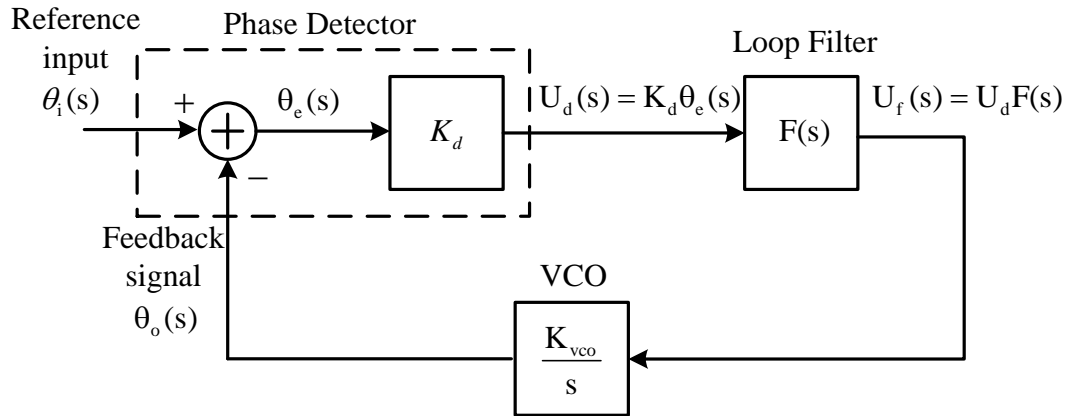


圖 2.2 類比式鎖相迴路模型

相位偵測器:相位偵測器等效的行為模式為一個具有放大倍率的相位減法器。先將參考相位與回授相位相減得到相位誤差 (Phase error)，再放大一個增益 K_d 。圖 2.3 為一理想的相位偵測器方塊圖和特性曲線，其行為又類似一個誤差放大器 (Error amplifier)。

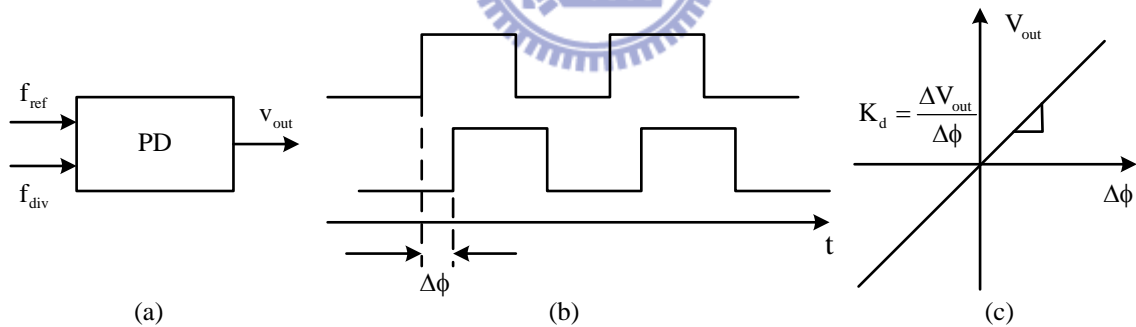


圖 2.3 (a) 理想相位偵測器方塊 (b) 相同頻率輸入之相位誤差 (c) 特性曲線

因此在圖 2.2 中相位偵測器等效轉移函數為

$$U_d(s) = K_d \theta_e(s) = K_d [\theta_i(s) - \theta_o(s)] \quad (2.1)$$

迴路濾波器:在類比式鎖相迴路中，迴路濾波器可以分為主動式或被動式低通濾波器。其主要功能為提供極零點使系統穩定，並且濾掉高頻雜訊後輸出一直流電壓提供給壓控震盪器。

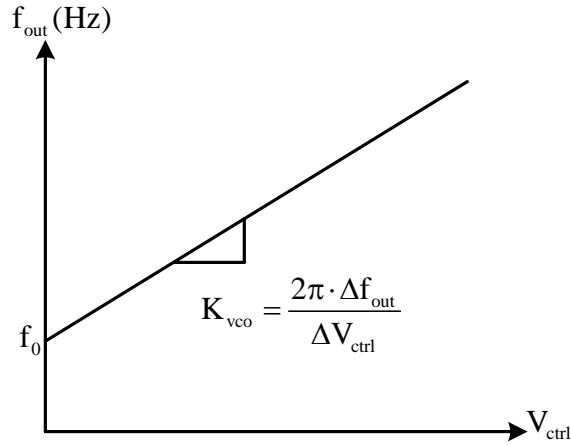


圖 2.4 壓控震盪器特性曲線

壓控振盪器:壓控振盪器其輸入電壓與輸出頻率之關係可用圖 2.4 表示。當輸入電壓為零時，其所對應到的輸出振盪頻率 f_0 稱為自由振盪 (Free running) 頻率。我們定義一參數 K_{vco} 為輸入電壓轉換為輸出頻率之關係式，根據不同的電路特性 K_{vco} 有正負的不同。圖 2.4 輸入控制電壓上升而輸出頻率上升，我們可以表示為

$$f_{out} = f_0 + K_{vco} \cdot V_{ctrl} \quad (2.2)$$

又相位為頻率的積分

$$\theta_o(t) = 2\pi \times \int \Delta f_{out} dt = K_{vco} \times \int \Delta V_{ctrl} dt \quad (2.3)$$

取拉式轉換 (Laplace transform) 可得壓控振盪器的轉移函數

$$\theta_o(s) = \frac{K_{vco} \cdot \Delta V_{ctrl}(s)}{s} \quad (2.4)$$

$$\frac{\theta_o(s)}{\Delta V_{ctrl}} = \frac{K_{vco}}{s} \quad (2.5)$$

因此我們可以得知壓控振盪器的行為模式為一具有增益 K_{vco} 的相位積分器，於圖 2.2 中相對應到的轉移函數為

$$\theta_o = \frac{U_f(s) \times K_{vco}}{s} \quad (2.6)$$

以 $F(s)$ 代表迴路濾波器，類比式鎖相迴路的轉移函數可以整理如下

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d K_o F(s)}{s + K_d K_o F(s)} \quad (2.7)$$

2.4 數位式鎖相迴路

數位式鎖相迴路 (Digital PLL) 是將類比式鎖相迴路中部分類比電路置換成數位電路構成。最普遍的數位式鎖相迴路為充電幫浦鎖相迴路 (Charge pump PLL)，包含了相位頻率偵測器 (Phase frequency detector)、充電幫浦 (Charge pump)、迴路濾波器 (Loop filter)、壓控振盪器 (Voltage control oscillator) 及除頻器 (Frequency divider)。其架構如圖 2.5 所示

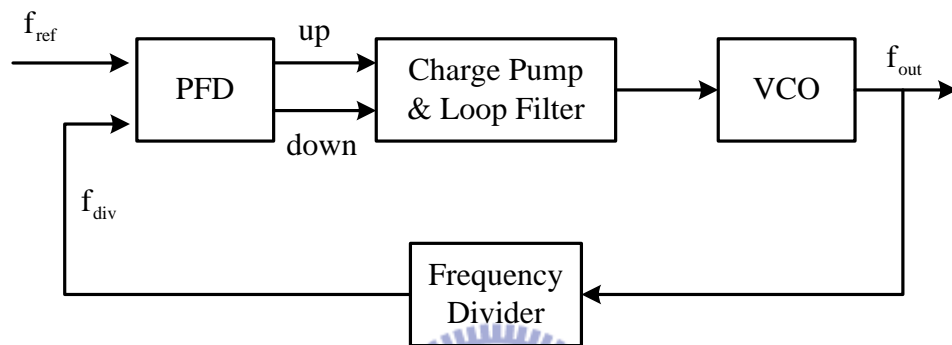


圖 2.5 充電幫浦式鎖相迴路方塊圖

充電幫浦式鎖相迴路不像類比式鎖相迴路輸出頻率 f_{out} 與輸入參考頻率 f_{ref} 相等，加入了除頻器以後的數位式鎖相迴路具有倍頻的效果。其主要工作原理為將輸入參考頻率和輸出頻率除頻後的回授頻率 f_{div} ，利用相位頻率偵測器分辨出頻率和相位的快慢進而產生一個上升 (up) 或下降 (down) 的訊號給充電幫浦，充電幫浦提供一順向或逆向電流對迴路濾波器進行充放電改變其輸出電壓。迴路濾波器的輸出電壓控制壓控振盪器改變輸出頻率，最後除頻器再將輸出頻率除頻跟輸入參考頻率比較。重複相同的動作以維持輸入參考訊號和回授訊號的頻率及相位，維持輸入到輸出的倍頻關係。由於加入了數位電路的部分，使操作時間變成一個離散時間系統 (Discrete time system)。在此時間系統我們理論上應該要使用 Z 頻域 (Z-domain) 做系統分析，但往往我們會設計迴路頻寬小於輸入參考訊號數十倍，因此可以近似為連續時間系統。接下來我們將一一描述充電幫浦式鎖相迴路各個方塊的行為及其等效線性模型。

2.4.1 相位頻率偵測器

如圖 2.6 所示，為一個典型的相位頻率偵測器 (Phase frequency detector)。利用兩個邊緣觸發式的 D 型正反器將其輸入接到高準位 (Tie high)，加上一個 AND 邏輯閘構成的全靜態邏輯電路架構。

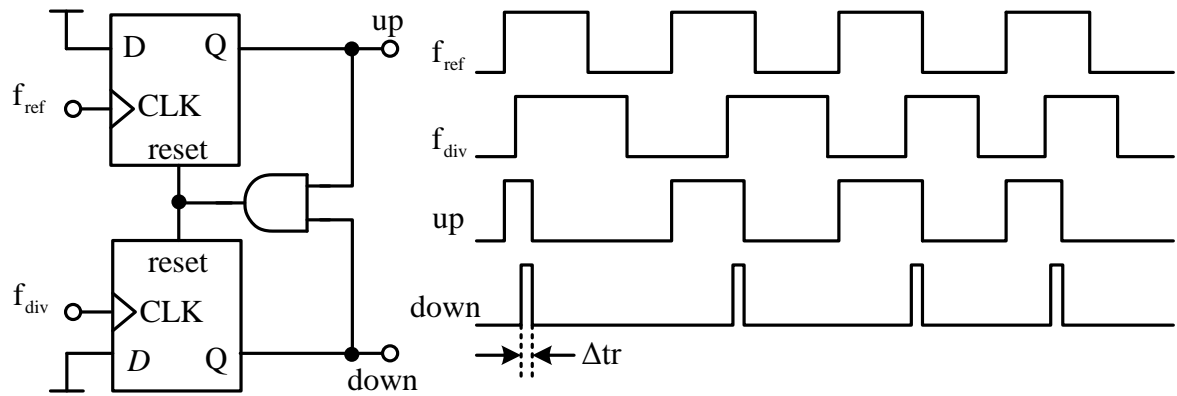


圖 2.6 相位頻率偵測器電路圖與時序圖

當輸入參考信號先到達觸發 up 訊號為 high，再等到回授信號到達觸發 down 訊號為 high 時，AND 邏輯閘輸出為 high 觸發正反器的 reset，up 和 down 的值即清除為 low 等待下一次的相位比較。up 信號的脈波寬度近似為參考信號領先回授信號的相位差，若是回授信號先到達則反之亦然。圖 2.6 中的 Δtr 為 AND 邏輯閘和正反器 reset 的延遲時間，當我們考量到相位頻率偵測器的死區 (Dead zone) 時會在 reset 的延遲時間上做改善。

死區定義為當參考信號及回授信號相位誤差極為接近，當 $\Delta\phi$ 小於死區則此次的相位比較結果即無法反應在輸出相位改變上，使得 up 或 down 的輸出脈波訊號無法產生一完整脈波開啟充電幫浦如圖 2.7 (a) 所示，其特性曲線如圖 2.7 (b) 所示。

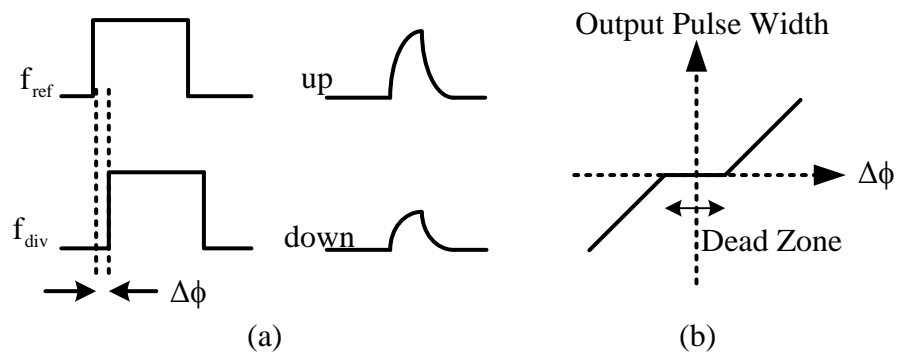


圖 2.7 (a) 相位誤差小於死區輸出波形 (b) 死區示意圖

2.4.2 充電幫浦/迴路濾波器

一個鎖相迴路中利用直流增益和極零點位置決定其系統穩定性，利用迴路濾波器增加系統極零點是最直接的方式。在類比的迴路濾波器可用主動式和被動式低通濾波器實現，然而被動式濾波器在設計上較為簡單。因此迴路濾波器的實現往往以被動式濾波器為主，圖 2.8 (a) (b) (c) 分別為一階、二階及三階低通濾波器。

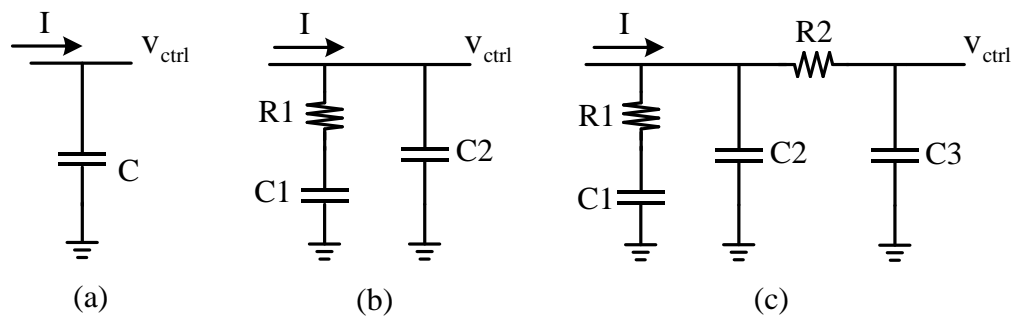


圖 2.8 (a) 一階低通濾波器 (b) 二階低通濾波器 (c) 三階低通濾波器

相位頻率偵測器的輸出數位脈波訊號透過充電幫浦轉為電流訊號，再根據 up 和 down 訊號決定開啟充電或放電的電流源對迴路濾波器衝放電改變控制電壓。傳統充電幫浦電路架構，包含兩個電流源 (Current source) 以及兩個透過相位頻率偵測輸出訊號控制的切換開關所組成。圖 2.9 所示為充電幫浦串接上一二階低通濾波器

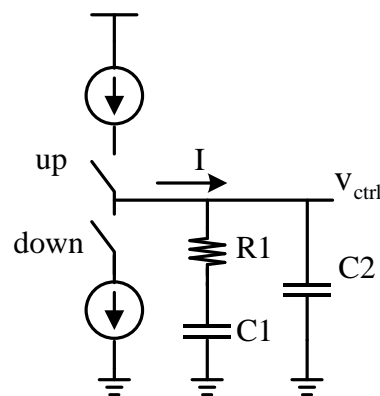


圖 2.9 充電幫浦

如圖 2.10 所示，充電幫浦在沒有輸入訊號時不對負載做充放電，維持著固定的輸出電壓。當輸入 up 或 down 訊號時充電幫浦會對負載充放電，藉由充放電改變輸出電壓以控制鎖相迴路的震盪頻率。

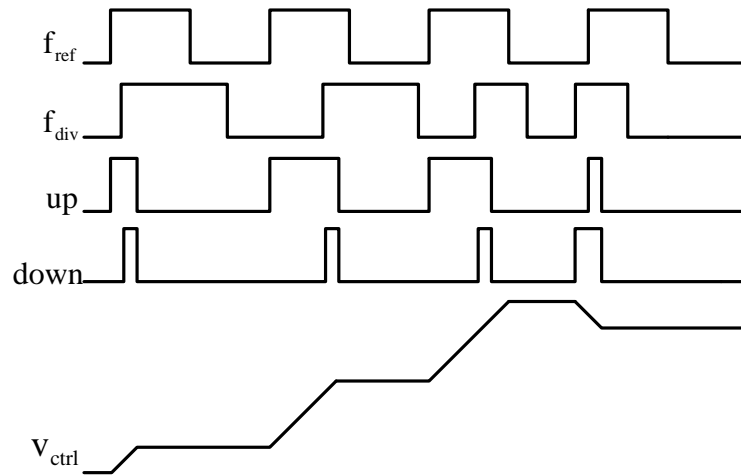


圖 2.10 充電幫浦充放電示意圖

傳統的充電幫浦具有很多非理想效應，會使輸出電壓不穩定影響鎖相迴路效能。例如輸入脈波訊號寬度不足以使開關導通、電流源不匹配 (Current source mismatch)、開關電荷注入 (Charge injection) 及負載漏電等問題。需要透過設計不同的電路架構或加入彌補電路 (Calibration circuit) 改善。

2.4.3 壓控振盪器

壓控振盪器為鎖相迴路中最關鍵的電路元件，就像是鎖相迴路的心臟一樣。有別於 2.3 節討論轉移函數，此處探討振盪器振盪原理及振盪器類型。

簡單的振盪器一般透過電壓形式輸出一週期性信號，不需要額外的輸入訊號也能夠產生輸出。然而使用閉迴路電路製做振盪器是不可避免的，設計回授放大器使其達到振盪條件是常見的方式。依據巴克豪森條件 (Barkhausen's criteria)，一負回授之閉迴路系統如圖 2.11 所示，若此系統滿足迴路增益大於等於 1 且迴路相移 180° ，並且滿足 (2.8) 式和 (2.9) 式，則此負回授系統即會產生振盪。

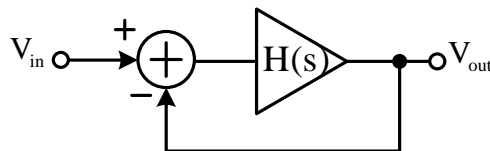


圖 2.11 負回授系統

$$|H(j\omega_0)| \geq 1 \quad (2.8)$$

$$\angle H(j\omega_0) = 180^\circ \quad (2.9)$$

如圖 2.12 (a) 為一負回授系統產生振盪之相移條件。如果我們試著用正回授系統製作振盪器，則依據巴克豪森條件迴路總相移須為 0° 或 360° ，如圖 2.12(b)(c) 所示。然而正回授系統中此條件為必須但卻不是充分的。簡單來說如果迴路相移為 0° 或 360° 時雖然滿足巴克豪森條件，如果放大器電路產生門鎖 (Latch) 現象則不會振盪。

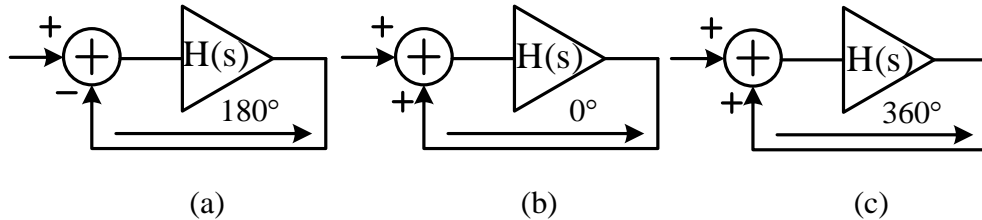


圖 2.12 不同觀點之回授系統 (a) 負回授 180° (b) 正回授 0° (c) 正回授 360°

壓控震盪器類型:

振盪器主要分為 LC 振盪器 (LC tank oscillator) 和環型振盪器 (Ring oscillator) 兩個類型。LC 振盪器最主要的優點為具有較低的相位雜訊，因此為 CMOS RFIC 電路中主要採用的振盪器架構。由於使用了電感及電容其面積較大的缺點是不可避免的，較小的頻率調整範圍也是 LC 振盪器缺點之一。環形振盪器較大的可調整頻率範圍及較小的面積則是主要的優點。但是要得到較好的相位雜訊則需用功率消耗較大的電路架構換取，因此往往會在應用中選擇適合的振盪器類型。

2.5 全數位鎖相迴路

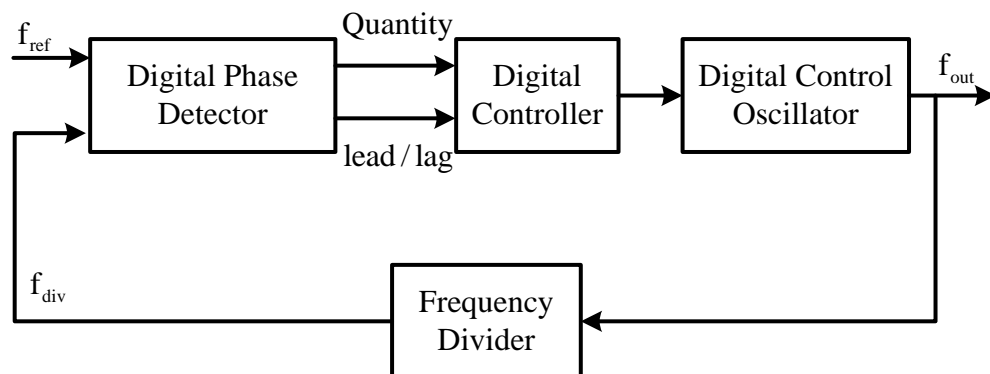


圖 2.13 全數位鎖相迴路架構圖

如圖 2.13 所示，一個全數位鎖相迴路中所有的元件皆以數位元件組成。跟傳統鎖相迴路各個功能對應，電路功能區分成數位相位比較器 (Digital phase detector)、數位控制器 (Digital control)、數位控制振盪器 (Digital control oscillator) 及除頻器 (Frequency divider)。

2.5.1 數位式相位偵測器

在全數位鎖相迴路中，相位比較器次級也為一操作在固定頻率之數位電路。不像充電幫浦式鎖相迴路，可以透過相位頻率比較器提供一脈波寬度決定相位差或頻率差的量，因此數位式相位偵測器必須提供一數位輸出訊號。數位式相位偵測器可以區分成線性 (Linear) 相位偵測器和非線性 (Nonlinear) 相位偵測器。

對一個相位頻率偵測器輸出相位誤差脈波寬度做量化 (Quantization)，成為多位元的數位信號即為一線性相位偵測器。如圖 2.14(a)所示，使用一時間數位轉換器 (Time to digital converter) 做為時脈寬度量化元件是常見的。回授信號透過延遲鍊 (Delay chain) 在不同時間點產生訊號提供給正反器，參考信號在同一個時間使用 D 型正反器取樣，得到的結果經過轉換可得到二元輸出。其轉移曲線如圖 2.14 (b) 所示，相當於將一個相位頻率偵測器量化成二進位輸出，輸出長度由取樣的正反器個數決定，若超過可取樣範圍則以飽和值輸出。然而實際的應用上會在時間數位轉換器的前方，加入相位頻率偵測器和訊號選擇器使整個時間數位轉換器達到雙邊的效果。

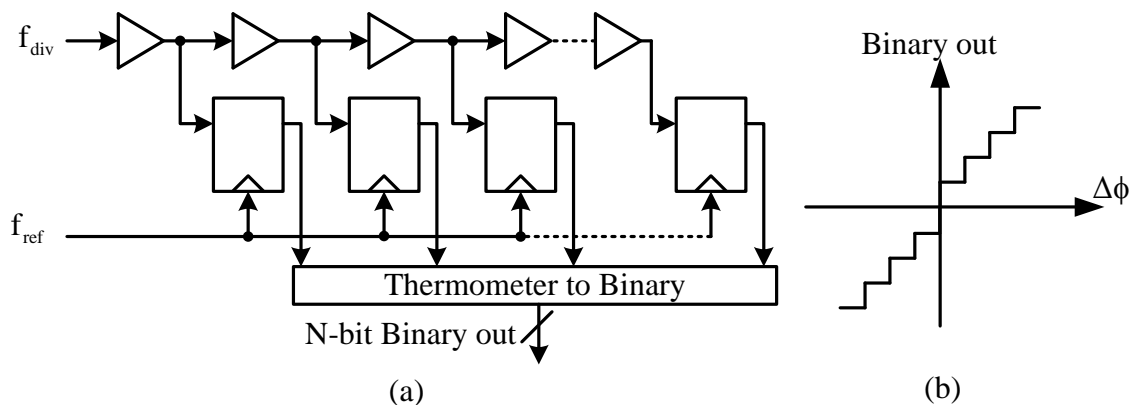


圖 2.14 (a)基本時間數位轉換器架構圖 (b)時間數位轉換器等效曲線

數位式非線性相位偵測器只分辨參考相位和回授相位的超前與落後，實際上的相位

誤差並不會轉換成等量的輸出值。整個閉迴路系統在相位誤差轉換中為非線性行為，因此系統會呈現一個非線性鎖相迴路行為。方塊圖與特性曲線圖如圖 2.15 所示，通常稱為 Bang-Bang 相位偵測器 (Bang-Bang phase detector)。然而在所有的相位偵測器當中不可避免的非理想效應為死區 (Dead-zone)。雖然數位式非線性相位偵測器行為可以使用一個 D 型正反器實現，但是一個 D 型正反器的死區直接被設定時間 (Setup time) 和保持時間 (Hold time) 所決定，往往會針對死區做電路上的改善。

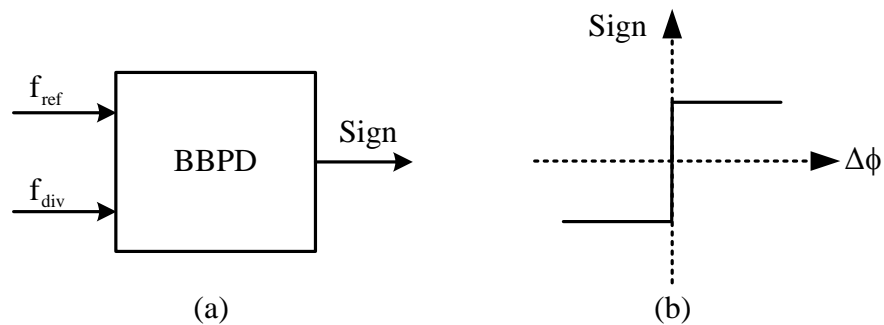


圖 2.15 (a) BBPD 方塊圖 (b) BBPD 輸出入特性曲線圖

2.5.2 數位控制電路

在此處我們將相位偵測器、除頻電路、數位控制振盪器以外的所有電路架構統稱為數位控制電路。如前述傳統的鎖相迴路中通常會加入一個一階或二階的迴路濾波器，使整個鎖相迴路系統呈現一階以上的閉迴路行為。此迴路濾波器實際上為一個低通濾波器，將每個參考時脈週期得到的相位誤差間接透過轉換成為一個電壓改變量控制壓控震盪器改變輸出頻率。其穩態行為相當於將相位誤差的平均值轉換成電壓平均值，在全數位式鎖相迴路中也需要一個等效的區塊實現相同的行為。由於全數位式鎖相迴路使用數位控制振盪器，其行為等效為將固定的輸入個數取平均做為輸出值。因此往往會直接使用數位式低通濾波器做為迴路濾波器。

類比式的迴路濾波器輸出為一電壓值，在類比的行為中需由等效時間常數速度充電到穩態時的目標電壓值。由於改變此時間常數會直接影響到系統迴路頻寬，在鎖定速度和穩態時脈抖動折衷一直是使用類比式鎖相迴路中最困難的地方。數位式鎖相迴路使用數位濾波器其輸出為一多位元的數位訊號，使用各種快速鎖定頻率偵測方式，直接改變

此數位訊號為數位式鎖相迴路在鎖定速度上之一大優點。也由於數位式的迴路濾波器要改變其等效時間常數較為容易，可以藉由許多方式偵測對於參考時脈和系統環境的雜訊大小，改變此時的迴路頻寬以降低輸出抖動也是全數位鎖相迴路的優點之一。

2.5.3 數位控制震盪器

類比式的鎖相迴路中最重要的元件為壓控振盪器，數位控制振盪器在全數位式鎖相迴路中也是最重要的元件。數位控制振盪器比較重要的規格為頻率解析度、抗雜訊能力以及頻率調整範圍。根據不同的應用層面挑選適用的數位控制振盪器及其電路架構，為鎖相迴路設計中最重要的一環。數位控制振盪器的架構通常可以分成兩種，第一種做法如圖 2.16 所示，在壓控振盪器的前端加上一個數位類比轉換器 (Digital to analog converter)。此做法可保留壓控振盪器原有的特質，無論是使用環形振盪器或者是 LC 振盪器架構。但是必須加上數位類比轉換器將數位碼轉為電壓值，尤其是頻率解析度直接被數位類比轉換器鎖侷限。對一個熟悉此二電路的類比設計者是較容易製作的方式。

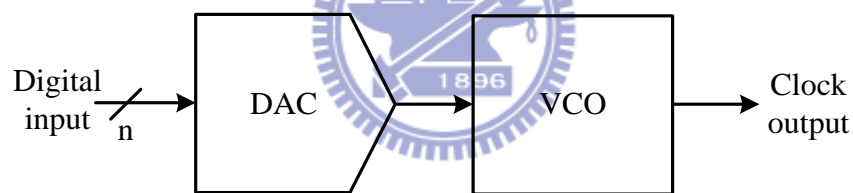


圖 2.16 由數位類比轉換器和壓控振盪器組合成的數位控制振盪器架構圖

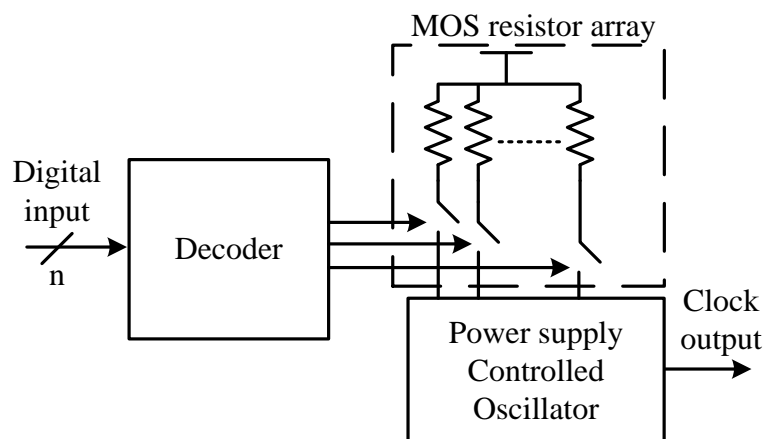


圖 2.17 透過電晶體陣列改變電源電壓式數位控制振盪器架構圖

第二種數位控制振盪器的做法藉由直接改變電源電壓來改變震盪頻率，適用於各種

架構之振盪器。由於控制振盪頻率的輸入為電源電壓，須先將數位濾波器輸出的二進碼透過一系列電路轉換成電壓。如圖 2.17 所示，通常會使用二進碼轉刻度計量碼轉換器 (Binary to thermometer converter) 控制電晶體電阻開關陣列，藉此將數位濾波器輸出二進碼轉成可控式振盪器輸入電壓以改變振盪頻率。此種做法之解析度決定於轉換電路，振盪曲線為單調遞增 (Monotonic)，輸出頻率線性度控制較為困難。也可以將轉換電路看成一偽數位類比轉換器 (Pseudo digital to analog converter)，電阻陣列若換成電流源陣列則成為電流飢餓式 (Current starving) 數位控制振盪器。

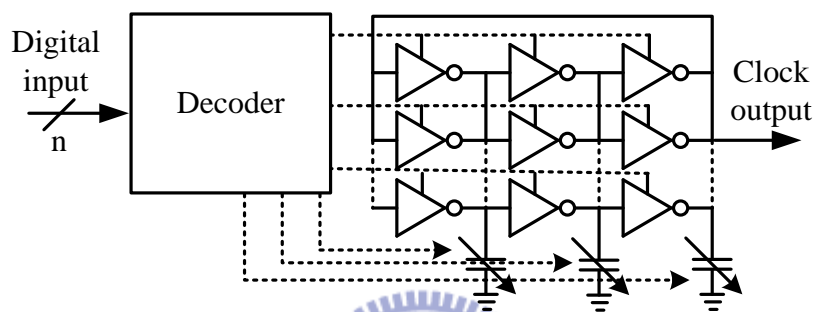


圖 2.18 改變驅動能力和輸出負載式數位控制振盪器架構圖

第三種透過改變振盪器驅動能力或是負載以改變振盪頻率，如圖 2.18 所示。此種做法通常使用在環形振盪器中，只改變驅動能力或只改變負載能力要解決製程變異造成的頻率振盪範圍通常較為困難。因此往往會將兩種方式一起使用，分為粗調和微調來解決製程變異問題。也可以加入第二種方式混合起來控制，各種架構的選取主要取決於調整頻率範圍和消耗功率的考量。

2.6 數位式鎖相迴路架構探討

2.6.1 含迴路增益控制器之全數位鎖相迴路[1]

a. 架構特色:

如圖 2.19 所示為 2010 JSSC，此處提出適應型迴路增益控制器 (Adaptive loop gain controller)。搭配特殊的相位頻率偵測器操作在數倍於參考頻率之上，利用類似對 Bang-Bang PFD oversampling 的方式，在一次相位偵測過程中使用數倍於參考頻率做取

樣。用運算次數換取更好的解析度及自我調整迴路頻寬的功能，取代時間數位轉換器 (Time to digital converter) 偵測頻率和相位誤差。

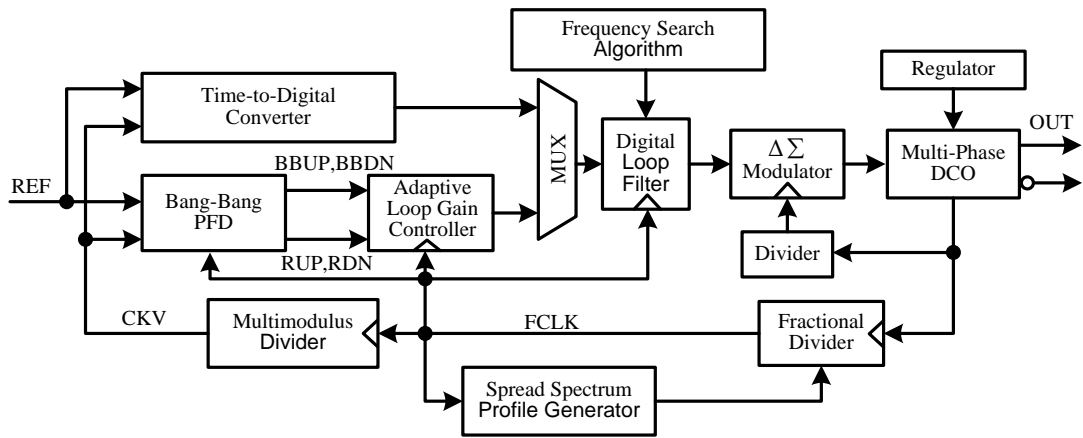


圖 2.19 含迴路增益控制器之全數位鎖相迴路架構圖

b.運作方式:

如圖 2.20 中在傳統的相位頻率偵測器後方加上仲裁器 (Arbiter) 和 Retimer，將 BBUP 和 BBDN 的訊號以操作頻率 FCLK 為刻度做量化。適應型迴路增益控制器使用串級的二階 IIR 濾波器，先累計相位頻率偵測器之領先落後訊號。再藉由取平均值乘上量化輸出的結果，做為一次相位偏移量提供給次級的數位迴路濾波器。其效果可以從兩個角度去探討，在 pull-in 過程中頻率誤差大使 IIR 濾波器累計之平均值較高。此時迴路頻寬較高，使頻率收斂速度快。類似時間數位轉換器尚未進入 Bang-Bang 模式之效能；在 lock-in 階段由於 IIR 濾波器平均值會隨著相位誤差下降使得迴路頻寬逐漸變小，利用此 ALGC 達到動態調整迴路頻寬功能。搭配錯位演算法 (False position algorithm) 做頻率搜尋，可達到快速的鎖定和較佳的穩態輸出抖動值。

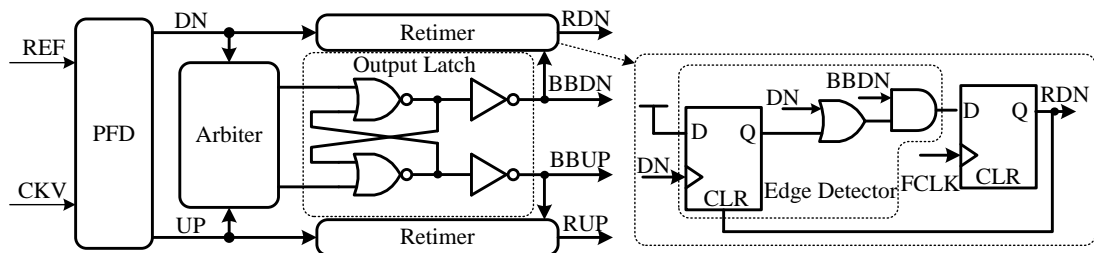


圖 2.20 Bang-Bang PFD 電路方塊圖

c. 結論:

此處提出全新的相位頻率偵測方式和頻率搜尋法，相對於以數位時間轉換器或傳統 Bang-Bang PFD 當相位誤差偵測功能之兩種方式有較好的鎖定速度與抖動值。但是由於操作在較高頻率上使得功率消耗也較大。另外文獻中也加入了數位時間轉換器，再使用多工器切換做比較，乍看之下是有更好的抖動值。但是深一層去觀察此結果，圖 2.19 中迴路濾波器的正比項係數，其極限為三角積分調變器輸入的最小位元。此架構預設的迴路濾波器並不是在最小位元上，透過 ALGC 使得穩態時的係數收斂在最小位元以得到較好的抖動結果。時間數位轉換器的迴路濾波器係數，如果能直接套用三角積分器最小位元，理論上會有更好的抖動結果。因此文獻中的比較方式並不夠客觀。但值得一提的是由於相位頻率偵測、ALGC、迴路濾波器皆不是操作在參考頻率，因此要實現展頻時脈功能 (Spread spectrum clock) 會較為容易。

2.6.2 動態調整迴路增益之全數位頻率合成器[2]

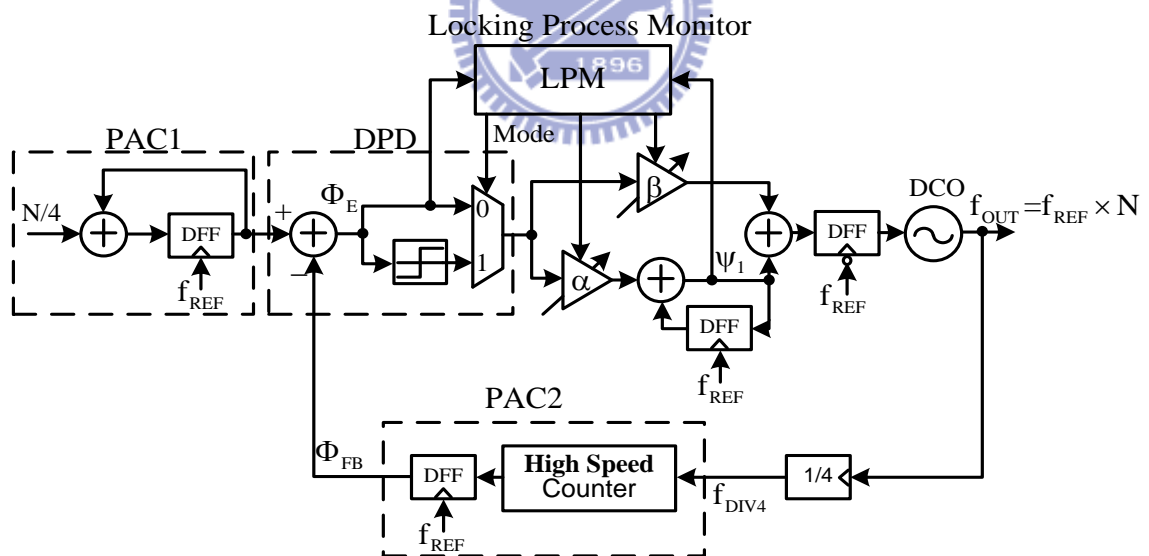


圖 2.21 動態調整迴路增益之全數位頻率合成器架構圖

a. 架構特色:

2008 ISSCC 全數位鎖相迴路中，提出一個鎖定監視器，用其觀看鎖相迴路當下的鎖定情形，再透過改變迴路濾波器的係數進一步控制迴路頻寬。透過此迴路頻寬控制方式，達到在 pull in 過程具有較高的迴路頻寬使鎖頻時間降低；在 lock in 過程具有較低的

迴路頻寬得到較好的輸出抖動時脈。

b.運作方式:

如圖 2.21 為全數位鎖相迴路架構，提出了以兩個相位累積器搭配減法電路取代相位頻率偵測器。在每個參考頻率週期會持續累積一定值，再和迴授路徑累積值做相減來分辨頻率或相位之超前或落後。利用此方式可以有效的解決相位頻率偵測器死區 (Dead zone) 的問題。全數位式鎖相迴路暫態時間如果要得到較小的 pull-in time，往往會藉由頻率偵測器得知頻率的快慢，再搭配演算法以得到較快的鎖定速度。此架構的數位式相位頻率偵測器在 pull-in 過程中扮演偵測頻率的角色，但是要將除頻器二進位輸出當做累積器數值，往往其暫存器設定時間 (Setup time) 是一個問題。考量到同步除頻器每個暫存器皆操做在鎖相迴路輸出頻率會提高功率消耗，因此使用非同步除頻器是達到低功率的解決方式。然而非同步除頻器要在同一時間觸發讀取二進位值，則會因為時脈歪斜 (Clock skew) 容易讀取到錯誤的值。因此架構中提出了一補償電路如圖 2.22 所示，透過預先的估計訊號到達時間 (Arrival time) 設計一個相位取樣電路。在所有的暫存器運算完成再一次讀取二進位輸出，有效的提供一可靠的高速相位累積器。等鎖頻模式完成後切換到鎖相模式時，此數位相位頻率偵測器其行為等同 Bang-Bang 相位偵測器。透過將相位和頻率偵測使用同一個電路的方式，解決了許多鎖相迴路雙迴路 (Dual loop) 架構中模式切換的問題，也降低了電路複雜度。

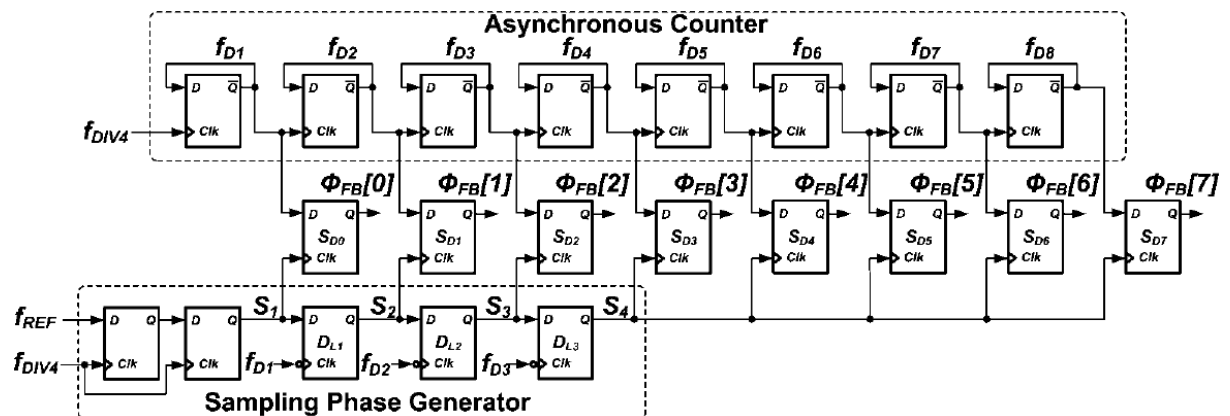


圖 2.22 高速非同步除頻器[2]

c. 鎖定流程:

鎖定監視架構如圖 2.23 所示，系統初始時為一個鎖頻迴路系統。此模式其原理等於計數式的頻率偵測器，利用回授路徑累積值 Φ_{FB} 和參考頻率累積值 Φ_{REF} 相減得到差值 Φ_E 。等量於輸出頻率距離鎖定頻率 Φ_E 個參考頻率值，系統初始時由於頻率誤差還很大使得 Φ_E 通常會大於 1。此時直接給定 β 參數於較高且合理的值，使相位誤差對振盪頻率具有較大的增益達到快速鎖定頻率。當輸出頻率離目標鎖定頻率差距小於一個參考頻率時，將此時累積的頻率超前或落後值換算成對應的振盪器控制碼，預先設立到迴路濾波器累積路徑 (Integral path) 中，並切換到鎖相模式。

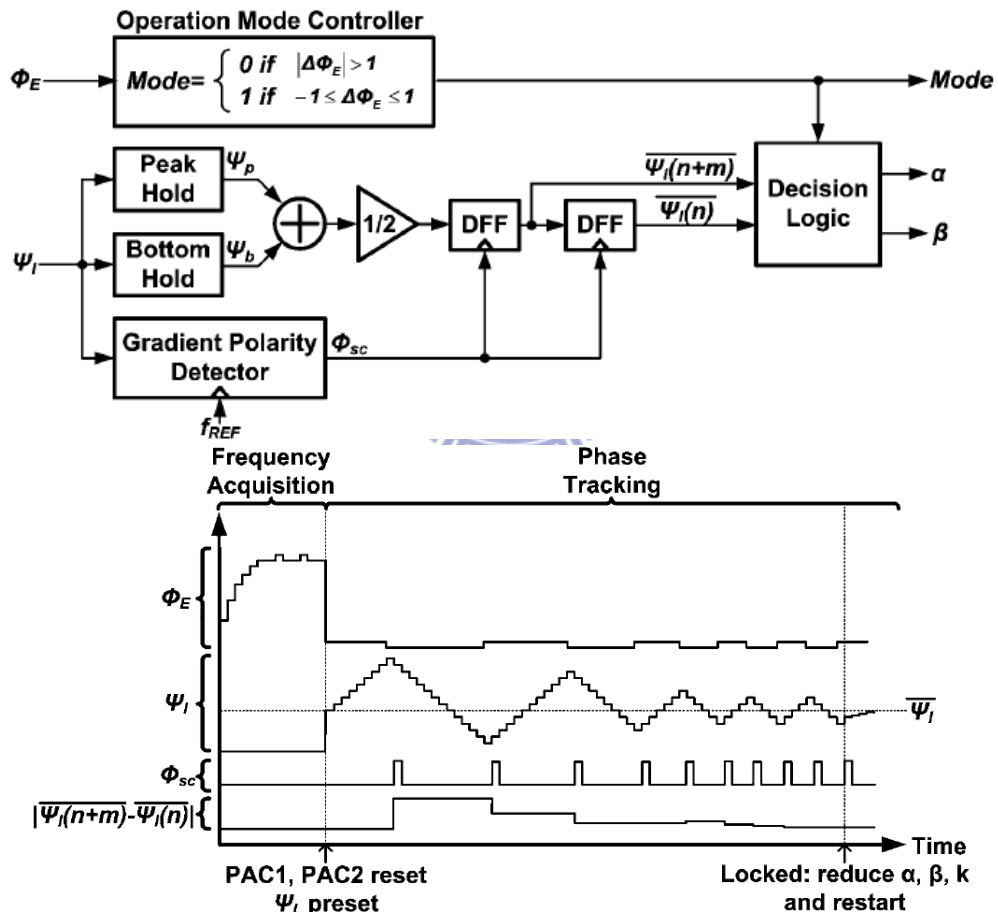


圖 2.23 鎖定監視器架構圖及鎖定曲線圖[2]

鎖相模式中偵測迴路濾波器輸出值為依據，計算出此時的濾波器參數值進而改變迴路頻寬。如圖 2.23 所示，使用峰頂偵測器 (Peak hold)、峰谷偵測器 (Bottom hold) 和極性偵測器 (Gradient polarity detector)，計算後得到此時的濾波器參數。如圖所示迴路濾波器輸出連波可以透過參數值逐漸改變而遞減，透過偵測連波峰頂值跟峰谷值相加除以

二，可以得知目標相位所對應到的迴路濾波器輸出值。然而參數值並不是每個參考時脈都會有所改變，只有當峰頂值或峰谷值改變時有變化。極性偵測器偵測到相位極性改變才會更新迴路濾波器參數值，透過不斷的降低迴路頻寬以得到最佳的輸出抖動時脈。

d. 結論:

此架構雖然具有良好的相位偵測方式及迴路頻寬控制方式，但使用電路複雜度高的迴路增益控制機制，在鎖定完成以後皆未再使用。頻率鎖定時相位尚未鎖定，透過等效 1 位元的相位偵測器追相位相當緩慢。改善此二問題為可以進一步探討的部分。

2.6.3 使用頻率預測演算法之全數位鎖相迴路[3]

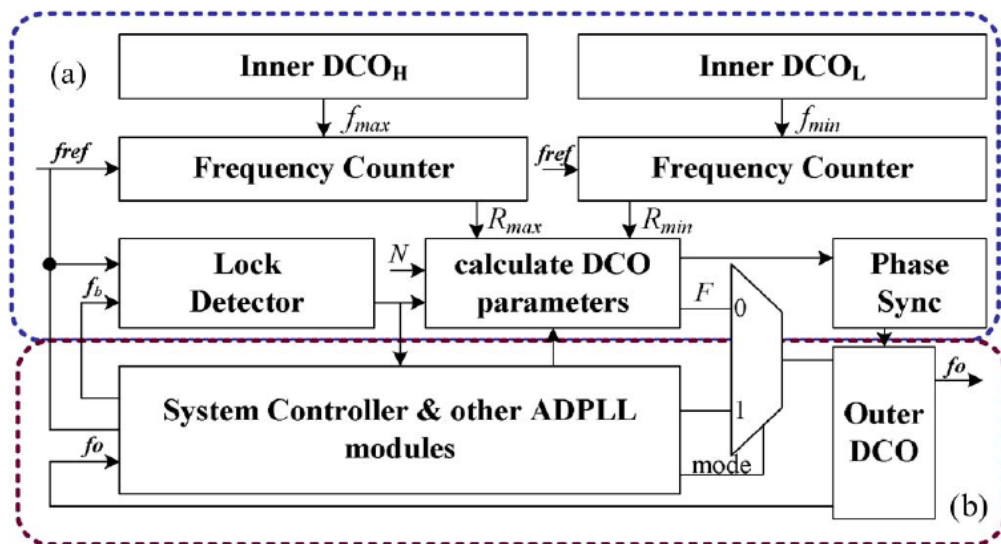


圖 2.24 頻率預測演算法之全數位鎖相迴路架構圖[3]

a. 架構特色:

此文獻在頻率搜尋機制上使用傳統的錯位法 (False position method) 加以延伸。傳統的錯位法頻率搜尋方式為在不同參考頻率下，分別給數位控制振盪器振盪於最高操作頻率和最低操作頻率。下一個參考頻率週期利用兩個邊界振盪頻率經過數學運算，內插直接得到目標鎖定頻率所對應的控制碼，不同的製程偏移也能有相同的效果。但是此方式使用數學運算做內插，因此數位控制振盪器的線性度 (Linearity) 非常的重要。而且需要一個鎖定偵測器來判斷是否頻率鎖定，倘若經過一次頻率搜尋步驟尚未鎖定。則依據前一次的操作碼延伸相同範圍再做一次錯位法，直到鎖定偵測電路 (Lock detector) 判斷鎖

定即切入鎖相模式。

b.運作方式:

如圖 2.24 所示此篇文獻使用三顆數位控制振盪器，兩顆直接給定最高跟最低操作碼，一顆用在鎖相模式中。透過不共用數位控制振盪器的方式減少頻率搜尋時間。錯位法頻率搜尋由於最高頻、最低頻和內插計算各需要一個振盪頻率，因此最快可以在三個參考頻率鎖定。

c.結論:

此架構達到快速鎖定的代價甚大，首先使用三個數位控制振盪器是很浪費的。其中兩個用來加速錯位法的振盪器，在完成製程偏移偵測後等於是占用著面積。接著此種演算法需要高複雜度的數位電路，此數位電路占用了可觀的面積與功率消耗。鎖定偵測器雖然在鎖定後重新調整振盪頻率還會使用到，但是當鎖定不調整頻率時沒有繼續使用著。鎖定後的效能更只跟鎖相迴路本身的相位偵測器、數位控制振盪器等電路有關。因此為了達到快速鎖定額外加入的電路成本過高，但是不可否認的是其優點為鎖定時間跟重新鎖定時間皆很快速。

2.6.4 文獻探討總結

鎖相迴路中為了達到快速鎖定且穩態時的低迴路頻寬，三篇文線中皆提出了解決方式。[1]當中加入複雜的電路來完成動態頻寬調整，此做法避免了切換迴路模式的問題，但過於複雜的電路和高度的功率消耗卻是不可避免的。[2]當中也加入偵測電路來改變模式和迴路頻寬，雙模式鎖定在切入鎖相模式無法保證相位差距造成鎖相時間過久，也同樣具有電路過於複雜的問題。[3]為了達到快速鎖定不惜用大成本的面積去換取，其穩態時的效能跟快速鎖定電路皆無關。此論文提出一特殊的偵測方式，不只能準確的判斷頻率相位誤差，還可以在切入鎖相模式時保證其相位誤差已經很小的範圍之內，大幅降低了鎖定時間與電路複雜度。

2.7 綜合比較

回顧第二章中所提及的各式鎖相迴路之特性，可以從各角度比較其優缺點。然而鎖相迴路的設計，固定架構下本身就是一個折衷 (Trade off)。因此沒有絕對的好壞，架構更是直接主導了功率消耗，此處只比較顯著的部分。

振盪器的架構中直接決定輸出頻率之高低。類比式振盪器具有較高的振盪頻率和連續的振盪範圍，數位振盪器輸出頻率則較低且有頻率間隙。就控制振盪頻率的方式，數位控制比起類比電壓控制具有較好的抗雜訊能力。

迴路濾波器的架構直接決定了鎖定速度和整體面積。傳統式的類比濾波器由於使用了被動元件，其面積往往占用全晶片的部分。也由於類比電壓控制其操作電壓充電時間較長，導致鎖定時間往往較長；數位濾波器簡單的架構使得面積劇減，也由於數位控制可以透過各式快速鎖定演算法達到快速鎖定。

表 2.1 各式鎖相迴路比較表

	類比式鎖相迴路	數位式鎖相迴路	全數位鎖相迴路
設計方式	類比	類比數位混合訊號	全數位
抗雜訊能力	低	中	高
功率消耗	大	大	小
面積	大	大	小
輸出頻率	高	高	低
振盪器解析度	高	高	低
鎖定速度	慢	慢	快

第三章

鎖相迴路系統分析



3.1 鎖相迴路模型

鎖相迴路中各個子電路參數對系統特性都有直接或間接的影響，必須隨著不同的規格設計相對應的參數，參數若設定不佳可能會使得系統無法收斂。因此將鎖相迴路系統用數學式加以模型化，可以讓我們根據規格更精確的設計出鎖相迴路系統。另外在全數位鎖相迴路中，如同 2.5.1 節中所提到的相位偵測器分為線性與非線性兩種。根據相位偵測器的架構，可以將其分成全數位的線性鎖相迴路和非線性鎖相迴路。

圖 3.1 為常見的充電幫浦式線性鎖相迴路模型圖，在 2.4 節中描述了充電幫浦式鎖相迴路各個子電路功能。此處我們將子電路化成線性的數學式，其對應的關係如圖 3.1，其中相位偵測器和充電幫浦的增益合定為 K_{PFD} 。

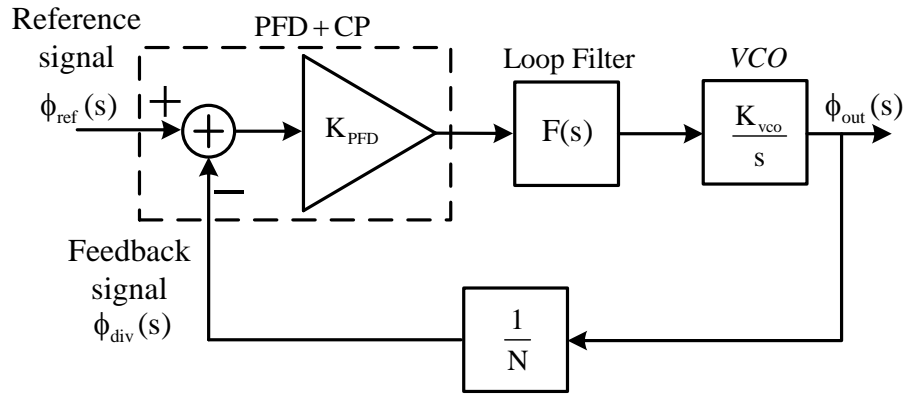


圖 3.1 鎖相迴路線性模型

根據鎖相迴路的線性模型以及回授定理，可推導出系統的閉迴路轉移函數 (Closed loop transfer function) 如下

$$\frac{\phi_{out}(s)}{\phi_{ref}(s)} = \frac{K_{PFD} F(s) K_{VCO}}{1 + \frac{K_{PFD} F(s) K_{VCO}}{s \cdot N}} \quad (3.1)$$

若將濾波器設為一階迴路濾波器，則濾波器的轉移函數可表示為

$$F(s) = R + \frac{1}{sC} \quad (3.2)$$

重新整理鎖相迴路閉迴路轉移函數如下式所示

$$H(s) = \frac{\phi_{out}}{\phi_{ref}} = \frac{\frac{K_{PFD} K_{VCO}}{C} (sRC + 1)}{s^2 + s \frac{K_{PFD} K_{VCO} RC}{N C} + \frac{K_{PFD}}{N C}} \quad (3.3)$$

$$= \frac{K_{PFD} K_{VCO} (sRC + 1)}{C} = \frac{K_{PFD} K_{VCO} (sRC + 1)}{s^2 + 2\delta\omega_n s + \omega_n^2}$$

鎖相迴路系統的自然頻率 (Natural frequency) ω_n 以及阻尼係數 (Damping factor)

δ 如下式表示

$$\omega_n = \sqrt{\frac{K_{PFD} K_{VCO}}{N \cdot C}}, \quad \delta = \frac{RC}{2} \omega_n \quad (3.4)$$

3.2 全數位鎖相迴路線性模型

於全數位鎖相迴路中，當我們將系統數位化之後。為了保有線性鎖相迴路的特性進而套用 3.1 節中慣用的分析，常見的方式為從 S-頻域映射到 Z-頻域。此處使用了離散時間域的相位偵測器和數位式迴路濾波器，因此必須先定義其 S-頻域模型。

3.2.1 相位對數位轉換器線性模型

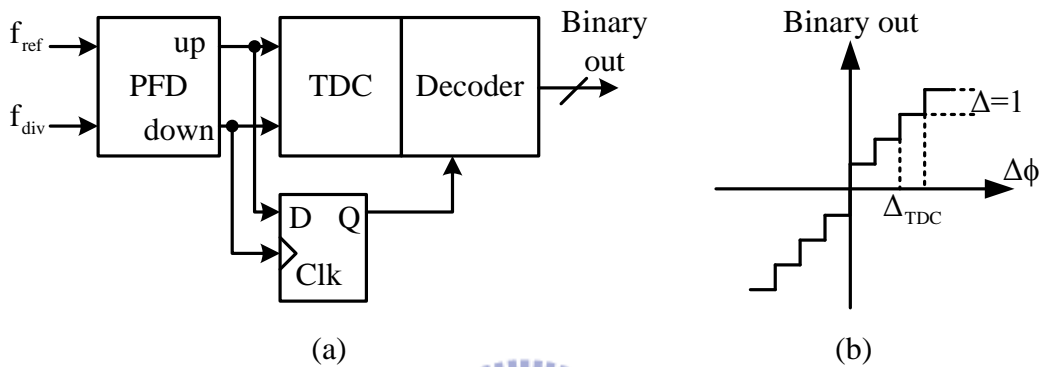


圖 3.2 (a)相位-數位轉換器方塊圖 (b)相位-數位轉換器特性曲線

如圖 3.2 為將時間數位轉換器、相位頻率偵測器和相位選擇器 (D 型正反器) 組合，構成之相位對數位轉換器 (Phase to digital converter)。我們知道相位頻率偵測器的轉移函數為 $T_{ref}/2\pi$ ，時間對數位轉換器可以等效為 $1/\Delta_{TDC}$ 的增益，考慮量化雜訊其整體轉移函數如圖 3.3 所示。

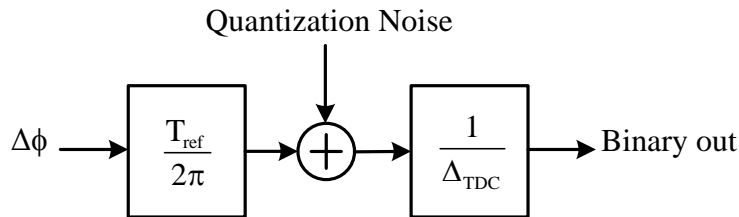


圖 3.3 相位-數位轉換器線性模型

其輸出入特性對於頻率參數而言只跟參考頻率有關。在固定的參考頻率之下，離散時間頻域與連續時間頻域的特性不會失真。圖 3.3 中的量化雜訊 (Quantization noise) 主要來自於時間對數位轉換器，其解析度幾乎直接決定了量化雜訊的大小。前提是假設相位頻率偵測器的死區低於時間對數位轉換器的刻度 Δ_{TDC} 。

3.2.2 數位濾波器線性模型

於迴路濾波器的設計中，以一階 RC 濾波器為例，如圖 3.4 所示使用雙線性轉換法將類比濾波器轉換成數位濾波器。然而一階的數位濾波器之 Z 轉移函數數學式為

$$H(z) = \frac{\alpha + \beta - \beta z^{-1}}{1 - z^{-1}} \quad (3.5)$$

一階 RC 濾波器在 S-頻域的轉移函數為

$$H(s) = R + \frac{I}{sC} \quad (3.6)$$

雙線性轉換式為將 $s = \frac{2}{T_s} \frac{1-z^{-1}}{1+z^{-1}}$ 代入 S-頻域中。其中 T_s 為數位系統中的取樣時間，於鎖相迴路中通常為參考訊號的週期時間。代入 (3.6) 式可得

$$H(z) = \frac{(\frac{T_s}{2C} + R) + z^{-1}(\frac{T_s}{2C} - R)}{1 - z^{-1}} \quad (3.7)$$

比較 (3.5) 式和 (3.7) 式之系數，可得數位濾波器增益參數 β 和 α 。

$$\beta = R - \frac{T_s}{2C} \quad \alpha = \frac{T_s}{C} \quad (3.8)$$

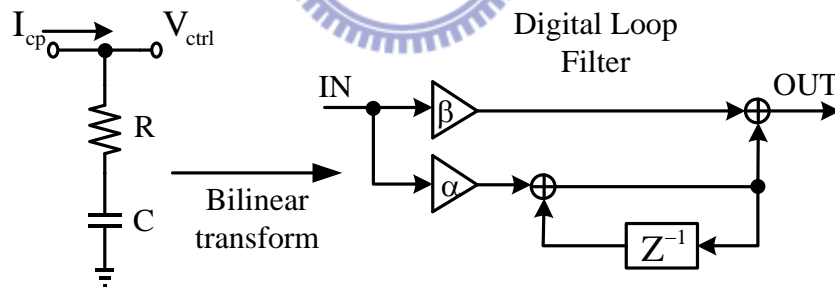


圖 3.4 類比濾波器經雙線性轉換為數位濾波器

其等效的行為如同 PI (Proportional-integral) 式的控制器， β 為直接路徑的增益； α 為累積路徑的增益。於線性全數位鎖相迴路中，此二迴路濾波器參數透過系統的開迴路增益去設計，可以方便的選取迴路頻寬。圖 3.4 中累積路徑透過數位積分器電路呈現其特性，其特性在 Z-頻域為 $1/(1-Z^{-1})$ ，若將此積分器映射回 S-頻域則可以趨近於 $(S+f_{ref})/S$ 。

3.2.3 線性模型參數定義與分析

由於通常對充電幫浦式鎖相迴路設計流程較為熟悉，因此在線性全數位鎖相迴路中。常見的方式為設計一充電幫浦式鎖相迴路參數，再將其映射到線性全數位鎖相迴路。

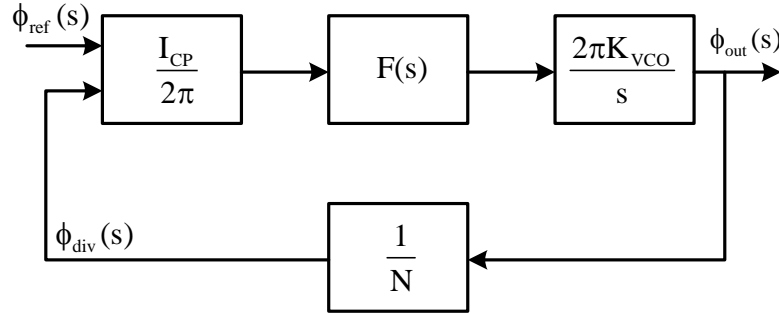


圖 3.5 充電幫浦鎖相迴路線性模型方塊圖

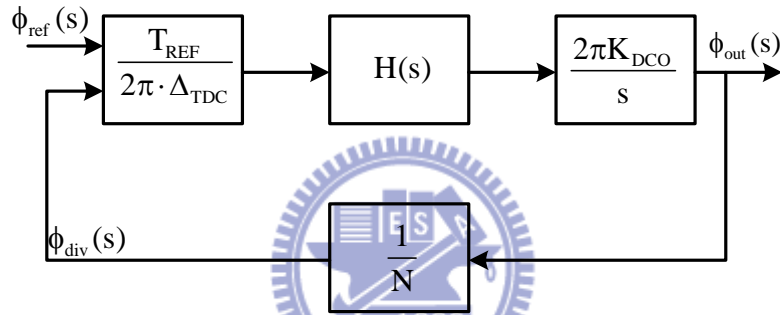


圖 3.6 全數位鎖相迴路線性模型方塊圖

圖 3.5 和圖 3.6 分別為充電幫浦式鎖相迴路和全數位鎖相迴路之線性方塊圖。假設濾波器透過雙線性轉換後之特性幾乎相同，我們可以比較出

$$I_{CP} = \frac{T_{REF}}{\Delta_{TDC}}, \quad K_{VCO} = K_{DCO} \quad (3.9)$$

以一階濾波器為例，套用 (3.5) 式可得開迴路轉移函數為

$$LG(s) = \frac{T_{REF}}{2\pi \cdot \Delta_{TDC}} \cdot \frac{2\pi K_{DCO}}{s} \cdot \frac{1}{N} \cdot \frac{s + \omega_z}{s} \cdot \beta \quad (3.10)$$

其中零點可以表示為

$$\omega_z \cong \frac{\alpha}{\beta} \cdot f_{ref} \quad (3.11)$$

因此理論上可以透過設計充電幫浦式鎖相迴路，再相對設計全數位鎖相迴路，詳細過程可以參考[4]中的分析。

3.3 非線性全數位鎖相迴路分析

當使用只能分辨超前和落後的 Bang-Bang 相位偵測器，即在 2.5.1 節中的圖 2.15 之特性。輸出不會隨著輸入的相位差大小而有所量化，操作於一個非線性行為。因此鎖相迴路即成為非線性系統。非線性系統的分析往往較於複雜，常見的方式有兩種：(1) 根據系統在時域上的行為做時域分析；(2) 將非線性的元件線性逼近再做線性分析，此處以第一種方式做分析。

3.3.1 非線性全數位鎖相迴路架構

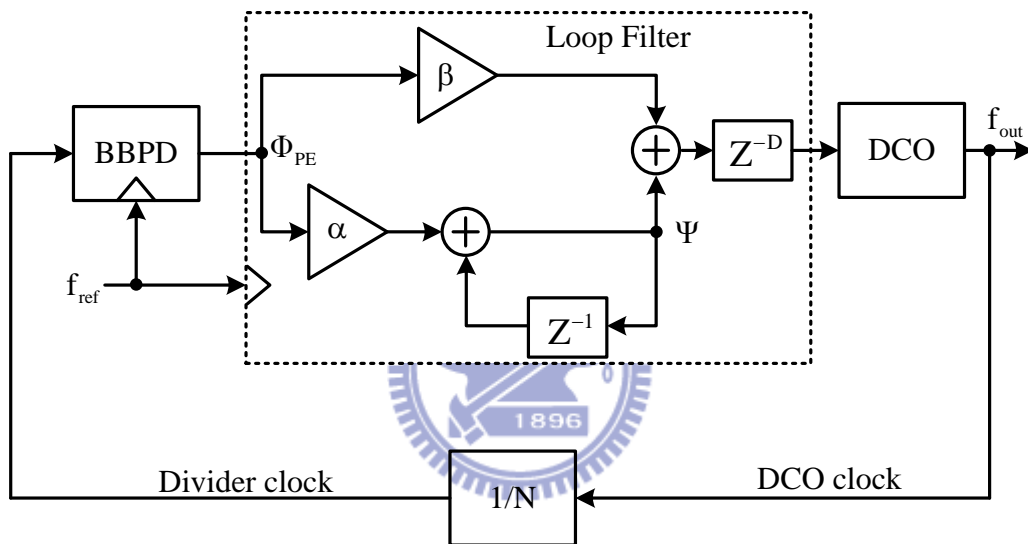


圖 3.7 Bang-Bang 鎖相模式等效系統方塊圖

假設輸出頻率初始值為頻率鎖定模式完成之結果，則如圖 3.7 為一非線性鎖相迴路在相位鎖定模式的等效系統方塊圖。系統包含了 Bang-Bang 相位偵測器、數位控制振盪器、數位濾波器和除頻電路。其中 Bang-Bang 相位偵測器比較參考時脈和除頻時脈的相位差，當參考時脈相位超前除頻時脈相位 Φ_{PE} 輸出 -1，反之則 Φ_{PE} 輸出為 1。此系統延用線性全數位鎖相迴路所使用的 IIR 濾波器， Φ_{PE} 訊號經過比例路徑和累積路徑，分別乘上比例增益 β 和累積增益 α ，加上累積器所累積之頻率控制碼輸出為 Ψ 。插入取樣暫存器使得振盪器的操作碼得以同步變化，通常使用參考訊號做為數位電路之取樣頻率。數位控制振盪器和除頻器的角色和線性全數位鎖相迴路相同。

3.3.2 非線性全數位鎖相迴路時域分析

過去傳統的線性鎖相迴路分析，常透過拉式轉換 (Laplace transform) 在 S-頻域分析，或透過 Z 轉換 (Z-transform) 在離散時域分析其行為。然而此處因為使用了非線性的 Bang-Bang 相位偵測器，系統會呈現非線性行為導致此方式無法使用。此處引用[2]和[5]中的分析方式，介紹如何以時域分析非線性鎖相迴路系統。

如圖 3.8 所示為非線性全數位鎖相迴路時序圖，以參考時脈正緣為參考基準。參考時脈 t_r 和除頻時脈 t_d 相位差 Δt ，定義為 $\Delta t \equiv t_r - t_d$ 。

透過 BBPD 將相位差轉換為二進制值，可表示成

$$\Phi_{PE} = \text{sgn}(\Delta t) \quad (3.12)$$

數位控制振盪器可視為一個線性的區塊元件，其輸出振盪頻率可定義為

$$f_{OUT} = f_{DCO, free} + K_{DCO} C_{DCO} \quad (3.13)$$

其中 $f_{DCO, free}$ 為數位控制振盪器 C_{DCO} 為 0 時的 free running 頻率， K_{DCO} 為數位控制振盪器輸入控制碼對輸出頻率之增益，單位為 Hz/Code。 C_{DCO} 為數位濾波器之輸出控制碼。

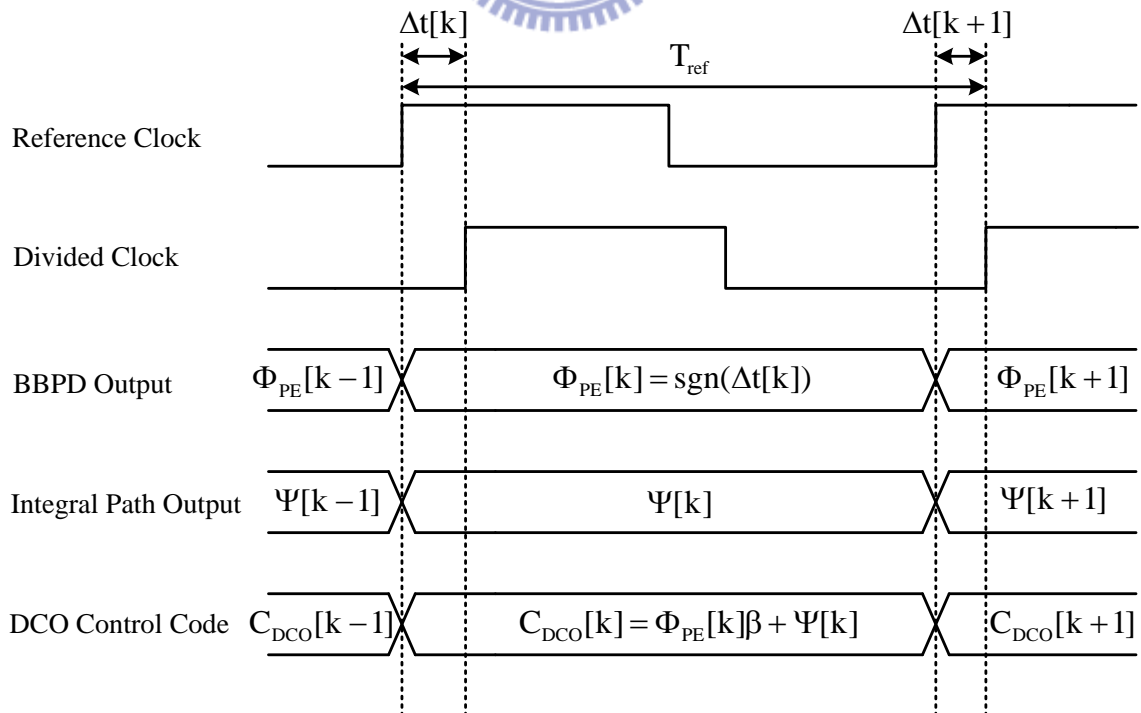


圖 3.8 非線性全數位鎖相迴路時序分析圖 (引用於[2])

透過圖 3.7 的系統方塊圖和圖 3.8 的時序分析圖， Δt 和 Ψ 為隨著參考時脈動態改變的變數值，其行為可以描述成下列的非線性對應：

$$\begin{cases} \Delta t[k+1] = \Delta t[k] + T_{\text{REF}} - NT_{\text{DCO, free}} - NK_T \Psi[k-D] - N\beta K_T \text{sgn}(\Delta t[k-D]) \\ \Psi[k+1] = \Psi[k] + \alpha \text{sgn}(\Delta t[k+1]) \end{cases} \quad (3.14)$$

其中 $T_{\text{DCO, free}}$ 為振盪器 C_{DCO} 等於 0 時之輸出週期， K_T 為 C_{DCO} 對輸出振盪周期之增益。

接著定義下列的方程式

$$\begin{aligned} \Delta\tau &= \frac{\Delta t}{N\beta K_T} \\ x_0 &= \frac{T_{\text{REF}} - NT_{\text{DCO, free}}}{N\beta K_T} \\ R &= \frac{\alpha}{\beta} \end{aligned} \quad (3.15)$$

(3.14) 式可以重新定義為較簡便的式子如下

$$\begin{cases} \tau[k+1] = \tau[k] + x_0 - \frac{R}{\alpha} \Psi[k-D] - \text{sgn}(\tau[k-D]) \\ \Psi[k+1] = \Psi[k] + \alpha \text{sgn}(\Delta t[k+1]) \end{cases} \quad (3.16)$$

在(3.15)式中除上 $N\beta K_T$ 是將單位標準化到除頻時脈週期，如此一來即表示成以參考時脈取樣的量化刻度 (Quantization step)。以量化過後的角度直接觀察參數的變化，量化後的 τ 在暫態時可表示為相位誤差；穩態時即可表示成時脈抖動 (Timing jitter)。 x_0 表示為量化過後的參考時脈和成上 N 倍的振盪器 free running 週期之差值，可視為鎖相模式中參考時脈和除頻時脈相位差的初始值，透過設定 x_0 可以檢視鎖頻模式完成後相位差對鎖相模式的影響。最後 R 代表為數位濾波器中累積增益和正比增益的比值。如果參考時脈和除頻時脈相位差的初始值為 0 ($x_0=0$)，則(3.16)式可以改寫為

$$\begin{cases} \tau[k+1] = \tau[k] - \frac{R}{\alpha} \Psi[k-D] - \text{sgn}(\tau[k-D]) \\ \Psi[k+1] = \Psi[k] + \alpha \text{sgn}(\Delta t[k+1]) \end{cases} \quad (3.17)$$

將 (3.17) 式套用此篇論文之鎖相迴路參數，使用 MATLAB 軟體驗證，如圖 3.9 所示為相位鎖定行為模擬圖。假設其輸出頻率初始值接近鎖定頻率，最後會鎖定在一固定頻率範圍。

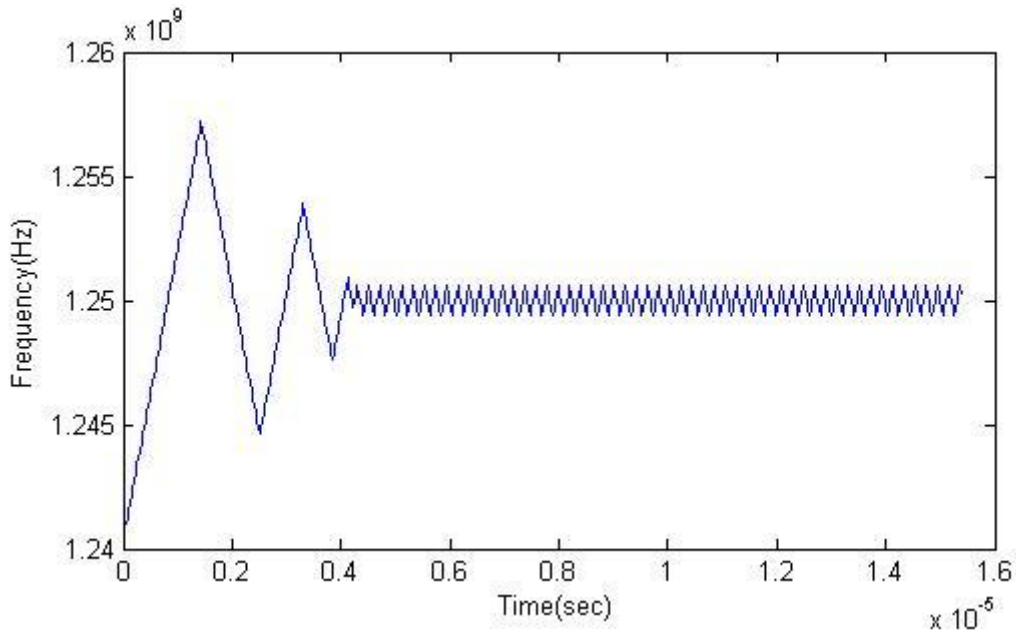


圖 3.9 Bang-Bang 鎖相迴路輸出頻率模擬圖

相同的條件下觀察其相位誤差行為模式，如圖 3.10 所示，給定初始值的相位誤差為零。鎖相迴路系統為了修正圖 3.9 中初始頻率與目標頻率之差，透過 BBPD 提供之二進制領先落後資訊。在調整相位的同時調整頻率，最後頻率固定在目標頻率範圍擺動。其相位差如圖 3.10 中穩態所示，其擺動範圍即系統量化後之抖動時脈。

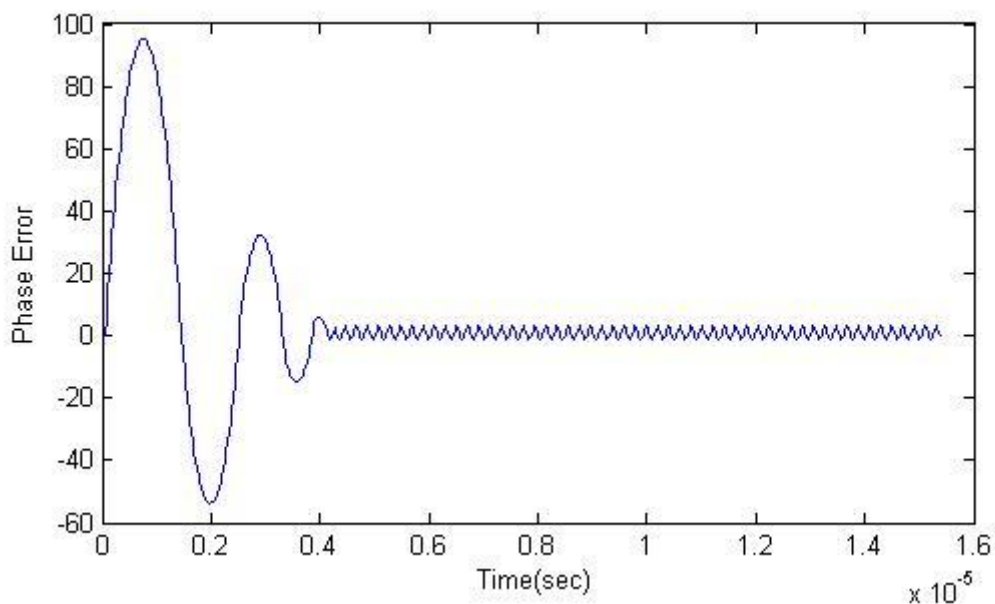


圖 3.10 Bang-Bang 鎖相迴路相位誤差對時間模擬圖

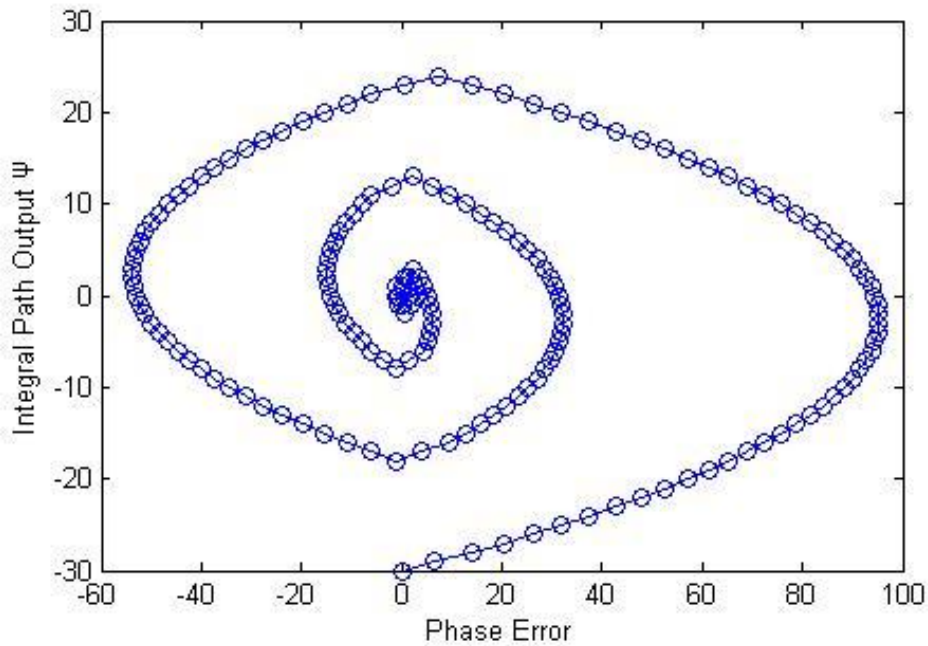


圖 3.11 Bang-Bang 鎖相迴路 phase plane 模擬圖

如圖 3.11 所示為相位平面，觀察相位誤差 τ 和迴路濾波器累積路徑輸出值 Ψ ，放在同一個座標平面上可以很清楚的檢視其行為模式。圖中可以看出當參數設計得當，在頻率和相位鎖定完成後會收斂到中心點，在中心點附近擺動範圍即為量化後的時脈抖動值。如圖 3.12 所示，若濾波器參數設計不當則系統會無法收斂而發散開。

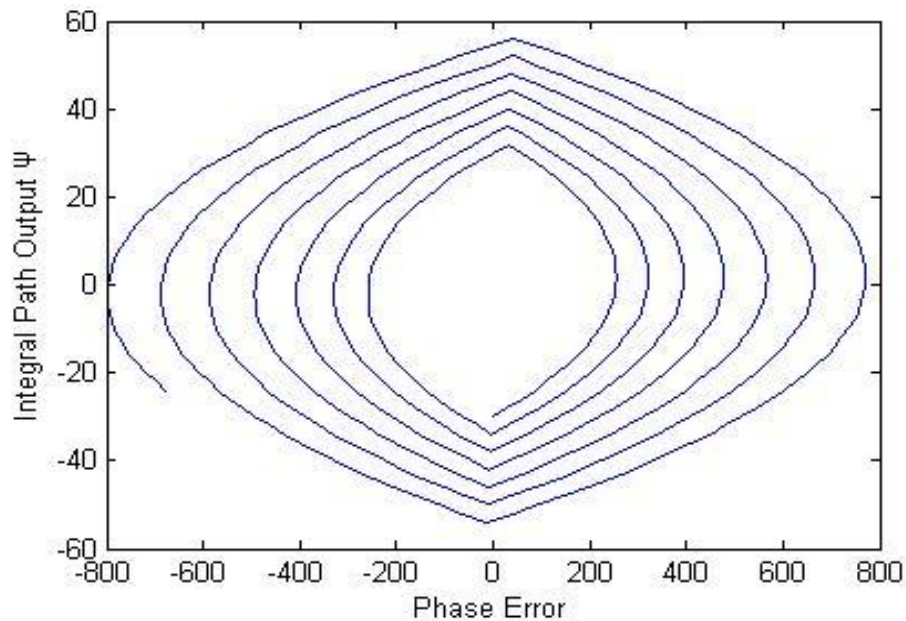


圖 3.12 系統發散的 Bang-Bang 鎖相迴路 phase plane 模擬圖

3.3.3 非線性全數位鎖相迴路穩定度分析

接下來探討 Bang-Bang 鎖相迴路關於穩定條件的分析。當使用非線性的 Bang-Bang 相位偵測器，即無法簡單的在頻域中分析穩定條件。因此在[5]中提出以時域和相域分析其穩定條件，文獻中將穩定條件分成三個區間如下

$$\begin{aligned} \text{Region1: } R &> \frac{2}{2D-1} \\ \text{Region2: } \frac{2}{2D+1} &< R < \frac{2}{2D-1} \\ \text{Region3: } R &< \frac{2}{2D+1} \end{aligned} \quad (3.18)$$

從 (3.18) 式可以看出穩定性與除頻數 N 及 DCO 解析度無關，與數位濾波器中 R 的比值 α 、 β 及迴路暫存器延遲個數 D 有關。範圍 1 形成一發散系統；範圍 2 為一穩定但不收斂系統；範圍 3 即為一穩定系統。首先固定迴路延遲 $D=1$ 、累積路徑增益 $\alpha=1$ ，改變正比路徑增益 β 為 0.5、1、4 套入 (3.17) 式。如圖 3.13 所示，三條曲線分別是：(1) β 為 0.5 落在範圍 1 之發散系統；(2) β 為 1 落在範圍 2 之穩定但不收斂系統；(3) β 為 4 落在範圍三之穩定收斂系統。

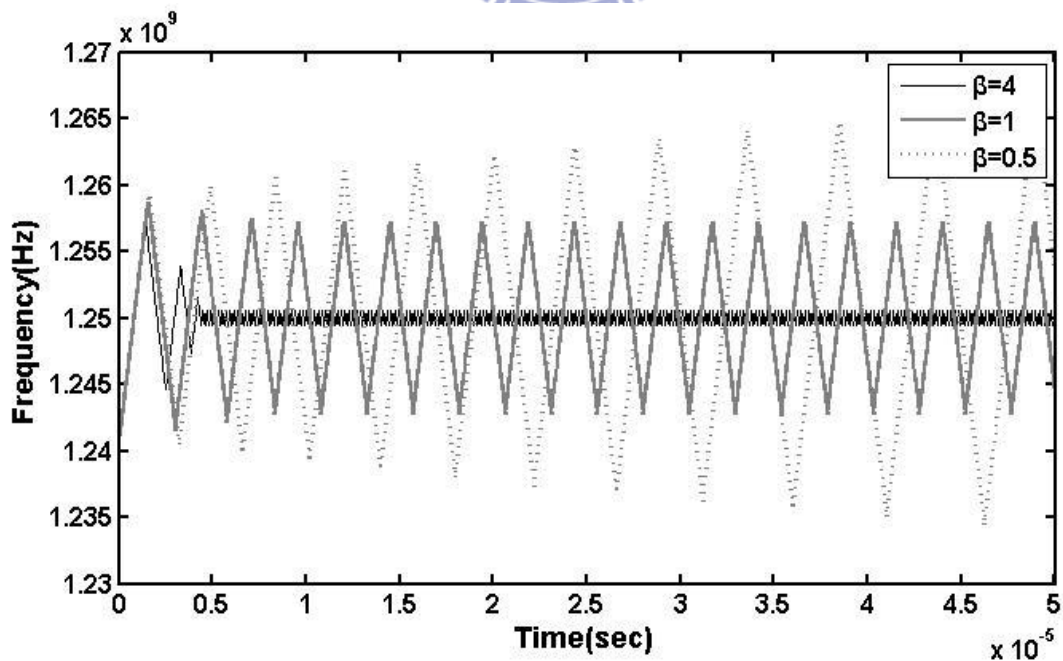


圖 3.13 常數迴路延遲 ($D=1$) 的 Bang-Bang 鎖相迴路行為

接下來固定數位濾波器 R 的比值 $\alpha=1$ 、 $\beta=2$ ，改變迴路延遲 D 為 4、2、1，套入 (3.17) 式。如圖 3.14 所示，三條曲線分別是：(1) D 為 4 落在範圍 1 之發散系統；(2) D 為 1 落在範圍 2 之穩定但不收斂系統；(3) D 為 4 落在範圍三之穩定收斂系統。

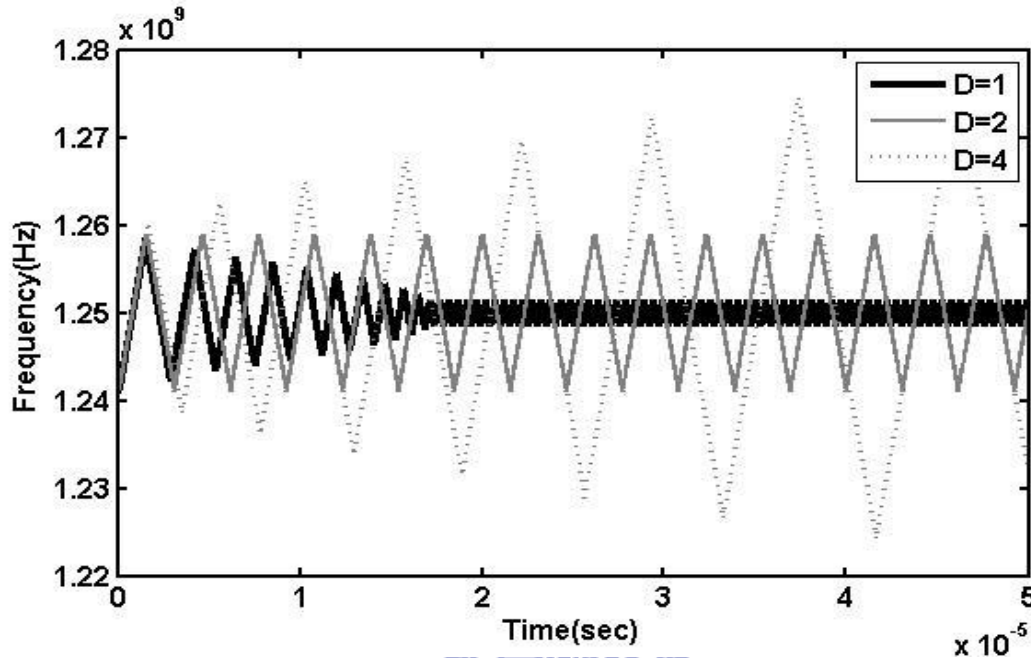


圖 3.14 常數數位濾波器增益 ($\alpha=1$ 、 $\beta=2$) 的 Bang-Bang 鎖相迴路行為

如圖 3.14 所示，在固定的迴路濾波器增益值下，迴路延遲變大則鎖相迴路容易進入不穩定；反之迴路延遲越小不只越容易穩定且穩態時之時脈抖動也愈小，因此可得迴路延遲個數 D 往往選用最小的值。

從圖 3.4 迴路濾波器架構可知，參數 α 、 β 理論上數值越小，可對應到越小的輸出頻率變化，於穩態時即可得到越小的時脈抖動。然而礙於數位控制振盪器解析度與可控制位元數之侷限，並非沒有極限，需以最小可操作位元為準。

3.4 鎖相迴路雜訊影響

鎖相迴路會因為環境的影響，帶來許多不可抗拒的雜訊，了解並考量不同的雜訊源是設計鎖相迴路很重要的一環。傳統的充電幫浦式鎖相迴路，環境的雜訊源主要來自三個部份：(1) 參考訊號的雜訊；(2) 充電幫浦引起的雜訊；(3) 壓控振盪器之相位雜訊，其分析方式在各文獻中已有詳細的說明。

在全數位鎖相迴路中，雜訊的來源可以分為兩類：(1) 系統子電路之非理想效應；(2) 環境帶來的雜訊。其中系統的非理想效應來源為：(1) 主要的數位控制振盪器和時間對數位轉換器的解析度不足所造成的量化雜訊 (Quantization noise)；(2) 次要的相位偵測器死區及其他。環境的雜訊則主要來自於：(1) 參考時脈的雜訊；(2) 數位控制振盪器造成的相位雜訊。

3.4.1 全數位鎖相迴路環境雜訊

假設量化雜訊 (Quantization noise) 和環境帶來的雜訊為獨立的。以線性的數位鎖相迴路為例，先考慮參考時脈雜訊 V_{n1} 和振盪器的相位雜訊 V_{n2} 如圖 3.15 所示

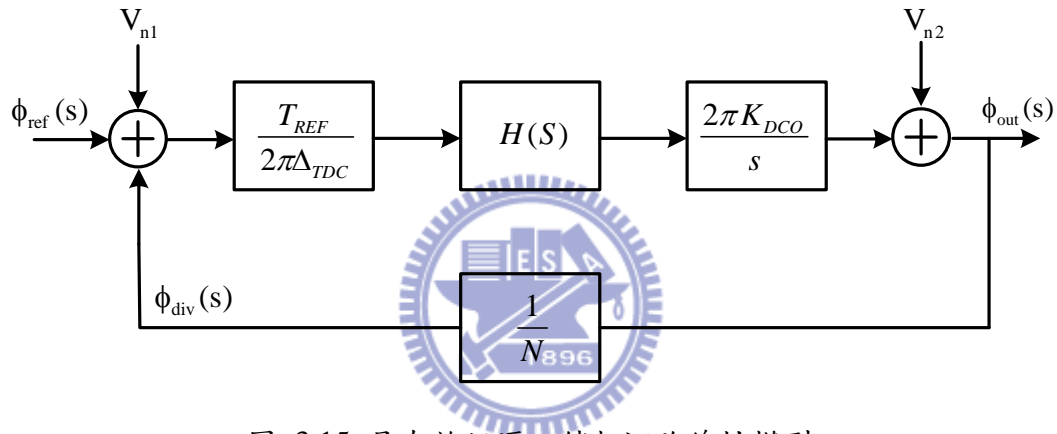


圖 3.15 具有雜訊源之鎖相迴路線性模型

假設參考時脈雜訊 V_{n1} 和振盪器的相位雜訊 V_{n2} 之間為獨立雜訊，且鎖相迴路對不同雜訊接有不同的濾波效果。則不同雜訊源經過不同轉移函數到輸出，貢獻的相位雜訊總和即為總輸出結果。其不同雜訊源對輸出的轉移函數如下：

$$\frac{\phi_{out}(s)}{V_{n1}(s)} = \frac{\frac{T_{REF}H(s)K_{DCO}}{\Delta_{TDC} \cdot s}}{1 + \frac{T_{REF}H(s)K_{DCO}}{\Delta_{TDC} \cdot s \cdot N}} = \frac{\frac{T_{REF}H(s)K_{DCO}}{\Delta_{TDC}}}{s + \frac{T_{REF}H(s)K_{DCO}}{\Delta_{TDC}N}} \quad (3.19)$$

$$\frac{\phi_{out}(s)}{V_{n2}(s)} = \frac{1}{1 + \frac{T_{REF}H(s)K_{DCO}}{\Delta_{TDC} \cdot s \cdot N}} = \frac{s}{s + \frac{T_{REF}H(s)K_{DCO}}{\Delta_{TDC}N}} \quad (3.20)$$

觀察 (3.19)、(3.20) 式，參考時脈的相位雜訊對輸出相位雜訊為一低通 (Low pass) 函數，頻寬外的高頻雜訊會被此低通特性所抑制；數位控制振盪器產生的相位雜訊對輸出相位雜訊則為一高通 (High pass) 函數，頻寬內的低頻雜訊會被此高通特性所抑制。

因此適當的選擇迴路頻寬不只影響鎖相迴路的鎖定速度，還跟雜訊抑制能力有直接相關，會影響穩態時的相位雜訊大小。如何選擇迴路頻寬將產生折衷 (Trade off) 考量。此處假設鎖相迴路的鎖定時間已透過快速鎖定演算法解決，僅需考量迴路頻寬與相位雜訊的關係。選擇較小的迴路頻寬可以降低參考時脈相位雜訊對輸出相位雜訊的影響，但是會引進更多的數位控制振盪器所帶來的雜訊；反之若選擇較大的迴路頻寬，雖然數位控制振盪器對輸出相位雜訊影響降低了，但卻又帶來參考時脈雜訊對輸出相位雜訊的影響。因此迴路頻寬的選擇必須根據參考時脈相位雜訊的大小、數位控制振盪器的架構調整，若有乾淨的參考時脈來源則選用較大的迴路頻寬；若使用的振盪器為低相位雜訊的 LC 振盪器，則可以將迴路頻寬盡可能降低，可使得總輸出相位雜訊較小。

3.4.2 全數位鎖相迴路量化雜訊

在鎖相迴路系統中常常將時脈抖動 (Timing jitter) 分成兩類：(1) 既定的抖動 (Deterministic jitter)；(2) 隨機的抖動 (Random jitter)。全數位鎖相迴路因解析度不足造成的量化雜訊，對輸出相位雜訊影響是與頻率無關的白雜訊 (White noise)。又稱為廣域雜訊 (Wide band noise)，屬於 deterministic jitter (DJ) 的來源，並不會隨著時間累積而變大。3.4.1 節中所提到的雜訊屬於 random jitter (RJ)，是一常態分佈 (Normal distribution) 函數，時脈抖動量會隨著時間增長。

文獻[6]中提到許多以功率頻譜密度 (Power spectrum density) 的角度，去分析時間對數位轉換器和數位控制振盪器的量化雜訊，從而在規格上做取捨。若為 Bang-Bang 全數位鎖相迴路，並無使用時間對數位轉換器。因此 DJ 的主要來源為數位控制振盪器之解析度不足，根據規格去設計一解析度足夠之數位控制振盪器即可。

3.4.3 考量雜訊之全數位鎖相迴路

以 Bang-Bang 全數位鎖相迴路為例，由於每個參考時脈只能提供數位濾波器領先或落後的單位元訊號。因此數位濾波器的中正比增益 (Proportional gain)，即直接影響可進入相位維持模式的輸出頻率誤差初始值。

將數位控制振盪器的量化雜訊視為 DJ，以增益型式表示為 K_{DCO} (Hz/Code)，其他

因素造成的 RJ 視為輸出端頻率的改變量 Δf_{RJ} 。以一個參考時脈週期為基準，可將輸出頻率偏移造成的相位差表示為

$$\theta_{out}(t) = \theta_0 + 2\pi \times \int_{T_0}^{T_0+T_{ref}} \Delta f \cdot dt \quad (3.21)$$

其中 θ_0 為進入相位鎖定模式初始相位差， $\Delta f = (K_{DCO} \Delta C_{DCO} + \Delta f_{RJ}) - f_{Target}$ ，以頻率的變化來分析相位的改變量較為方便。將 ΔC_{DCO} 分成累積和直接的影響量，對頻率的影響乘上增益後分別為 $\alpha \cdot K_{DCO}$ 和 $\beta \cdot K_{DCO}$ ，這兩個影響在同一個濾波器取樣週期中為固定的。然而 Δf_{RJ} 卻隨著隨機雜訊在連續時間中對輸出頻率的影響，以相對於輸出振盪頻率的頻率差，使除頻器累積相位差。隨機雜訊造成的頻率差無法確切的估計其大小，將隨機雜訊視為不同頻帶的干擾，此處先忽略隨機雜訊的影響，則 (3.21) 式中的 Δf 可重新定義為

$$\Delta f = (\beta + \alpha) \cdot \Phi_{PE} \cdot K_{DCO} + f_{initial} - f_{lock} \quad (3.22)$$

在單一取樣週期的頻率改變量定意為 (3.22) 式，把完成鎖頻模式後累積器造成的初始頻率定義成 $f_{initial}$ 。則可將單一相位偵測器輸出 Φ_{PE} 對輸出頻率的影響獨立出來，能更直接的看出迴路濾波器的參數對頻率變化的影響，再用 3.3 節的穩定性設計 β 和 α 。

3.5 總結

此章節我們先透過線性模型分析傳統的鎖相迴路，重點在於了解迴路濾波器如何提供極零點使系統穩定，詳細的分析可以參考文獻。了解迴路濾波器如何設計後，將線性的時間數位轉換器使用非線性相位偵測器取代，接著利用時序圖分析非線性鎖相迴路，從而得知如何使系統穩定。鎖相迴路過多的系統參數，往往是設計上最困難的部份。尤其考量了雜訊之後要更嚴謹，系統參數最佳化和雜訊的預估是最重要的。然而此論文將提出新穎的快速鎖定方式，使鎖定時間與穩態輸出抖動沒有了折衷的問題，迴路濾波器參數也因為被數位濾波器規格限制，儘管使用最適當結果，不用考量鎖頻模式收斂性問題。

第四章

應用於鎖相迴路之高解析度相位頻率偵測法



4.1 架構簡介

此電路整體架構如圖 4-1 所示，為一非線性全數位鎖相迴路。使用 Bang-Bang 相位偵測器比較參考時脈和除頻時脈，可分辨頻率差和相位差。數位控制器包含一數位迴路濾波器、二元搜尋演算法系統、迴路延遲電路和選擇電路。藉由相位偵測器輸出改變數位控制器輸出值，再改變輸出頻率與維持相位。數位控制器以標準元件 (Standard cell) 搭配硬體描述語言完成。數位控制振盪器具有八個相位輸出，輸出振盪頻率為 1.25GHz，使用自製標準原件 (Customized cell) 搭配硬體描述語言完成。由於數位控制振盪器解析度不足，因此加入了五位元的三角積分調變器 (Sigma delta modulator, SDM)。對數位控制振盪器的 LSB 以輸出振盪頻率執行 running average 控制，藉此增加解析度。除頻電路為具有 retime 功能之除 32 電路，此全數位鎖相迴路之輸入參考時脈為 39.06MHz。

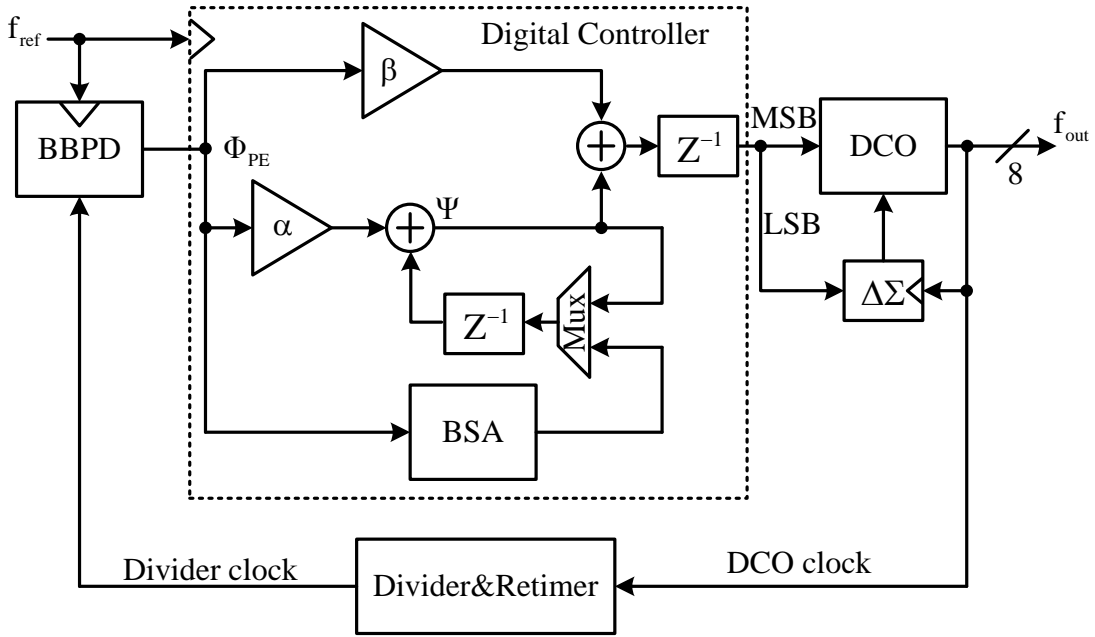


圖 4.1 全數位鎖相迴路架構圖

4.2 高解析度相位頻率偵測法與鎖定方式

相較於傳統式鎖相迴路，全數位式鎖相迴路其中一個優點為可以加入快速鎖定機制。利用特殊的演算法或是動態的改變迴路頻寬，可達到快速鎖定是常見的方式。然而常見的各種頻率搜尋法常需要頻率偵測器 (Frequency detector)，頻率偵測器常見的架構為以輸出振盪頻率對一個參考時脈週期做計數。藉由計數值與鎖相迴路的倍頻數 N 比較，分辨輸出頻率的快慢。其頻率解析度以參考頻率為刻度，頻率偵測器的解析度即直接決定了頻率搜尋法的可搜尋解析度。因此提出一全新的相位頻率偵測方式，在此處也以二元搜尋法驗證。

4.2.1 二元頻率搜尋法

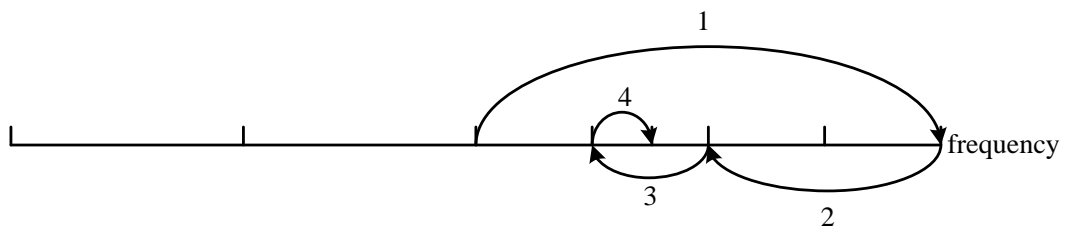


圖 4.2 二元頻率搜尋法示意圖

如圖 4.2 所示為二元搜尋法 (Binary search)，透過偵測除頻時脈和參考時脈可快速的搜尋到目標頻率。圖中啟始頻率設定在振盪器可振盪範圍的中心，再利用每次頻率比較的結果逐次的往目標頻率逼近。為了避免頻率搜尋錯誤導致鎖像迴路誤動作，常常會加入一些防範機制，在許多文獻中皆有探討。

若數位控制振盪器有 M 個控制位元，假設頻率偵測器可偵測到數位控制振盪器之最小位元，也就是頻率偵測器之解析度大於數位控制振盪器最小頻率變動範圍。則二元搜尋法所需要的決策次數，在不考慮防範機制的情況下需要 $M-1$ 次。搜尋完成後之輸出頻率即已完成頻率鎖定，因此需要一高解析度頻率偵測方式。

4.2.2 頻率偵測法與鎖定方式

各式全數位鎖相迴路中，常見的鎖定方式為先鎖頻後鎖相。為了達到頻率快速鎖定，會以參考時脈週期為基準單位執行頻率搜尋。然而過去採用的雙模式鎖定方式，往往使用雙迴路 (Dual loop) 系統。先利用頻率偵測器搜尋頻率達到鎖頻，再透過相位偵測器鎖相。其中較大的問題為：(1) 頻率偵測器解析度不足；(2) 切換迴路時會造成相位偏移。使得進入鎖相模式初始時，頻率未鎖定且相位未對齊，需在相位維持模式透過相位頻率偵測器微調頻率及相位。此論文欲達到足夠的頻率偵測器的解析度，使頻率偵測器可偵測至數位控制振盪器最小位元，且使相位鎖定模式初始相位對齊。因此提出將頻率轉換成相位的累積，再以相位偵測器分辨相位差視為頻率偵測器使用。可使得頻率搜尋模式結束時直接進入相位維持模式，且初始頻率已鎖定、相位皆對齊。

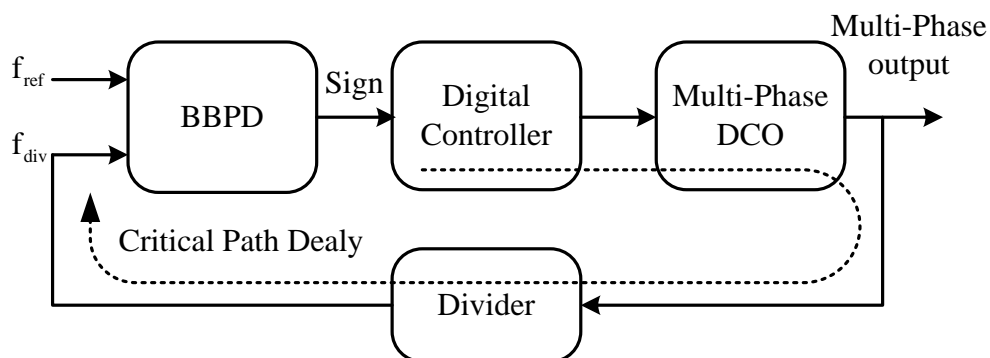


圖 4.3 全數位鎖相迴路系統方塊圖

本論文所提出的「應用於鎖像迴路之高解析度相位頻率偵測法」，其原理是利用鎖相迴路既有的相位累積現象。其輸出相位偏移等於

$$\theta_{\text{out}}(t) = 2\pi \times \int (f_{\text{out}} - f_{\text{lock}}) dt \quad (4.1)$$

(4.1) 式中， θ_{out} 為輸出相位、 f_{out} 為輸出頻率、 f_{lock} 為目標鎖定頻率。

觀察 (4.1) 式和參考圖 4.3 之系統方塊圖，目前的振盪器輸出頻率可以藉由相位的型式呈現於輸出，因此不同的輸出振盪頻率會透過相位偏移呈現在輸出。若將圖 4.3 中主要延遲路徑其他影響輸出相位偏移量視為定值，我們可以在回授端 θ_{div} 得到一次參考時脈週期內所累積的相位偏移。再透過相位偵測器和參考時脈比較，相位偵測器輸出結果可視為參考時脈和除頻時脈的相位差與時間差。

詳細的探討中，圖 4.3 的主要延遲路徑，必須考量數位控制電路、數位控制振盪器和除頻器對相位偏移的影響。於頻率搜尋模式中，將頻率搜尋週期設定為數倍的參考時脈週期，如圖 4.4 所示根據需求設計振盪器開啟時間長度。利用前敘的相位累積特性，如果要分辨較細的輸出頻率和目標鎖定頻率差，則使用時間換取解析度。即讓振盪器多振盪幾個週期來累積相位差，即可得到更高解析度的頻率偵測器。以圖 4.4 說明， f_{out} 和 $f_{\text{out}2}$ 分別以雙倍和三倍於參考時脈週期的頻率搜尋機制，其中 Δt_d 為振盪器起振的延遲時間。則使用 $f_{\text{out}2}$ 的三倍於參考頻率的方式，其頻率偵測器解析度就較 f_{out} 的兩倍於參考頻率高，此處僅使用雙倍於參考頻率的累積相位即足夠。

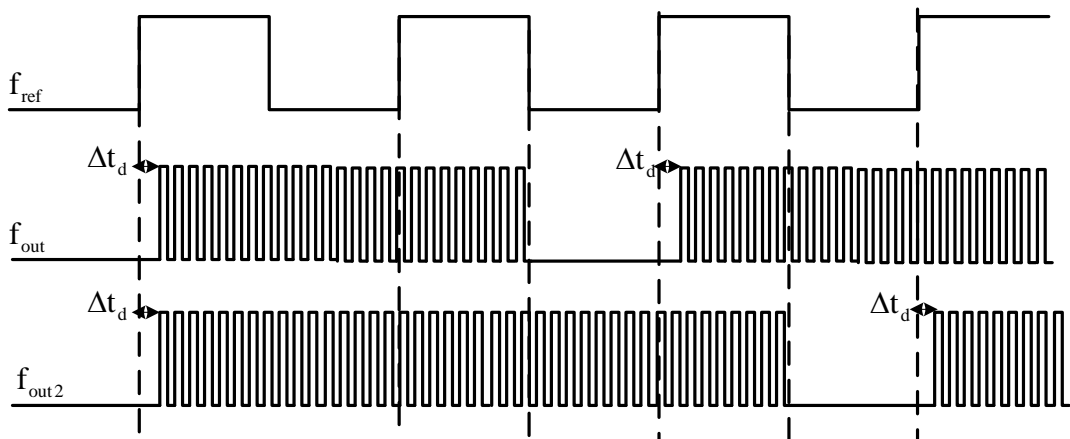


圖 4.4 雙倍和三倍於參考時脈週期之頻率搜尋模式

然而除了數位控制電路加上數位控制振盪器的起振時間 Δt_d ，除頻器也會累積更多的相位偏移。因此必須加入 retime 電路。其優點為在回授訊號 f_{div} 上只會有一個 D 型正反器固定的延遲相位 t_{dff} 。

使用預估的方式固定了非時變的延遲時間，接著僅需考慮不同得輸出振盪頻率對相位累積得影響。舉例說明，如果以雙倍於參考頻率當一次頻率搜尋時間可以預估 θ_{FB} 。

$$\theta_{div}[n] = t_d + 2\pi \times \int_{T_n}^{T_n+T_{ref}} (f_{out} - f_{lock}) dt + t_{dff} \quad (4.2)$$

由 (4.2) 式可得知， t_d 和 t_{div} 為固定的，其時間點標示在圖 4.5 中。因此每次的頻率差呈現在回授相位裡，只剩累積的相位偏移，然而已經延遲的時間無法追回。因此此處提出幾個方式，彌補時間延遲反應在相位上之差值。

如圖 4.5 所示，此處以雙倍於參考頻率當一次頻率搜尋時間。其中 f_{ref} 為參考時脈頻率， $f_{ref/2}$ 為參考時脈雙倍週期訊號， f_{ref} 和 $f_{ref/2}$ 經處理可得 Load 訊號，Load 訊號用來觸發二元搜尋電路， f_{out} 和 f_{div} 分別為鎖相迴路輸出和除頻訊號。

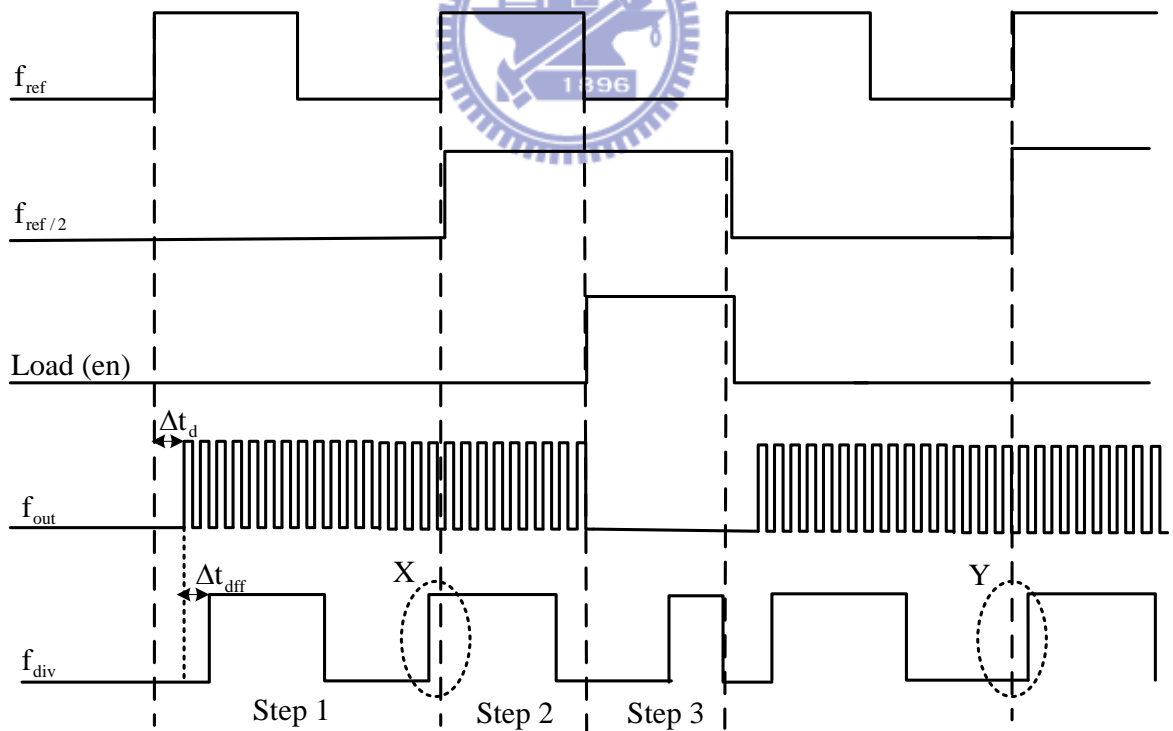


圖 4.5 相位頻率搜尋法之時序示意圖

我們將兩個參考時脈週期定為一次二元頻率搜尋基準，一次二元頻率搜尋流程可以分成三個步驟：(1) 在第一個參考時脈正緣啟動數位控制振盪器振盪，時間至少要維持一

整個參考時脈週期，透過 (4.2) 式可知其輸出頻率與目標頻率差會透過相位累積方式呈現於 f_{div} 中；(2) 在第二個參考時脈正緣讀取相位偵測器的輸出，圖4.5中X和Y點分別為除頻時脈領先參考時脈和落後參考時脈。除頻時脈領先參考時脈在頻率搜尋模式代表輸出頻率超前目標鎖定頻率、在相位維持模式通能則和傳統相同視為相位超前；反之除頻時脈落後於參考時脈則分別代表頻率落後和相位落後；(3) Load訊號正緣觸發二元搜尋電路讀取步驟2中相位偵測器的輸出值，設定下一次頻率搜尋的初始頻率。Load訊號同時也為數位控制振盪器的智能訊號，將其關閉等待次一個參考時脈正緣。

然而圖4.5是假設除了不同的輸出頻率對除頻時脈相位影響皆為常數、延遲的相位時間需透過調整除頻相位超前補回，且相位差抵銷為零。舉例說明，在圖4.5中透過除頻電路產生輸出可得的 f_{div} 訊號，在第一個和除數個 (N) 的 f_{out} 正緣觸發個數下會產生 f_{div} 訊號正緣。主要延遲路徑會使圖4.5中 f_{div} 訊號正緣較晚出現，要抵補各種造成 f_{div} 訊號正緣延遲出現。即要加入類似偷取相位的功能，使 f_{div} 訊號正緣出現時間只隨輸出頻率時變，此時步驟2之頻率偵測結果才具有高解析度。

如圖 4.6 所示為多相位數位控制振盪器輸出示意圖，具有八個相位輸出，八個相位之間各間隔為 Δt 。假設我們將相位 A 透過起振電路設立為第一個上升的相位，可得知相位 C 落後相位 A 一個 Δt 。但是換個角度觀察其實相位 C 也是超前相位 A 七個 Δt ，此處提出以此特性來修正主要延遲路徑所產生的時間延遲。以此設計為例，輸出頻率為 1.25GHz、週期及為 800ps，則 Δt 即為 100ps，因此透過此相位選擇的方式將 f_{div} 相位前移的刻度為 100ps。

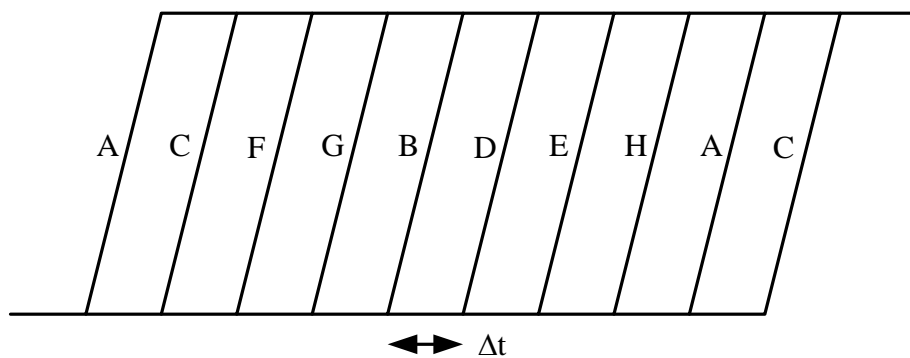


圖 4.6 多相位輸出示意圖

另外一種將 f_{div} 相位前移的方式需透過除頻器的初始設計，在圖 4.5 中 f_{out} 在累積除數 N 個觸發後會產生正緣上升訊號。因此只要將 Load 訊號也視為除頻器的致能訊號使用，則可以使 f_{div} 減少一個振盪器輸出週期的時間延遲，其調整刻度即為目標鎖定頻率的倒數。然而更精細的相位微調，則透過在主要延遲路徑差入緩衝器可完成。頻率搜尋模式完成後，最後一次關閉數位控制振盪器再起動時，頻率儼然已鎖定在目標頻率。相位更是對準在輸入參考相位之上因此達成快速鎖定，為此論文所提出的方式。

4.3 Bang-Bang 相位偵測器

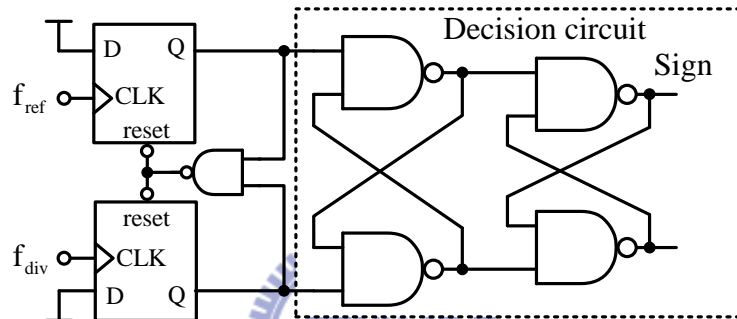


圖 4.7 Bang-Bang 相位偵測器電路圖

此鎖相迴路使用的相位偵測器如圖 4.7 所示。前級電路為傳統的相位頻率偵測器，用來分辨參考頻率時脈和除頻時脈的相位差。為降低儲存時間 (Setup time)，透過將 D 型正反器的輸入 Tie-high，讓頻率觸發時輸出可以直接反應。然而傳統相位頻率偵測器必須要重置 (Reset)，因此輸出訊號無法維持一整個參考時脈週期。在次級加上一決策電路 (Decision circuit)，除了可以將訊號維持一整個參考時脈週期，另外還具有縮小相位偵測器死區的附加功能。如 2.4.1 節所提到，傳統的相位頻率偵測器死區的極限在於當輸入相位過於接近，導致輸出無法觸發電路重置。因此決策電路透過閘闌 (Latch) 偵測微小的訊號上升，根據上升的先後得到 0 或 1 的輸出再加以維持，產生一個高解析度的相位偵測器。如表 4.1 所示，此電路在製程各 corner 的死區最大為 1.5ps。另外偏移量 (offset) 並不影響鎖相迴路的效能，在此僅將其列出。

表 4.1 BBPD 製程飄移下之死區和誤差值

Corner	TT	FF	SS	FNSP	SNFP
Dead-zone	1.1ps	1.1ps	1.5ps	1ps	1.2ps
offset	9ps	6.5ps	13.5ps	7.5ps	10.9ps

如圖 4.8 所示，為此 BBPD 之輸入對輸出遲滯曲線圖。此電路透過全客戶佈局製作完成，其死區將近 1ps，偏移量約 9ps。此論文所提出的高解析度相位頻率偵測法，在輸出頻率非常接近目標頻率時，如果死區已經大於輸出頻率累積後的相位差，則可能導致頻率偵測錯誤，因此頻率偵測法的解析度極限實際上被 BBPD 的死區所侷限，因此高解析度頻率偵測法必須採用此低死區的相位偵測器。

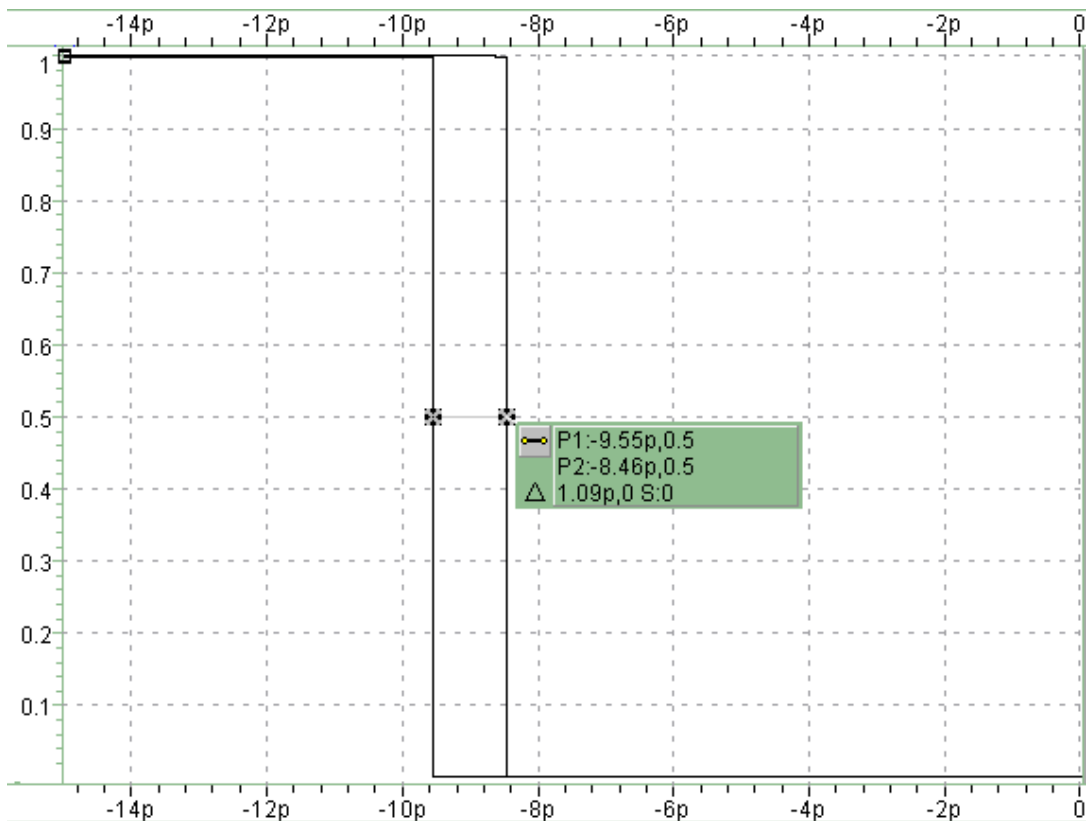


圖 4.8 BBPD 輸入輸出遲滯曲線圖

4.4 除頻器

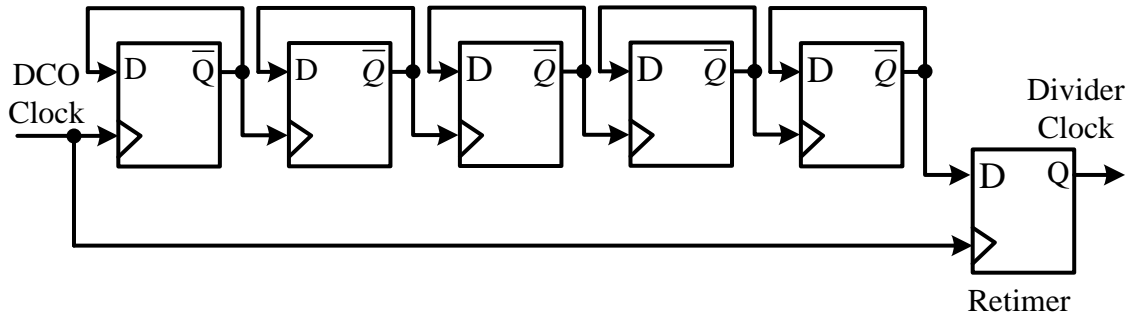


圖 4.9 具有 Retime 功能的除頻器

如圖 4.9 所示，為非同步除 32 除頻電路。為了降低時脈輸入到輸出端的延遲時間，加入一個 D 型正反器做為 clock retime，使得此除頻器的延遲時間為緩衝器和一個 D 型正反器的延遲時間。由於延遲時間和功率消耗為主要考量，加上為了搭配二元頻率搜尋，因此我們選用具有重置功能 (Reset) 之 TSPC 式 D 型正反器。如圖 4.10 所示，其製作方式採用全客戶佈局製作完成。然而此系統所使用的相位偵測方式如之前所提及，是利用選取數位控制振盪器輸出相位來彌補主要延遲路徑時間。選取落後的相位來彌補主要路徑延遲時間，這會使得計數器少觸發一次。因此我們必須將此計數器重置在二進制的 1 而不是 0。則第一個 D 型正反器使用重置到 1 的 TSPC D 型正反器，其電路只要將圖 4.10 稍做修改即可。

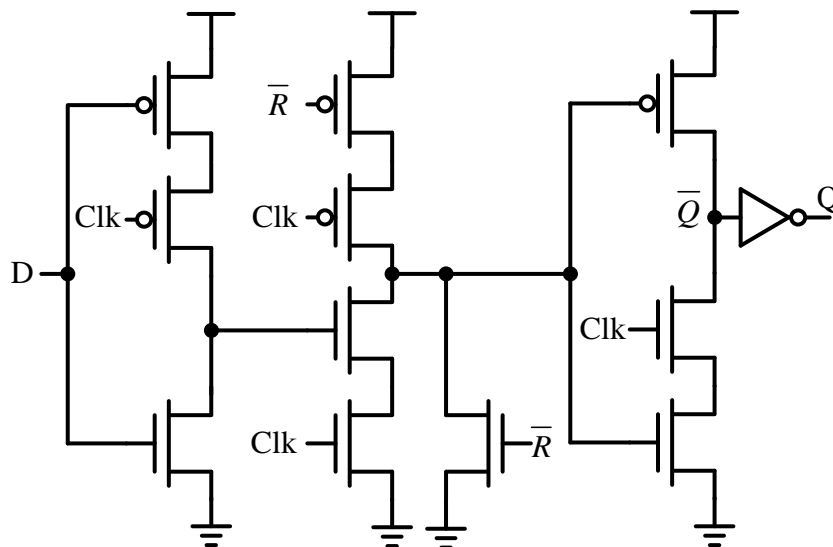


圖 4.10 具有 Reset 功能的 TSPC D 型正反器

4.5 數位控制電路

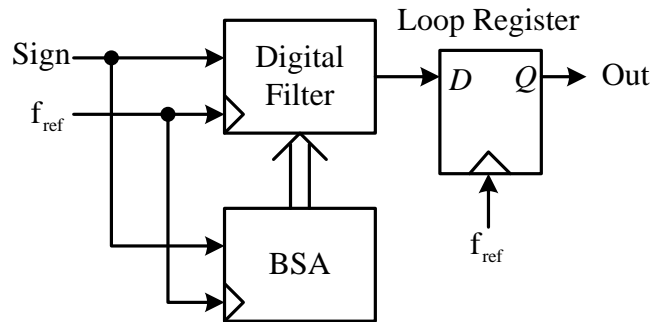


圖 4.11 數位控制電路方塊圖

如圖 4.11 所示，此數位控制電路包含數位濾波器和二元搜尋電路及使輸出同步的迴路暫存器。此數位控制電路設計採用 Verilog 硬體描述語言 (Hard describe language) 搭配標準元件庫 (Standard cell library) 完成。使用的設計軟體是 Synopsys 的 Design compiler 做元件合成設計、Cadence 的 SOC encounter 完成自動繞線 (APR, Automatic placement and route)。系統方塊圖中的多工器，在頻率搜尋模式時切換在二元搜尋電路。完成頻率搜尋後，切換到數位濾波器的路徑執行相位維持模式。多工器輸出端的暫存器會負責將頻率搜尋模式結果記錄起來，於相位維持模式中當作初始值使用。此處的迴路暫存器遇得到最小的時脈抖動，最佳質設計為一個取樣延遲，不設計為半個取樣延遲是因為會導致數位控制電路計算時間不足。

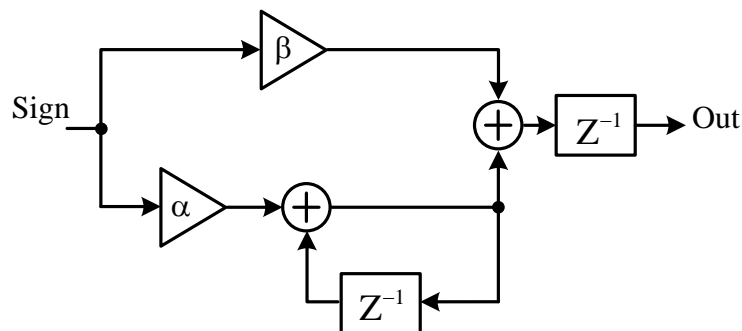


圖 4.12 數位濾波器系統方塊圖

如圖 4.12 所示，為數位濾波器系統方塊圖。原理的分析在第三章已有說明，此處的直接正比路徑增益 β (Proportional path gain) 和累積路徑增益 α (Integral path gain) 需考量系統穩定性設計。由於數位控制振盪器的解析度不足，因此加上了三角積分調變電

路增加解析度，具有五位元的輸入。將數位濾波器輸出分為整數和小數部份，小數部份接到三角積分調變。也就是說三角積分調變器為小數部份共有 $2^{-1} \sim 2^{-5}$ ， β 直覺的給定為小數部份最小位元，意即 β 值為 2^{-5} 。 α 的設計只要根據第三章提到的 $\frac{\alpha}{\beta} < \frac{2}{2D+1}$ 為穩定收斂區域，此處回路暫存器 (Loop register) $D=1$ 的情況下 α 至少要為 2^{-6} ，數值越小其收斂後的時脈抖動越小。但是雜訊抑制能力就越差，改變其數值如同改變迴路頻寬具有等效之功能。若考量到可收斂性及硬體成本， α 值並非可以無限小。

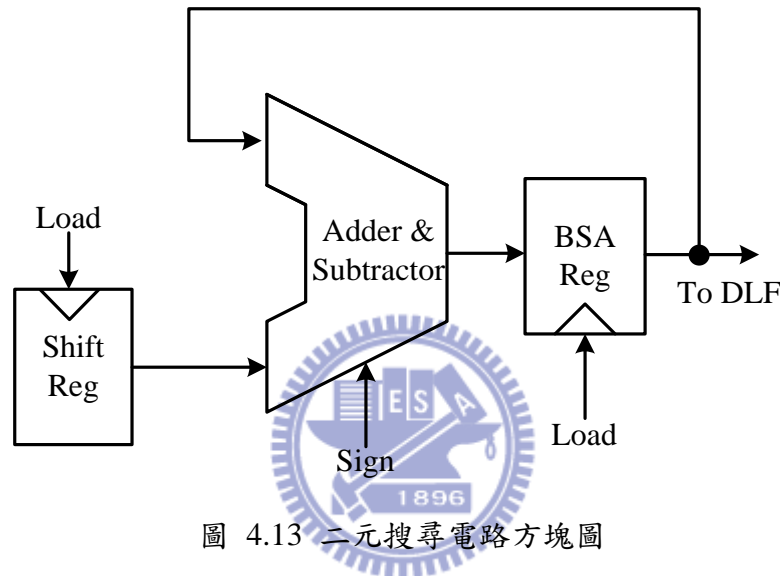


圖 4.13 二元搜尋電路方塊圖

圖 4.13 為二元頻率搜尋架構，包含移位暫存器 (Shift register)、加減法器和二元搜尋算法暫存器 (Binary search algorithm, BSA)。如之前所敘述，此處假設參考相位與除頻相位為絕對對齊。因此我們可以直接將相位偵測器輸出當作頻率偵測器使用，圖 4.14 為其操作過程示意圖。將振盪器初始頻率所對應之控制碼預先設立到移位暫存器中，初始值 100100 為振盪器中心頻率。移位暫存器位元數決定於數位控制振盪器之位元數移位，移位暫存器初始值為 10000。於操作流程中，Load 訊號每觸發一次代表進行一個位元的頻率搜尋。觸發時二元搜尋電路根據 sign bit 得到此時輸出頻率和目標頻率的比較結果，進而減慢或增快輸出頻率值。如圖 4.14 所示初始為 100100，假設第一次搜尋得到頻率過慢之結果。則將移位暫存器值加到 BSA 暫存器中加快頻率，類似的步驟一直到頻率搜尋模式結束。另外許多文獻中關於頻率搜尋機制會加入特殊機制，其目的是即使搜尋錯誤，也能夠透過其他方式得到正確之結果。

推導圖 4.15 的轉移函數分析，一階 $\Delta\Sigma$ 調變器可表示為

$$Y(z) = [X(z) - Y(z) \cdot z^{-1}] \cdot \frac{1}{1-z^{-1}} + E(z) \quad (4.3)$$

重新整理可得

$$Y(z) = X(z) + E(z) \cdot (1-z^{-1}) \quad (4.4)$$

在鎖相迴路系統中，使用此一階 $\Delta\Sigma$ 調變器的目的是要增加數位控制振盪器的解析度。因此一階 $\Delta\Sigma$ 調變器輸出是用來控制振盪器的一個最小位元，則 4.4 式中必須將輸出 $Y(z)$ 設計為 1 位元的數位輸出。量化雜訊即為無法直接呈現在輸出上而累積在累積器中的值。從這個觀點出發可以將圖 4.15 之一階 $\Delta\Sigma$ 調變器進一步化解，用數位信號的方塊圖表示如圖 4.16 所示。

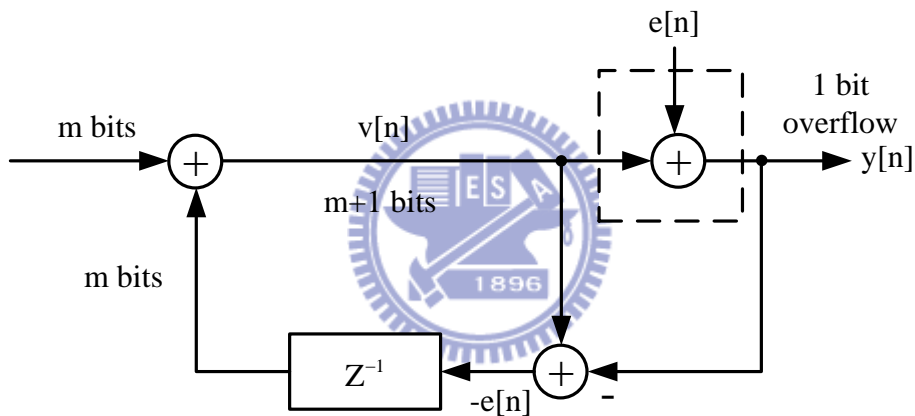
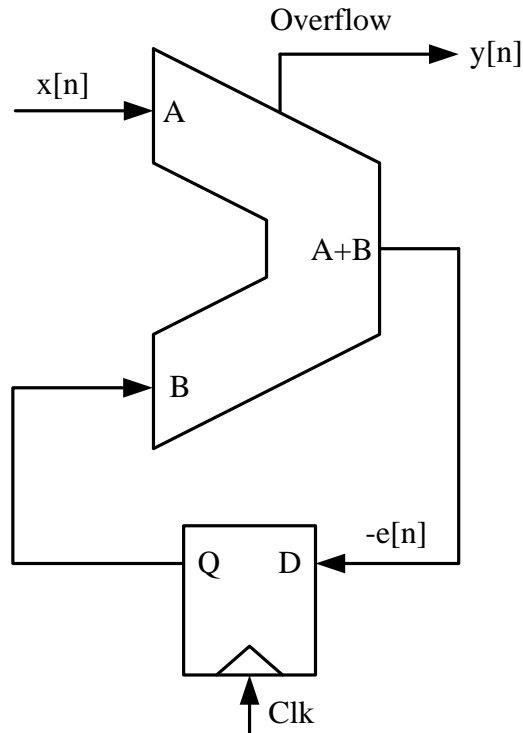


圖 4.16 一階 $\Delta\Sigma$ 調變器數位信號方塊圖

一階 $\Delta\Sigma$ 調變器通常以累加器實現。假設將數位濾波器輸出的小數部份，選取 m 個位元做為一階 $\Delta\Sigma$ 調變器的輸入，累加器會產生 $m+1$ 個位元的輸出。其中 1 個位元為溢位輸出位元 (Overflow bit)，即為此 $\Delta\Sigma$ 調變器的輸出。透過此位元增加數位控制振盪器解析度。數位電路的實現方式如圖 4.17 所示。

從圖 4.17 可以更直接看出其行為模式，輸入 $x[n]$ 可視為迴路濾波器輸出的小數部份以 m 位元二進制呈現。溢位輸出 $y[n]$ 只為整數值 1 或 0， $e[n]$ 則為累積未進位的量化雜訊。

圖 4.17 一階 $\Delta\Sigma$ 調變器電路方塊圖

鎖相迴路中詳細操作過程以表 4.2 說明。在一個參考時脈週期中，輸入的 $x[n]$ 為固定值。假設此時迴路濾波器小數部份輸出為 0.125， $\Delta\Sigma$ 調變器的取樣頻率假設 N 倍於參考頻率。因此 $\Delta\Sigma$ 調變器有 N 次累計機會使累加器溢位，每累積八次會得到一次溢位輸出使 $y[n]=1$ ，其餘的 $y[n]=0$ 。若數位控制振盪器輸出週期 800ps，最高解析度的刻度為 6ps 且落於 800ps 正中間。則當 $y[n]=0$ 時輸出振盪週期為 797ps，反之 $y[n]=1$ 時則為 803ps。其 N 次下來輸出的振盪週期則會平均在 797.75ps，等效的數位控制振盪器解析度即為 6ps 除以 N 。然而實際上考量到輸入的 $x[n]$ ，若沒有剛好在最後一次累加時產生溢位，或者數位控制振盪器刻度中心點不在輸出頻率上。則實際上的解析度會有所出入，但是也會接近 $1/N$ 倍。可以試著假設不同的輸入 $x[n]$ 即可證明得到。鎖相迴路中將一階 $\Delta\Sigma$ 調變器用於增加數位控制器解析度。在固定的輸入情況下，等同對輸入取算數平均，也就是 moving-sum 的行為，通常會將此 $\Delta\Sigma$ 調變過程稱為 dithering。

表 4.2 加入 $\Delta\Sigma$ 調變器的等效週期變化

x[n]	累加器輸出	e[n]	y[n]	振盪週期
0.125	0.125	-0.125	0	797ps
0.125	0.25	-0.25	0	797ps
0.125	0.375	-0.375	0	797ps
0.125	0.5	-0.5	0	797ps
0.125	0.625	-0.625	0	797ps
0.125	0.75	-0.75	0	797ps
0.125	0.875	-0.875	0	797ps
0.125	1.0	-0.0	1	803ps
0.125	0.125	-0.125	0	797ps
	:	:		
	:	:		
0.125	0.875	-0.875	0	797ps
0.125	1.0	-0.0	1	803ps
0.125	0.125	-0.125	0	797ps
	:	:		

4.7 數位控制振盪器

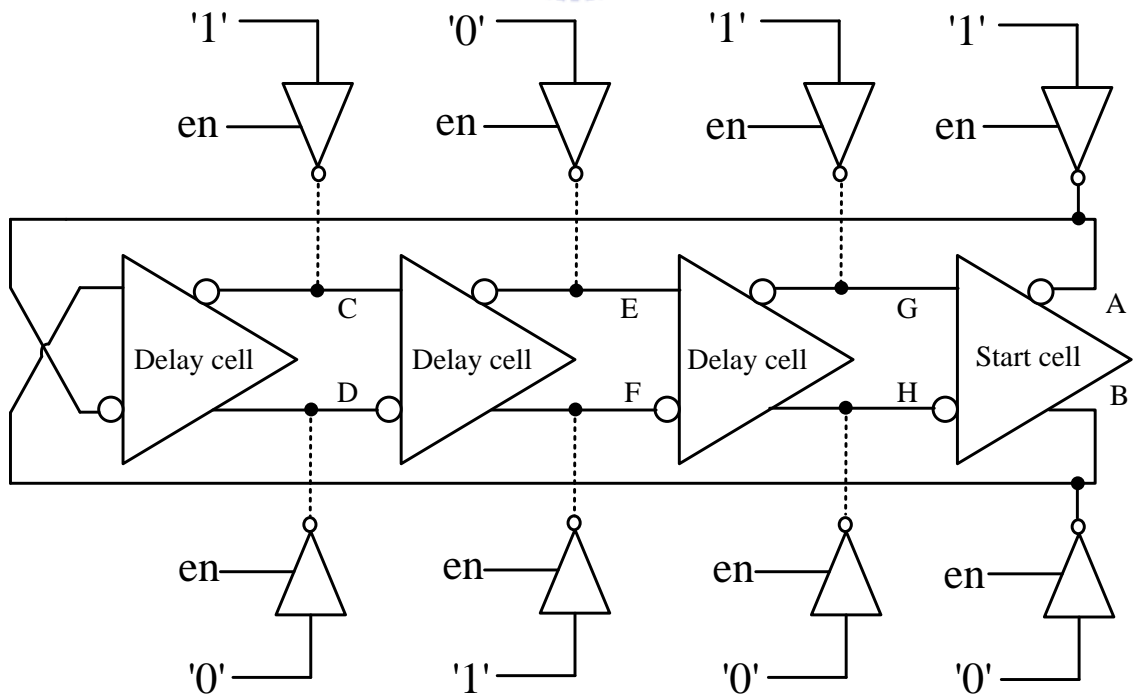


圖 4.18 具智能功能之數位控制振盪器方塊圖

本章節介紹此全數位鎖相迴路系統中所使用的數位控制振盪器，如圖 4.18 所示。使用四級的延遲元件組成一回授電路，延遲單元為雙端輸入雙端输出的數位式假差動對 (Pseudo differential pair) 元件，其電路如圖 4.19 所示。

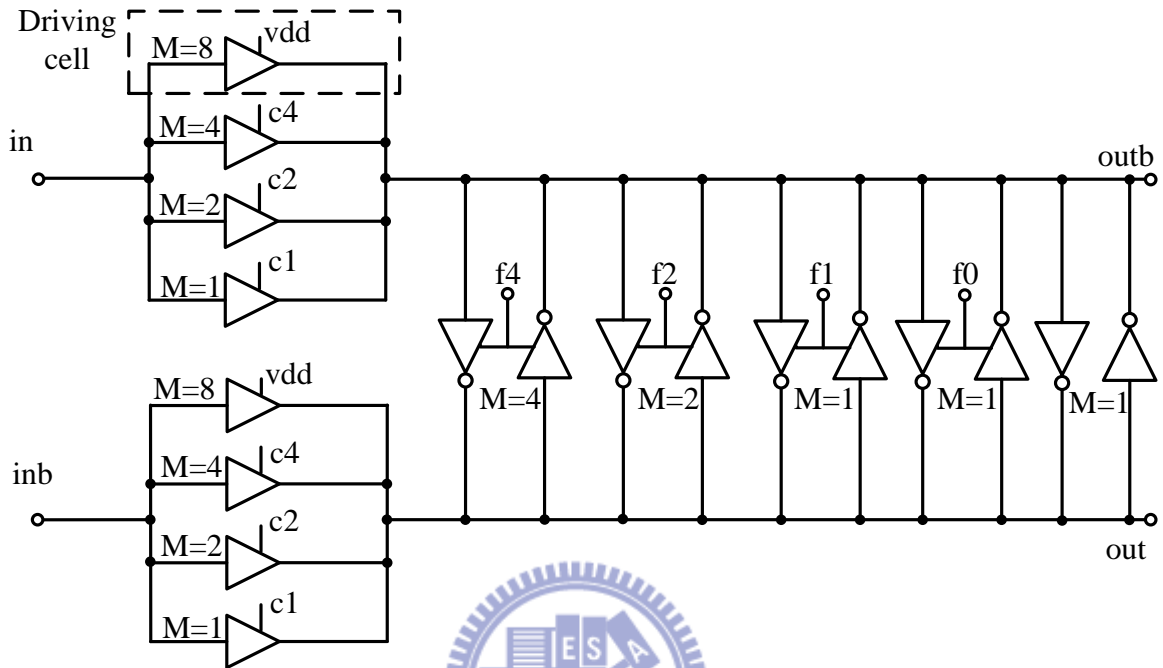


圖 4.19 延遲元件電路

延遲元件 (Delay cell) 電路輸出入訊號皆為雙端。粗調系統為差動輸入，採用 4 個不同並聯數的三態反相器作為驅動元件。其中並聯數分別為 8、4、2、1，並聯等於 8 的驅動元件固定接高電壓，其於的用二進位控制可得到接近線性的操作頻率。負載端採用背對背反接的三態反相器做為遲滯負載，並聯數分別為 4、2、1、1，及一組確保振盪之固定導通負載。遲滯負載除了藉由致能控制增減頻率，另一方面可將雙端輸出時脈之交差點修正到中心位置。

控制訊號總共有七個輸入，其中 c4、c2 和 c1 為粗調控制 (Coarse-tuning stage) 輸入；f4、f2 和 f1 為微調控制 (Fine-tuning stage) 輸入。f0 用來增加解析度，將在稍後說明。

為了構成此論文提出的高解析度相位偵測法，必須在數位控制振盪器中加入起振控制電路，使數位控制振盪器起振時間得以掌握。實現方式分為兩個部份，將其中一級延遲單元替換為起始單元 (Start cell) 如圖 4.20 所示。將驅動端之三態反相器致能腳接上

控制邏輯電路，此處的致能指起動停止振盪裝置。當致能腳為 1 時 w_8 、 w_4 、 w_2 、 w_1 恆為 0，此時迴路被打斷，振盪器停止振盪。反之致能腳為 0 時粗條控制訊號傳送到三態反相器中，使振盪器正常運作。另一步驟如圖 4.18 所示，將振盪器八個相位輸出接上三態反相器。目的是在致能訊號為 1 時，除了振盪器迴路被打斷以外，還能夠設定好初始值。掌握住訊號 A 在致能訊號變為 0 時為第一個上升的相位，提供此論文之頻率搜尋概念得以完成。

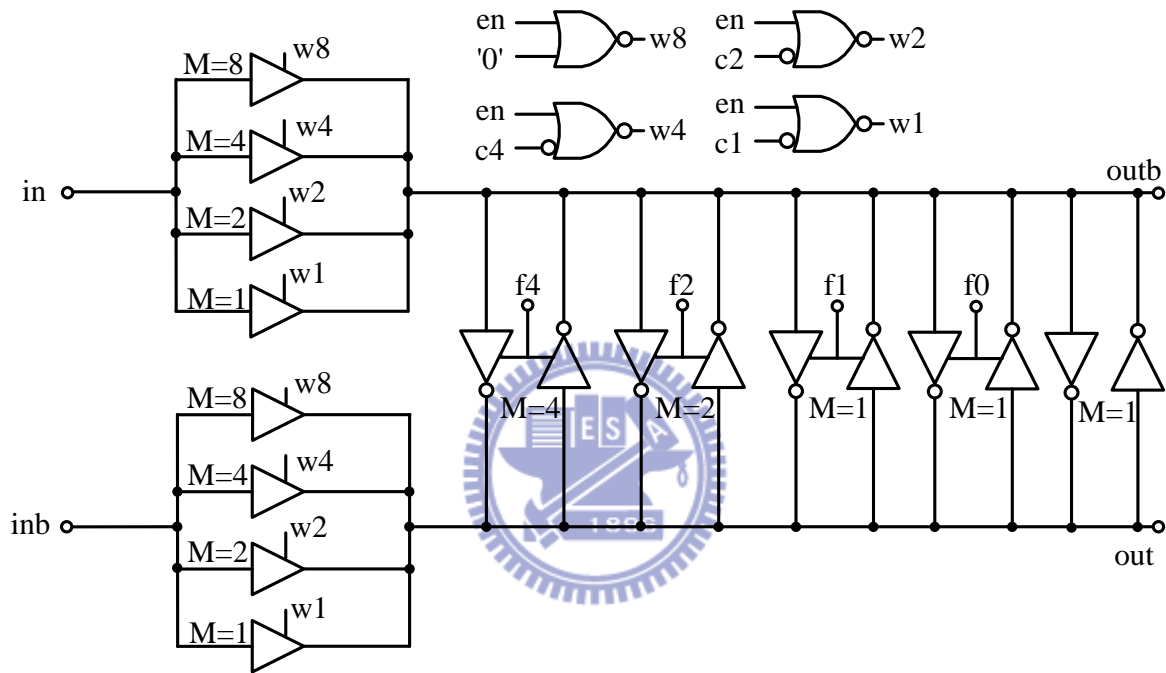


圖 4.20 起始振盪單元及控制邏輯電路

如圖 4.21 所示為獨立操作電路圖及示意圖，共有 $S_3 \sim S_0$ 四個位元。其中 $S_2 \sim S_0$ 透過解碼器做循序開啟增加解析度， S_3 使用 $\Delta\Sigma$ 調變器達到 dithering 功能，為最細小的頻率控制。將數位控制器中的迴路濾波器輸出分為整數部份和小數部份，整數部分共有 8 個位元，用來控制數位控制振盪器的粗條、微調及循序開啟。整數部份的最小兩個位元如圖 4.21 中的 a_1 和 a_0 ，經過解碼器得到 3 個位元去控制數位控制振盪器的 $S_2 \sim S_0$ 獨立控制位元。此動作可將數位控制振盪器解析度先提高 4 倍。最後 S_3 位元經由 $\Delta\Sigma$ 調變器控制，此系統中可將解析度再提高 32 倍。

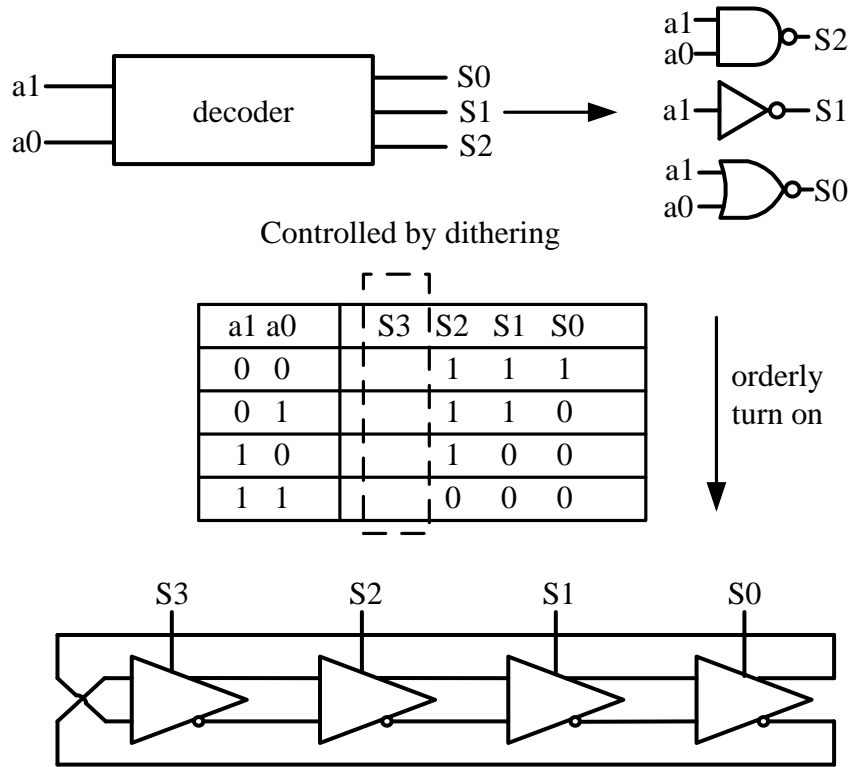


圖 4.21 獨器操作電路及示意圖

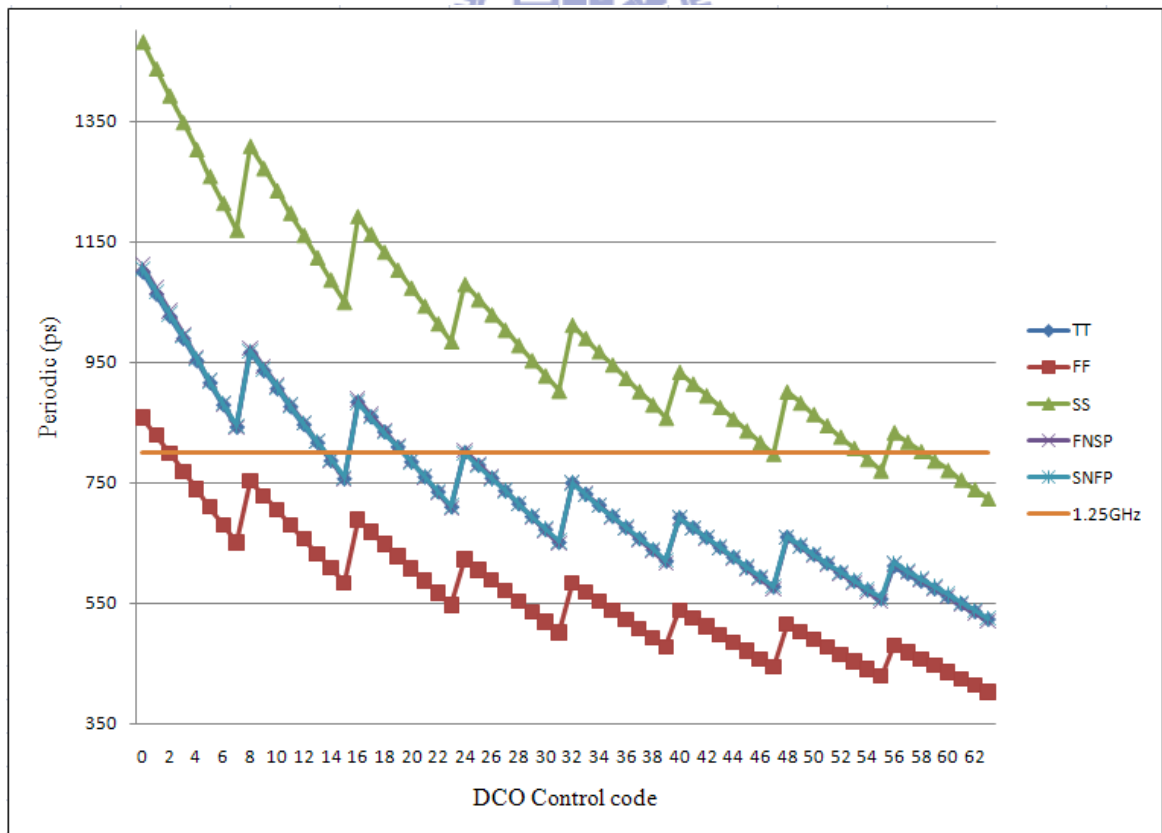


圖 4.22 粗調和微調機制的頻率掃描圖

如圖 4.22 所示為數位控制振盪器經由佈局後模擬(Post-simulation)所得到的操作頻率可調整範圍。數位控制碼包含粗調和微調的部分，各個製程 corner 皆能涵蓋到 1.25GHz。表 4.3 列出不同製程 corner 的頻率可調整範圍，於輸出週期 800ps 附近之粗調增益約為 105ps、微調增益約為 24ps，各頻段皆有頻率重疊區域。

表 4.3 操作頻率可調整範圍

Corner	TT	FF	SS	FNSP	SNFP
Frequency range(GHz)	0.91~1.91	1.16~2.48	0.675~1.38	0.9~1.92	0.905~1.9

如圖 4.23 所示，固定粗調頻段在 800ps 週期附近。接著再逐漸改變微調機制中遲滯元件負載並聯個數，微調機制的輸出週期變化接近線性。圖 4.24 為固定粗調和微調頻段在 800ps 週期附近，改變延遲元件獨立操作中 S2~S0 的循序控制機制。增加解析度的獨立操作機制線性度更佳，其解析度約為 6ps。

在數位控制振盪器中，可將頻率改變對應的控制碼分成兩個類型：(1) 頻率單調遞增 (Monotonic)；(2) 頻率非單調遞增 (Non-monotonic)。單調遞增的數位控制振盪器較為單純。其頻率於固定製程 corner 下，單一的輸出頻率只對應到單一的頻率控制碼。也就是說一個固定的輸出頻率只有一種頻率控制碼可提供；反之非單調遞增的數位控制振盪器，單一的輸出頻率可以找到一個以上的頻率控制碼。如圖 4.22 所示，在固定的製程 corner 下 1.25GHz 的頻率也許能找到一個以上的頻率控制碼提供相同的振盪頻率。

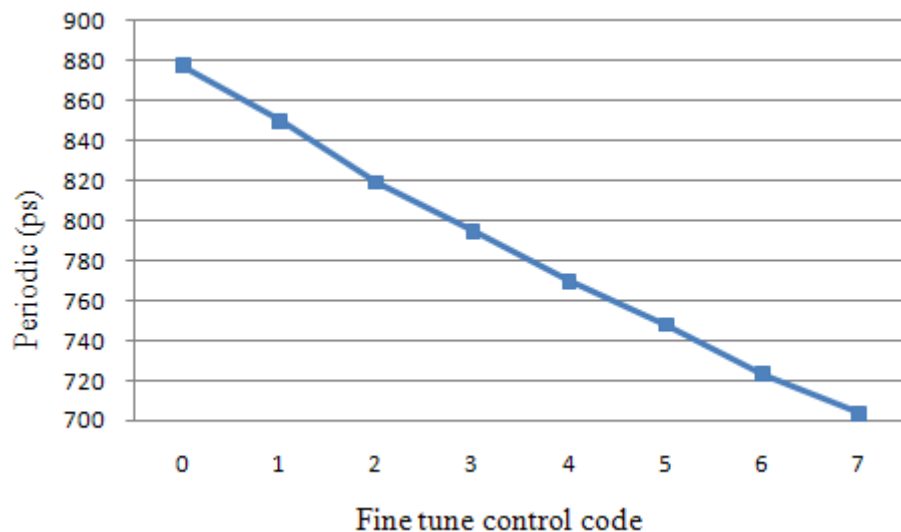


圖 4.23 微調機制振盪週期變化

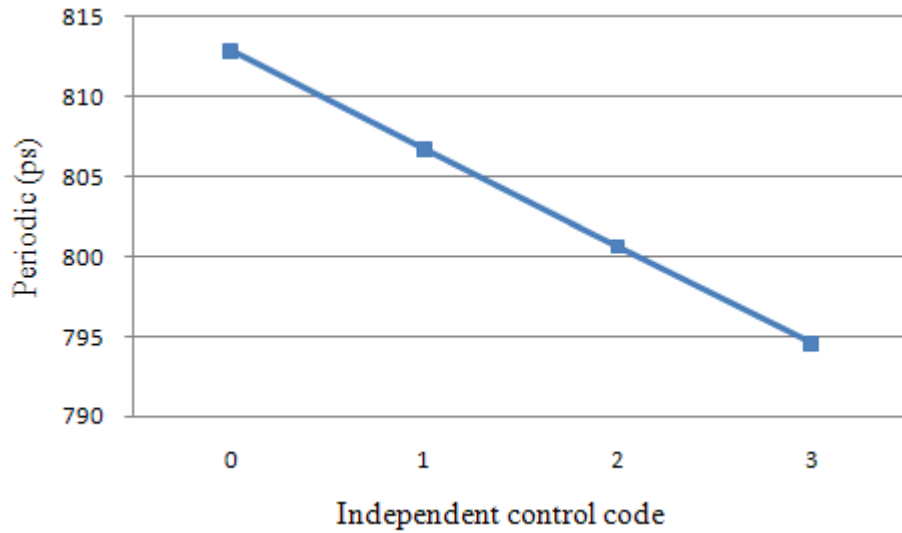


圖 4.24 獨立操作振盪週期變化

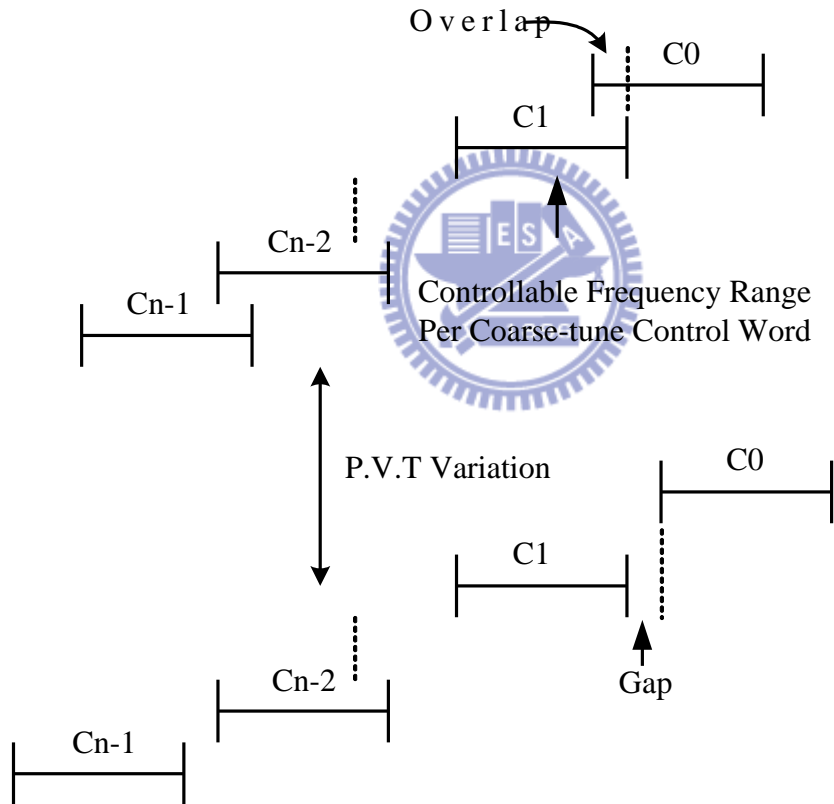


圖 4.25 控制位元變化時產生間隔示意圖

此設計將數位控制振盪器分為粗調和微調部份。可將粗調部份視為多頻帶 (Multi-band) 選擇，微調部份是頻率選擇，形成非單調遞增型的數位控制振盪器。此時必須確保粗條和微調之間頻率能夠重疊，使其不具有頻率間隙 (Frequency gap)。甚至在製程 corner 下也能夠保持此特性，其說明如圖 4.25 所示。觀察圖 4.22 中可看出此設計

遵守此原則，在不同製程 corner 下粗調和微調頻率皆有重疊。觀察粗調和微調頻率增益列出表 4.4，微調的調整範圍於 1 位元改變的粗調之間重疊的頻率接近 50%。此處 50% 的重疊設計，用意是為了符合高解析度頻率搜尋法。

表 4.4 數位控制振盪器細部規格

Items	Coarse delay	Fine delay
Control code	3 bit	3 bit + 1 bit
Control code type	Binary	Binary
DCO gain@1.25GHz	105ps/code	24ps/code
With SDM dithering		0.75ps/code
Tuning range	0.91GHZ~1.91GHZ(TT corner)	
Multi phase output	8-phase output	

表 4.4 中的數位控制振盪器增益定義為在 1.25GHz 的輸出頻率下，其原因是此設計方式導致輸出頻率為分段線性 (Piecewise linear)。在不同的粗調頻帶下其微調的頻率調整雖然為線性的，但其增益皆有所不同。因此取平均的增益所具備的意義不如直接取欲鎖定頻帶下的增益；反之微調的增益值取固定粗調頻帶下的平均較為貼切。

最後關於此數位控制振盪器的製作方式，構成的基本元件皆為全數位的三態反相器。因此採用在標準元件庫中加入自製元件 (Customize cell)，自製元件的原因是因為既有的三態反相器除了選擇性過少，且其輸出的上升時間和下降時間之交叉點 (Crossing point) 不在中心點。礙於多相位輸出的實現必須自製元件，以滿足多種選擇的三態反相器且交叉點在中心。如圖 4.26 所示為自製的三態反相器佈局圖，自製元件的佈局相關規範與使用的製程有所不同，通常設定於 EDA tool 的檔案裡。使用 APR tool 將自製的元件做繞線及佈局必須配合標準元件的格式，其中的目的即是要讓元件共用電源層和 N-well 之類的部份。因此會要求固定的元件高度 (Cell high)、N-well 的高度、可使用的金屬層數目等等，使得加入了自製元件後還能和製程的標準元件一起自動繞線佈局。

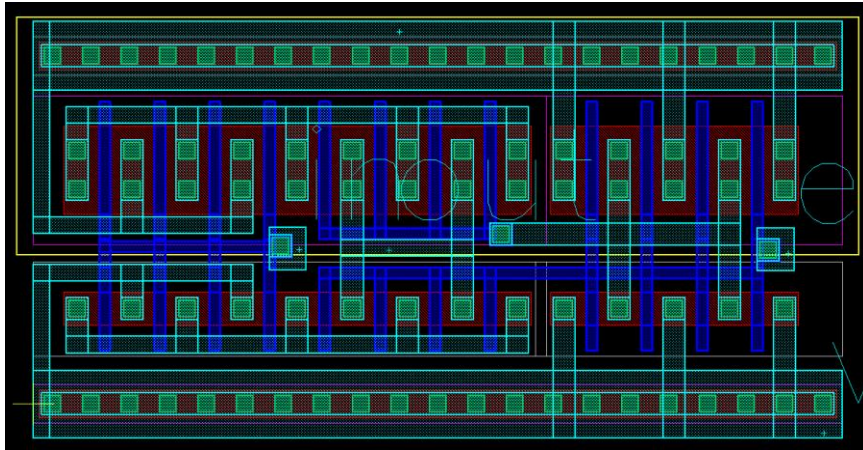


圖 4.26 自製三態反相器佈局圖

如圖 4.27 所示為數位控制振盪器自動繞線佈局圖，此處將數位控制振盪器的自製元件加上標準元件一起繞線。並未與數位控制電路方塊一起繞線，其原因為避免振盪器受到過多雜訊干擾。使用自動繞線完成數位控制振盪器，優點為省去佈局繞線的時間。且欲改變輸出鎖定頻率只需替換其他的自製元件即可輕易的改變，也可以節省晶片面積。然而自動繞線完成數位控制振盪器也會引入一些缺點。例如無法預期的繞線路徑導致不同的輸出負載，此問題在此 UMC 90nm 高階製程中並不彰顯。因為線電容的影響相較於元件本身負載小很多，於較低階製程中會產生更大的問題。

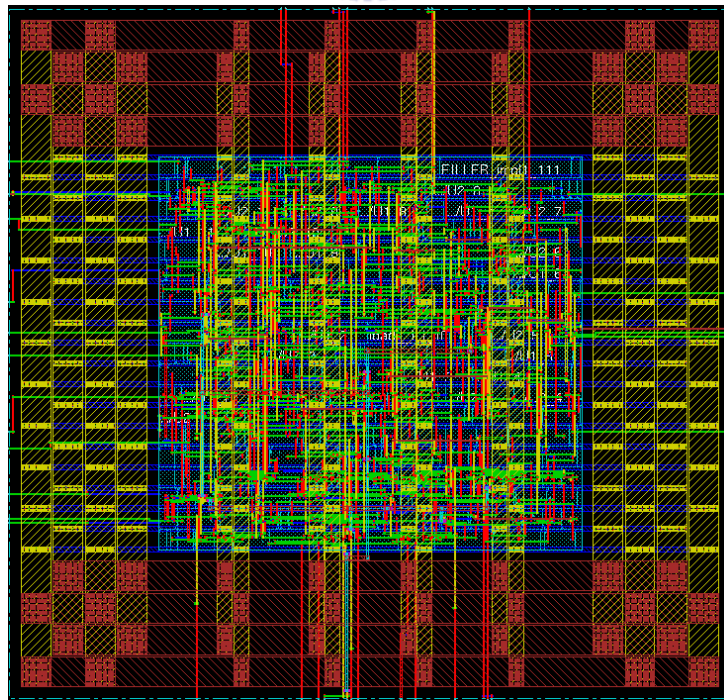


圖 4.27 數位控制振盪器自動繞線佈局圖

第五章

系統模擬、佈局與量測



5.1 製作流程

IC設計分為全客製式 (Full-custom) 和Cell-based兩種製作流程。此論文的全數位鎖相迴路採用了以上兩種方式混合製作，可視為混合訊號IC設計流程 (Mixed-signal IC design flow)。此處先對混合訊號IC設計流程做一個初步的介紹。如圖5.1所示，任何的設計皆會先驗證系統行為是否滿足預期。可透過各種高階程式語言 (C⁺⁺, MATLAB) 快速的做系統行為分析。接著將子電路類型分為數位部份 (Digital part) 和類比部份 (Analog part)，分別使用Cell-based和Full-custom完成。所謂的類比部份不見得指純類比電路，為了增加效能或是無法使用HDL完成而需透過客製化設計的數位電路也包含在內。將Cell-based和Full-custom的電路使用Nanosim或Hsim等軟體做混合模擬，再來將兩個部份的佈局透過APR軟體或全客製化設計軟體組合起來，最後就是下線跟晶片量測。

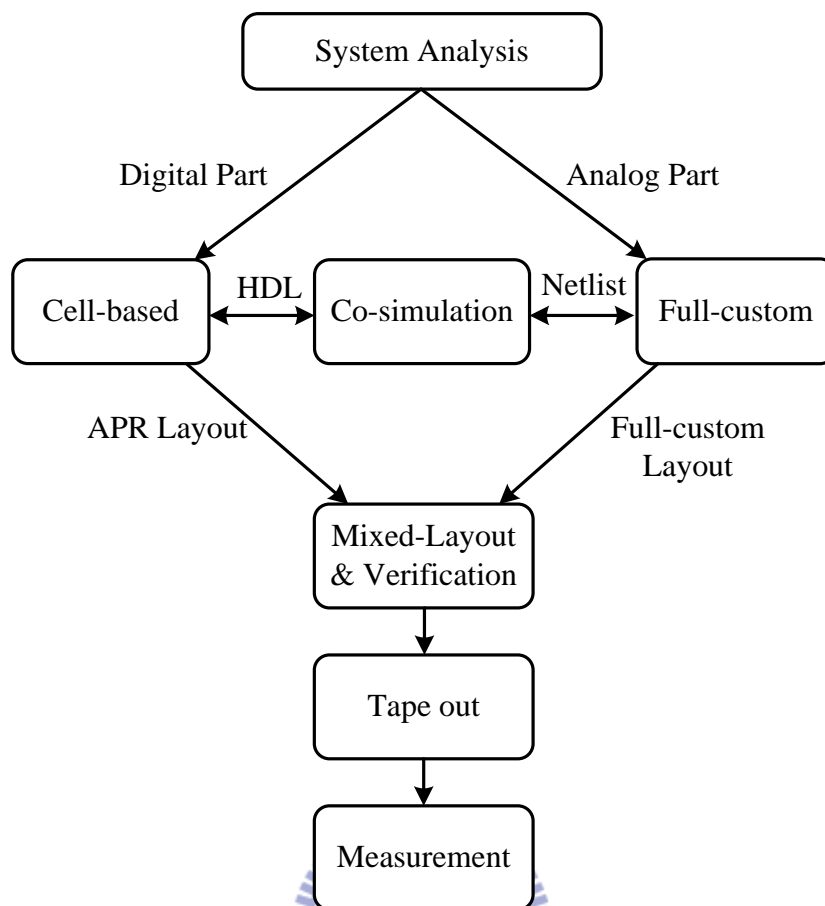


圖 5.1 混合訊號 IC 設計流程圖

5.2 系統模擬

鎖相迴路的系統行為模擬與驗證，一般常見的是使用 MATLAB 或是其中的 Simulink 軟體。然而此論文為非線性系統，無法使用 Simulink 做行為模擬驗證。因此使用了 MATLAB 軟體撰寫相位域的行為。如第 3.3 節根據規格設計其系統參數，確保行為模式在相位平面可正常運作。

鎖相迴路系統為全數位架構，因此我們可以使用 Verilog 硬體描述語言 (Hard describe language) 做系統行為模擬。透過撰寫 Behavior level 的 Verilog code 實現數位系統可以更接近真實的行為，並且包含了時序圖分析可以觀察跟偵錯。如圖 5.2 所示，如同前敘 ADPLL 包含相位偵測器、數位控制電路、多相位輸出數位控制振盪器、三角積分調變器和除頻器，使用 Verilog code 將系統中的 5 個 clock 分別實現驗證。

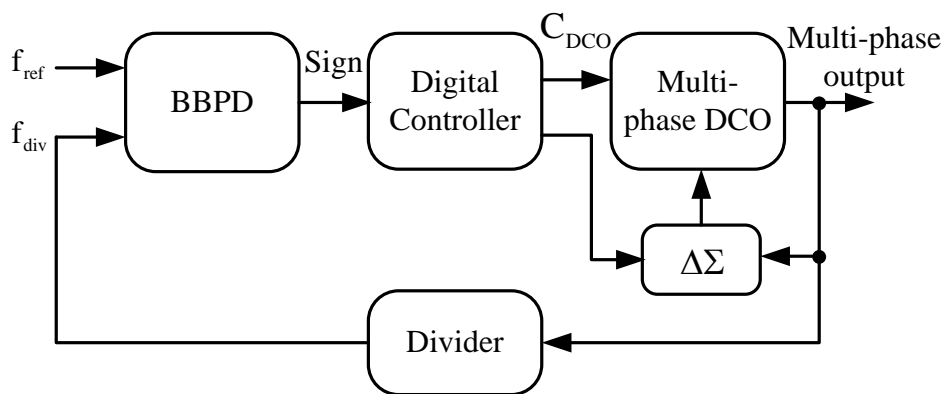


圖 5.2 鎖相迴路系統方塊圖

圖 5.2 系統中的數位控制振盪器架構違反了 Verilog code 的規則，在 Verilog code 中無法接受組合邏輯迴圈。規則中任何的迴圈皆需包含有時脈觸發的暫存器，如此一來軟體才有辦法記算延遲時間。因此此系統模擬中的數位控制振盪器，使用撰寫 pattern 的方式模擬實際的數位控制振盪器。由於先使用了 MATLAB 驗證過系統參數，且 Behavior level 的 Verilog code 中沒有包含邏輯延遲，因此也如同預期般正常運作。

為了讓模擬更接近真實電路，接著將 Verilog code 改用 RTL level 實現。使用 Design compiler 軟體執行標準元件庫合成，此時邏輯電路具有 gate level 的延遲參數。接著發現三角積分調變器由於使用的時脈數倍於參考時脈，造成了暫存器中設定時間(Setup time)的問題。只好將此部份也先使用 Behavior level 取代。整個系統的模擬結果如圖 5.3 所示，其中參考時脈和雙倍參考週期時脈產生出 Load 訊號提供給二元搜尋電路使用。系統在二元頻率搜尋過程中將使用 2 次參考時脈週期當做一次循環。系統啟動時先重置 (Reset) 如圖中的 A 步驟，可看出在 Reset 為低電壓時， C_{DCO} 被預設到初始值。圖中 B 步驟將 Load 訊號的反相訊號 en' 拉到 high 使 DCO 開始振盪產生 f_{out} ，此時對應到的二元搜尋第一個參考時脈二元搜尋電路不動作。接著在圖中 C 步驟在二元搜尋第二個的參考時脈正源觸發時比較 f_{ref} 和 f_{div} 訊號的相位產生 Sign 訊號，此時的 f_{div} 上升正源代表著輸出振盪頻率積分後的相位結果，以相位方式表現輸出頻率的快慢。圖中 D 步驟在二元搜尋第二個參考時脈負源產生 Load 訊號上升訊號將振盪器關閉且更新 C_{DCO} ，繼續執行下一次二元頻率搜尋。

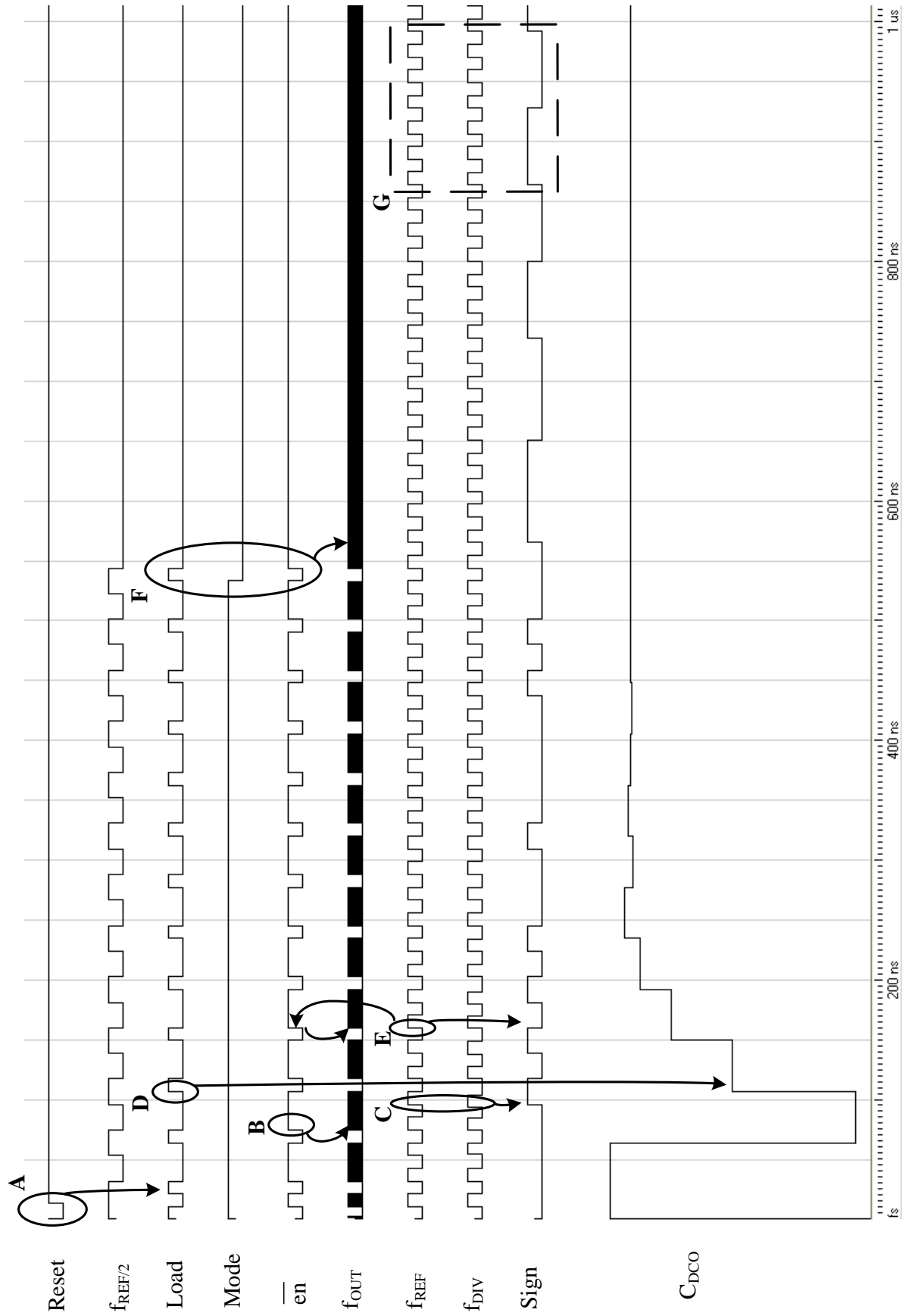


圖 5.3 Verilog RTL level 時序圖

其中值得一提的在圖 5.3 中，步驟 E 為二元頻率搜尋的第一個參考時脈時間。除了會將 en' 訊號拉到邏輯 high，也可以發現 BBPD 的輸出 Sign 訊號會被拉到邏輯 low。此現象是因為 BBPD 每個參考時脈正源觸發皆會和 f_{DIV} 比較。然而重新啟動的振盪器其累積相位理所當然會較慢，因此每次結果皆為邏輯 low。也應證了在二元頻率搜尋第一個參考時脈週期只執行相位累積的動作，此處即是運用此特性將 BBPD 結果視為頻率比較器使用。

接著觀察圖 5.3 中步驟 F 的部份，此處為最後一次二元頻率搜尋結束時的第二個參考時脈週期。此時 Mode 訊號會切換到相位維持模式，將 Enable 訊號拉到邏輯 high 使振盪器一直振盪。Load 也訊號拉到邏輯 low 完全關閉二元搜尋電路省功率。值得注意的是在此處雖然說是切換模式，但是系統並未停頓任何的時間，可以避免許多使用雙迴路雙模式的快速鎖定鎖相迴路造成的模式切換問題。最後在圖 5.3 的 G 處，可以看出在二元頻率搜尋結束後不久 f_{REF} 和 f_{DIV} 相位就鎖住了。驗證了即使加入 gate level 的延遲參數系統依然可以正常的運作，接下來即可透過 APR 和 full custom layout 將電路實現。



5.2 晶片佈局圖

此晶片使用 UMC 90nm 1P9M Standard CMOS Process 實現，包含了 UMC 的標準元件庫 (Standard cell library)。如圖 5.4 所示，晶片佈局圖 (Chip layout) 的總面積為 $(840\mu m \times 710\mu m)$ 。此論文的核心 (Core) 為圖中虛線部份。Chip 除了包含我們設計的全數位鎖相迴路還有其他設計者的核心、IO Pad 和去耦電容 (Decoupled capacitors)。

如圖 5.5 所示，為此論文設計的全數位鎖相迴路核心佈局圖，包含了數位控制電路 (Digital controller)、數位控制振盪器 (Digitally controlled oscillator, DCO)、Bang-Bang 相位偵測器 (Bang-Bang phase detector, BBPD)、除頻器 (Divider) 和三角積分調變器 (Sigma-Delta modulator, $\Delta\Sigma$)，核心總面積為 $140\mu m \times 110\mu m$ 。

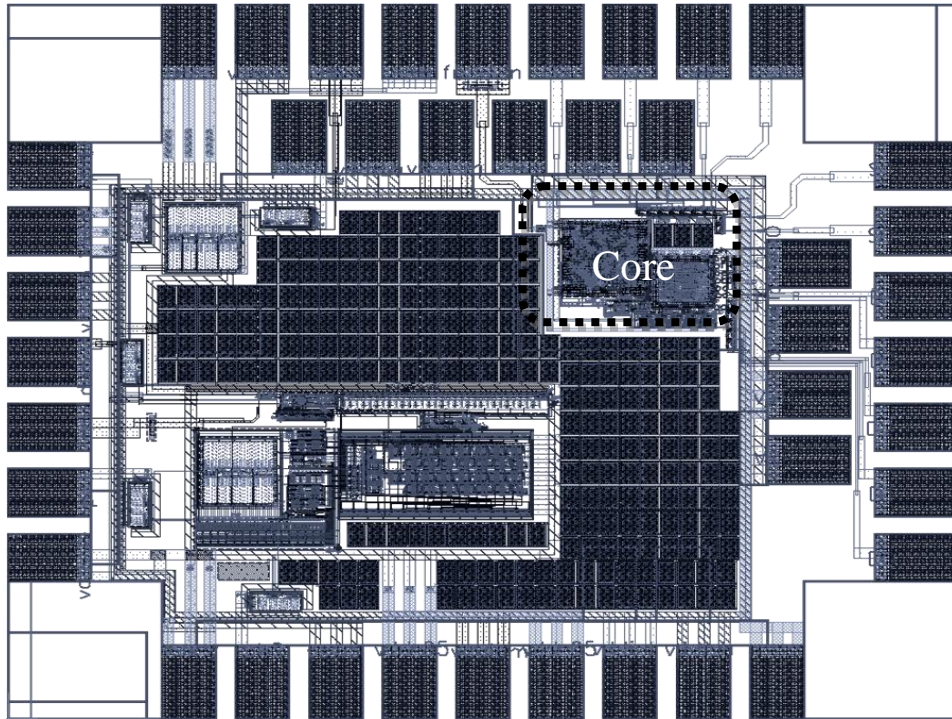


圖 5.4 全晶片佈局圖

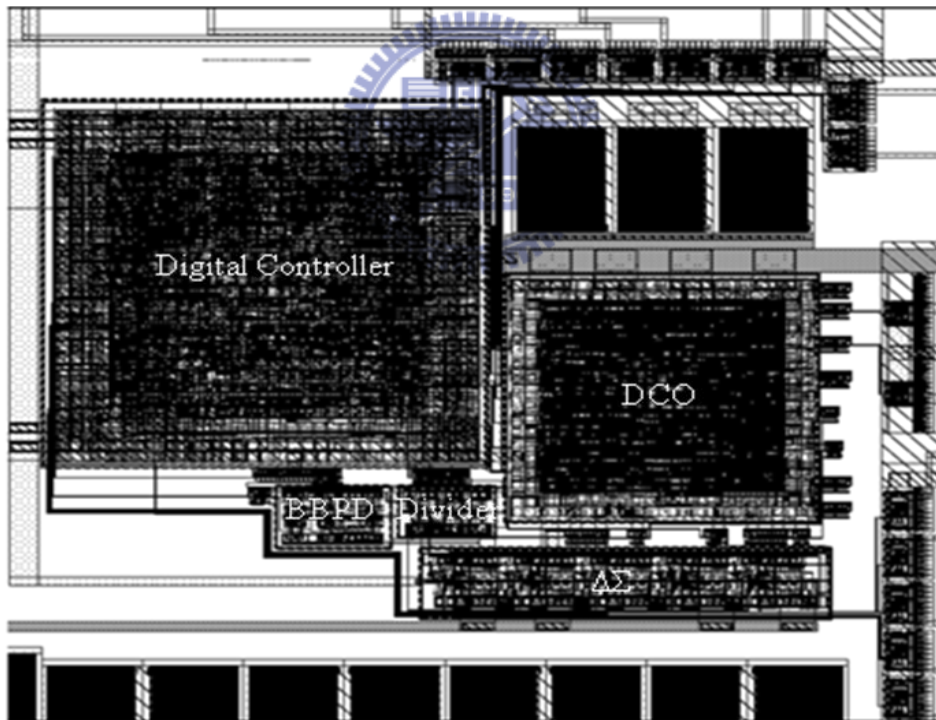


圖 5.5 晶片核心佈局圖

如表 5.1 所示，為此設計在佈局中各 IO Pin 的屬性和名稱。電源包含了內部核心電源 (VDD, VSS) 和外部 IO 電源 (VDDio, VSSio)。還有重置用的 clr 控制訊號、輸入的參考頻率、兩組不同相位的數位控制振盪器輸出 (phase0, phase1) 及各種數位控制電路輸出。

表 5.1 晶片腳位屬性表

Attribute	Pin Name	Pads
Power	VDD, VSS, VDDio, VSSio	4
Control	clr	1
Output	phase0, phase1 c4, c2, c1, f4, f2, f1 s2, s1, s0, d4, d3, d2, d1, d0	16
Input	reference clock	1

5.3 佈局後模擬

關於混合信號積體電路的佈局後模擬，為了節省模擬的時間而使用事件觸發式 (Event trigger) 的模擬軟體是常見的方式。由於此設計為鎖相迴路，在鎖定的過程中需要使用較高階的模擬驗證，才能模擬更接近實際情形的時脈抖動圖。為了得到更精確的模擬結果，我們依然使用 Hspice 執行佈局後模擬。

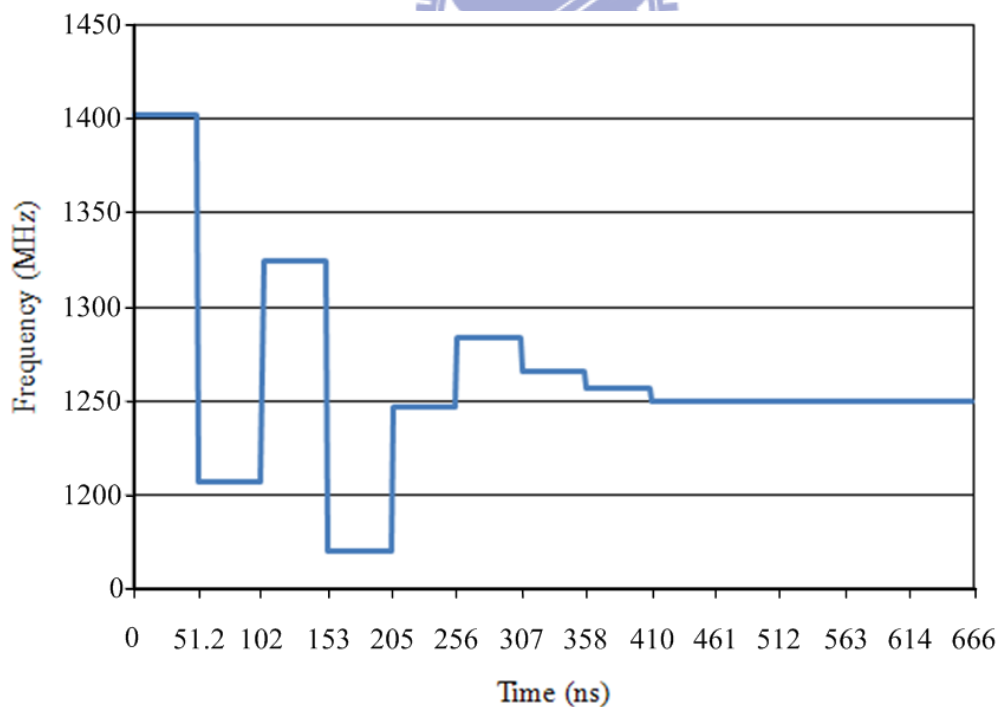


圖 5.6 二元頻率搜尋法頻率收斂曲線圖

如圖 5.6 所示為頻率搜尋模式輸出頻率變化，以雙倍參考時脈週期 51.2ns 為一次頻率搜尋時間。數位控制振盪器共有 13 位元的控制碼，第 1 個位元為初始值。因此總共

只需要 12 次頻率搜尋，也就是相當於 614ns 完成頻率搜尋。圖 5.7 為佈局後模擬輸出時脈眼圖。時脈抖動量如表 5.2 所示，不同 Corner 其輸出時脈抖動不盡相同，主要原因非數位控制振盪器之解析度不同。較可能的原因為三角積分調變器的操作速度，及頻率控制碼操作在較多的控制碼進退位之間引起。

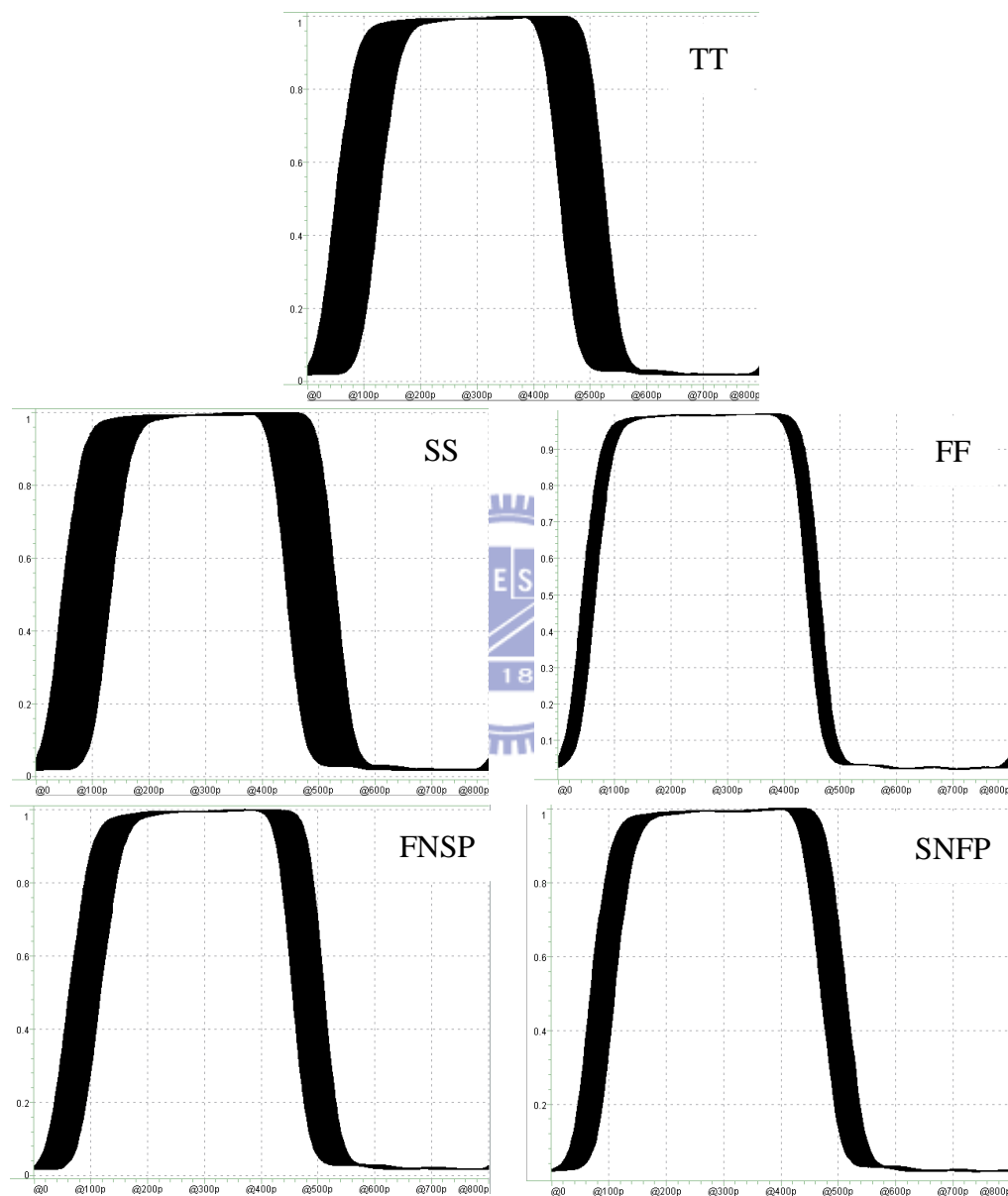


圖 5.7 佈局後模擬各 Corner 輸出眼圖

表 5.2 佈局後模擬之輸出時脈抖動 (Peak-to-peak jitter)

Corner	TT	SS	FF	FNFP	SNFP
Jitter	80ps	88.5ps	24.6ps	56ps	44.8ps

5.4 電路規格

表 5.3 電路規格表

Function	ADPLL
Specification	Post-layout simulation
Technology	UMC 90nm 1P9M CMOS
Power supply	1V
Power	2.46mw
Reference clock	39.0625MHZ
Output frequency	1.25GHZ
DCO tuning range	0.91GHZ~1.91GHZ
Timing jitter	80ps
Multi-phase output	8-phase output
Core size	140 μ m x 110 μ m

5.5 性能比較

由於鎖相迴路的應用廣泛，挑選輸出頻率相近的論文比較較為客觀。在規格比較上也沒有一個公認的 FOM 比較方式，不過無論何種 FOM 比較至少會包含消耗功率、輸出頻率及輸出時脈抖動。因此將這三個參數及面積定義以下兩種 FOM 做比較

$$FOM_{\text{jitter}} = \left[\frac{\text{power(mw)}}{\text{frequency(GHz)}} \right] [\text{jitter(ps)}] \quad (5.1)$$

$$FOM_{\text{total}} = \left[\frac{\text{power(mw)}}{\text{frequency(GHz)}} \right] [\text{jitter(ps)}] \left[\frac{\text{area(mm}^2\text{)}}{(\text{tech}/0.09)^2} \right] \quad (5.2)$$

將此論文的電路性能和其他期刊論文列出如表 5.3 所示，將鎖相迴路重要的參數列出。包含消耗功率、輸出時脈抖動、輸出頻率、面積等等，分別使用(5.1)和(5.2)式之不含面積的 FOM_{jitter} 和包含面積的 FOM_{total} 做比較。從結果可以看出此論文在消耗功率上有不錯的表現，且面積小於其他論文許多。

表 5.4 效能比較表

	This Work	JSSC'10 [1]	TCAS II'09 [9]	JSSC'09 [10]	ISSCC'08 [21]
Process (nm)	90	130	180	180	65
Supply (V)	1	1.2	1.8	1.8	1.2
DCO Type	Ring	Ring	Ring	Ring	Ring
Multi-phase	8	8	1	6	5
Multiplication Factor	32	27	16	60	1~256
Operating Frequency (GHz)	0.91~1.91	0.3~1.4	0.033~1.04	NA	1~2
Data Rate (GHz)	8×1.25	8×1.35	0.95	6×1.5	5×2
Core Area (mm ²)	0.0154	0.2	0.32	0.2	0.84
Power (mW)	2.46 @1.25GHz	16.5 @1.35GHz	15.7 @950MHz	15 @1.5GHz	19.68 @2GHz
P-P Jitter (ps)	80	32	86.7	28.4	16.6
FOM _{jitter}	157.4	391.1	1432.8	284	163.3
FOM _{total}	1.7	37.49	114.63	14.2	263

5.6 量測考量

如圖 5.8 所示，為輸出端雜散電路模型與開汲極輸出驅動電路（Open Drain, OPD）。考慮 PAD、鏢線（Bonding wire）與印刷電路板（Printed Circuit Board, PCB）所產生的雜散電容與電感。並將此雜散效應建立成電路模型，置入電路中一同模擬。

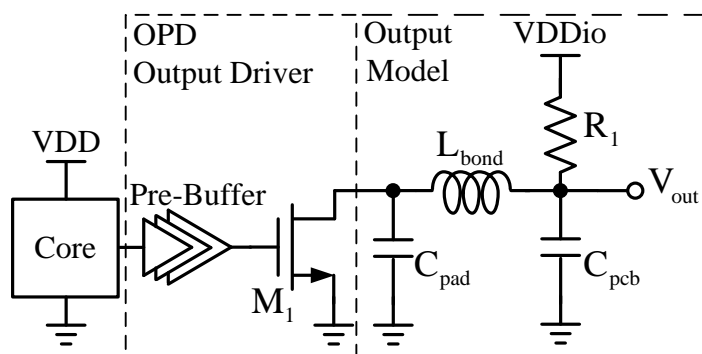


圖 5.8 汲極開路輸出驅動電路

此處採用開汲極輸出電路輸出高速的時脈頻率，可得到一高速但訊號擺幅小之輸出訊號。在圖 5.8 的模型中的電阻為提升電阻 (Pull up resistor)，提供 NMOS 源級一電壓準位。輸出的部份採用主動式探針 (Active probe)再接到示波器中。

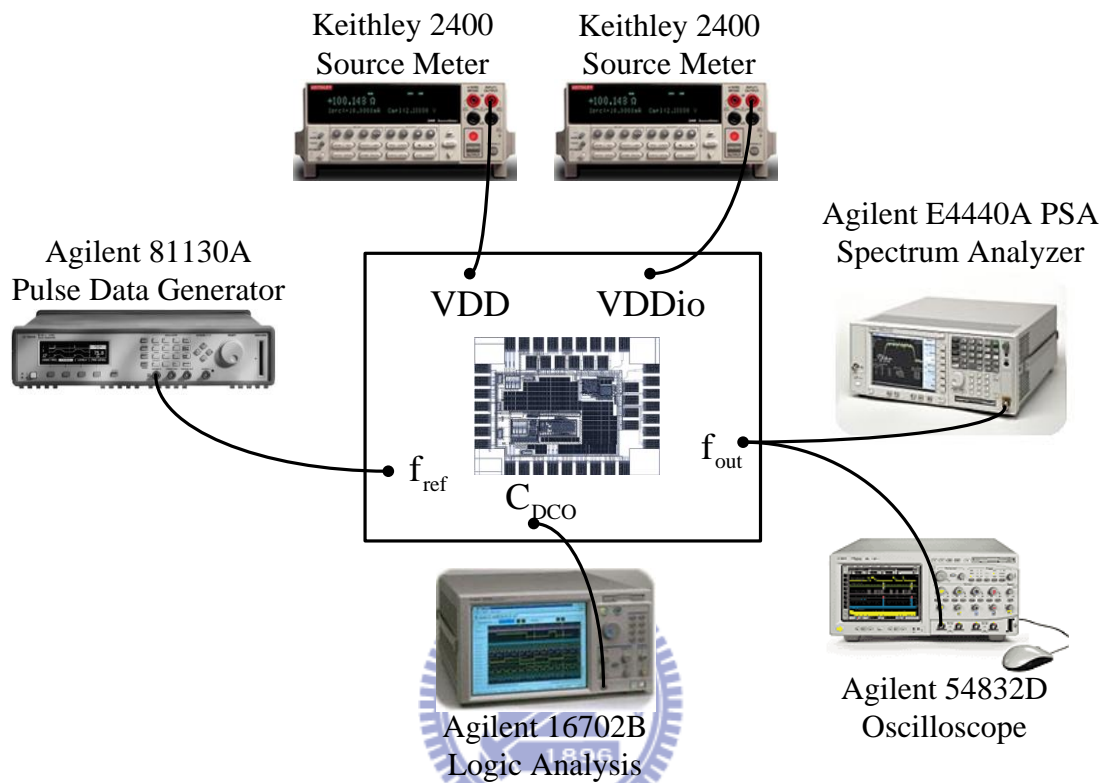


圖 5.9 量測晶片架構圖

如圖5.9所示為量測晶片的架構圖，由於高速的晶片無法包裝 (Package)，因此我們會將晶片打線到印刷電路板上。鎖相迴路所需要的參考頻率透過Agilent 81130A Pulse Data Generator提供。電源的部份需要晶片核心電壓源和輸出入電壓源，此部分使用Keithley 2400 Source Meter供給。此部儀器除了可提供穩定電壓源，還可以量測電源輸出的電流或功率消耗等。頻率控制碼輸出的部份頻率控制碼利用Agilent 16702B Logic Analysis將數位的控制碼收編到儀器中，將二元頻率搜尋的趨勢譜出。頻率輸出的部份利用Agilent 54832D Oscilloscope觀察輸出波形並且製作眼圖量測時脈抖動，也透過Agilent E4440A PSA Spectrum Analyzer分析相位雜訊和觀察頻譜分佈。

5.7 晶片圖與量測結果

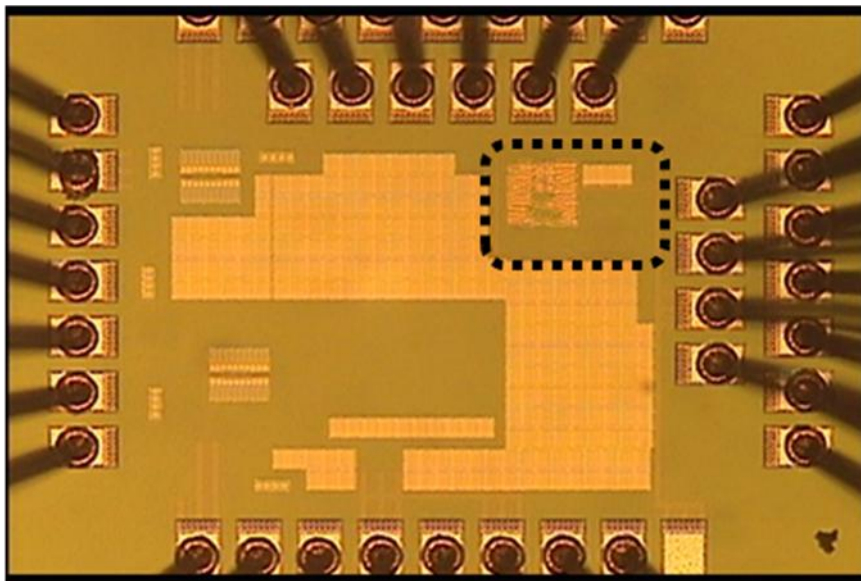


圖 5.10 實際晶片照相圖

如圖 5.10 所示，為實際的晶片使用高階顯微鏡取相後圖案，此晶片的核心理部分在圖中的黑色曲線處。此 UMC 90nm 為銅製程，在最高層的部分有一層金屬，使照片中較低層的金屬皆被覆蓋住。

接下來要討論的是晶片量測的部分。此晶片的設計方式較為複雜，如前敘採用了全客戶式佈局、自製標準元件及標準元件庫之混合設計。通常標準元件庫之佈局檔為保密不公開資源。很遺憾的此設計在送給晶圓廠前，跟管理員的溝通上出了點差異。導致最後在標準元件庫的部分，沒有正常的擺放實體佈局進去晶片中，最後使整個鎖相迴路系統無法正常運作。

第六章

結論



本論文利用鎖相迴路的基本原理，在一個參考時脈週期裡輸出頻率與目標鎖定頻率差值會透過累積呈現在相位差上，以此為出發點將相位偵測器視為頻率偵測器使用。以相位的角度偵測頻率其解析度遠高於計數式的頻率偵測器，使得頻率搜尋模式可以將所有的數位控制碼幾乎設定在目標頻率之上。甚至可以套用在各種快速頻率搜尋演算法上。利用較小的硬體成本達到相當快的鎖定時間，省去了許多花費在快速鎖定上的硬體成本。

然而在一個鎖相迴路中，即便擁有低硬體成本的快速鎖定機制，其系統功率消耗也是很重要的。許多數位控制振盪器在解析度為數個 ps 的情況下，往往需要 10 個位元以上的頻率控制碼。此處使用的數位控制振盪器架構為低功率的高速震盪電路，僅使用 7 個位元的延遲單元，搭配三角積分調變器即可達到數個 ps 的解析度。在硬體時鐘的部份更率先採用硬體描述語言完成數位控制振盪器，透過設計各種大小的三態反相器並且

製作成標準元件。接著根據目標規格的輸出頻率挑選適用的元件，隨時可以透過改變程式碼去調整輸出頻率與振盪範圍，此舉可大大減少人工佈局時間。

於數位控制電路中也使用硬體描述語言實現，當數位控制電路過於龐大時，手工佈局的數位電路在時脈同步上往往是大問題。使用邏輯合成與自動繞線佈局軟體可以很輕易的完成此問題，也節省了許多設計的時間、偵錯時間及欲在功能上做調整的可變性，更具有製程的可攜性及穩定度。

所提出的電路架構被實現在 UMC 90nm 1P9M standard CMOS 製程，經模擬結果顯示時脈抖動為 80ps，功率消耗為 2.46mW，輸出頻率為 1.25GHz，並且具有八個相位輸出，晶片面積為 $140\mu\text{m}\times 110\mu\text{m}$ 。

在未來研究方向的部份，此論文所使用的頻率搜尋法為較陽春的二元頻率搜尋方式，其目的是在驗證高解析度頻率偵測法。於未來的設計中可以在此演算法中加入更好的防錯機制，或者是比較各種演算法使用此頻率偵測方式找出最佳的方法。在硬體描述語言上做驗證與創新是方便且迅速的。



參考文獻

- [1] D.-S. Kim, H. Song, T. Kim, S. Kim, and D-K Jeong, "A 0.3–1.4 GHz All-Digital Fractional-N PLL With Adaptive Loop Gain Controller," *IEEE J. Solid-State Circuits*, vol. 45, no. 11, pp. 2300-2311, Nov. 2010.
- [2] S.-Y. Yang, and W.-Z. Chen, "A 7.1mW 10GHz all-digital frequency synthesizer with dynamically reconfigurable digital loop filter in 90nm CMOS," *IEEE ISSCC Dig. Tech. Papers*, pp. 90-91, Feb. 2009.
- [3] C.-T. Wu, W.-C Shen, W. Wang, and A.-Y. Wu, "A two-cycle lock-in time ADPLL design based on a frequency estimation algorithm," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 57, no. 6, pp. 430-434, Jun. 2010.
- [4] V. Kratyuk, P. K. Hanumolu, U.-K. Moon, and K. Mayaram, "A design procedure for all-digital phase-locked loops based on a charge-pump phase-locked-loop analogy," *IEEE Trans. Circuits Syst. II: Expr. Briefs*, vol. 54, no. 3, pp. 247–251, Mar. 2007.
- [5] N. Da Dalt, "A design-oriented study of the nonlinear dynamics of digital bang-bang PLLs," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 52, no. 1, pp. 21–31, Jan. 2005.
- [6] P. Madoglio, M. Zanuso, S. Levantino, C. Samori, and A. L. Lacaita, "Quantization effects in all-digital phase-locked loops," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 54, no. 12, pp. 1120–1124, Dec. 2007.
- [7] N. Da Dalt, "Markov chains-based derivation of the phase detector gain in bang-bang PLLs," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 53, no. 11, pp. 1195–1199, Nov. 2006.
- [8] N. Da Dalt, "Linearized analysis of a digital bang-bang PLL and its validity limits applied to jitter transfer and jitter generation," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 55, no. 11, pp. 3663–3675, Dec. 2008.
- [9] K.-H. Choi, J.-B. Shin, J.-Y. Sim, and H.-J. Park, "An interpolating digitally controlled oscillator for a wide-range all-digital PLL," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 56, no. 9, pp. 2055–2063, Sep. 2009.

- [10] S.-Y. Lin, and S.-I. Liu, "A 1.5 GHz all-digital spread-spectrum clock generator," *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 3111–3119, Nov. 2009.
- [11] P. Madoglio, M. Zanuso, S. Levantino, C. Samori, and A. L. Lacaita, "Quantization effects in all-digital phase-locked loops," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 54, no. 12, pp. 1120–1124, Dec. 2007.
- [12] A.V. Rylyakov, J. A. Tierno, G. J. English, D. Friedman, and M. Meghelli., "A wide power-supply range (0.5 V-to-1.3 V) wide tuning range (500 MHz-to-GHz) all-static CMOS ADPLL in 65 nm SOI," *IEEE ISSCC Dig. Tech Papers*, pp. 172–173, Feb. 2007.
- [13] R. Rashidzadeh, M. Ahmadi, and W. C. Miller, "An All-Digital Self-Calibration Method for a Vernier-Based Time-to-Digital Converter," *IEEE Transactions on Instrumentation and Measurement*, vol. 59, no. 2, pp. 463-469, Feb 2010.
- [14] C.-C. Chung, and C.-Y. Lee, "An all-digital phase-locked loop for high-speed clock generation," *IEEE J. Solid-State Circuits*, vol. 38, no. 2, pp. 347-351, Feb. 2003.
- [15] J. Dunning, G. Garcia, J. Lundberg, and E. Nuckolls, "An all-digital phase-locked loop with 50-cycle lock time suitable for high performance microprocessors," *IEEE Journal of Solid State Circuits*, Vol. 30, pp. 412-422, Apr. 1995.
- [16] Behzad Razavi, "Design of analog CMOS integrated circuits", McGraw-Hill international editions, 2001.
- [17] R. E. Best, "Phase-Lock loops, "Design, Simulation and Applications", New-York: McGraw-Hill, 1999, 4rd Edition.
- [18] S. Tertinek, and O. Feely "Combined effect of loop delay and reference clock jitter in first-order digital bang-bang phase-locked loops," *IEEE International Symposium on Circuits and System ISCAS 2009* . pp. 2393-2396, Jun. 2009.
- [19] W. Grollitsch, R. Nonis, and N. Da Dalt, "A 1.4psrms-period-jitter TDC-less fractional-N digital PLL with digitally controlled ring oscillator in 65nm CMOS," in *IEEE ISSCC Dig. Tech. Papers*, pp. 7-11, Feb. 2010.

- [20] M. Lee, M. E. Heidari, and A. A. Abidi, "A Low-noise Wideband Digital Phase-Locked Loop Based on a Coarse-Fine Time-to-Digital Converter with Subpicosecond Resolution," *IEEE J. Solid-State Circuits*, vol. 44, no. 10, pp. 2808-2816, Oct. 2009.
- [21] A.V. Rylyakov, J. A. Tierno, D. Z. Turker, J.-O. Plouchart, H. A. Ainspan, and D. Freidman "A Modular All-Digital PLL Architecture Enabling Both 1-to-2GHz and 24-to-30GHz Operation in 65nm CMOS," in *IEEE ISSCC Dig. Tech. Papers*, pp. 515-517, Feb. 2008.
- [22] Y.-H. Liu and T.-H. Lin, "A wideband PLL-based G/FSK transmitter in 0.18 μm CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2452-2462, Sep. 2009
- [23] 劉深淵 揚清淵 "鎖相迴路", 滄海書局。
- [24] 高曜煌 "射頻鎖相迴路IC設計", 滄海書局。

