

國立交通大學

電機與控制工程學系

碩士論文

功率積體電路之接面隔離研究

Study on the Junction Isolation of
Power Integrated Circuits



研究生：蘇建仁

指導教授：張隆國 博士

中華民國九十三年六月

功率積體電路之接面隔離研究

Study on the Junction Isolation of
Power Integrated Circuits

學 生：蘇建仁

Student : Chien-Jen Su

指導教授：張隆國 博士

Advisor : Dr. Lon-Kou Chang



A Thesis

Submitted to Institute of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

June 2000

Hsinchu, Taiwan, Republic of China

中華民國九十三年六月

功率積體電路之接面隔離研究

研究生：蘇建仁

指導老師：張隆國博士

國立交通大學電機與控制工程學系

摘要

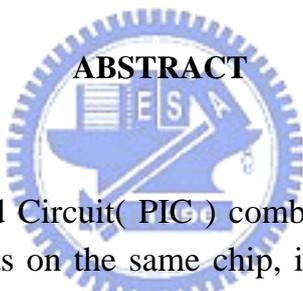
功率積體電路乃是把高壓功率元件和 CMOS 低壓元件，整合在同一晶片上的積體電路，以提供使用者更完整的功能及更低廉的成本。但在整合時高壓功率元件與低壓電路或高壓功率元件之間的串音問題，使得元件隔離技術的發展成為功率積體電路設計上不可或缺的一環。本論文將針對此關鍵技術進行整合高壓功率元件與 CMOS 低壓電路之接面隔離技術研究。在接面隔離方面本論文藉由 N 型及 P 型保護環設計隔離結構。使用 MEDICI 電性模擬軟體模擬高壓功率元件在順向偏壓及反向偏壓下，不同的隔離佈局參數及偏壓對漏電流的影響。調變的佈局參數包括元件 P-sink 寬度、元件間距離、隔離結構(N 型及 P 型保護環寬度)。論文中分析討論各項參數對隔離效果的影響，並於文末列舉最佳隔離方式的選擇，以做為將來設計功率積體電路時隔離結構設計的參考。

Study on the Junction Isolation of Power Integrated Circuits

Student: Chien-Jen Su Advisor: Dr. Lon-Kou Chang

Department of Electrical and Control Engineering

National Chiao-Tung University



ABSTRACT

Since Power Integrated Circuit (PIC) combines power devices with low voltage CMOS logic circuits on the same chip, it offers more intact function, and cheaper cost. However, the cross-talk happens between the power device and CMOS circuits or between one power device and the others. Therefore, the development of the isolation technology is indispensable in the power integrated circuit design. This thesis studies the junction isolation functions held between the power devices and CMOS logic circuits. The N-type and P-type guard ring are used to be the isolation structure. MEDICI, a 2-D device simulator, is used to simulate the relation of the leakage current between the layout parameters and the bias of the isolation structure when the power device is in forward bias and reverse bias, respectively. The design parameters of the layout include the width of P-sink, the distance between devices, and the changes of the widths of the N-type and P-type guard ring. We have simulated and analyzed variety of isolation performance resulted in the changes of the layout parameters and the bias of the isolation structure. Finally, we propose the most proper isolation design for each combination of high and low power devices.

致謝

對於本論文能夠順利完成，首先要感謝我的指導教授張隆國老師，由於他的指導和鼓勵，使我在研究工作遇到瓶頸時有能力和信心去突破，在論文的內容上給予我豐富的建議，使本論文能夠更完整。

我要感謝我的父母，在我心情低落時給我的鼓勵跟支持，讓我沒有壓力地處理研究的課業。同時也要感謝實驗室的阿暉學長、阿信學長及晏銘學長，平時做研究的技術指導讓我獲益良多，還有實驗室的同學，阿修，小右及高偉仁陪伴我一同學習、一同成長，一同經歷研究生活的種種酸甜苦辣，並在課業上提供我的幫助。還要感謝實驗室的學弟們，在我準備口試忙不過來時給我友情的贊助和幫忙，讓我能無後顧之憂地參加論文口試。

感謝所有關心我的人，在此僅將本論文獻給他們。



目錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
圖例	vi
表格	xv
第一章 緒論.....	1
1.1 研究動機.....	1
1.2 文獻回顧.....	2
1.3 論文架構.....	4
第二章 相關理論探討.....	5
2.1 高壓元件的操作原理.....	5
2.2 閃鎖效應的產生.....	7
2.3 PN 接面.....	8
2.3.1 零外加偏壓.....	9
2.3.2 反向偏壓.....	14
2.3.3 順向偏壓.....	16
2.4 PIN 二極體.....	16
2.5 雙極性電晶體.....	18
2.5.1 電晶體電流關係.....	20
2.5.2 操作模式.....	23

2.6	溫度效應.....	25
2.6.1	本徵載子濃度	25
2.6.2	載子遷移率	26
第三章 研究方法.....		28
3.1	軟體模擬規劃.....	28
3.2	實作驗證規劃.....	37
第四章 模擬結果與討論.....		38
4.1	順向偏壓	42
4.1.1	高壓整合	44
4.2	反向偏壓.....	56
4.2.1	高低壓整合	57
4.2.2	高壓整合	72
4.3	總結.....	85
第五章 製程與佈局.....		88
5.1	製程及其模擬.....	88
5.2	佈局.....	93
第六章 結論與展望.....		95
6.1	結論.....	95
6.2	展望.....	95
參考文獻.....		96

圖例

圖 1.1	多磊晶層結構圖.....	3
圖 1.2	保護環隔離結構圖.....	3
圖 1.3	將埋藏層與保護環部份重疊示意圖	3
圖 1.4	示意圖	
	(a) 利用 BJT 防制漏電流	4
	(b) 利用控制電路及 MOS 防制漏電流	4
圖 2.1	LDMOS 結構示意圖.....	6
圖 2.2	LIGBT	
	(a) 結構示意圖	6
	(b) 等效電路圖	6
圖 2.3	SA-LIGBT	
	(a) 結構示意圖	7
	(b) 等效電路圖	7
圖 2.4	低壓電路寄生電路示意圖.....	7
圖 2.5	門鎖效應等效電路圖.....	8
圖 2.6	PN 接面的簡化幾何結構	9
圖 2.7	PN 接面的空乏區及電場圖	9
圖 2.8	PN 接面在熱平衡時能帶圖	9
圖 2.9	均勻 PN 接面及陡峭接面近似時空間電荷密度圖	11
圖 2.10	空乏區中的電場.....	12
圖 2.11	PN 接面中整個空乏區的電位.....	13
圖 2.12	反向偏壓 PN 接面能帶圖	14
圖 2.13	順向偏壓 PN 接面能帶圖	16

圖 2.14	P-i-N 二極體與 PN 二極體空乏區及電場圖	17
圖 2.15	P-i-N 二極體正向導通波形.....	18
圖 2.16	P-i-N 二極體反向回復電流波形.....	18
圖 2.17	NPN 雙極性電晶體的理想化摻雜輪廓	19
圖 2.18	(a) NPN 雙極性電晶體在順向主動模式的偏壓.....	20
	(b) NPN 雙極性電晶體在順向主動模式操作下少數載子分佈	20
	(c) NPN 雙極性電晶體在零偏壓及順向主動模式偏壓能帶圖	20
圖 2.19	順向偏壓的 NPN 雙極性電晶體中少數載子分佈及基本電流	21
圖 2.20	在共射極電路中的一個 NPN 雙極性電晶體	23
圖 2.21	雙極性電晶體的共射極電流-電壓特性及負載線	24
圖 2.22	(a) 載子濃度與溫度關係圖	25
	(b) 定性解釋載子濃度與溫度關係.....	25
圖 2.23	在各種摻雜濃度的矽中，載子遷移率與溫度關係圖	
	(a) 電子載子	27
	(b) 電洞載子.....	27
圖 3.1	LDMOS 整合示意圖	
	(a) LDMOS 與低壓電路.....	29
	(b) LDMOS 與 LDMOS.....	29
圖 3.2	LIGBT 整合示意圖	
	(a) LIGBT 與低壓電路	29
	(b) LIGBT 與 LIGBT	29
圖 3.3	SA-LIGBT 整合示意圖	
	(a) SA-LIGBT 與低壓電路.....	30
	(b) SA-LIGBT 與 SA-LIGBT	30

圖 3.4	順向偏壓時，漏電流示意圖	
	(a) 高低壓整合	31
	(b) 高壓整合	31
圖 3.5	反向偏壓時，寄生等效電路圖	
	(a) 高低壓整合	32
	(b) 高壓整合	32
圖 3.6	高壓整合中，改變元件間 N 型磊晶層偏壓示意圖	33
圖 3.7	高低壓整合中，改變高低壓元件間 N 型磊晶層偏壓示意圖 ..	33
圖 3.8	調變佈局參數示意圖	
	(a) 高低壓整合	33
	(b) 高壓整合	34
圖 3.9	調變隔離佈局參數示意圖	
	(a) 高低壓整合	34
	(b) 高壓整合	34
圖 3.10	雙組隔離結構截面示意圖	35
圖 3.11	高低壓整合模擬基板漏電流流程圖	36
圖 4.1	MEDICI 結構圖	
	(a) 高低壓整合	38
	(b) 高壓整合	38
圖 4.2	MEDICI 結構模擬圖	
	(a) CMOS 低壓電路	40
	(b) LDMOS	40
	(c) LIGBT	40
	(d) SA-LIGBT	40

圖 4.3	LDMOS 導通時電流流密圖	
	(a) 高低壓整合	42
	(b) 高壓整合	42
圖 4.4	高低壓整合，導通時電流流密圖	
	(a) LIGBT	43
	(b) SA-LIGBT	43
圖 4.5	高壓整合，導通時電流流密圖及等效電路圖	
	(a) LIGBT	44
	(b) SA-LIGBT	44
圖 4.6	高壓整合，元件間 N 型磊晶層不同偏壓比較	
	(a) LIGBT	45
	(b) SA-LIGBT	45
圖 4.7	LIGBT 高壓整合，元件間 N 型磊晶層不同偏壓電位圖及等效電路圖	
	(a) 元件間 N 型磊晶層浮接	46
	(b) 元件間 N 型磊晶層偏壓 5V	46
圖 4.8	高壓整合，P-sink 寬度與漏電流關係圖	
	(a) LIGBT	47
	(b) SA-LIGBT	47
圖 4.9	高壓整合，元件間距離與漏電流關係圖	
	(a) LIGBT	48
	(b) SA-LIGBT	48
圖 4.10	高壓整合，隔離結構不同偏壓下，陽極電流與漏電流關係圖	
	(a) LIGBT	49
	(b) SA-LIGBT	49

圖 4.11 高壓整合 LIGBT 含隔離結構，P 型保護環不同偏壓電流流密及等效電路圖

- (a) N 型保護環浮接，P 型保護環浮接.....50
- (b) N 型保護環浮接，P 型保護環接地.....50

圖 4.12 高壓整合 LIGBT 含隔離結構，N 型保護環不同偏壓電位圖及等效電路圖

- (a) N 型保護環浮接，P 型保護環接地.....50
- (b) N 型保護環偏壓在 5V，P 型保護環接地.....50

圖 4.13 高壓整合含隔離結構，P-sink 寬度與漏電流關係圖

- (a) LIGBT52
- (b) SA-LIGBT.....52

圖 4.14 高壓整合含隔離結構，N 型保護環寬度與漏電流關係圖

- (a) LIGBT53
- (b) SA-LIGBT.....53

圖 4.15 高壓整合含隔離結構，P 型保護環寬度與漏電流關係圖

- (a) LIGBT54
- (b) SA-LIGBT.....54

圖 4.16 相同面積下，高壓整合，不同佈局參數隔離效果比較

- (a) LIGBT55
- (b) SA-LIGBT55

圖 4.17 LIGBT 等效電路圖.....56

圖 4.18 LIGBT 陽極 PN 接面電場.....56

圖 4.19 等效電路圖

- (a) LDMOS57
- (b) SA-LIGBT.....57

圖 4.20	高低壓整合，高壓元件反向偏壓下電流流密圖	
	(a) LDMOS	58
	(b) SA-LIGBT.....	58
圖 4.21	高低壓整合，P-sink 寬度與漏電流關係圖	
	(a) LDMOS	59
	(b) SA-LIGBT.....	59
圖 4.22	高低壓整合，高低壓元件間距離與漏電流關係圖	
	(a) LDMOS	60
	(b) SA-LIGBT.....	60
圖 4.23	高低壓整合，隔離結構在不同偏壓下陽極偏壓與漏電流關係圖	
	(a) LDMOS	61
	(b) SA-LIGBT.....	61
圖 4.24	LDMOS 高低壓整合含隔離結構，N 型保護環不同偏壓電流流密圖及寄生等效電路圖	
	(a) N 型保護環浮接，P 型保護環浮接.....	63
	(b) N 型保護環偏壓 5V，P 型保護環浮接.....	63
圖 4.25	LDMOS 高低壓整合含隔離結構，P 型保護環不同偏壓電位圖及寄生等效電路圖	
	(a) N 型保護環偏壓 5V，P 型保護環偏壓浮接.....	64
	(b) N 型保護環偏壓 5V，P 型保護環偏壓接地.....	64
圖 4.26	高低壓整合含隔離結構，P-sink 寬度與漏電流關係圖	
	(a) LDMOS	65
	(b) SA-LIGBT.....	65
圖 4.27	高低壓整合含隔離結構，N 型保護環寬度與漏電流關係圖	
	(a) LDMOS	66
	(b) SA-LIGBT.....	66

圖 4.28	高低壓整合含隔離結構，P 型保護環寬度與漏電流關係圖	
	(a) LDMOS	67
	(b) SA-LIGBT.....	67
圖 4.29	相同面積下，高低壓整合，不同佈局參數隔離效果比較	
	(a) LDMOS	68
	(b) SA-LIGBT.....	68
圖 4.30	高低壓整合，兩組隔離結構不同偏壓組合比較	
	(a) LDMOS	70
	(b) SA-LIGBT.....	70
圖 4.31	單組隔離結構與雙組隔離結構的比較	
	(a) LDMOS	71
	(b) SA-LIGBT.....	71
圖 4.32	高壓整合，反向偏壓電流流密圖	
	(a) LDMOS	72
	(b) SA-LIGBT.....	72
圖 4.33	高壓整合，元件間 N 型磊晶層不同偏壓比較	
	(a) LDMOS	73
	(b) SA-LIGBT.....	73
圖 4.34	LDMOS 高壓整合，元件間 N 型磊晶層不同偏壓電流流密圖及寄生等效電路圖	
	(a) N 型磊晶層浮接	74
	(b) N 型磊晶層偏壓 5V	74
圖 4.35	高壓整合，P-sink 寬度與漏電流關係圖	
	(a) LDMOS	75
	(b) SA-LIGBT.....	75

圖 4.36	高壓整合，元件間距離與漏電流關係圖	
	(a) LDMOS	76
	(b) SA-LIGBT.....	76
圖 4.37	高壓整合，隔離結構不同偏壓下，陽極偏壓與漏電流關係圖	
	(a) LDMOS	77
	(b) SA-LIGBT.....	77
圖 4.38	LDMOS 高壓整合，隔離結構不同偏壓電流流密圖及寄生電效電路圖	
	(a) N 型保護環浮接，P 型保護環浮接	78
	(b) N 型保護環浮接，P 型保護環接地.....	79
	(c) N 型保護環偏壓 5V，P 型保護環浮接	79
	(d) N 型保護環偏壓 5V，P 型保護環接地.....	79
圖 4.39	高壓整合含隔離結構，P-sink 寬度與漏電流關係圖	
	(a) LDMOS	81
	(b) SA-LIGBT.....	81
圖 4.40	高壓整合含隔離結構，N 型保護環寬度與漏電流關係圖	
	(a) LDMOS	82
	(b) SA-LIGBT.....	82
圖 4.41	高壓整合含隔離結構，P 型保護環寬度與漏電流關係圖	
	(a) LDMOS	83
	(b) SA-LIGBT.....	83
圖 4.42	相同面積下，高壓整合，不同佈局參數隔離效果比較	
	(a) LDMOS	84
	(b) SA-LIGBT.....	84

圖 5.1 製程模擬

(a) 摻雜 N 型保護環及 N 埋藏層	89
(b) 摻雜 P-sink 及 P 型保護環	89
(c) 成長 N 型磊晶層	89
(d) 摻雜 N 型保護環	89
(e) 摻雜 P 型保護環及 P-Sink	90
(f) 摻雜 N 緩衝區	90
(g) 摻雜 P 基極	90
(h) 定義主動區	90
(i) 成長閘極下方二氧化矽	91
(j) 沉積多晶矽閘極	91
(k) 摻雜 P+	91
(l) 摻雜 N+	91
(m) 沉積二氧化矽保護層(BPSG)	92
(n) 蝕刻出接觸點	92
(o) 沉積鋁	92

圖 5.2 TSUPERM4 1D 光罩圖	93
-----------------------------	----

圖 5.3 TSUPREM4 製程模擬圖	93
----------------------------	----

表格

表 3.1	隔離結構各種偏壓情況.....	35
表 4.1	LIGBT 結構參數表.....	39
表 4.2	不同偏壓的漏電流比較	
	(a)LIGBT.....	51
	(b)SA-LIGBT	51
表 4.3	不同偏壓的漏電流比較	
	(a)LDMOS.....	62
	(b)SA-LIGBT	62
表 4.4	兩組隔離結構的不同偏壓組合.....	69
表 4.5	不同偏壓的漏電流比較	
	(a)LDMOS.....	78
	(b)SA-LIGBT	78
表 4.6	LDMOS 含隔離結構不同偏壓，漏電流比	86
表 4.7	LDMOS 在相同面積下，漏電流比	
	(a)高低壓整合.....	86
	(b)高壓整合	86
表 4.8	SA-LIGBT 隔離結構不同偏壓，漏電流比	87
表 4.9	SA-LIGBT 高低壓整合，雙層隔離結構不同偏壓，漏電流比	87
表 4.10	SA-LIGBT 改變隔離結構，漏電流比	87

第一章 緒論

1.1 研究動機

近來功率半導體元件被廣泛的應用於工業、通訊、交通與電力電子等領域。從 60 年代的 SCR，到目前的 LDMOS 和 IGBT，每一個世代的功率半導體元件在電力電子產品上都扮演著舉足輕重的角色。由於電力電子技術的急速進步，電力電子與微電子技術的結合更造成許多相關產業的躍進，如電動汽機車、變頻器、伺服驅動器、小型智慧能源處理系統、電池儲能系統等等，這些產品已與我們日常生活息息相關，因此先進國家如美日等國均視其為科技競爭的主要發展目標之一。

將不同電性與製造技合至一積體電路中，一直是電子電機領域努力的目標。過去由於製造技術的缺乏，在電力電子元件一直較少有人涉及這方面的研究與設計，近幾年來由於元件製程上的突破，此領域已經成為廣泛討論的課題[1]。

自從第一個功率元件在 1960 年代被製造出來後，由於功率元件的耐高壓、高電流特性，且具有高功率處理能力的產品不斷的在改進中，在電路應用上也逐漸受到重視。藉由這種高功率的特性，再結合類比或數位電路而成為功率積體電路 (Power Integrated Circuit, PIC)。提供更完整的功能且成本更加低廉，取代傳統上笨重且昂貴的離散電路。由於製程的突破及電路設計的進步，功率積體電路在效率上、功能上更趨於完整，可以預見將來的應用範圍更加廣泛。

在考慮價位較合經濟效益的前題下，本論文將探討利用接面隔離 (Junction Isolation, JI) 整合高低壓元件及高壓元件，研究如何透過佈局參

數及偏壓減少基板漏電流對鄰近電路及元件的影響，並找出設計準則。

1.2 文獻回顧

近年來，在探討高低壓元件整合的功率積體電路文獻漸增[2][3]，但對於利用接面隔離技術的探討甚少，多採用價位較高的介電隔離技術 (Dielectric Isolation, DI)[4][5]。

在文獻中指出若高壓元件在導通時，會產生基板漏電流流向鄰近元件。當元件關閉後，需等待基板中的載子完全移除，才可再做切換動作，否則會產生相互耦合的現象(cross-coupling) [6]。在接面隔離技術上，由於採用多磊晶層(multi- epitaxial layers)的隔離方法在製程上較為複雜[7]，如圖 1.1 所示，因此主要仍是採用保護環(guard ring)的方法[8]-[11]，來隔離高低壓元件，如圖 1.2 所示。除了一般的保護環設計外，可利用 N+埋藏層(N+ buried layer)與保護環部份重疊來增加隔離效果[12]，如圖 1.3 所示。除了利用保護環被動地隔離漏電流，外加電路設計可以主動地防止漏電流的產生[13][14]，如圖 1.4 所示。

由於高壓元件在操作時，溫度隨著操作電流增加而增加。因為在高溫下，N 阱及 P 阱的電阻均會上升，寄生電晶體的電流增益增加且 PN 接面的導通壓降降低，更容易發生闕鎖現象[15]。因此在佈局規畫上，需盡量使電流均勻分布，避免電流集中[16]。

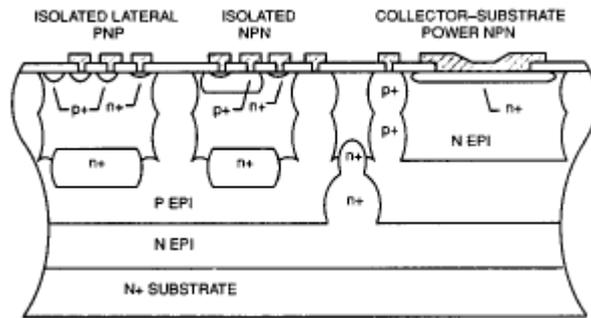


圖 1.1 多磊晶層結構圖

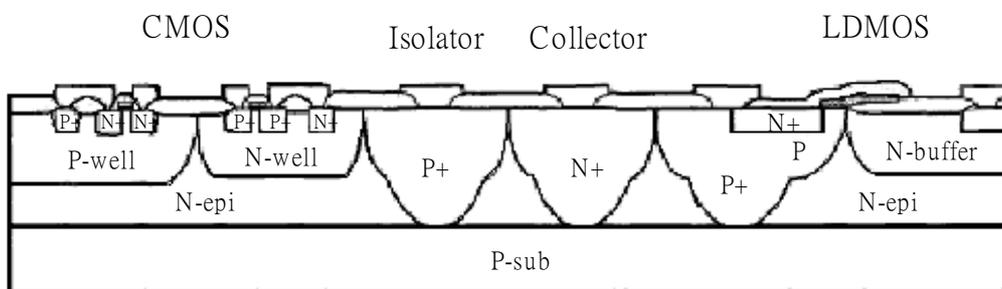


圖 1.2 保護環隔離結構圖

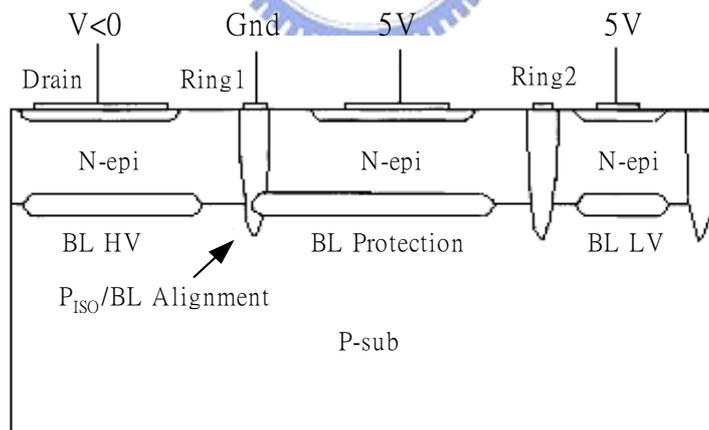
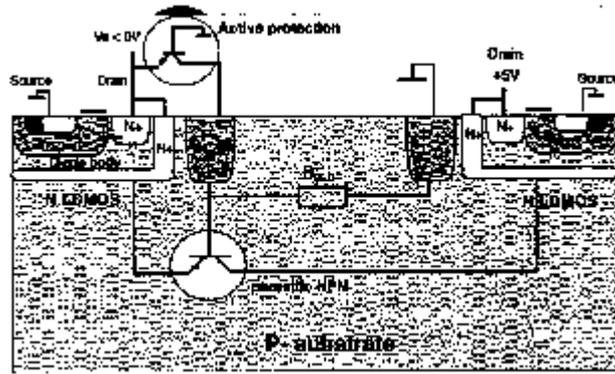
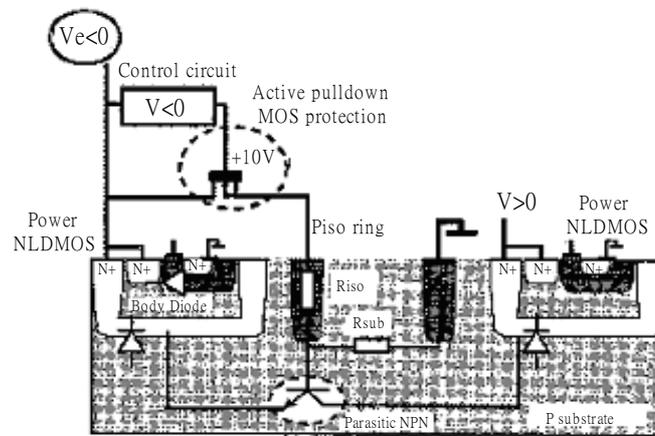


圖 1.3 將埋藏層與保護環部份重疊示意圖



(a) 利用 BJT 防制漏電流



(b) 利用控制電路及 MOS 防制漏電流

圖 1.4 示意圖

1.3 論文架構

本論文架構概述如下：第一章說明論文的研究動機及相關文獻的探討。第二章介紹元件操作原理及接面隔離產生寄生現象的相關理論。第三章為研究方法的規劃。第四章為利用軟體模擬隔離設計並比較及討論其結果。第五章介紹製程流程及光罩規劃等。最後第六章為結論與未來展望。

第二章 相關理論探討

在本論文中將探討的重點放在高低壓元件整合及高壓元件整合時所產生的基板漏電流。我們所探討的高壓元件以目前較適合半導體製程的高壓橫向擴散式金氧半電晶體(Lateral Double-diffused Metal-Oxide-Semiconductor field-effect-transistor, LDMOS)、高壓橫向絕緣雙極性電晶體(Lateral Insulated Gate Bipolar Transistor, LIGBT)及高壓橫向陽極短路絕緣雙極性電晶體(Shorted-Anode Lateral Insulated Gate Bipolar Transistor, SA-LIGBT)為探討對象。由於高壓元件在導通或切換時，會因元件的操作原理或與相鄰元件耦合的寄生電路造成漏電流，而此漏電流使得高壓元件產生誤動作或低壓電路準位的漂移，甚至產生閃鎖現象。因此要解決漏電流的問題必須先瞭解高壓元件的操作原理及相關的半導體元件物理。



2.1 高壓元件的操作原理

LDMOS 是我們選擇探討的高壓元件的第一個目標。這是因為 LDMOS 製作容易，頻率響應高，可應用於手機頻段，易於積體化。在 LDMOS 中，如圖 2.1 所示，為了讓電流從汲極流向源極，在源極和汲極之間必須先建立一個通道，以提供載子流通的路徑。當閘極被施以足夠的正偏壓時，閘極會吸引 P 基極區中的電子，而 P 基極區和絕緣層間形成反轉層(inversion layer)，這層反轉層就成為導通源極和汲極間的通道，閘極電壓越高，導通電阻就越小。

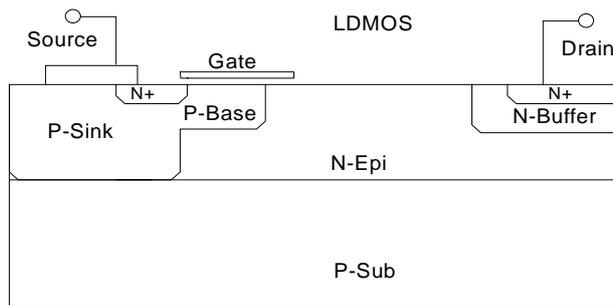
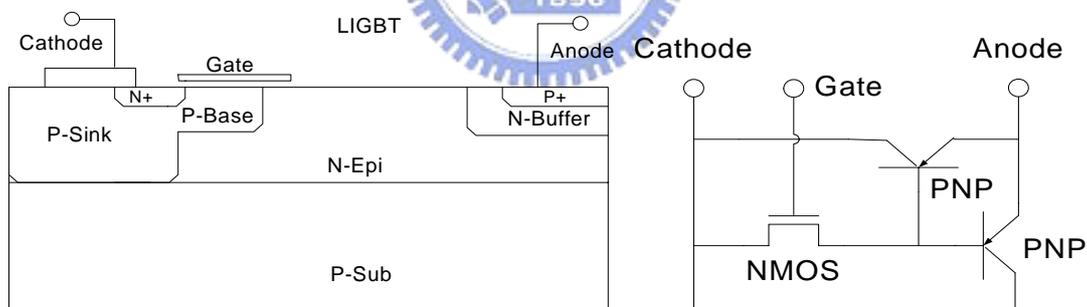


圖 2.1 LDMOS 結構示意圖

LIGBT 是一四層半導體功率元件，結構中金氧半電晶體的汲極與 PNP 的電晶體基極相接，如圖 2.2(a)所示。其操作原理是利用將金氧半電晶體打開，使 N 型漂移區的電位下降，有足夠的跨壓使 PNP 寄生電晶體導通，如圖 2.2(b)所示。由於大量的電洞注入 N 型漂移區，N 型漂移區會感應出相當數量的電子以維持電中性，降低導通阻，此現象稱導電度調變 (conductivity modulation) 效應。關閉元件時，由於 N 型漂移區中儲存大量的載子需要移除，因此 LIGBT 的工作頻率較 LDMOS 低。



(a) 結構示意圖

(b) 等效電路圖

圖 2.2 LIGBT

SA-LIGBT 的結構圖及等效電路圖，如圖 2.3 所示。其操作原理與 LIGBT 相似。由於陽極 P+ 和 N+ 短路，可在電晶體開與關時皆能帶來極為有利的效益，如當關閉元件時，N 型漂移區中的電子除了可藉由復合 (recombination) 來的移除，亦可由陽極端的 N+ 區流出，其效果如 LDMOS，

因此關閉時間(turn-off time)較短，切換速度較快[17]。但也因為陽極短路，陽極與陰極間需要較大的跨壓，才能使寄生 PNP 電晶體導通。

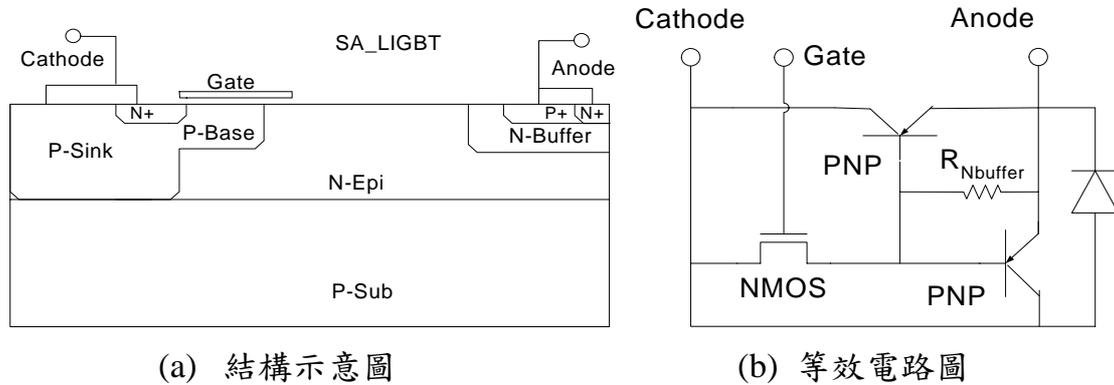


圖 2.3 SA-LIGBT

2.2 閃鎖效應的產生

低壓電路會發生閃鎖效應，這是由 N 阱與 P 阱等大量結構界面形成的寄生元件造成的問題。在電源端及接地端由寄生 PNP 半導體及 N 阱與 P 阱的寄生電阻所引發的，如圖 2.4 所示。

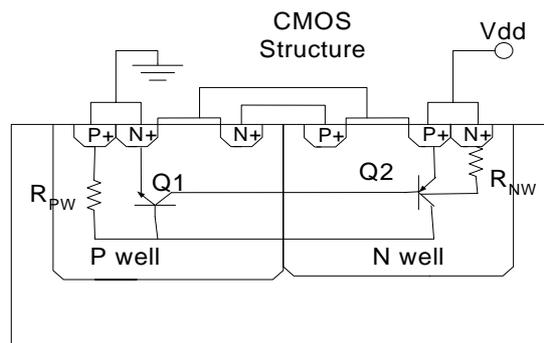


圖 2.4 低壓電路寄生電路示意圖

在電源端及接地端由寄生電路形成一條可以導通的路徑，如圖 2.5 所示。假如有足夠的基板電流使得跨在 R_{NW} 上的電壓足以導通電晶體 Q1，或者使跨在 R_{PW} 上的電壓足以導通電晶體 Q2 均會造成寄生開流體導通，引發閃鎖效應，使得低壓電路損毀。

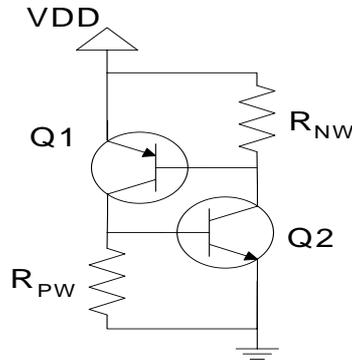


圖 2.5 閃鎖效應等效電路圖

2.3 PN 接面



圖 2.6 是 PN 接面的示意圖。為了簡化起見，我們將考慮一個步階接面 (step junction)，其中在每個區域的摻雜濃度都是均勻的，而且在接面處為陡峭的摻雜改變。在 N 型區中的多數載子電子會擴散進入 P 型區中，而在 P 型區中的多數載子電洞則會擴散進入 N 型區中。電子因擴散而離開 N 型區，會留下帶正電的施體原子(donor)；而電洞因擴散離開 P 型區，留下帶負電的受體原子(acceptor)。在 N 型區及 P 型區中，正電荷及負電荷會在接近接面的地方產生由正電荷至負電荷的電場。淨正電荷區及淨負電荷區稱為空間電荷區(space charge region)或空乏區(depletion region)，如圖 2.7 所示。



圖 2.6 PN 接面的簡化幾何結構

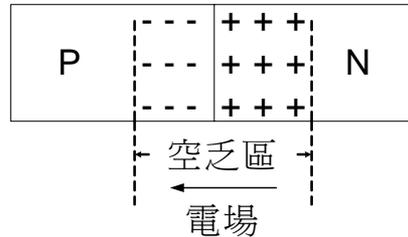


圖 2.7 PN 接面的空乏區及電場圖

2.3.1 零外加電壓

當沒有電壓跨降在 PN 接面上，則界面是處於熱平衡的狀況——整個系統的費米能階是一個固定的常數。在 P 型區與 N 型區間，傳導帶與價帶相對於費米能階的位置會有所改變，因此在空乏區的地方，傳導帶和價帶的能量必然會彎曲，如圖 2.8 所示。在 N 型區傳導帶中的電子試圖移動至 P 型區傳導帶會遇到一個位勢障礙。這個位勢障礙稱為內建位勢障礙(built-in potential barrier)，以符號 V_{bi} 表示。

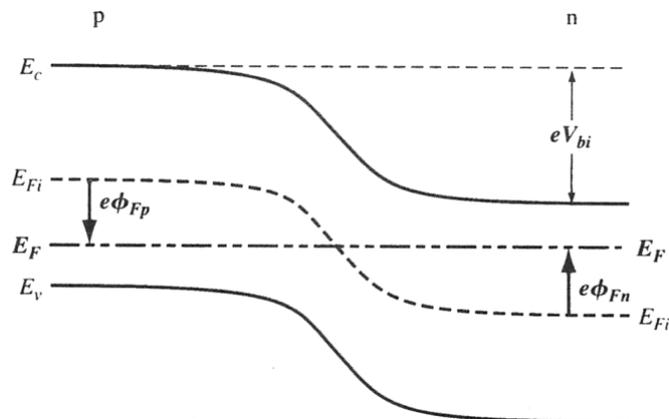


圖 2.8 PN 接面在熱平衡時能帶圖

由能帶圖中，我們可知

$$V_{bi} = |\phi_{Fn}| + |\phi_{Fp}| \quad (2.1a)$$

$$e\phi_{Fn} = E_{Fi} - E_F \quad (2.1b)$$

$$e\phi_{Fp} = E_{Fi} - E_F \quad (2.1c)$$

在 N 型區中的傳導帶的電子濃度為

$$n_0 = n_i \exp\left[\frac{E_F - E_{Fi}}{kT}\right] = n_i \exp\left[\frac{-(e\phi_{Fn})}{kT}\right] \quad (2.2)$$

其中 n_i 及 E_{Fi} 分別為本徵載子濃度及本徵費米能階， ϕ_{Fn} 為 N 型區中的位勢。

對(2.2)兩邊取自然對數，並設 $n_0 = N_d$ ， N_d 為施體濃度。求解位勢，我們

可得

$$\phi_{Fn} = \frac{-kT}{e} \ln\left(\frac{N_d}{n_i}\right) \quad (2.3)$$

同樣地，在 P 型區中的電洞濃度為

$$p_0 = N_a = n_i \exp\left[\frac{E_{Fi} - E_F}{kT}\right] = n_i \exp\left[\frac{e\phi_{Fp}}{kT}\right] \quad (2.4)$$

其中 N_a 是受體濃度， ϕ_{Fp} 是 P 型區中的位勢。經過計算可得

$$\phi_{Fp} = \frac{kT}{e} \ln\left(\frac{N_a}{n_i}\right) \quad (2.5)$$

最後，將(2.3)與(2.5)代入(2.1)中，可得到步階接面的內建位勢障礙為

$$V_{bi} = \frac{kT}{e} \ln\left(\frac{N_a N_d}{n_i^2}\right) = V_t \ln\left(\frac{N_a N_d}{n_i^2}\right) \quad (2.6)$$

其中 $V_t = \frac{kT}{e}$ ，被定義為熱電壓(thermal voltage)。

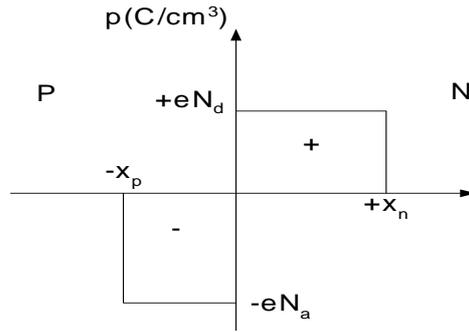


圖 2.9 均勻 PN 接面及陡峭接面近似時空間電荷密度圖

假設均勻摻雜及陡峭接面近似時，在 PN 接面的體積電荷密度的分佈圖，如圖 2.9 所示，正負空間電荷的分隔會產生電場。假設在 N 型區中的 $x = +x_n$ 處，以及在 P 型區中的 $x = -x_p$ 處，空間電荷會突然停止。由圖 2.9 可知，電荷密度為

$$\rho(x) = -eN_a \quad -x_p < x < 0 \quad (2.7a)$$

$$\rho(x) = eN_d \quad 0 < x < x_n \quad (2.7b)$$

對一維的分析而言，電場可由帕松方程式(Poisson equation)來決定

$$\frac{d^2\phi(x)}{dx^2} = \frac{-\rho(x)}{\epsilon_s} = -\frac{dE(x)}{dx} \quad (2.8)$$

其中 $\phi(x)$ 是電位， $E(x)$ 是電場， $\rho(x)$ 是體積電荷密度，而 ϵ_s 是半導體的電容率。

將(2.8)積分，可求得 P 型區中的電場。對於在 $x < -x_p$ 的 P 型區而言，由於熱平衡時的電流為零，因此可以假設電場為零，故設 $x = -x_p$ 處 $E = 0$ ，因此可求得 P 型區中的電場為

$$E = \frac{-eN_a}{\epsilon_s}(x + x_p) \quad -x_p \leq x \leq 0 \quad (2.9)$$

同樣的，我們也可以設 $x = +x_n$ 處 $E = 0$ ，求得 N 型區中的電場為

$$E = \frac{-eN_d}{\epsilon_s}(x_n - x) \quad 0 \leq x \leq x_n \quad (2.10)$$

在 $x = 0$ ，PN 接面處的電場也是一個連續函數，因此(2.9)與(2.10)在 $x = 0$ 處彼此相等，得到

$$N_a x_p = N_d x_n \quad (2.11)$$

(2.11)說明，在 P 型區中單位面積的負電荷數目會等於 N 型區中單位面積的正電荷數目。

圖 2.10 是空乏區之內的電場圖形。對於均勻摻雜的 PN 接面而言，電場是穿過接面的距離的一個線性函數，而最大電場值發生在 PN 接面處。既使沒有外加電壓於 P 型區及 N 型區，在空乏區之中仍然會有電場存在。

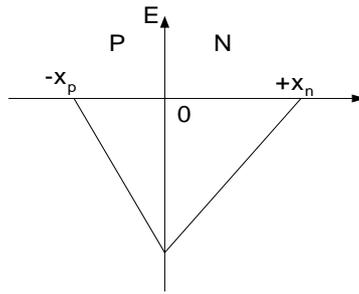


圖 2.10 空乏區中的電場

將電場積分，可以求得接面中的位勢。為了求 PN 接面的位勢差，我們設在 $x = -x_p$ 處電位為零，可求得在 P 型區中的電位為

$$\phi(x) = \frac{eN_a}{2\epsilon_s} (x + x_p)^2 \quad -x_p \leq x \leq 0 \quad (2.12)$$

同樣的，將 N 型區中的電場積分，可求的 N 型區中的電位，且由於位勢是一個連續的函數，因此在 PN 接面， $x = 0$ 處彼此相等，可得

$$\phi(x) = \frac{eN_a}{\epsilon_s} \left(x_n x - \frac{x^2}{2} \right) + \frac{eN_a}{2\epsilon_s} x_p^2 \quad 0 \leq x \leq x_n \quad (2.13)$$

圖 2.11 是通過接面的位勢圖。在 $x = x_n$ 處，位勢大小等於內建位勢障礙。由(2.13)，可得

$$V_{bi} = |\phi(x = x_n)| = \frac{e}{2\epsilon_s} (N_d x_n^2 + N_a x_p^2) \quad (2.14)$$

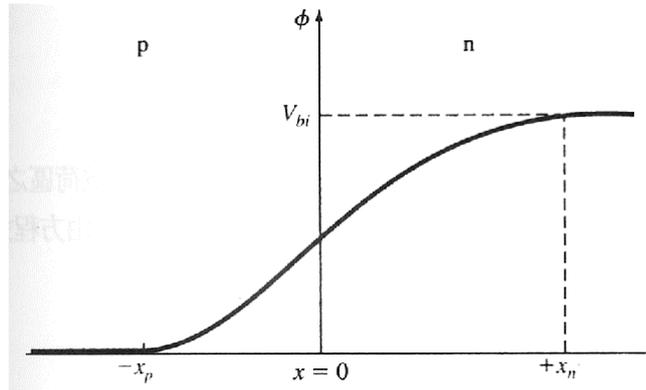


圖 2.11 PN 接面中整個空乏區的電位

PN 接面空乏區的長度稱空間電荷寬度(space charge width)。可將(2.11)改寫成

$$x_p = \frac{N_d x_n}{N_a} \quad (2.15)$$

將(2.15)代入(2.14)並求解 x_n ，可得

$$x_n = \left\{ \frac{2\epsilon_s V_{bi}}{e} \left[\frac{N_a}{N_d} \right] \left[\frac{1}{N_a + N_d} \right] \right\}^{\frac{1}{2}} \quad (2.16)$$

其中 x_n 是在零外加電壓下，延伸進入 N 型區中的空間電荷寬度。

同樣的，由(2.11)代入(2.14)亦可求得

$$x_p = \left\{ \frac{2\epsilon_s V_{bi}}{e} \left[\frac{N_d}{N_a} \right] \left[\frac{1}{N_a + N_d} \right] \right\}^{\frac{1}{2}} \quad (2.17)$$

其中 x_p 是在零外加電壓下，延伸進入 P 型區中的空間電荷寬度。

空乏區或空間電荷的總寬度 W 是(2.16)及(2.17)的和，因此將兩式將加，可得

$$W = \left\{ \frac{2\epsilon_s V_{bi}}{e} \left[\frac{N_a + N_d}{N_a N_d} \right] \right\}^{\frac{1}{2}} \quad (2.18)$$

由上述的式子可知，空間電荷寬度是摻雜濃度的倒數函數；因此，空乏區會向摻雜濃度低的區域延伸較多。

2.3.2 反向偏壓

在 N 型區相對於 P 型區之間加上一個正電壓時，則半導體將不再是處在一個平衡狀態下，通過系統的費米能階也不再是固定不變的，如圖 2.12 所示。由於正電壓在圖 2.12 的電子位能圖中是往下遞增的，N 型區的費米能階會低於 P 型區的費米能階。

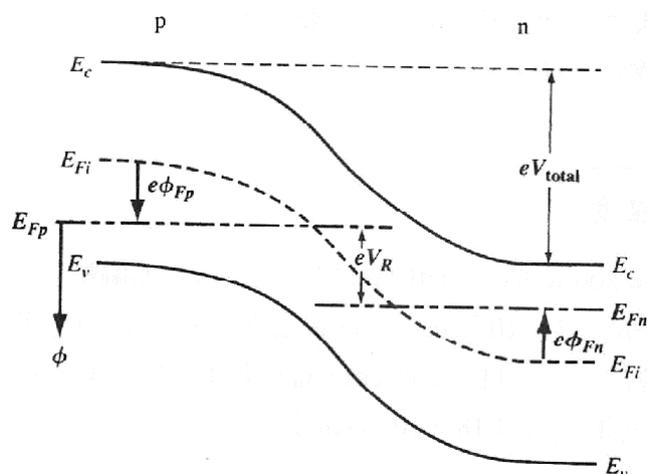


圖 2.12 反向偏壓 PN 接面能帶圖

在外加位勢是反向偏壓時，標示為 V_{total} 的總位勢障礙升高，

$$V_{total} = |\phi_{Fn}| + |\phi_{Fp}| + V_R = V_{bi} + V_R \quad (2.19)$$

其中 V_R 是外加反向偏壓電壓的大小， V_{bi} 是在熱平衡時所定義的內建位勢障礙。

由於外加電壓的作用，空間電荷區中的電場會升高。電場是源自於正電荷，而會在負電荷處終止；這表示如果電場升高，正電荷與負電荷的數目必須增大。因此只有當空間電荷寬度 W 增大時，空乏區中的正電荷及負電荷數目才能增加。所以空間電荷寬度 W 會隨著反向偏壓 V_R 的增加而變大。

將內建位勢障礙用總位勢障礙來取代，由(2.18)，可以得到空間電荷寬度為

$$W = \left\{ \frac{2\varepsilon_s(V_{bi} + V_R)}{e} \left[\frac{N_a + N_d}{N_a N_d} \right] \right\}^{\frac{1}{2}} \quad (2.20)$$

由於 x_n 與 x_p 會隨著反向偏壓的電壓增加而增加，因此電場強度也會變大。而最大的電場仍然是發生在 PN 接面處。將(2.16)或(2.17)之一與總位勢障礙 $V_{bi} + V_R$ 合併使用代入(2.9)或(2.10)，則可得最大電場

$$E_{\max} = - \left\{ \frac{2e(V_{bi} + V_R)}{\varepsilon_s} \left[\frac{N_a N_d}{N_a + N_d} \right] \right\}^{\frac{1}{2}} \quad (2.21)$$

亦可表示為

$$E_{\max} = \frac{-2(V_{bi} + V_R)}{W} \quad (2.22)$$

其中 W 是空間電荷總寬度。

若考慮一個單邊的 P+N 接面，則最大電場是

$$E_{\max} = \frac{eN_d x_n}{\varepsilon_s} \quad (2.23)$$

空乏區寬度 x_n 可以近似為

$$x_n \cong \left\{ \frac{2\varepsilon_s V_R}{eN_d} \right\}^{\frac{1}{2}} \quad (2.24)$$

其中 V_R 是外加反向偏壓電壓的大小。在上式中，我們忽略內建位勢 V_{bi} 。

若將 V_R 設定為崩潰電壓 V_B ，則最大電場 E_{\max} 將被界定為崩潰時的臨界電場 E_{crit} 。將(2.23)及(2.24)合併，可以得到

$$V_B = \frac{\varepsilon_s E_{crit}^2}{2eN_B} \quad (2.25)$$

其中 N_B 是單邊接面中低摻雜區域的半導體摻雜濃度。

2.3.3 順向偏壓

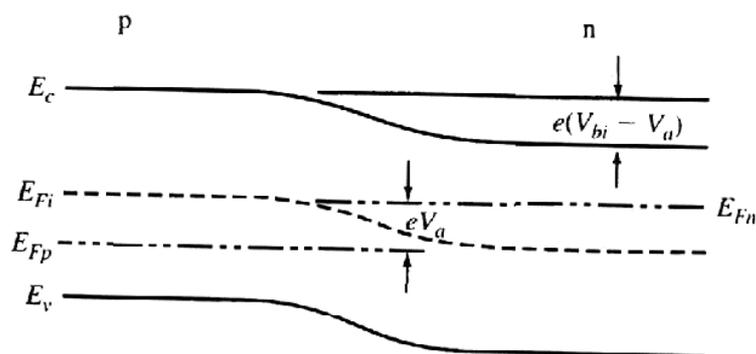


圖 2.13 順向偏壓 PN 接面能帶圖

在順向偏壓的情況下，由於總位勢障礙被降低了，如圖 2.13 所示。較小的位勢障礙意指電場也會被降低。較小的電場則無法將電子與電洞分別拉回 N 型區與 P 型區。電洞將會由 P 型區中流向 N 型區；電子則由 N 型區流向 P 型區。這種電荷的流動會產生一個通過接面的電流。電流密度與順偏電壓的關係[18]如下

$$J = J_s \left[\exp\left(\frac{eV_a}{kT}\right) - 1 \right] \quad (2.26)$$

其中 J_s 為理想反向飽和電流密度， V_a 為外加順偏電壓。由(2.26)可知，順向偏壓電流是順向偏壓電壓的指數函數。

2.4 PIN 二極體

由於 PN 二極體所能承受的崩潰電壓相當有限，因此在需要高耐壓的情況下便使用 P-i-N 二極體[19]。從帕松方程式可知，電位是由電場積分所得。在圖 2.14 中可知，可推得 P-i-N 二極體及 PN 二極體的跨壓分別為

$$V_R = \frac{(E_1 + E_2)}{2} W_d \quad (2.27)$$

$$V_R' = \frac{E_1 W_d'}{2} \quad (2.28)$$

且 $W_d \gg W_d'$ ，因此當 P-i-N 二極體與 PN 二極體在相同的 E_1 電場下，P-i-N 二極體的跨壓遠大於 PN 二極體。隨著低濃度摻雜區寬度的增加，可增加 P-i-N 二極體的耐壓，因此我們可依所需要的耐壓調整低濃度摻雜區的寬度。

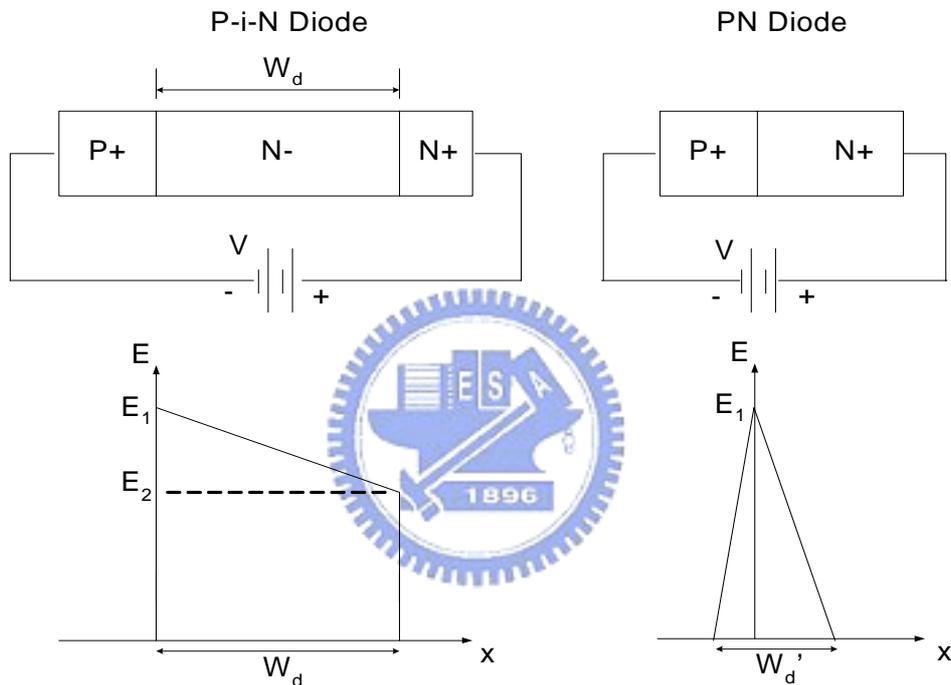


圖 2.14 P-i-N 二極體與 PN 二極體空乏區及電場圖

雖然 P-i-N 二極體因為低摻雜濃度區可以承受較大的耐壓，但也因此有兩個缺點。第一，導通初期，會產生正向過沖電壓(forward voltage overshoot)，如圖 2.15 所示。這是由於導通初期，低濃度摻雜區為高阻抗，因此跨壓較大；等進入穩態後，因為高注入(high injection)的關係，使低濃度摻雜區有導電度調變效應，降低阻抗，而使導通壓降下降。第二，切換特性差。導通時，低濃度摻雜區儲存著大量載子。當關閉時，需要反向電流(reverse current)來移除載子，增加功率的損耗，如圖 2.16 所示。

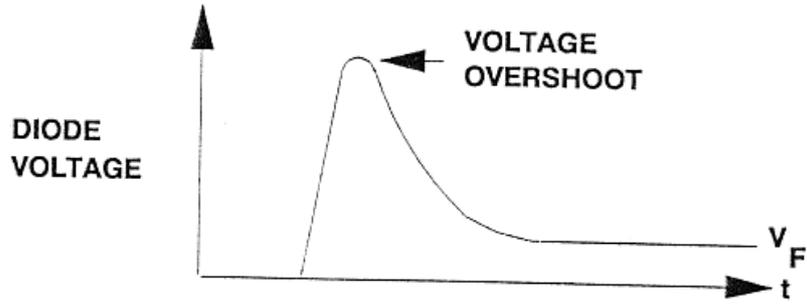


圖 2.15 P-i-N 二極體正向導通波形

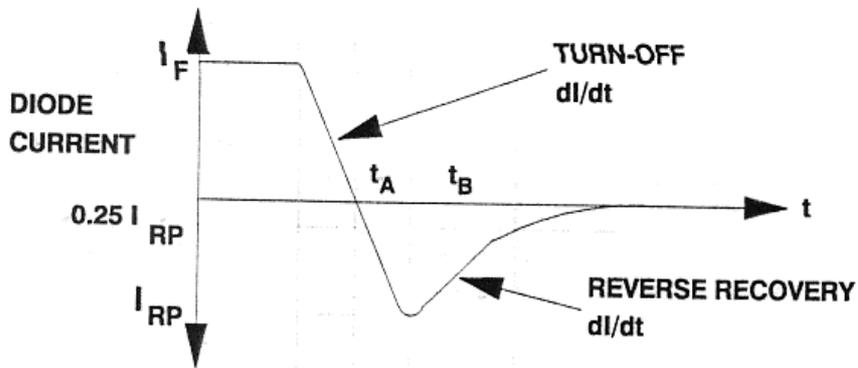


圖 2.16 P-i-N 二極體反向回復電流波形

2.5 雙極性電晶體

圖 2.17 表示一個 NPN 雙極性電晶體的理想化雜質摻雜輪廓，這是當每一個區域都是均勻摻雜時的狀況。由圖 2.17(b)可知，射極具有最大的摻雜濃度；而集極則具有最小的摻雜濃度。

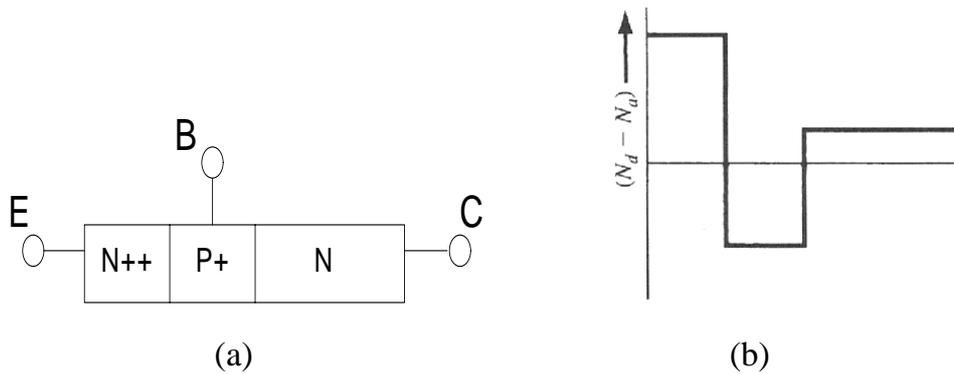


圖 2.17 NPN 雙極性電晶體的理想化摻雜輪廓

如圖 2.18(a)所示，在正常的偏壓組態下，基極-射極(B-E)PN 接面是順向偏壓，而基極-集極(B-C)PN 接面則是反向偏壓。這種組態被稱為是順向主動(forward active)的操作模式。由於 B-E 接面是順向偏壓，因此電子會由射極射入基極。被注入的電子會在基極中造成過量的少數載子濃度。而 B-C 接面為反向偏壓，因此在 B-C 接面邊緣處的少數載子濃度為零，如圖 2.18(b)所示。在基極中，電子濃度具有很大的梯度，意指由射極注入的電子將會擴散跨越基極區域進入 B-C 接面的空乏區中，在空乏區中的電場會將電子掃入集極，如圖 2.18(c)所示。我們希望會有較多的電子到達集極，而不會在基極與電洞復合，因此基極寬度必須比少數載子的擴散長度還要小。

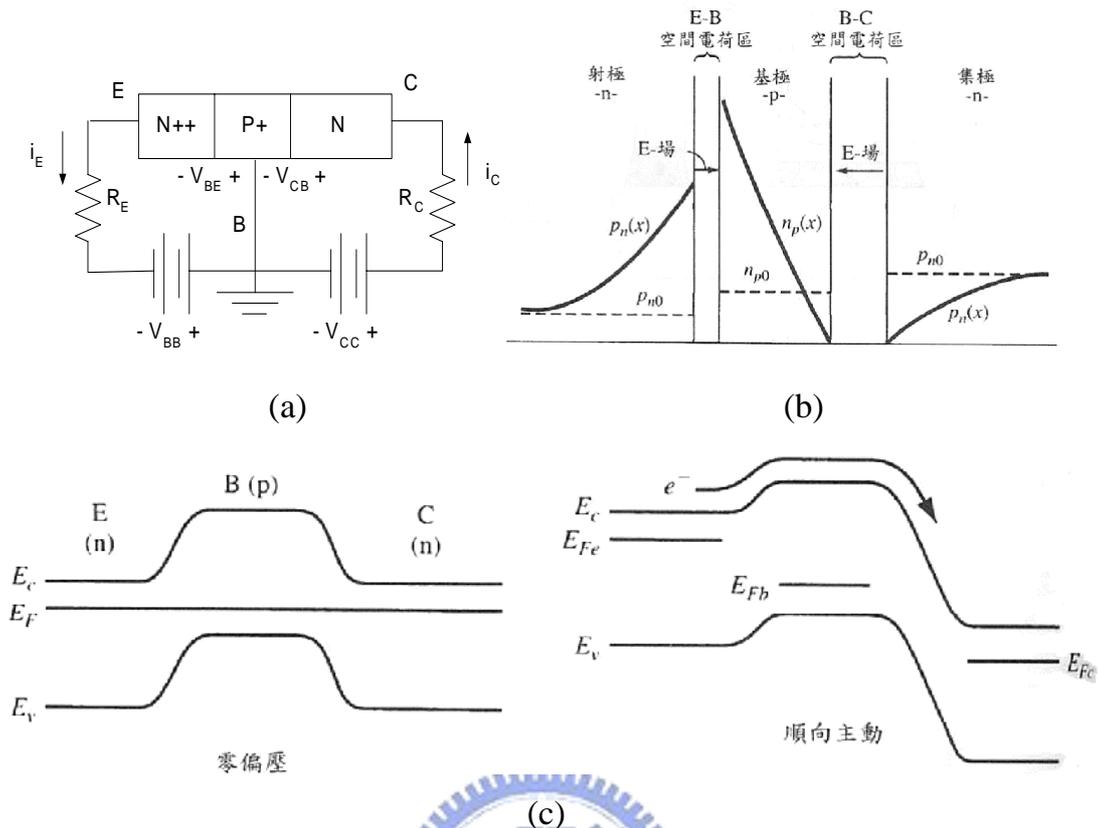


圖 2.18 (a)NPN 雙極性電晶體在順向主動模式的偏壓。(b)NPN 雙極性電晶體在順向主動模式操作下的少數載子分佈。(c) NPN 雙極性電晶體在零偏壓及順向主動模式偏壓下的能帶圖

2.5.1 電晶體電流關係

理想而言，基極中的少數載子濃度是距離的一個線性函數，這暗示在基極中並沒有復合。電子會擴散跨越基極，並被 B-C 接面空乏區中電場掃進集極中。

集極電流

假設在基極中有理想的線性電子分佈，經過簡化，則集極電流可以寫成給予的一個擴散電流

$$i_C = eD_n A_{BE} \frac{dn(x)}{dx} = eD_n A_{BE} \left[\frac{n_B(0) - 0}{0 - x_B} \right] = \frac{-eD_n A_{BE}}{x_B} n_{B0} \exp\left(\frac{v_{BE}}{V_t}\right) \quad (2.29)$$

其中 A_{BE} 是 B-E 接面的截面積， n_{B0} 是基極中的熱平衡電子濃度，而 V_t 是熱電壓。電子的擴散是在 $+x$ 的方向上，因此傳統的電流方向是在 $-x$ 的方向上。如果只考慮大小，(2.29) 可寫成

$$i_C = I_S \exp\left(\frac{v_{BE}}{V_t}\right) \quad (2.30)$$

由(2.30)可知，集極電流是由基極與射極間的跨壓來決定的。

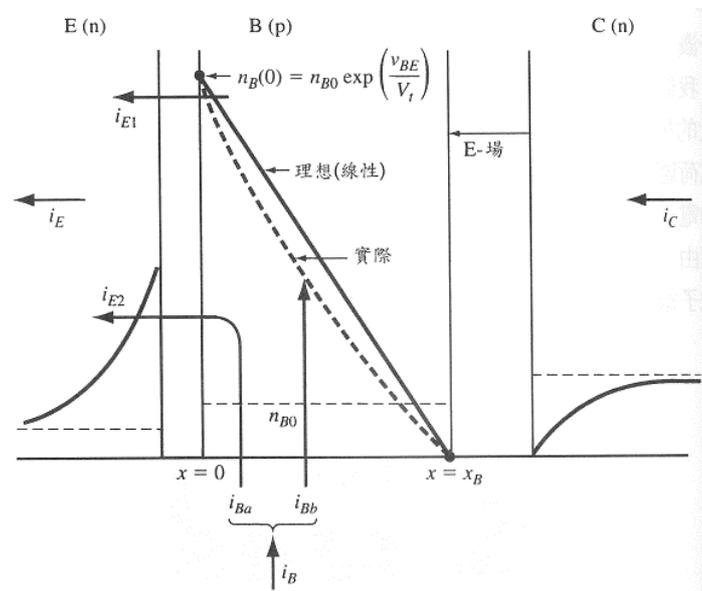


圖 2.19 順向偏壓的 NPN 雙極性電晶體中少數載子分佈及基本電流

圖 2.19 中所顯示的射極電流分量之一 i_{E1} 乃是由射極注入基極中的電子流動所造成的。因此，這個電流值會等於(2.30)的集極電流。

射極電流

由於基極-射極接面是順偏，因此基極中的多數載子電洞會被注入跨越 B-E 接面，進入射極中，既圖 2.19 中所指的 i_{E2} 。由於 i_{E2} 是一個順向偏壓的 PN 接面電流，因此可以表示為

$$i_{E2} = I_{S2} \exp\left(\frac{v_{BE}}{V_t}\right) \quad (2.31)$$

其中 I_{S2} 包含在射極中的少數載子電洞的參數。射極的總電流是這兩個分量的總和，

$$i_E = i_{E1} + i_{E2} = i_C + i_{E2} = I_{SE} \exp\left(\frac{v_{BE}}{V_t}\right) \quad (2.32)$$

由於(2.32)中所有電流分量都是 $\exp\left(\frac{v_{BE}}{V_t}\right)$ 的函數，因此可推知集極電流對射極電流的比值是一個常數，可以寫為

$$\frac{i_C}{i_E} = \alpha \quad (2.33)$$

其中 α 稱為共基極電流增益(common-base current gain)。

從以上的推導可知，當 B-C 接面為反向偏壓時，則集極電流與基極-射極電壓有關，而與基極-集極電壓無關。

基極電流

如圖 2.19 所示，射極電流的分量 i_{E2} 是一個 B-E 接面的電流，因此這個電流也是 i_{Ba} 的一個基極電流分量。這個基極電流分量是與 $\exp(v_{BE}/V_t)$ 成正比的。

之前我們假設在基極中少數載子電子與多數載子電洞是沒有復合的理想狀況。實際上，基極中還是有某些復合。由於基極中的多數載子電洞經復合而消失，因此必須由基極端流入正電荷補充。這個電流在圖 2.19 中被標示為 i_{Bb} 。單位時間在基極中復合的電洞數目與基極中的少數載子數目是直接相關的。因此，電流 i_{Bb} 也是正比於 $\exp(v_{BE}/V_t)$ 。基極總電流是 i_{Ba} 與 i_{Bb} 的總和，而且是正比於 $\exp(v_{BE}/V_t)$ 。

由於集極電流與基極電流都是正比於 $\exp(v_{BE}/V_t)$ ，因此集極電流對基極電流的比值是一個常數，可以寫為

$$\frac{i_C}{i_B} = \beta \quad (2.34)$$

其中 β 稱為共射極電流增益(common-emitter current gain)。

2.5.2 操作模式

圖 2.20 顯示在一個簡單電路中的 NPN 電晶體。在這樣的電路中，電晶體可能會被偏壓至三種操作模式中的一種。如果 B-E 接面的電壓是零或是反向偏壓，則射極的多數載子電子無法注入基極中。此時，B-C 接面也是反向偏壓；因此射極與集極電流均為零。這種情況稱為截止(cutoff)。

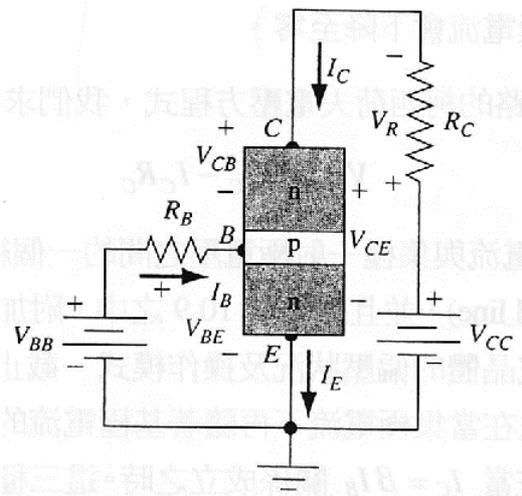


圖 2.20 在共射極電路中的一個 NPN 雙極性電晶體

當 B-E 接面變成順向偏壓時，將會有射極電流產生，而注入到基極中的電子會造成集極電流。環繞集極至射極的迴路依 KVL 可寫出

$$V_{CC} = I_C R_C - V_{BC} + V_{BE} = V_R - V_{BC} + V_{BE} \quad (2.35)$$

如果 V_{CC} 足夠大，而且 V_R 夠小的話，則 $V_{BC} < 0$ ，表示 B-C 接面是反向偏壓，電晶體操作在順向主動區域。

當順向偏壓 B-E 接面電壓增加時，集極電流以及 V_R 也將因此增加。 V_R 的增加意謂著反向偏壓的 C-B 接面電壓或 $|V_{CB}|$ 會降低。當集極電流足夠大，使 V_R 與 V_{CC} 的組合會在 B-C 接面產生零電壓。若集極電流再增加，使 V_R 也增加，會導致 B-C 接面順偏。此操作模式稱為飽和(saturation)。在飽和模式下操作時，B-E 與 B-C 接面兩者都是順向偏壓，而集極電流不再受到 B-E 接面電壓的控制。

繞著 C-E 迴路依 KVL 可寫出

$$V_{CE} = V_{CC} - I_C R_C \quad (2.36)$$

(2.36)顯示集極電流與集極-射極電壓之間呈一個線性關係。這個線性關係稱為一條負載線(load line)，如圖 2.21 所示。附加在電晶體特性上的負載線可被使用來觀察電晶體的偏壓狀況及操作模式。

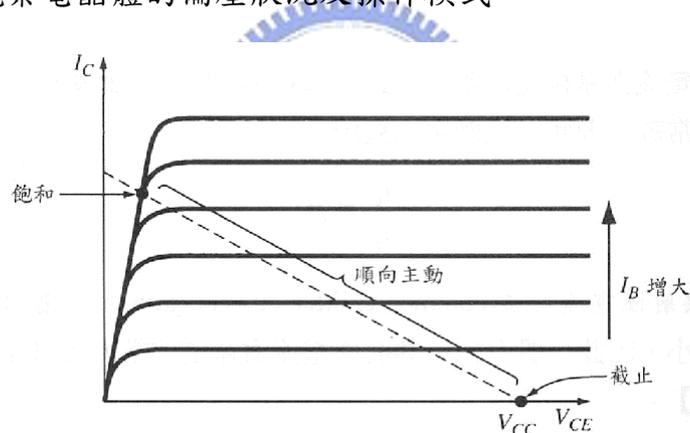


圖 2.21 雙極性電晶體的共射極電流-電壓特性及負載線

雙極性電晶體的第四種模式為反向主動(inverse active)，它是發生在當 B-E 接面為反向偏壓，而 B-C 接面為順向偏壓時。在這種情況下，電晶體是被顛倒操作的，而射極與集極的角色互換。由於電晶體並不是對稱元件；因此反向主動特性與順向主動特性並不相同。

2.6 溫度效應

2.6.1 本徵載子濃度

圖 2.22 是溫度與載子濃度的關係圖[20]。從圖中可知對矽基板而言，當溫度在 150K 到 450K，載子濃度約等於摻雜濃度。而在 100K 以下，由於溫度較低，載子沒有足夠的能量脫離原子的吸引，因此載子濃度低於摻雜濃度。當溫度高於 450K 時，本徵載子濃度(intrinsic carrier concentration)大幅增加，因此載子濃度會大於摻雜濃度。隨著溫度增加，本徵載子濃度增加，也造成理想反向飽合電流的增加。

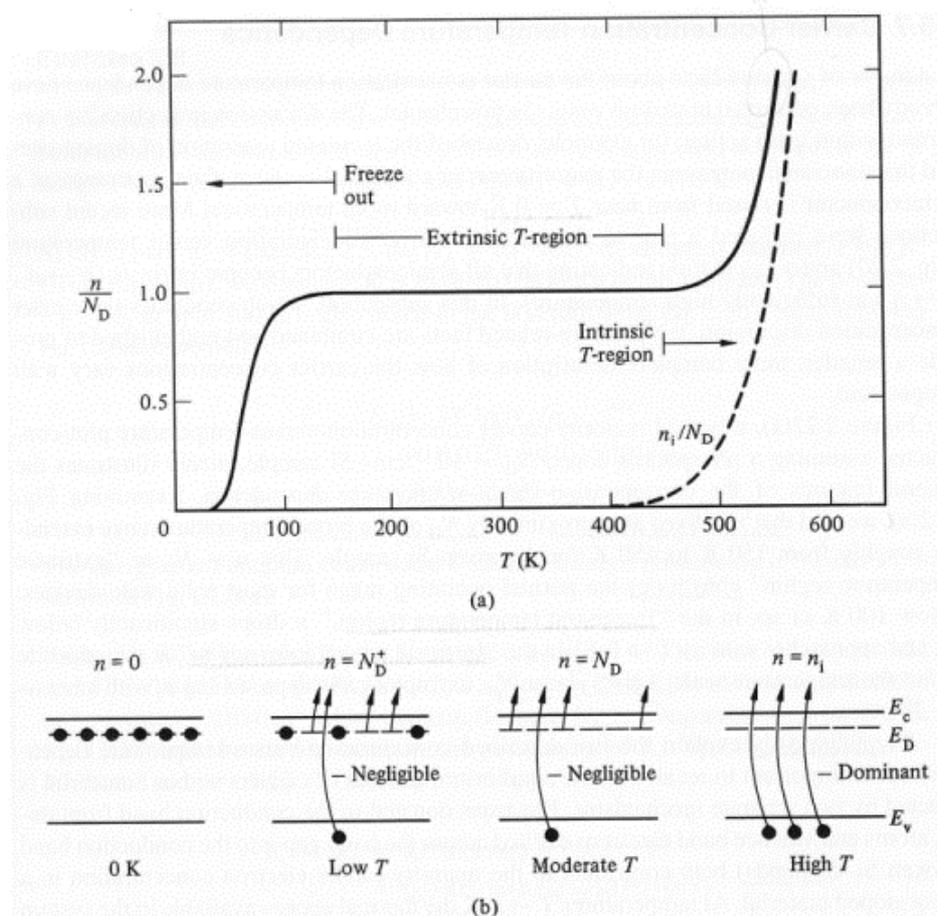


圖 2.22 (a)載子濃度與溫度關係圖。(b)定性解釋載子濃度與溫度關係

2.6.2 載子遷移率

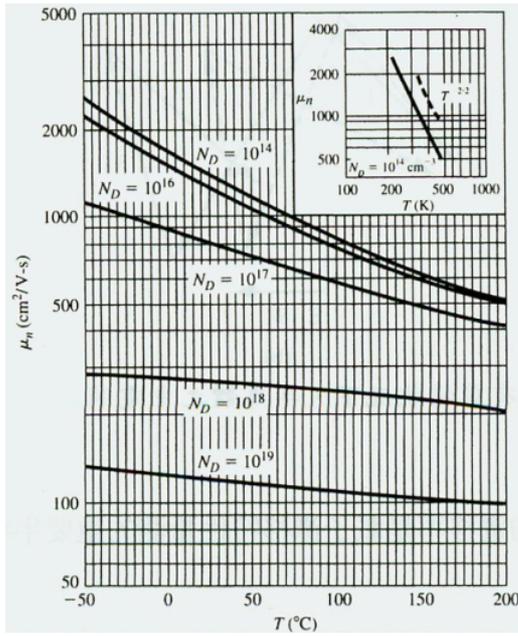
當半導體晶體中的原子，在高於絕對零度時，會具有一定大小的熱能，使原子會相對其在晶體中的晶格位置作隨機的振動。這種晶格振動會導致完美週期位勢函數的擾動。在一個固體之中的完美週期性位勢使電子得以不受阻礙地，或者不受到散射地，移動通過這個晶體。但是熱振動會造成位勢函數的擾動，並且引發電子或電洞與振動晶格原子之間的交互作用，此作用稱晶格散射(lattice scattering)。

由於晶格散射是與原子的熱運動相關的，因此散射發生的速率是溫度的一個函數。如果我們使用 μ_L 來代表只有晶格散射存在時所觀察到的遷移率，則散射理論說明由一階近似

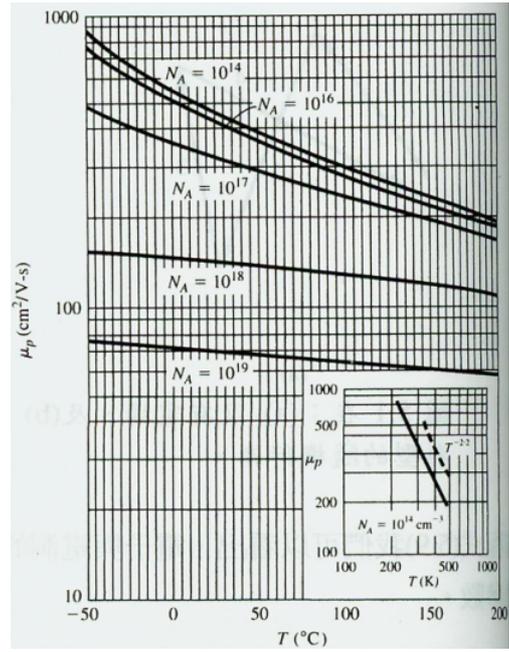
$$\mu_L \propto T^{-3/2} \quad (2.37)$$

由於晶格散射會造成遷移率隨溫度的升高而降低。直觀而言，可以預期當溫度升高時，晶格振動也會增加，意味散射事件發生的機率也會增加，並因而使遷移率降低。

圖 2.23 顯示矽之中的電子與電洞的遷移率與溫度之間的依存關係。在輕摻雜的半導體之中，晶格散射會主控載子遷移率。遷移率的溫度關係顯然是與 T^n 成正比。圖中的插圖顯示參數 n 並不等於由一階散射理論所預測的 $3/2$ 。然而，遷移率的确會隨著溫度的升高而降低。



(a) 電子載子



(b) 電洞載子

圖 2.23 在各種摻雜濃度的矽中，載子遷移率與溫度關係圖



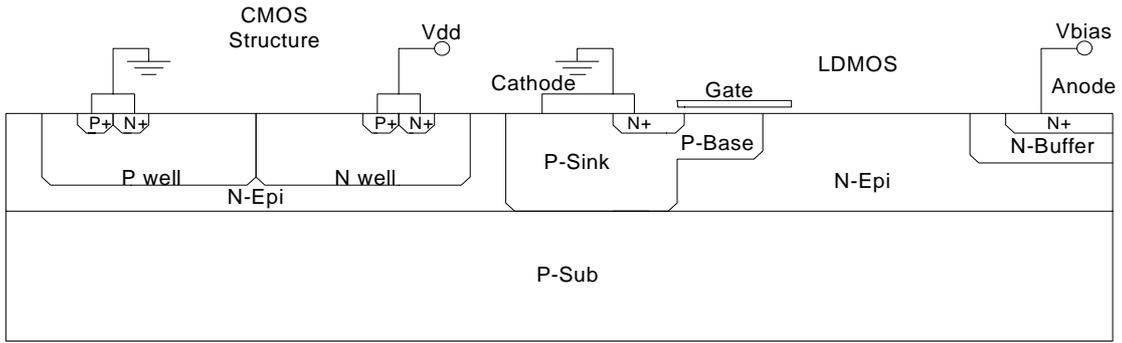
第三章 研究方法

3.1 軟體模擬規劃

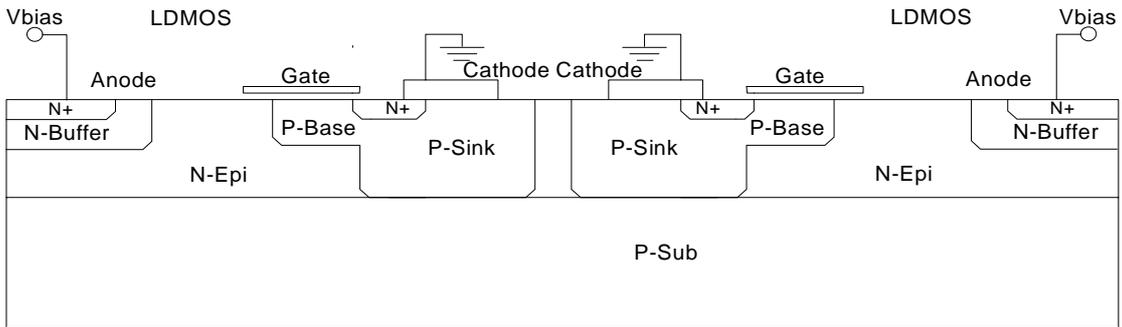
本論文在實作上是模仿業界的 100V 高壓製程，因此先用製程模擬軟體(TSUPREM4)[21]模擬目前業界所使用的高壓製程，以取得製程的各項參數，如高低壓元件源極、汲極的摻雜濃度、深度，阱區的摻雜濃度、深度，及磊晶層的摻雜濃度、深度等。

使用元件模擬軟體(MEDICI)[22]搭配由 TSUPREM4 得到的製程參數，建構高低壓元件整合的模型。本論文的隔離設計採用 N 型保護環及 P 型保護環設計隔離結構，並做進一步模擬分析各參數的影響。

在高低壓整合及高壓整合方面，則選擇三種常用的高功率元件，LDMOS，LIGBT，SA-LIGBT，進行模擬，如圖 3.1~3.3。對每個元件的操作原理及可能產生漏電流的情況進行模擬分析。當導通電流增加會造成溫度上升，會使理想反向飽合電流增加及載子遷移率下降。為了釐清各項變因的影響，因此調變佈局參數同時亦分別模擬溫度在 300K 及 400K 的情況。

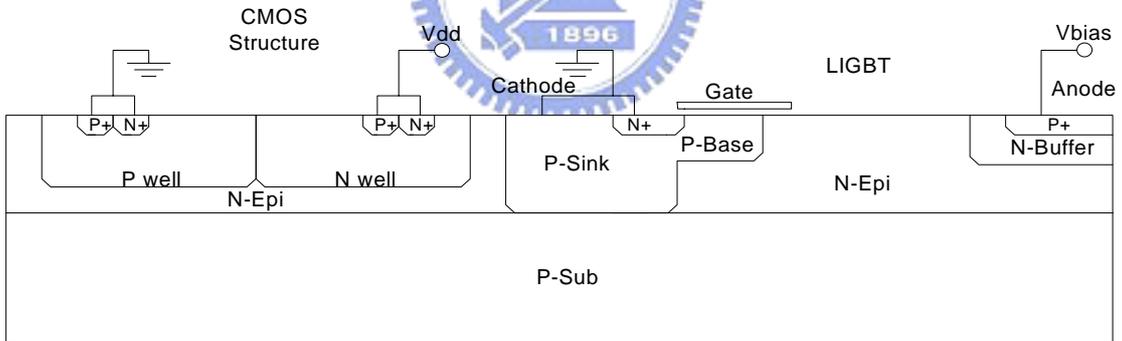


(a) LDMOS 與低壓電路

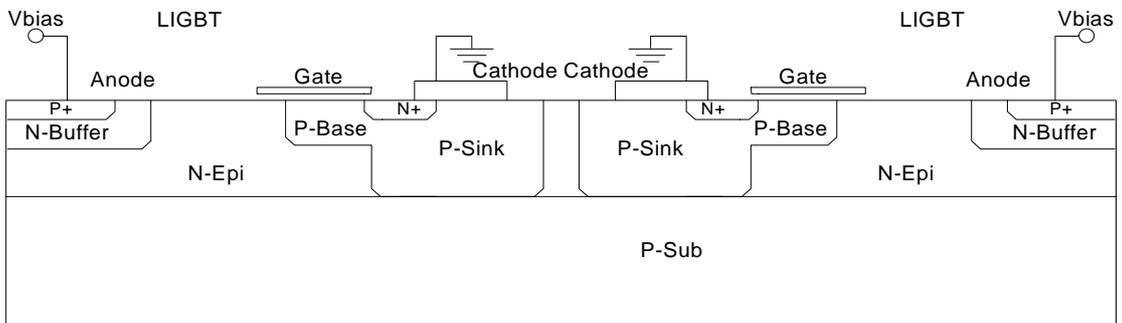


(b) LDMOS 與 LDMOS

圖 3.1 LDMOS 整合示意圖

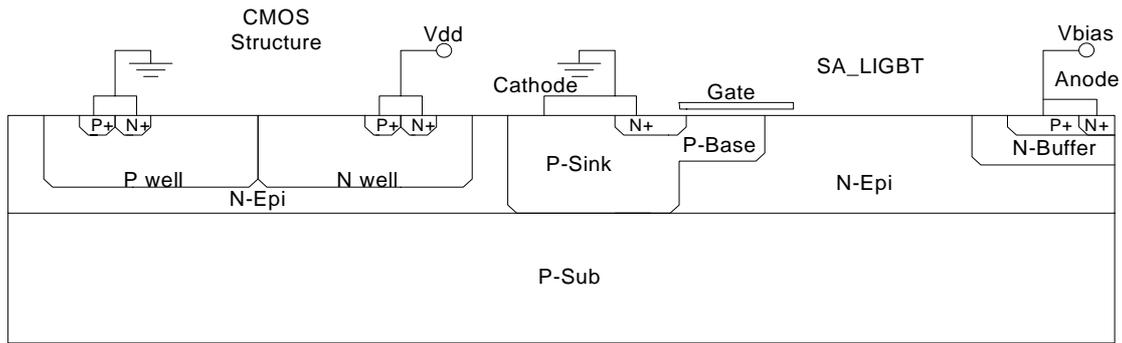


(a) LIGBT 與低壓電路

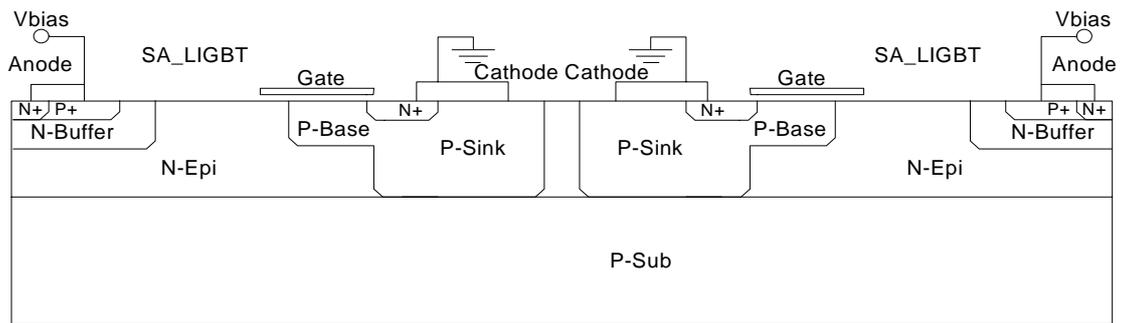


(b) LIGBT 與 LIGBT

圖 3.2 LIGBT 整合示意圖



(a) SA-LIGBT 與低壓電路



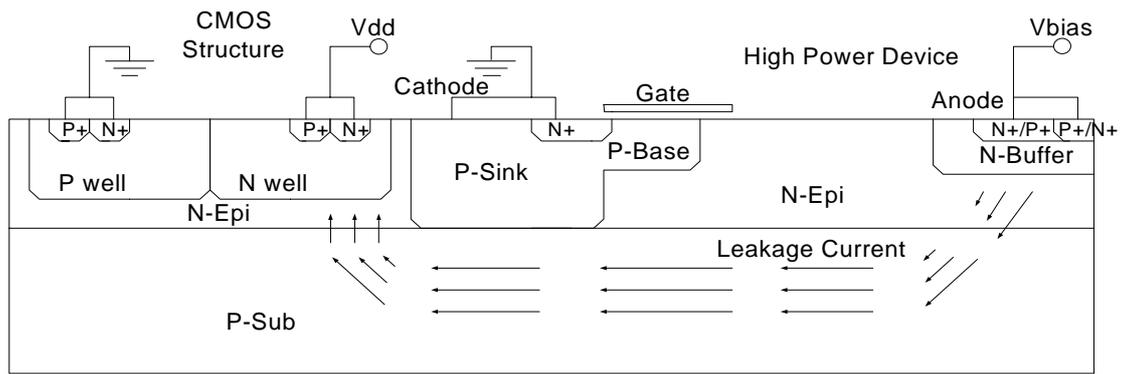
(b) SA-LIGBT 與 SA-LIGBT

圖 3.3 SA-LIGBT 整合示意圖

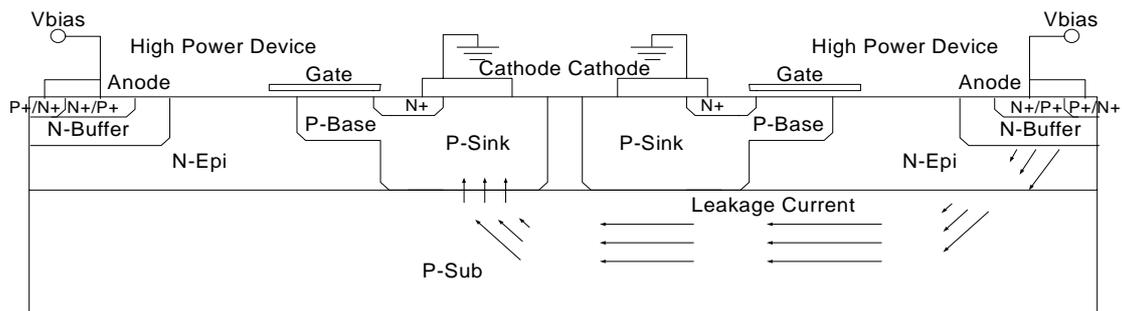
當高低壓元件整合在同一晶片上工作時，由於高功率元件的電流尺度極大，會對低壓元件及相鄰高功率元件造成衝擊，因此隔離工作必須建立起來。

在本節我們將依據高功率元件可能的操作情況對低壓電路及相鄰高壓元件的影響逐一說明：

1. 當高壓元件在順向偏壓的工作情況下，會有少數載子經由 P 型基板流至低壓電路及鄰近高壓元件，造成低壓電路不正常運作(如數位訊號錯誤，類比訊號準位漂移，低壓電路門鎖效應等)及鄰近高壓元件誤動作等，如圖 3.4 所示。



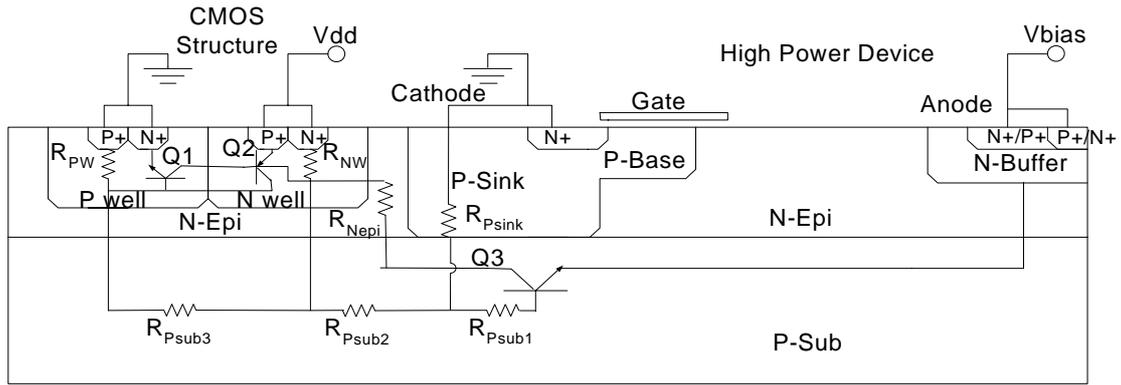
(a) 高低壓整合



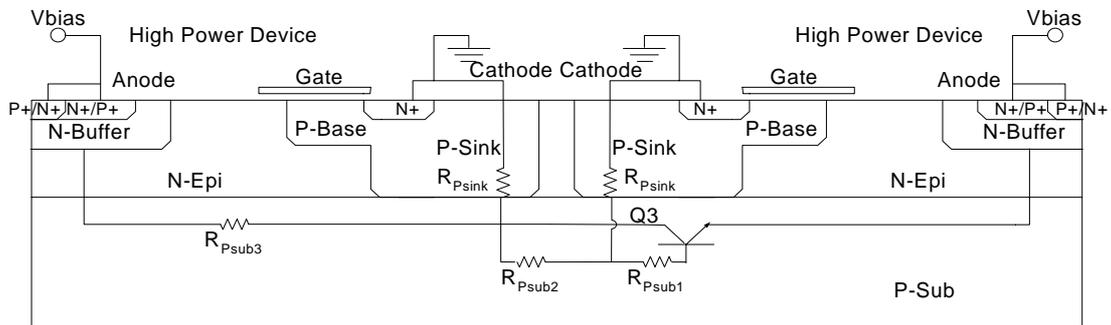
(b) 高壓整合

圖 3.4 順向偏壓時，漏電流示意圖

2. 從導通到關閉的切換瞬間，可能因電感性負載導致陽極端(Anode)的電壓低於陰極端(Cathode)，則高壓元件的本體二極體導通。且高低壓元件均在 P 型基板上，使低壓電路的高電位與 P 型基板或 P-sink 及陽極端的 N+ 形成寄生的 NPN 電晶體 Q3，如圖 3.5 所示。當漏電流過大，可能會造成高壓元件的誤動作或低壓電路的準位漂移，甚至使低壓電路產生門鎖效應。



(a) 高低壓整合



(b) 高壓整合

圖 3.5 反向偏壓時，寄生等效電路圖

在不調變製程的情況下，我們以改變佈局的方式來減少上述兩項影響造成漏電流因素，我們擬定了以下步驟來分析各項佈局參數對隔離效果的影响。步驟分述如下：

1. 在高壓整合方面，先改變元件與元件間 N 型磊晶層的偏壓模擬其對漏電流的影響，如圖 3.6 所示。高低壓整合方面，若將 N 型磊晶層偏壓在低壓電路的高電位端，如圖 3.7，當低壓電路的高電位端與 N 型磊晶層之間有電位降時，會造成無謂的漏電流，因此不將其列入討論範圍。

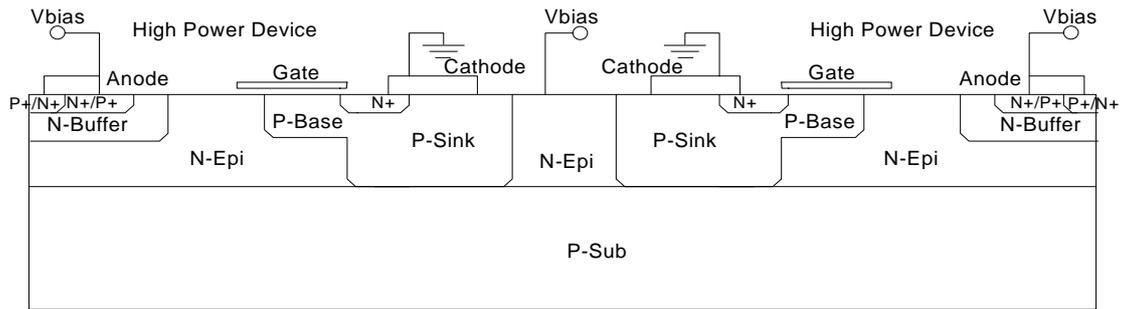


圖 3.6 高壓整合中，改變元件間 N 型磊晶層偏壓示意圖

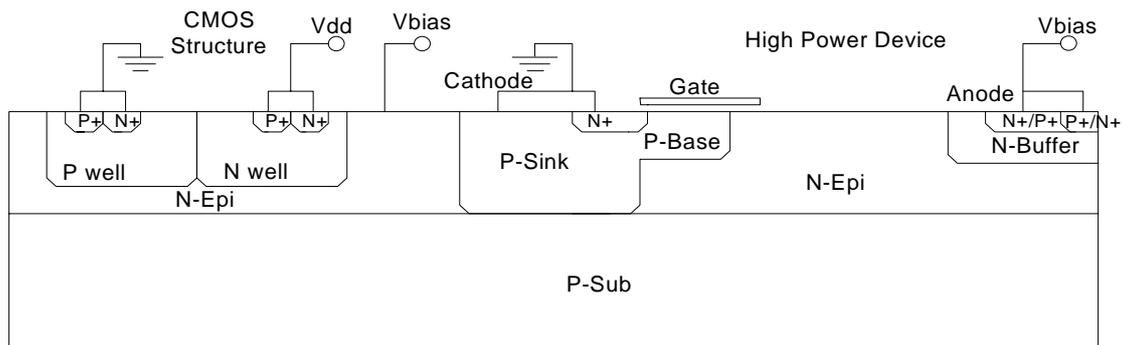
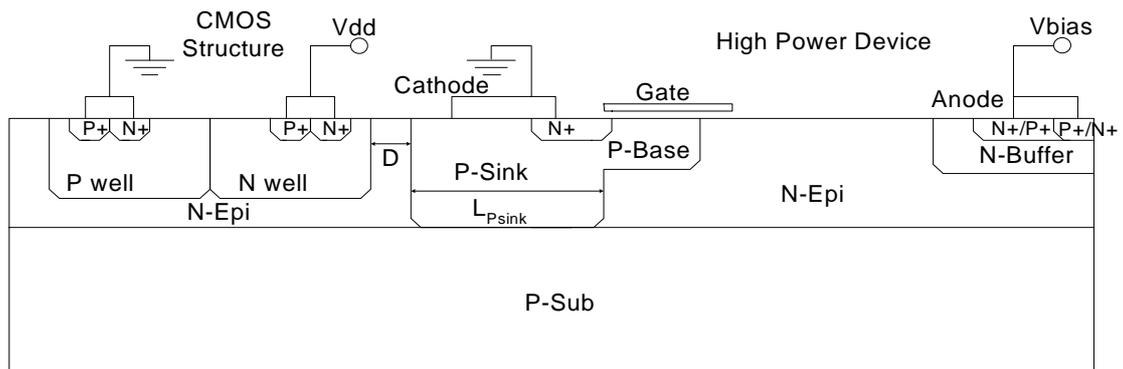
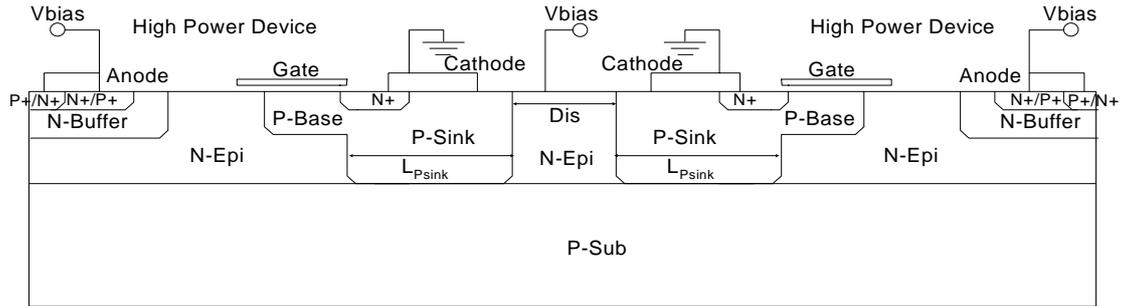


圖 3.7 高低壓整合中，改變高低壓元件間 N 型磊晶層偏壓示意圖

2. 高壓元件工作在順向偏壓或反向偏壓，且高壓元件間的 N 型磊晶層偏壓在使漏電流較小的情況下，調整 P-sink 寬度及高壓元件與低壓電路及鄰近高壓元件的距離，如圖 3.8 所示，以模擬這兩個參數對漏電流的影響。



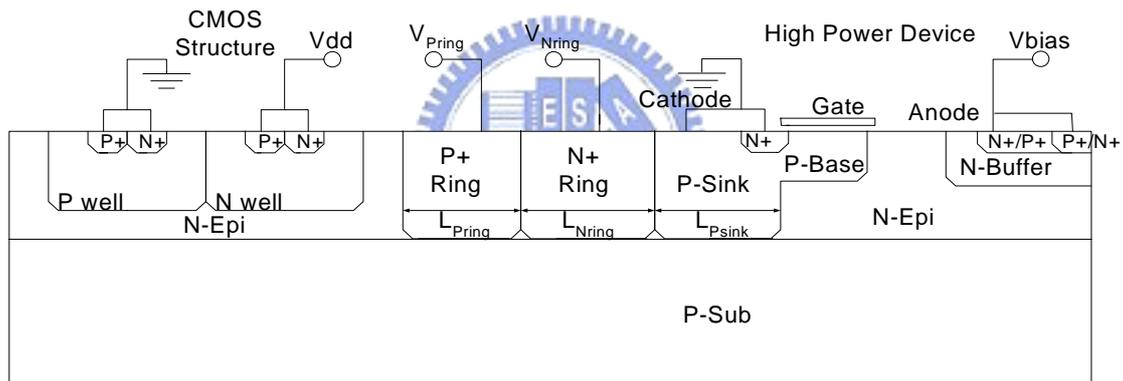
(a) 高低壓整合



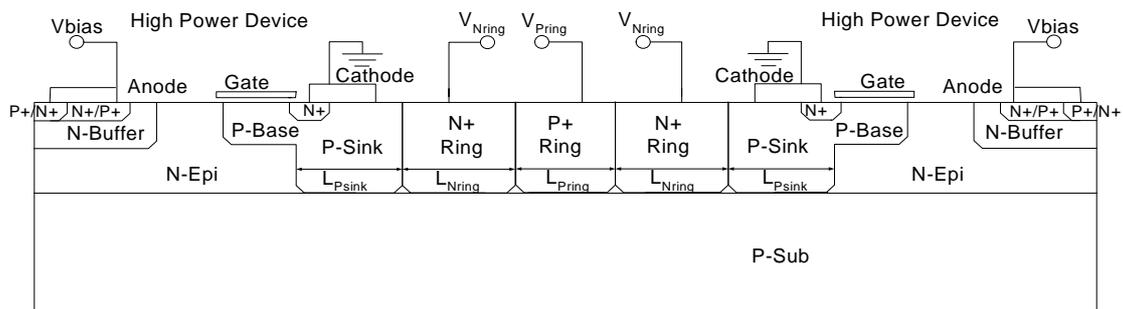
(b) 高壓整合

圖 3.8 調變佈局參數示意圖

3. 加入 N 型保護環及 P 型保護環作為隔離結構，如圖 3.9 所示。高壓元件順向偏壓及陽極反向偏壓時，依表 3.1 模擬比較 N 型保護環及 P 型保護環，在何種偏壓下可有效隔離漏電流。



(a) 高低壓整合



(b) 高壓整合

圖 3.9 隔離參數示意圖

表 3.1 隔離結構各種偏壓情況

	N 型保護環	P 型保護環
第一種偏壓情況	浮接	浮接
第二種偏壓情況	浮接	接地端
第三種偏壓情況	低壓電源端	浮接
第四種偏壓情況	低壓電源端	接地端

4. 在隔離效果較佳的偏壓下調整佈局尺寸。調整 P-sink 寬度、N 型保護環寬度及 P 型保護環寬度，如圖 3.9 所示，透過模擬得知改變參數時漏電流減小的趨勢。並比較在相同面積下，如何設計能有效的達到隔離設計。

5. 最後在高低壓整合方面，比較雙組隔離結構在不同偏壓下對漏電流的影響。並在相同面積下，比較單組隔離結構或雙組隔離結構何種設計能達到較佳的隔離效果，如下圖 3.10。

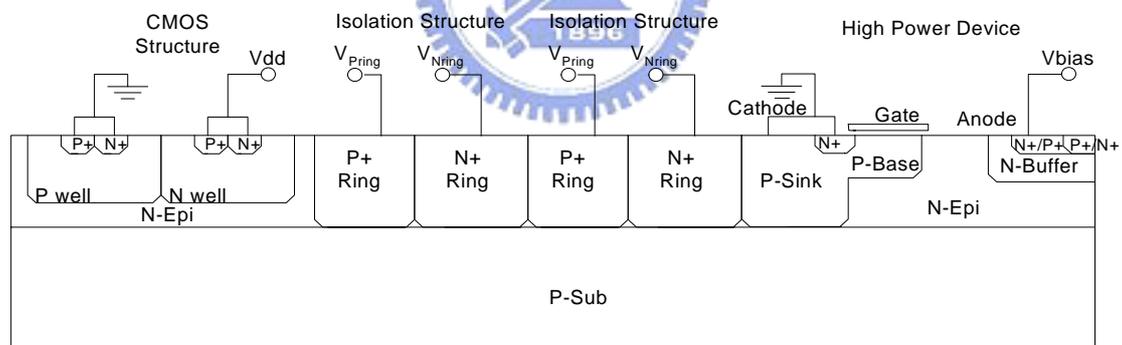


圖 3.10 雙組隔離結構截面示意圖

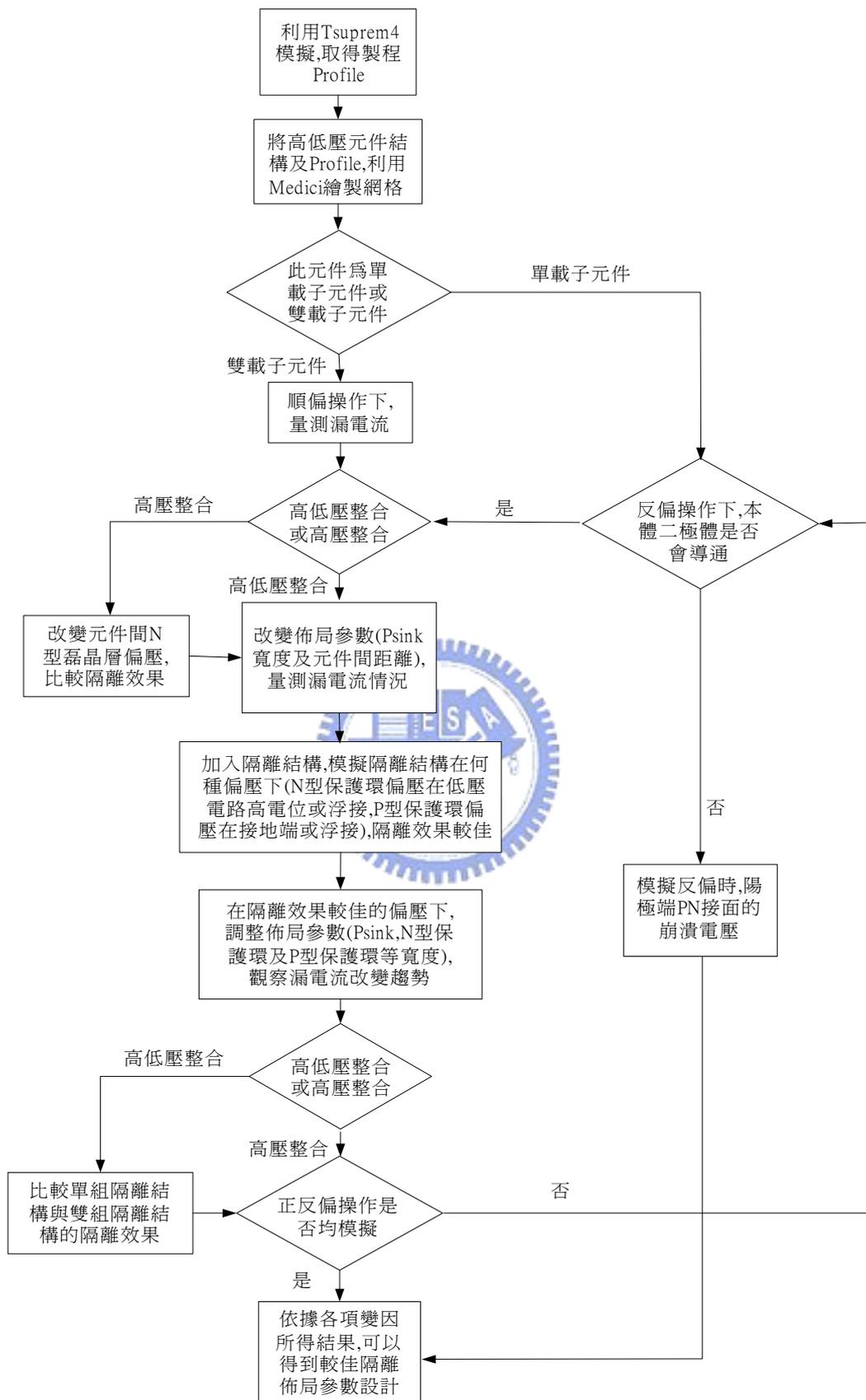


圖 3.11 高低壓整合模擬基板漏電流流程圖

3.2 實作驗證規劃

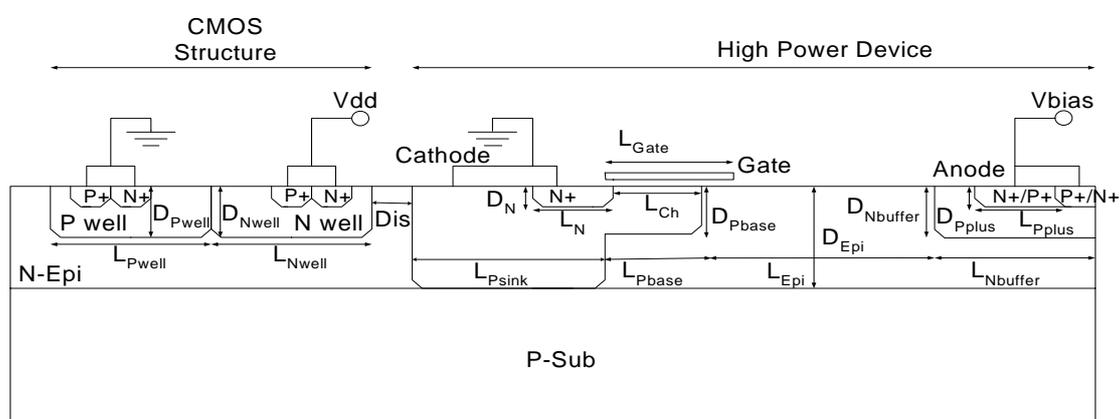
在實作驗證的規劃上，製程方面是模仿業界所使用的 100V 高壓製程。要將高低壓元件整合在同一顆 IC 中，必須使用較多的光罩數目及製程步驟，相對地使製作的難度提高，若能透過業界製程的幫助則有助於研究的進展。

本研究的量測重點，在於低壓電路及相鄰高壓元件的漏電流，包括高壓元件正向偏壓導通及逆向偏壓本體二極體導通時，所產生的漏電流。使用的量測儀器為惠普 HP4155A。HP4155A 是一台模組化直流電源及直流量測的儀器。它可依使用者需求，再待測的元件上，送出經由程式定義的電流或電壓，並進行量測。HP4155A 將量測的結果存放在內建的暫存器中。使用者可利用 PC 將這些數據取回做處理。

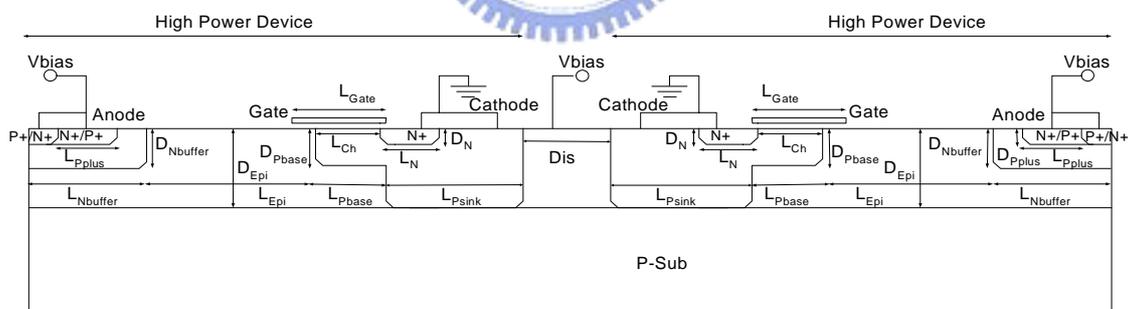
在量測漏電流前，需對元件本身的特性做量測，以得知高壓元件在正向偏壓導通時，所能承受的最大的電流，及反向偏壓時本體二極體的導通特性。外加偏壓在不損毀高壓元件的情況下，量測低壓電路及相鄰高壓元件的漏電流。將所量得的漏電流與導通電流做正常化(normalize)，比較量測所得與模擬結果的趨勢是否相同，及其誤差。

第四章 模擬結果與討論

本論文高低壓元件整合及高壓元件整合的漏電流模擬是採用 TMA 公司的 MEDICI 軟體，為了方便更改佈局參數，先定義通用的高低壓整合及高壓整合結構，如圖 4.1 及表 4.1 所示，表 4.1 中的參數是由 TSUPREM4 模仿業界所使用的 100V 高壓製程所得。



(a) 高低壓整合



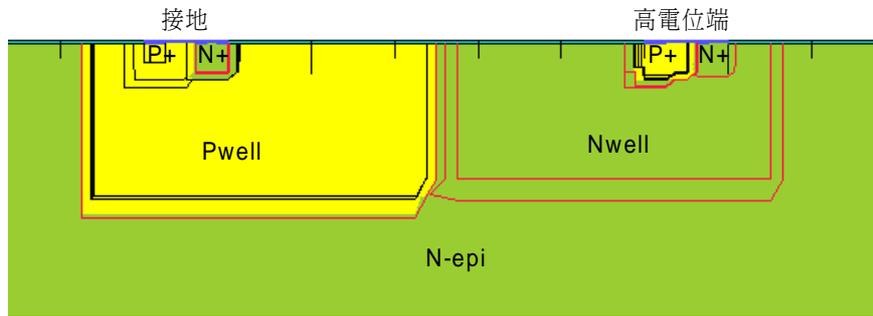
(b) 高壓整合

圖 4.1 MEDICI 結構圖

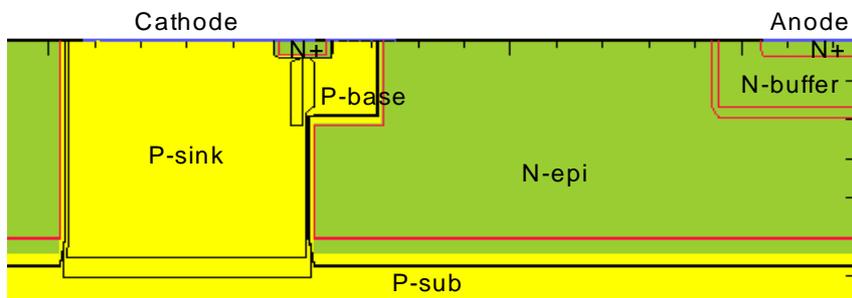
表 4.1 LIGBT 結構參數表

參數名稱	定義符號	參數值
基板濃度	CPSUB	1.2E15(atom/cm ³)
磊晶層濃度	CEPI	3E15(atom/cm ³)
P-Sinker 濃度	CPSINK	1E18(atom/cm ³)
P 阱(P 型基極)濃度	CPWELL	1E17(atom/cm ³)
N 阱(N 型緩衝層)濃度	CNWELL	1E17(atom/cm ³)
P+濃度	CPPLUS	1E19(atom/cm ³)
N+濃度	CN	3E18(atom/cm ³)
磊晶層厚度	DEPI	10(μm)
P-Sinker 深度	DPSINK	10(μm)
P 阱(P 基極)深度	DPWELL	3.5(μm)
N 阱(N 緩衝層)深度	DNWELL	3.5(μm)
P+深度	DPPLUS	0.6(μm)
N+深度	DN	0.6(μm)
N 型漂移區寬度	LEPI	15(μm)
P-Sinker 寬度	LPSINK	10(μm)
P 型基極寬度	LPBASE	3(μm)
N 型緩衝層寬度	LNBUFF	15(μm)(註 1)
P+陽極寬度	LPPLUS	13(μm)(註 1)
通道寬度	LCH	2(μm)
閘極寬度	LGATE	3(μm)
P 型集極寬度	LPPLUS	12(μm)
N 型源極寬度	LN	2(μm)
元件間距離	DIS	10(μm)

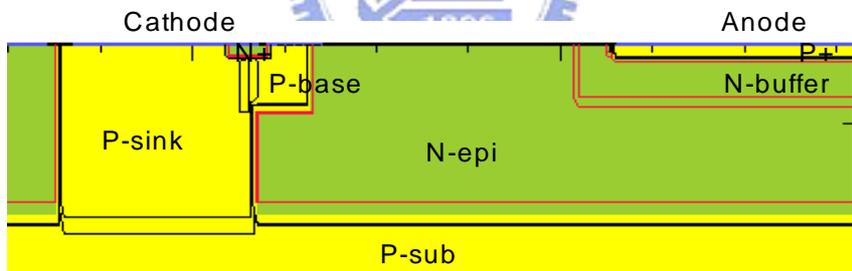
註 1：LDMOS 時，原 P+陽極改為 N+。SA-LIGBT 時，N 型緩衝層寬度為 $50\ \mu\text{m}$ ，P+陽極寬度為 $42\ \mu\text{m}$ ，最末端 N+陽極為 $6\ \mu\text{m}$ 。



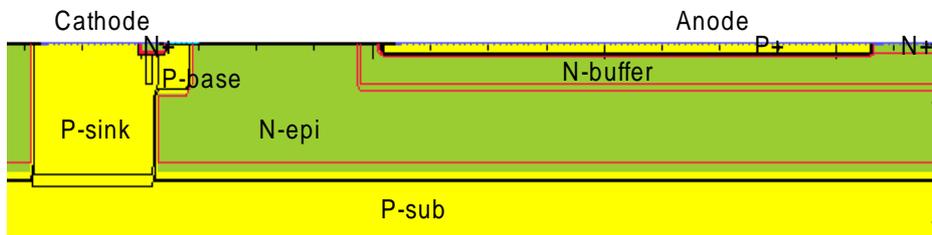
(a) CMOS 低壓電路



(b) LDMOS



(c) LIGBT



(d) SA-LIGBT

圖 4.2 MEDICI 結構模擬圖

在圖 4.2 中，分別是 CMOS 低壓電路、LDMOS、LIGBT 及 SA-LIGBT 等 MEDICI 所繪製的結構圖。之後的模擬均是以這四個結構圖組合進行漏電流模擬。

由於所模擬的高壓元件崩潰電壓約在 100V，因此在模擬高壓整合時將相鄰高壓元件陽極端偏壓在 80V，陰極端接地。在高低壓整合模擬中，低壓電路高電位偏壓在 5V，低電位接地。

將順向偏壓及反向偏壓分別討論，在順向及反向偏壓中再分高低壓整合及高壓整合，依第三章所提的步驟依序模擬各項參數對漏電流的影響，以期在不調變製程的情況下，盡可能地完整考慮能防制漏電流的變因。



4.1 順向偏壓

因為 LDMOS 為單載子元件，在導通的情況下，載子只流經閘極下方的通道。不論在高低壓整合或高壓整合，當 LDMOS 導通時不會產生漏電流，如圖 4.3 所示。

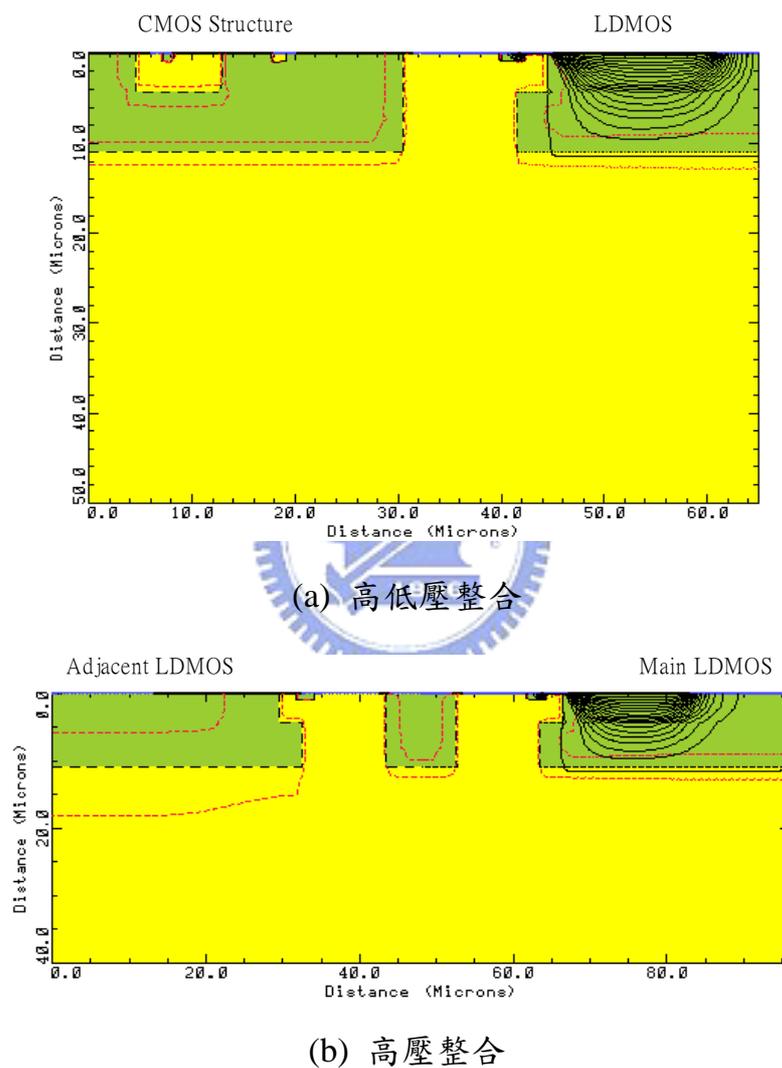


圖 4.3 LDMOS 導通時電流流密圖

LIGBT，SA-LIGBT 為雙載子元件，有少數載子從陽極經 P 型基板流向陰極，但低壓電路 P 阱與 P 型基板由於 N 型磊晶層的隔離，且空乏區沒有發生穿透現象(punch-through)，因此對低壓電路並不會有明顯的漏電流，如圖 4.4 所示。

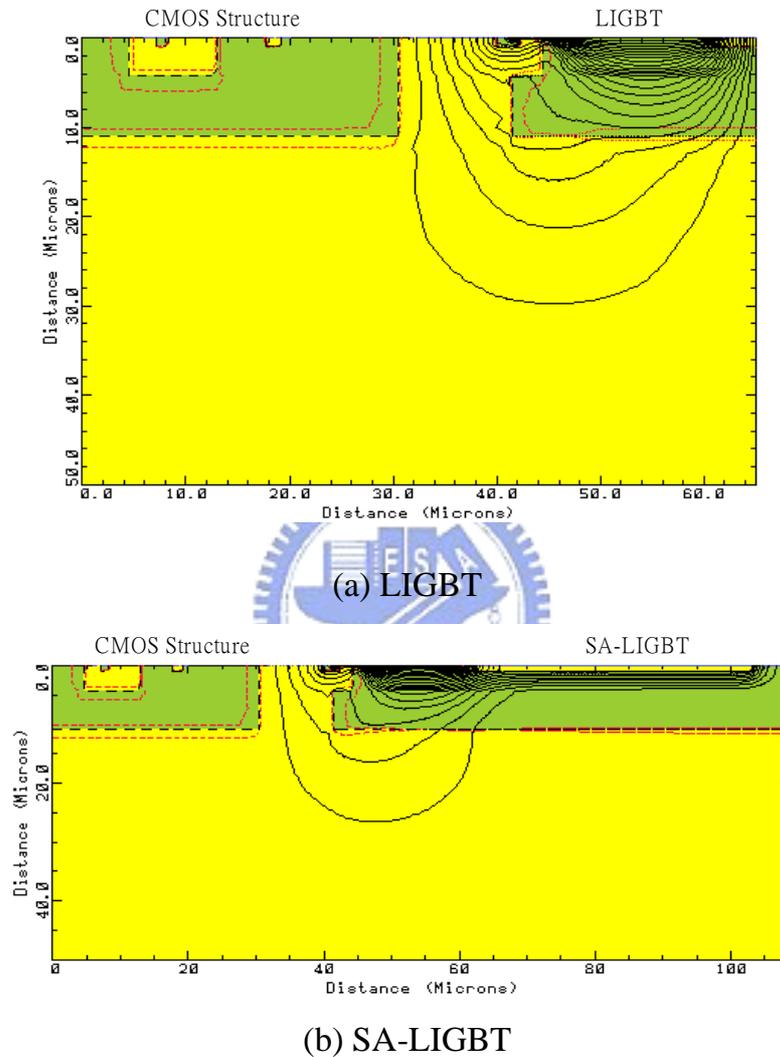


圖 4.4 高低壓整合，導通時電流流密圖

4.1.1 高壓整合

LIGBT，SA-LIGBT 為雙載子元件，其 P-sink 與 P 型基板相接，因此當高壓元件整合，其一高壓元件導通時，從該高壓元件陽極流出的電洞載子中部份會經由 P 型基板越至鄰近高壓元件的陰極端，如圖 4.5 所示。從圖 4.5 的等效電路圖可知當 LIGBT，SA-LIGBT 導通時，漏電流的主要成份為電洞。以下為各種隔離方法的分析與討論：

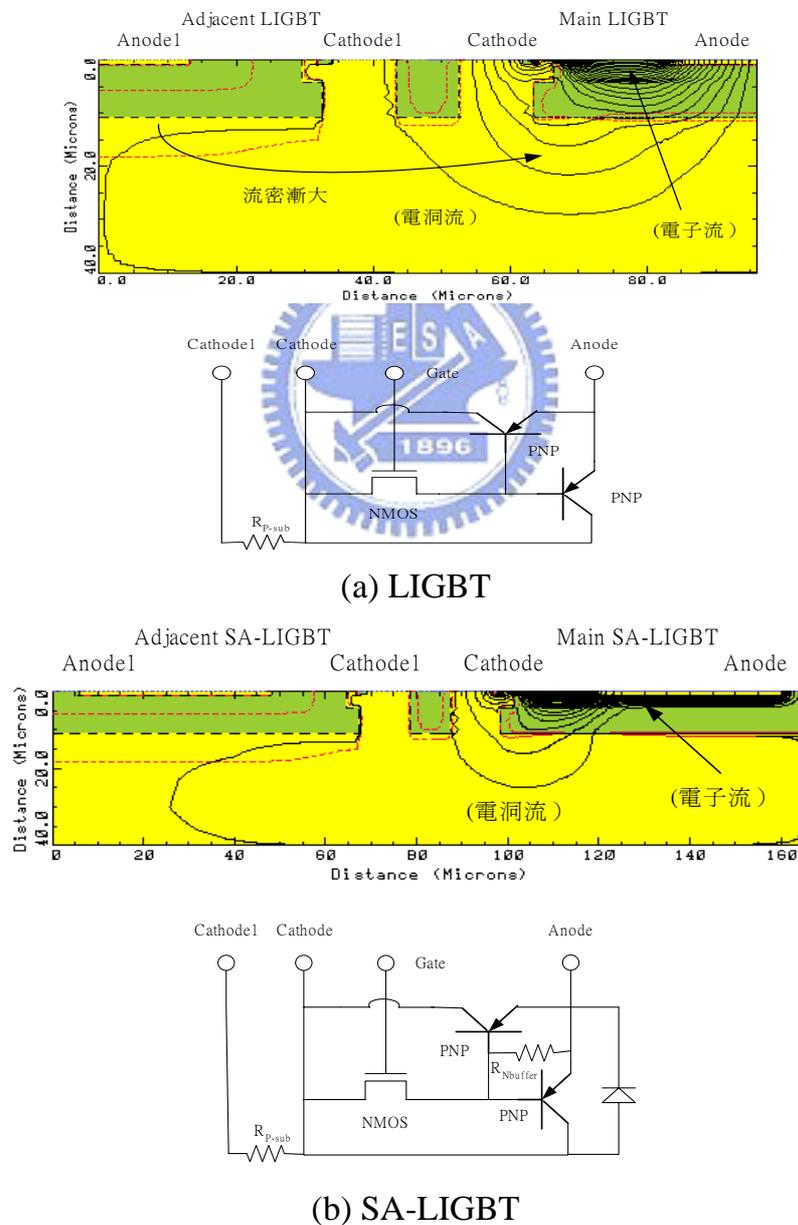
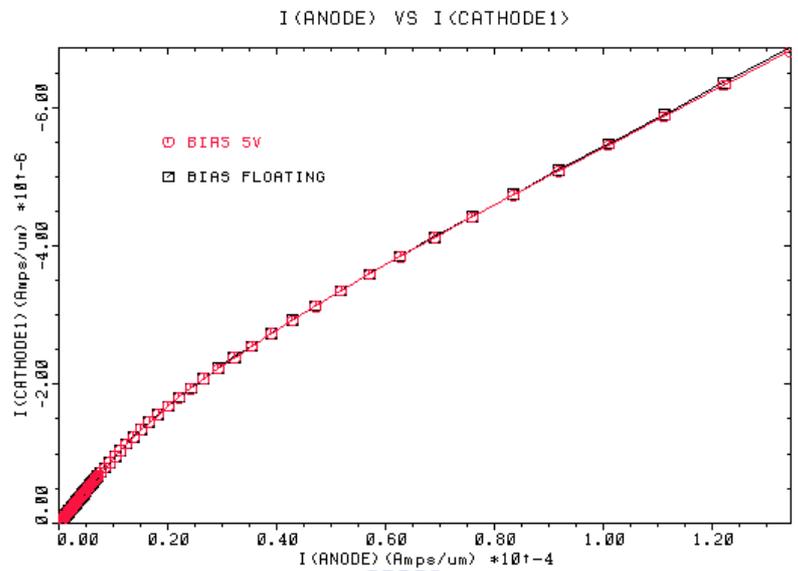
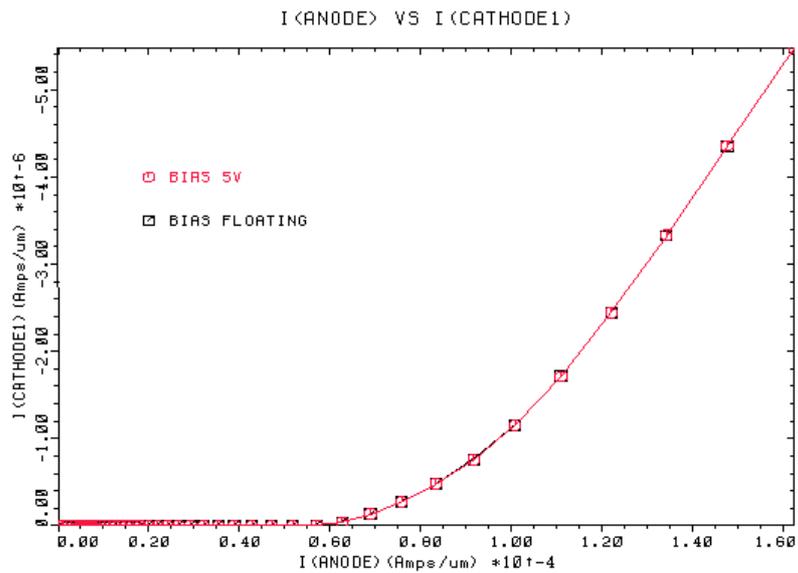


圖 4.5 高壓整合，導通時電流流密圖及等效電路圖

1. 改變元件間 N 型磊晶層的偏壓：在高壓整合中，可發現元件與元件間 N 型磊晶層偏壓在 5V 比浮接要略好一點，但漏電電流值的差異極微，如圖 4.6 所示，圖中縱軸 I(CATHODE1) 為相鄰高壓元件陰極端的電流流密，橫軸 I(ANODE) 為主要高壓元件陽極端的電流流密。當元件間 N 型磊晶層偏 5V 可使 P 型基板的空乏區較大，如圖 4.7，使圖(b)中 R_{p-sub} 略增，使漏電流減少。漏電電流值的差異微小是因元件間 N 型磊晶層偏壓對 P 型基板的阻值影響極微，所以對漏電流的影響差異很小。

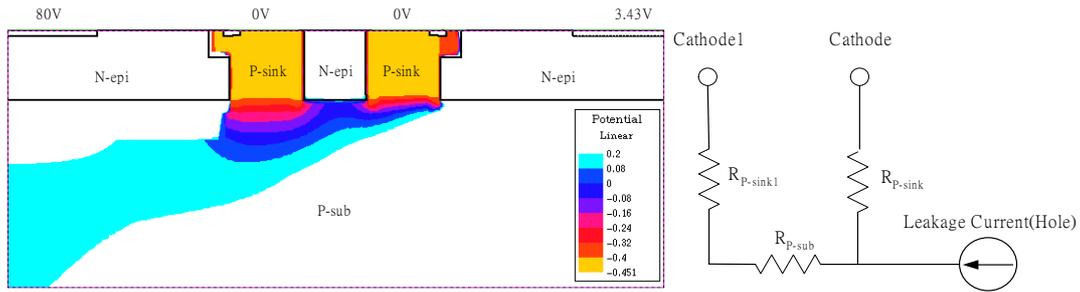


(a) LIGBT

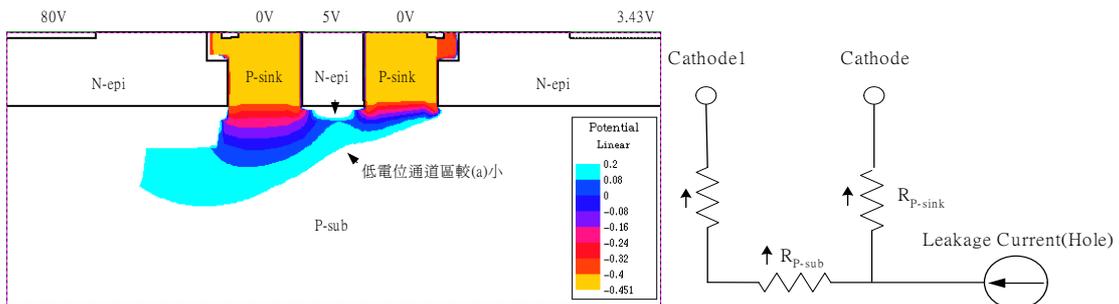


(b) SA-LIGBT

圖 4.6 高壓整合，元件間 N 型磊晶層不同偏壓比較



(a) 元件間 N 型磊晶層浮接

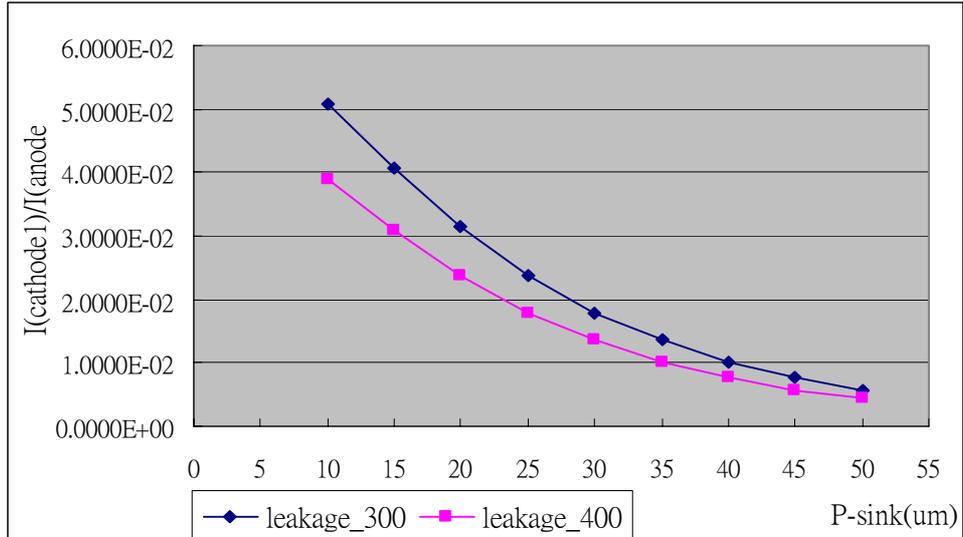


(b) 元件間 N 型磊晶層偏壓 5V

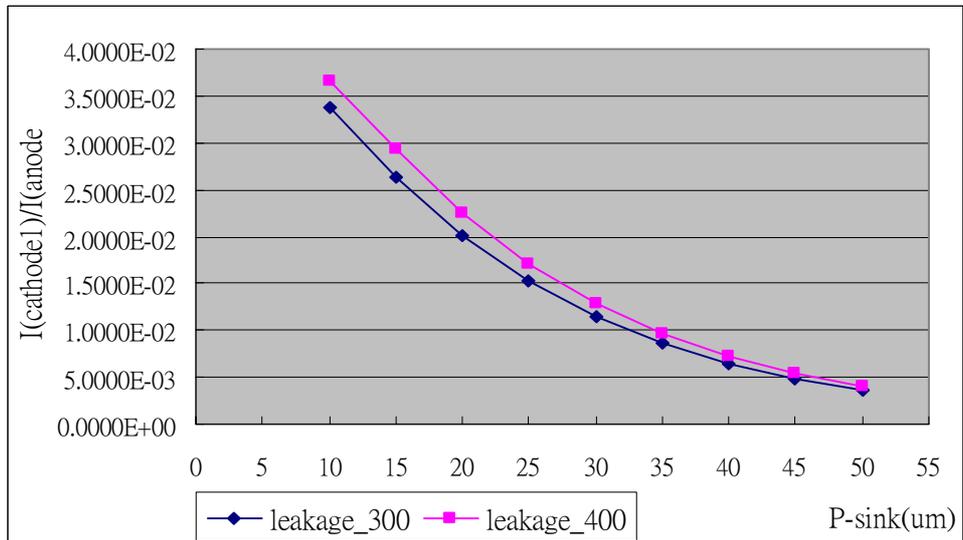
圖 4.7 LIGBT 高壓整合，元件間 N 型磊晶層不同偏壓電位圖及等效電路



2. 調變 P-sink 寬度及元件間距離：從圖 4.8 及圖 4.9 可知，當 P-sink 寬度及元件間距離增加時，可使漏電流減少。增加 P-sink 寬度減少漏電流的幅度較大，因為當 P-sink 寬度增加時，可以降低 P-sink 的阻值，吸收較多的電洞。圖中 leakage₃₀₀ 及 leakage₄₀₀ 分別表示溫度在 300K 及 400K 的 $I(\text{Cathode1})/I(\text{Anode})$ 。在不同溫度對 LIGBT，SA-LIGBT 的漏電流影響不同，主要是由於當溫度上升時，載子遷移率降低，使圖 4.7 中 R_{P-sub} 阻值增加，造成 LIGBT 的漏電流減少；溫度上升時，雖然 SA-LIGBT 的基板阻值亦會增加，但因溫度上升，陽極端的二極體較易導通，電流中電洞的成份大幅增加，造成漏電流增加。

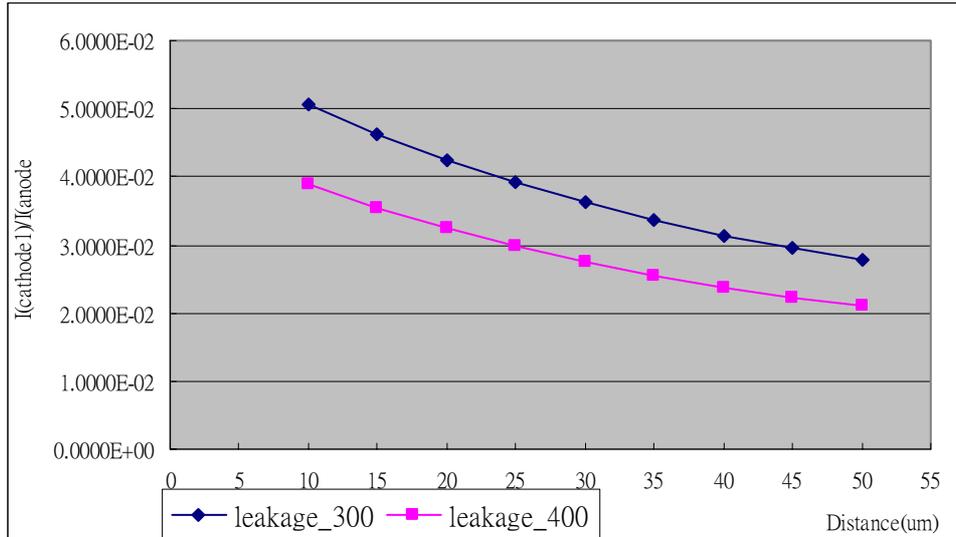


(a) LIGBT

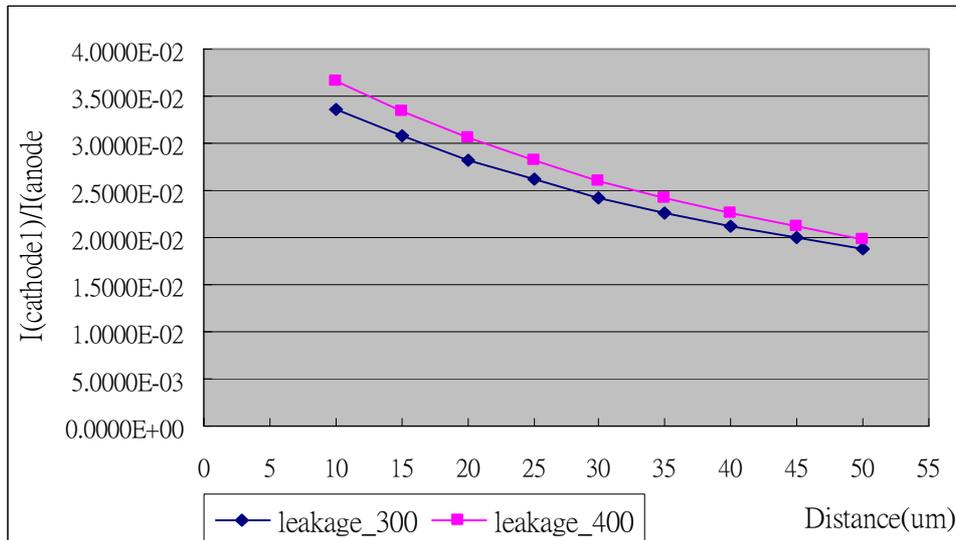


(b) SA-LIGBT

圖 4.8 高壓整合，P-sink 寬度與漏電流關係圖



(a) LIGBT

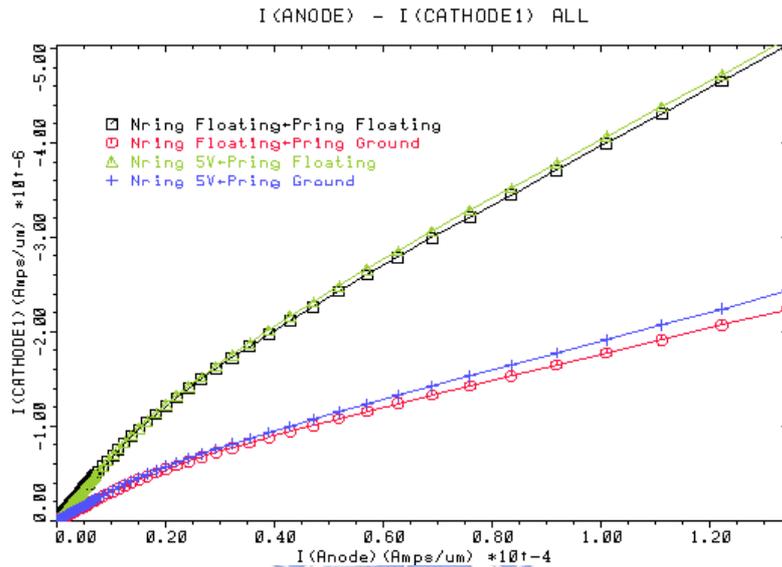


(b) SA-LIGBT

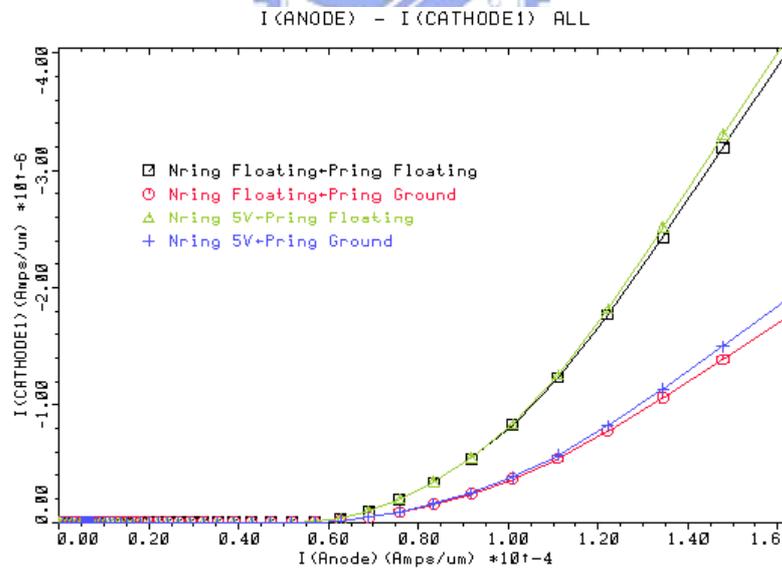
圖 4.9 高壓整合，元件間距離與漏電流關係圖

3. 改變 N 型保護環及 P 型保護環偏壓：隔離結構中 N 型保護環浮接，且 P 型保護環偏壓在接地端效果最佳，如圖 4.10 所示，圖中縱軸 $I(\text{Cathode1})$ 為相鄰高壓元件陰極端的電流流密，橫軸 $I(\text{Anode})$ 為主要高壓元件陽極端的電流流密。因為漏電流的主要成份為電洞，將 P 型保護環偏壓在接地端可以分流 P 型基板中的電洞，有效地減少流至相鄰高壓元件陰極端的電洞，如圖 4.11 所示。在圖 4.12 中，雖然 N 型保護環偏壓 5V 可使 P 型基

板的低電位通道退化，但由於其影響圖中的 R_{P-sub} 及 R_{P-sub1} 極微而影響 R_{Pring} 較大，使 P 型保護環吸收較少漏電流，則流至鄰近高壓元件陰極端的漏電流略增。由表 4.2 可知，高壓整合且順向偏壓下，P 型保護環的偏壓影響較大。

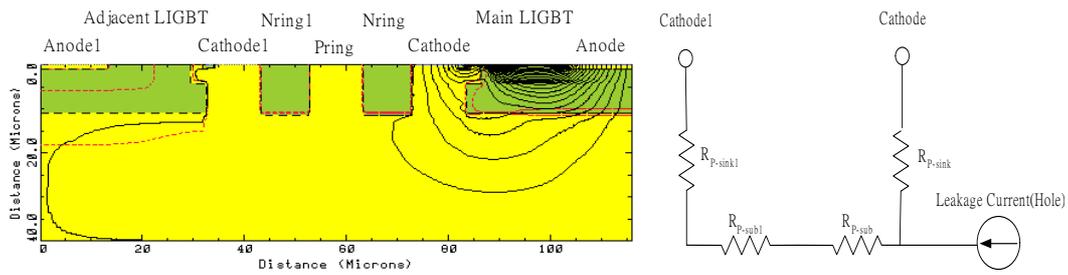


(a) LIGBT

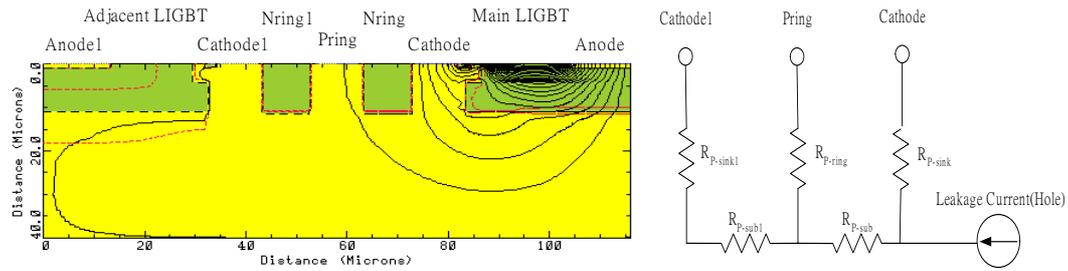


(b) SA-LIGBT

圖 4.10 高壓整合，隔離結構不同偏壓下，陽極電流與漏電流關係圖

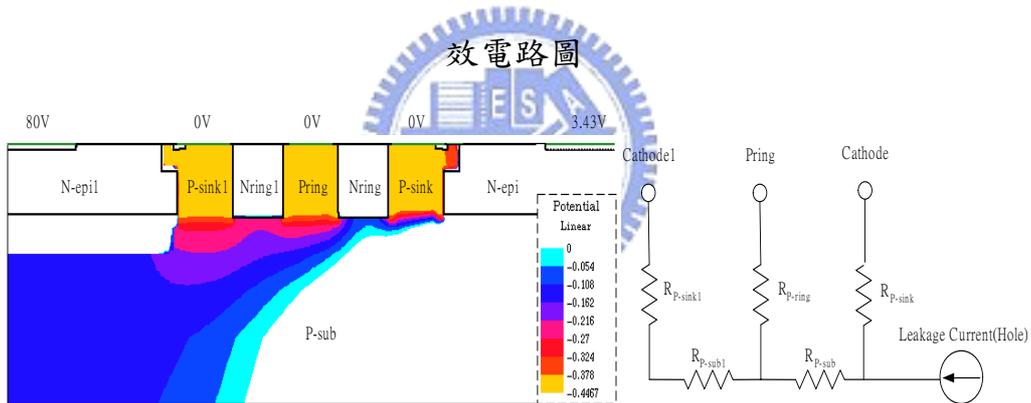


(a) N 型保護環浮接，P 型保護環浮接

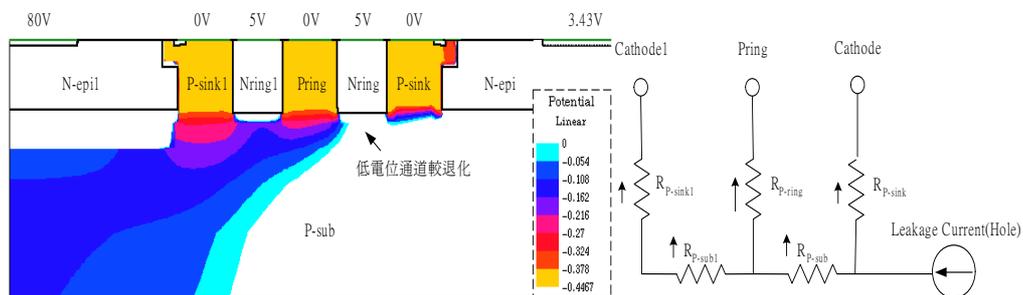


(b) N 型保護環浮接，P 型保護環接地

圖 4.11 高壓整合 LIGBT 含隔離結構，P 型保護環不同偏壓電流流密及等



(a) N 型保護環浮接，P 型保護環接地



(b) N 型保護環偏壓在 5V，P 型保護環接地

圖 4.12 高壓整合 LIGBT 含隔離結構，N 型保護環不同偏壓電位圖及等效電路圖

表 4.2 不同偏壓的漏電流比較

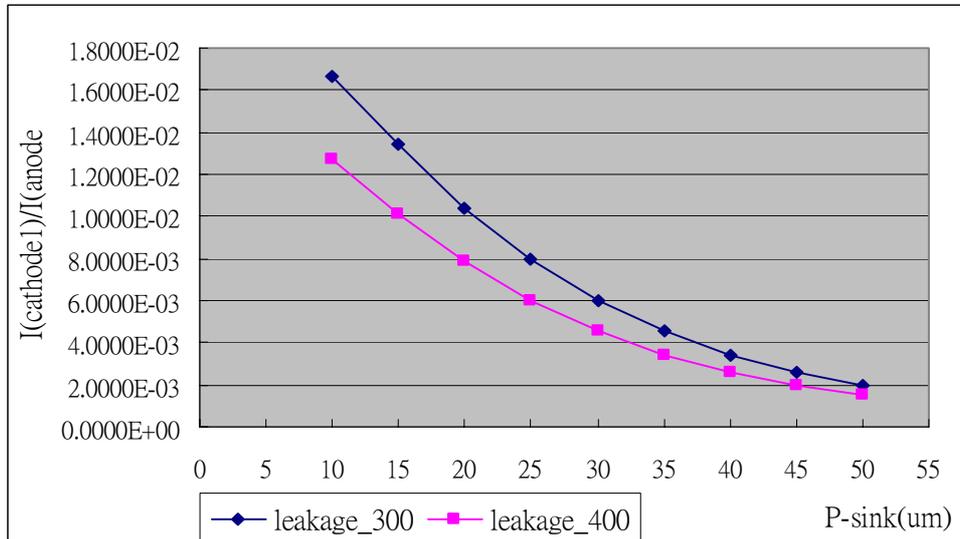
(a)LIGBT

N 型保護環	P 型保護環	I(Cathode1)/I(Anode)
浮接	浮接	3.7438E-02
浮接	接地	1.6695E-02
5V	浮接	3.7923E-02
5V	接地	1.8131E-02

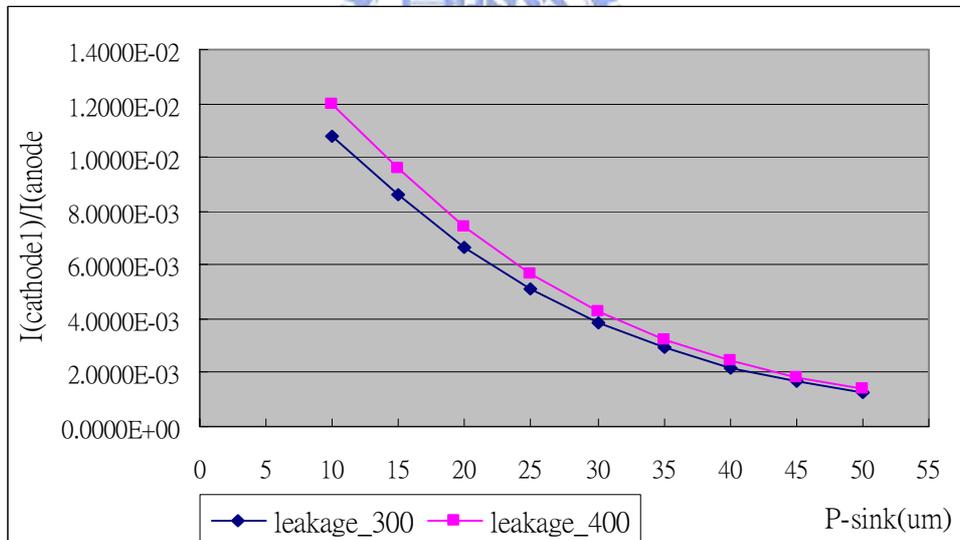
(b)SA-LIGBT

N 型保護環	P 型保護環	I(Cathode1)/I(Anode)
浮接	浮接	2.4852E-02
浮接	接地	1.0805E-02
5V	浮接	2.5626E-02
5V	接地	1.1740E-02

4. 調變 P-sink、N 型保護環及 P 型保護環寬度：從圖 4.13~圖 4.15 可知，不論增加 P-sink、N 型保護環或 P 型保護環均能大幅減少漏電流。P-sink 及 P 型保護環寬度增加可吸收較多基板中電洞載子，而 N 型保護環增加元件間距離，減少漏電流。圖中 leakage_300 及 leakage_400 分別表示溫度在 300K 及 400K 的 $I(\text{Cathode1})/I(\text{Anode})$ 。在相同面積下，使用隔離結構比沒有使用的隔離效果佳，其中又以增加 P 型保護環寬度所得到的效益最大，因為當 P 型保護環寬度增加時，圖 4.12 中 R_{Pring} 阻值下降， $R_{\text{P-sub1}}$ 阻值上升，有助於吸收 P 型基板中電洞，減少漏電流。其餘依序分別為 N 型保護環寬度，P-sink 寬度(含隔離結構)，P-sink 寬度，元件間距離，如圖 4.16 所示，圖中縱軸 $I(\text{Cathode1})$ 為相鄰高壓元件陰極端的電流流密，橫軸 $I(\text{Anode})$ 為主要高壓元件陽極端的電流流密。

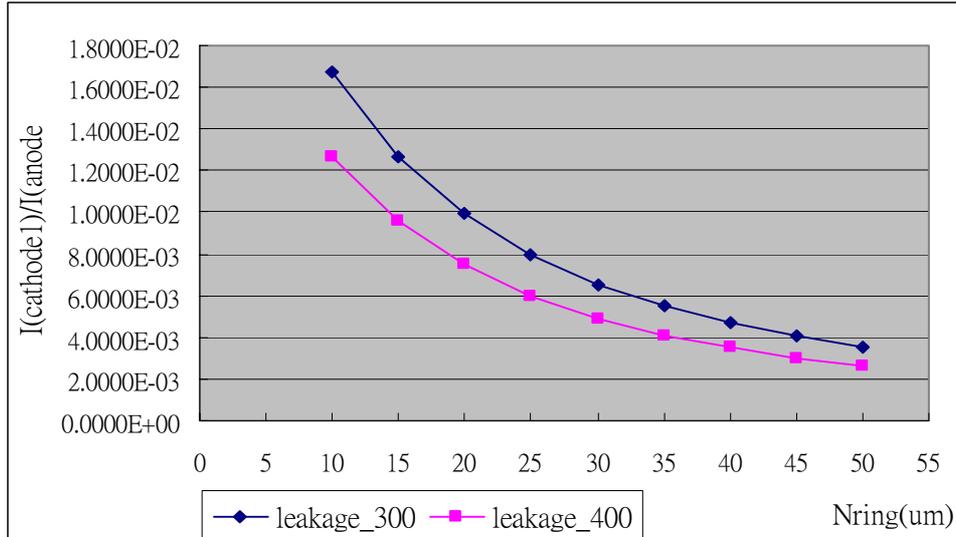


(a) LIGBT

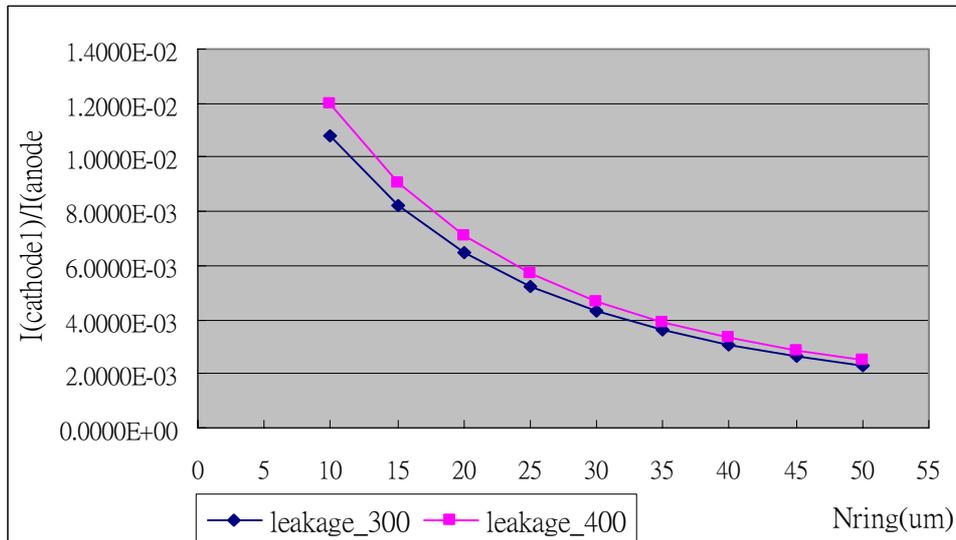


(b) SA- LIGBT

圖 4.13 高壓整合含隔離結構，P-sink 寬度與漏電流關係圖

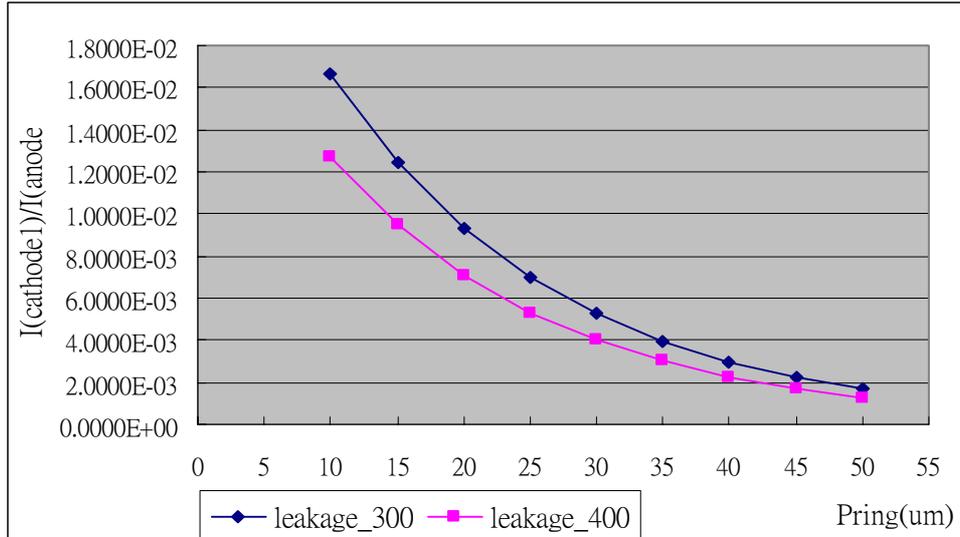


(a) LIGBT

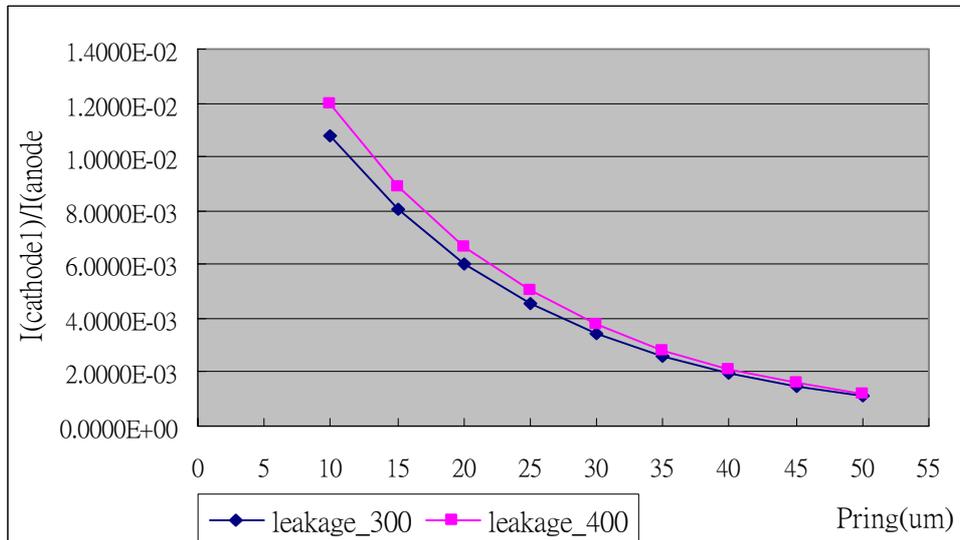


(b) SA-LIGBT

圖 4.14 高壓整合含隔離結構，N 型保護環寬度與漏電流關係圖

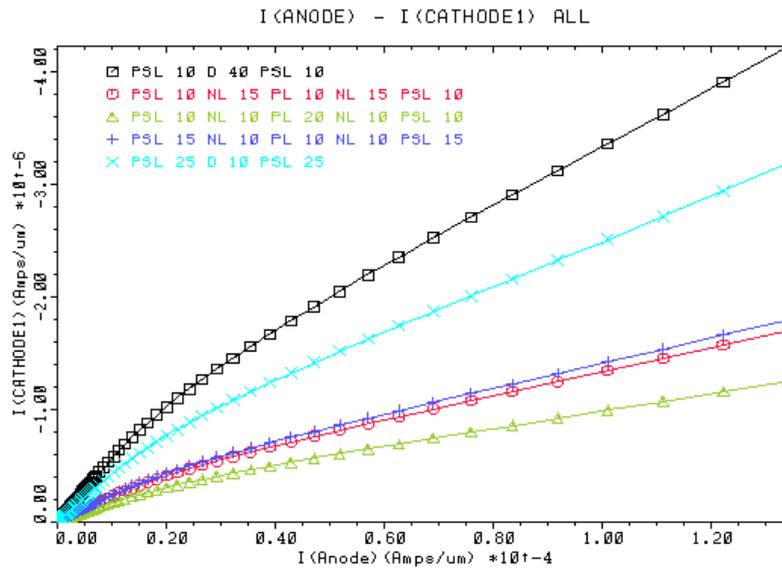


(a) LIGBT

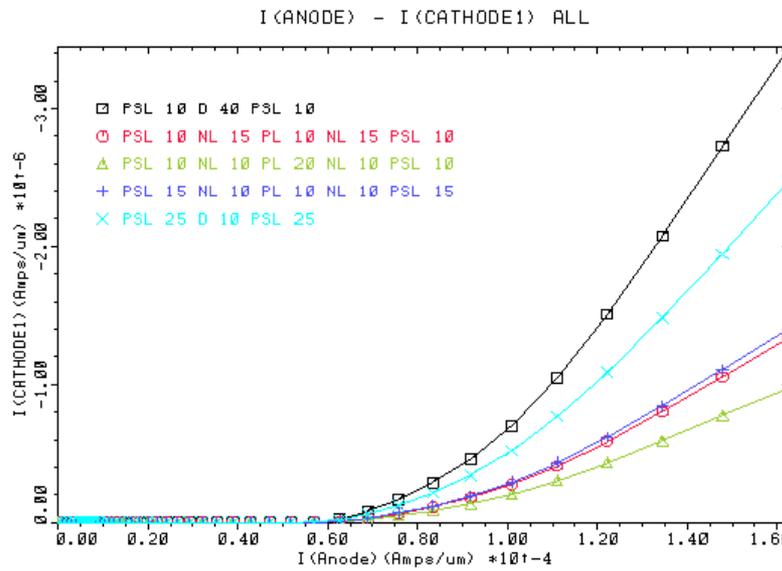


(b) SA-LIGBT

圖 4.15 高壓整合含隔離結構，P 型保護環寬度與漏電流關係圖



(a) LIGBT



(b) SA-LIGBT

圖 4.16 相同面積下，高壓整合，不同佈局參數隔離效果比較

註：PSL 表 P-sink 寬度，D 表元件間距離，NL 表 N 型保護環寬度，PL 表 P 型保護環寬度

4.2 反向偏壓

當負載具電感性，開關切換時會造成陽極偏壓低於陰極端(接地端)，但 IGBT 的陽極端為 P+，如圖 4.17 所示，形成反向偏壓的 PN 接面，因此本體二極體不會導通。但反向偏壓的跨壓降在 N 型緩衝區與 P+陽極接面，此接面的耐壓不高，若反向偏壓過大使接面電場過大，造成 PN 接面崩潰，導致元件損毀，如圖 4.18 所示。

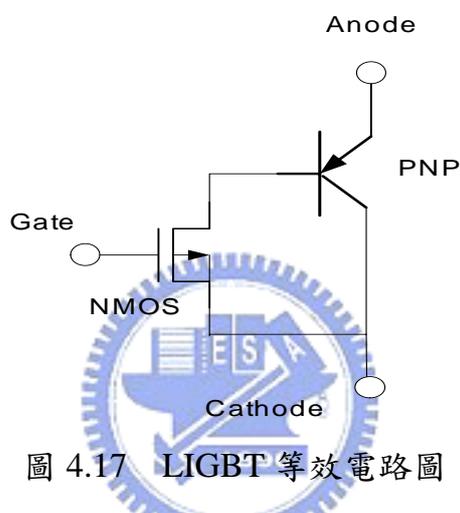


圖 4.17 IGBT 等效電路圖

V(GATE)	=	0.00000000E+00	Volts
V(CATHODE)	=	0.00000000E+00	Volts
V(ANODE)	=	-1.30000000E+01	Volts

Electrode Name	Electron Ionization	Peak Field (V/cm)	X Location (microns)	Y Location (microns)
ANODE	0.3353	2.8089E+05	39.63	5.1632E-02
Floating	1.051	5.5327E+05	39.95	0.7542

Electrode Name	Hole Ionization	Peak Field (V/cm)	X Location (microns)	Y Location (microns)
ANODE	5.7110E-02	2.8089E+05	39.63	5.1632E-02
Floating	1.112	5.5327E+05	39.95	0.7542

圖 4.18 IGBT 陽極 PN 接面電場

4.2.1 高低壓整合

在 LDMOS, SA-LIGBT 的結構中由於陽極與 N+ 相接，如圖 4.19 所示，因此當陽極電壓低於陰極電壓時，會造成本體二極體導通，並與低壓電路的高電位端形成寄生的 NPN 電晶體，使電子載子經由基板流至低壓電路高電位端，如圖 4.20 所示。漏電流成份以電子為主。以下為各種隔離方法的分析與討論：

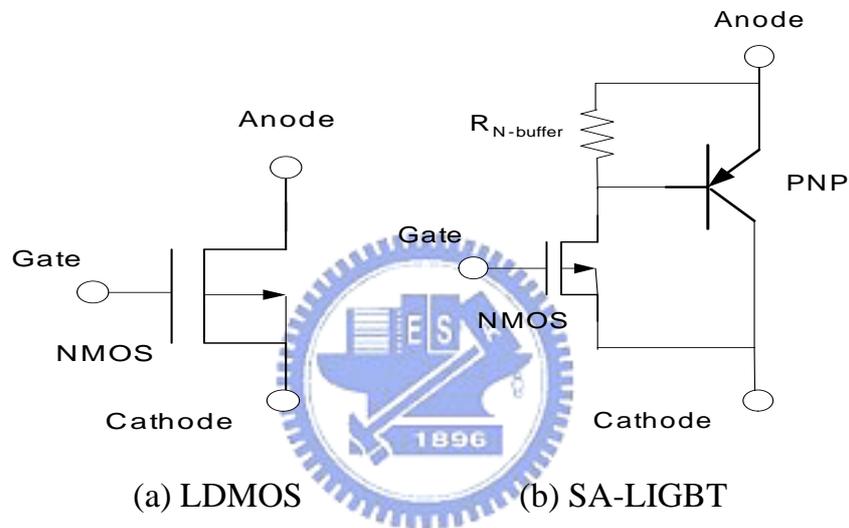


圖 4.19 等效電路圖

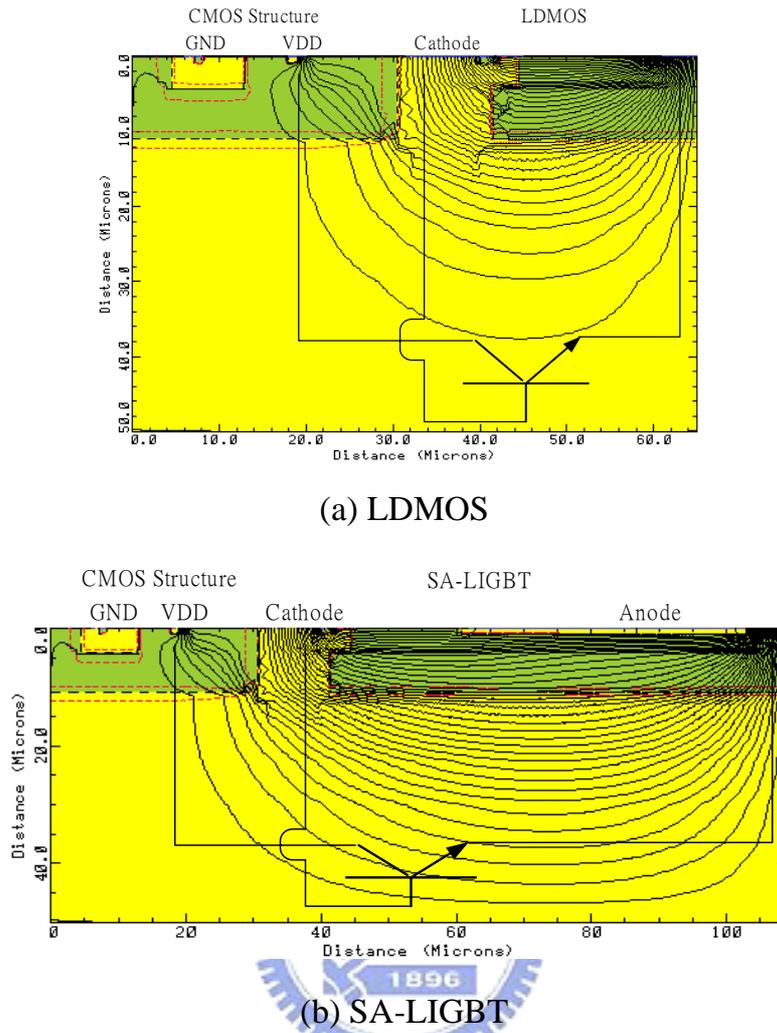
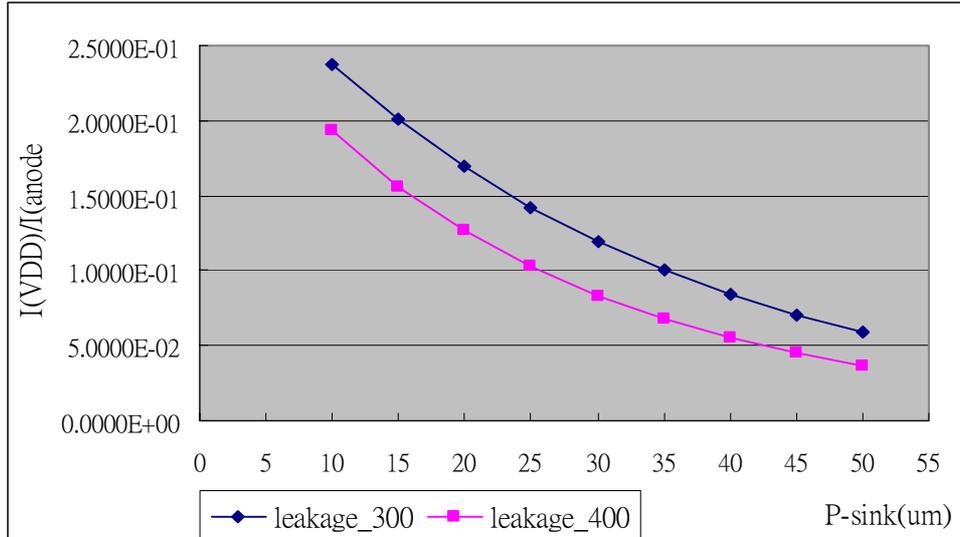
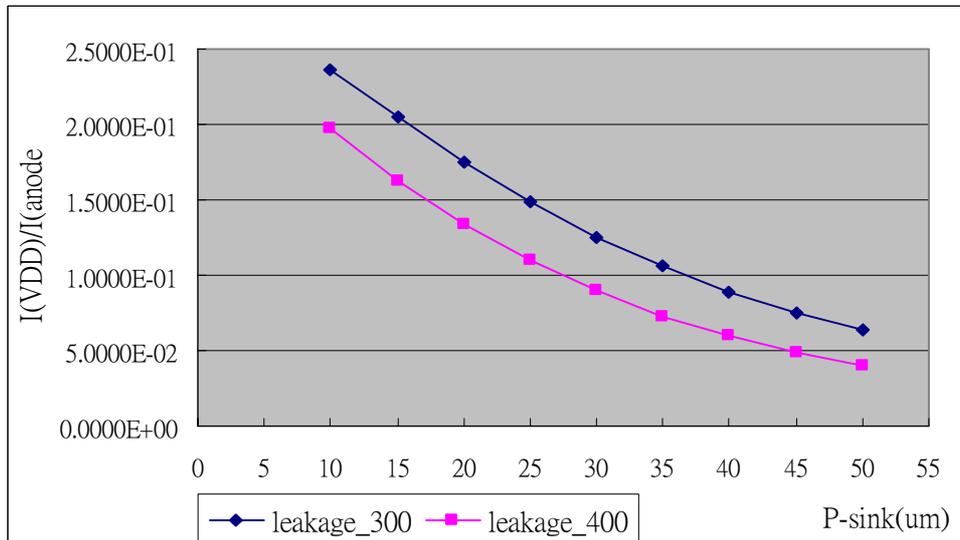


圖 4.20 高低壓整合，高壓元件反向偏壓下電流流密圖

1. 調變 P-sink 寬度及高低壓元件間距離：由圖 4.21 中可發現當 P-sink 寬度越長，漏電流越小。P-sink 寬度可視為寄生電晶體基極的寬度，當基極寬度越寬，越多流經基板的電子復合，這兩項將造成圖 4.20 的寄生電晶體的 α 值下降，因而漏電流減小。由圖 4.22 中可發現改變高低壓元件間距離對於漏電流的影響並不大。圖中 leakage_300 及 leakage_400 分別表示溫度在 300K 及 400K 的 $I(VDD)/I(\text{Anode})$ 。溫度上升使載子遷移率下降，使漏電流減少。

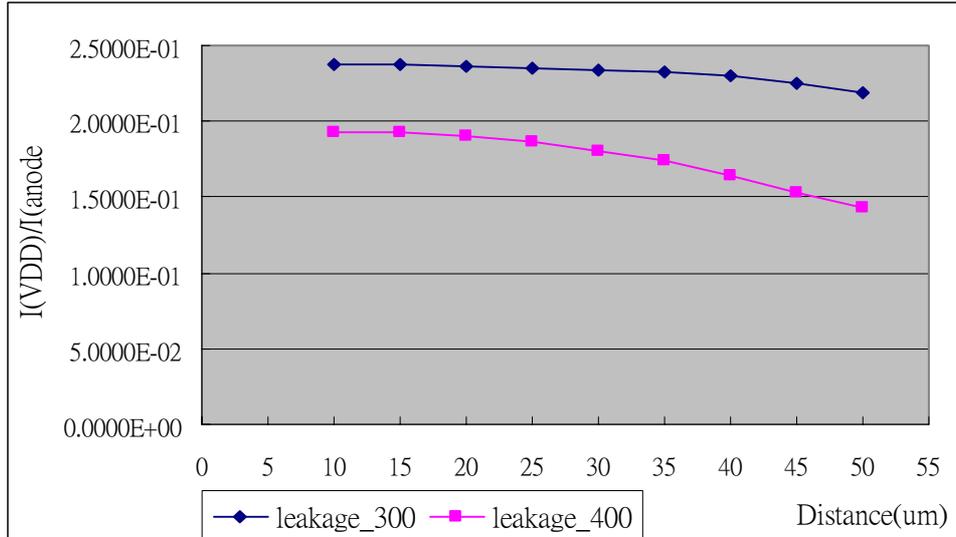


(a) LDMOS

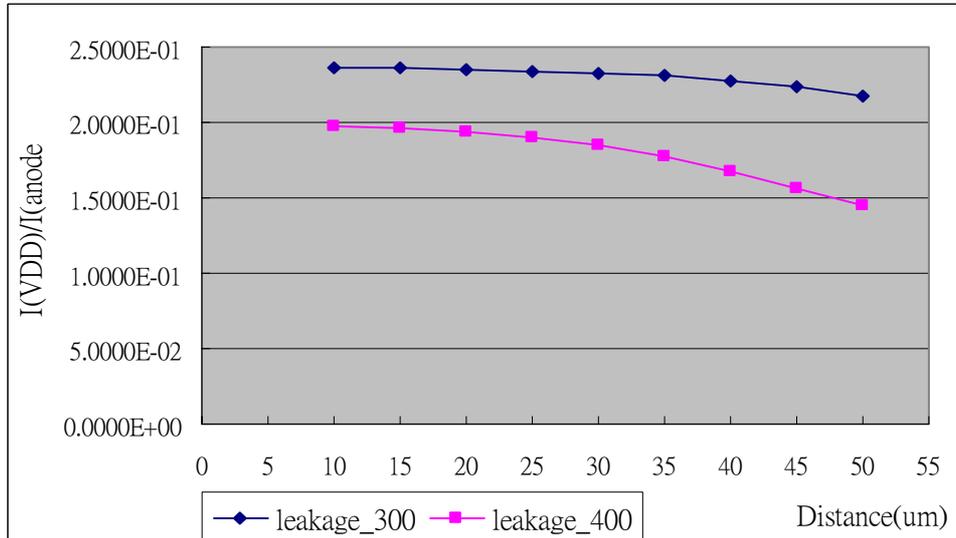


(b) SA-LIGBT

圖 4.21 高低壓整合，P-sink 寬度與漏電流關係圖



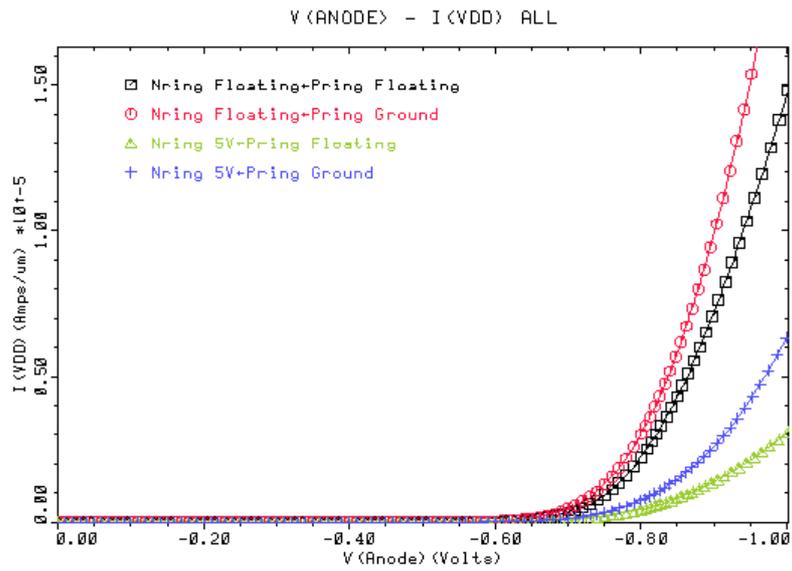
(a) LDMOS



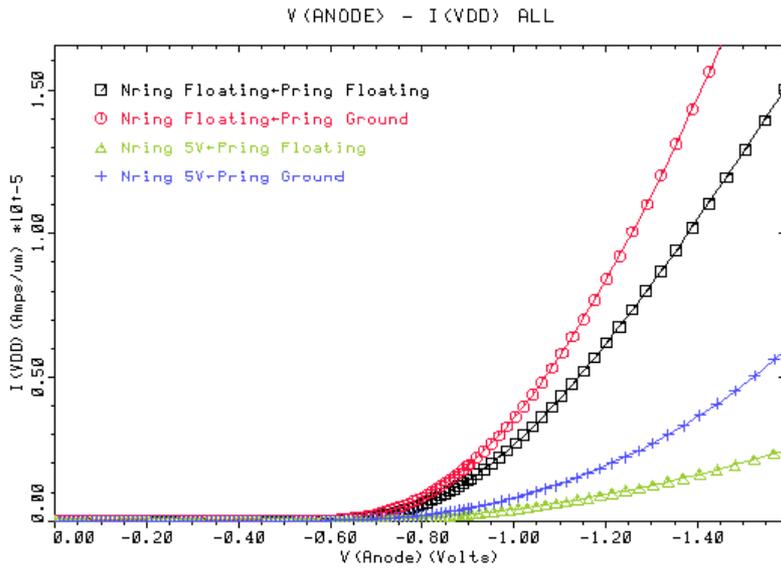
(b) SA-LIGBT

圖 4.22 高低壓整合，高低壓元件距離與漏電流關係圖

2. 改變 N 型保護環及 P 型保護環偏壓：當 N 型保護環偏壓在 5V，P 型保護環不外加任何偏壓的情況下，可以擁有較佳的隔離效果，如圖 4.23 所示，圖中縱軸 $I(VDD)$ 為低壓電路高電位端的電流流密，橫軸 $V(\text{Anode})$ 為高壓元件陽極端的反向偏壓。從表 4.3 中可知，在高低壓整合，高壓元件陽極反偏的情況下，N 型保護環的偏壓影響較大。



(a) LDMOS



(b) SA-LIGBT

圖 4.23 高低壓整合，隔離結構在不同偏壓下陽極偏壓與漏電流關係圖

表 4.3 不同偏壓的漏電流比較

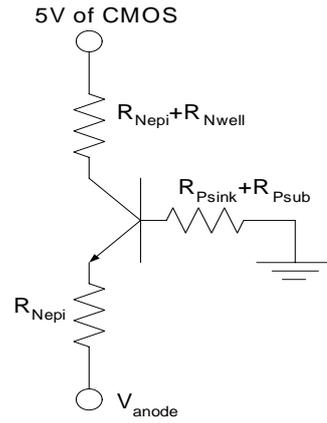
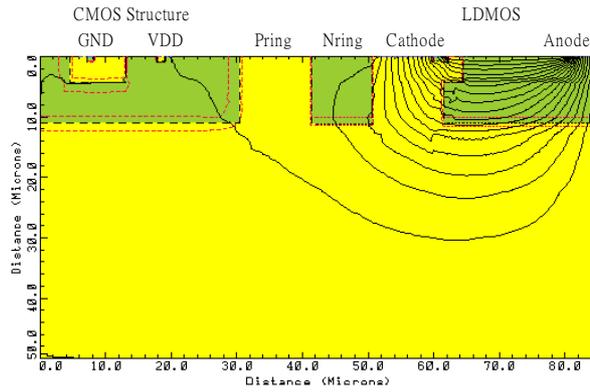
(a)LDMOS

N 型保護環	P 型保護環	I(VDD)/I(Anode)
浮接	浮接	7.2753E-02
浮接	接地	1.0386E-01
5V	浮接	1.5238E-02
5V	接地	3.1125E-02

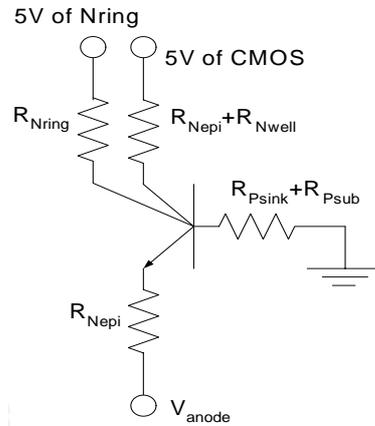
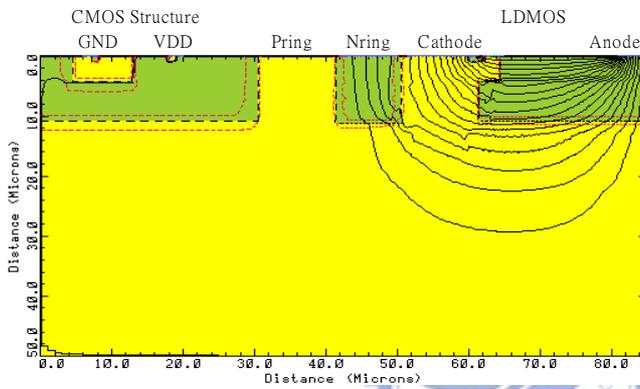
(b)SA-LIGBT

N 型保護環	P 型保護環	I(VDD)/I(Anode)
浮接	浮接	7.3978E-02
浮接	接地	1.0844E-01
5V	浮接	1.2569E-02
5V	接地	3.0832E-02

當 N 型保護環偏壓在 5V 時，它的操作行為如圖 4.24 所示的寄生 BJT 的另一個集極，可大量吸收本體二極體導通(也是寄生 BJT 的 B-E 兩極)時所產生的電子漏電流，其隔離效果顯著。從圖 4.25 中可知，當 P 型保護環接地時，會使寄生 BJT 的 P 型基極的電位較浮接時高，造成更多的電子向低壓電路移動，而使漏電流變多。

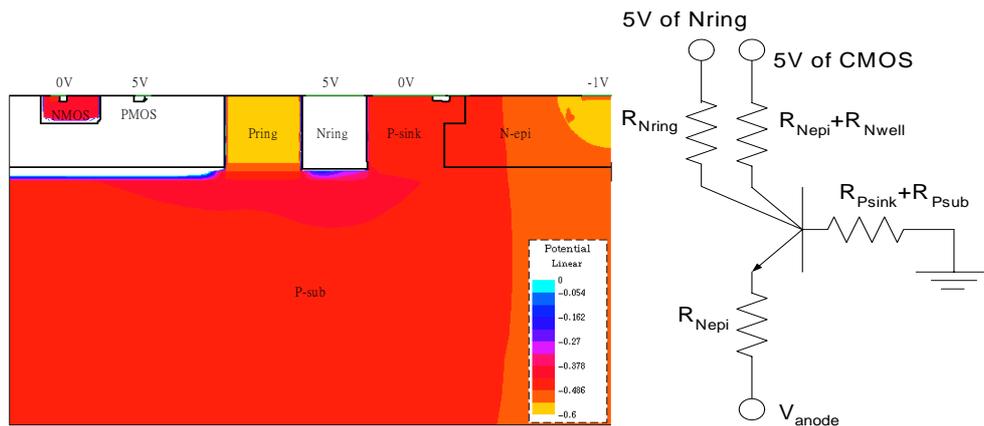


(a) N 型保護環浮接，P 型保護環浮接

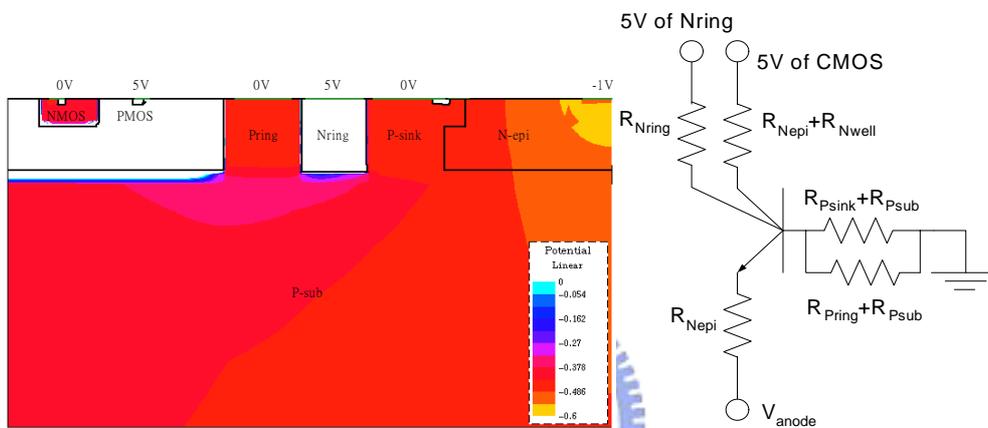


(b) N 型保護環偏壓 5V，P 型保護環浮接

圖 4.24 LDMOS 高低壓整合含隔離結構，N 型保護環不同偏壓電流流密圖及寄生等效電路圖



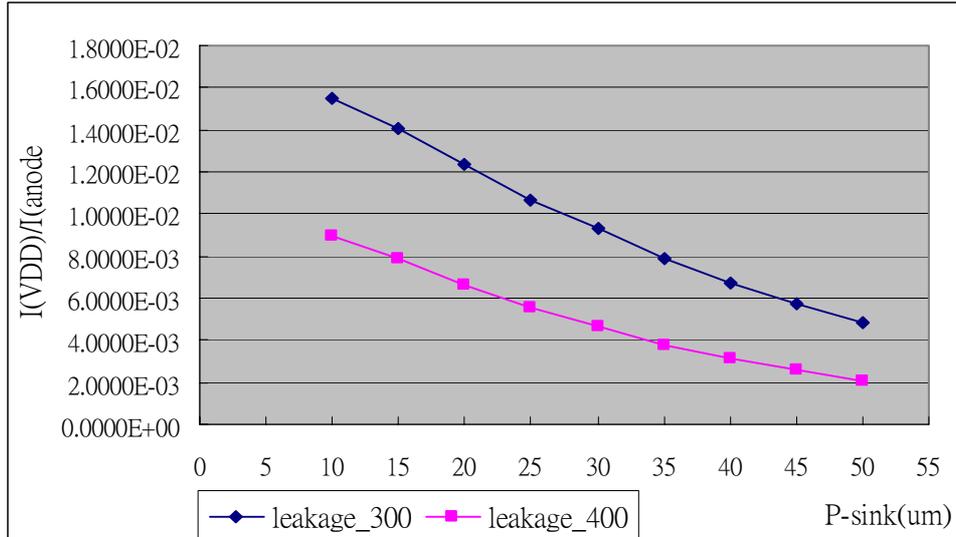
(a) N 型保護環偏壓 5V，P 型保護環偏壓浮接



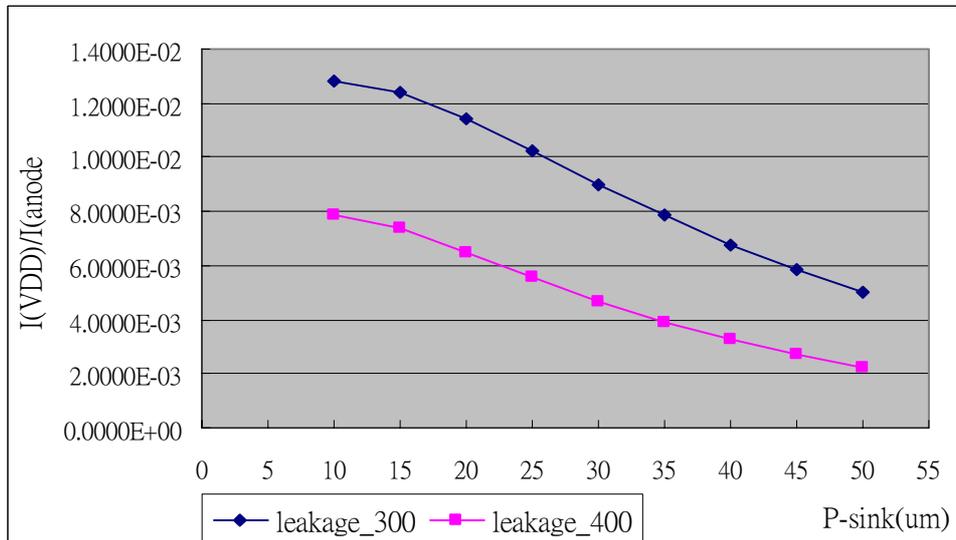
(b) N 型保護環偏壓 5V，P 型保護環偏壓接地

圖 4.25 LDMOS 高低壓整合含隔離結構，P 型保護環不同偏壓電位圖及寄生等效電路圖

3. 調變 P-sink、N 型保護環及 P 型保護環寬度：如圖 4.26~圖 4.28 所示，隨著 P-sink 及 P 型保護環寬度增加，寄生電晶體基極寬度增加，寄生電晶體的 α 值下降，使漏電流減少。N 型保護環寬度增加，吸收的漏電流增加，使流至低壓電路高電位端的漏電流減小。圖中 leakage_300 及 leakage_400 分別表示溫度在 300K 及 400K 的 $I(VDD)/I(\text{Anode})$ 。在相同的面積下，增加 N 型保護環的寬度較能使漏電流減少，其餘依序分別為 P 型保護環寬度，P-sink 寬度(含隔離結構)，P-sink 寬度，高低壓元件間距離，如圖 4.29 所示，圖中縱軸 $I(VDD)$ 為低壓電路高電位端的電流流密，橫軸 $V(\text{Anode})$ 為高壓元件陽極端的反向偏壓。

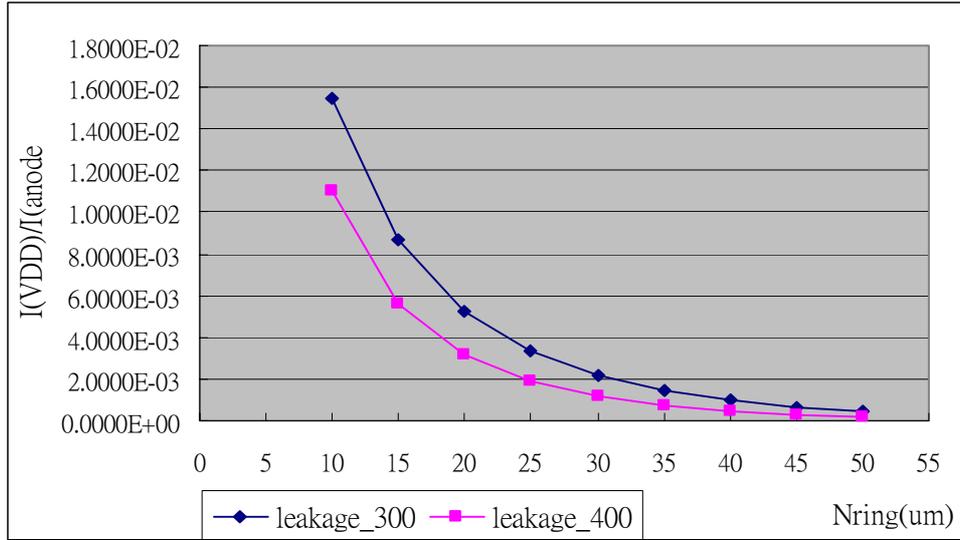


(a) LDMOS

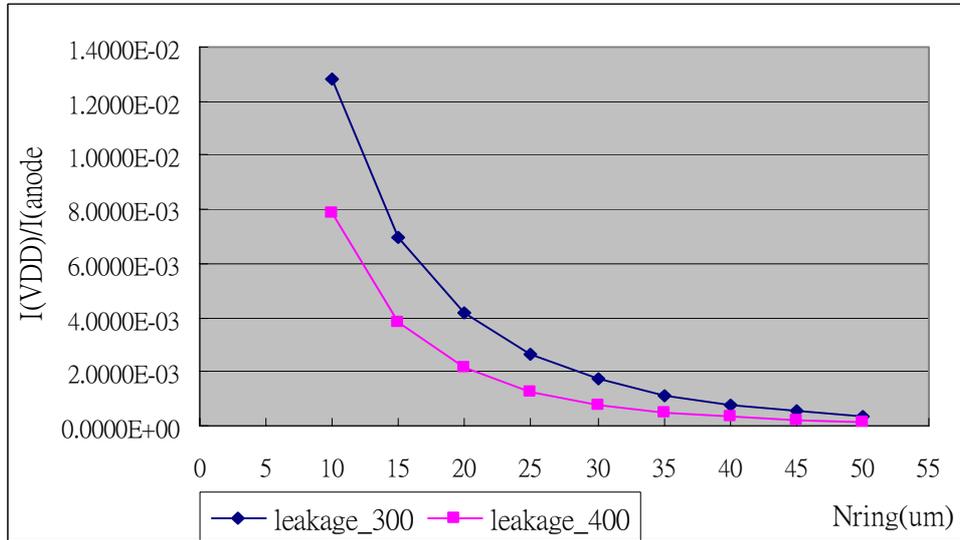


(b) SA-LIGBT

圖 4.26 高低壓整合含隔離結構，P-sink 寬度與漏電流關係圖

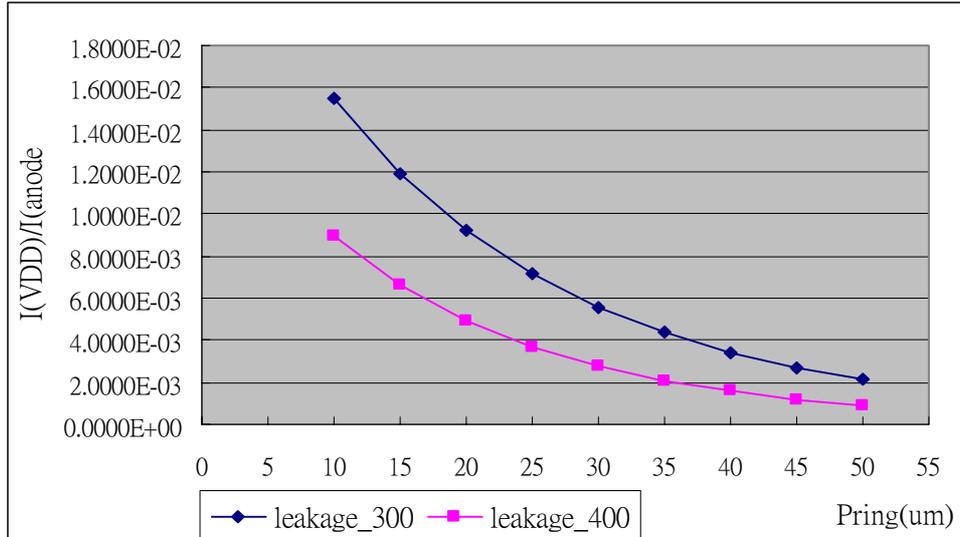


(a) LDMOS

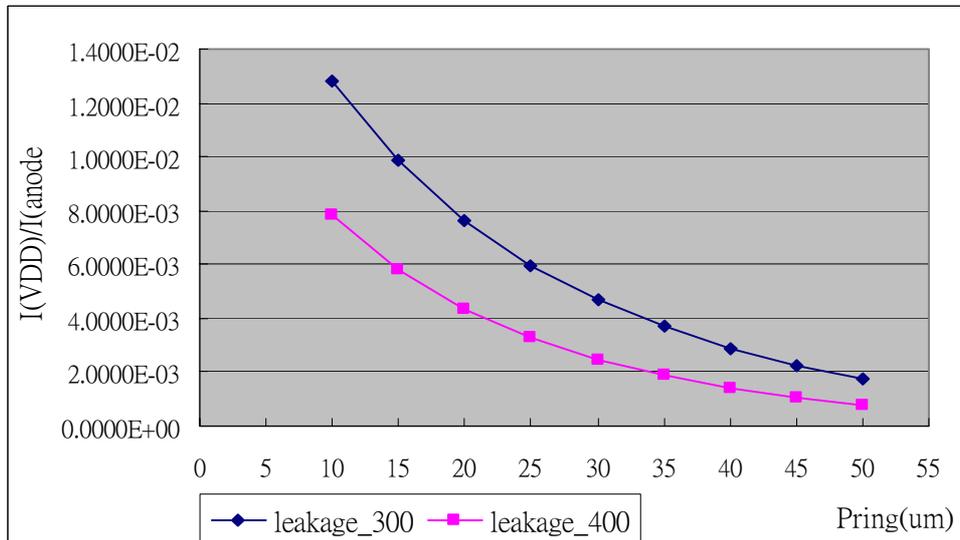


(b) SA-LIGBT

圖 4.27 高低壓整合含隔離結構，N 型保護環寬度與漏電流關係圖

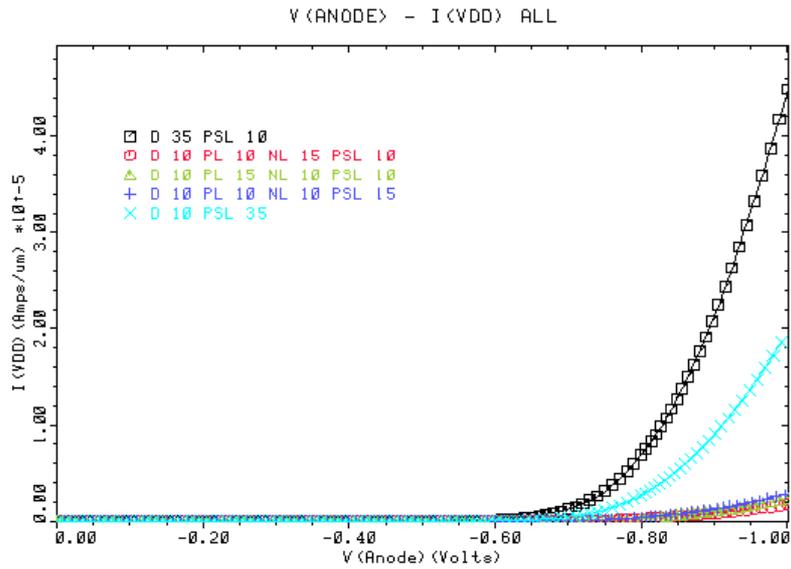


(a) LDMOS

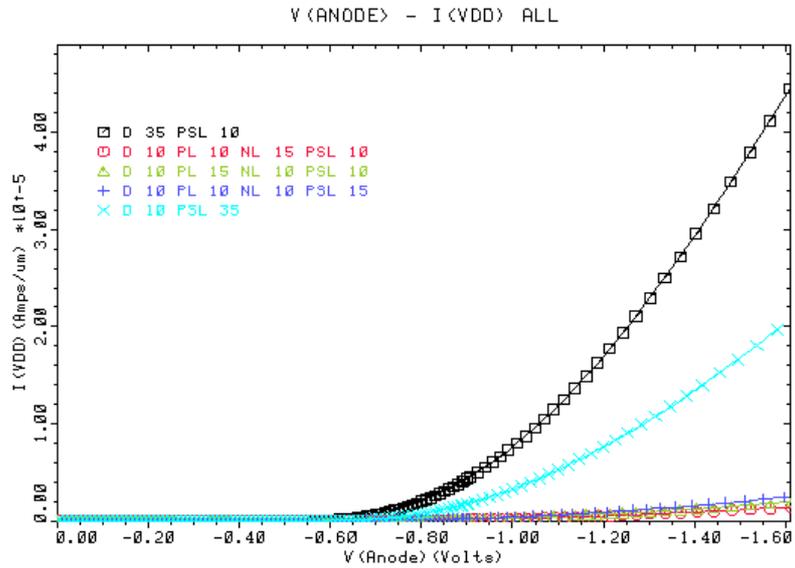


(b) SA-LIGBT

圖 4.28 高低壓整合含隔離結構，P 型保護環寬度與漏電流關係圖



(a) LDMOS



(b) SA-LIGBT

圖 4.29 相同面積下，高低壓整合，不同佈局參數隔離效果比較

註：PSL 表 P-sink 寬度，D 表元件間距離，NL 表 N 型保護環寬度，PL 表 P 型保護環寬度

4. 比較一組及兩組隔離結構：由於在反向偏壓下，隔離結構中 N 型保護環偏壓在 5V 有較佳的隔離效果。我們依表 4.4 改變 P 型保護環的偏壓，比較在何種組合的偏壓可以得到較好的隔離效果，其中第一組 N 型及 P 型保護環為靠近高壓元件的隔離結構，而第二組 N 型及 P 型保護環為靠近低壓電路的隔離結構。

表 4.4 兩組隔離結構的不同偏壓組合

	第二組 P 型 保護環	第二組 N 型 保護環	第一組 P 型保護環	第一組 N 型 保護環
第一種	浮接	5V	浮接	5V
第二種	浮接	5V	接地	5V
第三種	接地	5V	浮接	5V
第四種	接地	5V	接地	5V

在不同的偏壓組合中，以第一種偏壓，N 型保護環偏壓在 5V，P 型保護環浮接，可以得到較佳的隔離效果，第二種偏壓次之，如圖 4.30 所示，圖中縱軸 $I(VDD)$ 為低壓電路高電位端的電流流密，橫軸 $V(\text{Anode})$ 為高壓元件陽極端的反向偏壓。

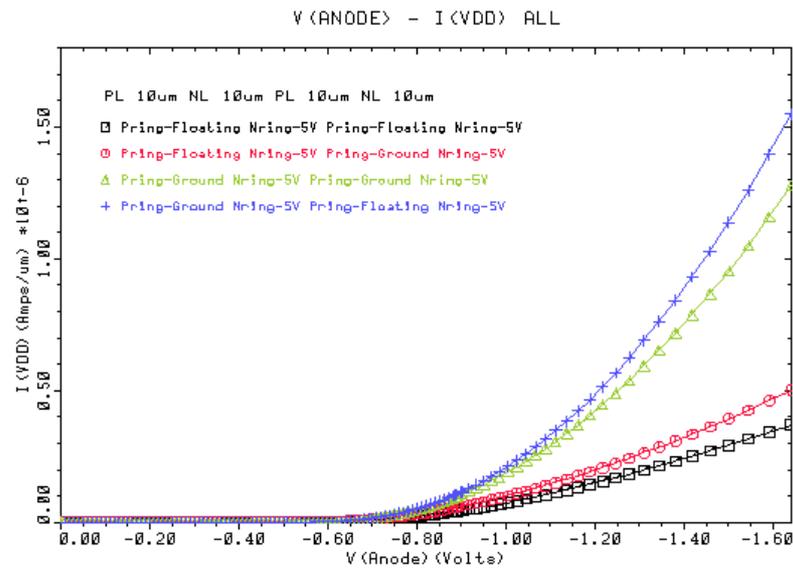
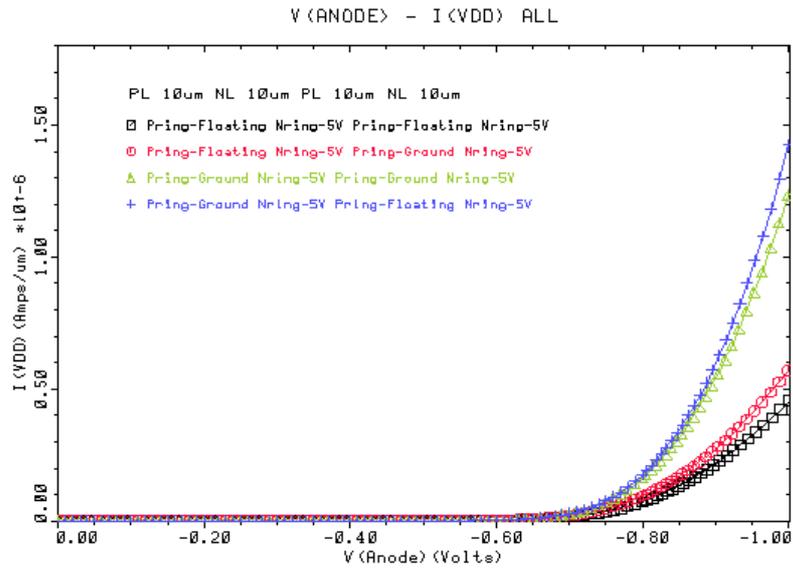
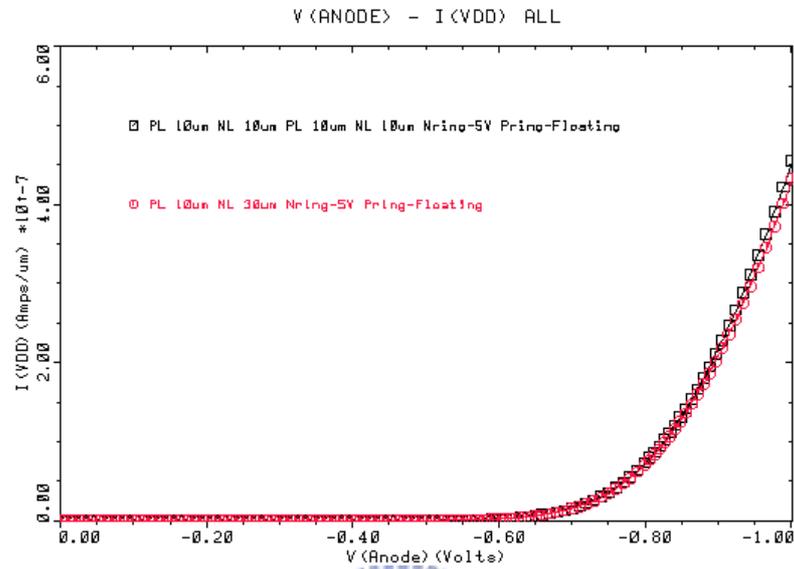
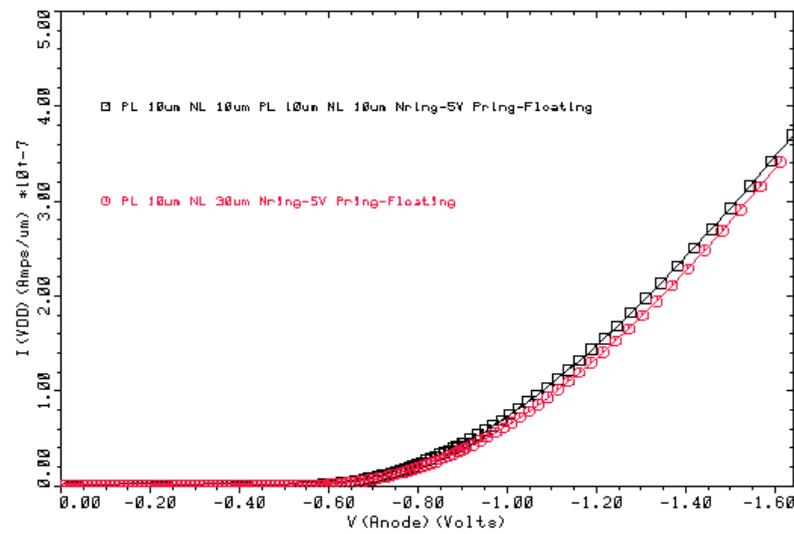


圖 4.30 高低壓整合，兩組隔離結構不同偏壓組合比較

在相同面積下，使用單組隔離結構與雙組效果差不多，但單組隔離結構的隔離效果略好一點，如圖 4.31 所示，圖中縱軸 $I(VDD)$ 為低壓電路高電位端的電流流密，橫軸 $I(Anode)$ 為高壓元件陽極端的反向偏壓。



(a) LDMOS



(b) SA-LIGBT

圖 4.31 單組隔離結構與雙組隔離結構的比較

4.2.2 高壓整合

當 LDMOS，SA-LIGBT 的陽極電壓低於陰極電壓時，會造成本體二極體導通，並與相鄰高壓元件的陽極端形成寄生 NPN 電晶體，使電子載子經由基板流至鄰近高壓元件的陽極端，如圖 4.32 所示。隔離方法的分析及討論如下：

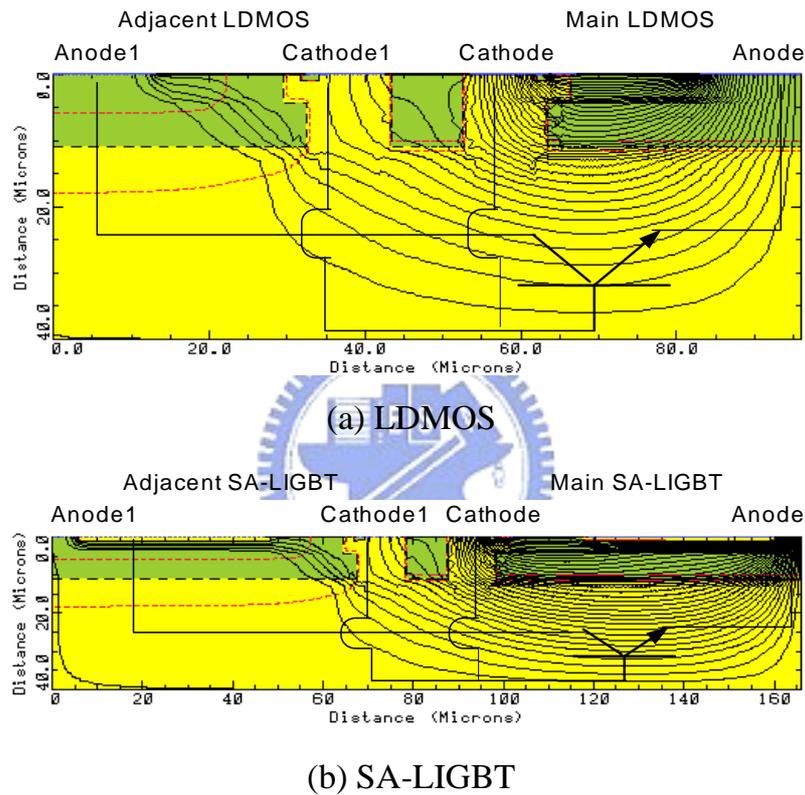
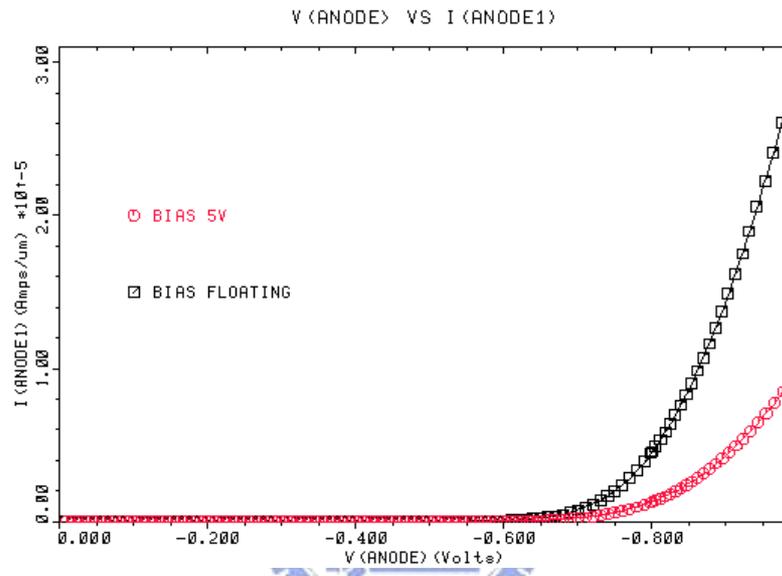
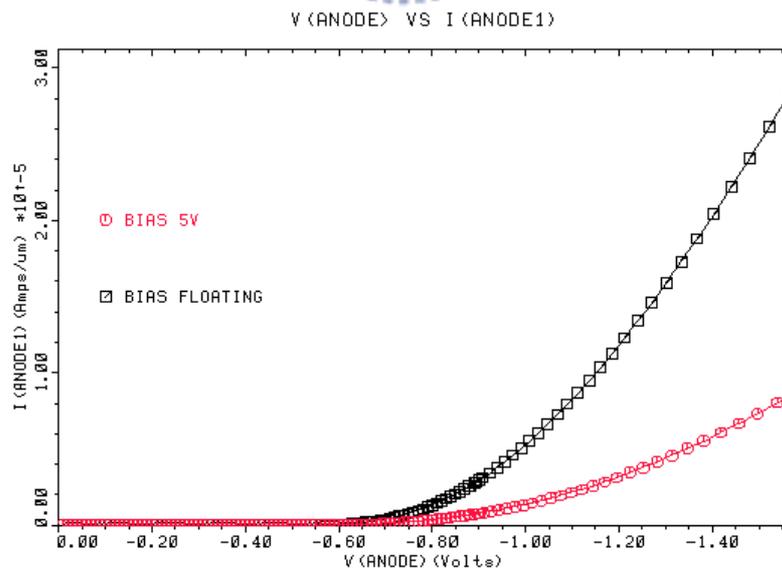


圖 4.32 高壓整合，反向偏壓電流流密圖

1. 改變 N 型磊晶層的偏壓：在高壓元件間的 N 型磊晶層偏壓在 5V 時，隔離效果較佳，如圖 4.33 所示，圖中縱軸 I(ANODE1) 為相鄰高壓元件陽極端的電流流密，橫軸 I(Anode) 為主要高壓元件陽極端的反向偏壓。因為當 N 型磊晶層偏壓在 5V 時，形成寄生 BJT 的另一集極有助於吸收高壓元件本體二極體導通所產生的漏電流，由圖 4.34 所示的流密模擬及等效電路，可說明當元件間 N 型磊晶層偏壓在 5V 時具有隔離效果。

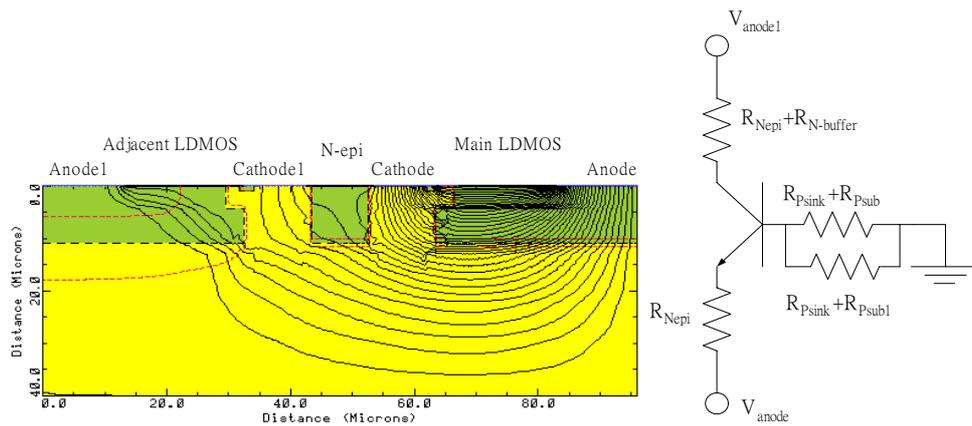


(a) LDMOS

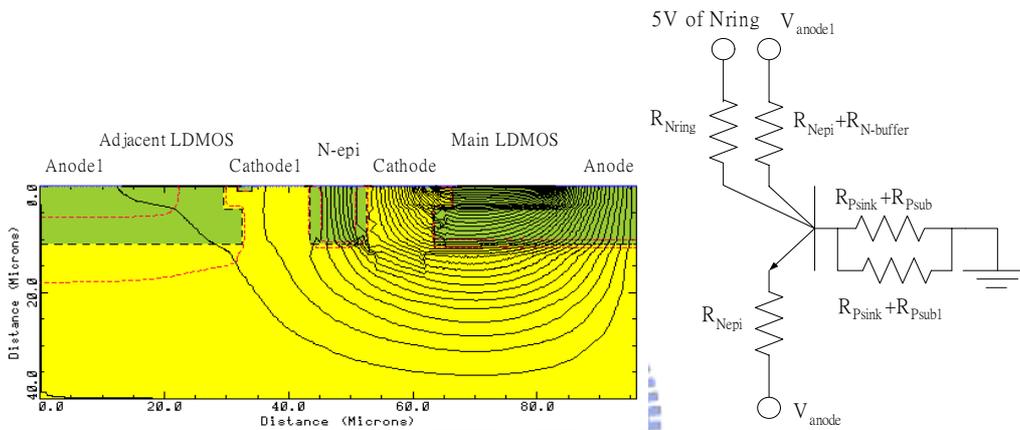


(b) SA-LIGBT

圖 4.33 高壓整合，元件間 N 型磊晶層不同偏壓比較



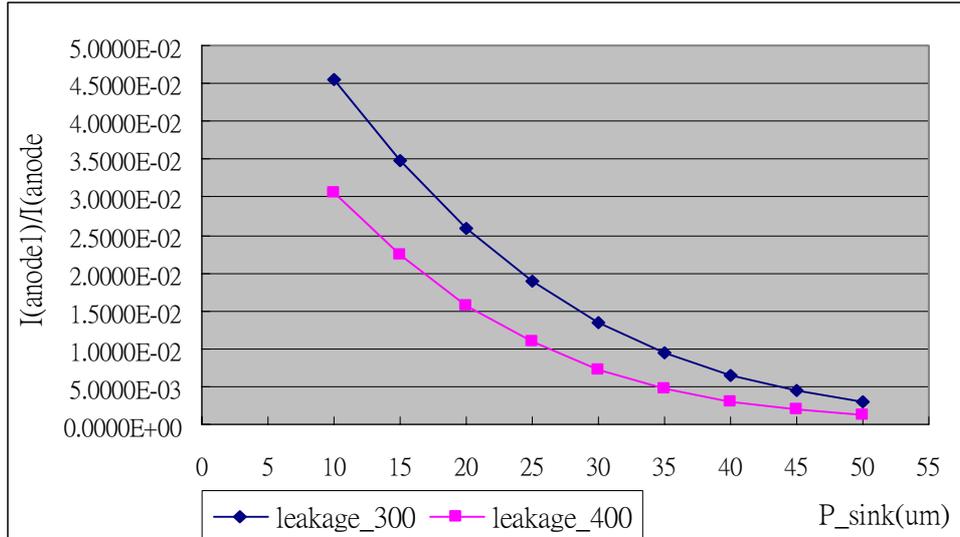
(a) N 型磊晶層浮接



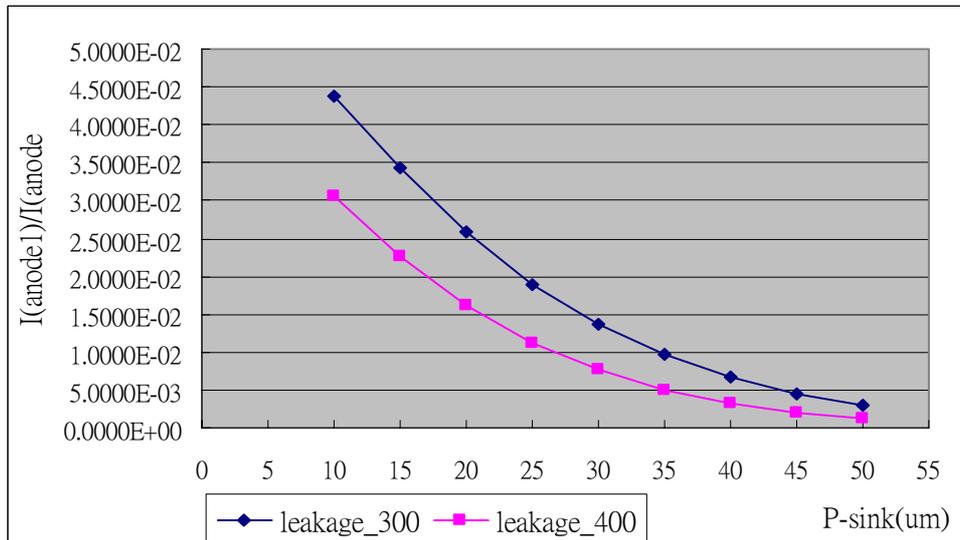
(b) N 型磊晶層偏壓 5V

圖 4.34 LDMOS 高壓整合，元件間 N 型磊晶層不同偏壓電流流密圖及寄生等效電路圖

2. 調變 P-sink 寬度及元件間距離：由圖 4.35 及圖 4.36 可知，當 P-sink 寬度增加時，寄生電晶體寬度增加， α 值減少，所以漏電流減少。而由於元件間 N 型磊晶層偏壓在 5V，當元件間距離增加，則吸收的電子也會增加，使分流到鄰近高壓元件陽極端的漏電流大幅減少，這原理可由圖 4.34(b) 的寄生電路的雙集極的分流得知。圖中 leakage_300 及 leakage_400 分別表示溫度在 300K 及 400K 的 $I(\text{Cathode1})/I(\text{Anode})$ 。

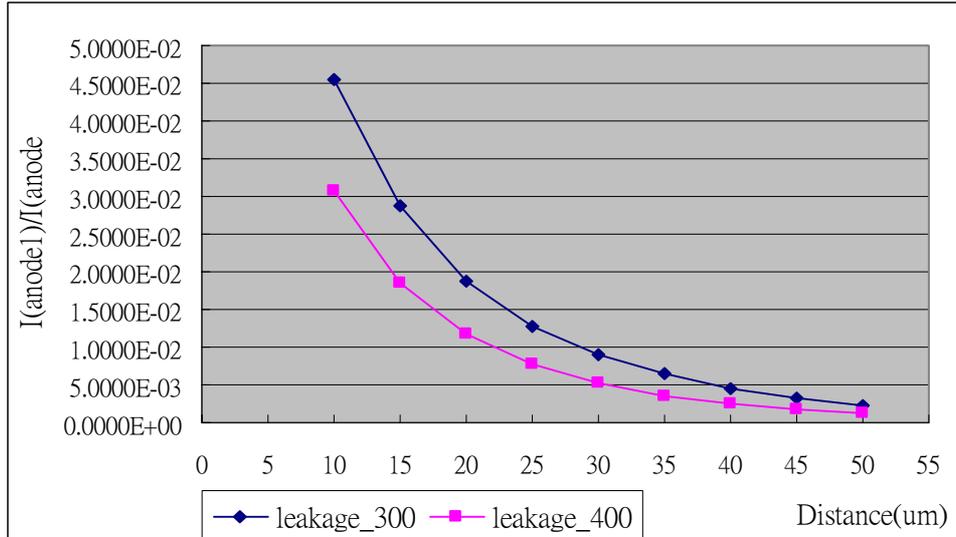


(a) LDMOS

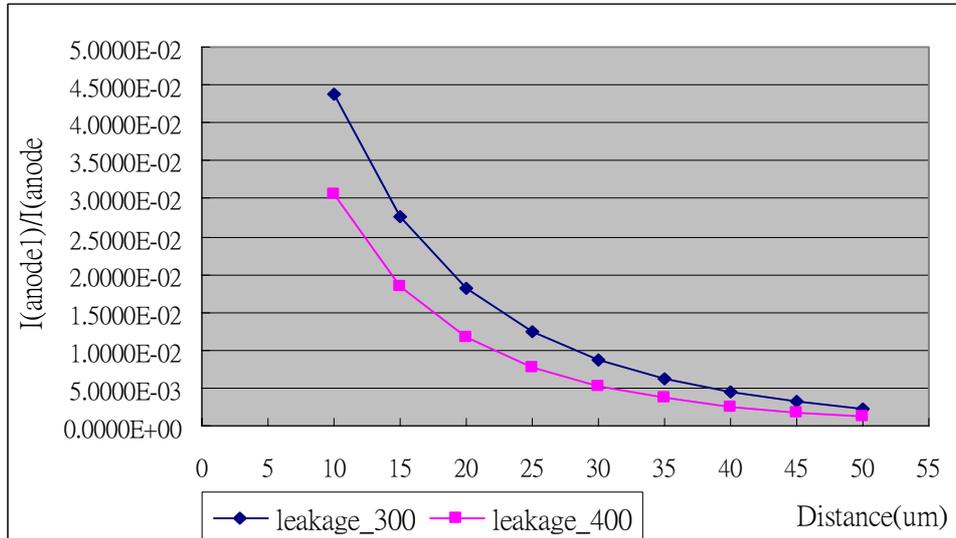


(b) SA-LIGBT

圖 4.35 高壓整合，P-sink 寬度與漏電流關係圖



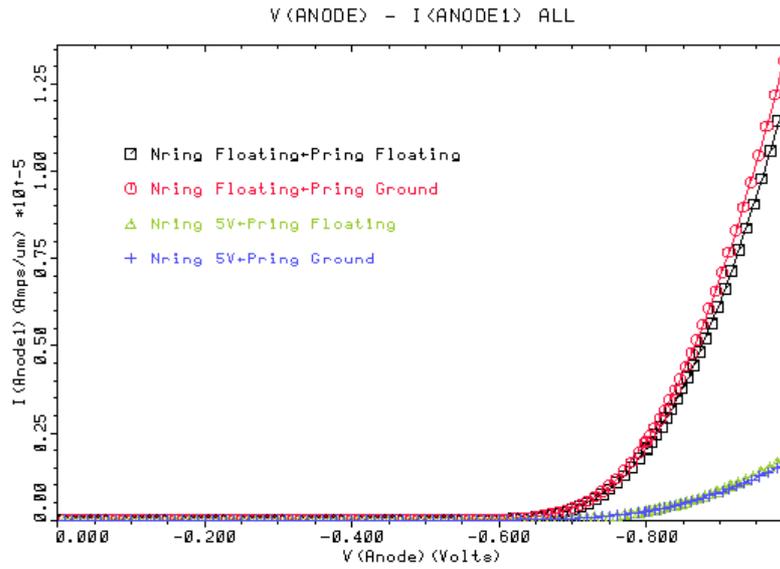
(a) LDMOS



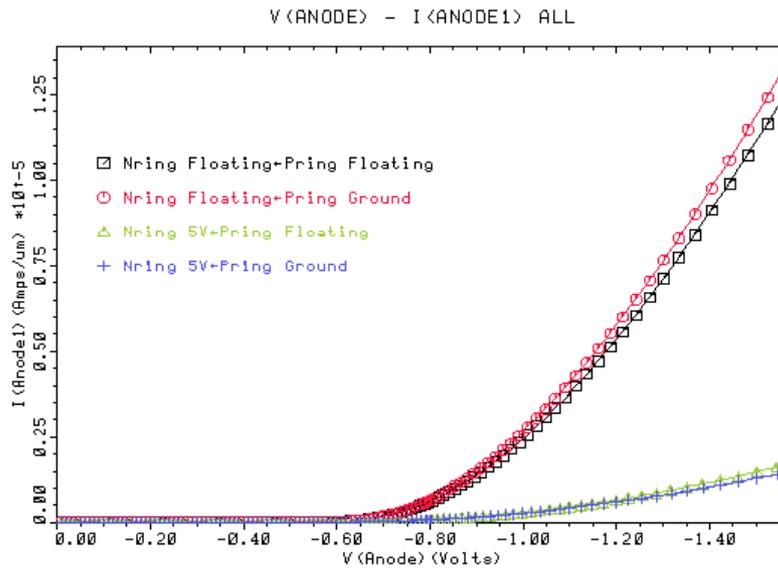
(b) SA-LIGBT

圖 4.36 高壓整合，元件間距離與漏電流關係圖

3. 改變 N 型保護環及 P 型保護環偏壓：高壓整合中，在高壓元件陽極反偏時，N 型保護環偏壓在 5V，P 型保護環接地可使漏電流較小，如圖 4.37 所示，圖中縱軸 $I(\text{ANODE1})$ 為相鄰高壓元件陽極端的電流流密，橫軸 $I(\text{Anode})$ 為主要高壓元件陽極端的反向偏壓。從表 4.5 中可知，N 型保護環的偏壓影響較大。



(a) LDMOS



(b) SA-LIGBT

圖 4.37 高壓整合，隔離結構不同偏壓下，陽極偏壓與漏電流關係圖

表 4.5 不同偏壓的漏電流比較

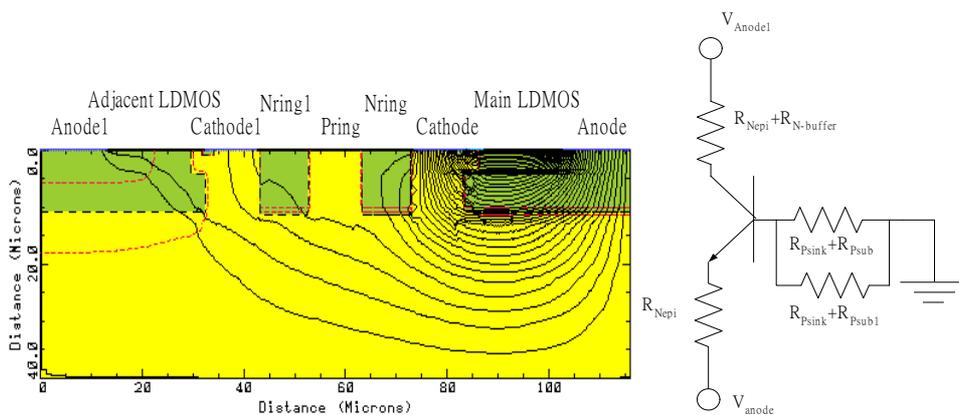
(a)LDMOS

N 型保護環	P 型保護環	I(Anode1)/I(Anode)
浮接	浮接	6.0754E-02
浮接	接地	6.4704E-02
5V	浮接	8.9843E-03
5V	接地	7.9750E-03

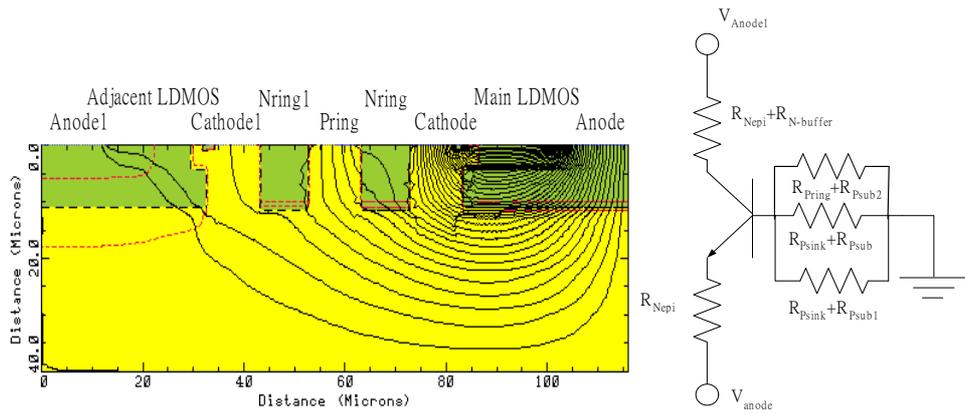
(b)SA-LIGBT

N 型保護環	P 型保護環	I(Anode1)/I(Anode)
浮接	浮接	6.1816E-02
浮接	接地	6.5814E-02
5V	浮接	8.7112E-03
5V	接地	7.5575E-03

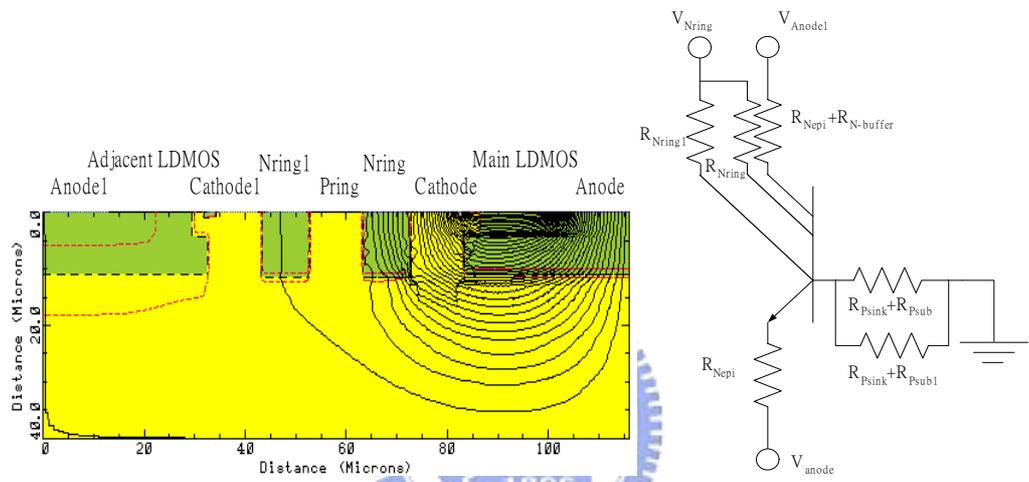
由於漏電流以電子為主，所以 N 型保護環偏壓在 5V 可形成雙集極，有助於吸收高壓元件本體二極體導通時所產生的電子漏電流，如圖 4.38。寄生電晶體的基極長，電子-電洞復合對漏電流的大小會產生影響，因此 P 型保護環接地可以提供電洞注入使電子復合，使漏電流略小。圖中寄生 BJT 電路指出 P 型保護環接地能使 BJT 的復合電流略增，其效果可由表 4.5 看出。



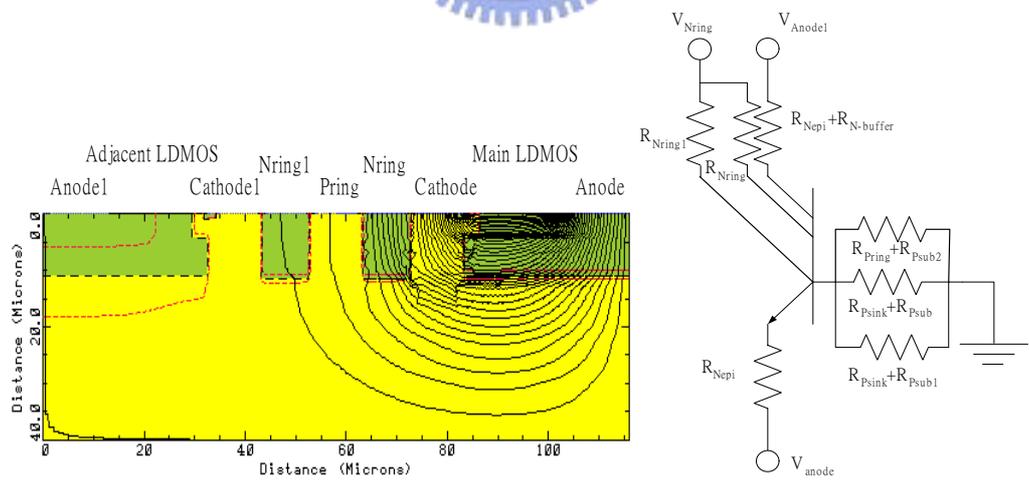
(a)N 型保護環浮接，P 型保護環浮接



(b) N 型保護環浮接，P 型保護環接地



(c) N 型保護環偏壓 5V，P 型保護環浮接

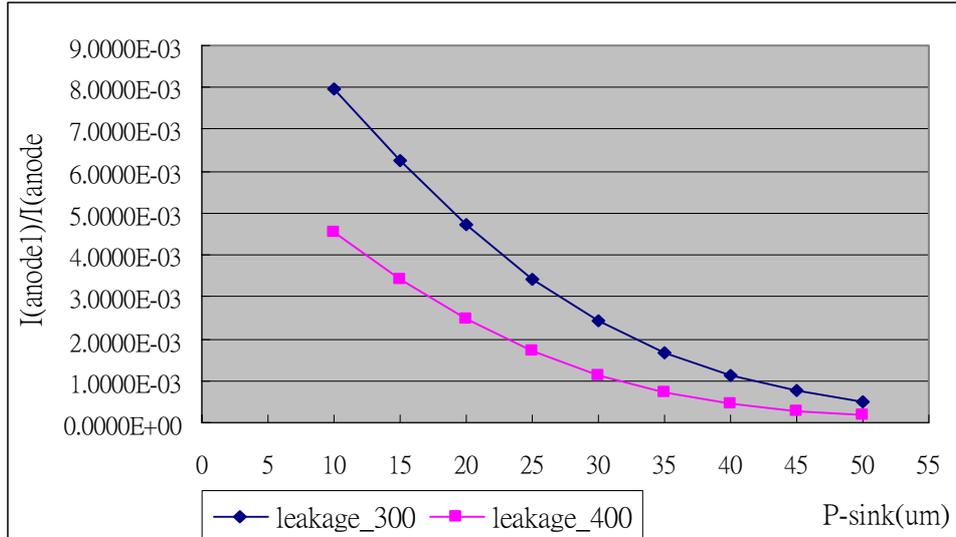


(d) N 型保護環偏壓 5V，P 型保護環接地

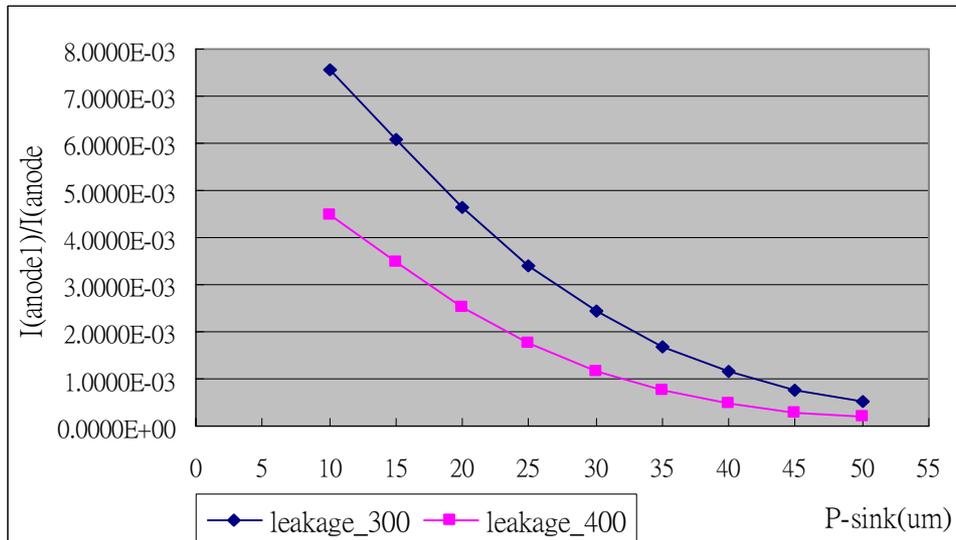
圖 4.38 LDMOS 高壓整合，隔離結構不同偏壓電流流密圖及寄生電效電路圖

4. 調變 P-sink、N 型保護環及 P 型保護環寬度：從圖 4.39~圖 4.41 可知，增加 P-sink 寬度、N 型保護環及 P 型保護環均可大幅減少漏電流，其中又以增加 N 型保護環寬度效果最好，因為 N 型保護環會吸收由本體二極體產生的電子漏電流，有效地減少流至鄰近元件陽極端的漏電流。圖中 leakage_300 及 leakage_400 分別表示溫度在 300K 及 400K 的 $I(\text{Cathode1})/I(\text{Anode})$ 。在相同面積下，增加 N 型保護環寬度得到效益最大，其餘依序分別為兩元件間距離，P 型保護環寬度，P-sink 寬度(含隔離結構)，P-sink 寬度，如圖 4.42 所示，圖中縱軸 $I(\text{ANODE1})$ 為相鄰高壓元件陽極端的電流流密，橫軸 $I(\text{Anode})$ 為主要高壓元件陽極端的反向偏壓。



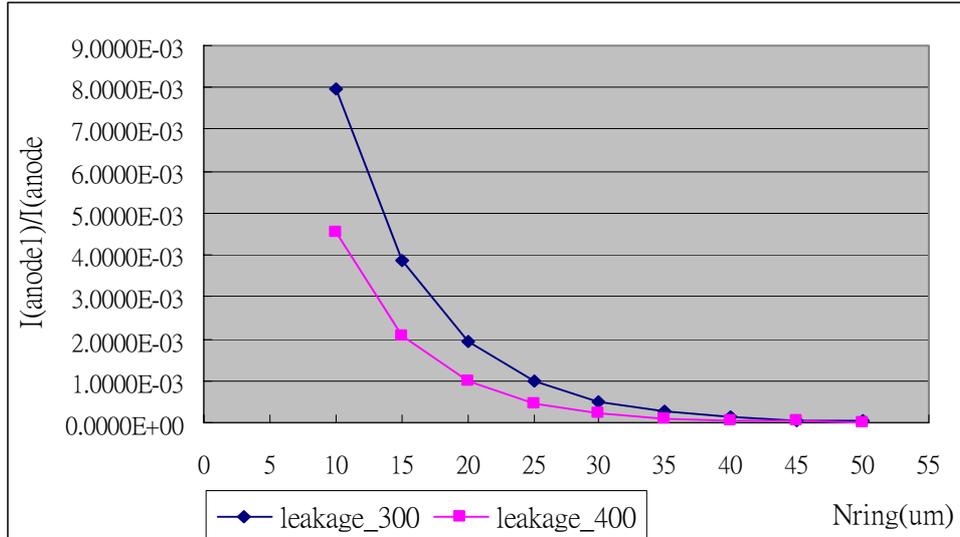


(a) LDMOS

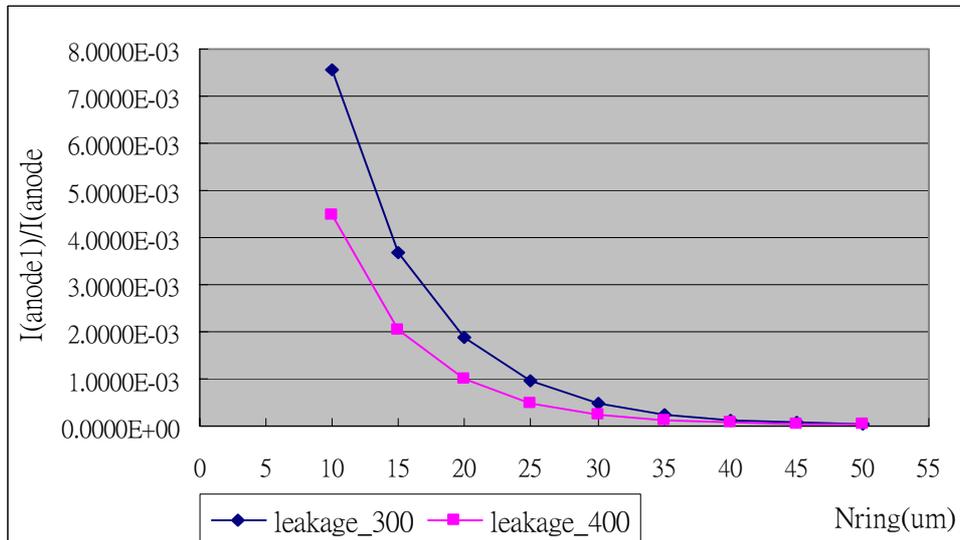


(b) SA-LIGBT

圖 4.39 高壓整合含隔離結構，P-sink 寬度與漏電流關係圖

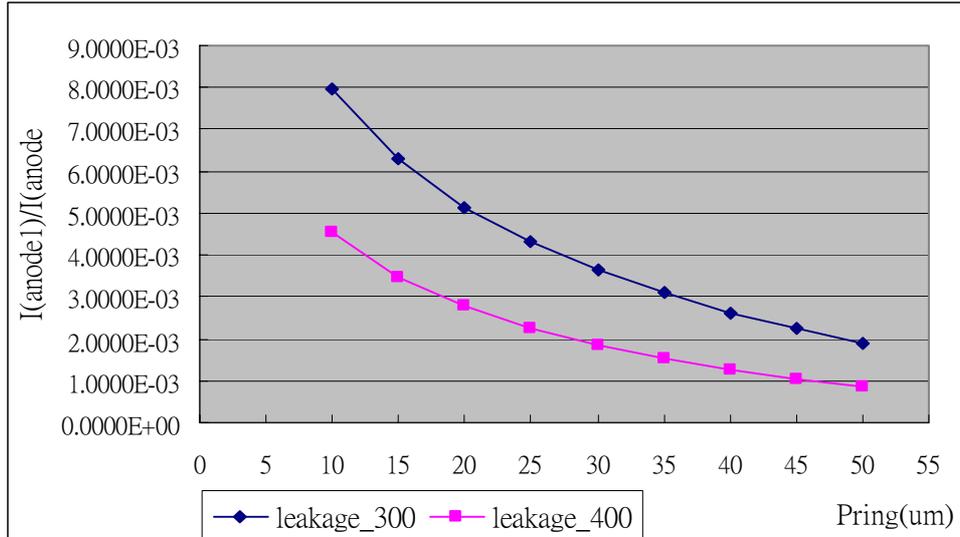


(a) LDMOS

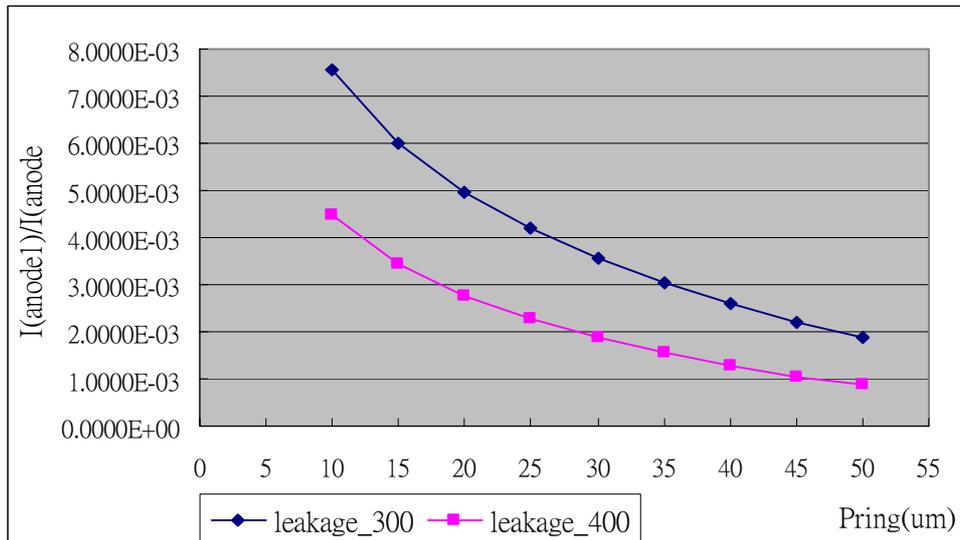


(b) SA-LIGBT

圖 4.40 高壓整合含隔離結構，N 型保護環寬度與漏電流關係圖

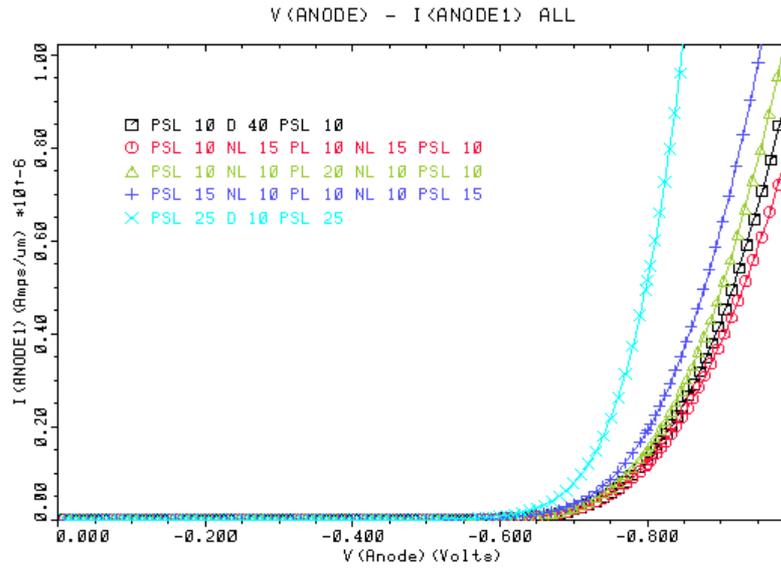


(a) LDMOS

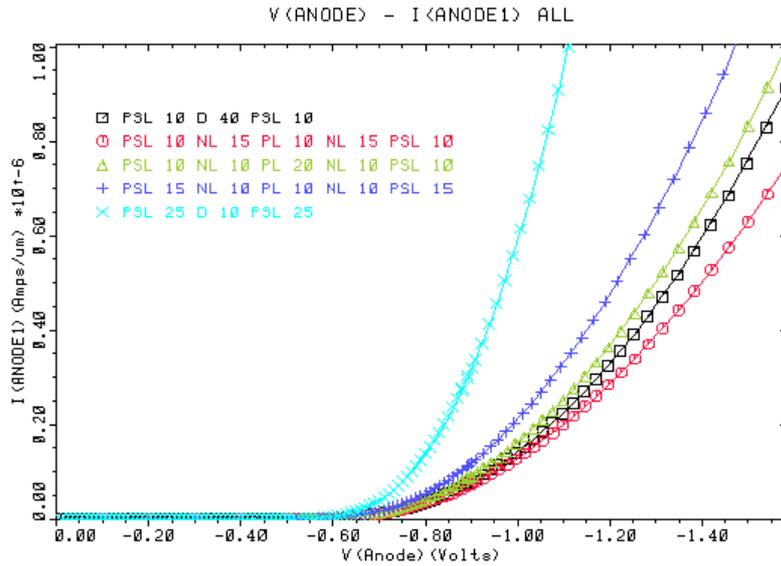


(b) SA-LIGBT

圖 4.41 高壓整合含隔離結構，P 型保護環寬度與漏電流關係圖



(a) LDMOS



(b) SA-LIGBT

圖 4.42 相同面積下，高壓整合，不同佈局參數隔離效果比較

註：PSL 表 P-sink 寬度，D 表元件間距離，NL 表 N 型保護環寬度，PL 表 P 型保護環寬度

4.3 總結

由於各高壓元件的操作原理及結構並不相同，因此將各高壓元件分別討論：

1. LDMOS：漏電流發生在高壓元件反向偏壓，本體二極體導通時，漏電流以電子為主。從表 4.6 中可以看出，N 型保護環偏壓在 5V 時可大幅減少漏電流，而 P 型保護環的偏壓則因高低壓整合及高壓整合而所有不同。從表 4.6 比較可知，高低壓整合中 P 型保護環浮接或接地對漏電流減少的變化較大，而高壓整合中 P 型保護環浮接或接地對漏電流影響較小，因此在偏壓上，選擇 N 型保護環偏壓 5V，P 型保護環浮接。在相同面積的佈局參數考量下，由表 4.7 可知，增加 N 型保護環寬度可以達到較佳的隔離效果，在表 4.7 的面積下，選擇 $NL=15\mu m$ 的佈局隔離效果最佳。

2. LIGBT：漏電流主要發生在元件操作在順向偏壓及高壓整合的情況下，漏電流以電洞為主。因此由 4.1.1 節可知在相同面積下，增加 P 型保護環寬度，且 N 型保護環浮接，P 型保護環偏壓接地隔離效果較佳。

3. SA-LIGBT：元件操作在順向偏壓及反向偏壓均會產生漏電流，依表 4.8 先比較偏壓的影響。在順向偏壓時，隔離結構防制漏電流以 P 型保護環偏壓為主；反向偏壓時，隔離結構防制漏電流以 N 型保護環偏壓為主。因此隔離結構的偏壓選擇 N 型保護環偏壓 5V，P 型保護環偏壓接地。這樣偏壓選擇在高壓整合可以得到較佳的隔離，但高低壓整合上隔離效果較差，因此佈局設計上再加一組隔離結構，其 N 型保護環偏壓 5V，P 型保護環浮接，從表 4.9 可知，如此佈局的偏壓設計雖然不是最好的，但亦可大幅減少漏電流。由之前的模擬可知，在順向偏壓時，增加 P 型保護環寬度較佳；反向偏壓時，增加 N 型保護環寬度較好。因此在第一組隔離結構的佈局設計上需同時考量 P 型及 N 型保護環寬度，從圖 4.15(b)及表 4.10，P 型

保護環的轉折點約 $30\ \mu\text{m}$ ；從圖 4.40(b)及表 4.10 可求得，N 型保護環的轉折點約 $20\ \mu\text{m}$ 。

表 4.6 反向偏壓，LDMOS 隔離結構不同偏壓，漏電流比

N 型保護環	P 型保護環	高低壓整合	高壓整合
		I(VDD)/I(Anode)	I(Anode1)/I(Anode)
浮接	浮接	7.2753E-02	6.0754E-02
浮接	接地	1.0386E-01	6.4704E-02
5V	浮接	* 1.5238E-02	* 8.9843E-03
5V	接地	3.1125E-02	7.9750E-03

註：*為所選擇偏壓的漏電流比(以下均是)

表 4.7 反向偏壓，LDMOS 在相同面積下，漏電流比

(a)高低壓整合

	I(VDD)/I(Anode)
PSL $35\ \mu\text{m}$, D $10\ \mu\text{m}$	1.0077E-01
PSL $10\ \mu\text{m}$, D $35\ \mu\text{m}$	2.8296E-01
PSL $15\ \mu\text{m}$, NL $10\ \mu\text{m}$, PL $10\ \mu\text{m}$	1.4019E-02
PSL $10\ \mu\text{m}$, NL $15\ \mu\text{m}$, PL $10\ \mu\text{m}$	* 8.6556E-03
PSL $10\ \mu\text{m}$, NL $10\ \mu\text{m}$, PL $15\ \mu\text{m}$	1.1947E-02

(b)高壓整合

	I(Anode1)/I(Anode)
PSL $25\ \mu\text{m}$, D $10\ \mu\text{m}$	1.8814E-02
PSL $10\ \mu\text{m}$, D $40\ \mu\text{m}$	4.5634E-03
PSL $15\ \mu\text{m}$, NL $10\ \mu\text{m}$, PL $10\ \mu\text{m}$	6.2572E-03
PSL $10\ \mu\text{m}$, NL $15\ \mu\text{m}$, PL $10\ \mu\text{m}$	* 3.8565E-03
PSL $10\ \mu\text{m}$, NL $10\ \mu\text{m}$, PL $20\ \mu\text{m}$	5.1413E-03

註：高低壓整合中，N 型保護環偏壓 5V，P 型保護環浮接

高壓整合中，N 型保護環偏壓 5V，P 型保護環接地

表 4.8 SA-LIGBT 隔離結構不同偏壓，漏電流比

N 型保護環	P 型保護環	順偏，高壓整合	反偏，高低壓整合	反偏，高壓整合
		I(Cathode1)/I(Anode)	I(VDD)/I(Anode)	I(Anode1)/I(Anode)
浮接	浮接	2.4852E-02	7.3978E-02	6.1816E-02
浮接	接地	1.0805E-02	1.0844E-01	6.5814E-02
5V	浮接	2.5626E-02	1.2569E-02	8.7112E-03
5V	接地	* 1.1740E-02	* 3.0832E-02	* 7.5575E-03

表 4.9 高低壓整合，SA-LIGBT 雙層隔離結構不同偏壓，漏電流比

	I(Cathode1)/I(Anode)
第一種偏壓(F_5_F_5)	1.8200E-03
第二種偏壓(F_5_G_5)	* 2.4691E-03
第三種偏壓(G_5_F_5)	7.6177E-03
第四種偏壓(G_5_G_5)	6.2836E-03

註：如表 4.4 由低壓至高壓保護環偏壓，F 表浮接，5 表 5V，G 表接地，其中 N 型及 P 型保護環均為 10 μm

表 4.10 SA-LIGBT 高壓整合，改變隔離結構，漏電流比

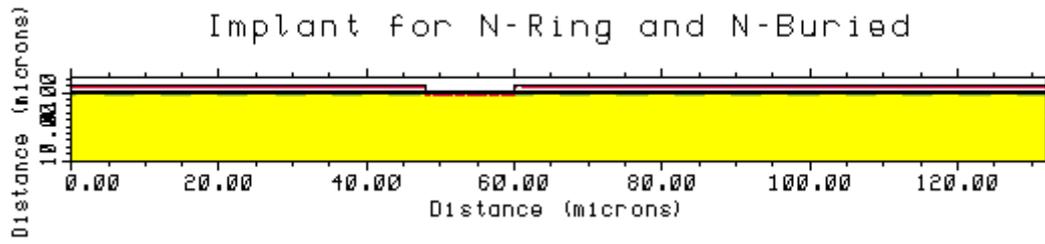
(μm)	順向偏壓 I(Cathode1)/I(Anode)		反向偏壓 I(Anode1)/I(Anode)	
	P 型保護環寬度	N 型保護環寬度	P 型保護環寬度	N 型保護環寬度
10	1.0805E-02	1.0805E-02	7.5597E-03	7.5597E-03
15	8.0545E-03	8.2230E-03	6.0027E-03	3.6984E-03
20	6.0312E-03	6.4571E-03	4.9569E-03	1.8764E-03
25	4.5271E-03	5.2073E-03	4.1809E-03	9.6019E-04
30	3.4026E-03	4.2949E-03	3.5619E-03	4.8936E-04
35	2.5594E-03	3.6093E-03	3.0449E-03	2.4699E-04
40	1.9259E-03	3.0806E-03	2.6025E-03	1.2325E-04
45	1.4496E-03	2.6636E-03	2.2198E-03	6.0843E-05
50	1.0913E-03	2.3281E-03	1.8876E-03	2.9768E-05

第五章 製程與佈局

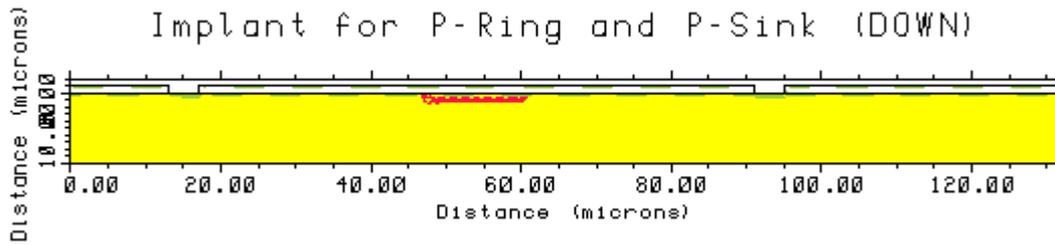
5.1 製程及其模擬

為了驗證之前的模擬結果，我們在製程方面採用市面上的 100V VDMOS 的高壓製程，調變光罩的佈局使得可以在同樣的製程下，製作 LDMOS、LIGBT 及 SA-LIGBT 等高壓元件。

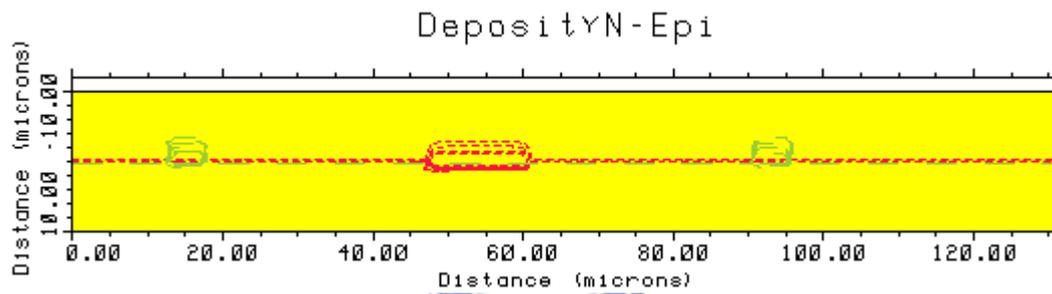
主要的高壓製程模擬步驟：(1)摻雜 N 型保護環及 N 型埋藏層。(2)摻雜 P 型保護環及 P-sink。(3)成長 N 型磊晶層。(4)摻雜 N 型保護環。(5)摻雜 P-sink 及 P 型保護環。(6)摻雜 N 型緩衝區。(7)摻雜 P 型基極。(8)定義主動區。(9)成長閘極下方二氧化矽。(10)沉積多晶矽閘極。(11)摻雜 P+。(12)摻雜 N+。(13)沉積二氧化矽保護層(BPSG)。(14)蝕刻出接觸點。(15)沉積鋁。如圖 5.1 所示。



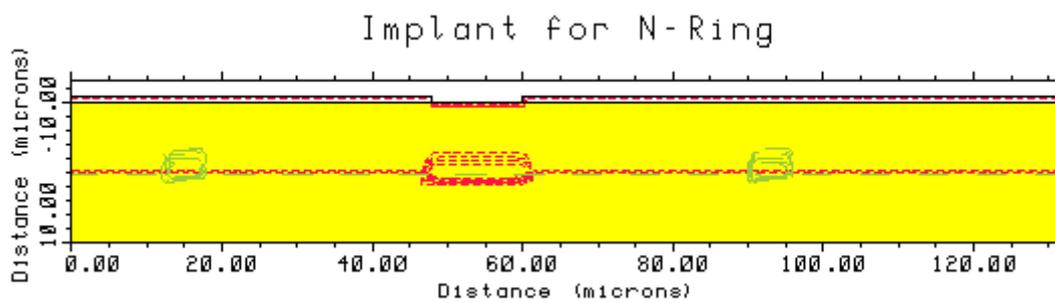
(a) 摻雜 N 型保護環及 N 型埋藏層



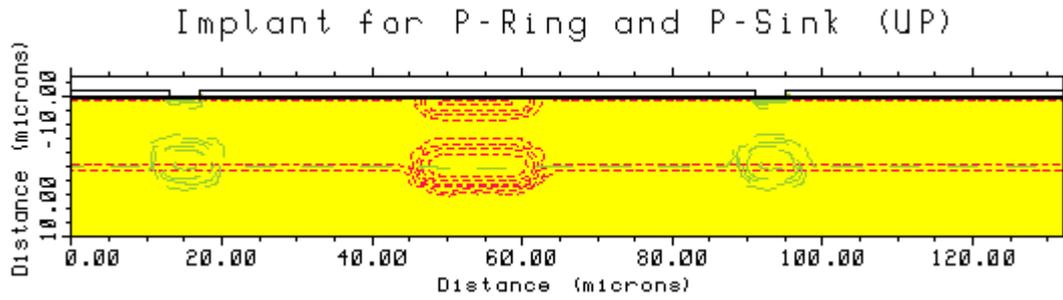
(b) 摻雜 P-sink 及 P 型保護環



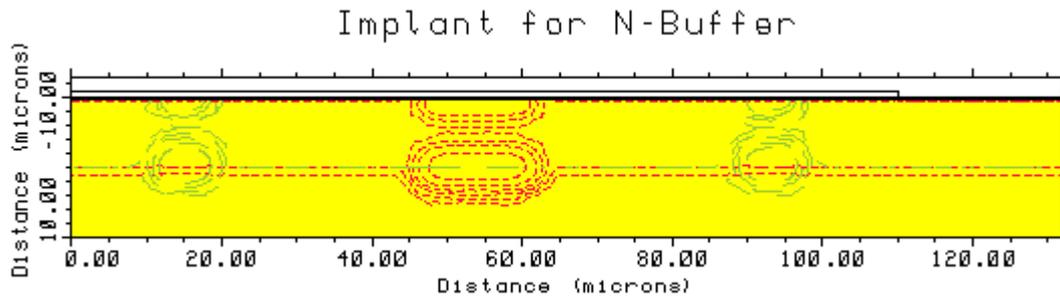
(c) 成長 N 型磊晶層



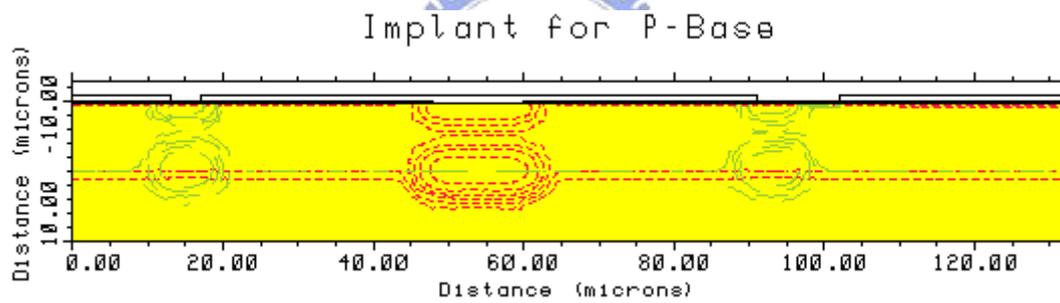
(d) 摻雜 N 型保護環



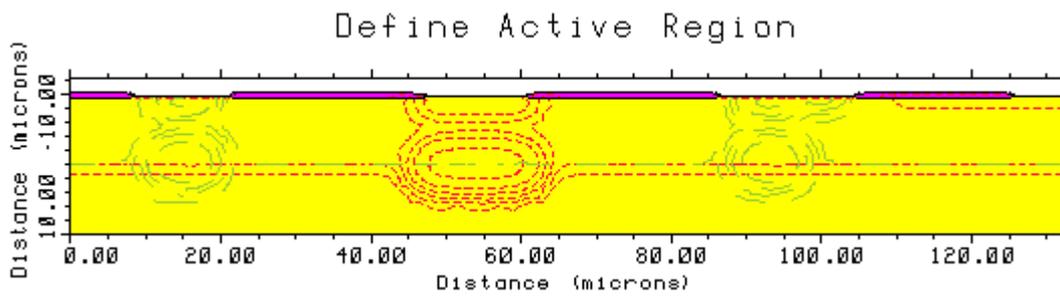
(e) 摻雜 P 型保護環及 P-Sink



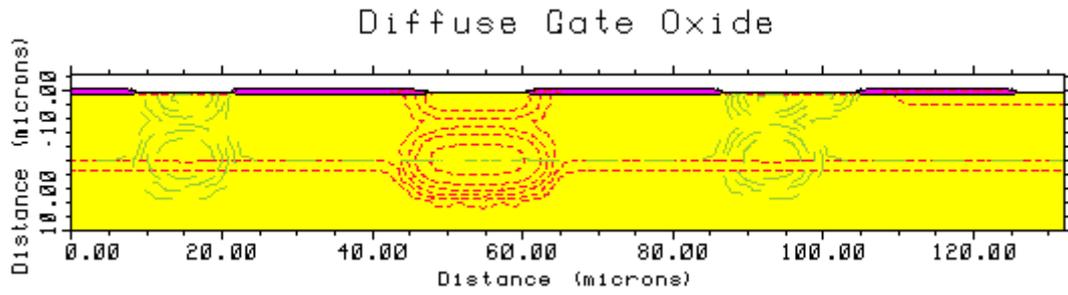
(f) 摻雜 N 型緩衝區



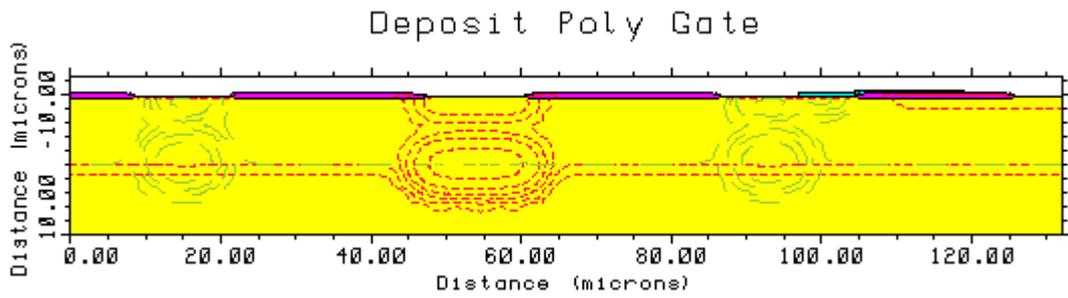
(g) 摻雜 P 型基極



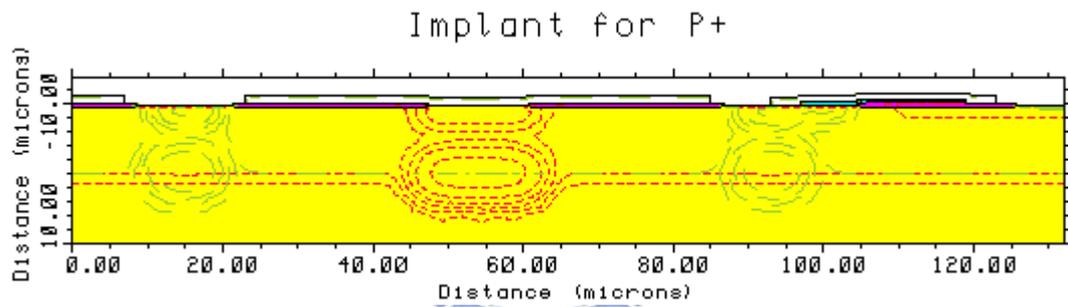
(h) 定義主動區



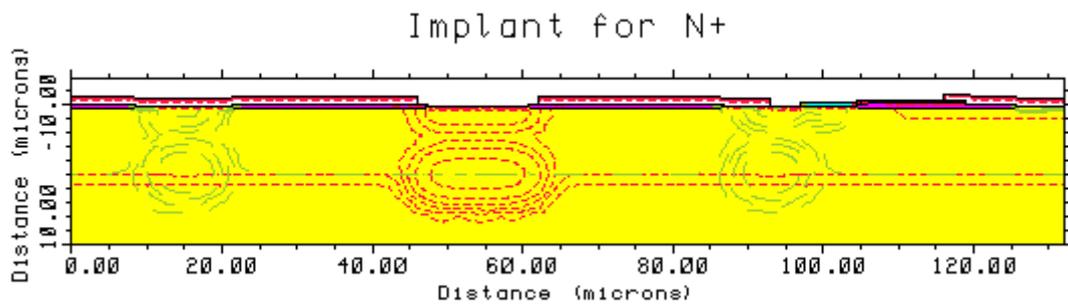
(i) 成長閘極下方二氧化矽



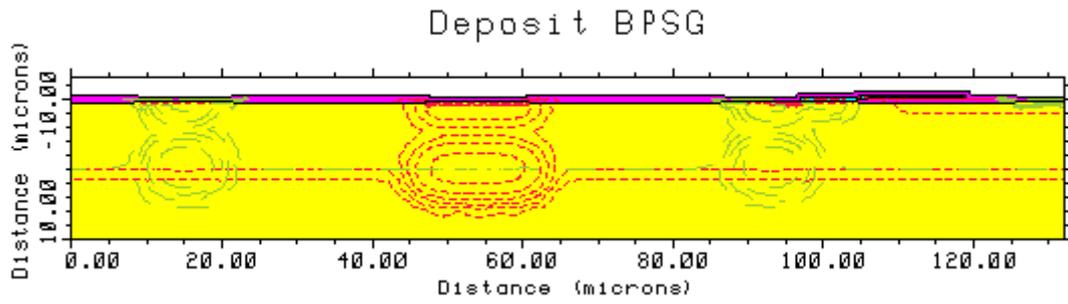
(j) 沉積多晶矽閘極



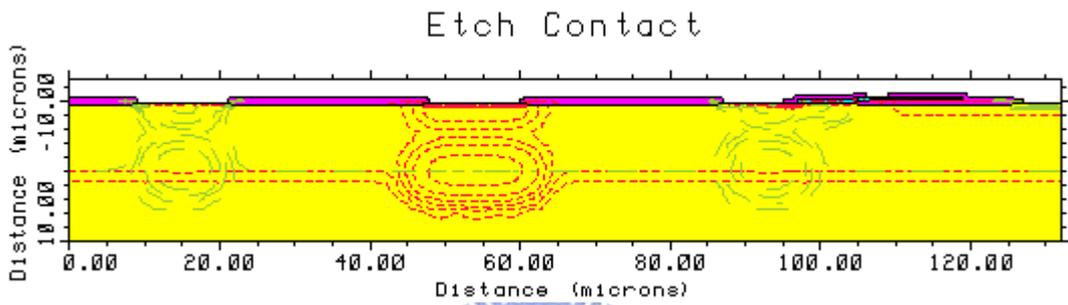
(k) 摻雜 P+



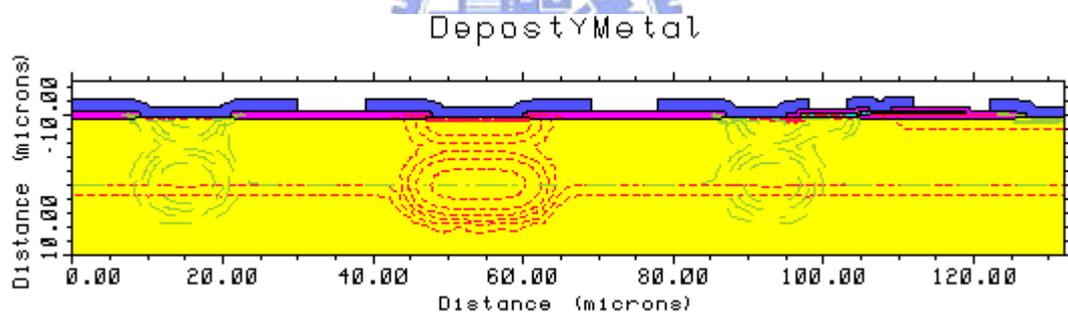
(l) 摻雜 N+



(m) 沉積二氧化矽保護層(BPSG)



(n) 蝕刻出接觸點



(o) 沉積鋁

圖 5.1 製程模擬

5.2 佈局

高壓製程的設計規則(design rule)與低壓製程完全不同，有許多規則與 CMOS 製程不相同。因此在繪製光罩前，先依設計規則及佈局參數繪製 1D 的光罩，利用 TSUPERM4 將 1D 光罩及製程完整模擬。

由圖 5.1 可知 P-sink 是利用上下同時擴散 P 型雜質所構成，因此在磊晶層中間的部份濃度較低，寬度也較窄，會使得 P-sink 的阻值增加，導致閘鎖電流下降[23]。將未成長磊晶層前摻雜 P 型雜質的光罩畫得略大一點，可以在不影響 threshold voltage 情況下，改善 P-sink 的阻值，增加抗閘鎖效應的能力。在 N 型保護環下方加上 N 型埋藏層，以減少 N 型保護環的阻值。光罩的佈局如圖 5.2、圖 5.3 所示。



圖 5.2 TSUPERM4 1D 光罩圖

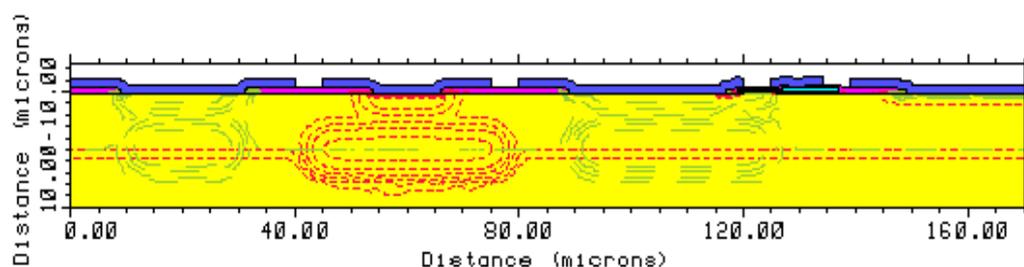


圖 5.3 TSUPERM4 製程模擬圖

在進行 2D 光罩繪製時，必須考慮元件的對稱性及封閉性，使高壓元件的電流能夠均勻分布及減少漏電流。在元件結構轉角的部份會造成電場及電流的聚集，使元件在尚未達到所設計的耐壓耐流下崩潰，因此轉角部份避免繪製直角，改以角度變化較小的轉角或圓弧來繪製，同時要注意轉角的部份亦需符合設計規則。

為了使高壓元件流過大電流，元件的閘極會相當長，而用以作為閘極的多晶矽阻值較鋁大，為了避免閘極電壓因此產生電位降，造成元件導通電流不均勻。因此在光罩繪製時，在多晶矽上鋪一層金屬使得閘極電位盡可能相等，避免產生電流分布不均勻的現象。



第六章 結論與展望

6.1 結論

本論文中我們利用保護環的隔離結構設計整合了高壓功率元件及低壓元件。對 LDMOS、LIGBT 及 SA-LIGBT 三種常用的高壓功率元件分析其在順向及反向偏壓下的漏電流。高壓元件工作在順向偏壓下，因 LDMOS 為單載子元件並無漏電流產生，而 LIGBT 及 SA-LIGBT 在高低壓元件整合中可藉由 N 型磊晶層達到隔離效果，但在高壓高壓元件整合中，電洞會經由基板流向相鄰高壓元件的陰極端。高壓元件在反偏的情況下，由於 LIGBT 並不會造成本體二極體導通，因此不會產生漏電流，但需注意反偏電壓對 N 型緩衝層與陽極 P+ 的反偏界面崩潰造成的影響，以及 LDMOS 和 SA-LIGBT 因本體二極體導通產生的電子漏電流。利用 MEDICI 模擬得出各項佈局參數設計及偏壓對漏電流的影響，最後對此三種高壓功率元件提出較合適的佈局參數設計及偏壓選擇。配合製程模擬及考量元件特性，繪製了高低壓整合及高壓整合的測試晶片。

6.2 展望

整合高壓功率元件及低壓控制迴路是目前功率積體電路開發的重點。在本論文研究了高低壓元件在順向及反向偏壓的界面隔離結構，但在實作方面力有未怠，整合方面仍有許多值得研究，如高壓元件在動態的隔離效應，溫度與漏電流對寄生電路影響的完整分析，EMI，及可信賴度等，值得繼續研究探討。

參考文獻

- [1] B. J. Baliga, "An overview of smart power technology", IEEE Trans. Electron Device, Vol. ED-38, pp.1568-1575, July 1991.
- [2] Stephen P. Robb, and Judy L. Sutor, "Recent advances in Power Integrated Circuits with High Level Integration", IEEE International Symposium on Power Semiconductor Devices and IC's, pp343-348, 1994.
- [3] Gehan Amaratunga, and Florin Udrea, "Power Devices for High Voltage Integrated Circuits: New Device and Technology Concepts", Proceedings of Semiconductor Conference, Vol. 2, pp.441-448, Oct. 2001.
- [4] N.Nolhier, G. Charitat, D. Zerrrouk, and P Rossel, "Self-Shielded High Voltage SOI Structure for HVIC's", Proceedings of Semiconductor Conference, pp.267-270, Sept. 1996.
- [5] F. Vogt, H. Vogt, M. Radecker, and H. Fiedler, "Smart Power with 1200 V DMOS", IEEE International Symposium on Power Semiconductor Devices and IC's , pp.317-320, May 1997.
- [6] T. Paul Chow, Deva N. Pattanayak, B. Jayant Baliga, Michael S. Adler, William A. Hennessy, and Clair E. Logan, "Interaction Between Monolithic, Junction-Isolated Lateral Insulated-Gate Bipolar Transistors", IEEE Tran. Electron Devices, Vol. 38, NO. 2, February 1991.
- [7] Kenneth Buss, Larry Latham, Myron Manternach, Bob Shear, Dan Mosher, Dan Agiman, Steve Kwan, and Dave Cotton, "A 10A Automotive High-Side Switch", Solid-State Circuits Conference, February 1990.

- [8] Wilson W. T. Chan, Johnny K. O. Sin, and S. Simon Wong, "An Effective Cross-Talk Isolation Structure for Power IC Application", International Electron Design Meeting, pp. 971-974, Dec. 1995.
- [9] Wilson W. T. Chan, Felix C. Y. Wong, Johnny K. O. Sin, and S. Simon Wong, "Cross-Talk Prevention for Power Integrated Circuits", Proceedings of IEEE Region 10 International Conference on Microelectronics and VLSI, pp.428-431, Nov. 1995.
- [10] Wilson W. T. Chan, Philip K. T. Mok, Johnny K. O. Sin, and S. Simon Wong, "A Power IC Technology with Excellent Cross-Talk Isolation", IEEE Electron Device Letters, Vol. 17, No. 10, pp. 467-469, October 1996.
- [11] Wilson W. T. Chan, Philip K. T. Mok, Johnny K. O. Sin, and S. Simon Wong, "CMOS Latchup Characterization for LDMOS/LIGBT Power Integrated Circuits", Proceedings of IEEE International Conference on Semiconductor Electronics, pp. 15-18, Nov. 1996.
- [12] O. Gonnard, G. Charitat, Ph. Lance, E. Stefanov, M. Suquet, M. Bafleur, N. Mauran, and A. Peyre-Lavigne, "Substrate Current Protection in Smart Power IC's", IEEE International Symposium on Power Semiconductor Devices and ICs, pp. 169-172, May 2000.
- [13] J. P. Laine, O. Gonnard, G. Charitat, L. Bertolini, and A. Peyre-Lavigne, "Active Pull-Down Protection for Full Substrate Current Isolation in Smart Power IC's", IEEE International Symposium on Power Semiconductor Devices and ICs, pp. 273-276, June 2002.
- [14] J. P. Laine, O. Gonnard, G. Charitat, M. Bafleur, and L. Bertolini, "Substrate Current Control in Smart Power IC's with a Flexible Structure", Proceeding of the 2002 Bipolar/BiCMOS Circuits and Technology Meeting, pp. 36-40, Oct. 2002.

- [15] Vasudev Venkatesan, Quang Nguyen, Amitava Bose, and Patrice Parris, "DC Substrate Coupling between LDMOS and CMOS Devices in Hyperintegration I Technology", Proceeding of the 1998 Bipolar/BiCMOS Circuits and Technology Meeting, pp. 57-60, Sept. 1998.
- [16] Johnny K. O. Sin, and Satyen Mukherjee, "Nonuniform and Latchup Current Detection in Lateral Conductivity Modulated FET's", IEEE Electron Device Letters, Vol. 11, No. 6, pp.250-252, June 1990.
- [17] T. Paul Chow, B. Jayant Baliga, Deva N. Pattanayak and Michael S. Adler, "The Effect of Substrate Doping on the Performance of Anode-Shorted n-Channel Lateral Insulated-Gate Bipolar Transistors", IEEE Electron Device Letter, Vol. 9, NO. 9, September 1988.
- [18] Donald A. Neamen, 李世鴻譯, 半導體物理及元件, 美商麥格羅.希爾國際股份有限公司, 2003.
- [19] B. J. Baliga, Power Semiconductor Devices, PWS. Publishing Company, 1995.
- [20] Robert F. Pierret, Semiconductor Device Fundamentals, Addison-Welsley Publishing Company, 1996.
- [21] Tsuprem4 user's manual, TMA Company, Version 6.6, 1998.
- [22] Medici user's manual, TMA Company, Version 2000.4, 2000.
- [23] 鄒明穎, "橫向絕緣閘雙極性電晶體之電性研究", 碩士論文, 國立交通大學電機與控制工程學系(2003)。