

國立交通大學

電信工程研究所

碩士論文

應用於 24 GHz 連續調頻雷達之
0.18 μm CMOS 低雜訊放大器與混波器

0.18 μm CMOS Low Noise Amplifier and Mixer
for 24 GHz FMCW Radar Applications

研究生：林明緯 (Ming-Wei Lin)

指導教授：鍾世忠 教授 (Dr. Shyh-Jong Chung)

中華民國九十九年七月

應用於 24 GHz 連續調頻雷達之
0.18 μm CMOS 低雜訊放大器與混波器
0.18 μm CMOS Low Noise Amplifier and Mixer
for 24 GHz FMCW Radar Applications

研究生：林明緯

Student : Ming-Wei Lin

指導教授：鍾世忠

Advisor : Shyh-Jong Chung



A Thesis

Submitted to Institute of Communication Engineering
College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master of Science

In communication Engineering

July 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年七月

應用於 24 GHz 連續調頻雷達之 0.18 μm CMOS 低雜訊放大器與混波器

研究生：林明緯

指導教授：鍾世忠 博士

國立交通大學 電信工程研究所

摘要

在本篇論文中，使用標準 0.18 μm CMOS 設計應用於 24 GHz 連續調頻雷達的兩個電路。第一個電路為低功率消耗、高增益的低雜訊放大器。第二個電路為低雜訊放大器與混波器的整合設計。

第一個電路包含三個部分：(1)兩個共源級電晶體採用電流再利用結構 (2) 加入中間級匹配與增益提升架構的疊接組態，以進一步提升增益 (3)為了量測考量，源級隨耦器作為輸出緩衝級。實作量測的中心頻為 22.7 GHz，增益為 18.95 dB，雜訊指數為 5.8 dB，消耗 11.3 mW 的功率。輸入 1-dB 增益壓縮點(IP_{1dB})與輸入三階截止點(IIP3)分別為 -26 dBm 與 -16.5 dBm。晶片面積為 0.47 mm^2 。

另一個電路為 LNA 與混波器的整合設計。採用折疊式混波器，以提升混波器的線性度，降低對整體電路線性度的影響。模擬之轉換增益為 13.2 dB，雜訊指數為 4.6 dB，功率消耗為 12 mW。 IP_{1dB} 與 IIP3 分別為 -25 dBm 與 -12.5 dBm。晶片面積為 0.68 mm^2 。

0.18 μm CMOS Low Noise Amplifier and Mixer for 24 GHz FMCW Radar Applications

Student: Ming- Wei Lin

Adivisor: Dr. Shyh-Jong Chung

Institute of Communication Engineering

National Chiao Tung University

Abstract

In this thesis, two circuits are designed for 24 GHz FMCW applications in standard 0.18 μm CMOS technology. The first circuit is a low power and high gain low-noise amplifier (LNA). The second circuit is an integration of LNA and mixer.

There are three parts in the first circuit: (1) a current-reusing structure including two common source transistors, (2) a cascode topology with inter-stage matching and gain-boosting designs to further increase the gain, (3) a source follower as an output buffer for measurements. The fabricated LNA has a gain of 18.95 dB and a noise figure of 5.8 dB at center frequency of 22.7 GHz, while consuming 11.3 mW. An input 1-dB compression point (IP_{1dB}) and an input third-order intercept point (IIP3) are -26 dBm and -16.5 dBm, respectively. The chip size is 0.47 mm^2 .

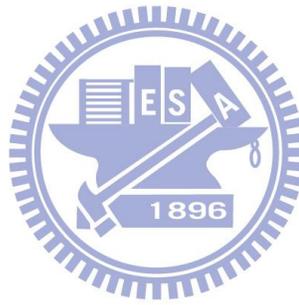
The other circuit is the integration of LNA and mixer. The folded-switching topology is adopted to increase linearity of the mixer and reduce the effects on whole circuit linearity. The simulation exhibits a gain of 13.2 dB and a noise figure of 4.6 dB, while consuming 12 mW. An IP_{1dB} and an IIP3 are -25 dBm and -12.5 dBm, respectively. The chip size is 0.68 mm^2 .

致謝

時光匆匆，光陰似砲彈，兩年的碩士研究生涯即將結束。本論文的完成，有賴於多方的協助，在此由衷的感謝你們!首先感謝指導教授鍾世忠博士，在這期間的指導，使學生在研究方面有所成長。感謝口試委員:邱煥凱教授、張盛富教授、孟慶宗教授、張志揚教授，對論文上的指導與建議，使本論文更加完備。

感謝學長姐、同學在課業上的互相砥礪與生活上的陪伴。感謝學長清標、孝聰、佩宗與竣義在各方面的幫助；感謝隔壁實驗的同學冠豪，在研究與重訓的討論；感謝共同合作的同學郁凱。

最後要特別感謝父母親，因為有你們辛苦的栽培與支持，才能讓我無後顧之憂的完成學業。



目錄

第 1 章 研究內容與緒論	1
1.1 背景及動機.....	1
1.2 雷達的分類.....	3
1.3 論文組織	4
第 2 章 基本概念與震盪源頻率選擇	5
2.1 FMCW 原理.....	5
2.2 雜訊	8
2.2.1 熱雜訊.....	8
2.2.2 CMOS 電晶體之雜訊.....	9
2.2.3 雜訊指數(Noise Figure, NF)	12
2.3 非線性效應.....	13
2.3.1 增益壓縮	13
2.3.2 交互調變	14
2.4 VCO 參數與操作頻率的關聯	16
2.5 接收機架構.....	20
第 3 章 24 GHz 低雜訊放大器設計	22
3.1 常用低雜訊放大器架構簡介.....	22
3.2 製程簡介與設計考量	27
3.3 電晶體偏壓與尺寸選擇	33
3.4 第一級：電感性源極退化與電流再利用	35
3.5 第二級：疊接組態.....	36
3.5.1 增益提升.....	37
3.5.2 CS 與 CG 中間級匹配.....	40
3.6 輸出緩衝級與整體架構	43
3.7 量測結果	46
第 4 章 低雜訊放大器與混頻器整合設計	49
4.1 混頻器簡介[6][8].....	49
4.2 整合設計	53
4.2.1 低雜訊放大器	53
4.2.2 折疊式混波器	55
4.2.3 整體架構與模擬結果.....	55
第 5 章 結論.....	61

圖目錄

圖 1.1 追撞事故肇因.....	2
圖 1.2 反應時間與失事率關係圖[1].....	2
圖 1.3 追撞發生前踩煞車的時間點[2].....	2
圖 1.4 [4] (a)脈衝波雷達 與(b)FMCW 雷達.....	4
圖 2.1 線性鋸齒波頻率調變.....	5
圖 2.2 都卜勒效應示意圖.....	6
圖 2.3 目標物靠近雷達.....	6
圖 2.4 線性三角波頻率調變(目標物靠近雷達).....	7
圖 2.5 電阻熱雜訊模型 (a)等效雜訊電壓 (b) 等效雜訊電流.....	8
圖 2.6 雜訊功率量測.....	9
圖 2.7 通道熱雜訊.....	9
圖 2.8 MOSFET 分佈電阻 (a) 分佈電阻示意圖 (b) 以集總電阻等效.....	10
圖 2.9 多指叉式佈局.....	10
圖 2.10 感應閘極雜訊 (a)示意圖 (b)等效雜訊電流.....	11
圖 2.11 氧化層與矽基板的不連續鍵結.....	12
圖 2.12 電晶體雜訊功率頻譜密度.....	12
圖 2.13 多級串接.....	13
圖 2.14 輸入與輸出關係圖.....	14
圖 2.15 非線性系統中的交互調變.....	14
圖 2.16 IIP3 (a)三階截距點示意圖 (b) Two Tone 測試交互調變失真.....	15
圖 2.17 多級串接 IIP3.....	16
圖 2.18 交連耦合 VCO.....	16
圖 2.19 MOS 可變電容 Q 值隨頻率迅速衰減.....	18
圖 2.20 相位雜訊圖.....	19
圖 3.1 電阻匹配式放大器.....	22
圖 3.2 並串回授式放大器.....	23
圖 3.3 $1/g_m$ 匹配放大器.....	23
圖 3.4 源極電感性退化放大器.....	24
圖 3.5 電晶體加入源極電感之等效轉導.....	24
圖 3.6 源極電感性退化放大器小訊號模型.....	25
圖 3.7 源極電感性退化放大器阻抗匹配與雜訊匹配.....	26
圖 3.8 TSMC CMOS 0.18 μm 剖面圖.....	28
圖 3.9 偏壓電阻.....	28
圖 3.10 電阻器 (a)N 井電阻 (b)重摻雜電阻 (b)多晶矽電阻.....	29

圖 3.11 MIM 電容 (a)無金屬屏蔽 (b)有金屬屏蔽.....	30
圖 3.12 電感[16][17] (a)俯視圖 (b)基板損耗示意圖 (c)等效電路.....	31
圖 3.13 RF GSG Pad 與接地屏蔽.....	31
圖 3.14 DC PGP Pad 與 Bypass 電容.....	32
圖 3.15 LNA 個級簡述.....	32
圖 3.16 考慮 Pad 寄生效應.....	33
圖 3.17 電流密度與 NF_{min} 關係圖[20].....	34
圖 3.18 電流密度、轉導與 V_{GS} 關係圖.....	34
圖 3.19 電晶體寬度與 MAG 和 NF_{min}	35
圖 3.20(a)傳統雙級低雜訊放大器 (b)電流再利用低雜訊放大器.....	36
圖 3.21 電流再利用小訊號模型.....	36
圖 3.22 利用回授使增益提升.....	37
圖 3.23 主動式回授[26] (a) 增益提升架構 (b) IIP3 分析.....	37
圖 3.24 電容回授.....	39
圖 3.25 線性增益提升 (a) 架構圖 (b) 小訊號模型.....	39
圖 3.26 疊接組態及其寄生電容.....	41
圖 3.27 疊接組態中間級匹配.....	41
圖 3.28 中間級匹配之史密斯圖.....	42
圖 3.29 CG 閘極阻抗 (a) 無中間級匹配 (b) 有中間級匹配.....	43
圖 3.30 Z_p 在史密斯圖的位置.....	43
圖 3.31 輸出緩衝級 (a)源極隨耦器 (b)小訊號模型.....	44
圖 3.32 整體架構.....	45
圖 3.33 LNA 電路佈局.....	45
圖 3.34 晶片照片圖.....	46
圖 3.35 S 參數.....	46
圖 3.36 雜訊指數.....	47
圖 3.37 量測增益壓縮@ 22.7 GHz.....	47
圖 3.38 量測三階截止點(IIP3) @ 22.7 GHz.....	47
圖 4.1 單平衡混波器.....	49
圖 4.2 混波原理.....	50
圖 4.3 雙平衡混波器.....	51
圖 4.4 三種源級退化 LNA.....	53
圖 4.5 LNA 組態特性比較(a) MAG (b) NF_{min}	54
圖 4.6 折疊式混波器.....	55
圖 4.7 整體架構.....	56
圖 4.8 變壓器立體結構.....	56
圖 4.9 晶片佈局($1.15 \times 0.59 = 0.68 \text{ mm}^2$).....	57
圖 4.10 輸入與輸出反射損耗.....	57

圖 4.11 轉換增益.....	58
圖 4.12 雜訊指數.....	58
圖 4.13 增益壓縮點.....	59
圖 4.14 三階截止點.....	59
圖 4.15 隔離度.....	60
圖 5.1 射頻放大器示意圖.....	62

表目錄

表 1.1 [3]各種感測系統之比較.....	3
表 3.1 LNA 輸入阻抗匹配架構比較.....	27
表 3.2 LNA 各級考量.....	32
表 3.3 模擬與量測比較表.....	48
表 3.4 設計之 LNA 與其他發表論文比較表.....	48
表 4.1 模擬之規格表.....	60



第1章 研究內容與緒論

1.1 背景及動機

世界各國的經濟發展帶動機動車輛的快速成長，由其是中國大陸、印度、東協六國等新興市場，其成長幅度更是驚人，而道路建設無法完全負荷汽機車的成長速度，以及各種複雜的交通環境等等的問題，提高了交通事故的發生率。根據世界衛生組織(WHO)的調查報告，全球每年因交通事故所造成的死亡人數達 120 萬，另外有 5,000 萬人因此受傷，因此世界各國政府、車廠無不致力於汽車安全的研究。

根據統計，大部分的交通事故都與駕駛者的分心有關係，例如圖 1.1 顯示追撞事故肇因中有 88%與駕駛人的不專心有關係。根據圖 1.2[1]，駕駛人如能多 0.5 秒之反應時間，則車輛追撞之機率可減少 60%；多 1 秒，則追撞機率可減少剩下 10%；多 2 秒，則追撞、對撞、於十字路口相撞的機率都會降至零。圖 1.3[2]顯示年紀越長的駕駛則越晚踩煞車，換句話說，年紀越長的駕駛人需要更多的反應時間。這些統計資料說明，若提供駕駛人即時的行車資訊與碰撞預警功能，就可以增加駕駛人的反應時間，有效地降低交通事故的發生。

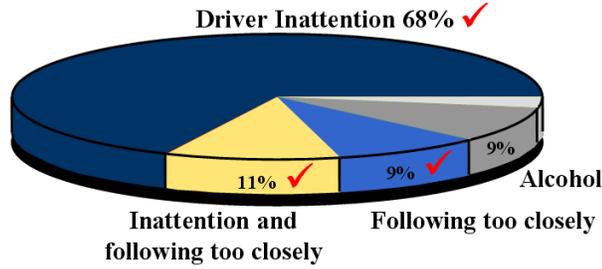
汽車雷達系統的作用即在利用先進的電子設備，輔助人類感測能力的不足，偵測車輛周遭的狀況，如其他車輛、行人、或路上障礙物的相對位置、速度與加速度等訊息，並即時通知駕駛人採取必要措施（如加速、減速或保持車道等），降低道路事故風險，達到車輛駕駛安全的目的。

根據美國聯絡車隊(US fleets of tractor-trailers)的四年資料，Eaton-Vorad 的防撞警告系統降低了總計可防止事故平均值的 50%（國家高速公路交通安全管理局(National Highway Traffic Safety Administration, NHTSA)資料），甚至可達 70% (Eaton-Vorad 資料)。

現有的雷達晶片是由昂貴的材料製成，如砷化鎵(GaAs)以及磷化銦(InP)，目前車用雷達的電子元件成本高達數百美元。而新採用 CMOS 技術的雷達晶片可能只要 10 美元就能生產。CMOS 雷達晶片將是每一輛汽車都能配備得起的，讓每一個買得起汽車的

人，也都能選擇配備汽車雷達，用幾美元就能夠拯救生命，藉此提升全世界人類的生活水準。

Radar can address 88 % of all rear-end crashes



Source: NHTSA

圖 1.1 追撞事故肇因

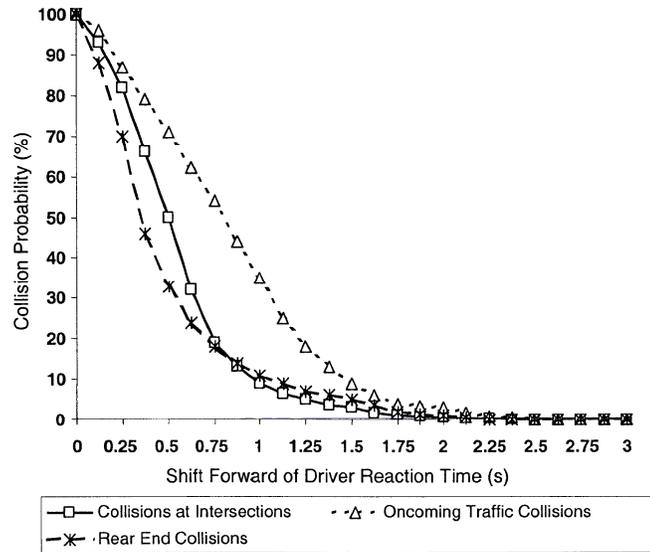


圖 1.2 反應時間與失事率關係圖[1]

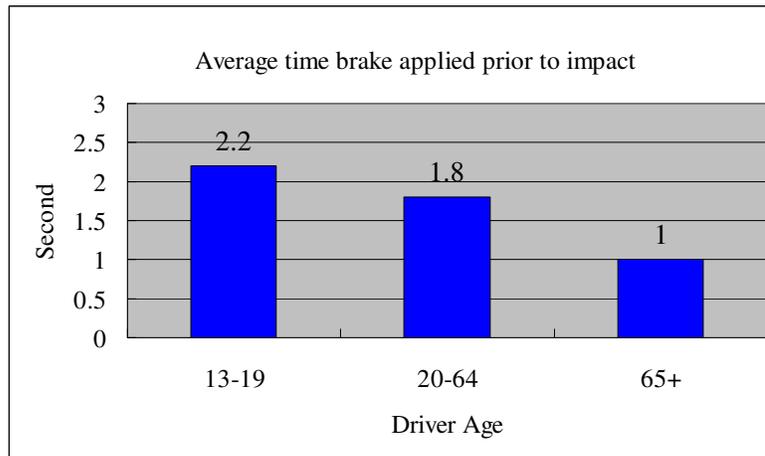


圖 1.3 追撞發生前踩煞車的時間點[2]

1.2 雷達的分類

實現測距防撞功能的技術可有多種選擇，如利用聲波（超音波）、光波（可見光、雷射光、紅外線）、或微波/毫米波技術等。雷達必須能在各種天氣狀況(雨天、下雪及濃霧)下有效工作。當雷達表面因天候的影響而有水氣、薄冰、甚或沙塵、污泥覆蓋時，還能維持一定的功能水平。在上述各種技術中，紅外線及雷射光雖然在某種程度上能穿透霧氣及水氣，但當雷達表面有積塵時，穿透能力將大受影響，而微/毫米波雷達相較於目前常使用的超音波、雷射、紅外線等技術，有探測距離較遠、性能比較不會受到天候不佳(沙塵、濃霧、下雨、下雪等等)的影響等優點，如表 1.1[3]之比較，所以毫米波雷達較適用於車用防撞。

表 1.1 [3]各種感測系統之比較

Technologies / Performance feature	Ultra-sonic	Infrared	Laser	Video	Microwave Radar
Long Range Capability	Poor	Fair	Good	Good	Good
Target Discrimination Capability	Poor	Poor	Fair	Good	Good
Minimizing False Alarms	Poor	Poor	Fair	Fair	Good
Temperature Stability	Poor	Fair	Good	Good	Good
Darkness Penetration	Good	Good	Good	Poor	Good
Adverse Weather Penetration	Poor	Poor	Poor	Poor	Good
Sensor Dirt/moisture Performance	Fair	Poor	Poor	Poor	Good

根據調變方式的不同，毫米波雷達又分為脈衝波雷達(Pulsed Radar)與連續調頻雷達(Frequency Modulation Continuous Wave Radar, FMCW Radar)[4]，如圖 1.4 所示。

脈衝波雷達以脈衝波調變方式發射方形脈衝波，以偵測目標。FMCW 雷達用頻率調變的方式，發射出一組頻率隨著時間而改變的電磁波，再運用發射波與回波的頻率差，算出物體的距離，FMCW 詳細原理將在第二章介紹。脈衝波雷達有分辨率較佳及測距比

較精密的優點，但電路實現上比 FMCW 雷達複雜許多。FMCW 雷達在實現上較容易，偵測距離也比脈衝波雷達遠，所以本論文所提出的設計是應用於 FMCW 雷達。

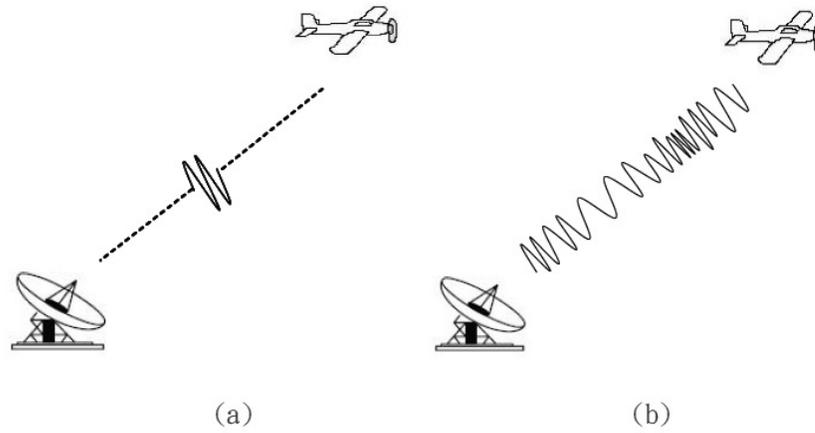


圖 1.4 [4] (a)脈衝波雷達 與(b)FMCW 雷達

1.3 論文組織

本論文共分為五章。第一章敘述研究背景及動機。第二章介紹 FMCW 測距原理、CMOS 雜訊來源、非線性效應以及接收機架構。第三章介紹低雜訊放大器(LNA)的設計與設計考量，以及量測結果。第四章整合 LNA 與混頻器將射頻訊號降至 16 GHz。第五章為結論。

第2章 基本概念與震盪源頻率選擇

2.1 FMCW 原理

FMCW 雷達用固定的速率改變發射波頻率，再比較發射波與接收波的頻率相差的值，以此頻率相差值計算目標物的距離[4][5]。圖 2.1 所表現的是頻率調變連續波雷達(FMCW 雷達)的發射和接收訊號(假設目標物與雷達之間無相對運動)，其中 BW 是調變頻寬， Δt 是訊號從雷達發射到目標物再反射回到雷達接收端的時間， T_m 則是頻率調變的週期。假設目標物與雷達距離為 R ，則 Δt 可寫成

$$\Delta t = \frac{2R}{c} \tag{2.1}$$

其中 c 為電磁波傳播的速率。雷達與目標物之距離而產生之頻率相差值稱為拍頻(Beat Frequency, f_B)等於 Δt 乘上頻率隨時間的變化率:

$$f_B = \Delta t \cdot \frac{BW}{T_m} = \frac{2R}{c} \cdot \frac{BW}{T_m} \tag{2.2}$$

整理(2.2)式得到距離

$$R = \frac{c}{2} \cdot \frac{T_m}{BW} \cdot f_B \tag{2.3}$$

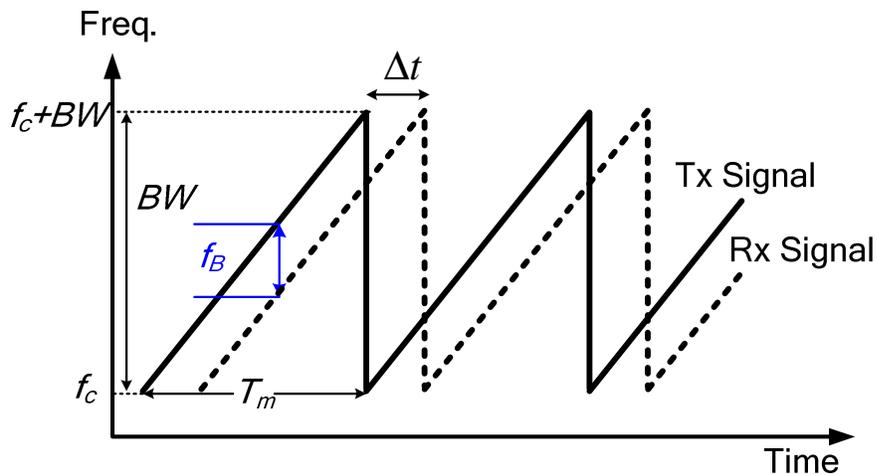


圖 2.1 線性鋸齒波頻率調變

都卜勒頻移(Doppler Frequency Shift)

當目標物與雷達之間有相對運動，如圖 2.2，目標物靠近雷達時，回波訊號頻率上升，遠離則是頻率下降，都卜勒效應(Doppler Effect)產生之頻率飄移(f_D)直接影響在發射波與回波的頻率相差值(圖 2.3)，而造成距離的誤判[5]。

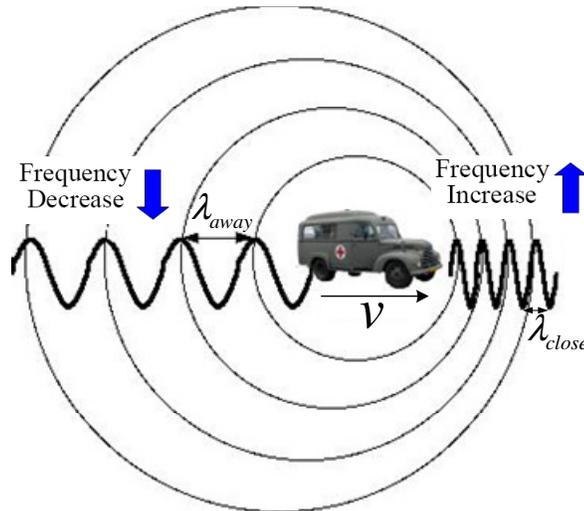


圖 2.2 都卜勒效應示意圖

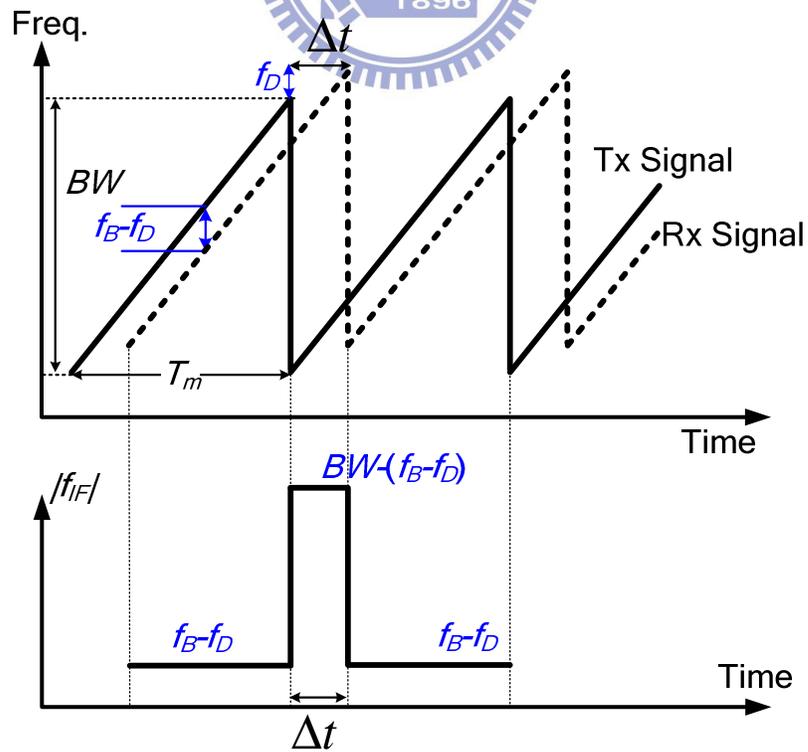


圖 2.3 目標物靠近雷達

假設目標物與雷達之間有一相對速率 v ，則 IF 頻率必須修改為

$$f_{IF} = \frac{2R}{c} \cdot \frac{BW}{T_m} \pm \frac{2v}{c} \cdot f_0 \quad (2.4)$$

其中 $f_D = \frac{2v}{c} \cdot f_0$ 為都卜勒頻移(Doppler Frequency Shift)， f_0 為發射頻率，”+”代表目標物遠離雷達，”-”代表目標物靠近雷達，一般而言 $\frac{2R}{c} \cdot \frac{BW}{T_m} > \frac{2v}{c} \cdot f_0$ 。式(2.4)表示雷達與目標物之距離和相對速度都會影響回波頻率，而鋸齒波之頻率調變方式無法將兩種因素分離，當相對速度或 T_m 很大時就會造成距離的誤判，為了解決此問題，調變波形可改為三角波，如圖 2.4 所示。

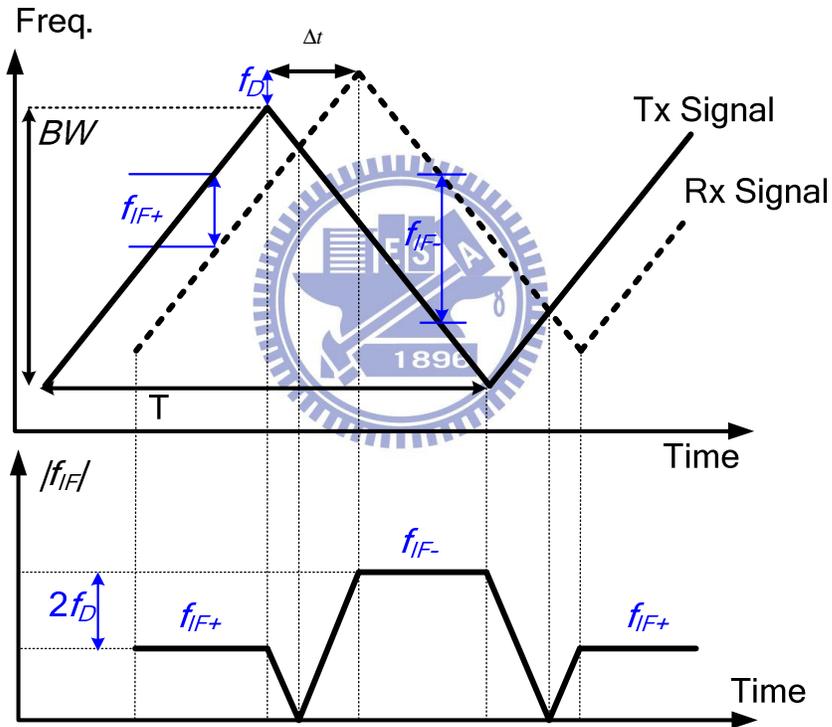


圖 2.4 線性三角波頻率調變(目標物靠近雷達)

圖 2.4 是假設目標物靠近雷達，頻率上升緣與下降緣的 IF 頻率分別為式(2.5)與式(2.6)。

$$f_{IF+} = f_B - f_D = \frac{4R}{c} \cdot \frac{BW}{T_{m_tri}} - \frac{2v}{c} \cdot f_0 \quad (2.5)$$

$$f_{IF-} = f_B + f_D = \frac{4R}{c} \cdot \frac{BW}{T_{m_tri}} + \frac{2v}{c} \cdot f_0 \quad (2.6)$$

由式(2.5)與式(2.6)可得距離與相對速率分別為

$$R = \frac{c}{8} \cdot \frac{T_{m-tri}}{BW} \cdot (f_{IF-} + f_{IF+}) \quad (2.7)$$

$$v = \frac{c}{4f_0} |f_{IF+} - f_{IF-}| \quad (2.8)$$

2.2 雜訊

本節介紹雜訊之來源以及雜訊指數[6][7][8]。

2.2.1 熱雜訊

熱雜訊是載子在環境溫度大於絕對零度($T > 0\text{ K}$)的情況下，受熱而擾動引起的振動所造成，此載子的運動與粒子的布朗尼運動 (Brownian Motion) 相似。所有導體或電阻在高於絕對零度的環境中，內部電子會隨機運動而產生熱雜訊。在實際電路中的熱雜訊係由電阻、傳輸線損耗或半導體層的電阻等所產生，為了減少熱雜訊，必須儘量使造成損耗的電阻值趨近於零。

假設有一電阻 R 至於溫度為 $T\text{ K}$ 的環境中，內部的電子會產生雜訊，等效雜訊電壓模型如圖2.5(a)所示， $\overline{v_n}$ 為雜訊電壓的方均根值(Root-Mean-Squared Value)，式(2.9)為其公式。或者也可以等效成雜訊電流如圖2.5(b)， $\overline{i_n}$ 為雜訊電流的方均根值

(Root-Mean-Squared Value)，式(2.10)。

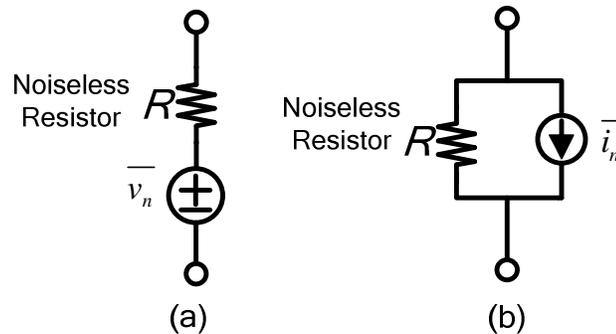


圖 2.5 電阻熱雜訊模型 (a)等效雜訊電壓 (b) 等效雜訊電流

$$\overline{v_n}^2 = 4kTR\Delta f \quad (2.9)$$

$$\overline{i_n}^2 = \frac{\overline{v_n}^2}{R^2} = \frac{4kTR\Delta f}{R} \quad (2.10)$$

其中， $k = 1.38 \times 10^{-23} \text{ J/K}$ 為波茲曼常數 (Boltzmann's Constant)， T 是環境的絕對

溫度 (K)， Δf 是測試系統的雜訊頻寬 (Hz)。參考圖 2.6，當量測系統內阻也是 R 時，由雜訊電壓源傳送到量測系統的功率稱為可用功率， P_n (Available Noise Power):

$$P_n = \frac{\overline{v_n^2}}{4R} = \frac{4kTR\Delta f}{4R} = kT\Delta f \quad (2.11)$$

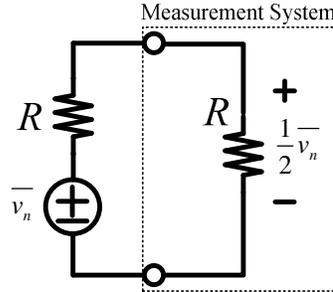


圖 2.6 雜訊功率量測

(2.11)式表示熱雜訊功率和頻寬有關，而非中心工作頻率，所以雜訊功率頻譜密度是常數值，等於 kT (W/Hz)，當溫度在 290 K 時，雜訊功率頻譜密度為 -174 dBm/Hz。

2.2.2 CMOS 電晶體之雜訊

(1) 通道熱雜訊(channel thermal noise)

FET 的通道就像個壓控可變電阻(Voltage-controlled Resistor)，而通道熱雜訊為 FETs 通道電阻所產生的熱雜訊，等效電路為輸出雜訊電流源並聯於電晶體上(圖 2.7)，通道雜訊電流為式(2.12)，其中 g_{d0} 是汲極-源極零偏壓($V_{DS}=0$)時的電導值， γ 為通道熱雜訊係數，長通道元件的 γ 值為 $2/3$ ，短通道元件則 $2 \leq \gamma \leq 3$ 。

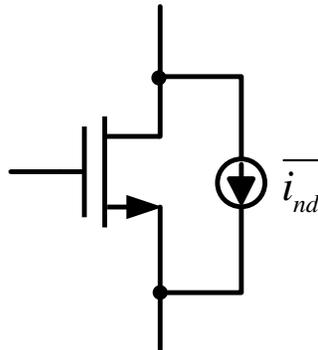


圖 2.7 通道熱雜訊

$$\overline{i_{nd}^2} = 4kT\gamma g_{d0}\Delta f \quad (2.12)$$

(2)分佈閘極電阻熱雜訊 (distributed gate resistance noise)

圖 2.8(a)，CMOS 製程電晶體閘極佈局時，使用多晶矽(Poly)完成連線，多晶矽本身的電阻會產生熱雜訊，寄生電阻分佈於電晶體佈局，可以用集總電阻來等效，如圖 2.8(b)。對於一個相當寬的電晶體來說，源極和汲極電阻可忽略不計，但閘極分佈電阻則非常重要，並可藉由多指叉(multi-finger)式佈局(圖 2.9)降低阻值，其值為：

$$R_G = \frac{R_H W}{3n^2 L} \quad (2.13)$$

其中， R_H 為多晶矽片電阻(sheet resistance)， L 為通道長度， n 為多指叉(multi-finger)式佈局之指叉數目，可藉由增加指叉數目降低 R_G ，即可降低雜訊貢獻量。但在同一電晶體寬度下，指叉數目過多會增加寄生電容。

此外，即使是重摻雜多晶矽還是有很高的片電阻，大約數百 ohm/sq，將多晶矽金屬化形成金屬矽化物(Silicide)，可將片電阻降到 10 ohm/sq 以下，大幅降低電阻值。

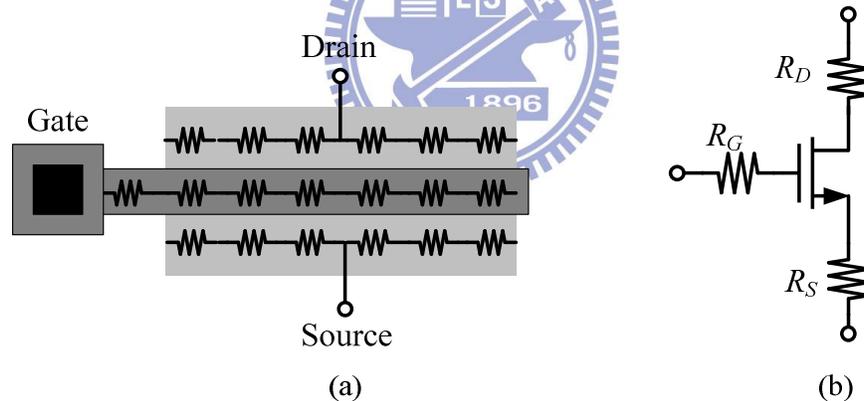


圖 2.8 MOSFET 分佈電阻 (a) 分佈電阻示意圖 (b) 以集總電阻等效

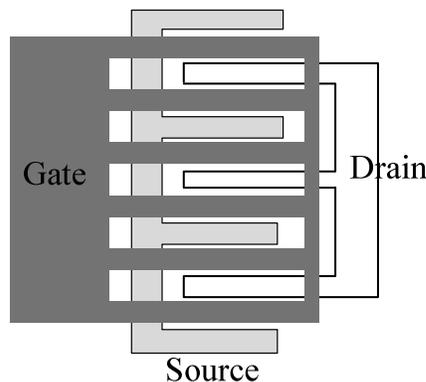


圖 2.9 多指叉式佈局

(3) 感應閘極雜訊(induced gate noise)

參考圖 2.10，施予電晶體閘極偏壓使通道反轉，通道內部擾動的載子會經由閘極電容耦合至閘極而產生感應雜訊，感應閘極雜訊表示為：

$$\overline{i_{ng}^2} = 4kT\delta g_g \Delta f \quad (2.14)$$

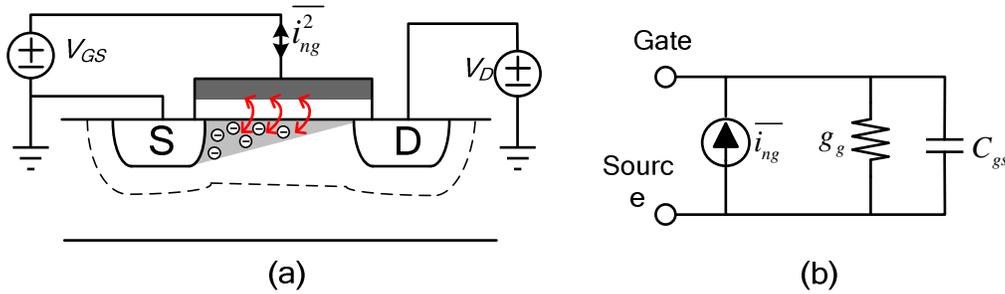


圖 2.10 感應閘極雜訊 (a)示意圖 (b)等效雜訊電流

其中閘極熱雜訊係數 $\delta = 2\gamma$ 、 $g_g = (\omega^2 C_{gs}^2) / (5g_{d0})$ 。因為 $\overline{i_{ng}^2} \propto \omega^2$ ，故此感應雜訊並非白色雜訊，而稱之為藍色雜訊。 i_{ng} 與 i_{nd} 有關係，其相關係數 $c = -j0.395$ 。

(4) 閃爍雜訊(Flicker Noise)

在低頻時，電晶體的雜訊主要由閃爍雜訊主導，由於其功率頻譜密度與頻率 f 成反比，又有 $1/f$ 雜訊之稱。其來源在於，電晶體閘極氧化層與矽基板界面有許多不連續鍵結(Dangling Bond)，如圖 2.11 所示，當電荷載子於介面移動時，某些載子被隨機捕捉然後以此能階釋放，使得汲極電流產生閃爍雜訊，式(2.15)為其雜訊公式。與熱雜訊不同，閃爍雜訊之平均功率無法輕易地預測出來，與氧化層-矽介面的清潔度有關，而且隨著 CMOS 製程技術而變化。在頻率大於 1 MHz 以上時，閃爍雜訊的影響小於通道熱雜訊，因此在射頻電路設計上可將其忽略不計。

$$\overline{i_{n,1/f}^2} = \frac{K}{C_{ox}WL} \cdot \frac{1}{f} \cdot g_m^2 \quad (2.15)$$

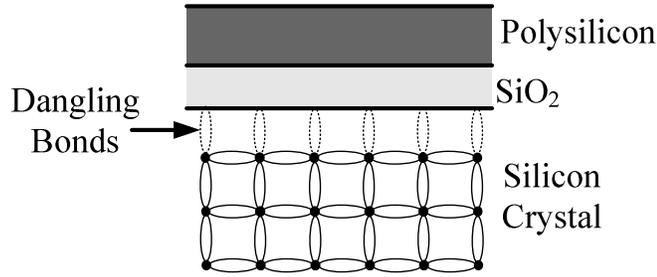


圖 2.11 氧化層與矽基板的不連續鍵結

圖 2.12 為 FET 各種雜訊對頻率作圖，值得注意的是，感應閘極雜訊在頻率為 $\sqrt{\frac{5\gamma}{\delta}} \frac{f_T}{\alpha}$ 時 ($\alpha = \frac{g_m}{g_{d0}}$)，其功率與熱雜訊功率一樣大。

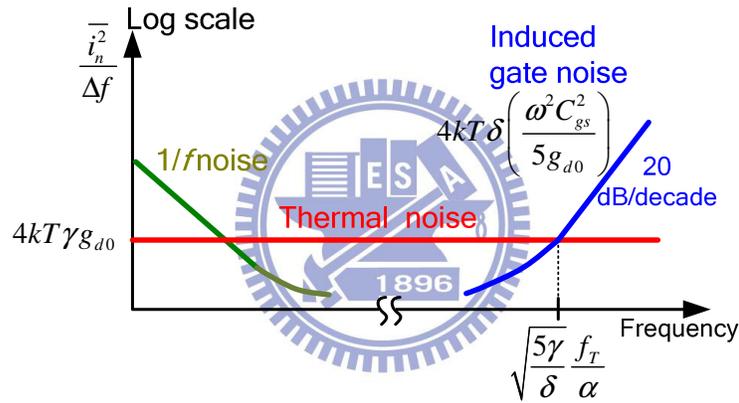


圖 2.12 電晶體雜訊功率頻譜密度

2.2.3 雜訊指數(Noise Figure, NF)

雜訊因素(Noise Factor, F)或雜訊指數(Noise Figure, NF)用以衡量電路或系統本身所產生的雜訊功率。雜訊因素為輸入埠訊雜比(SNR_{in})與輸出埠訊雜比(SNR_{out})的比值，雜訊因素的 dB 值即雜訊指數，其表示式分別如下：

$$F \equiv \frac{SNR_{in}}{SNR_{out}} = \frac{\text{total output noise power}}{\text{output noise power due to input source}} \quad (2.16)$$

$$NF = 10 \log F \quad (2.17)$$

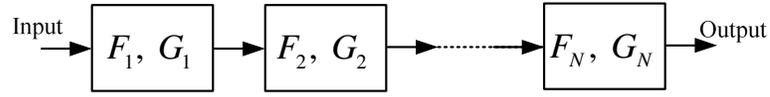


圖 2.13 多級串接

多級串接的整體雜訊指數:

$$F_{tot} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_N - 1}{G_1 G_2 \dots G_{N-1}} \quad (2.18)$$

觀察式(2.18)可知越前級電路之雜訊指數影響系統整體雜訊指數越大，而後級的雜訊指數貢獻量則會被前級的增益所抑制，因此前級電路的雜訊指數應越小越好，並且具備足夠的增益用以壓抑後級的雜訊。

2.3 非線性效應

凡是半導體元件均有非線性效應，非線性效應造成訊號失真，甚至產生額外的調變訊號，造成干擾[6][8]。

2.3.1 增益壓縮

假設輸入訊號 $v_{in} = A \cos \omega t$ ，經過一非線性電路，輸出訊號為:

$$\begin{aligned} v_{out} &= \alpha_0 + \alpha_1 v_{in} + \alpha_2 v_{in}^2 + \alpha_3 v_{in}^3 + \dots \\ &= \alpha_0 + \alpha_1 A \cos \omega t + \alpha_2 A^2 \cos^2 \omega t + \alpha_3 A^3 \cos^3 \omega t + \dots \\ &= \left(\alpha_0 + \frac{\alpha_2 A^2}{2} \right) + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos \omega t + \frac{\alpha_2 A^2}{2} \cos 2\omega t + \frac{3\alpha_3 A^3}{4} \cos 3\omega t \end{aligned} \quad (2.19)$$

基頻訊號(一倍 ω)的輸出包含了兩項成分， $\alpha_1 A$ 為吾人所希望之線性關係，而 $\frac{3\alpha_3 A^3}{4}$ 係由三階效應產生， α_3 係數小於零，因此輸出訊號比理想值小，造成增益壓縮(Gain Compression)。若持續增加輸入振幅，輸出訊號會有更多的二倍頻、三倍頻等更高頻諧波成份，使輸出產生頻帶外失真(Out-of-Band Distortion)，亦稱為諧波失真(Harmonic Distortion)。

如圖 2.14 所示，當輸入訊號持續增強，輸出訊號不再呈線性增加，上升曲線趨於平緩。與理想的線性直線比較，實際輸出功率與理想輸出功率相差 1 dB 時，此時的輸入功率稱為輸入 1-dB 壓縮功率 IP_{1dB} (Input 1-dB Compressed Point)，輸出功率稱為輸出 1-dB

壓縮功率 OP_{1dB} (Output 1-dB Compressed Point)，而增益等於 $G-1$ (dB)。

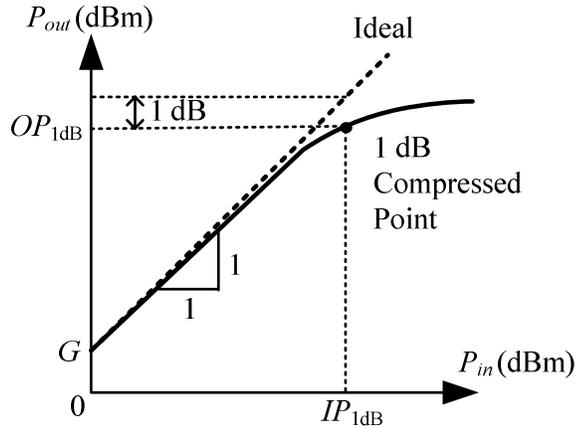


圖 2.14 輸入與輸出關係圖

2.3.2 交互調變

由於非線性的效應，而產生高次諧波失真，這些諧波成分隨著輸入功率增強而變大，各諧波間還會交互調變，產生頻帶內干擾。

參考圖 2.15，假設在操作頻帶附近，出現兩個頻率相近的干擾信號時，非線性的電路會將訊號交互調變，調變產生之訊號會干擾正常頻帶內的操作。三階截止點(Input Third-Order Intercept Point, IIP3)用來衡量此種失真的程度，而量測方式可分為單頻測試(One-Tone Test)或雙頻測試(Two-Tone Test)，以下將以雙頻分析做分析。

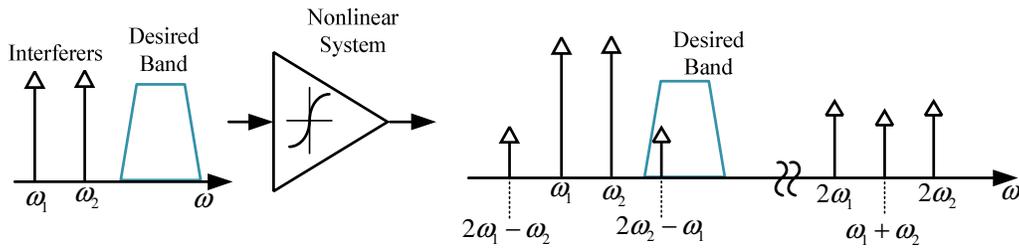


圖 2.15 非線性系統中的交互調變

假設輸入訊號包含兩個不同頻率成分：

$$v_{in} = A \cos \omega_1 t + B \cos \omega_2 t, \quad \omega_1 \approx \omega_2 \quad (2.20)$$

輸出訊號為：

$$\begin{aligned}
v_{out} &= \alpha_0 + \alpha_1 v_{in} + \alpha_2 v_{in}^2 + \alpha_3 v_{in}^3 + \dots \\
&= \alpha_0 + \alpha_1 (A \cos \omega_1 t + B \cos \omega_2 t) + \\
&\quad \alpha_2 (A \cos \omega_1 t + B \cos \omega_2 t)^2 + \\
&\quad \alpha_3 (A \cos \omega_1 t + B \cos \omega_2 t)^3 + \dots
\end{aligned} \tag{2.21}$$

整理後，交互調變(Inter-modulation)項為

$$\begin{aligned}
\omega &= \omega_1 \pm \omega_2 : \alpha_2 AB [\cos(\omega_1 + \omega_2)t + \cos(\omega_1 - \omega_2)t] \\
&= 2\omega_1 \pm \omega_2 : \frac{3\alpha_3 A^2 B}{4} [\cos(2\omega_1 + \omega_2)t + \cos(2\omega_1 - \omega_2)t] \\
&= 2\omega_2 \pm \omega_1 : \frac{3\alpha_3 AB^2}{4} [\cos(2\omega_2 + \omega_1)t + \cos(2\omega_2 - \omega_1)t]
\end{aligned} \tag{2.22}$$

基頻項為

$$\begin{aligned}
\omega = \omega_1, \omega_2 : & \left(\alpha_1 A + \frac{3}{4} \alpha_3 A^3 + \frac{3}{2} \alpha_3 AB^2 \right) \cos \omega_1 t + \\
& \left(\alpha_1 B + \frac{3}{4} \alpha_3 B^3 + \frac{3}{2} \alpha_3 A^2 B \right) \cos \omega_2 t
\end{aligned} \tag{2.23}$$

圖 2.16(a)輸出功率對輸入功率作圖，互調訊號(IM3)與基頻訊號都會增益壓縮，因此兩者的功率永遠不會相同，而三階截距點為理想直線外插，交叉出來的點。IIP3 也可以用圖 2.16(b)做計算，IIP3 值為式(2.24)。

$$IIP3|_{dBm} = \frac{1}{2} \Delta P|_{dB} + P_{in}|_{dBm} \tag{2.24}$$

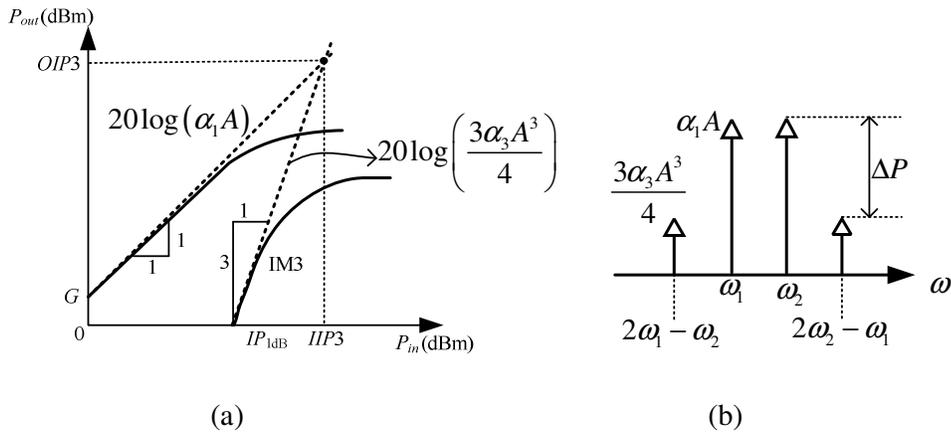


圖 2.16 IIP3 (a)三階截距點示意圖 (b) Two Tone 測試交互調變失真

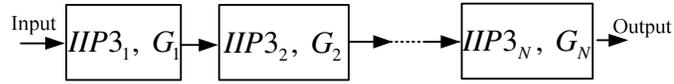


圖 2.17 多級串接 IIP3

N 級系統的三階截止功率為 IIP3 為:

$$\frac{1}{IIP3_{tot}} = \frac{1}{IIP3_1} + \frac{G_1}{IIP3_2} + \dots + \frac{G_1 G_2 \dots G_{N-1}}{IIP3_N} \quad (2.25)$$

由上式可知，越後級電路的 IIP3 對整體系統的 IIP3 影響越大，因此越後級的電路之線性度要求越嚴苛。

2.4 VCO 參數與操作頻率的關聯

壓控振盪器(VCO)主要是提供穩定而乾淨的振盪訊號(LO 訊號)；在發射機中，VCO 提供載波將基頻訊號升至射頻，再由天線發射；在接收機中，LO 訊號與天線接收的 RF 訊號混頻，將 RF 訊號降至中頻或基頻[8]。一般常見的電壓控制振盪器有晶體振盪器(Crystal oscillator)、環型振盪器(Ring oscillator)、以及電感電容振盪器(LC oscillator)等等。其中以晶體振盪器最穩定，但是可調整頻率非常小，而 LC 振盪器也可以產生較穩定振盪頻率，LC 振盪器採用負電阻及電感電容組成振盪器的架構，由於輸出頻率高、低相位雜訊且較不受溫度改變影響，因此主要應用於無線通訊射頻積體電路中[6]。

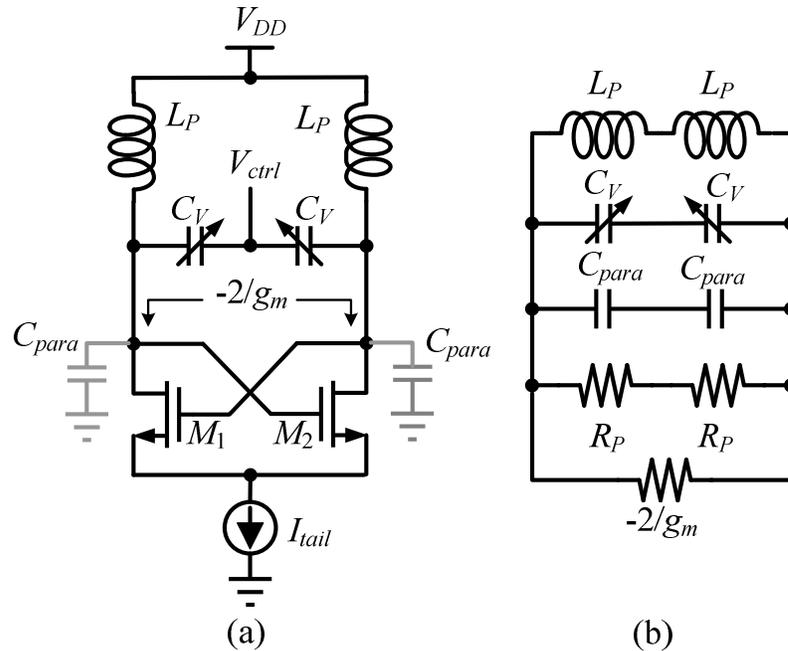


圖 2.18 交連耦合 VCO

圖 2.18 為交連耦合 VCO，是 LC 振盪器的一種，振盪頻率由 LC-tank 決定，振盪頻率為：

$$\omega_{osc} = \frac{1}{\sqrt{L_p C_p}} \quad (2.26)$$

其中 $C_p = C_v + C_{para}$ 包含可變電容與電晶體的寄生電容。交連電晶體產生負阻抵消

LC-tank 之損耗，使訊號能穩定輸出；式(2.27)為起振條件。

$$g_m \geq \frac{1}{R_p} \quad (2.27)$$

可調範圍(Tuning Range)與 C_p 的範圍有關， C_p 的範圍如下

$$(C_{v,\min} + C_{para}) = C_{\min} \leq C_p \leq C_{\max} = (C_{v,\max} + C_{para}) \quad (2.28)$$

其中， $C_{v,\min}$ 與 $C_{v,\max}$ 分別為可變電容的最小與最大電容值。式(2.29)為可調範圍的公式，

可看出 C_{\max}/C_{\min} 越大則可調範圍越大， $C_{v,\max}/C_{v,\min}$ 有其極限，因此必須盡量降低電晶體寄生電容(C_p)以提升 C_{\max}/C_{\min} 。

$$\frac{\omega_{\max} - \omega_{\min}}{\omega_0} = \frac{\frac{1}{\sqrt{LC_{\min}}} - \frac{1}{\sqrt{LC_{\max}}}}{\frac{1}{2} \times \left(\frac{1}{\sqrt{LC_{\min}}} + \frac{1}{\sqrt{LC_{\max}}} \right)} = 2 \times \frac{\sqrt{\frac{C_{\max}}{C_{\min}}} - 1}{\sqrt{\frac{C_{\max}}{C_{\min}}} + 1} \quad (2.29)$$

由式(2.27)，當 LC-tank 損耗越大(R_p 越小)時，則需要更大的 g_m (增加電晶體寬度)以滿足起振條件，不僅增加了功率消耗，也增加了寄生電容 C_{para} ，因此降低了可調範圍，式(2.28)與(2.29)。

由式(2.30)，LC-tank 的好壞由電感與電容共同決定。低頻時 LC-tank 的 Q 值(Q_{tank})由電感主導，高頻時雖然電感的 Q 值(Q_L)會比低頻時高一些，但是可變電容的 Q 值(Q_C)嚴重惡化進而主導 Q_{tank} 。

$$Q_{\text{tank}} = \frac{Q_C \cdot Q_L}{Q_C + Q_L} = \omega R_p C_p \quad (2.30)$$

$$R_p = \frac{Q_{\text{tank}}}{\omega C_p} \quad (2.31)$$

圖 2.19(a)是零跨壓之可變電容的容值，由圖 2.19(b)可看出 Q_C 隨頻率驟降，在 2 GHz 時的 Q_C 為 150，8 GHz 時為 35.7，24 GHz 時僅剩 7.2。一般而言，電感的 Q 值在 24 GHz 約 15~25 之間，所以在 24 GHz 時，LC-tank 的 Q 值反而由可變電容主導。圖 2.19(c)顯示固定電容的情況下，改變電感大小調整共振頻率，在共振頻率時 LC-tank 的 Q 值 (Q_{tank})，高頻的 Q_{tank} 被可變電容拖累而下降。圖 2.19(d)顯示 LC-tank 之 R_p 隨頻率增加而降低，在 6GHz 時為 1 k Ω ，頻率為 24 GHz 時只有 0.1 k Ω ；越高頻則損耗越大，需要消耗更大的功率。雖然使用更小的可變電容可以改善 Q_{tank} 與 R_p ，但是會縮小可調範圍。

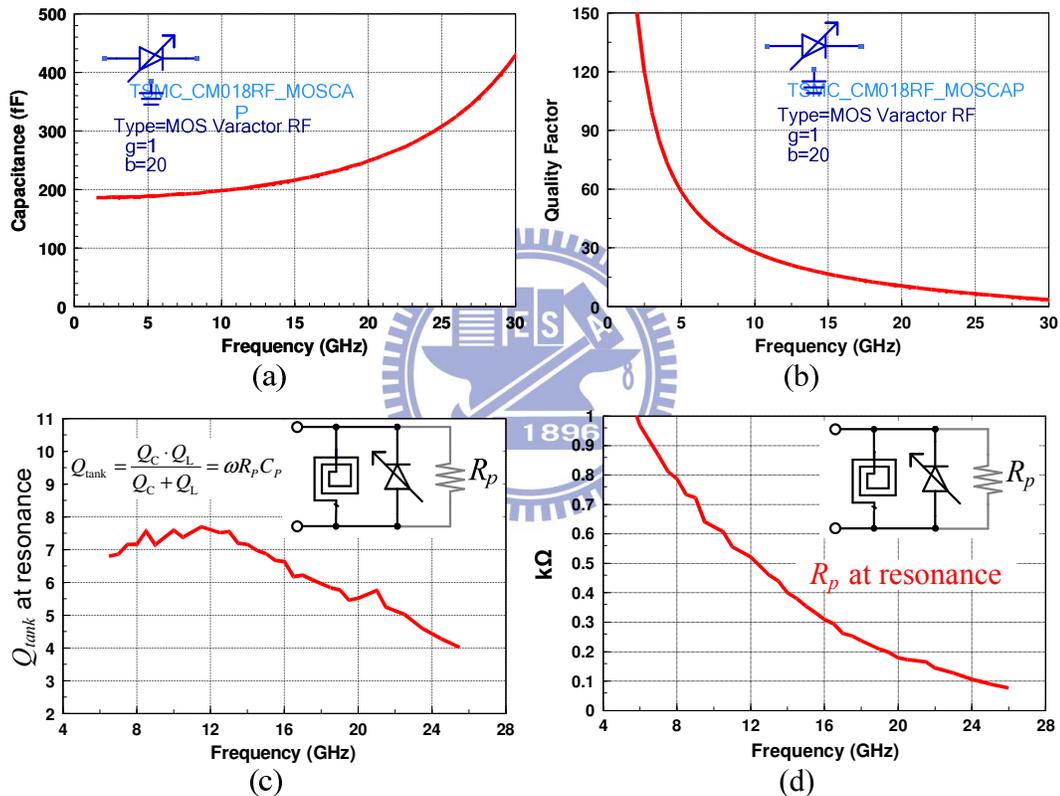


圖 2.19 MOS 可變電容 Q 值隨頻率迅速衰減

(a)MOS 可變電容 (b)可變電容 Q 值 (c)LC-tank 之 Q 值 (d)LC-tank 阻抗

VCO 的輸出電壓振幅表示為式(2.32)， I_{tail} 偏壓電流，因此在相同的 I_{tail} 下，操作頻率越低，輸出振幅就越大。

$$V_{\text{tank}} = \frac{2}{\pi} R_p I_{\text{tail}} \quad (2.32)$$

低頻振盪源還有相位雜訊，較佳的優點。根據[9]，距離振盪頻率 $\Delta\omega$ 處的單邊帶雜訊對訊號比，以dB值表示為：

$$L(\Delta\omega) = 10 \log \left\{ \frac{2FkT}{P_{sig}} \left[1 + \left(\frac{\omega_{osc}}{2Q_{tank} \Delta\omega} \right)^2 \right] \left(1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right) \right\} \quad (2.33)$$

式(2.33)即所謂的Lesson's Model，相位雜訊圖如圖2.20所示，其中 F 、 $\Delta\omega_{1/f^3}$ 為必須經量測才能得到的Curve Fitting 參數， $\Delta\omega_{1/f^3}$ 與主動元件的閃爍雜訊(Flicker Noise)有關， P_{sig} 為振盪器輸出訊號功率， k 為波茲曼常數(Boltzmann Constant)， T 為絕對溫度。由式(2.33)，振盪頻率(ω_{osc})越低、增加 Q_{tank} 或增加 P_{sig} 可降低相位雜訊。

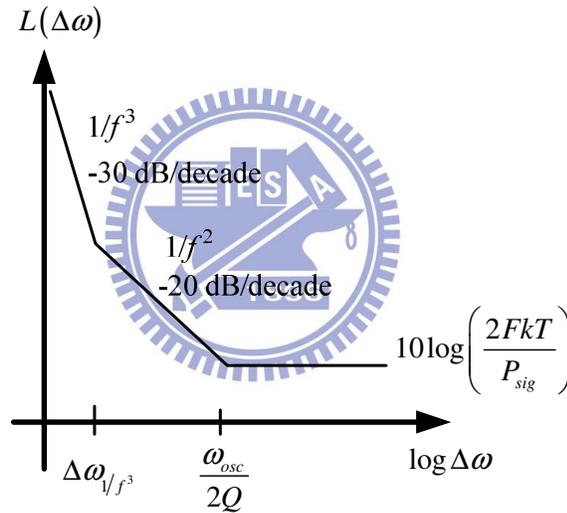


圖 2.20 相位雜訊圖

另外，吉伯特混波器(Gilber Mixer)之閃爍雜訊(Flicker Noise、 $1/f$ Noise)與振盪源頻率高低、振幅大小也有關係。根據[10]，閃爍雜訊的產生與汲極端的電流和開關級尺寸有關，輸出雜訊電流為：

$$\overline{(i_{n,o})} = \frac{4I_{SW} \times V_n}{S_{LO} \times T_{LO}} \quad (2.34)$$

$$V_n = \sqrt{2 \times \frac{K_f}{W_{eff} L_{eff} C_{OX} f}} \quad (2.35)$$

其中， I_{SW} 為開關需的電流、 T_{LO} 為 LO 的週期、 V_n 為開關級等效閃爍雜訊、 S_{LO} 為

LO 訊號的斜率、 W_{eff} 為電晶體通道寬度、 L_{eff} 為電晶體通道長度。由此公式可以知當 T_{LO} 越大(LO 頻率越低)、 S_{LO} 越大(LO 振幅越大)可以降低混頻器的閃爍雜訊，有利於 Zero-IF 或 Low-IF 之應用。

總結上述討論，低頻之振盪源，其功率消耗、可調範圍、輸出振幅與相位雜訊，皆有較佳的表現，而且更適合 Zero-IF 或 Low-IF 之應用。因此在高頻系統的應用，LO 頻率經常是 RF 頻率的一半，甚至四分之一，但是系統需要倍頻器、諧波混頻器或是兩次以上的降(升)頻。

2.5 接收機架構

由 2.4 節的結論，毫米波 VCO 的特性嚴重受到可變電容的影響，因此[11-14]接收機的 LO 頻率都遠低於 RF 頻率。圖 2.21[11][12]架構是 $f_{LO} = 2f_{RF}/3$ ，需要一除頻器將 LO 訊號除頻，除頻器的輸出用來第二次降頻。圖 2.22[13][14]則是 $f_{LO} = f_{RF}/3$ ，第一次降頻採用次諧波混頻器(Sub-harmonic Mixer)來降頻，第一個 IF 頻率為 $f_{RF}/3$ ，第二降頻將 IF 降至基頻。

圖 2.23 為我們規劃之架構，也是採用 $f_{LO} = 2f_{RF}/3$ 。由於在 FMCW 應用中，本地訊號與回波之間的頻率差異不大，必須避免 LO 訊號的自我混頻(Self-Mixing)而產生直流偏移(DC-offset)[6][8]，因此將次諧波混頻器置於第二次降頻。本論文第三章為 24 GHz LNA 的設計，第四章則是把 LNA 與混波器整合並且將 RF 頻率降至 16 GHz。

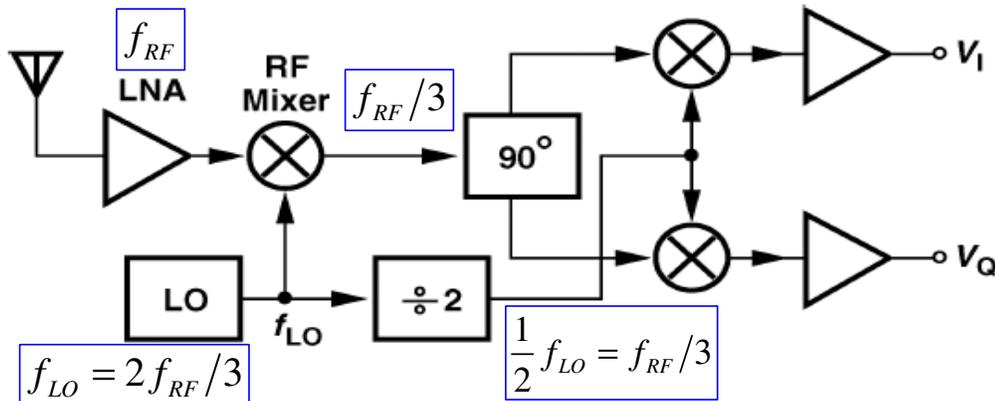


圖 2.21 $f_{LO} = 2f_{RF}/3$ 接收機[11][12]

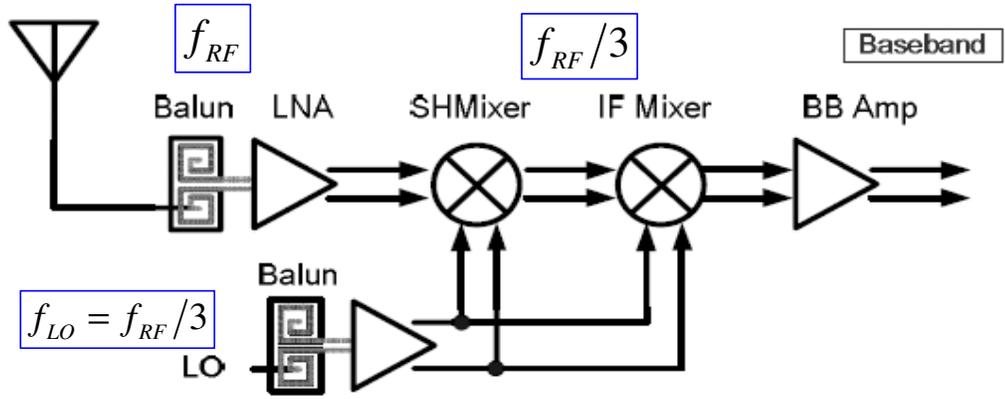


圖 2.22 $f_{LO} = f_{RF}/3$ 接收機[13][14]

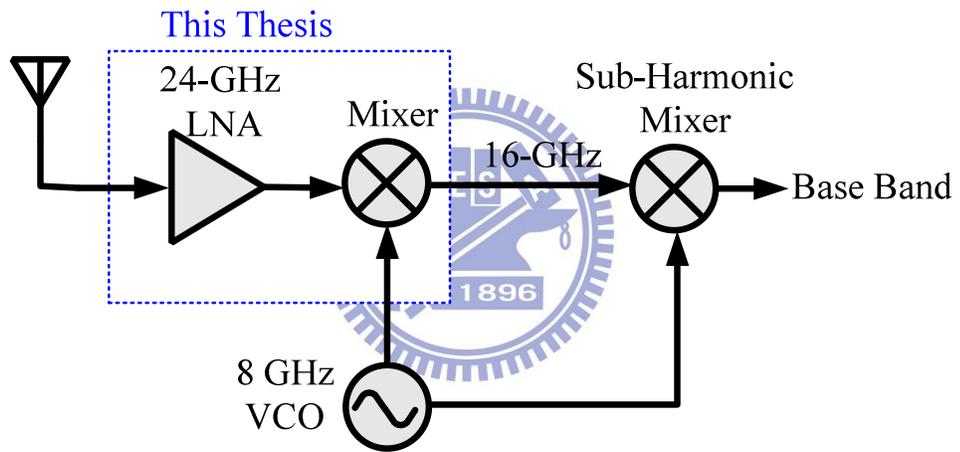


圖 2.23 接收機架構

第3章 24 GHz 低雜訊放大器設計

3.1 常用低雜訊放大器架構簡介

放大器有四種常用的輸入匹配架構[6][15]: 電阻匹配式放大器(Resistive Termination)、並串回授式放大器(Shunt-series Feedback)、 $1/g_m$ 匹配放大器($1/g_m$ Termination)、源極電感性退化放大器(Source Inductive Degeneration)。

(1) 電阻匹配式放大器

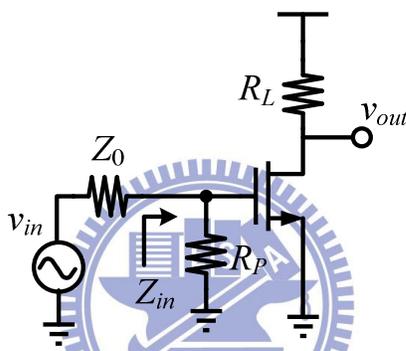


圖 3.1 電阻匹配式放大器

圖 3.1 為一個共源極(Common Source,CS)放大器，直接在閘極輸入端並聯一個電阻 $R_p(=50 \Omega)$ 到地，輕鬆做到非常寬頻的阻抗匹配，但是會衰減輸入訊號(Z_0 與 R_p 分壓)，只有 $0.5V_{in}$ 能進入電晶體被放大。另一個缺點是電阻 R_p 本身會貢獻大量的熱雜訊，其雜訊因素為

$$F \geq 2 + \frac{4\gamma}{\alpha} \cdot \frac{1}{g_m R_p} \quad (3.1)$$

(2) 並串回授式放大器

圖 3.2 利用串聯並聯電阻負回授來達成阻抗匹配，輸入阻抗為雜訊因素分別為:

$$Z_{in} = \frac{R_f + R_L}{1 + g_m R_L} \quad (3.2)$$

$$F = 1 + \frac{\gamma}{\alpha} \cdot \frac{1}{g_m R_S} \quad (3.3)$$

短通道 MOS 下，此架構的 F 約大於 3 (4.8 dB)，遠大於電晶體的 F_{min} 。且回授電阻使得

輸入-輸出隔離度不佳。

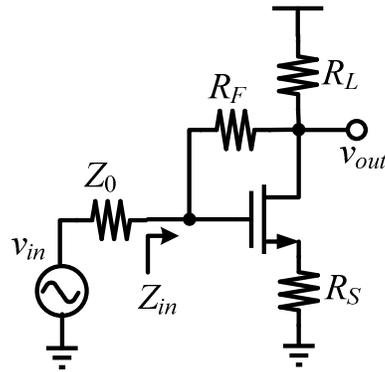


圖 3.2 並串回授式放大器

(3) $1/g_m$ 匹配放大器

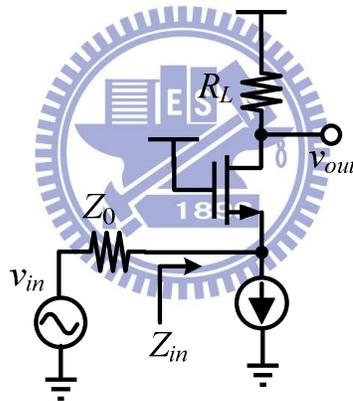


圖 3.3 $1/g_m$ 匹配放大器

圖 3.3 為共閘極(Common Gate, CG)放大器，閘極為 AC 訊號接地，訊號由源極輸入，所以輸入阻抗 $Z_{in} = \frac{1}{g_m} \parallel \frac{1}{j\omega C_{gs}}$ 。在操作頻率遠小於截止頻率 ($\omega \ll \omega_f$) 時， $g_m \gg \omega C_{gs}$ ，因此 $Z_{in} \approx 1/g_m$ ，藉由調整電晶體尺寸或偏壓點，就可達到阻抗匹配。而且此架構沒有米勒效應(Miller Effect)，因此有非常好的輸入-輸出隔離度。在 50Ω 系統中，轉導被限制在 20 mS 使 $Z_{in} = 1/g_m = 50 \Omega$ ，所以放大器增益不高。

由於訊號必須由源極走到汲極，所以一般而言其雜訊指數也會稍高一點：

$$F \geq 1 + \frac{\gamma}{\alpha} \quad (3.4)$$

在長通道元件中，其雜訊指數最小大約 2.2 dB；若是短通道元件 ($\gamma/\alpha = 2$)，雜訊指數最

小為 4.8 dB。操作在高頻時，必須將感應閘極雜訊納入考慮，雜訊指數還會更高。

(3) 源極電感性退化放大器

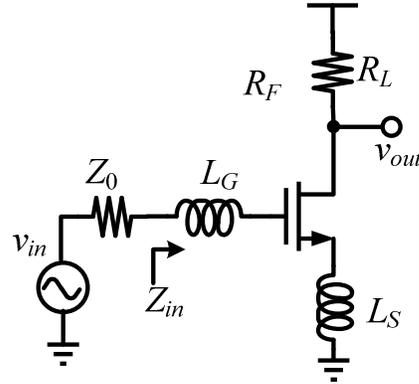


圖 3.4 源極電感性退化放大器

參考圖 3.4，源極電感性退化放大器(Source Inductive Degeneration)這個名稱的緣由是在源極串接電感到地，使得電晶體的有效轉導降低的緣故。

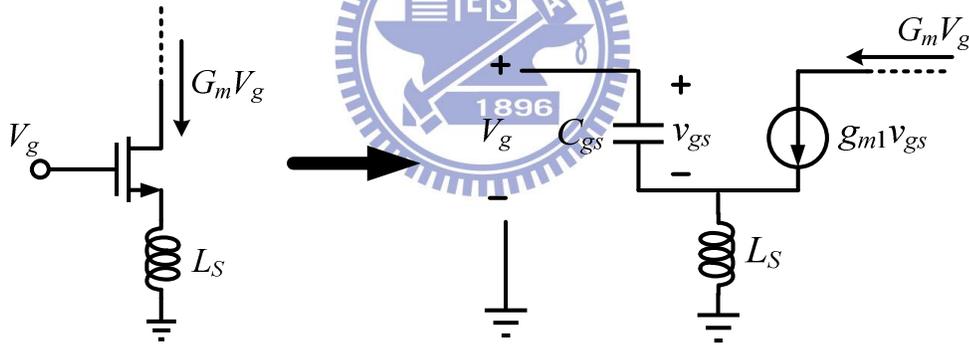


圖 3.5 電晶體加入源極電感之等效轉導

由圖 3.5:

$$G_m = \frac{g_m v_{gs}}{v_g} \quad (3.5)$$

$$v_{gs} \cdot j\omega C_{gs} + g_m v_{gs} = \frac{v_g - v_{gs}}{j\omega L_S} \quad (3.6)$$

推得電晶體加入源極電感之等效轉導:

$$G_m = \frac{g_m v_{gs}}{v_g} = \frac{g_m}{1 + j\omega L_S (g_m + j\omega C_{gs})} \quad (3.7)$$

操作頻率越高、 L_S 越大都會降低電晶體的有效轉導。

電感 L_S 除了產生實部阻抗用以阻抗匹配之外，還將最佳雜訊匹配點移致 $50\ \Omega$ 。根據雙埠雜訊理論：

$$F = F_{\min} + \frac{R_n}{G_S} \left[(G_S - G_{opt})^2 + (B_S - B_{opt})^2 \right] \quad (3.8)$$

其中 R_n 為等效雜訊電阻， $Y_S = G_S + jB_S$ 為訊號源的導納，最佳雜訊匹配點 $Y_{opt} = G_{opt} + jB_{opt}$ 為雜訊指數有最小值時候的導納。 L_S 使得 $Y_{opt} \rightarrow Y_S$ ，即 $F \rightarrow F_{\min}$ 。

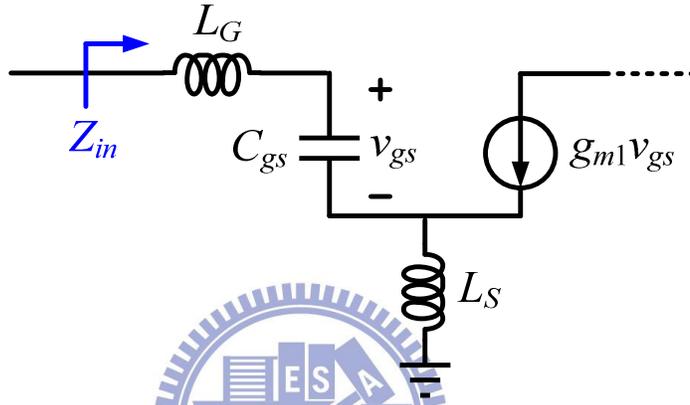


圖 3.6 源極電感性退化放大器小訊號模型

將圖 3.6 小訊號模型分析，可得輸入阻抗為

$$\begin{aligned} Z_{in} &= j\omega(L_G + L_S) + \frac{1}{j\omega C_{gs}} + \frac{g_m L_S}{C_{gs}} \\ &= \frac{g_m L_S}{C_{gs}} = \omega_T L_S \quad \text{at center frequency} \end{aligned} \quad (3.9)$$

並計算得到所需的電感值：

$$L_S = \frac{Z_0}{\omega_T} \quad (3.10)$$

$$L_G = \frac{\omega_T}{\omega^2 g_m} - L_S \quad (3.11)$$

其中 $\omega_T = \frac{g_m}{C_{gs}}$ 為電晶體的電流增益截止角頻率。當輸入阻抗匹配至 $50\ \Omega$ ，因此

$$\omega = \sqrt{\frac{1}{(L_S + L_G)C_{gs}}} \quad \text{且 } L_S = \omega_T 50 \text{。亦即利用電感 } L_S \text{ 將輸入阻抗的實部項匹配至 } 50\ \Omega \text{，}$$

以 CMOS 0.18 μm 之電晶體而言，電流增益截止頻率 $f_T \approx 50 \text{ GHz}$ ，因此 $L_S = 0.16 \text{ nH}$ ，而輸入阻抗的虛部項則由電感 L_G 消除。若由 Smith 圖亦可加以分析並了解其中的物理意義，如圖 3.7 所示，第一步驟逐漸增加電感 L_S ，輸入阻抗逐漸增加到 50 歐姆(藍色實線)，而最佳雜訊匹配點(S_{opt})也逐漸往 50 Ω 移動(紅色實線)。第二步驟加入電感 L_G 消除輸入的虛部阻抗(藍色虛線)，最佳雜訊匹配點(S_{opt})也移動到 50 Ω 。

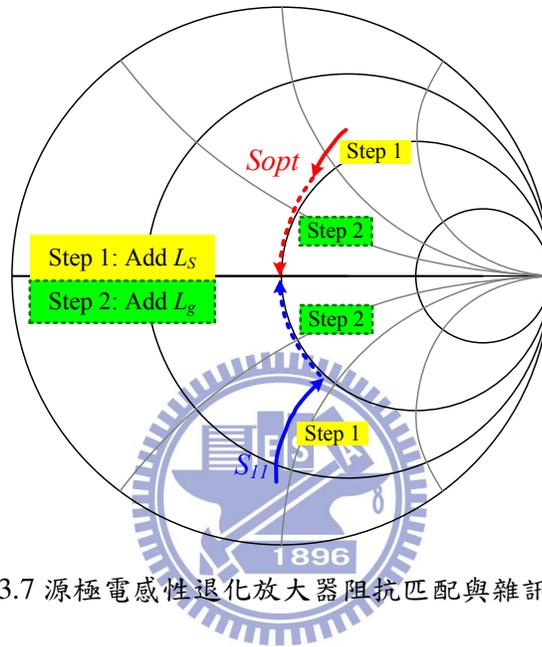
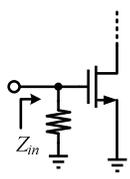
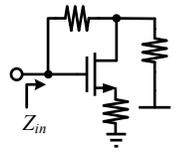
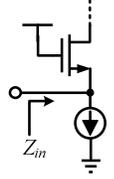
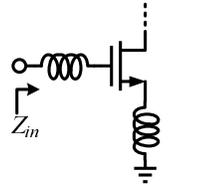


圖 3.7 源極電感性退化放大器阻抗匹配與雜訊匹配

表 3.1 為各種 LNA 輸入匹配架構之比較，由於 24 GHz 雷達僅使用 24.025~24.225 GHz 之頻寬，加上操作頻率很高，約 CMOS 0.18 μm 電晶體的 $0.48f_T$ ，考量窄頻應用與高操作頻率，本論文之 LNA 採用源極電感性退化架構，以達最佳的雜訊指數與功率增益。

表 3.1 LNA 輸入阻抗匹配架構比較

輸入阻抗匹配架構	優點	缺點
 <p>電阻匹配</p>	寬頻輸入阻抗匹配 面積小	高雜訊指數 增益低
 <p>並串回授</p>	寬頻輸入阻抗匹配 面積小 很好的寬頻增益響應	高消耗功率 隔離度差 高雜訊指數
 <p>$1/g_m$ 匹配</p>	寬頻輸入阻抗匹配 面積小 隔離度佳 無米勒效應 高線性度	增益不高 稍高的雜訊指數
 <p>源極電感性退化</p>	雜訊指數最佳 高增益	窄頻 面積較大

3.2 製程簡介與設計考量

圖 3.8 為 TSMC 0.18 μm CMOS 剖面圖，此製程提供一層多晶矽(Poly)，六層 AlCu 金屬，矽基板電阻率為 $10 \Omega \cdot \text{cm}$ 。多晶矽除了作為局部連線還可用來做電阻器，電感器與訊號走線實現在最上層金屬(M6)以降低歐姆損耗與基板損耗，電容器則是用 M5 與 CTM 形成平行電容板，CTM 再透過 via 與 M6 連接。

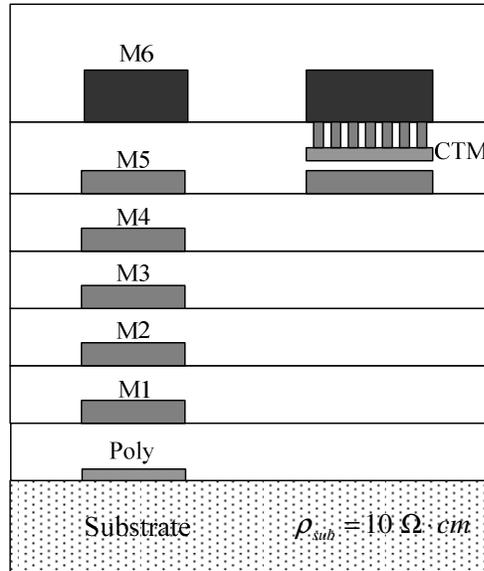


圖 3.8 TSMC 0.18 μm CMOS 剖面圖

(1) 電阻

電路設計中，經常要將電晶體偏壓在適當的直流準位，例如圖 3.9 中的 R_{bias} 用來給閘極偏壓， R_{bias} 阻值須越大越好，以避免 RF 訊號溢漏到 DC 端造成損耗或是影響阻抗匹配，而且必須選擇適當種類的電阻器，以免 RF 訊號從基板溢漏。

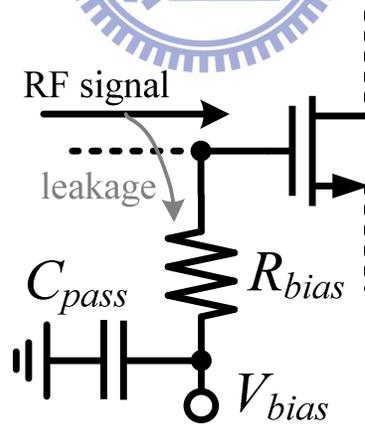


圖 3.9 偏壓電阻

TSMC 0.18 μm CMOS 製程提供的電阻器分為兩大類:摻雜型與多晶矽型。摻雜型利用摻雜濃度或者是否金屬化(Silicide)來控制片電阻(Sheet Resistance)。金屬化(Silicide)是指在半導體或多晶矽(Poly)上面濺鍍一層薄金屬以降低阻值，此技術用經常在電晶體的局部連線，以提升原件高速性能。多晶矽型則是利用是否金屬化(Silicide)或光罩 HRI (High Resistance Implant)來控制片電阻。

圖 3.10 為各種電阻器的結構圖，不論是何種電阻器，都與基板相當靠近，所以片電阻越大越好，以小的面積達成大阻值，其中以圖 3.10(a)N 井電阻與圖 3.10(c)HRI 電阻的片電阻最大，約 $1000 \Omega/\text{sq}$ 左右。而從結構來看，N 井電阻直接與 P 型基板相鄰，而 HRI 電阻還有 STI (Shallow Trench Isolation) 阻隔，因此 HRI 電阻為最佳選擇，只要 $5 \mu\text{m}^2$ 的面積就有 $5 \text{ k}\Omega$ 的電阻值，電阻器周圍的保護圈(Guard Ring)可以隔離外面基板的雜訊。

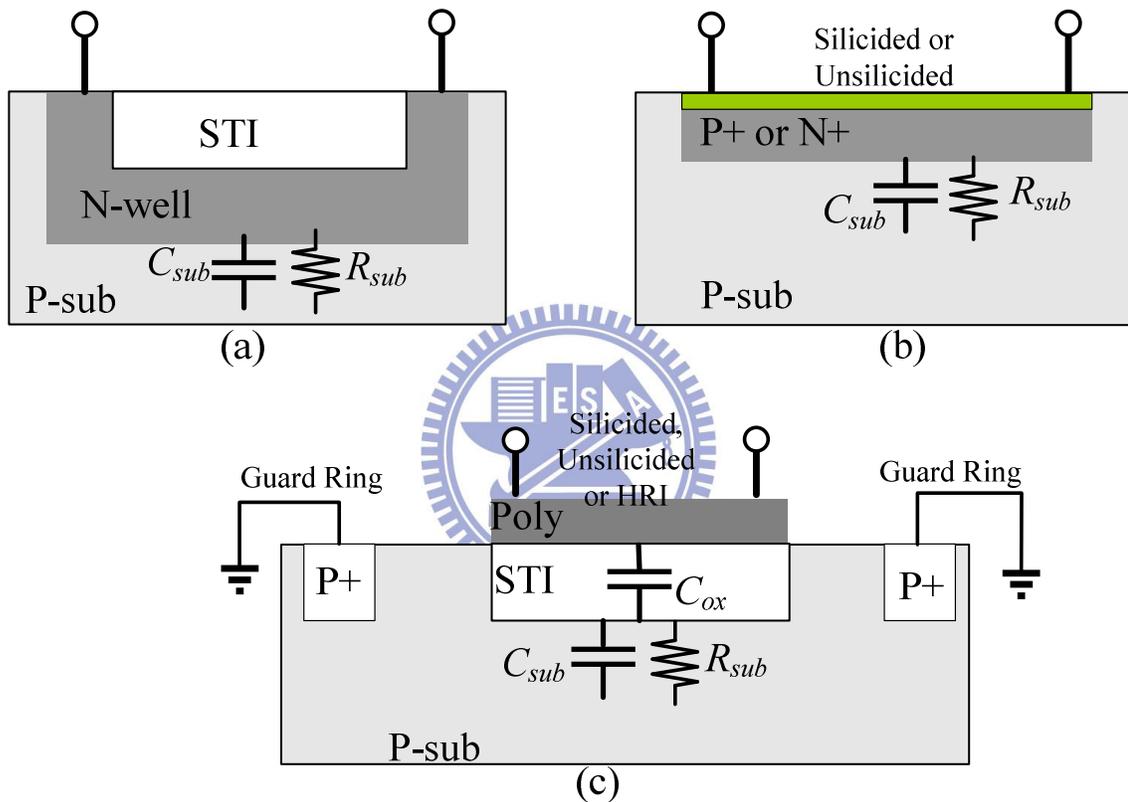


圖 3.10 電阻器 (a)N 井電阻 (b)重摻雜電阻 (c)多晶矽電阻

(2) MIM 電容器

電容器在 IC 設計裡通常用來阻抗匹配、訊號耦合、AC 旁路(圖 3.9)等等。

圖 3.11，MIM(Metal-Insulator-Metal)電容係由兩金屬片(CTM 與 M5)夾住絕緣層形成電容。製程提供的電容分為無金屬屏蔽、有金屬屏蔽兩種，有金屬屏蔽的寄生效應較少，而且更能抵擋雜訊進入電容器。

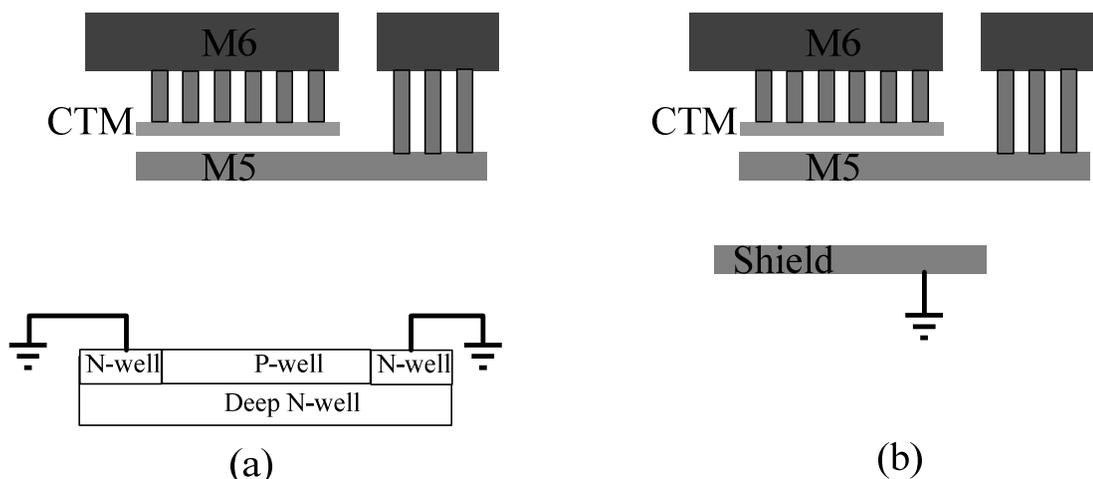


圖 3.11 MIM 電容 (a)無金屬屏蔽 (b)有金屬屏蔽

(3) 螺旋電感

除了電感本身的金屬走線有損耗，基板也會造成損耗，基板損耗有兩種：電場穿透與渦狀電流(Eddy Current)[16][17]。

參考圖3.12，電場穿透是指當電感的金屬導線有訊號時，金屬導線和接地的基板之間會形成一電場，此電場從金屬導線和基板之間的電容(C_{ox})穿透基板形成電阻性損耗。渦狀電流因為冷次定律所產生，當電感的磁場穿入基板，基板會感應出渦狀電流(方向與電感電流相反)，以產生和穿入磁場相抗衡的磁場，造成等效電感值下降($L_s - M$)，並且形成額外的損耗。基板阻抗越低或頻率越高時，以上兩種損耗就越大。而且根據[16]，基板的電阻率 ρ_{sub} 為 $10 \Omega \cdot \text{cm}$ 時，電感的自振頻率就可最大化。為了降低損耗，電感大都呈現多邊形並且實現在最上層金屬。

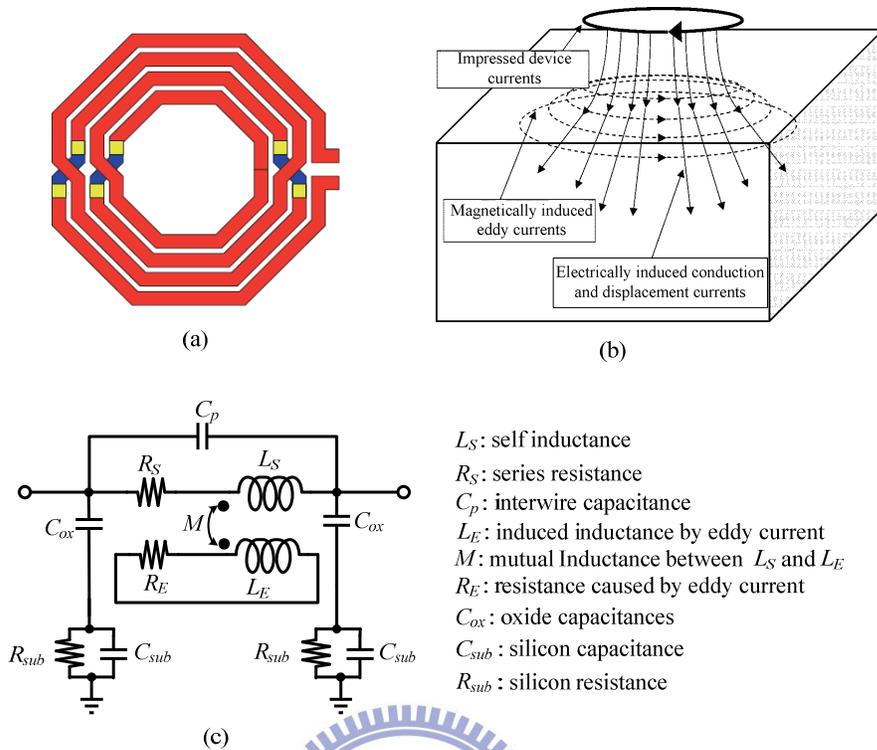


圖 3.12 電感 [16][17] (a)俯視圖 (b)基板損耗示意圖 (c)等效電路

(4) Pad

低雜訊放大器的輸入RF pad作為低雜訊放大器的輸入端，若從RF pad耦合進大量雜訊，勢必會嚴重影響雜訊指數，因此必須避免來自基板的雜訊從輸入端進入LNA。圖3.13是RF pad利用接地屏蔽將來自基板的雜訊阻隔開，避免雜訊耦合到Signal pad。此外，RF pad之寄生電容(C_{pad})，也必須在電路設計中納入考量。

電源供應器所提供的電源往往夾帶大量的雜訊，因此必須把雜訊旁路到地，圖3.14是DC pad，利用旁路電容將來自電源供應器的雜訊吸收到地，避免電源的雜訊進入電路內部。旁路電容不僅吸收電源雜訊，還使得Power pad成為更理想的AC短路。

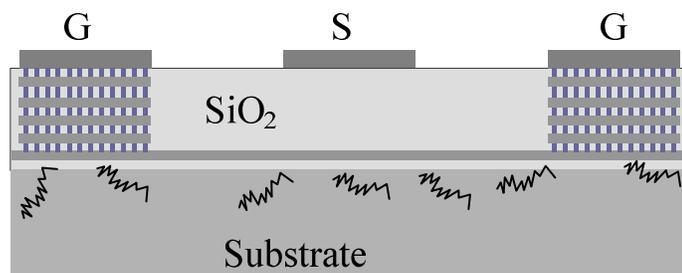


圖 3.13 RF GSG pad 與接地屏蔽

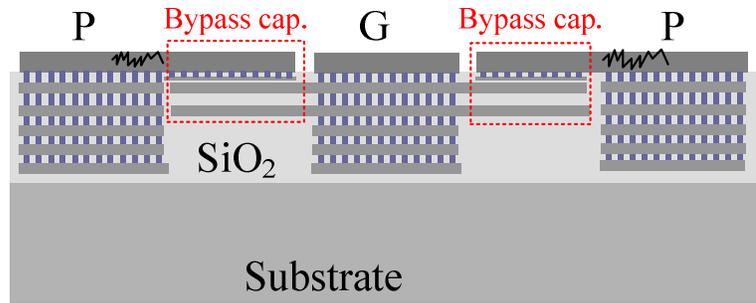


圖 3.14 DC PGP pad 與 Bypass 電容

(5) LNA 各級考量

圖為 24 GHz LNA 各級的架構簡述，各級的考量列在表。

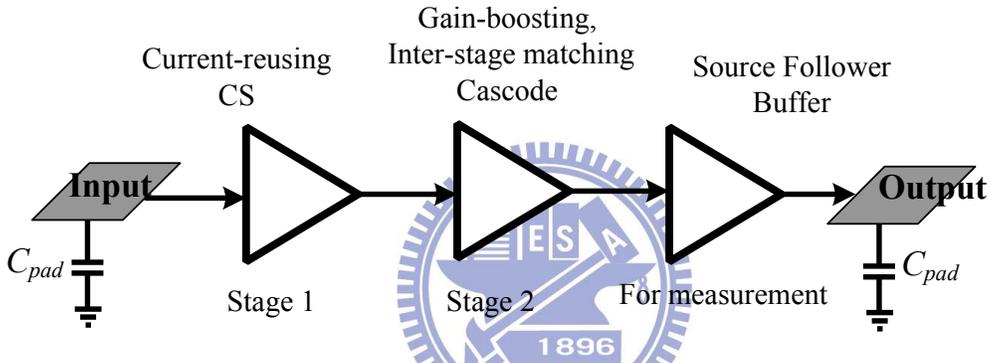


圖 3.15 LNA 個級簡述

表 3.2 LNA 各級考量

Stage 1	雜訊指數、增益:電晶體偏壓、尺寸
Stage 2	無米勒效應:輸入電容較小 中間級寄生電容 增益提升、線性度
Buffer	輸出匹配至 50 歐姆
I/O pad	HFSS 萃取 S 參數，代回 ADS 模擬。

高頻設計中，pad 之寄生效應也必須納入設計考量[18][19]，例如輸入級之匹配，如圖 3.16 所示，由式(3.12)， Z_s 實部將小於 Z_0 ，而虛部呈現電容性。設計上將實際 pad 作 EM 模擬，再將模擬結果加入 ADS 共同與 LNA 設計。

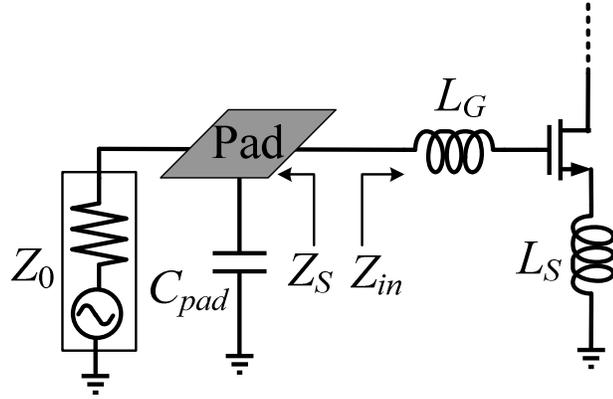


圖 3.16 考慮 Pad 寄生效應

$$Z_S = \frac{Z_0}{1 + (\omega C_{pad} Z_0)^2} - j \frac{\omega C_{pad} Z_0^2}{1 + (\omega C_{pad} Z_0)^2} \quad (3.12)$$

3.3 電晶體偏壓與尺寸選擇

文獻[20][21]的實驗指出 MOS 的汲極電流密度為 $J_{opt}=150 \mu\text{A}/\mu\text{m}$ 時 NF_{\min} 為最小值。[20]更指出 J_{opt} 之值與製程、頻率皆無關，如圖 3.17 所示。仔細觀察圖 3.17，即使操作在電流密度為 $50 \mu\text{A}/\mu\text{m}$ ，65 nm 製程的 NF_{\min} 僅僅微量增加 0.05 dB，0.18 μm 製程則是增加 0.1 dB；電流密度減少為三分之一， NF_{\min} 幾乎沒有改變，換句話說，可以在幾乎不犧牲雜訊指數的情形下，省掉三分之二的電流。

另外，深次微米的 CMOS 製程電晶體，因為短通道效應，當 $|V_{GS}|$ 高到某一定值時，會發生載子速度飽合效應(Carrier Velocity Saturation)，汲極電流不再遵守平方律公式，而必須修正為[22]:

$$I_D = WC_{ox} (V_{GS} - V_{th}) v_{sat} \quad (3.13)$$

其中 v_{sat} 為載子飽和速率。 g_m 變為

$$g_m = WC_{ox} v_{sat} \quad (3.14)$$

此時 g_m 為定值，與通道長度、偏壓均無關。圖 3.18 為 0.18 μm CMOS 的 NMOS，寬度為 100 μm ， g_m 飽和後，再增加 $(V_{GS} - V_{th})$ ， I_D 線性增加而 g_m 不再增加，因此過了 g_m 飽和點後只是徒增功率消耗，放大器並不會提升增益。

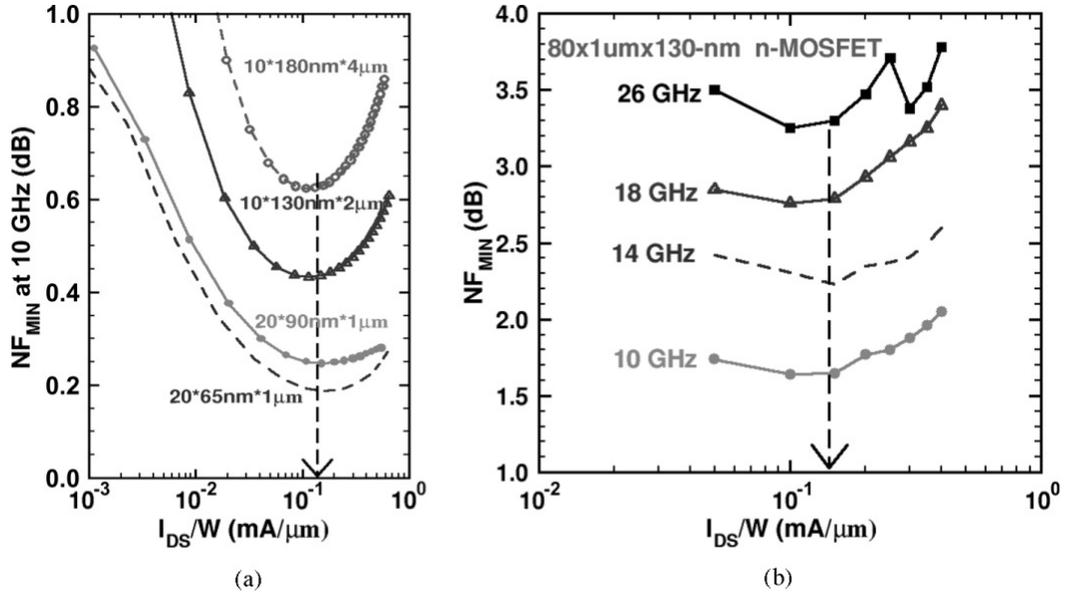


圖 3.17 電流密度與 NF_{min} 關係圖[20]

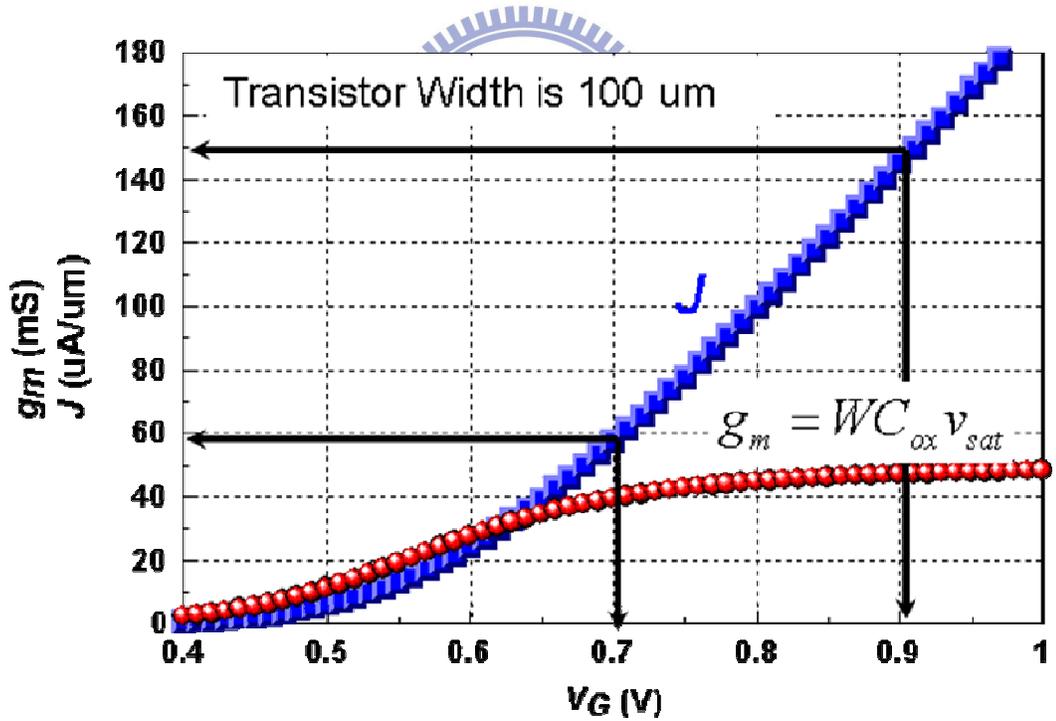


圖 3.18 電流密度、轉導與 V_{GS} 關係圖

觀察圖 3.17 與圖 3.18， $V_{GS} = 0.9$ V 時，電流密度為 $J_{opt} = 150$ μA/μm，此時的 NF_{min} 為最小值且 g_m 達飽和。 $V_{GS} = 0.68$ V 時，電流密度 $J = 50$ μA/μm，此時的 NF_{min} 比最佳值差不到 0.1 dB，但電流密度減少為三分之一，且 g_m 僅稍微下降。因此當操作在電流密度

$J = 50 \mu\text{A}/\mu\text{m}$ 時，幾乎不影響 NF_{\min} 下節省了三分之二的功率，而且僅犧牲少量的 g_m 。

由圖 3.19，電晶體寬度在 $12 \mu\text{m}$ 時 NF_{\min} 最小，而最大可用增益(Max Available Gain)在寬度為 $40 \mu\text{m}$ 時為最大值，因此尺寸的選擇並非越大越好。

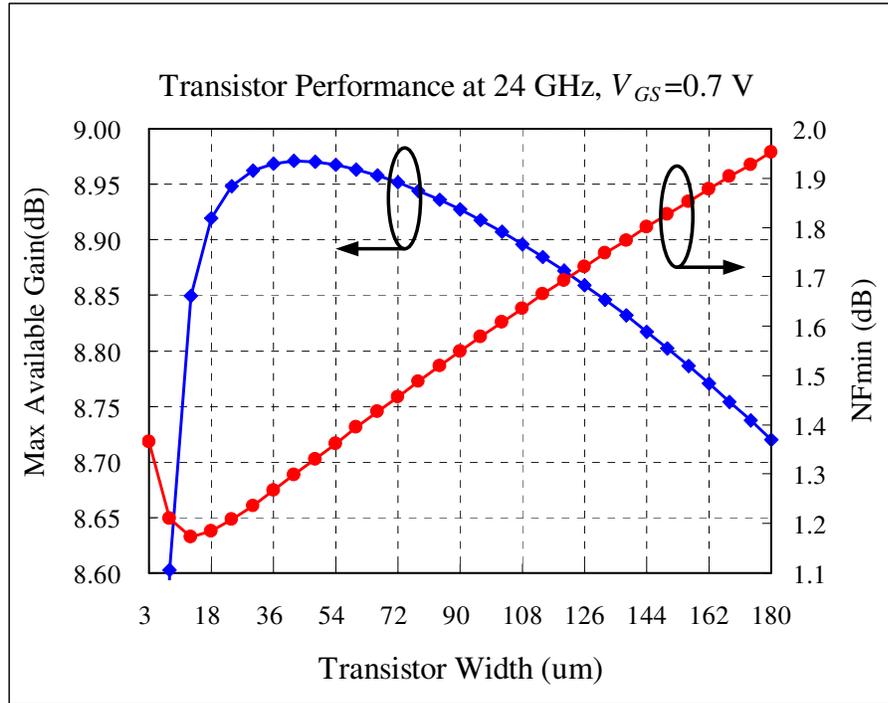


圖 3.19 電晶體寬度與 MAG 和 NF_{\min}

由以上探討，操作於較低之電流密度，在犧牲一點增益下，使直流功率更有效的利用，而且不會使 NF_{\min} 有太大變化。增益並非隨電晶體寬度增大而增加，過大的寬度消耗更多功率增益反而下降。

3.4 第一級：電感性源極退化與電流再利用

電流再利用技術使兩級以上之放大器共用相同的直流電源[23][24][25]，藉此節省功率。圖 3.20 為雙級共源極(Common Source, CS)與電流再利用架構比較，電流再利用使兩級 CS 共用一個直流電流，因此節省了一半的直流功率。

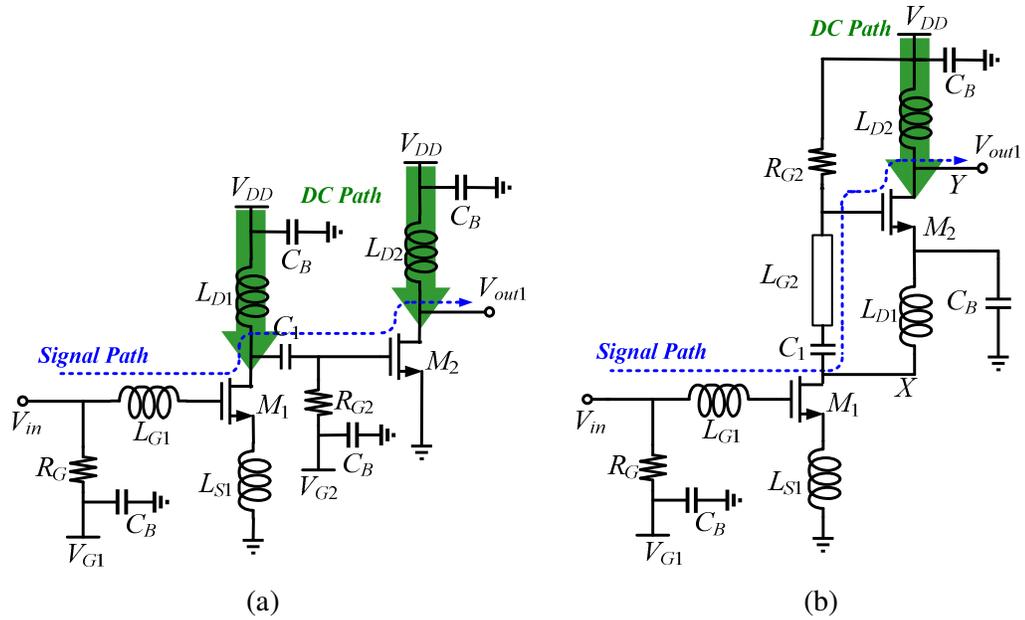


圖 3.20(a)傳統雙級低雜訊放大器 (b)電流再利用低雜訊放大器

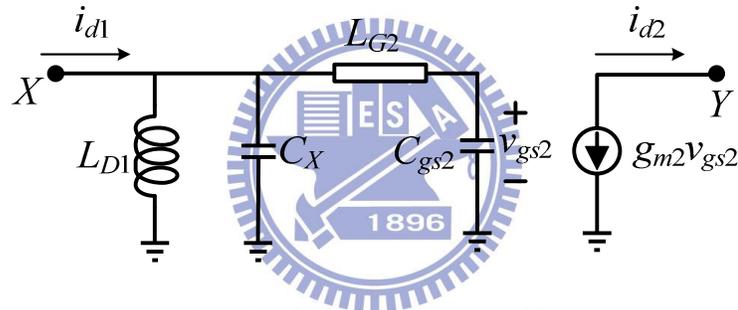


圖 3.21 電流再利用小訊號模型

圖 3.21 為圖 3.20(b)的點 X 到點 Y 之間的小訊號模型， L_{D1} 與 X 點的寄生電容 C_X 並聯諧振產生高阻抗，使小訊號進入第二級 CS 進行放大，第二與第一級小訊號電流關係如下：

$$\frac{i_{d2}}{i_{d1}} = \frac{g_{m2}}{sC_{gs2}} \cdot \frac{sL_{D1} \parallel 1/sC_X}{sL_{D1} \parallel 1/sC_X + sL_{G2} + 1/sC_{gs2}} \approx \frac{g_{m2}}{sC_{gs2}} \approx \frac{\omega_r}{\omega} \quad (3.15)$$

我們的操作頻率大約是截止頻率的一半，因此小訊號電流放大 2 倍。

3.5 第二級：疊接組態

疊接組態(Cascode)能大幅降低米勒效應(Miller Effect)效應，因此隔離度好且穩定性佳，其高頻的增益比 CS 組態佳，因此在毫米波應用相當受歡迎，透過一些設計還可以將增益往上提升。

3.5.1 增益提升

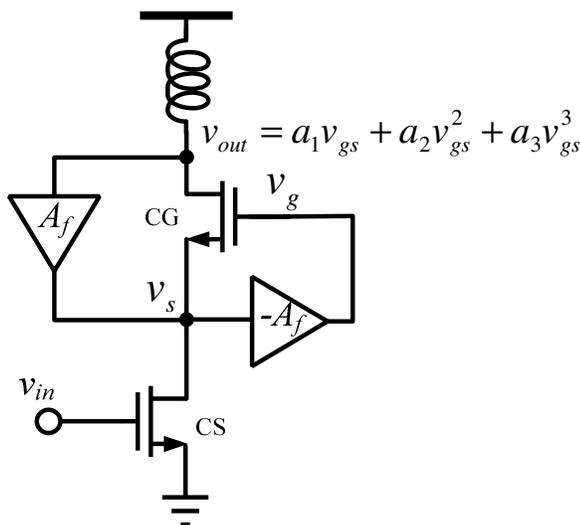


圖 3.22 利用回授使增益提升

疊接組態(Cascode)有兩種方式提升增益，如圖 3.22 所示，此兩種方式的原理都是提升共閘極(Common Gate, CG)電晶體的 v_{gs} 。第一種是將在共閘極電晶體的源級抽一部份訊號反相放大後饋入閘極，另一種方式則是同相回授部分輸出訊號到源極。

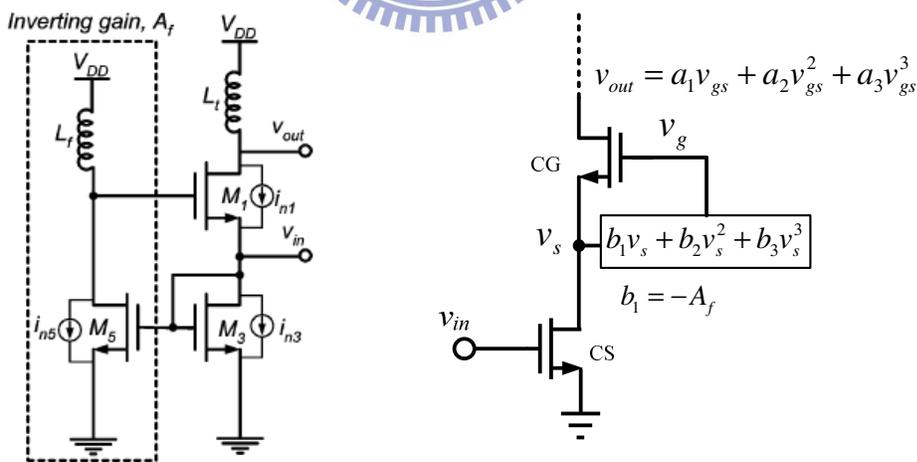


圖 3.23 主動式回授[26] (a) 增益提升架構 (b) IIP3 分析

圖 23(a)[26]使用主動式回授，回授電路以 CS 放大器實現，但是回授電路本身也有非線性效應，會使的放大器的線性度更加惡化，[26]分析了線性度惡化的程度。輸出訊號可以表示為：

$$v_{out} = a_1 v_{gs} + a_2 v_{gs}^2 + a_3 v_{gs}^3 \quad (3.16)$$

未加入回授放大時的線性度為：

$$V_{IIP3} = \sqrt{\frac{4|a_1|}{3|a_3|}} \quad (3.17)$$

參考圖 2.23(b)，若加入的回授電路是一個線性電路，即 $b_2 = b_3 = 0$

$$i_{out} = a_1 (b_1 - 1) v_s + a_2 (b_1 - 1)^2 v_s^2 + a_3 (b_1 - 1)^3 v_s^3 \quad (3.18)$$

則增益提升後的 IIP3 為

$$V_{IIP3,LF} = \frac{V_{IIP3}}{1 + A_f} \quad (3.19)$$

式(3.19)顯示出 IIP3 只因增益提升而惡化。

若將回授電路的非線性納入考慮，即 $b_2, b_3 \neq 0$ ；

$$i_{out} = a_1 (b_1 + b_2 v_s + b_3 v_s^2 - 1) v_s + a_2 (b_1 + b_2 v_s + b_3 v_s^2 - 1)^2 v_s^2 + a_3 (b_1 + b_2 v_s + b_3 v_s^2 - 1)^3 v_s^3 \quad (3.20)$$

得到一次項與三次項的係數分別為：

$$v_s : a_1 (b_1 - 1)$$

$$v_s^3 : a_1 b_3 + 2a_2 b_2 (b_1 - 1) + a_3 (b_1 - 1)^3$$

可計算得到全部的 IIP3：

$$V_{IIP3,tot} = \left(\frac{V_{IIP3}}{1 + A_f} \right) \parallel \left(\sqrt{\frac{1 + A_f}{A_f}} \cdot \sqrt{\frac{4|A_f|}{3|b_3|}} \right) \parallel \left(\sqrt{\frac{2}{3A_f}} \cdot \left| \frac{a_1 A_f}{a_2 b_2} \right| \right) \quad (3.21)$$

式(3.21)顯示 IIP3 除了因增益提升而下降，還有因 $b_2, b_3 \neq 0$ 使得 IIP3 更加惡化。根據以上分析，此架構非常不適合放在最後一級，因為系統整體的 IIP3 由後級電路主導。

第二種實現做法如圖 3.24 所示[27][28]，利用 C_{FB} 回授以提升增益，雖然 C_{FB} 本身是線性的，但是 v_{out} 帶有放大器本身產生的失真訊號，所以此做法依然會惡化 IIP3。此外，此結構與 Colpitts 振盪器[7]相同，因此回授路徑必須小心設計，避免振盪的可能性。

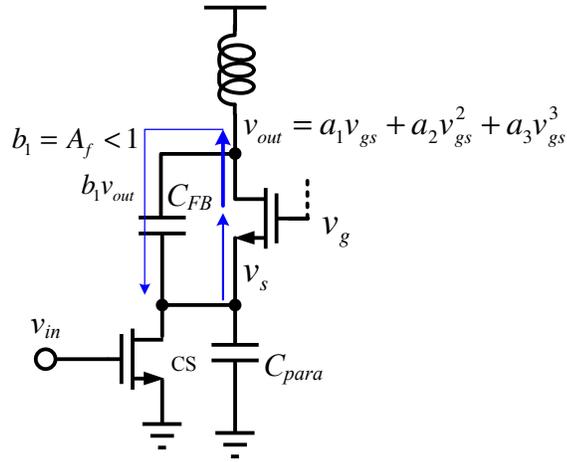


圖 3.24 電容回授

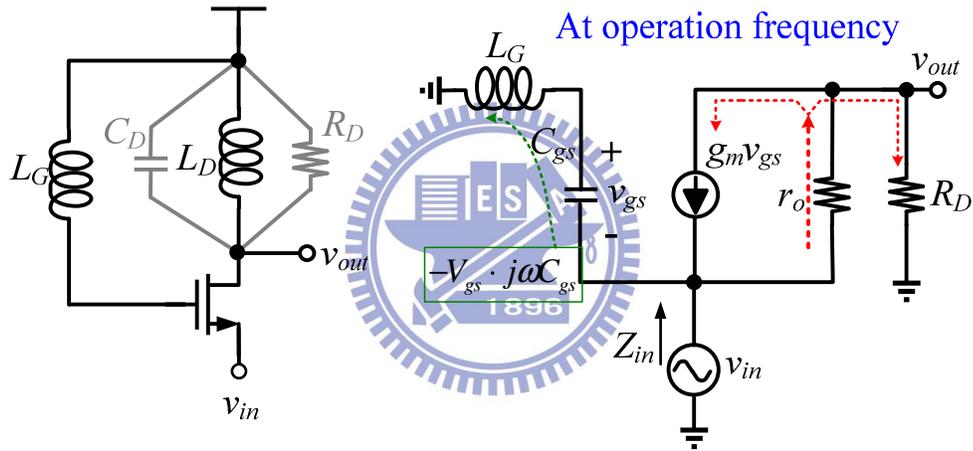


圖 3.25 線性增益提升 (a) 架構圖 (b) 小訊號模型

本論文在 CG 的閘極加入一小電感來增加 v_{gs} ，提升有效轉導，如圖 3.25 所示。式

(3.22)與式(3.23)為小訊號分析

$$v_{in} = -v_{gs} + (-v_{gs} \cdot j\omega C_{gs} \cdot j\omega L_G) = (\omega^2 L_G C_{gs} - 1)v_{gs} \quad (3.22)$$

$$\frac{v_{in} - v_{out}}{r_o} = g_m v_{gs} + \frac{v_{out}}{R_D} \quad (3.23)$$

由式(3.22)與式(3.23)得到電壓增益為

$$A_v = \frac{v_{out}}{v_{in}} = \left(\frac{g_m}{1 - \omega^2 L_G C_{gs}} + \frac{1}{r_o} \right) \frac{r_o \cdot R_D}{r_o + R_D} \approx \frac{g_m}{1 - \omega^2 L_G C_{gs}} (r_o \parallel R_D) \quad (3.24)$$

輸入阻抗為

$$Z_{in} = \frac{1 - \omega^2 L_G C_{gs}}{g_m + j\omega C_{gs}} = \frac{g_m (1 - \omega^2 L_G C_{gs}) - j\omega C_{gs} (1 - \omega^2 L_G C_{gs})}{g_m^2 + (\omega C_{gs})^2} \quad (3.25)$$

由式(3.24)可看出，當 $|1 - \omega^2 L_G C_{gs}| < 1$ 時， $|A_v| > g_m (r_o \parallel R_D)$ ，而 $g_m (r_o \parallel R_D)$ 為傳統CG的電壓增益，所以此架構可以有效提升增益，而且此正回授機制並不會更進一步惡化線性度。此設計需注意 $L_G C_{gs}$ 不能過大，因為當 $\omega^2 L_G C_{gs} > 1$ 時，式(3.25)呈現負阻。

3.5.2 CS 與 CG 中間級匹配

在高頻應用中，寄生電容往往造成訊號的損耗。圖 3.26 為疊接組態與其寄生電容，由 A 點到 B 點之電壓增益為：

$$A_{v,AB} = -\frac{g_{m1}}{g_{m2}} \quad (3.26)$$

所以由米勒定理來計算 A、B 與 C 點之寄生電容分別如下：

$$C_A = C_{gs1} + C_{gd1} (1 - A_{v,AB}) = C_{gs1} + C_{gd1} \left(1 + \frac{g_{m1}}{g_{m2}} \right) \quad (3.27)$$

$$\begin{aligned} C_B &= C_{gd1} \left(1 - \frac{1}{A_{v,AB}} \right) + C_{db1} + C_{gs2} + C_{sb2} \\ &= C_{gd1} \left(1 + \frac{g_{m2}}{g_{m1}} \right) + C_{db1} + C_{gs2} + C_{sb2} \end{aligned} \quad (3.28)$$

$$C_C = C_{gd2} + C_{db2} \quad (3.29)$$

共閘級電晶體 M_2 之小訊號電流為

$$i_{D2} = \frac{1}{\frac{j\omega C_B}{1} + \frac{1}{g_{m2}}} \cdot i_{D1} = \frac{g_{m2}}{j\omega C_B + g_{m2}} \cdot i_{D1} \quad (3.30)$$

由式(3.30)，當頻率越高時，B 點寄生電容會使得 i_{D2} 損耗得越大。

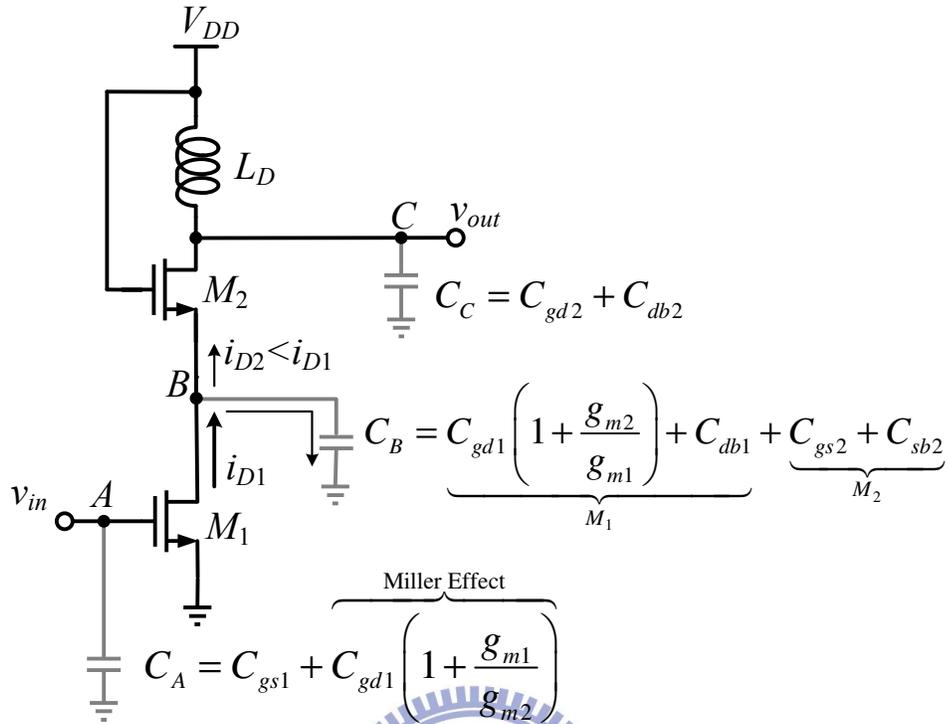


圖 3.26 疊接組態及其寄生電容

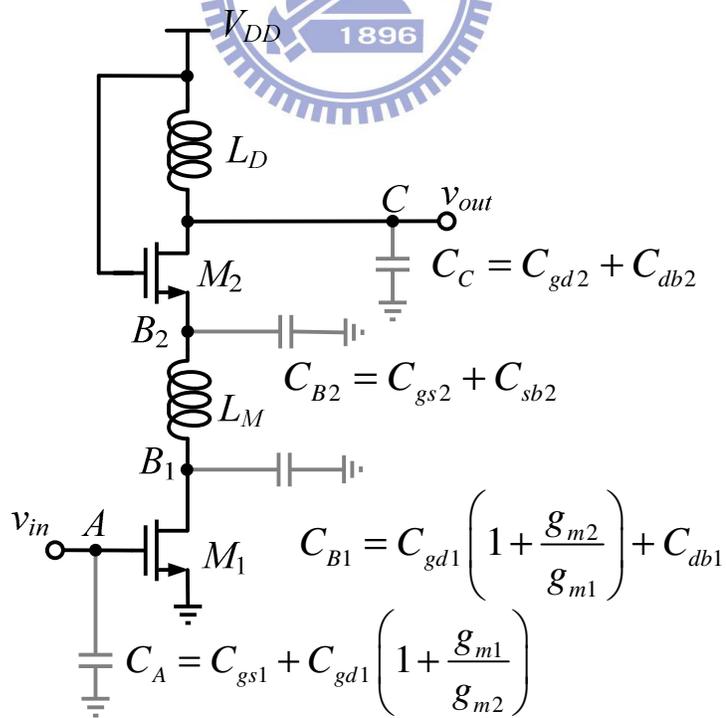


圖 3.27 疊接組態中間級匹配

圖 3.27 在 Cascode 組態中間加入一中間級匹配電感 L_M ，[29] 忽略 C_{B1} ，因此[29]以 L 型匹配來分析，實際上電晶體 M_1 、 M_2 的寄生電容和 L_M 組成 π 型阻抗匹配，使從 B_1 點往 M_2 源極看的阻抗為 $1/g_{m2}$ 。

理想中， M_1 汲極往 M_2 源極看的阻抗為 $1/g_{m2}$ ，我們可以從圖 3.28 看出 L_M 如何抵消寄生電容：(1) 寄生電容 C_{B2} 與 $1/g_{m2}$ 並聯，阻抗變成電容性。(2) 串聯電感 L_M 使阻抗變成電感性。(3) 並聯寄生電容 C_{B1} 使阻抗又繞回 $1/g_{m2}$ 。

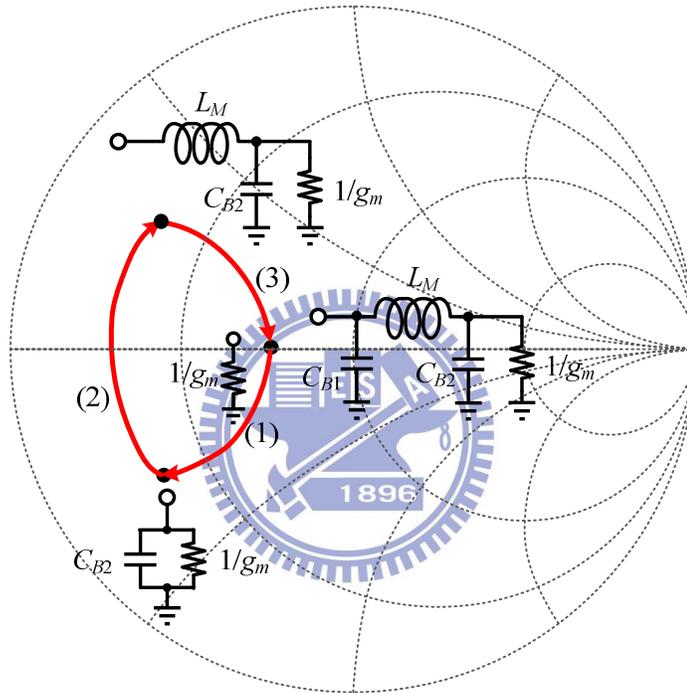


圖 3.28 中間級匹配之史密斯圖

中間級匹配電感還有避免負阻的功能，參考圖 3.29，圖 3.29 將 CS 簡化為電流源，圖 3.29(a) 與 3.29(b) 的 Z_{g2} 都可以表示為

$$Z_{g2} = \frac{1}{sC_{gs}} + Z_p + Z_p \cdot \frac{g_m}{sC_{gs}} \quad (3.32)$$

圖 3.29(a) 的 Z_p 很明顯式電容性，使 Z_{g2} 產生負阻。圖 3.29(b) 之 Z_p 為

$$Z_p = \frac{j(\omega L_M - 1/\omega C_{P1})}{1 - \omega^2 L_M C_{P2} + C_{P2}/C_{P1}} \quad (3.33)$$

圖 3.30 為 Z_p 在史密斯圖的位置，加了中間級匹配電感的結構可將 Z_p 轉換到電感性阻抗。

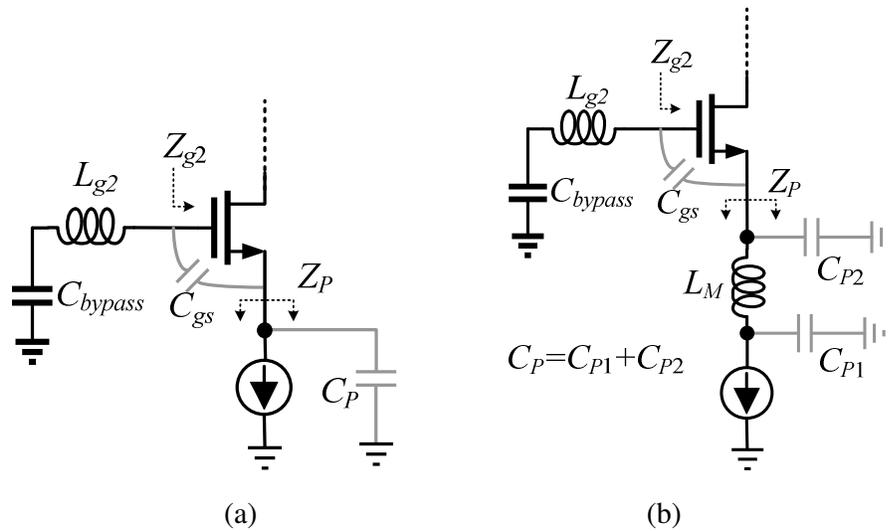


圖 3.29 CG 閘極阻抗 (a) 無中間級匹配 (b) 有中間級匹配

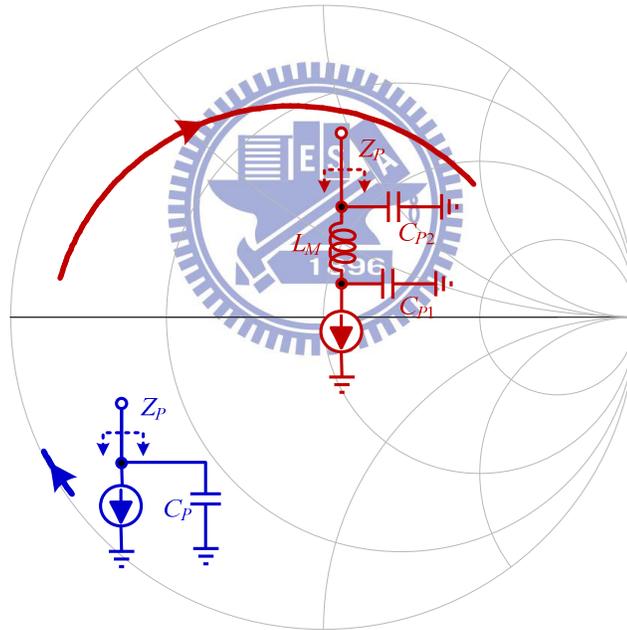


圖 3.30 Z_p 在史密斯圖的位置

3.6 輸出緩衝級與整體架構

由於高頻系統所使用的量測儀器皆為 $Z_0=50\ \Omega$ 阻抗，因此在輸出端需使用緩衝級以避免放大後的訊號在輸出至儀器時因阻抗不匹配反射而衰減。基於量測考量，緩衝放大器之設計採用源極隨耦器(Source Follower)如圖 3.31(a)，源極隨耦器具有高輸入阻抗以及低輸出阻抗之特性。

圖 3.31(b)為源極隨耦器小訊號模型，式(3.34)為輸出阻抗，理想情況下，當 g_{m1} 等於 20 mS 即可達到輸出匹配，因此可挑選尺寸較小的 MOS 盡量降低寄生電容，透過調整 I_{bias} 就可以使 g_{m1} 等於 20 mS。電壓增益為式(3.35)，當達到輸出匹配時(亦即 $g_{m1}=20$ mS)，此時的電壓增益則為 0.5，代表緩衝級將產生 6 dB 的功率損耗。

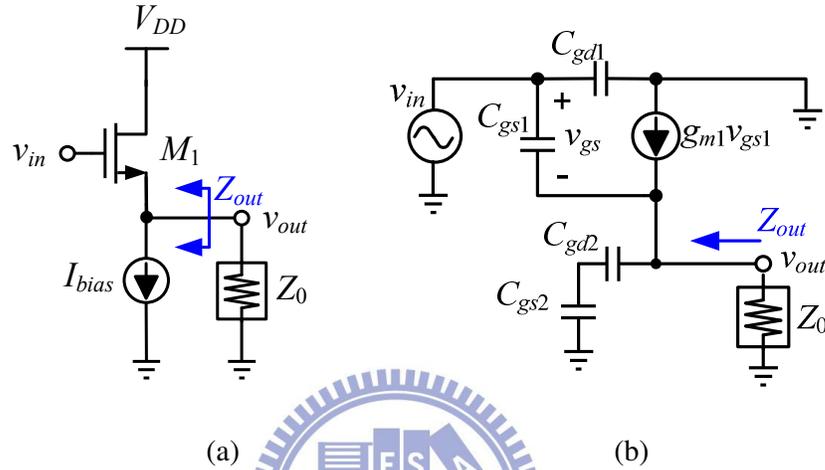


圖 3.31 輸出緩衝級 (a)源極隨耦器 (b)小訊號模型

$$Z_{out} = \frac{1}{g_{m1}} \parallel \frac{1}{s \left(C_{gs1} + \frac{C_{gs2} + C_{gd2}}{C_{gs2} + C_{gd2}} \right)} \approx \frac{1}{g_{m1}} = Z_0 = 50 \Omega \quad (3.34)$$

$$A_v = \frac{v_{out}}{v_i} \approx \frac{Z_0}{\frac{1}{g_m} + Z_0} = 0.5 \quad (3.35)$$

整體架構如圖 3.32 所示，第一級為電流再利用，第二級為疊接組態採用中間級匹配與增益提升架構，最後以源極隨耦器為輸出緩衝級。電路佈局與晶片照片分別如圖 3.33 與圖 3.34 所示，面積為 0.47 mm^2 ，需要理想 AC 接地的端點都盡量直接連接 pad。

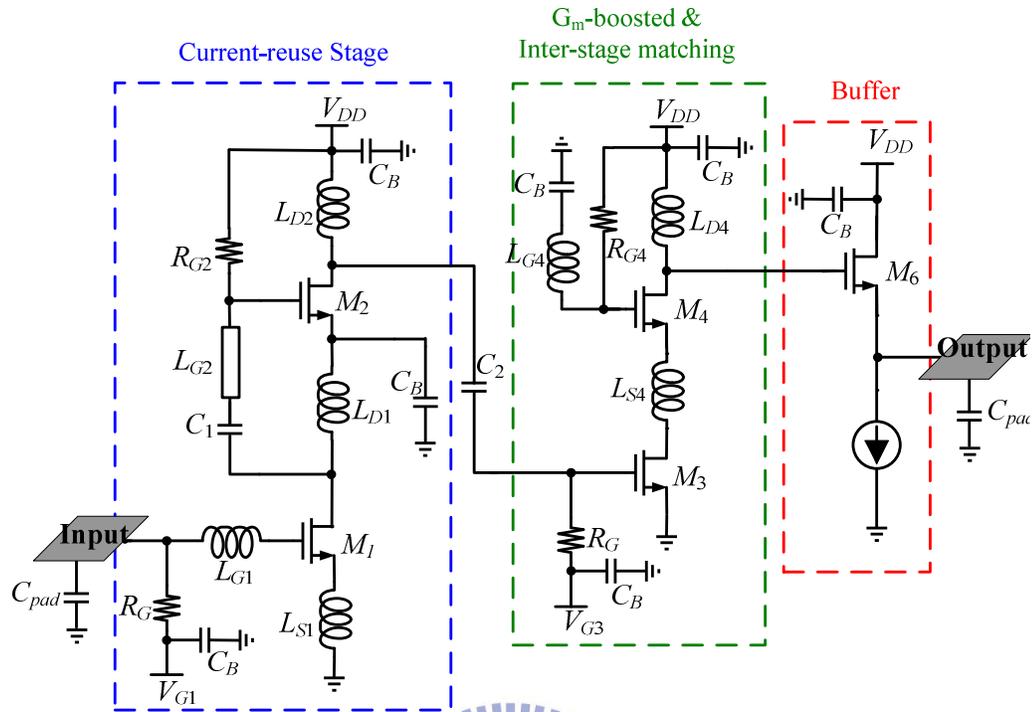


圖 3.32 整體架構

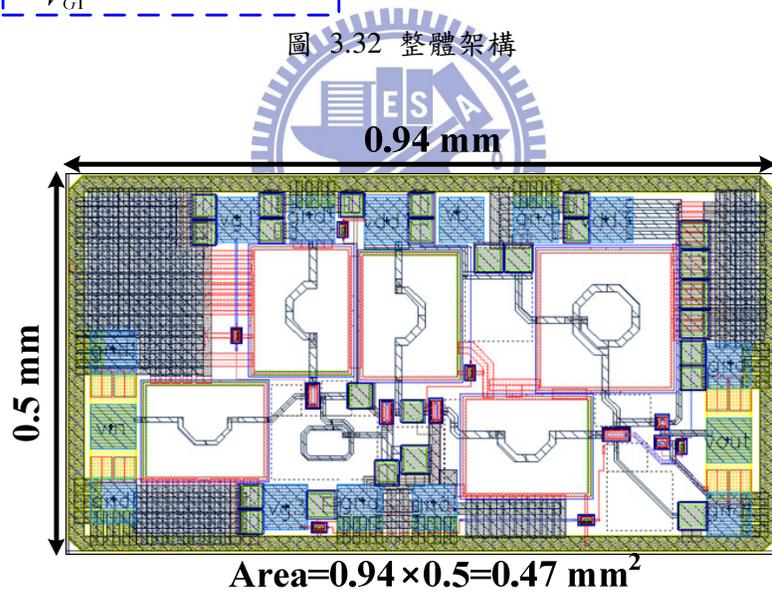


圖 3.33 LNA 電路佈局

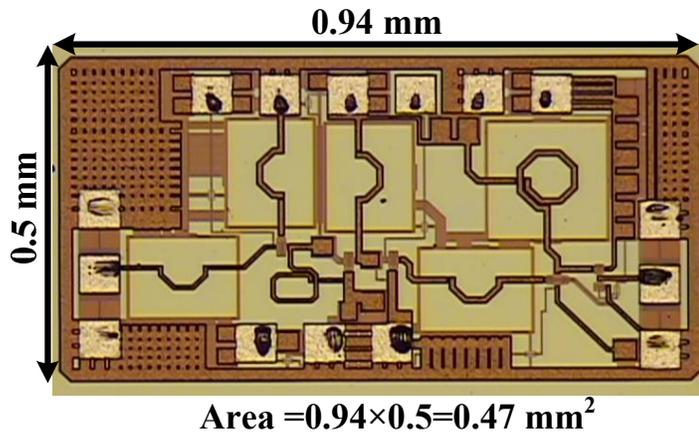


圖 3.34 晶片照片圖

3.7 量測結果

量測結果如圖 3.35~38 所示，中心頻為 22.7 GHz，在中心頻有 18.95 dB 的增益，此時功率消耗為 11.3 mW，雜訊指數為 5.8 dB， P_{1dB} 與 $IP3$ 分別為 -26 dBm 與 -16.5 dBm。

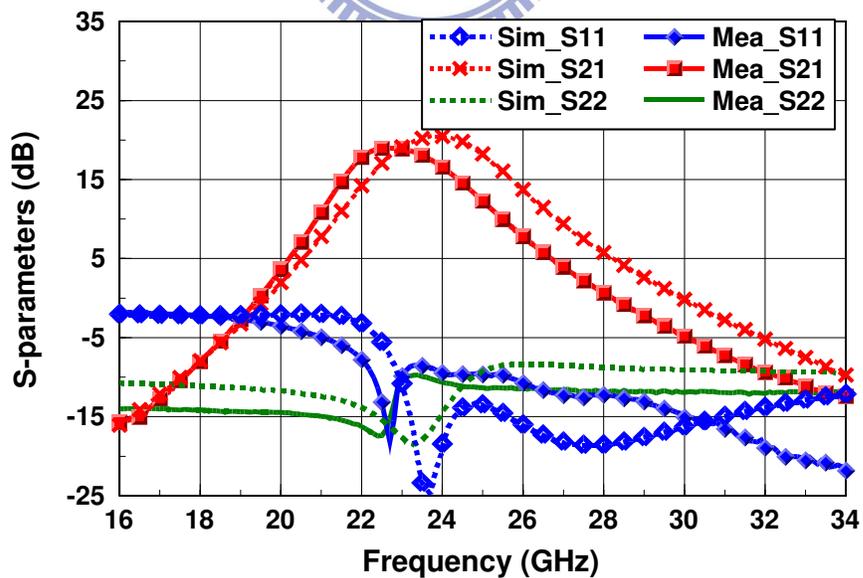


圖 3.35 S 參數

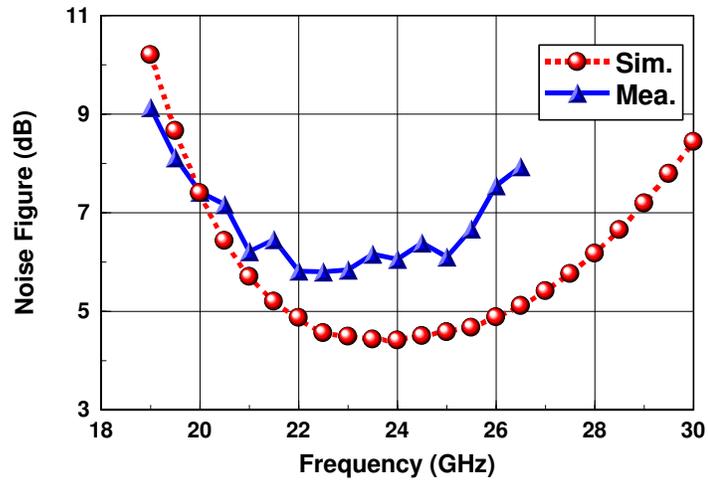


圖 3.36 雜訊指數

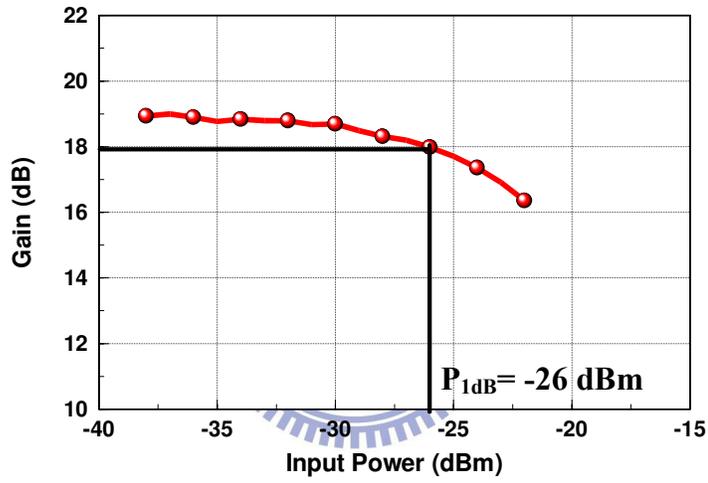


圖 3.37 量測增益壓縮 @ 22.7 GHz

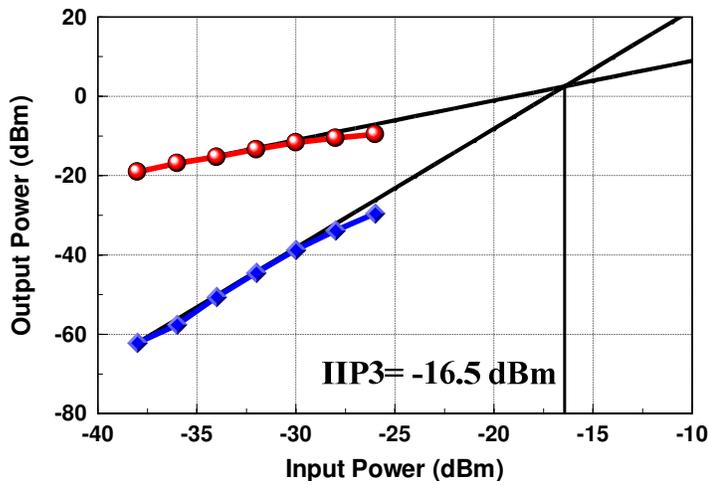


圖 3.38 量測三階截止點(IIP3) @ 22.7 GHz

表 3.3 模擬與量測比較表

Item	Simulation	Measurement
f_0 (GHz)	24	22.7
Gain (dB)	20.5	18.95
NF (dB)	4.4	5.8
P_{1dB} (dBm)	-28	-26
IIP3 (dBm)	-19	-16.5
P_{diss} (mW)	10	11.3
Gain/ P_{diss} (dB/mW)	2.05	1.68
Supply Voltage	1.8 V	
Area	0.47 mm ²	

表 3.4 設計之 LNA 與其他發表論文比較表

Item	This Work	[30] 2004 JSSC	[31] 2004 MWCL	[32] # 2005 MWCL	[33]※ 2009 RFIC	[34] # 2008 IET MAP	[35] 2008 IET EL	[36] 2008 EuMIC
Tech. CMOS	0.18 μ m	0.18 μ m	0.18 μ m	0.13 μ m	0.13 μ m	0.18 μ m	0.18 μ m	0.18 μ m
f_0 (GHz)	22.7	21.8	23.7	20	24	25.8	24	28
Gain (dB)	18.95	15	12.86	20	14.7	10	10.6	16
NF (dB)	5.8	6	5.6	5.5	4.3	4.84	4.9	N.A.
P_{1dB} (dBm)	-26	-23	-11.4	-11	-10.7	-17.8	-14	N.A.
IIP3 (dBm)	-16.5	N.A.	2.04	-4	N.A.	-5	-4	N.A.
Area(mm ²)	0.47	0.05*	0.74	0.8	0.83	0.55	0.39*	0.3
P_{diss} (mW)	11.3	24	54	24	20.2	25.6	27	36
Gain/ P_{diss} (dB/mW)	1.68	0.63	0.24	0.83	0.73	0.39	0.39	0.44

* Without Pad , # Differential , ※Single-In Differential-Out

第4章 低雜訊放大器與混頻器整合設計

本章介紹將LNA與混頻器的整合設計，將24 GHz訊號降至16 GHz。

4.1 混頻器簡介[6][8]

吉伯特混波器(Gilber Mixer)比其他種類混波器有高增益的優點，因此經常應用於RFIC設計。吉伯特混波器又分為單平衡與雙平衡，單平衡的本地震盪訊號以差動型式饋入，射頻訊號則是單端饋入，中頻訊號以差動對輸出；雙平衡式則是本地振盪、射頻與中頻訊號都是差動型式。

(1)單平衡混波器(Single-Balanced Mixer)

圖 4.1，單平衡式混頻器以 LO 訊號驅動 M_2 與 M_3 ，LO 訊號須夠強使 M_2 與 M_3 如同開關，切換頻率與 LO 頻率相同。RF 訊號經由轉導放大器(M_1)，將電壓訊(v_{RF})號轉換為電流訊號(i_{RF})， i_{RF} 被 M_2 與 M_3 開關切換產生混頻訊號，負載可以是 LC 的帶通濾波或是 RC 的低通濾波。

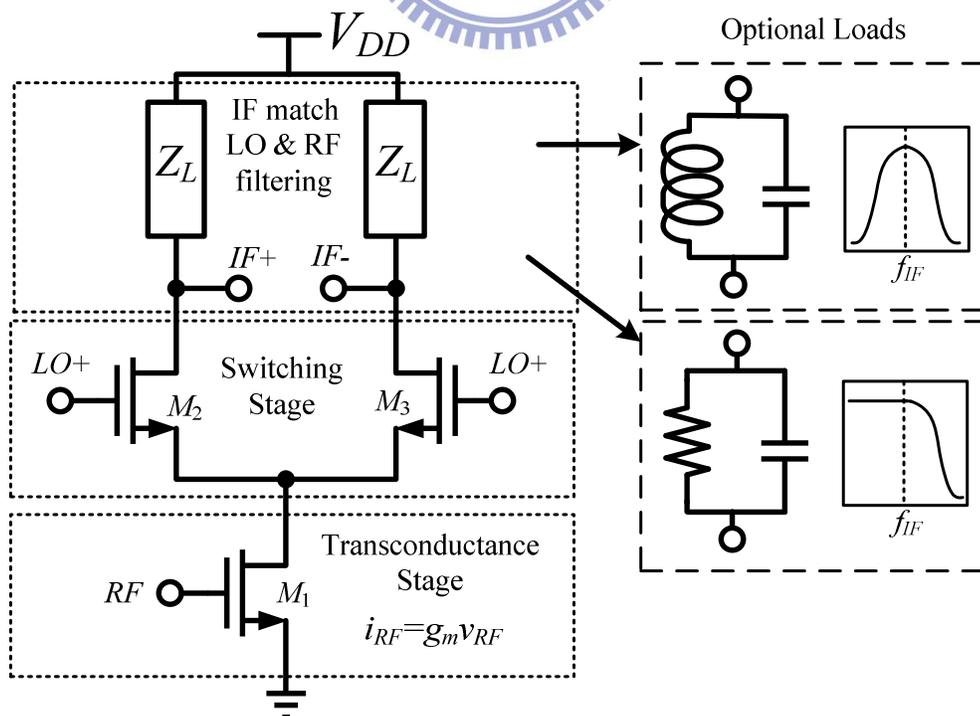


圖 4.1 單平衡混波器

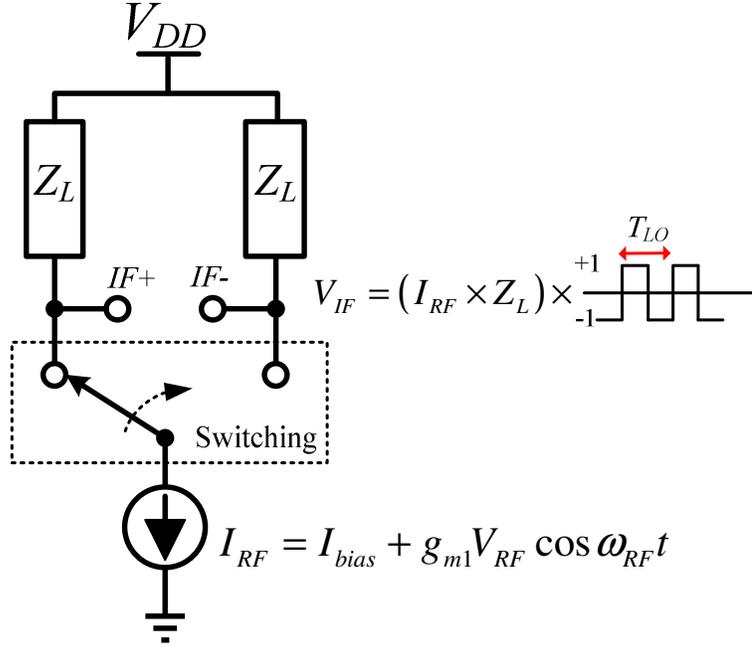


圖 4.2 混波原理

參考圖 4.2，令射頻訊為 $v_{RF} = V_{RF} \cos \omega_{RF} t$ ，轉導及電流為 $I_{RF} = I_{bias} + g_{m1} V_{RF} \cos \omega_{RF} t$ 。
 M_2 與 M_3 如同開關一樣，由振幅較大的 LO 訊號控制，將輸入電流來回切換，如同電流
 乘上 LO 頻率的方法，輸出電流為：

$$i_{IF} = (I_{bias} + g_{m1} V_{RF} \cos \omega_{RF} t) \times \text{sgn}(\cos \omega_{LO} t) \quad (4.1)$$

將 $\text{sgn}(\cos \omega_{LO} t)$ 作傅利葉級數展開

$$\begin{aligned} V_{IF} &= (I_{bias} + g_{m1} V_{RF} \cos \omega_{RF} t) \times Z_L \times \frac{4}{\pi} \left(\cos \omega_{LO} t + \frac{\cos 3\omega_{LO} t}{3} + \frac{\cos 5\omega_{LO} t}{5} + \dots \right) \\ &\approx \underbrace{\frac{4}{\pi} I_{bias} Z_L \cos \omega_{LO} t}_{\text{LO feed through}} + \underbrace{\frac{2}{\pi} g_{m1} V_{RF} Z_L \cos(\omega_{LO} - \omega_{RF}) t}_{\text{down converted}} \\ &\quad + \underbrace{\frac{2}{\pi} g_{m1} V_{RF} Z_L \cos(\omega_{LO} + \omega_{RF}) t}_{\text{up converted}} \end{aligned} \quad (4.2)$$

中頻輸出包含本地溢漏，LO-IF 隔離度差。轉換增益為

$$G_C = \frac{V_{IF}^2 / Z_L}{V_{RF}^2 / Z_{RF}} = \left(\frac{2}{\pi} g_{m1} \right)^2 Z_L Z_{RF} \quad (4.3)$$

(1) 雙平衡混波器 (Double-Balanced Mixer)

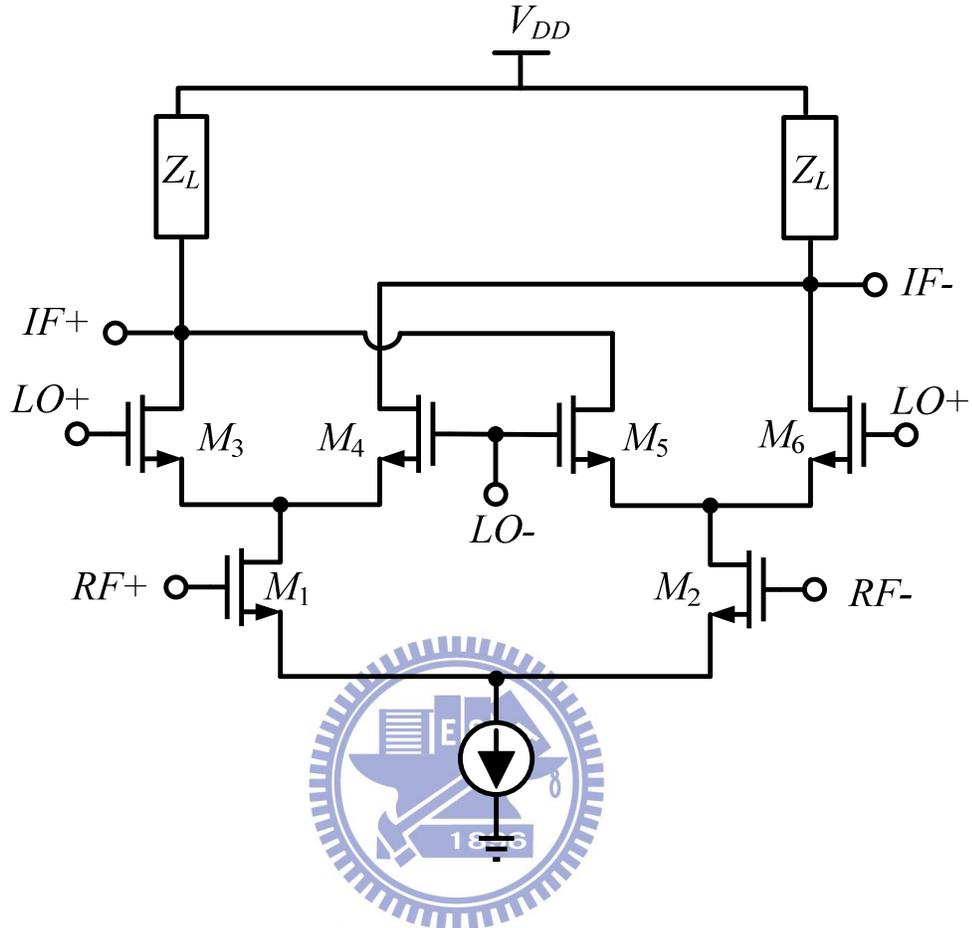


圖 4.3 雙平衡混波器

雙平衡混頻器又稱如圖 4.3 所示，其中 RF、LO 端輸入都是差動訊號。M₃、M₄、M₅、M₆ 作用如開關，以切換 M₁、M₂ 之電流達成混頻效果。假設 RF 訊號 $v_{RF\pm}(t) = \pm V_{RF} \cos \omega_{RF} t$ ，經由轉導電晶體轉換為電流訊號：

$$\begin{cases} I_{M1} = I_{bias} + g_{m1} V_{RF} \cos \omega_{RF} t \\ I_{M2} = I_{bias} - g_{m2} V_{RF} \cos \omega_{RF} t \end{cases} \quad (4.4)$$

M₃、M₄、M₅、M₆ 作用如開關一樣，由振幅較大的 LO 訊號控制，將輸入電流來回切換，所以輸出電流為：

$$\begin{cases} I_{M3} = I_{M1} \times (0.5 - 0.5 \operatorname{sgn}[\cos \omega_{LO} t]) \\ I_{M4} = I_{M1} \times (0.5 + 0.5 \operatorname{sgn}[\cos \omega_{LO} t]) \\ I_{M5} = I_{M2} \times (0.5 + 0.5 \operatorname{sgn}[\cos \omega_{LO} t]) \\ I_{M6} = I_{M2} \times (0.5 - 0.5 \operatorname{sgn}[\cos \omega_{LO} t]) \end{cases} \quad (4.5)$$

如此便可得到 IF 端的輸出為：

$$\begin{aligned} I_{IF} &= (I_{M4} + I_{M6}) - (I_{M3} + I_{M5}) = (I_{M4} - I_{M3}) + (I_{M6} - I_{M5}) \\ &= (I_{M1} - I_{M2}) \times \operatorname{sgn}[\cos \omega_{LO} t] \\ &= (g_{m1} + g_{m2}) V_{RF} \cos \omega_{RF} t \times \operatorname{sgn}[\cos \omega_{LO} t] \end{aligned} \quad (4.6)$$

將 $\operatorname{sgn}[\cos \omega_{LO} t]$ 傅利葉級數展開，並忽略高階數的諧波，只留 LO 頻率 ω_{LO} 項，可得

$$\begin{aligned} I_{IF} &= \underbrace{\frac{2}{\pi} (g_{m1} + g_{m2}) V_{RF} \cos(\omega_{RF} - \omega_{LO}) t}_{\text{down converted}} \\ &+ \underbrace{\frac{2}{\pi} (g_{m1} + g_{m2}) V_{RF} \cos(\omega_{RF} + \omega_{LO}) t}_{\text{up converted}} \end{aligned} \quad (4.7)$$

$$G_c = \left(\frac{g_{m1} + g_{m2}}{\pi} \right)^2 Z_L Z_{RF} \quad (4.8)$$

在式(4.7)中沒有 LO 頻率項存在，表示雙平衡式混頻器不會有 LO 訊號會洩漏至 IF 端，因此雙平衡有良好的 RF-IF 與 LO-IF 隔離度，不過電路較為複雜。

4.2 整合設計

4.2.1 低雜訊放大器

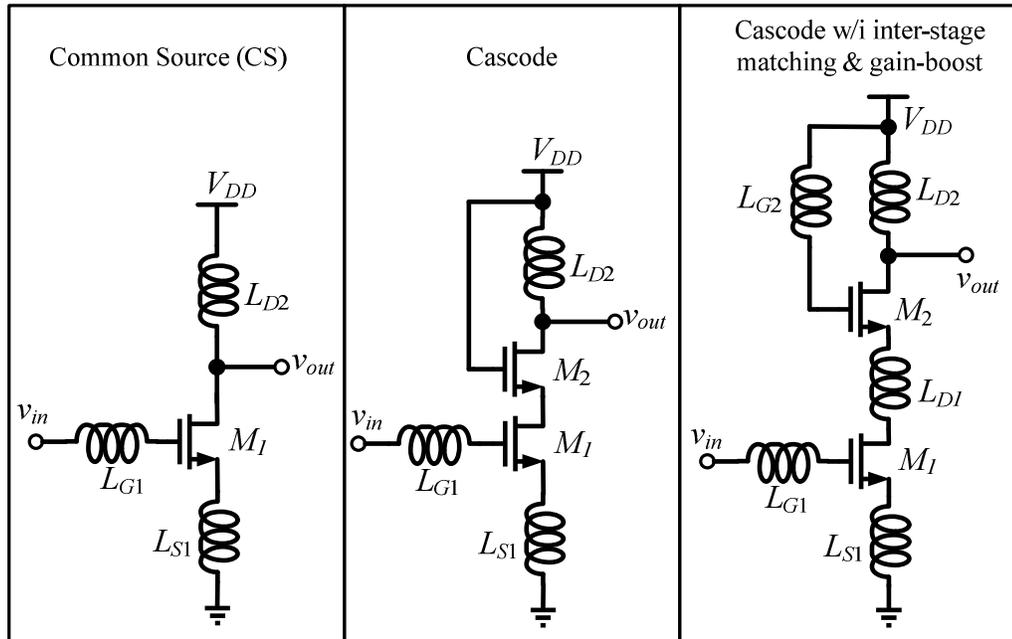
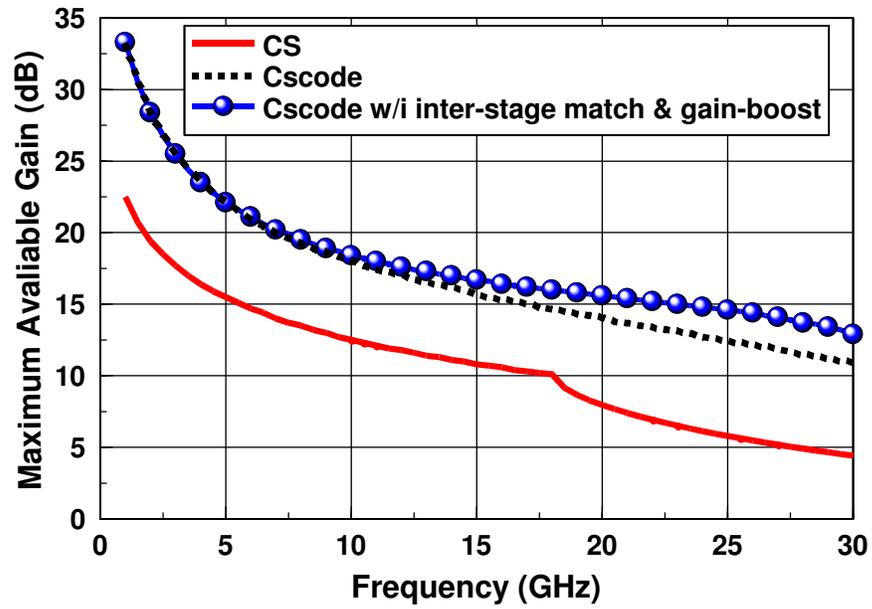
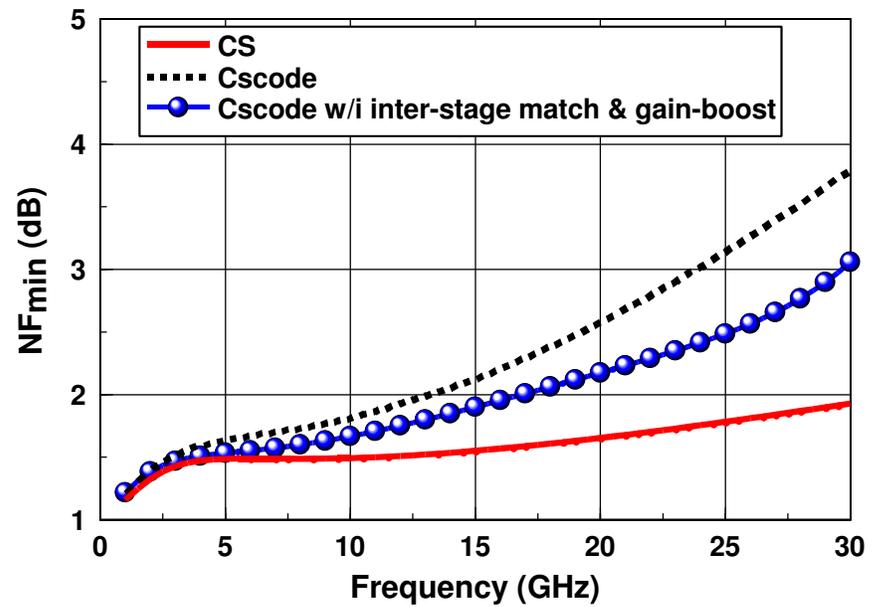


圖 4.4 三種源級退化 LNA

圖 4.4 為三種源級退化 LNA 架構，共源級(CS)在高頻的增益始終遠低於疊接組態(Cascode)，疊接組態卻有雜訊指數較高的缺點，疊接組態的缺點可以在 CS 與 CG 中間置入一電感得到改善。圖 4.5 為三種架構的性能比較，圖 4.5(a)顯示共源級的增益遠小於其他兩種架構。圖 4.5(b)為三種架構的 NF_{min} 比較，共源級的雜訊指數最小，加了中間級匹配的疊接組態可以抑制共閘極(Common Gate, CG)電晶體的雜訊貢獻量，並且避免訊號從中間級損耗，因此雜訊指數比一般的疊接組態佳。因此加了中間級匹配的疊接組態適合用於 LNA 的第一級，其高增益的特性可以有效抑制下一級的雜訊指數。



(a)



(b)

圖 4.5 LNA 組態特性比較(a) MAG (b) NF_{min}

4.2.2 折疊式混波器

傳統的古伯特混頻器(圖 4.3)由電流源、轉導級與開關級堆疊而成，這三組電晶體都必須操作在飽和區，因此限制了頭部空間電壓(Head Room Voltage)，而折疊式混波器可以解決上述問題[37]，折疊式混波器分開了轉導級與開關級的電流路徑，因此適合低電壓操作或高線性度要求。由於越後級的電路對系統的線性度影響越大，因此本論文採用折疊式混波器主要是線性度的考量。

採用雙平衡混波器以獲得較佳的隔離度，因此需要將單端 LNA 輸出的 RF 訊號轉成差動訊號，圖 4.6 所示，利用變壓器的主線圈將 RF 訊號轉為差動對，次級線圈輸出差動訊號直接饋入混波器的開關級。

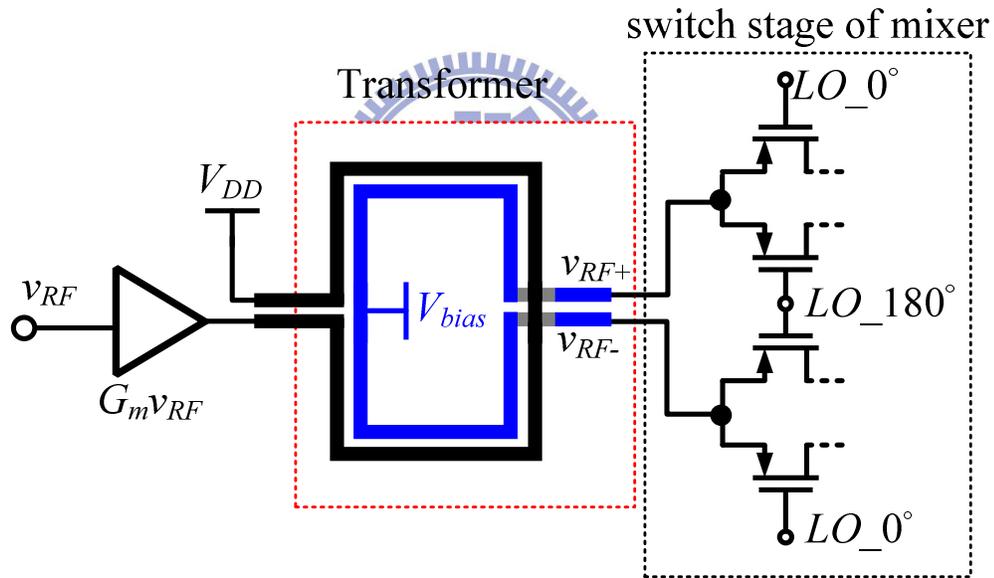


圖 4.6 折疊式混波器

4.2.3 整體架構與模擬結果

整體架構如圖 4.7 所示，LNA 以源級退化疊接組態作為第一級，加入中間級匹配電感以抑制 CG 的雜訊貢獻量，CG 的閘極加入一小電感來提升增益；第二級則是一般的疊接組態來進一步提升增益，並利用變壓器將輸出訊號轉換為差動對。變壓器立體結構如圖 4.8 所示，主、次線圈都實現在最上層金屬以降低矽基板的影響。由於變壓器並無直流跨壓，因此混波器有較高的頭部空間電壓。

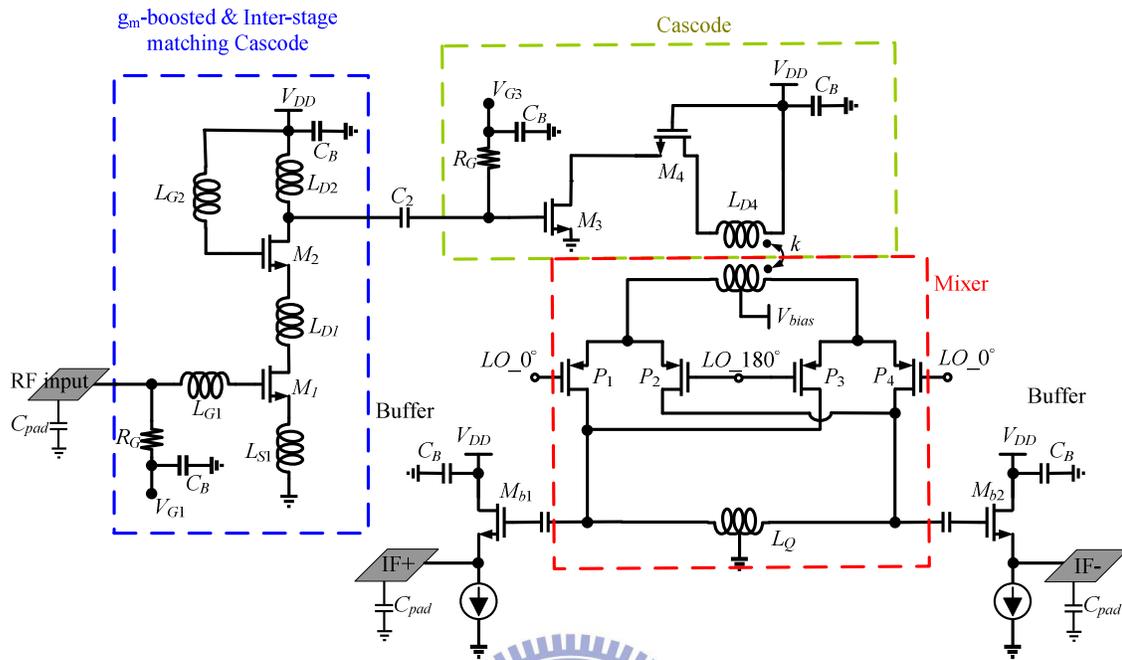


圖 4.7 整體架構

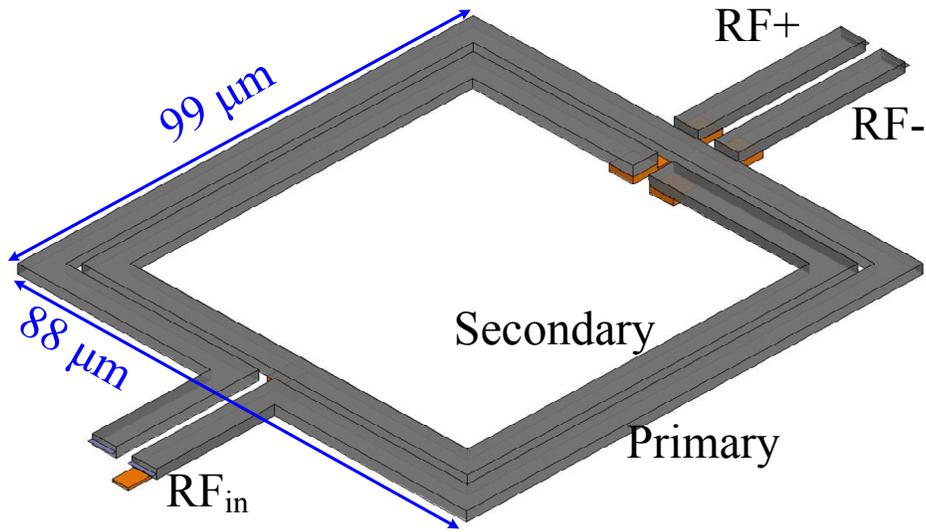


圖 4.8 變壓器立體結構

整體晶片佈局如圖 4.9 所示，面積為 $1.15 \times 0.59 = 0.68 \text{ mm}^2$ 。輸入與輸出反射損耗為圖 4.10。轉換增益如圖 4.11 所示，中心頻之轉換增益為 13.2 dB。雜訊指數如圖 4.12 所示，最低為 4.6 dB。圖 4.13 與圖 4.14 分別顯示 $P_{1\text{dB}} = -25 \text{ dBm}$ 、 $IIP3 = -12.5 \text{ dBm}$ 。LO 埠到 RF 埠、IF 埠的隔離度如圖 4.15 所示，到 RF 埠之隔離度大於 80 dB 以上，到 IF 之隔離度大於 55 dB 以上。表 4.1 列出模擬之預訂規格。

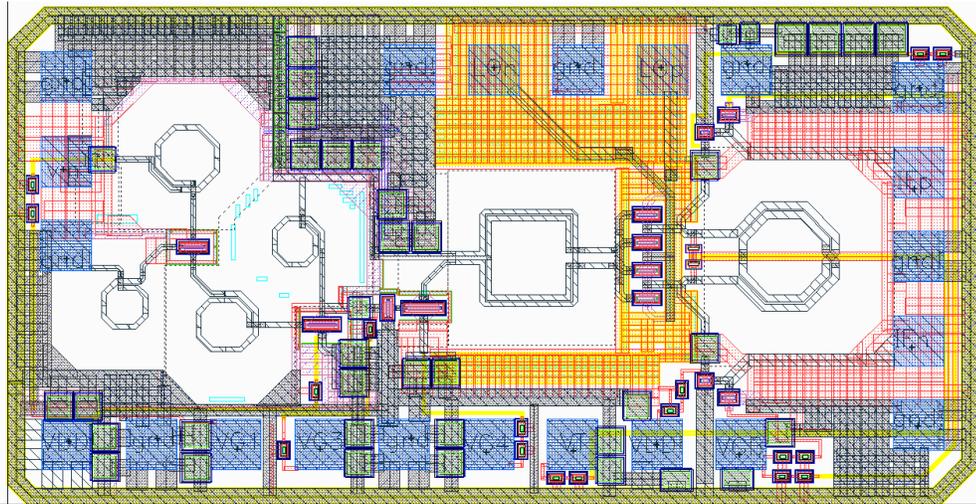


圖 4.9 晶片佈局($1.15 \times 0.59 = 0.68 \text{ mm}^2$)

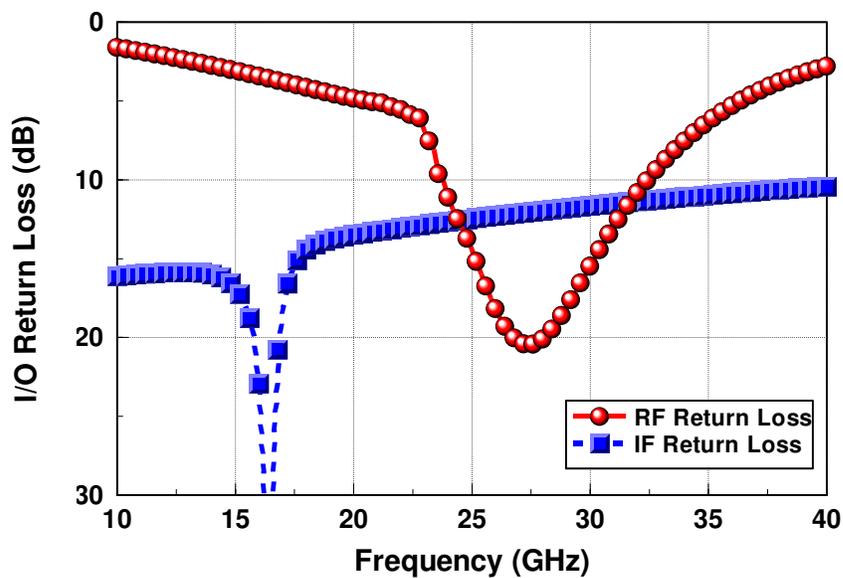


圖 4.10 輸入與輸出反射損耗

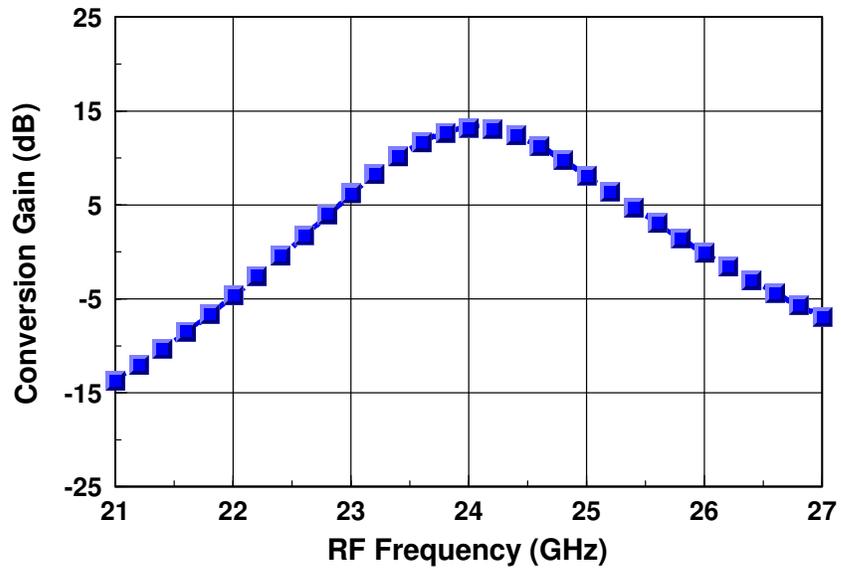


圖 4.11 轉換增益

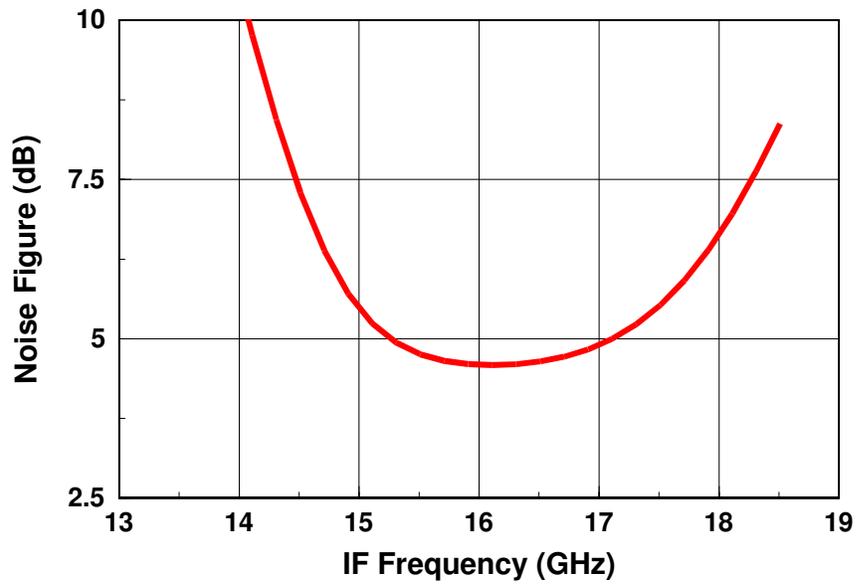


圖 4.12 雜訊指數

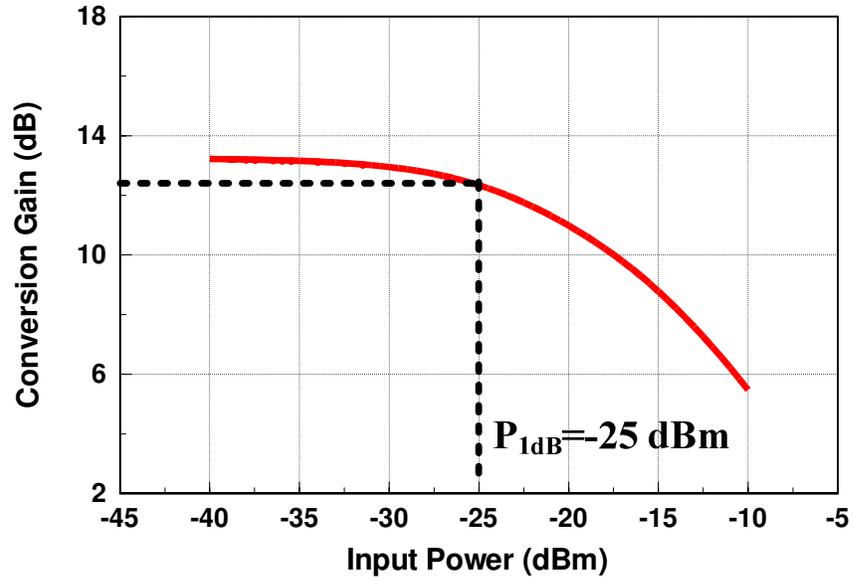


圖 4.13 增益壓縮點

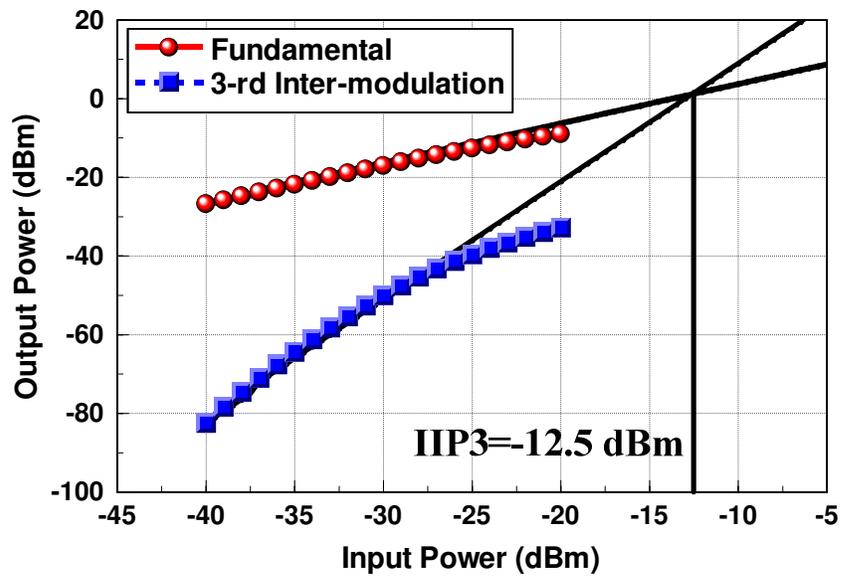


圖 4.14 三階截止點

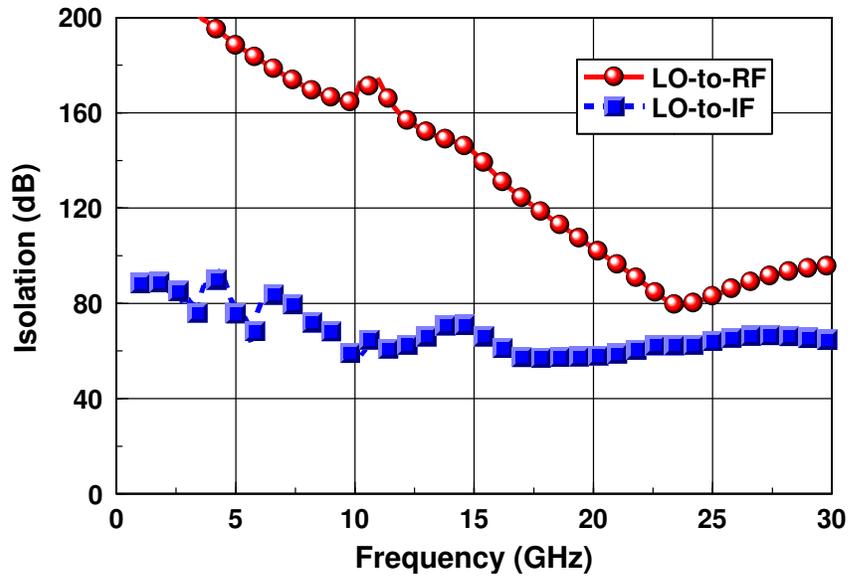


圖 4.15 隔離度

表 4.1 模擬之規格表

Item	Simulation
RF / IF freq. (GHz)	24 / 16
Gain (dB)	13.2
NF (dB)	4.6
P_{1dB} (dBm)	-25
LO Power (dBm)	0
IIP3 (dBm)	-12.5
P_{diss} (mW)	12
Supply Voltage	1.8 V
LO-to-RF Isolation	>80 dB
LO-to-IF Isolation	>55 dB
Area	0.68 mm ²

第5章 結論

CMOS 製程若能取代砷化鎵，成為雷達系統的主要製程，則有利於降低成本，促使車用雷達普及於民間。本論文即使用 TSMC 0.18 μm CMOS 設計低雜訊放大器、低雜訊放大器與混波器的整合。

第三章之 LNA，使用電流再利用節省直流功率，第二級的疊接組態加入中間級匹配與增益提升架構，進一步提升增益，電晶體偏壓在較低之電流更進一步降低功率消耗。量測之中心頻為 22.7 GHz，增益為 18.95 dB，雜訊指數為 5.8 dB。功率消耗為 11.3 mW。輸入 1-dB 增益壓縮點(IP_{1dB})與輸入三階截止點(IIP3)分別為-26 dBm 與-16.5 dBm。晶片面積為 0.47 mm^2 。

第四章的整合設計，由於混波器為 LNA 的後級電路，為了避免混波器惡化整體系統的線性度，而採用折疊式的混波器。利用變壓器將輸出訊號轉換為差動對然後饋入混波器的開關級，由於變壓器沒有直流跨壓，因此混波器有較高的頭部空間電壓。模擬之轉換增益為 13.2 dB，雜訊指數為 4.6 dB，功率消耗為 12 mW。 IP_{1dB} 與 IIP3 分別為-25 dBm 與-12.5 dBm。晶片面積為 0.68 mm^2 。

由於 TSMC 0.18 μm CMOS 提供的電晶體模型僅準確到 20 GHz，設計於 24 GHz 難免有不準確的現象，第三章 LNA 量測的中心頻為 22.7 GHz，並非模擬的 24 GHz，為了克服此問題，圖 5.1 為射頻放大器示意圖，包含轉導與負載，於負載並聯一可變電容調整中心頻率，克服電晶體模型的不確定性。

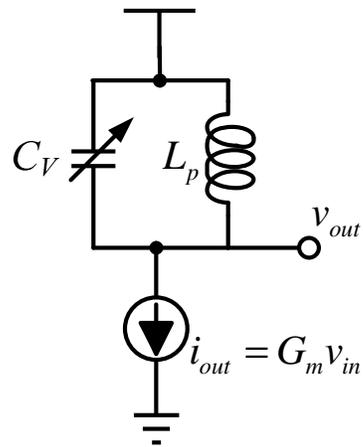
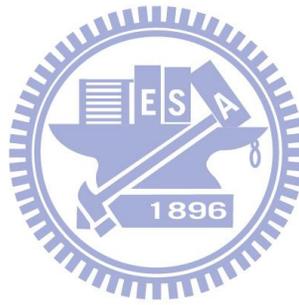


圖 5.1 射頻放大器示意圖



參考文獻

- [1] I. Gresham *et al.*, “Ultra-wideband radar sensors for short-range vehicular applications,” *IEEE Trans. Microw. Theory Tech.*, vol. 52, no. 9, pp. 2105–2122, Sep. 2004.
- [2] H. C. Gabler and J. Hinch, “Feasibility of using event data recorders to characterize the pre-crash behavior of drivers in rear-end collisions” , in *Proc. of the 21th Int. Conf. on Enhanced Safety of Vehicles*, Stuttgart, Germany, paper no. 09-0452, 2009.
- [3] H. H. Meinel, “Automotive millimeterwave radar,” *Digest of 2000 Topical Symposium on Millimeter Waves*, Yokosuka, Japan, March, 2000.
- [4] 黃泓偉，24GHz頻率調變連續波雷達系統之前端電路設計與整合，碩士論文，國立交通大學，2007。
- [5] William David, “FMCW MMW Radar for Automotive Longitudinal Control”, *California PATH Research Report*, ISSN 1055-1425, May 1997.
- [6] T. H. Lee, *The Design of CMOS Radio Frequency Integrated Circuits*, 2nd ed., Cambridge Univ. Press, 2004.
- [7] B. Razavi, *Design of Analog CMOS Integrated Circuit*, International ed. , McGraw Hill, 2001.
- [8] 張盛富、張嘉展，無線通訊射頻晶片模組設計，全華圖書，民國九十六年。
- [9] T. H. Lee, A. Hajimiri, “Oscillator Phase Noise: A Tutorial,” *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 326 – 336, Mar. 2000.
- [10] J. Park, C. H. Lee, B. S. Kim, and J. Laskar, “Design and analysis of low flicker-noise CMOS mixers for direct-conversion receivers,” *IEEE Trans. Microw. Theory Tech.*, vol. 54, pp. 4372-4380, Dec. 2006.
- [11] B. Razavi, “A millimeter-wave CMOS heterodyne receiver with on-chip LO and divider,” in *IEEE ISSCC Dig. Tech. Papers*, 2007, pp. 188–189.
- [12] B. Razavi, "A Millimeter-Wave CMOS Heterodyne Receiver with On-Chip LO and

- Divider," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 477-485, Feb. 2008.
- [13] C. S. Wang, J. W. Huang, K. D. Chu, C. K. Wang, "A 0.13 μ m CMOS Fully Differential Receiver with On-Chip Baluns for 60GHz Broadband Wireless Communications," in *Proc. IEEE Custom Integr. Circuits Conf. (CICC)*, 2008.
- [14] C. S. Wang, J. W. Huang, K. D. Chu, C. K. Wang, "A 60-GHz Phased Array Receiver Front-End in 0.13-um CMOS Technology," *IEEE Trans. Circuits and Systems I: Regular Papers*, vol.56, no.10, 2341-2352, Oct. 2009.
- [15] D. K. Shaeffer and T. H. Lee, "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier", *IEEE J. Solid-State Circuits*, vol. 32, NO. 5, pp. 745-759, May 1997.
- [16] J. N. Burghartz and B. Rejaei, "On the Design of RF Spiral Inductors on Silicon (Invited)," *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 718-729, March 2003.
- [17] A.M. Niknejad and R. G. Meyer, "Analysis of Eddy-Current Losses Over Conductive Substrates With Applications to Monolithic Inductors and Transformers," *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 1, pp.166-176, Jan. 2001.
- [18] K. Yu and M. F. Chang, "CMOS K-band LNAs design counting both interconnect transmission line and RF pad parasitics," *IEEE Radio Freq. Integ. Circuits Symp.*, 2004, pp. 101-104.
- [19] S. T. Nicolson and S. P. Voinigescu, "Methodology for simultaneous noise and impedance matching in W-band LNAs," in *Proc. IEEE Comp. Semicond. Integr. Circuits Symp. (CSICS)*, Nov. 2006, pp. 279-282.
- [20] T.O. Dickson, K.H.K. Yau, T. Chalvatzis, A. Mangan, R. Beerkens, P. Westergaard, M. Tazlauanu, M.T Yang, and S. P. Voinigescu, "The Invariance of Characteristic Current Densities in Nanoscale MOSFETs and its Impact on Algorithmic Design Methodologies and Design Porting of Si(Ge) (Bi)CMOS High-Speed Building Blocks," *IEEE J. Solid-State Circuits*, vol. 41, no. 8, pp. 1830-1845, Aug. 2006.
- [21] K. Kuhn, R. Basco, D. Becher, M. Hattendorf, P. Packan, I. Post, P. Vandervoorn, and I.

- Young, "A comparison of state-of-the-art nMOS and SiGe HBT devices for analog/mixed-signal/RF circuit applications," in *Symp. VLSI Technology Dig. Tech. Papers*, Jun. 2004, pp. 224–225.
- [22] S. M. SZE, *Physics of Semiconductor Devices*, 3rd ed., John Wiley & Sons, 2006.
- [23] H. H. Hsieh and L. H. Lu, "Design of Ultra-Low-Voltage RF Frontends With Complementary Current-Reused Architectures," *IEEE Trans. Microw. Theory and Tech.*, vol. 55, pp. 1445-1458, July 2007.
- [24] Y. J. Lin, S. H. Hsu, J. D. Jin and C. Y. Chan, "A 3.1-10.6GHz Ultra-Wideband CMOS Low Noise Amplifier With Current-Reuse Technique," *IEEE Microw. Wireless Compon. Lett.*, Vol. 17, pp.232–234, March 2007.
- [25] M. D. Wei, S. F. Chang, Y. C. Liu "A Low-Power Ultra-Compact CMOS LNA with Shunt-Resonating Current-Reused Topology," in *Proc. European Microw. Integr. Circuits Conf.(EuMIC)*, Oct. 27-31 2008, pp. 350-353.
- [26] I. R. Chamas and S. Raman, "Analysis, Design, and X-Band Implementation of a Self-Biased Active Feedback G_m -Boosted Common-Gate CMOS LNA," *IEEE Trans. Microw. Theory Tech.*, vol. 57, no. 3, pp. 542 - 551, Mar. 2009.
- [27] C. Y. Cha and S. G. Lee, "A 5.2-GHz LNA in 0.35-um CMOS Utilizing Inter-Stage Series Resonance and Optimizing the Substrate Resistance," *IEEE J. Solid-State Circuits*, vol. 38, pp. 669–672, April 2003.
- [28] T. K. Nguyen, N. J. Oh, H. C. Cho, K. J. Ihm and S. G. Lee, "CMOS Low Noise Amplifier Design Optimization Technique," in *Proc. IEEE 47th Midwest Symp. Circuits Sys. (MWSCAS'04)*, Jul. 2004, vol.1, pp. I.185-I.188.
- [29] H. S. Kim, X. Li, and M. Ismail, "A 2.4GHz CMOS Low Noise Amplifier using an Inter-Stage Matching Inductor," in *Proc. IEEE 42nd Midwest Symp. Circuits and Sys. (MWSCAS'99)*, Aug. 1999, vol.2, pp.1040-1043.

- [30] X. Guan and A. Hajimiri, "A 24-GHz CMOS front end," *IEEE J. Solid-State Circuits*, vol. 39, no. 2, pp. 368–373, Feb. 2004.
- [31] K.-W. Yu, Y.-L. Lu, D.-C. Chang, V. Liang, and M. F. Chang, "K-Band low-noise amplifiers using 0.18 μm CMOS technology," *IEEE Microw. Wireless Compon. Lett.*, vol. 14, no. 3, pp. 106–108, Mar. 2004.
- [32] X. Guo and O. K. K., "A power efficient differential 20-GHz low noise amplifier with 5.3-GHz 3-dB bandwidth," *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 9, pp. 603–605, Sep. 2005.
- [33] J.-F. Yeh, C.-Y. Yang, H.-C. Kuo, and H.-R. Chuang, "A 24-GHz Transformer-Based Single-In Differential-Out CMOS Low-Noise Amplifier," *IEEE RFIC Symp.*, pp. 299–302, 2009.
- [34] H.-K. Chiou, H.-Y. Liao and K.-C. Liang, "Compact and low power consumption K-band differential low-noise amplifier design using transformer feedback technique", *IET Microw. Antennas Propag.*, Vol. 2, No. 8; pp. 871–879, Dec. 2008.
- [35] H. Y. Yang, Y. S. Lin, and C. C. Chen, "0.18 μm 21–27 GHz CMOS UWB LNA with 9.3 ± 1.3 dB gain and 103.9 ± 8.1 ps group delay," *IET Electronics Letters*, vol. 44, no. 17, pp. 1014–1016, Aug. 2008.
- [36] M. R. Nezhad Ahmadi, B. Biglarbegan, H. Mirzaei, and S. Safavi-Naeini, "An optimum cascode topology for high gain micro/millimeter wave CMOS amplifier design," in *Proc. Eur. Microwave Integrated Circuit Conf. (EuMIC)*, Netherlands, Oct. 2008, pp. 394–397.
- [37] 饒佩宗，超寬頻射頻關鍵積體電路之設計與分析，博士論文，國立交通大學，2009。