

國立交通大學

電信工程研究所

碩士論文

標準 CMOS 製程下使用垂直 NPN/蕭基二極體之低
雜訊接收機和升頻器與 pHEMT UWB 接收機

Low-Noise Receiver /Up Converter Using V-NPN BJT/
Schottky Diode on Standard CMOS Process,
and pHEMT UWB Receiver

研究生：王嘉苓

指導教授：孟慶宗

中華民國 九十九 年 六 月

標準 CMOS 製程下使用垂直 NPN/ 蕭基二極體之低
雜訊接收機和升頻器與 pHEMT UWB 接收機

Low-Noise Receiver/ Up- Converter Using V-NPN BJT/
Schottky Diode n Standard CMOS Process,
and pHEMT UWB Receiver

研究生: 王嘉苓

Student: Chia-Ling Wang

指導教授: 孟慶宗 博士 Advisor: Dr. Chin-Chun Meng



Submitted to Institute of Communication Engineering
College of Electrical and Computer Engineering
National Chiao Tung University

in Partial Fulfillment of the Requirements

For the Degree of Master of Science

In Communication Engineering

June 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年六月

標準 CMOS 製程下使用垂直 NPN/蕭基二極體之低雜訊接收機和升頻器與 pHEMT UWB 接收機

學生：王嘉苓

指導教授：孟慶宗 博士

國立交通大學

電信工程研究所

摘要

本篇論文為因應現今無線通訊的應用，故分別設計應用在常見通訊系統的射頻電路。第一種應用是結合低雜訊放大器利用 CMOS 0.18 μm 中的寄生垂直 BJT 當 mixer LO core 以降低 flick noise 的低功耗低雜訊接收機；同時由於無線通訊網路的蓬勃發展，為了追求高質量的傳輸需要愈來愈大的頻寬，幾百 MHz 的頻寬已不敷使用，為了能有更大的頻寬傳輸機勢必要將操作頻率往上提升到毫米波頻段，而 60GHz 正是目前最為火熱的頻段，這個頻段有數 GHz 的頻寬足夠拿來作為高速資料的傳輸，若能將射頻電路部份以 0.18 μm CMOS 製程來實現的話，就可將數位電路整合進來成單一晶片系統，如此不但可以降低生產成本，更可以讓系統整合的複雜度降低。

第二種應用則是利用一個新式的正交相位產生器，配合馬爾尚巴倫的寬頻特性，結合寬頻延展的技術製作了一個可以適用於超寬頻系統的低雜訊接收器。

**Low-Noise Receiver/Up- Converter Using V-NPN BJT /
Schottky Diode on Standard CMOS Process,
and pHEMT UWB Receiver**

Student : Chia-Ling Wang

Advisor : Chin-Chun Meng

Institute of Communication Engineering
National Chiao Tung University

Abstract

This thesis includes three parts. First, we realize a receiver by utilizing CMOS 0.18 μ m parasitic vertical BJTs in the mixer LO core to reduce flicker noise for the low-power Wireless PAN RF front-end. In the mean time, we implement a fully-integrated 60GHz up-converter in the low-cost on 0.18 μ m CMOS process to fit the need of high-data-rate down/up-load of video and audio.

Finally, we demonstrate UWB low noise receivers by applying a novel quadrature generator with the wideband Marchand balun and bandwidth extension techniques.

誌謝

在新竹不知不覺也已經過了六年的光陰，而碩士生涯就占了1/3，雖然感覺比別人辛苦一點，但是最後的成果與收穫卻比別人多很多，很感謝一直以來得到非常多人的照顧與幫忙。這一點一滴都是收藏在內心的某個角落，不管是甜是苦都是一種滋味。

同時要感謝徐碩鴻教授、蘇朝琴教授，和鍾世忠教授口試當來撥冗參加並給予許多指導和建議。最重要的是要感謝我的指導老師孟慶宗教授，一直以來親切有如爸爸般的照顧與教導，不管是在做人做事上或是學業課業中讓我都得到很大的幫助。還有感謝NDL的員工幫忙，榮彥、書毓、治華、和汶德，還有其他很多人不勝枚舉，感謝你們在量測上的幫忙，並且開朗搞笑的個性更讓我量測生活不無聊。

實驗室的大家更是令我不捨，謝謝在研究辛苦的過程中有你們相伴，特別是同甘共苦的碩二“三劍客”，忠佑和智凱，沒有你們我碩士生涯都不知道要如何度過了！實驗室只要有我們就一定有歡笑！不管是一起熬夜發瘋或是演戲唱歌甚至好市多軍團，都是我碩士很特別的回憶。還有一直細心指導我們的金詳哥，謝謝你讓我最後能夠做出如此有成就感的晶片對於很多專業知識上也教導我許多。宏儒學長在

V-Band 上的專業更讓我學習到全新的領域，並且樂於分享你的經驗與想法。同時對於分別陪伴我一年的學長姐與學弟也是我人生不可或缺的一份感情，珍儀大學姐，像大姐姐一樣的照顧我關心我，是實驗室可以跟我談心的好姐姐。欣怡學姐也是我的好姐姐，每次有困難的時候妳都第一時間的幫助並且按摩功力一流喔！熙良學長的幽默風趣但是對於事情的認真處理也是我值得學習的對象。大維的好廚藝跟爐火存菁的 EM 模擬技巧真是令人刮目相看。泰麟學長的耐心教導很多電路觀念與設計同時無微不至的照顧。而學弟們基本上都好乖好聽話。楊雋學弟憨厚的個性常令人好氣又好笑，但是照顧人卻是特別細心喔！彥鋒學弟常常說出語出驚人的冷笑話，但是做起事來還是很認真啦！還有貼心以及剛正不阿的建守，實驗室有你才能維持秩序跟正義！

最後感謝我的家人，雖然爸爸、媽媽不在國內陪伴左右，但是 skype 決不會少，一直給與我許多人生道路上的意見，哥哥和未來的大嫂阿金也是不時的關心我，讓我在台灣不孤單！還有否否碩士生涯的陪伴和照顧，這些都讓我覺得我真的是世界上很幸福的人唷！總之碩士生涯能夠一切順利真的是太感謝大家了！這將會是我一段難以忘懷的回憶。

目錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	v
表目錄	viii
圖目錄	ix
第一章 導論	1
1.1 研究動機	2
1.2 論文組織	3
第二章 低功率低顫動雜訊接收器	4
2.1 前言	5
2.2 低功率低雜訊放大器設計原理	6
2.3 低顫動雜訊混頻器	7
2.3.1 吉爾伯特升頻與降頻混頻器設計	7
2.3.2 分析 CMOS 0.18 μm 中寄生 NPN 元件特性	11
2.3.3 常見的次諧波混頻器架構	16
2.3.4 產生八個相位的架構分析比較	18
2.4 實作一 2.4GHz BJT Receiver with stacked inductor (CMOS 0.18 μm)	25
2.4.1 研究動機	25
2.4.2 系統頻率規劃	25
2.4.3 整體系統規劃	25
2.4.4 電路設計	26
2.4.5 晶片量測結果	28
2.4.6 結果與討論	35
2.5 實作二 2.4GHz BJT Receiver with stacked inductor and device changed(CMOS 0.18 μm)	37
2.5.1 研究動機	37
2.5.2 電路設計	37
2.5.3 晶片量測結果	38
2.5.4 結果與討論	45
2.6 實作三, 2.4GHz BJT Sub-Harmonic Receiver (CMOS 0.18 μm)	47
2.6.1 研究動機	47
2.6.2 電路設計	47

2.6.3 晶片量測結果	47
2.6.4 結果與討論	57
2.7 實作四，5.8GHz BJT Sub-harmonic Receiver with 45 ⁰ Phase Shifter (CMOS 0.18um)	60
2.7.1 研究動機	60
2.7.2 系統頻率規劃	60
2.7.3 整體系統規劃	60
2.7.4 電路設計	61
2.7.5 晶片量測結果	64
2.7.6 結果與討論	72
2.8 實作五，5.8GHz BJT Sub-harmonic Receiver with 8-phase polyphase (CMOS 0.18um)	76
2.8.1 研究動機	76
2.8.2 系統頻率規劃	76
2.8.3 晶片量測結果	77
2.8.4 結果與討論	85
第三章 60GHz 升頻器之架構	88
3.1 前言	89
3.2 基本二極體原理	90
3.2.1 蕭特基二極體	90
3.2.2 蕭特基二極體在標準矽製程(TSMC)之實現	91
3.3 60GHz 傳輸器	96
3.3.1 頻帶分配	96
3.3.2 吉爾伯特升頻與降頻混頻器設計	96
3.3.3 驅動放大器設計	97
3.3.4 寬頻設計	97
3.3.5 一次降(升)頻與二次降(升)頻	101
3.4 電路設計	102
3.4.1 電路架構	102
3.4.2 整體電路架構	103
3.4.3 晶片量測結果	104
3.4.4 結果與討論	108
第四章 超寬頻低雜訊接收機設計	110
4.1 前言	111
4.2 如何達到寬頻的做法	112

4.2.1 輸入匹配的部分	112
4.2.2 延展頻寬的部分	116
4.3 一般 UWB 的 LNA 架構	116
4.4 實作一，使用 CG-LNA 的超寬頻接收器 (PHEMT 0.15um)	119
4.4.1 研究動機	119
4.4.2 系統頻率規劃	119
4.4.3 電路設計	113
4.4.4 晶片量測結果	125
4.4.5 結果與討論	131
4.5 實作二，使用 CS-LNA 的超寬頻接收器 (PHEMT 0.15um)	133
4.5.1 研究動機	133
4.5.2 系統頻率規劃	133
4.5.3 電路設計	133
4.5.4 晶片量測結果	135
4.5.5 結果與討論	141
第五章 結論	143
附錄 高線性度升頻器	145
A.1 研究動機	146
A.2 架構簡介	146
A.3 實作一，High Linearity Up-Convertor (SiGe 0.35um)	151
A.3.1 研究動機	151
A.3.2 晶片量測結果	151
A.4，High Linearity Up-Convertor (CMOS 0.18um)	154
參考文獻	157

表目錄

表2.1	多重相位濾波器輸出值.....	21
表2.2	2.4GHz BJT Receiver with stacked inductor (CMOS 0.18um) Summary.....	36
表2.3	2.4GHz BJT Receiver with stacked inductor and device changed(CMOS 0.18um) Summary.....	46
表2.4	2.4GHz BJT Sub-Harmonic Receiver (CMOS 0.18um) Summary....	59
表2.5	5.8GHz BJT Sub-harmonic Receiver with 45 ⁰ Phase Shifter (CMOS 0.18um) Summary.....	75
表2.6	5.8GHz BJT Sub-harmonic Receiver with 8-phase polyphase (CMOS 0.18um) Summary.....	87
表3.1	60GHz 升頻器之架構 Summary.....	109
表4.1	使用CG-LNA的超寬頻接收器 (PHEMT 0.15um) Summary	132
表4.2	使用CS-LNA的超寬頻接收器 (PHEMT 0.15um) Summary.....	142
表A.1	High Linearity Up-Convertor (SiGe 0.35um) Summary.....	153
表A.2	High Linearity Up-Convertor (CMOS 0.18um) Summary.....	156

圖目錄

圖 2.1	考慮功率消耗之低雜訊放大器	6
圖 2.2	雙平衡式吉爾伯特混頻器	7
圖 2.3	單平衡式主動混頻器	9
圖 2.4	CMOS 0.18 μm 當中的寄生垂直 NPN 剖面圖	12
圖 2.5	NPN 和 PMOS 不同 SIZE 的顫動雜訊分析	12
圖 2.6	MOS 產生顫動雜訊的原因	13
圖 2.7	IV Curve 圖	14
圖 2.8	β 對 IC 作圖	14
圖 2.9	f_t 對電流密度作圖	15
圖 2.10	τ_F 對電流倒數作圖	15
圖 2.11	RF 和 LO 各產生 IQ 訊號	17
圖 2.12	LO 產生八個 phase 的訊號	18
圖 2.13	(A)八個相位產生器，使用多相位濾波器加上(B)45 度相移加法器和(C)同相位加法器。	19
圖 2.14	八個相位的多重相位濾波器	20
圖 2.15	第二級分壓方式	20
圖 2.16	45 度相移器	22
圖 2.17	45 度相移器半邊分析	22
圖 2.18	BJT 接收器使用立體電感詳細電路圖	26
圖 2.19	立體電感	27
圖 2.20	立體電感值和 Q 值	27
圖 2.21	轉換增益對本地震盪訊號功率。	28
圖 2.22	轉換增益對 RF 頻率。	28
圖 2.23	轉換增益對 IF 頻率。	29
圖 2.24	輸入返回損耗。	29
圖 2.25	轉換增益對 LNA 調變增益的電壓。	30
	利用調整 LNA 電壓改變 IP1dB、IIP2、IIP3，當增益分別為	
圖 2.26	(A)50dB(B)40dB(C)30dB(D)IP1dB、IIP2、IIP3 對調整 LNA 電壓改變的增益值。	30
圖 2.27	轉換增益對 VGA 調變增益的電壓。	31
	利用調整 VGA 電壓改變 IP1dB、IIP2、IIP3，當增益分別為	
圖 2.28	(A)50dB(B)40dB(C)30dB(D)IP1dB、IIP2、IIP3 對調整 VGA 電壓改變的增益值。	31

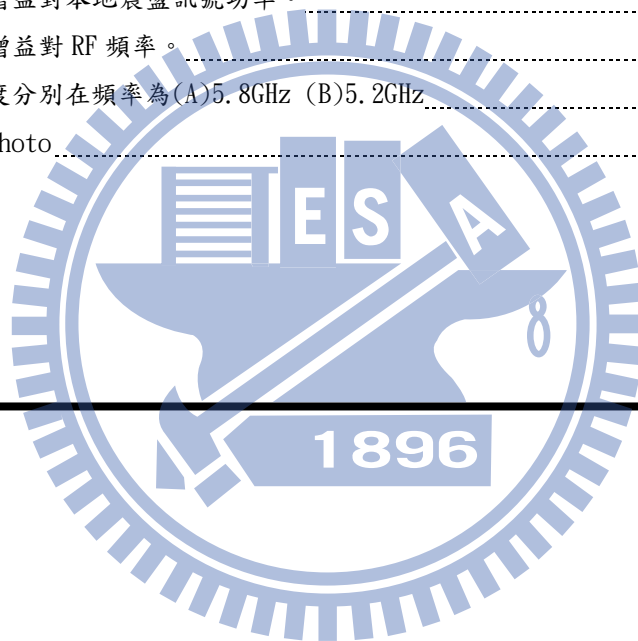
圖 2.29	雜訊指數對增益調變。	32
圖 2.30	雜訊指數對 RF 頻率。	32
圖 2.31	本地震盪訊號對 RF 端和 IF 端的隔絕度。	33
圖 2.32	I、Q 通道輸出波形	33
圖 2.33	增益差和相位差。	34
圖 2.34	Die Photo	34
圖 2.35	BJT 接收器使用立體電感並改變電晶體的詳細電路圖	37
圖 2.36	轉換增益對本地震盪訊號功率。	38
圖 2.37	轉換增益對 RF 頻率。	38
圖 2.38	轉換增益對 IF 頻率。	39
圖 2.39	輸入返回損耗。	39
圖 2.40	轉換增益對 LNA 調變增益的電壓。	40
圖 2.41	利用調整 LNA 電壓改變 IP1dB、IIP2、IIP3，當增益分別為 (A)50dB(B)40dB(C)30dB(D)IP1dB、IIP2、IIP3 對調整 LNA 電壓改變的增 益值。	40
圖 2.42	轉換增益對 VGA 調變增益的電壓。	41
圖 2.43	利用調整 VGA 電壓改變 IP1dB、IIP2、IIP3，當增益分別為 (A)50dB(B)40dB(C)30dB(D)IP1dB、IIP2、IIP3 對調整 VGA 電壓改變的增 益值。	41
圖 2.44	雜訊指數對增益調變。	42
圖 2.45	雜訊指數對 RF 頻率。	42
圖 2.46	本地震盪訊號對 RF 端和 IF 端的隔絕度。	43
圖 2.47	I、Q 通道輸出波形	43
圖 2.48	增益差和相位差。	44
圖 2.49	Die Photo	44
圖 2.50	BJT 次諧波接收器使用 8 多重相位濾波器詳細電路圖	47
圖 2.51	三種次諧波(A) LO 在上 (B) LO 在下 (C)堆疊	48
圖 2.52	轉換增益對本地震盪訊號功率。	49
圖 2.53	轉換增益對 RF 頻率。	49
圖 2.54	轉換增益對 IF 頻率。	50
圖 2.55	輸入返回損耗。	50
圖 2.56	轉換增益對 LNA 調變增益的電壓。	51
圖 2.57	利用調整 LNA 電壓改變 IP1dB、IIP2、IIP3，當增益分別為 (A)50dB(B)40dB(C)30dB(D)IP1dB、IIP2、IIP3 對調整 LNA 電壓改變的增 益值。	51
圖 2.58	轉換增益對 VGA 調變增益的電壓。	52
圖 2.59	利用調整 VGA 電壓改變 IP1dB、IIP2、IIP3，當增益分別為 (A)50dB(B)40dB(C)30dB(D)IP1dB、IIP2、IIP3 對調整 VGA 電壓改變的增	52

	益值。.....	
圖 2.60	雜訊指數對增益調變。.....	53
圖 2.61	雜訊指數對 RF 頻率。.....	53
圖 2.62	本地震盪訊號對 RF 端和 IF 端的隔絕度。.....	54
圖 2.63	本地震盪訊號對 RF 端的溢漏和增益。.....	54
圖 2.64	本地震盪訊號所造成的輸出 DC 位移。.....	55
圖 2.65	I、Q 通道輸出波形.....	55
圖 2.66	增益差和相位差。.....	56
圖 2.67	Die Photo.....	56
圖 2.68	BJT 次諧波接收器使用 45 度相移器詳細電路圖.....	61
圖 2.69	LNA 的部分.....	61
圖 2.70	(A)變壓器模型(B)理想變壓器的等效電路(C)將負載電路轉移到 primary 的等效電路。.....	63
圖 2.71	變壓器的 EM 模擬立體圖.....	63
圖 2.72	Primary 和 secondary(A)Q 值(B)電感值(C)內阻值，還有(D)彼此耦合值.....	64
圖 2.73	轉換增益對本地震盪訊號功率。.....	64
圖 2.74	轉換增益對 RF 頻率。.....	65
圖 2.75	轉換增益對 IF 頻率。.....	65
圖 2.76	轉換增益對 LNA 調變增益的電壓。.....	66
圖 2.77	利用調整 LNA 電壓改變 IP1dB、IIP2、IIP3，當增益分別為 (A)50dB(B)45dB(C)35dB(D)IP1dB、IIP2、IIP3 對調整 LNA 電壓改變的增益值。.....	66
圖 2.78	轉換增益對 VGA 調變增益的電壓。.....	67
圖 2.79	利用調整 VGA 電壓改變 IP1dB、IIP2、IIP3，當增益分別為 (A)50dB(B)45dB(C)40dB(D)IP1dB、IIP2、IIP3 對調整 VGA 電壓改變的增益值。.....	67
圖 2.80	雜訊指數對增益調變。.....	68
圖 2.81	雜訊指數對 LO 功率。.....	68
圖 2.82	輸入返回損耗.....	69
圖 2.83	本地震盪訊號對 RF 端和 IF 端的隔絕度。.....	69
圖 2.84	本地震盪訊號對 RF 端的溢漏和增益。.....	70
圖 2.85	本地震盪訊號所造成的輸出 DC 位移。.....	70
圖 2.86	I、Q 通道輸出波形.....	71
圖 2.87	增益差和相位差。.....	71
圖 2.88	Die Photo.....	72
圖 2.89	BJT 次諧波接收器使用 8 多重相位濾波器詳細電路圖.....	76
圖 2.90	轉換增益對本地震盪訊號功率。.....	77
圖 2.91	轉換增益對 RF 頻率。.....	77

圖 2.92	轉換增益對 IF 頻率。.....	78
圖 2.93	輸入返回損耗.....	78
圖 2.94	轉換增益對 LNA 調變增益的電壓。.....	79
圖 2.95	利用調整 LNA 電壓改變 IP1dB、IIP2、IIP3，當增益分別為 (A)50dB(B)40dB(C)30dB(D)IP1dB、IIP2、IIP3 對調整 LNA 電壓改變的增 益值。.....	79
圖 2.96	轉換增益對 VGA 調變增益的電壓。.....	80
圖 2.97	利用調整 VGA 電壓改變 IP1dB、IIP2、IIP3，當增益分別為 (A)50dB(B)40dB(C)30dB(D)IP1dB、IIP2、IIP3 對調整 VGA 電壓改變的增 益值。.....	80
圖 2.98	雜訊指數對增益調變。.....	81
圖 2.99	雜訊指數對 LO 功率。.....	81
圖 2.100	本地震盪訊號對 RF 端和 IF 端的隔絕度。.....	82
圖 2.101	本地震盪訊號對 RF 端的溢漏和增益。.....	82
圖 2.102	本地震盪訊號所造成的輸出 DC 位移。.....	83
圖 2.103	I、Q 通道輸出波形.....	83
圖 2.104	增益差和相位差。.....	84
圖 2.105	Die Photo.....	84
圖 3.1	能帶變化.....	90
圖 3.2	K. K. O 利用 UMC 製程在矽製程上實現的蕭特基二極體.....	91
圖 3.3	本計劃實現低摻雜濃度的蕭特基二極體於標準 TSMC 0.18 μm CMOS 製程.....	92
圖 3.4	在 TSMC 製程上實現蕭特基二極體.....	92
圖 3.5	比較實現於 TSMC 0.18 μm CMOS 製程的高度和低度摻雜蕭特基二極體之 I-V 和 C-V 關係.....	93
圖 3.6	由 S 參數量測萃取出低度摻雜的蕭特基二極體之內部電阻和電容.....	95
圖 3.7	圖頻帶設計.....	96
圖 3.8	具有旁波帶抑制雙平衡式吉爾伯特混頻器。.....	97
圖 3.9	電晶體在輸出端具有的寄生電容.....	98
圖 3.10	Shunt peaking 電路.....	99
圖 3.11	Series peaking 電路.....	99
圖 3.12	T-Coil peaking.....	100
圖 3.13	T-Coil peaking 電路.....	100
圖 3.14	本地震盪器影響功率放大器示意圖.....	102
圖 3.15	利用變壓器作阻抗轉換.....	103
圖 3.16	電路架構圖.....	103
圖 3.17	轉換增益對第一本地震盪訊號功率。.....	104
圖 3.18	轉換增益對 RF 頻率。.....	104
圖 3.19	IP1dB 對 RF 頻率。.....	105

圖 3.20	RF=60GHz 時的 IIP3。	105
圖 3.21	輸入返回損耗。	106
圖 3.22	本地震盪訊號對 RF 端和 IF 端的隔絕度。	106
圖 3.23	SSB	107
圖 3.24	Die Photo	107
圖 4.1	常見的無線通訊系統頻寬比較	111
圖 4.2	(a)一般 Current-reused LNA 架構(b)在 pHEMT 實現 Current-reused LNA	117
圖 4.3	Distributed LNA	118
圖 4.4	LNA load 為(a)電阻(b)電阻串電感	120
圖 4.5	Mixer	120
圖 4.6	電感串連共振	121
圖 4.7	正交相位產生器(a) RC-CR 正交相位產生器(b) LR-CR 正交相位產生器	122
圖 4.8	馬爾尚巴倫實際繞線圖	123
圖 4.9	UWB I/Q 接收器系統方塊圖	124
圖 4.10	UWB I/Q 接收器電路圖	124
圖 4.11	轉換增益對本地震盪訊號功率。	125
圖 4.12	轉換增益對 RF 頻率。	125
圖 4.13	轉換增益對 IF 頻率。	126
圖 4.14	利用調整 LNA 電壓改變 IP1dB、IIP2、IIP3，當頻率分別為(A)3GHz(B)5GHz。	127
圖 4.15	IP1dB、IIP2、IIP3 對 RF 頻率。	127
圖 4.16	雜訊指數對 IF 頻率。	128
圖 4.17	雜訊指數對 RF 頻率。	128
圖 4.18	輸入返回損耗	129
圖 4.19	本地震盪訊號對 RF 端和 IF 端和 RF 端對 IF 端的隔絕度。	129
圖 4.20	I、Q 通道輸出波形	130
圖 4.21	Die Photo	130
圖 4.22	UWB I/Q 接收器電路圖	134
圖 4.23	轉換增益對本地震盪訊號功率。	135
圖 4.24	轉換增益對 RF 頻率。	135
圖 4.25	轉換增益對 IF 頻率。	136
圖 4.26	利用調整 LNA 電壓改變 IP1dB、IIP2、IIP3，當頻率分別為(A)5GHz(B)7GHz。	137
圖 4.27	IP1dB、IIP2、IIP3 對 RF 頻率。	137
圖 4.28	雜訊指數對 IF 頻率。	138
圖 4.29	雜訊指數對 RF 頻率。	138
圖 4.30	輸入返回損耗	139
圖 4.31	本地震盪訊號對 RF 端和 IF 端和 RF 端對 IF 端的隔絕度。	139
圖 4.32	I、Q 通道輸出波形	140

圖 4.33	Die Photo	140
圖 A.1	整體電路架構	147
圖 A.2	混頻器工作原理	147
圖 A.3	emitter degeneration 電路	148
圖 A.4	[1]提出的線性化 TCA 電路	148
圖 A.5	Current Combiner 電流相加原理。	149
圖 A.6	整體電路架構	150
圖 A.7	轉換增益對本地震盪訊號功率。	151
圖 A.8	線性度(IP1dB)	151
圖 A.9	轉換增益對 RF 頻率。	152
圖 A.10	線性度(IIP3)	152
圖 A.11	Die Photo	152
圖 A.12	轉換增益對本地震盪訊號功率。	154
圖 A.13	轉換增益對 RF 頻率。	154
圖 A.14	線性度分別在頻率為(A)5.8GHz (B)5.2GHz	155
圖 A.15	Die Photo	155



第一章

導論



1.1 研究動機

近年來，由於無線通訊的蓬勃發展，IEEE 802.11 a/b/g/n (Wireless LAN, WLAN)、IEEE 802.15.3a (Ultra-Wideband, UWB)等通訊協定廣泛地被討論以及研究。手機、無線網路、視訊產品等也己成為人們不可或缺的科技產品。由於現今的通訊產品主打輕、薄、短、小，通訊晶片內部的數位處理電路面積可以藉由元件製程的 scaling rule 縮小，但射頻積體電路(radio frequency integral circuits, RFICs)部分在設計方面很難隨著 scaling rule 而縮小面積，故如何使射頻電路擁有低電壓(low voltage)、低功率(low power)以及小面積(small area)就成了很重要的議題。

由於訊號在經過空氣傳播之後，接收機所能接收的訊號大小已經非常微弱，故射頻電路需要考慮阻抗匹配以及整體系統雜訊指數的大小；同時，在放大訊號之際，電路也需要考慮其功率消耗、線性度、直流電壓供應與信號振幅是否過大或過小等特性。除此之外，接收機在將訊號降至基頻時，直接降頻會遇到閃爍雜訊(flicker noise)。

除了無線區域網路的廣泛使用之外，為了因應多媒體訊號的大量傳輸，60GHz 和超寬頻系統興起，其中60GHz 正是目前最為火熱的頻段，這個頻段有數 GHz 的頻寬足夠拿來作為高速資料的傳輸，並且60GHz 頻段的訊號在大氣中的傳送衰減很大，訊號相互干擾的程度較小，適合拿來作室內短距離的傳輸。而超寬頻的技術現在雖然暫時冷卻，但是其寬頻所導致的大量傳輸量仍是我們可以研究的範圍。

1.2 論文組織

本篇論文將利用 TSMC 0.18 um CMOS 以及 WIN 0.15 um pHEMT 製程技術來設計晶片。本論文分為五個章節，第一章為導論。第二章主要介紹應用在 WPAN 系統的低功耗低雜訊接收機。第三章為在 TSMC 0.18 um CMOS 製程中利用蕭特基二極體達到60GHz的傳輸器。第四章則是利用 LR-CR 正交相位產生器和頻寬延展技術來實現應用在 UWB 系統接收器。第二到第四章除了理論敘述外，還有實作的量測結果以作驗證。第五章則對上述的所有電路設計與實作結果做個結論。





2.1 前言

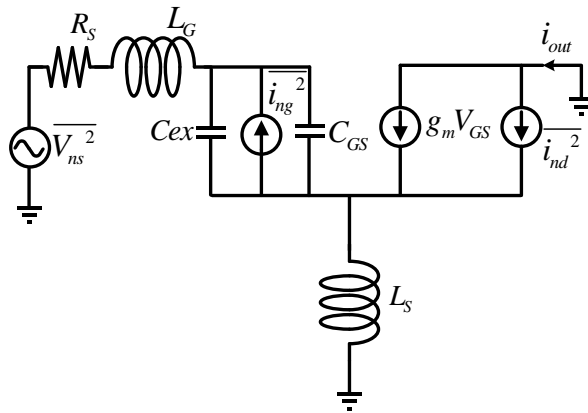
隨著後 PC 時代的來臨，許多電器設備皆朝向可攜式無線通訊設備發展，因此短距離的無線通訊標準也因而被制定且逐漸佔有重要的地位。IEEE 制定適用於短距離的無線通訊標準是無線個人區域網 WPAN(Wireless Personal Area Network)標準，諸如家庭娛樂網路、汽車無線應用、遊戲機連線、PC 無線周邊、消費性電子、家庭保全監控、工業環境監控以及個人醫療照護，都是屬於此技術的應用。以上應用，可能由於更換電池不易，或是因為大量使用導致更換電池不便，會特別需要低功率操作。本章節所實現的電路，就是以低功率為目標去設計。

低功率的設計，針對不同的規格以及應用上的要求，可以從系統架構的選擇出發，到電路設計層面，各種電路區塊皆有許多低功率的技術可供運用與結合，權衡雜訊及線性度等各種不同的特性，方可決定各子電路的架構。

除此之外，電晶體天生的低頻帶顫動雜訊，將會惡化降頻到低頻的信號。其他像大功率干擾源之間的相互調變，突波造成的振幅變化，都會使得直接降頻器的功能變差。此章節也將探討如何降低直接降頻接收機中混頻器的顫動雜訊。

本章節針對不同的電路區塊，分別研究其低功率和低顫動雜訊的設計和其他特性的關係。最後討論實作及量測的結果。

2.2 低功率低雜訊放大器設計原理



圖(2.1) 考慮功率消耗之低雜訊放大器

外加 C_{ex} 後，可以在縮小 C_{gs} 的情況下，需要的 L_s 也不會因此放大，有機會在低頻的情況下達到低功率操作。除此之外，參考圖(2.1)， $Z_{in} = s(L_g + L_s) + 1 / (sC_t) + \omega_t L_s$ ，故外加 C_{ex} 還可以使 L_g 變小。在 2.4GHz 這種頻段的應用， L_g 通常都具有需要相當大的感值，若是實現在矽製程上，其寄生的阻抗相當可觀，這個阻抗會成為雜訊貢獻的主因之一，因此外加的 C_{ex} 若能減少 L_g ，對於雜訊指數也可能會有改善的效果。可是過大的 C_{ex} 會減少等效的截止頻率，進而降低增益，因此 C_{ex} 的值要慎選[1]。

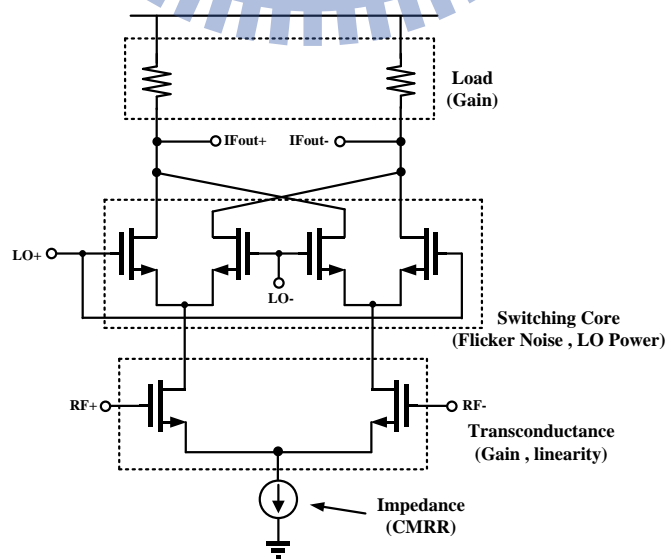
而操作在 5.8GHz 的時候，由於此時的 ω 比較大，所以並不會有低頻 $\text{Re}[Z_{opt}]$ 過高的情形，而且 L_g 需要的大小比 2.4GHz 小很多，所以在此便不再外加使用並聯的 C_{ex} 。

2.3 低顫動雜訊混頻器

為了符合低功率的目的，零中頻(Zero-IF)接收機是目前被廣泛使用的接收機架構，由於射頻訊號先經過低雜訊放大器放大訊號後，直接由本地振盪訊號降至基頻訊號，因此又稱為直接轉換接收機(Direct Conversion Receiver)。零中頻接收機直接將射頻訊號降到基頻，因此不會有鏡像訊號(Image Signal)干擾的問題。此架構不需使用外接的濾波器，可以由單一積體電路來實現，所以在無線接收機設計時常會使用該架構。但是在採用CMOS製成的時候，低頻的閃爍雜訊是零中頻接收機所須面對的問題之一。由於金氧半場效電晶體(MOS)的閃爍雜訊，其功率頻譜密度為 $1/f$ 的曲線，所以閃爍雜訊會使直接降頻至基頻的訊號雜訊比降低。

2.3.1 吉爾伯特升頻與降頻混頻器設計

圖(2.2)是最基本的 Gilbert Mixer，是雙平衡式混頻器。設計時可以分成四部分來看:負載，切換級，轉導級，電流鏡。



圖(2.2) 雙平衡式吉爾伯特混頻器

(1) 輸出負載

負載是提供增益的地方，設計考量上須考量增益，頻寬與壓降的 trade-off，如同設計低雜訊放大器一樣，也可以使用無壓降式負載 (tuned load)，但是因為此電路是降頻器所以電感值會非常大，完全無實用價值，一般來說會使用電阻式負載，如果要更高增益可以使用 PMOS 負載，但是增益越高(電阻值越大)會有輸出擺幅受限以及頻寬限制的缺點，一般來說設計之增益不用太高，只要能夠抑制後面電路的雜訊即可(通常輸出極點是整個混頻器的主極點，如果還有頻寬考量，實際上設計也不用完全抑制掉)。而當我們使用電晶體作為主動式混頻器的負載時，它的閃爍雜訊會對輸出端提供低頻雜訊，其關係

為 $\overline{V_n^2} = \frac{K}{C_{ox}WL} \cdot \frac{1}{f}$ ，因此為了減少負載所造成的閃爍雜訊，我們可選用不會造成閃爍雜訊的電阻來當負載，不過這樣一來輸出振幅便會因為負載電阻吃掉壓降而減少。

(2) 輸入轉導級

轉導級電晶體的設計一樣可以設計大一點，讓轉導值變大，但是需要考量的是頻寬與線性度之間的 trade-off。Size 較大的電晶體會較小的過驅動電壓，會使得輸入範圍降低，而且會有較大的寄生電容影響。主動式混頻器的輸入轉導產生的閃爍雜訊，它會以兩種型式出現在輸出端，其一為藉著混頻作用在輸出端以大約 LO 頻率的型式出現。第二種型式則為當 LO 的開關電晶體彼此間 mismatch 時，轉導級的閃爍雜訊就會伴隨 RF 訊號出現在輸出端，意義上類似 RF-to-IF feedthrough，但是這個量一般來說很小。由上面的分析我們可以觀察

出現了雜訊脈衝，由於一個週期內會有2個zero-crossing點，所以雜訊脈衝出現的頻率為 $2\omega_{LO}$ 。

接著，我們想估量雜訊脈衝在輸出端所造成的雜訊電流，將每個週期裡出現的脈衝電流視為一平均值，推導如下：

$$i_{o,n} = 2f_{LO} \times 2I \times \Delta t = \frac{2}{T} \times 2I \times \frac{V_n}{S} = 4I \frac{V_n}{S \times T} \quad (2.1)$$

從 $i_{o,n}$ 的式子可清楚的看到，LO 切換開關級的閃爍雜訊 V_n 直接出現在輸出端，對輸出端貢獻低頻雜訊，所以稱之為直接開關雜訊。

間接開關雜訊主要由寄生電容造成，電晶體 source 端的寄生電容 C_p 便會受到 V_n 的影響進行充放電的工作，會抽走或注入一小電流 i_{Cp} ，對應到輸出端即等同一小電流 i_o ，因 M1、M2 輪流切換，以 $2\omega_{LO}$ 的頻率出現 [2]。

我們可以發現最主要貢獻顫動雜訊的部分就是LO 開關切換的部分，切換級的電晶體選擇上可以大一點，可以讓顫動雜訊小一點，而且過驅動電壓(overdrive voltage)也比較小，可以使得本地震盪訊號(LO power)降低，但是要注意的是過大的電晶體會使得寄生電容加大，會讓頻寬降低。

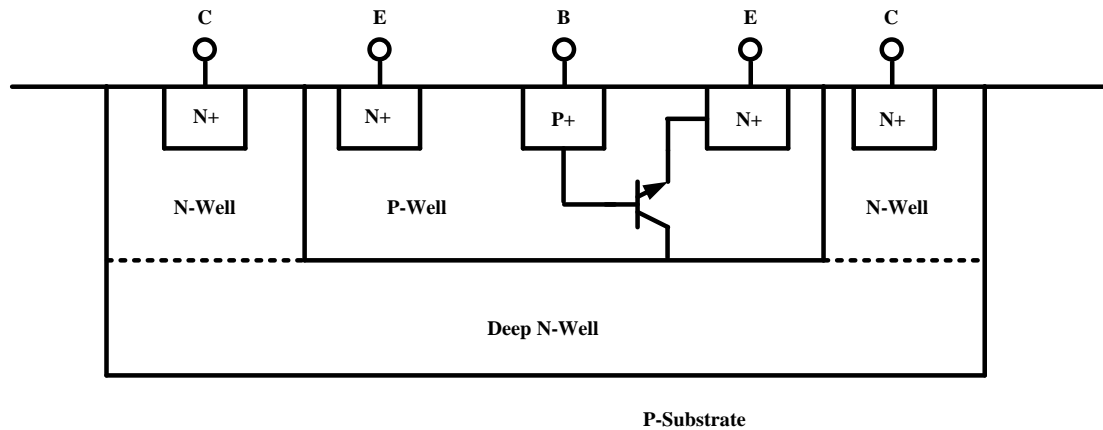
(4) 電流鏡

而電流鏡的設計，可以選擇電晶體 length 較長的，可以使得阻抗較大，而且可以減低因通道調變使得 mirror 過來的電流與設計值的不一樣，而差動電路的 CMRR 與此阻抗的大小有關，而 width 方

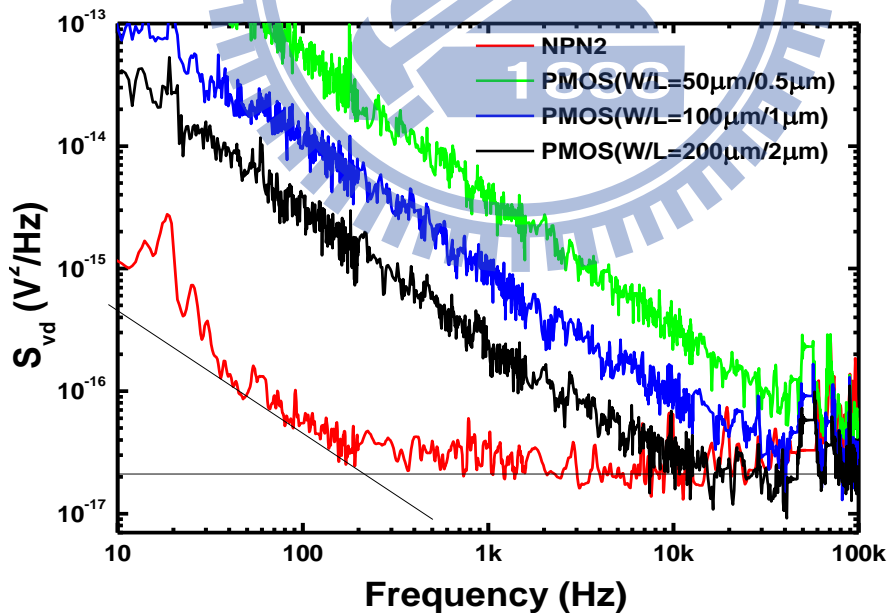
面則跟 mirror 比例有關，不過通常設計為 1:10。在這邊因為壓降的問題，便沒有加上電流鏡了。

2.3.2 分析 CMOS 0.18 μm 中寄生 NPN 元件特性

在顫動雜訊的解決方式上由於主要LO端貢獻的直接開關雜訊為 $i_{o,n} = 4I \frac{V_n}{S \times T}$ ，所以我們盡量減少流經開關端的電流，或是為了減少間接開關雜訊而將電晶體放大。對於減少流經開關端的電流而言，被動混頻器跟電流注入的架構皆以類似的概念來進行。被動混頻器雖然功耗小，開關級不會流過電流，但是由於沒有增益無法壓掉後面級貢獻的雜訊，本身的熱雜訊也比主動混頻器大，並且同時需要比較大的 LO power。而電流注入分成兩種方式：靜態與動態；靜態方面由於在 RF 端裝上電流注入裝置，使該點的寄生電容變大，對於混頻器的頻寬造成影響，而且這個裝置會使線性度變差，且白雜訊會上升。動態電流注入裝置則是只在 zero-crossing 點的時刻做電流注入的動作，其他的時候則是維持關掉的狀態，從以上架構來看，不管怎樣都是使電路變得更加複雜，並且分別各有一些 Trade off，於是我們決定在 CMOS 當中尋找不會貢獻顫動雜訊的元件，做為最基本的改善方式，也就是 CMOS 0.18 μm 當中的寄生垂直 NPN。如圖(2.4) [3]；

圖(2.4) CMOS 0.18 μm 當中的寄生垂直 NPN 剖面圖

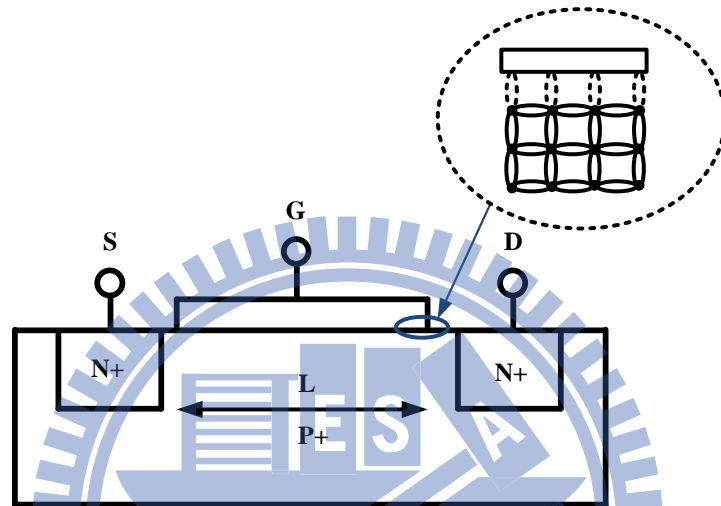
但也同時因為是寄生的元件關係，所以特性並不如矽鍺製程中的 BJT 來的好，首先本身電晶體的寄生電容就會比較大，操作的速度也會比較慢，並且 β 值也會來的差一點，但是對我們最大的幫助就是 Device 本身不會提供 Flick Noise。從量測中可以明顯的看到。Flick Noise 約在 200~300Hz 左右。



圖(2.5) NPN 和 PMOS 不同 SIZE 的顫動雜訊分析

在 npn 和一般 mos 的 Device 比較上，我們先看到 mos 會產生顫

動雜訊的原因來自於閘極氧化層和矽基板的界面之中產生不連接的鍵結。當通道開通電荷載子在界面移動時，某些載子就被隨機的捕捉以此能階態釋放，使得汲極電流產生顫動雜訊。這一雜訊並非穩定且會隨著製程而改變，而且是呈現很低頻的一種雜訊，所以如果在我們的 zero IF 的架構上會有很大的影響。

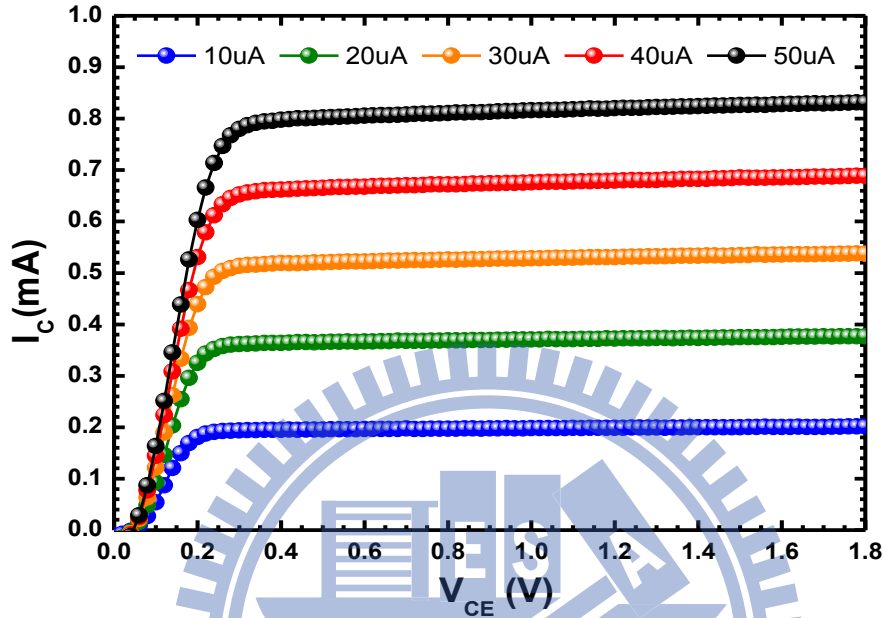


圖(2.6) MOS 產生顫動雜訊的原因

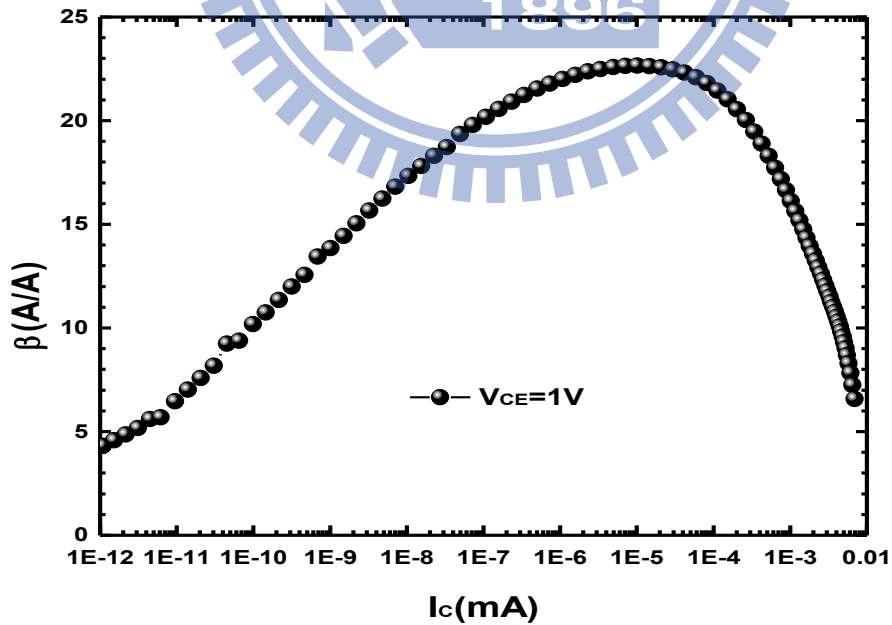
而一般來說 PMOS 的顫動雜訊又會比 NMOS 更小一點，主要因為 PMOS 在通道中主要攜帶的是電洞，重量比電子重很多，也因此比較不容易被抓走。而由圖 我們可以看到在 PMOS 跟 NPN 的顫動雜訊比較下明顯 NPN 的低很多，更何況跟 NMOS 比起來，NPN 在顫動雜訊上的消除一定會有明顯的改善。

同時因為 CMOS $0.18\ \mu\text{m}$ 對於 npn 的 model 並沒有非常完整。為了模擬的準確度，其他特性我們也分別做了量測，以建立較完整的 NPN model。以下分別表現 npn2 的 IV Curve、 β 值，電流密度對 f_i ，

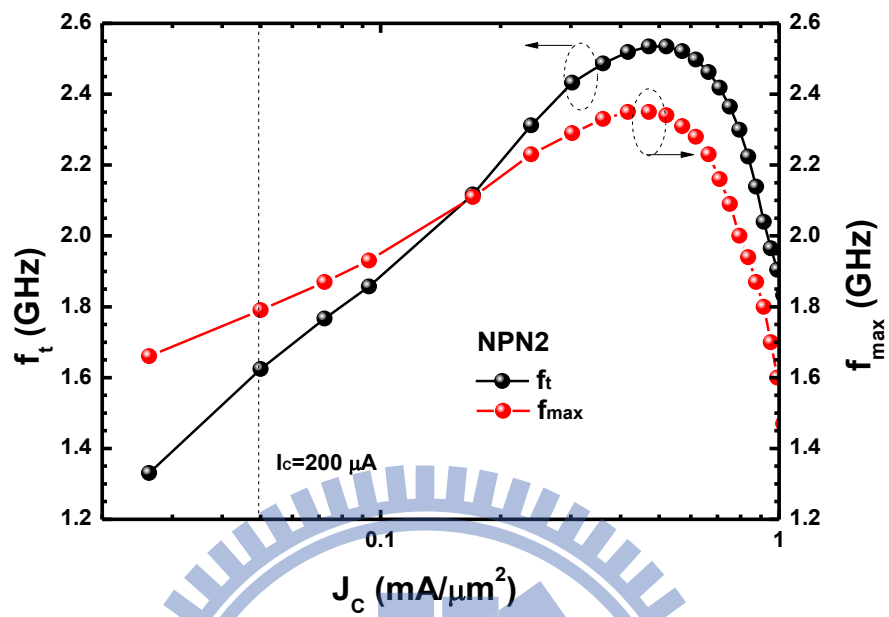
還有經過 $f_t = \left\{ 2\pi \left[\tau_F + \frac{kT(C_{je} + C_{jc})}{qI_C} \right] \right\}^{-1} \approx \frac{1}{2\pi\tau_F}$ 得到的 τ_F 對電流倒數的圖型[3]。



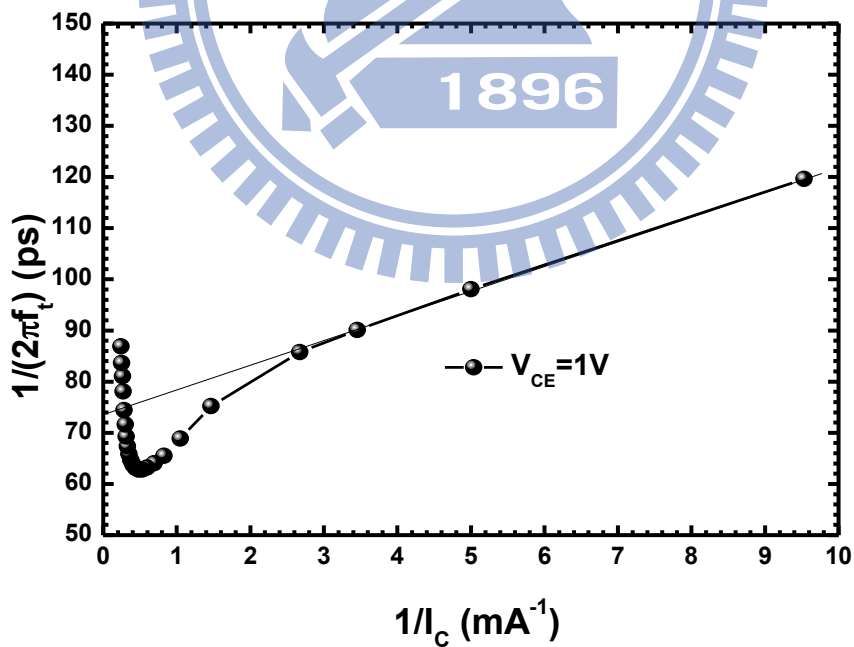
圖(2.7) IV Curve 圖



圖(2.8) β 對 I_C 作圖



圖(2.9) f_t 對電流密度作圖



圖(2.10) τ_f 對電流倒數作圖

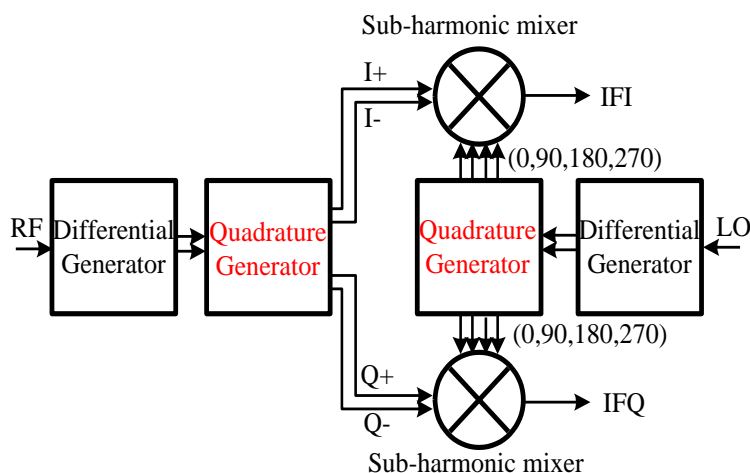
而上面的數據可以得到在我們設計 mixer 一邊流經 0.2mA 電流時，我們設計電晶體 size 為 2X2，可看到 f_t 在我們設計的電流密度下大概為 1.6GHz 而已，電流倒數為 5，所以對應 τ_f 應該為 100ps 但是利用 fit 之後，我們調整到 150ps 會比較接近我們量測到的結果，可知道這樣的推測並不是非常準確，但是以我們 fit 之後的結果，量測跟模擬就相對的貼近許多。

2.3.3 常見的次諧波混頻器架構

由於 LO Core 使用 $0.18\mu\text{m}$ 中的寄生 BJT，參考前節的 BJT 模型特性，可以發現因為寄生 BJT 的 f_t 只有 1.6GHz 左右，所以我們必須使用次諧波混頻器來操作在 5.8GHz 的地方，只要輸入本地震盪訊號一半的頻率即可，可以大幅降低本地震盪器的負擔，而且在輸出零中頻時可以避免 DC-offset，但是一般來講設計這種電路可以利用電晶體的非線性，或者利用輸入 4 種正交的本地震盪訊號來達成，但是都有其缺點。一般來說，使用元件的非線性會有增益過低現象，而使用 4 種正交訊號，如果還要製造 IQ 訊號來濾除鏡像訊號，那麼就需要 8 種正交訊號，在設計上相對變得複雜。

在使用次諧波混頻器過程中，同時又需要產生 IQ。一般來說次諧波 IQ 混頻器，大致上來說有兩種方式：

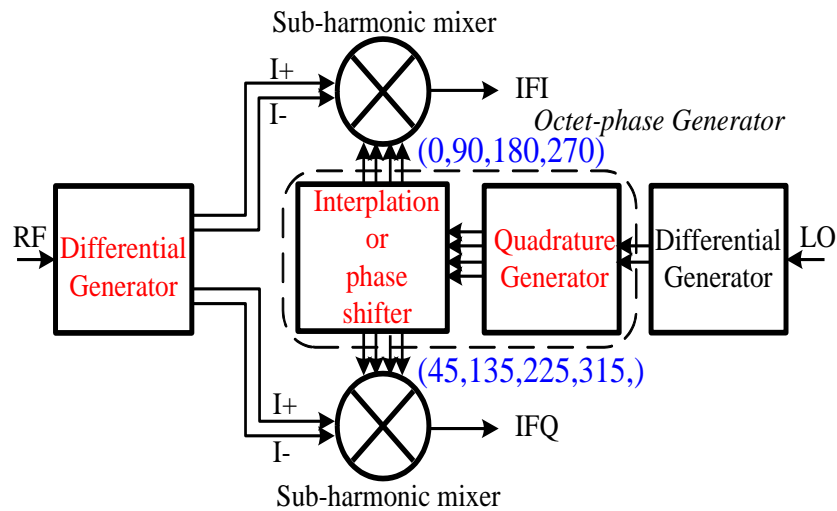
第一種是 RF 先分成四個相位，然後再跟 LO 的四個相位做混頻的動作，操作如圖(2.11)，如此一來便可以避免 LO 輸入必須產生八個相位的困擾。



圖(2.11) RF 和 LO 各產生 IQ 訊號

可是由於 RF 端四相位產生器必須做在訊號必經之路上，而且一般此種四相位產生器我們會使用多重相位產生器的架構，一般想要達到最小的 loss，需要比較接近開路的負載，由於操作在高頻，因為接近去的是 mixer 的 RF 端，為了 mixer 有比較大的增益，一般 RF 會選擇比較大的 device，也因為如此附加電容比較大，而在高頻看到就是比較小的負載，於是 lose 會比低頻更大，同時增加的電路本身的 loss 和 noise，在此種低功率的考量上造成的壞處相當嚴重。

第二種就是本章節主要使用的架構，RF 不改 Differential 輸入的方式，而 LO 變成提供八個相位，但是此方法主要遇到的困難點就是如何產生理想的八個相位的訊號，並且輸出的訊號振幅能夠相等。於是以下我們並提出幾種方式，而從中選擇兩種我們覺得可行的架構來作實作。

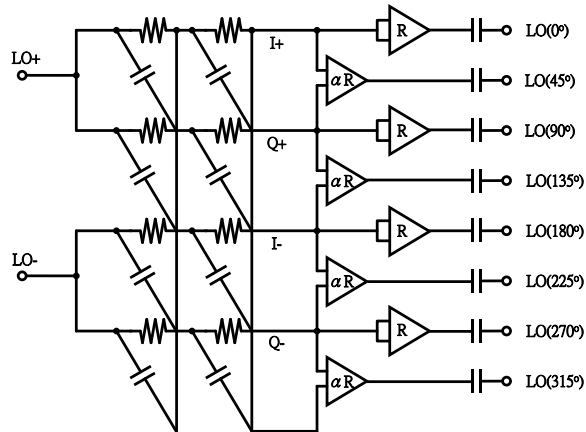


圖(2.12) LO 產生八個 phase 的訊號

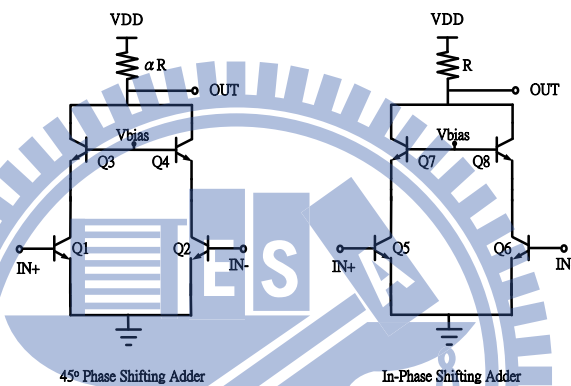
2.3.4 產生八個相位的架構分析比較

(1) 八個相位 LO 產生器：

此種是利用多相位濾波器為主加上兩種加法放大器所組成，一種是 45 度的相移加法器，另一種是同相位加法器，圖(2.13) [4]。主要產生 45 度是利用兩個相差 90 度的信號輸入差動的放大器。在設計的考量上會需要改變 45 度相加器負載的電阻調整，要比同向相加器的負載電阻大 $\sqrt{2}$ 倍，但是相位差和振幅可能會因為電晶體的製程變異再包括電阻電容的誤差，而導致出來的訊號並不為理想的八相位，再加上主打為低功耗，對於此架構中放大器所需要的功耗必須多加考量。



(A)



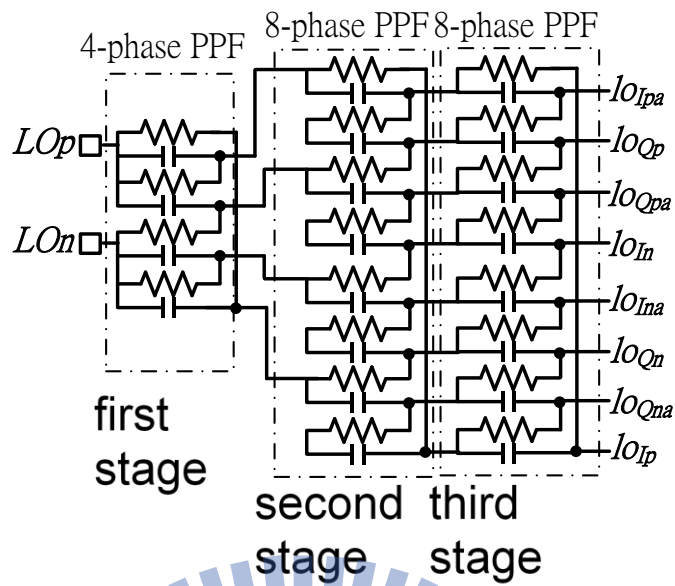
(B)

(C)

圖(2.13) (A)八個相位產生器，使用多相位濾波器加上(B)45度相移加法器和(C)同相位加法器。

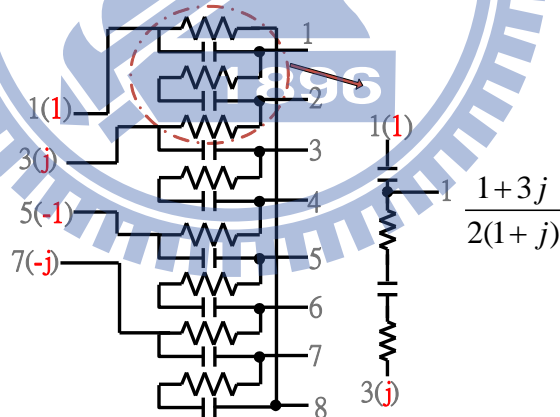
(2) 八個相位的多重相位濾波器：

由於 Sub-harmonic 的關係，所以我們必須尋找產生八個相位的架構，在這邊我們先來探討這種八個相位的多重相位濾波器[5]，



圖(2.14) 八個相位的多重相位濾波器

首先可以看到此種架構主要是使用分壓的方式來產生，第一級的架構基本上跟一般的多重相位濾波器是差不多的，而第二級和第三級主要利用的也是分壓的方式，如圖，



圖(2.15) 第二級分壓方式

我們便可以寫出每一級的關係方程式

第一級和第三級

$$V_{o,n} = \frac{j\omega RC}{1 + j\omega RC} V_{i,n} + \frac{1}{1 + j\omega RC} V_{i,n+1} \quad n=1,2,3 \dots \quad (2.2)$$

第二級

$$V_{o,n} = \frac{1+2j\omega RC}{2(1+j\omega RC)}V_{i,n} + \frac{1}{2(1+j\omega RC)}V_{i,n+2} \quad n=1,3,7\cdots \quad (2.3)$$

$$V_{o,n} = \frac{j\omega RC}{2(1+j\omega RC)}V_{i,n-1} + \frac{2+j\omega RC}{2(1+j\omega RC)}V_{i,n+1} \quad n=2,4,6\cdots \quad (2.4)$$

最後我們可以得到每個輸出點的值，如表格。

表2.1 多重相位濾波器輸出值

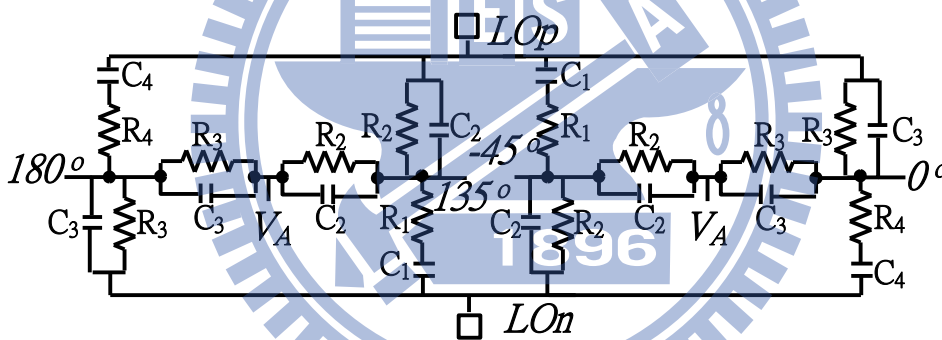
Output port number	Output signal	Output signal phase	Output signal amplitude
1	$(1+j)V_i$	45	$\sqrt{2}$
2	$(3j/2)V_i$	90	3/2
3	$(-1+j)V_i$	135	$\sqrt{2}$
4	$(3/2)V_i$	180	3/2
5	$(-1+j)V_i$	225	$\sqrt{2}$
6	$(-3j/2)V_i$	270	3/2
7	$(1-j)V_i$	315	$\sqrt{2}$
8	$(3/2)V_i$	0	3/2

在這邊我們可以發現輸出的點雖然可以很均衡的產生 45 度的相位，可是在振幅上面會有 0.5dB 的誤差，但是由於此架構是放在 LO 端輸入的地方，所以我們先認為 0.5dB 的誤差對於電晶體開關的影響是微乎其微的。

$$|\Delta A| = 20 \cdot \log \left| \frac{3/2}{\sqrt{2}} \right| \cong 0.5dB \quad (2.5)$$

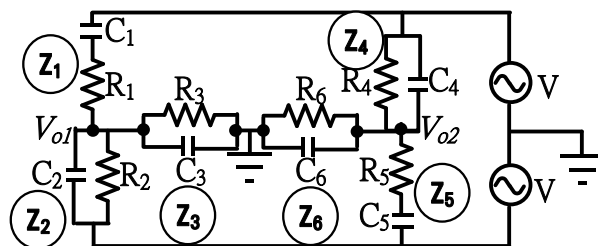
(3) 45 度相移器：

此種產生 45 度相位的架構主要是利用帶通濾波器的方式，首先此種架構可以產生一定頻寬內維持在 45 度，並且輸出振幅保持不變，但是利用[6]的架構做出發現無法達到這樣的效果，



圖(2.16) 45 度相移器

於是我們再參考[6]中提到的書[7]，發現在[6]這篇當中有式子的比例寫反了，於是我們先取圖(2.16)的半邊的電路來做說明。



圖(2.17) 45 度相移器半邊分析

利用分壓計算的方式分別可以求出 V_{o1} 和 V_{o2} 為

$$V_{o1} = V \frac{Z_3(Z_2 - Z_1)}{Z_1Z_2 + Z_1Z_3 + Z_2Z_3} \quad (2.6)$$

$$V_{o2} = V \frac{Z_6(Z_5 - Z_4)}{Z_4Z_5 + Z_4Z_6 + Z_5Z_6}$$

而為了簡化我們先假設

$$R_1C_1 = R_2C_2 = R_3C_3 = 1/(2\pi f_1) \quad (2.7)$$

$$R_4C_4 = R_5C_5 = R_6C_6 = 1/(2\pi f_2)$$

$$R_2 = aR_3, R_4 = aR_6, R_5 = bR_1, R_6 = bR_5 \quad (2.8)$$

利用以上關係式可以計算得知

$$Z_1 = R_1 \frac{1 + j \frac{f}{f_1}}{j \frac{f}{f_1}} \quad Z_2 = \frac{abR_1}{1 + j \frac{f}{f_1}} \quad Z_3 = \frac{bR_1}{1 + j \frac{f}{f_1}} \quad (2.9)$$

$$Z_4 = \frac{abR_5}{1 + j \frac{f}{f_2}} \quad Z_5 = R_5 \frac{1 + j \frac{f}{f_2}}{j \frac{f}{f_2}} \quad Z_6 = \frac{bR_5}{1 + j \frac{f}{f_2}} \quad (2.10)$$

之後我們再把這些帶回(Eq.2.13)可以得到

$$V_{o1} = \frac{V}{a+1} \frac{\left(\frac{f}{f_1}\right)^2 - 1 - j \frac{f}{f_1} (2-ab)}{1 - \left(\frac{f}{f_1}\right)^2 + j \frac{f}{f_1} \left(2 + \frac{ab}{a+1}\right)} \quad (2.11)$$

$$V_{o2} = \frac{V}{a+1} \frac{1 - \left(\frac{f}{f_2}\right)^2 + j \frac{f}{f_2} (2-ab)}{1 - \left(\frac{f}{f_2}\right)^2 + j \frac{f}{f_2} \left(2 + \frac{ab}{a+1}\right)}$$

再利用以上的式子來計算振幅的部分

$$|V_{o1}|^2 = \frac{|V|^2}{(a+1)^2} \frac{\left(\frac{f}{f_1}\right)^4 + \left(\frac{f}{f_1}\right)^2(2-4ab+a^2b^2)+1}{\left(\frac{f}{f_1}\right)^4 + \left(\frac{f}{f_1}\right)^2\left[2 + \frac{4ab}{a+1} + \left(\frac{ab}{a+1}\right)^2\right]+1}$$

$$|V_{o2}|^2 = \frac{|V|^2}{(a+1)^2} \frac{\left(\frac{f}{f_2}\right)^4 + \left(\frac{f}{f_2}\right)^2(2-4ab+a^2b^2)+1}{\left(\frac{f}{f_2}\right)^4 + \left(\frac{f}{f_2}\right)^2\left[2 + \frac{4ab}{a+1} + \left(\frac{ab}{a+1}\right)^2\right]+1}$$
(2.12)

我們為了使振幅不要受到頻率的影響，於是我們必須設計

$$2-4ab+a^2b^2 = 2 + \frac{4ab}{a+1} + \left(\frac{ab}{a+1}\right)^2$$
(2.13)

$$b = \frac{4(a+1)}{a^2}$$
(2.14)

最後我們設計圖(2.16)值分別為

$$R_2 = 8R_1, \quad R_3 = 8R_4$$

$$R_1C_1 = R_2C_2 = 1/(2\pi f_1)$$

$$R_3C_3 = R_4C_4 = 1/(2\pi f_2)$$

$$\Phi_o = \tan^{-1} \frac{12F_1(1-F_1^2)}{F_1^4 - 38F_1 + 1}$$

$$\Phi_i = \tan^{-1} \frac{12F_2(1-F_2^2)}{F_2^4 - 38F_2 + 1}$$
(2.15)

2.4 實作一，2.4GHz BJT Receiver with stacked inductor (CMOS 0.18um)

2.4.1 研究動機

低雜訊、低功率和高線性度是接收機很重要的幾個特性。對於直接降頻器來說，顫動雜訊(flicker noise)更是影響電路表現的重要關鍵，因此本電路將低雜訊放大器，BJT 混頻器及可調式 BJT 大器結合，來設計一操作在 2.4GHz 的直接降頻接收機晶片。

2.4.2 系統頻率規劃

此實作為針對無線區域網路的應用，故將需要頻率設為 2.4GHz；而最終輸出訊號基於要配合基頻調變以及避開閃爍雜訊(flicker noise)的理由，將其定為 100kHz。

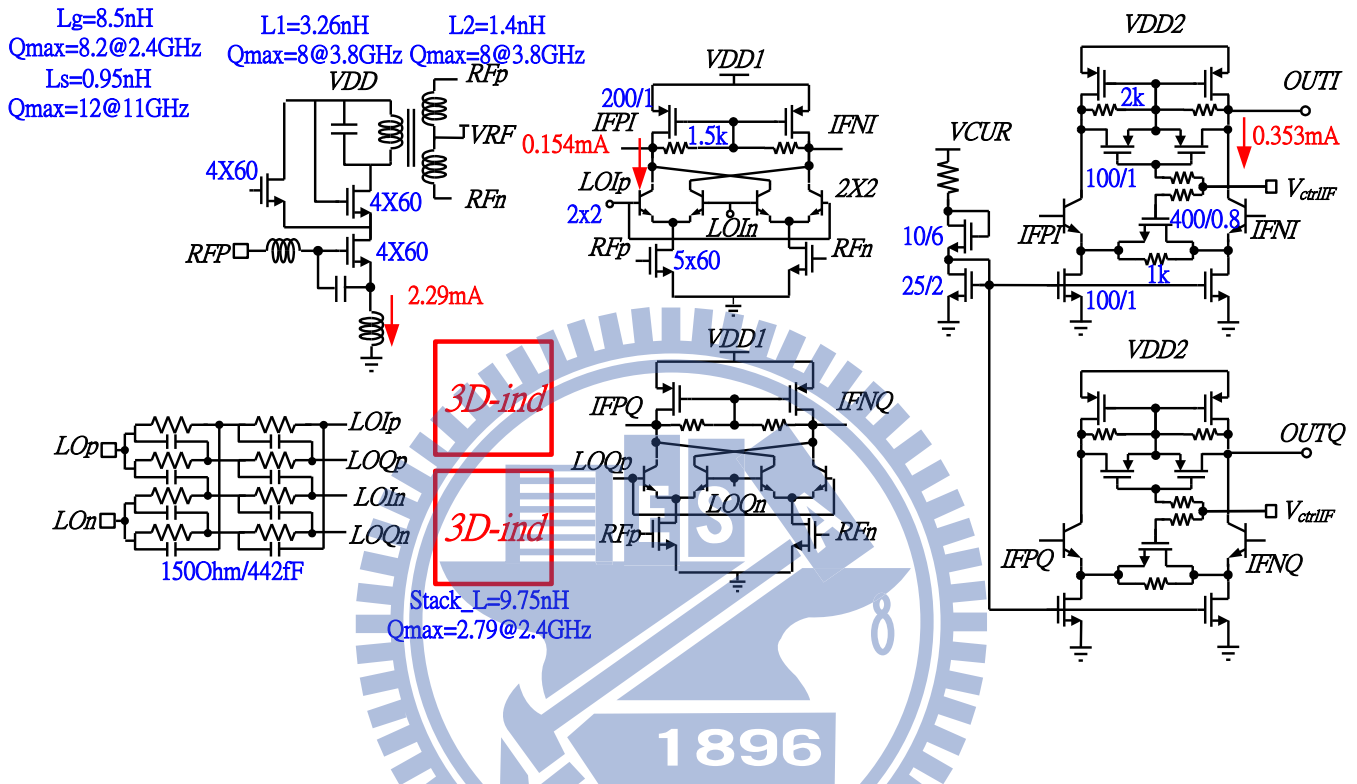
2.4.3 整體系統架構

整個電路包含以下幾個部分：

1. 一級低雜訊放大器
2. BJT 混頻器
3. 多重相位濾波器加上立體電感
4. 可調式放大器

2.4.4 電路設計

詳細的電路圖如圖(2.18)所示，並分別闡述內部電路：



圖(2.18) BJT 接收器使用立體電感詳細電路圖

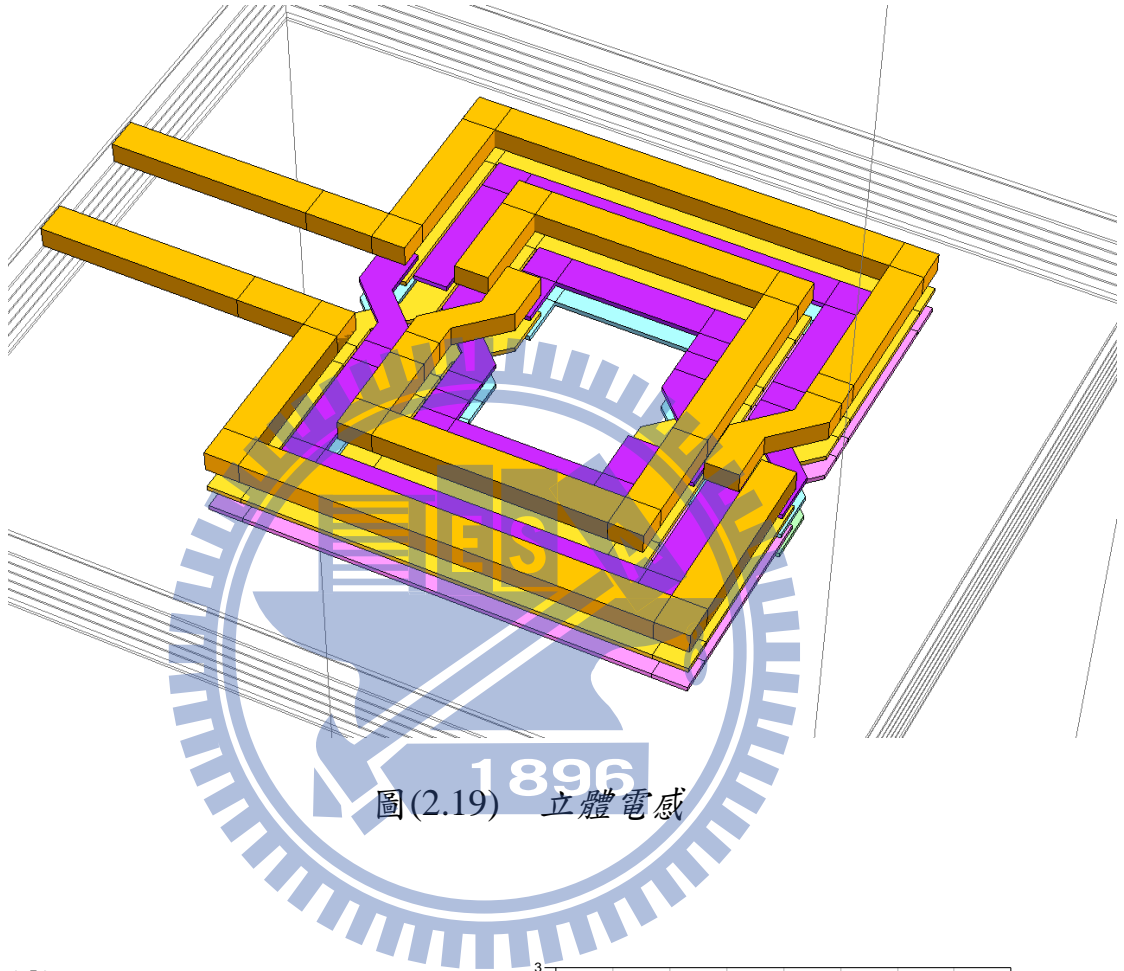
(1) LNA

基本上的架構我們是使用單一級的 LNA，加上 transformer，使其 single 轉 differential，再接到將 LO core 已用 CMOS $0.18\ \mu\text{m}$ 寄生垂直 BJT 的 mixer 當中，以降低 flick noise，最後在接上架構類似 source degeneration 的 LNA，由控制 load 和 source degeneration 來改變 VGA 增益的大小。

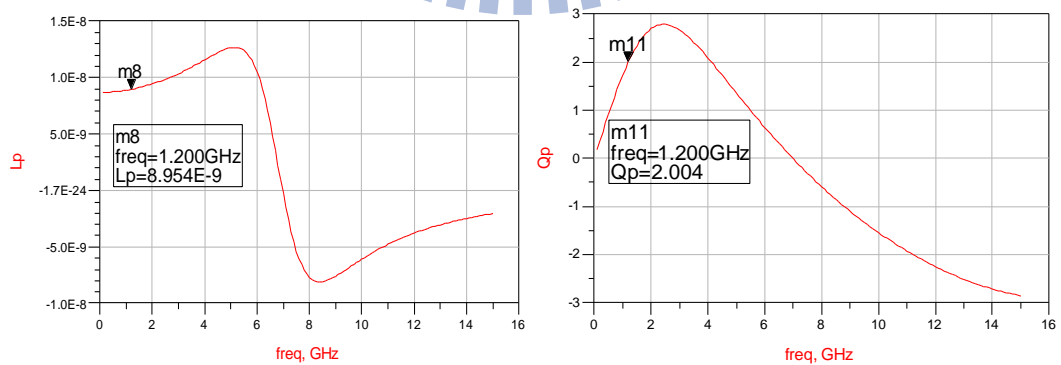
(2) 立體電感

因為欲降低 LO power，我們使用電感 peaking 的方式，但在此由

於面積的考量，於是我們選擇立體電感的架構。以下為立體電感的3D圖，包含兩個感值約 5.5nH 大小的電感才佔用約一個 pad 大小的面積而已圖(2.19)[8]。

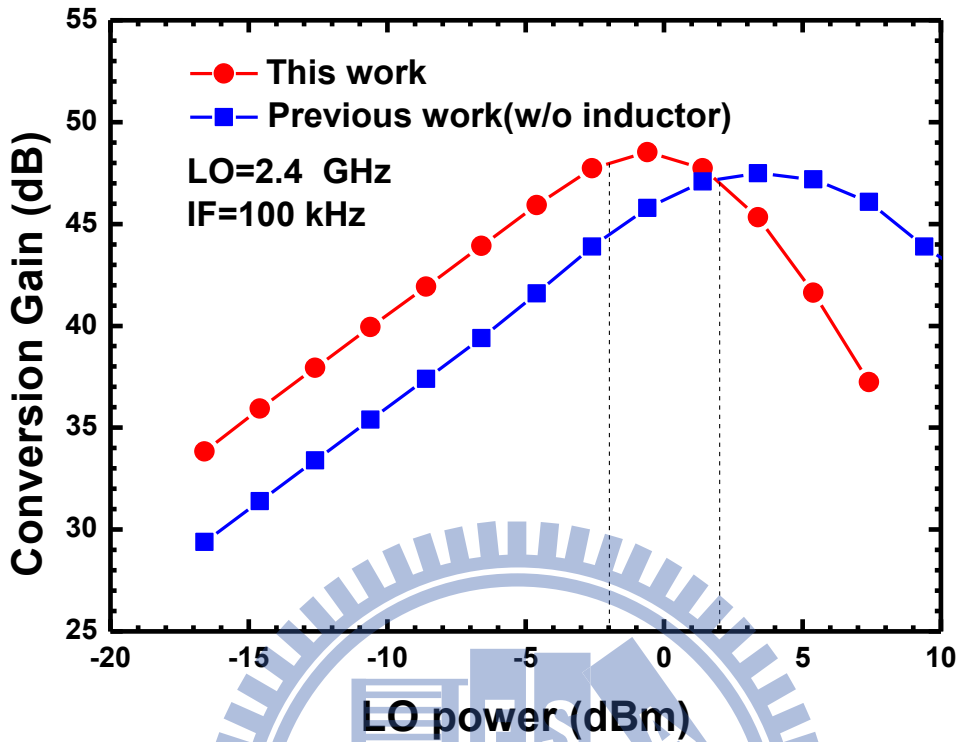


圖(2.19) 立體電感

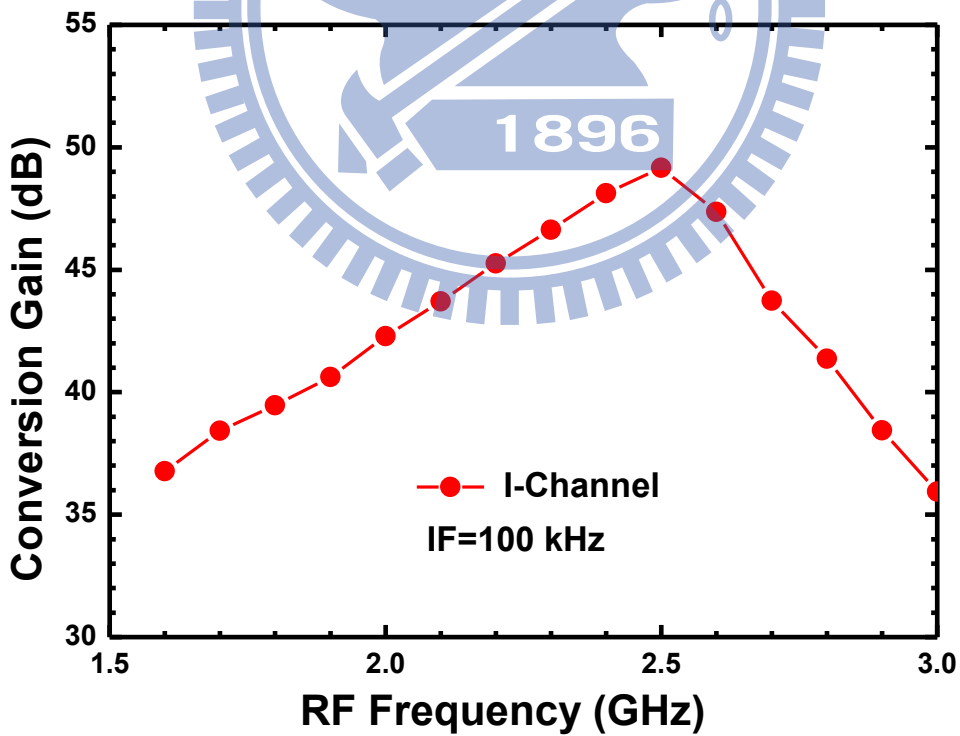


圖(2.20) 立體電感值和 Q 值

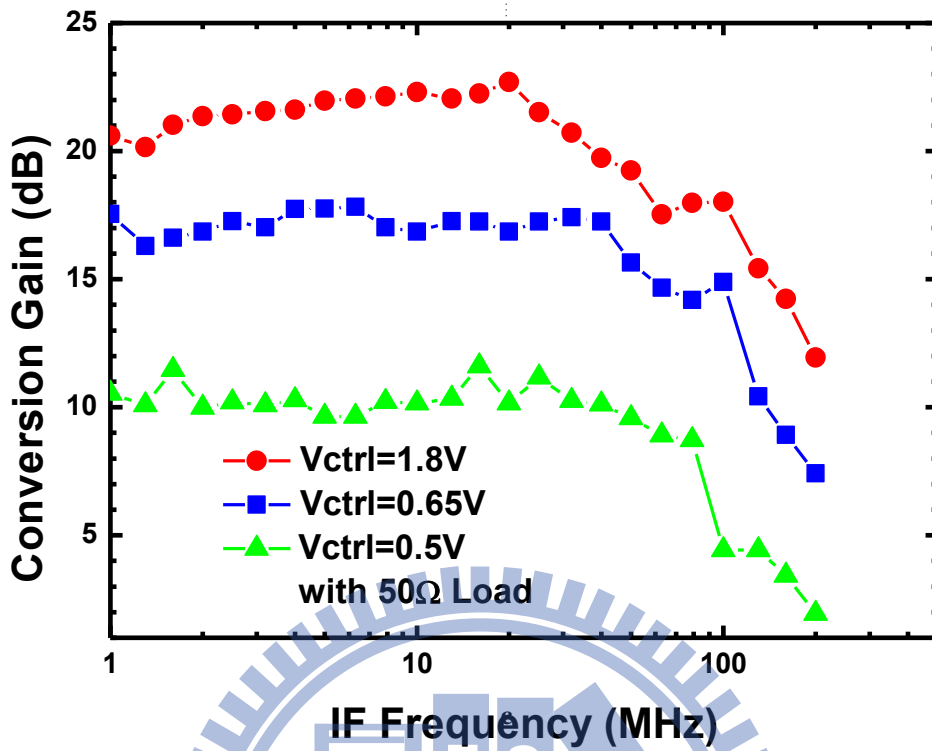
2.4.5 晶片量測結果



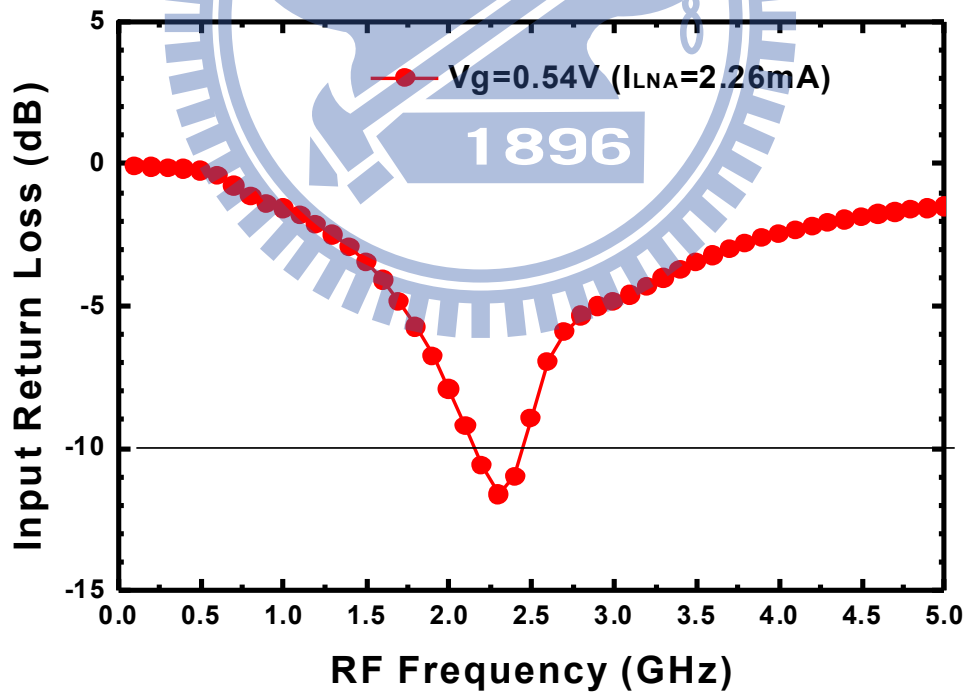
圖(2.21) 轉換增益對本地震盪訊號功率。



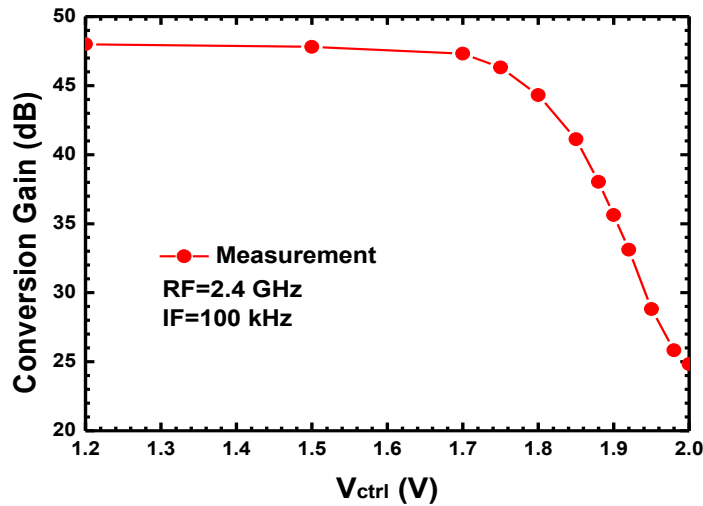
圖(2.22) 轉換增益對 RF 頻率。



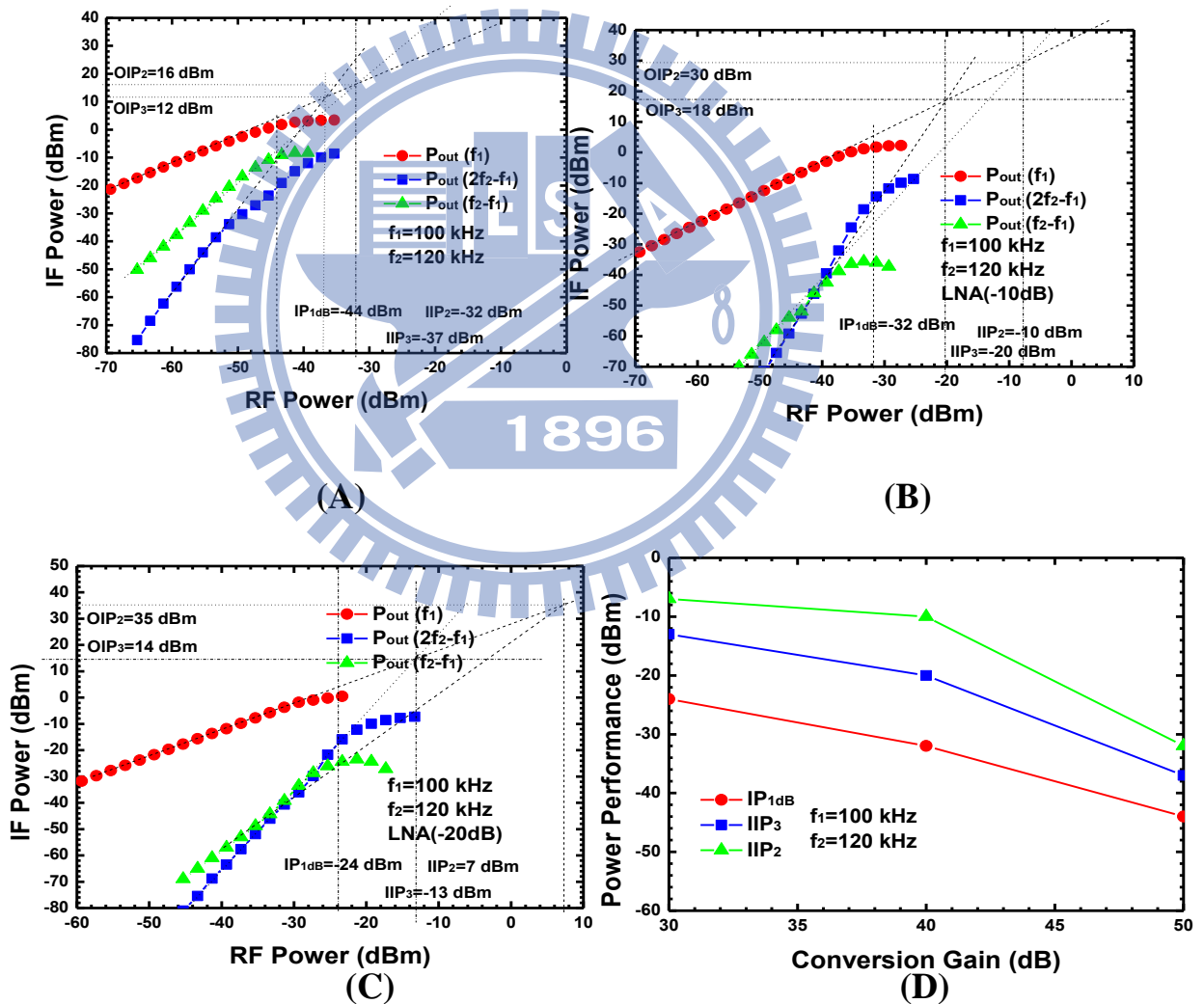
圖(2.23) 轉換增益對IF頻率。



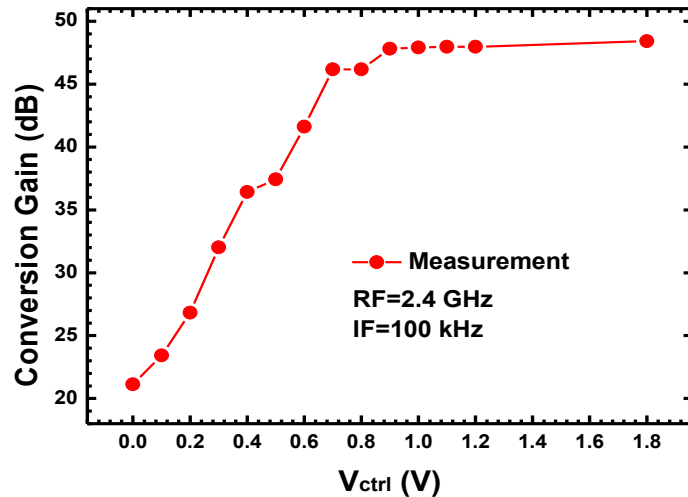
圖(2.24) 輸入返回損耗。



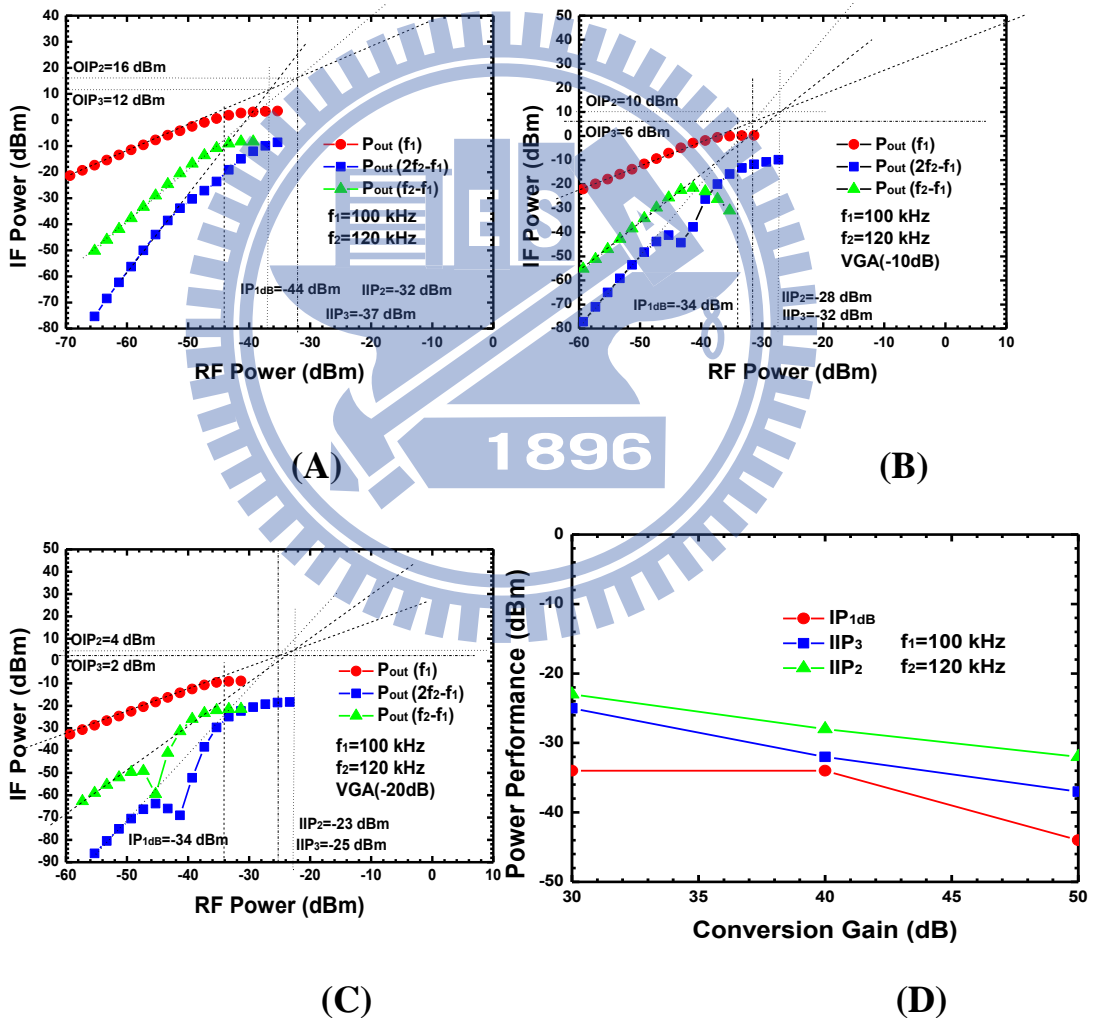
圖(2.25) 轉換增益對 LNA 調變增益的電壓。



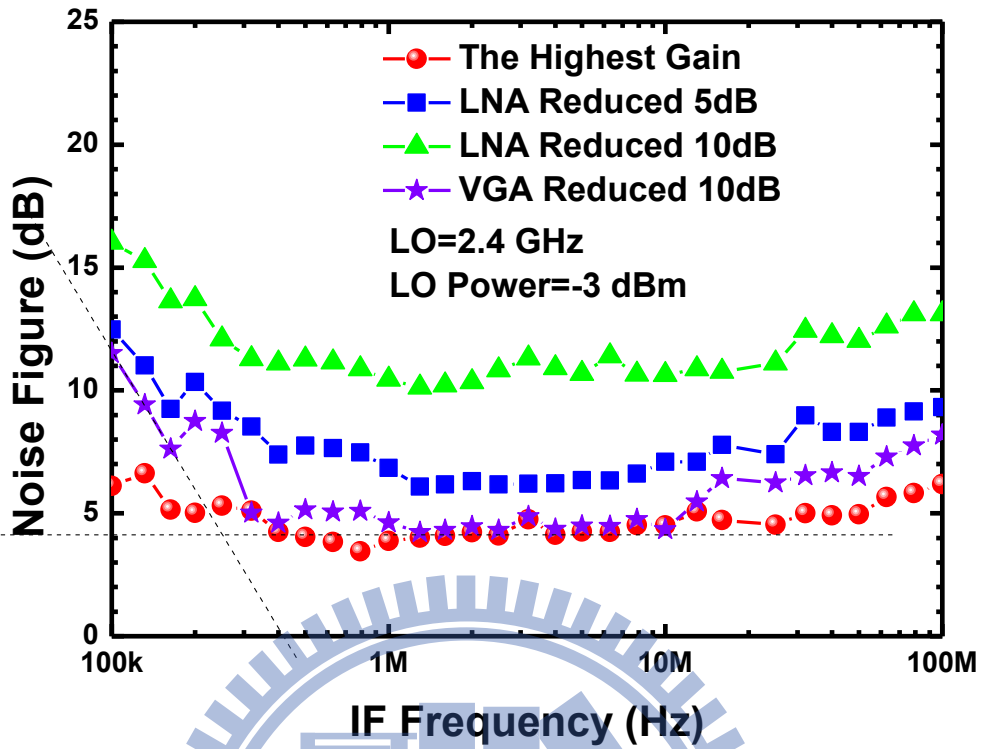
圖(2.26) 利用調整 LNA 電壓改變 IP_{1dB} 、 IIP_2 、 IIP_3 ，當增益分別為(A)50dB(B)40dB(C)30dB(D) IP_{1dB} 、 IIP_2 、 IIP_3 對調整 LNA 電壓改變的增益值。



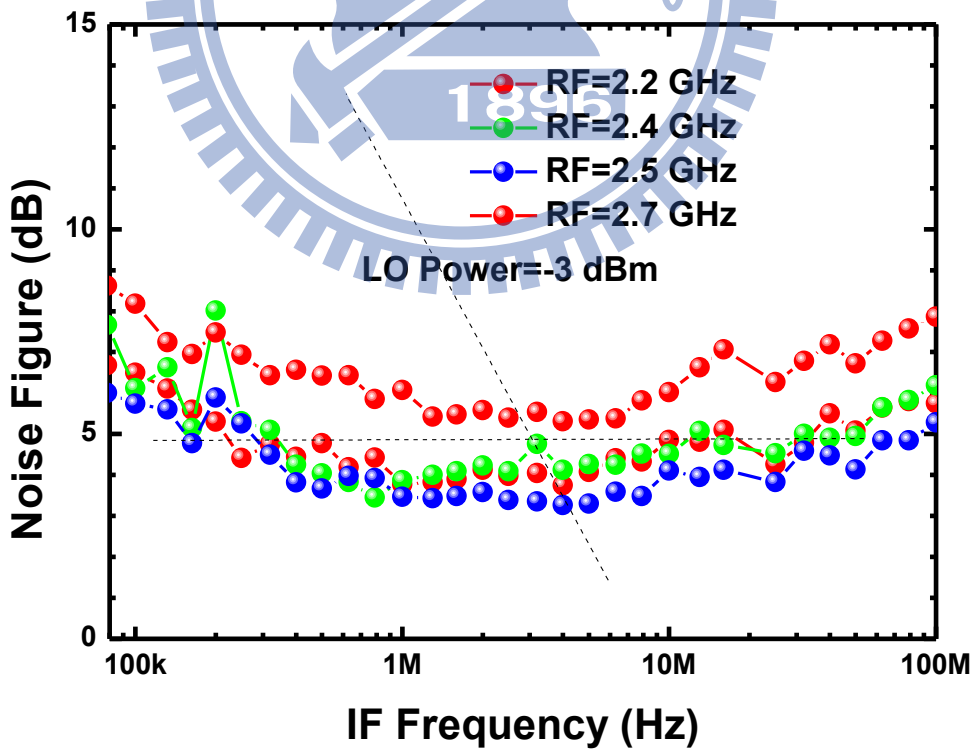
圖(2.27) 轉換增益對VGA調變增益的電壓。



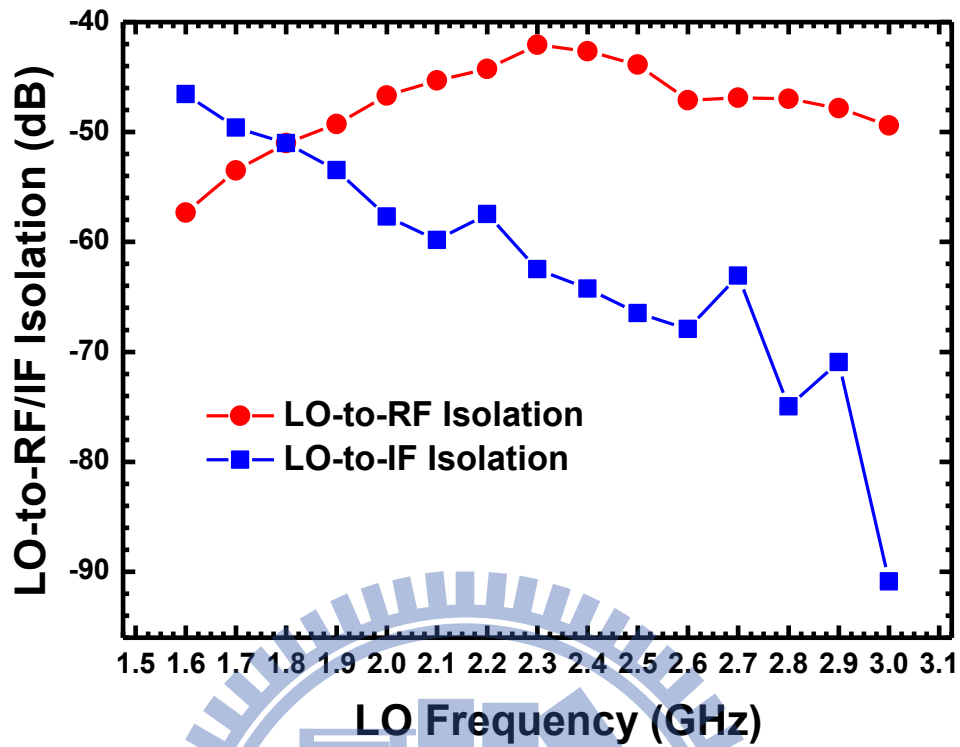
圖(2.28) 利用調整VGA電壓改變IP1dB、IIP2、IIP3，當增益分別為(A)50dB(B)40dB(C)30dB(D)IP1dB、IIP2、IIP3對調整VGA電壓改變的增益值。



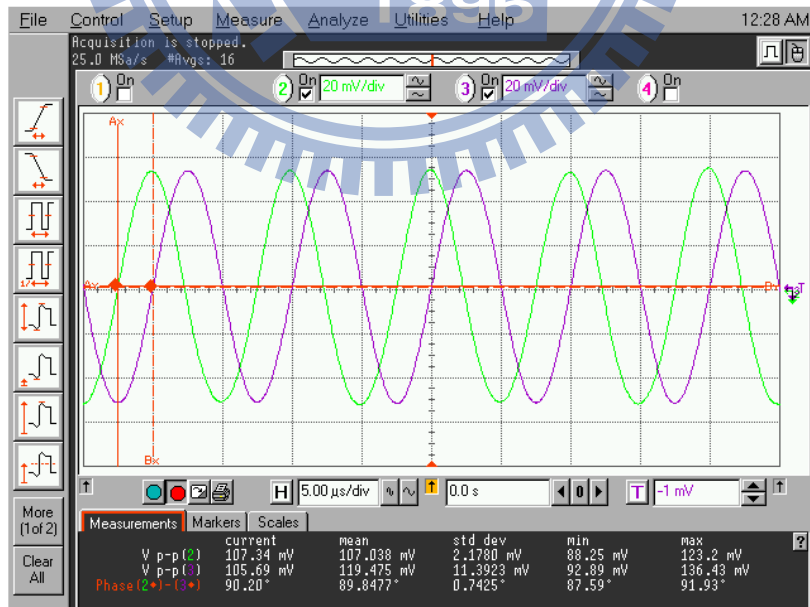
圖(2.29) 雜訊指數對增益調變。



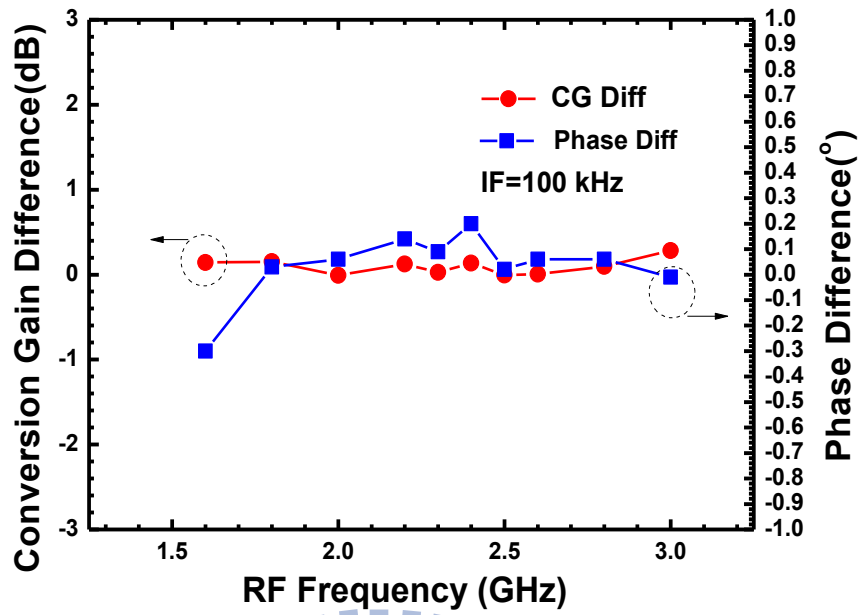
圖(2.30) 雜訊指數對 RF 頻率。



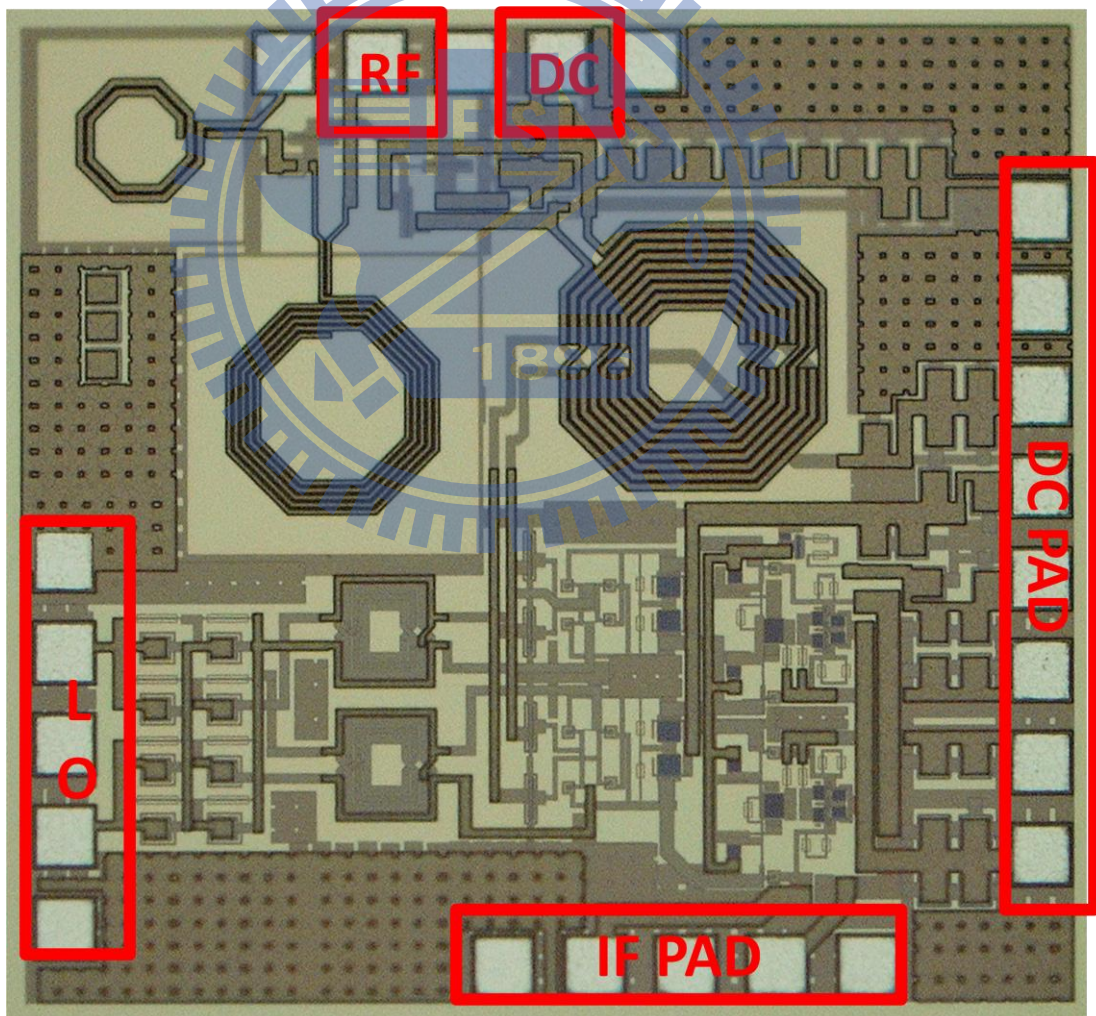
圖(2.31) 本地震盪訊號對RF端和IF端的隔絕度。



圖(2.32) I、Q 通道輸出波形



圖(2.33) 增益差和相位差。



圖(2.34) Die Photo

2.4.6 結果與討論

本電路採用 CMOS 製程，晶片照片如圖(2.34)所示：RF、IF、LO 埠皆採用 GSGSG pad，RF 其中一 signal pad 當作 DC 使用，其餘 DC 利用 8-pin 的 DC 排針，LO 的 DC 從外面的 Bias-T 給，此晶片面積為 $1.15 \times 1.06 \text{mm}^2$ 。

圖(2.21)表示當 RF 為 2.4GHz 時，LO 的注入功率大致上為 -2dBm，所得到的增益為 50dB 左右，其中在 1 dBm 的部分就會開始往下，平緩的區域並沒有很寬，猜測是進入到 mixer 的 BJT LO core 時造成 LO 無法打太大。但是比起沒加電感的 LO 功率足足增進了 4dB。

整體電路的線性度特性表現在圖(2.26)，當 RF 打入單調(one-tone) 功率，在 2.4GHz 的頻帶測得 IP_{1dB} 為 -44dBm 左右，而在經過 LNA 的增益調變之後，當 LNA 降低 10dB 時，量得 IP_{1dB} 為 -32dBm，再降 10dB(即總輸出的增益從 50dB 掉到 30dB 時)，此時的 IP_{1dB} 變為 -24dBm，明顯因為 low gain 的原因持續增加線性度；而在經過 VGA 的增益調變之後，當 VGA 降低 10dB 時，量得 IP_{1dB} 為變好約在 -34dBm 左右，但是再降 10dB(即總輸出的增益從 50dB 掉到 30dB 時)，線性度明顯仍然約維持在 -34dBm 左右，似乎這樣 VGA 下降的增益值已經太多，而反而有些地方被壓到 triode region，導致線性度反而受到影響。

圖(2.29)和圖(2.30)顯示了整個接收機的雜訊指數，頻帶降至 100KHz 時量得約為 3~4dB，在模擬的時候大約在 3dB 左右，模擬和量測相差不遠，而在 tune gain 的比較上，LNA 一變動 noise 也會跟著提高，表示 LNA 這樣的增益仍然不能完全抑制後面的雜訊。

輸出波形部分，從圖(2.33)可以看到 I 通道以及 Q 通道的相位在 1.5~3GHz 與 90 度相差 ± 0.3 度左右，且振幅大小相差維持在 0.5dB 以內。由此可以看出產生 90 度和振幅平衡的頻寬是很寬的，原本擔心電感跟電晶體的附加電容會在某一個頻率比較 peak，但是由於使用立體電感的因素，所以反而可以涵蓋比較寬頻的區域。

表2.2 Summary

	Spec.	Measurement
Supply Voltage (V)	1.8	1.8
Conversion Gain (dB)	50	50
RF Bandwidth(GHz)	--	2.3~2.6
IF Bandwidth (MHz)	25	50
Noise Figure (dB)	3@100 KHz	6 @ 100 kHz 4 (noise floor)
OP _{1dB} (dBm)	--	4
IIP ₃ (dBm)	-25	-37 (-13@Gain=30 dB)
IIP ₂ (dBm)	--	-32 (7 @ Gain=30 dB)
LO-to-RF Isolation (dB)	--	>45
LO-to-IF Isolation (dB)	--	>65
Input Return Loss (dB)	>10	--
Current Consumption (mA)	3	4.5
I/Q Imbalance	0.2 dB/0.5°	0.1dB/0.1°
Process	0.18 μ m CMOS	
Chip Size	1.15x1.06 mm ²	

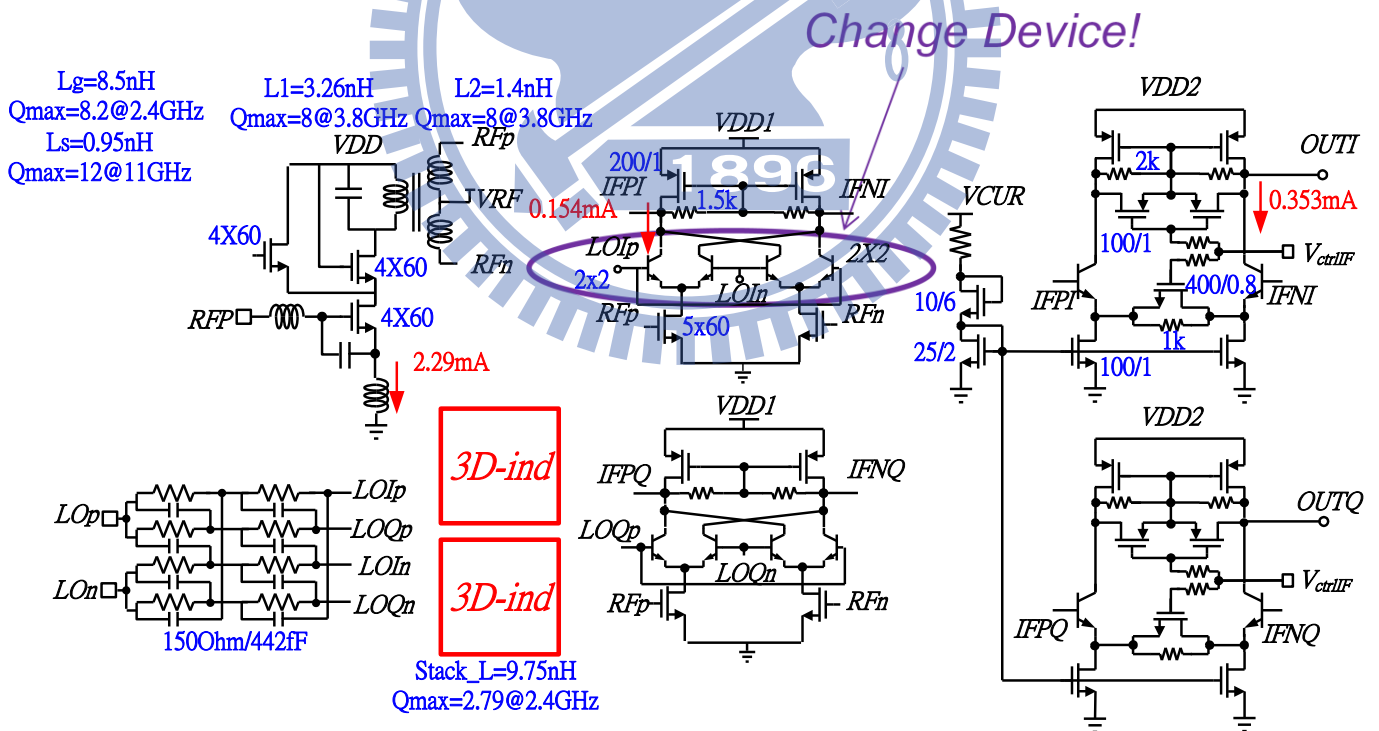
2.5 實作二，2.4GHz BJT Receiver with stacked inductor and device changed(CMOS 0.18um)

2.5.1 研究動機

利用改變混頻器 LO core 的電晶體 size 來增加混頻器的切換端的效能。

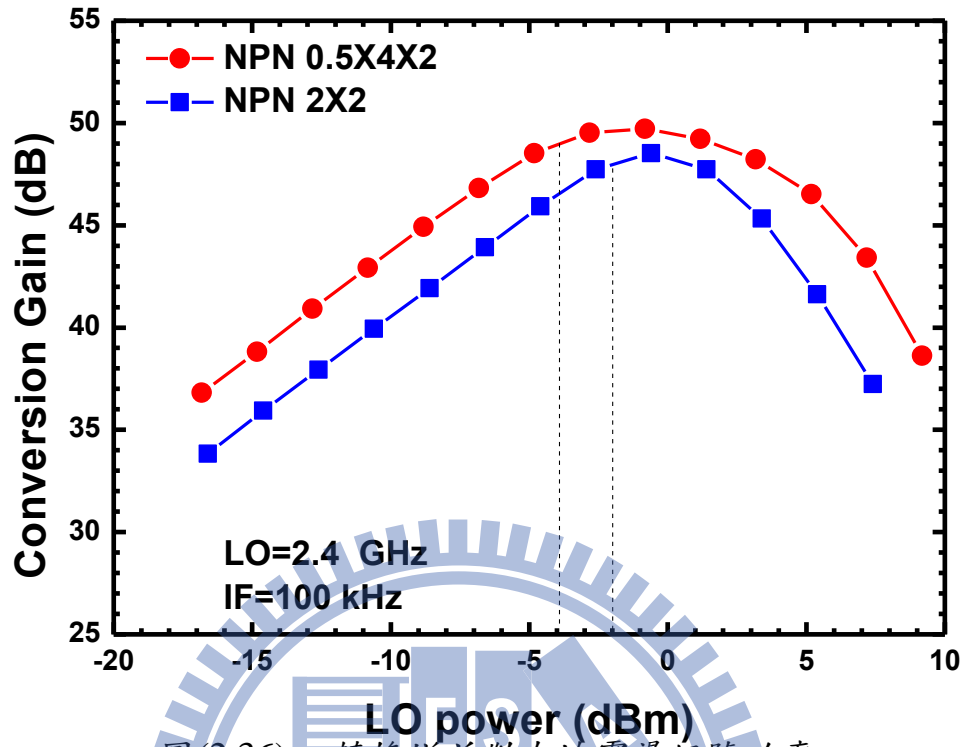
2.5.2 電路設計

詳細的電路圖如圖(2.35)所示，並分別闡述內部電路：

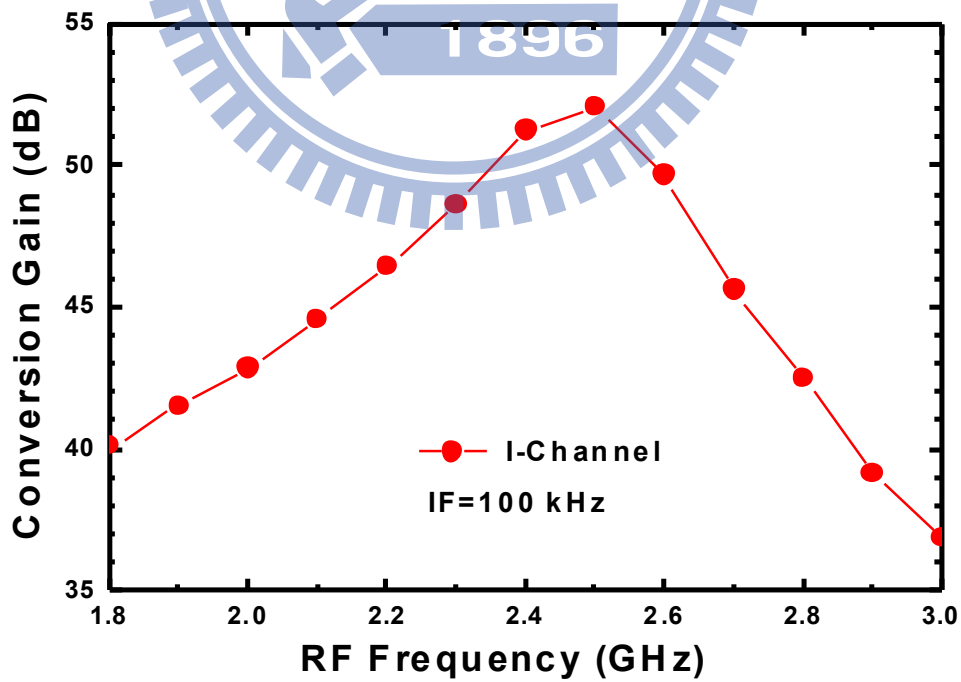


圖(2.35) BJT 接收器使用立體電感並改變電晶體的詳細電路圖

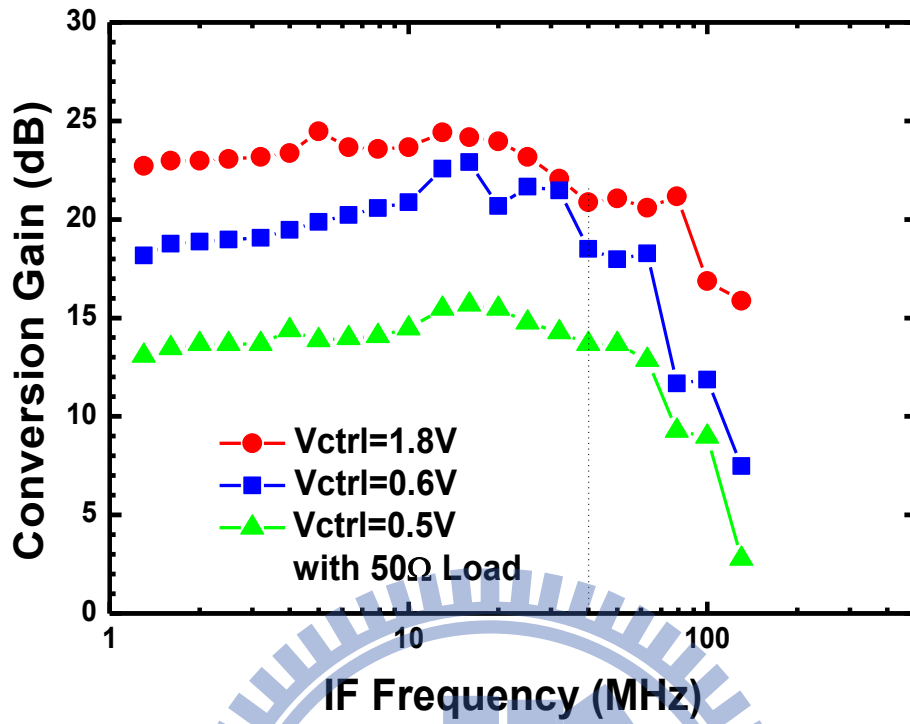
2.5.3 晶片量測結果



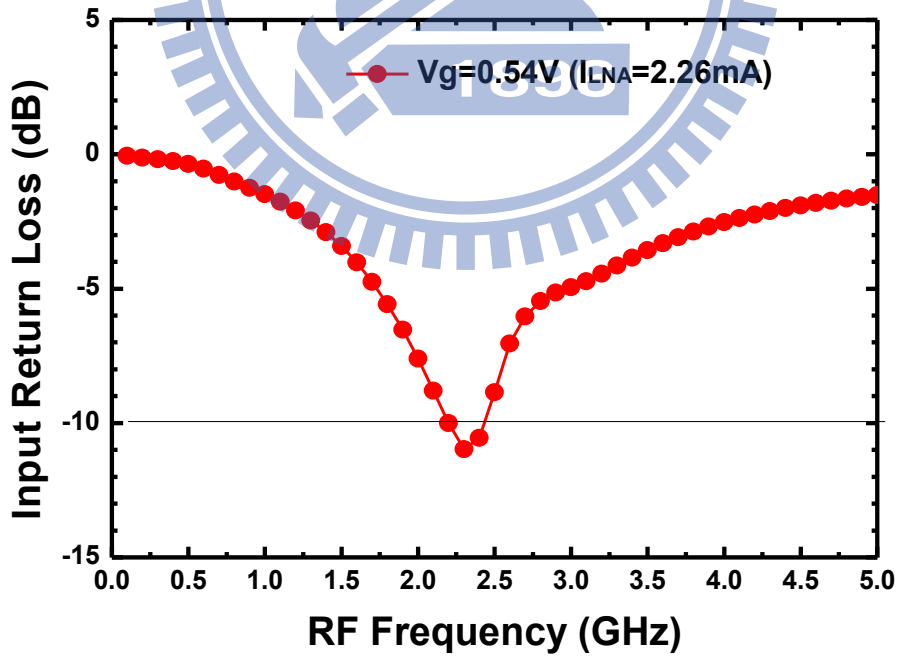
圖(2.36) 轉換增益對本地震盪訊號功率。



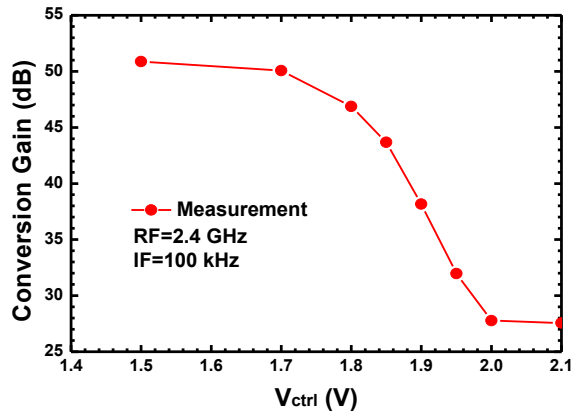
圖(2.37) 轉換增益對RF 頻率。



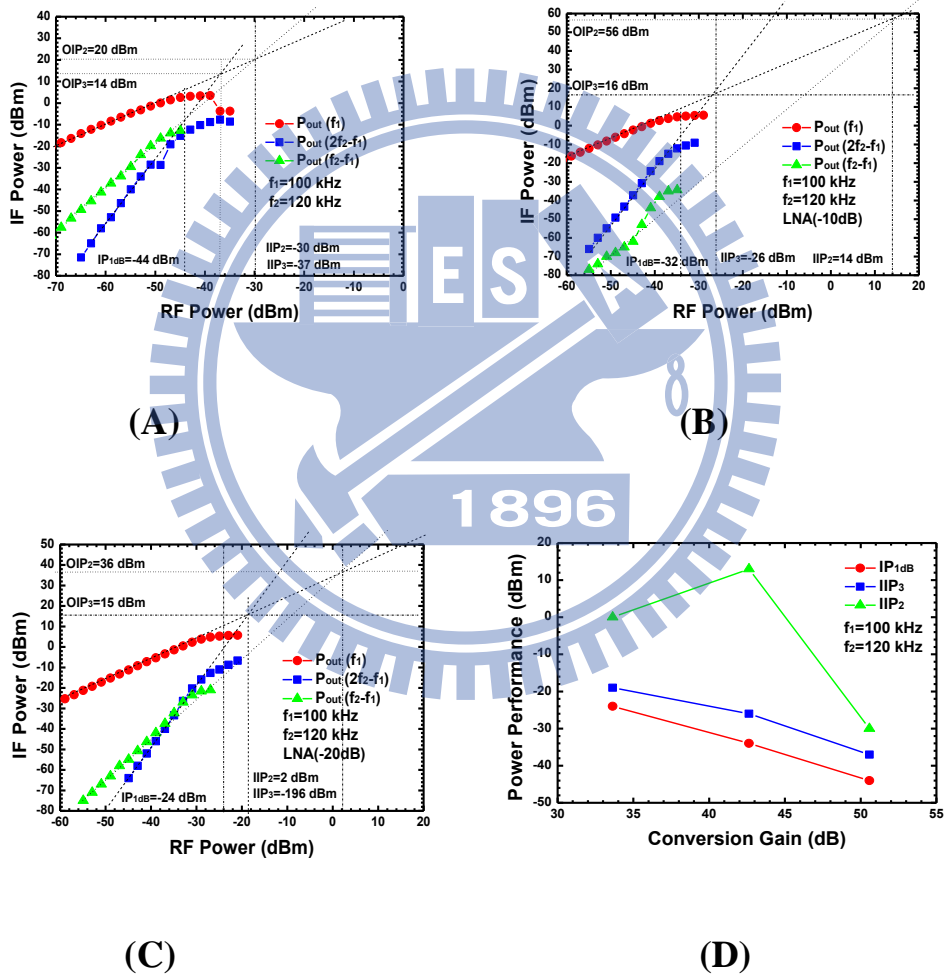
圖(2.38) 轉換增益對IF頻率。



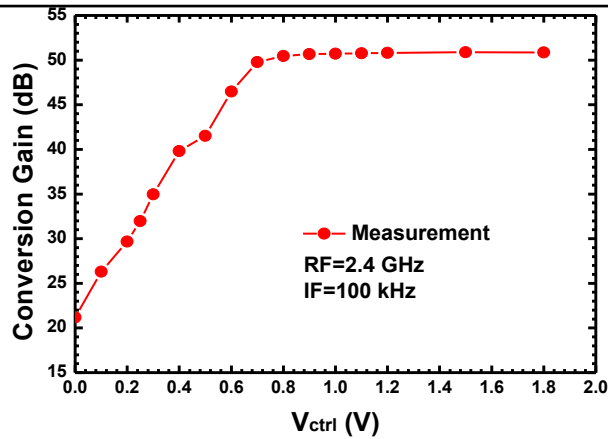
圖(2.39) 輸入返回損耗。



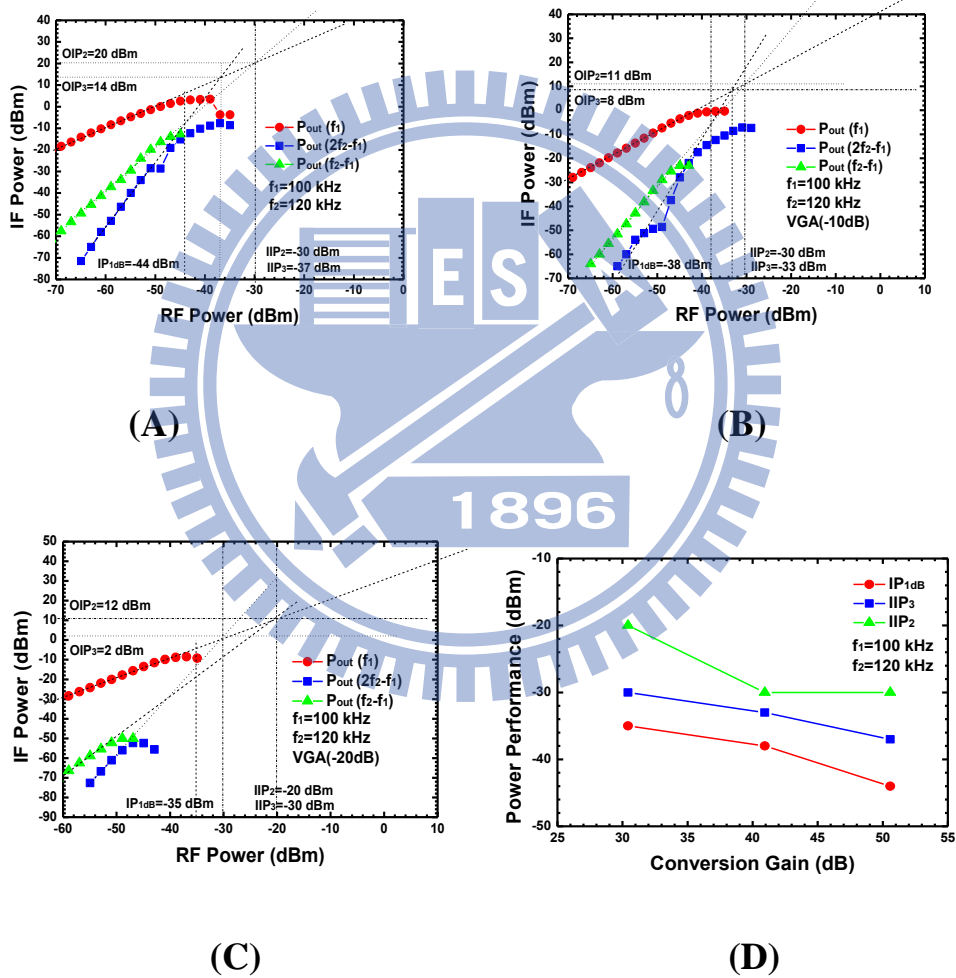
圖(2.40) 轉換增益對 LNA 調變增益的電壓。



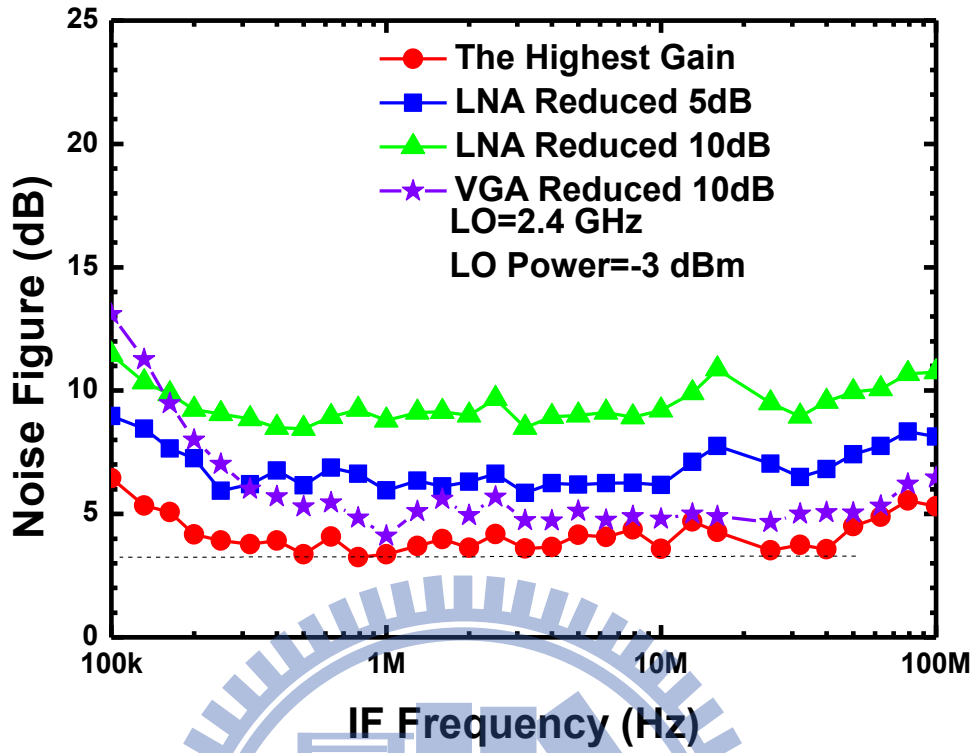
圖(2.41) 利用調整 LNA 電壓改變 IP_{1dB} 、 IIP_2 、 IIP_3 ，當增益分別為(A)50dB(B)40dB(C)30dB(D) IP_{1dB} 、 IIP_2 、 IIP_3 對調整 LNA 電壓改變的增益值。



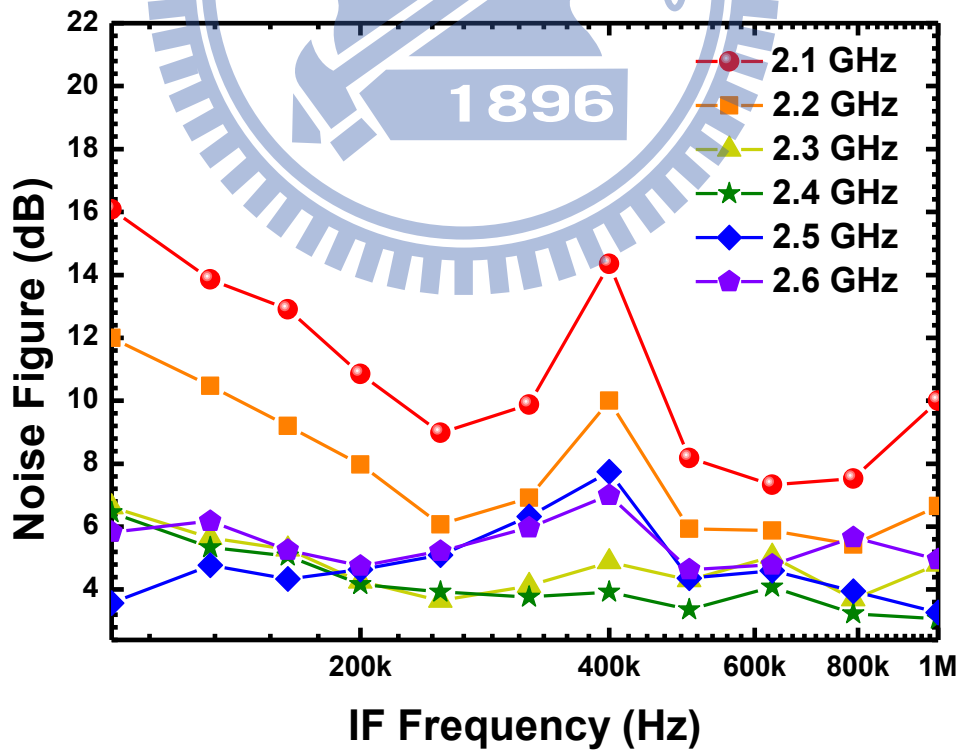
圖(2.42) 轉換增益對VGA 調變增益的電壓。



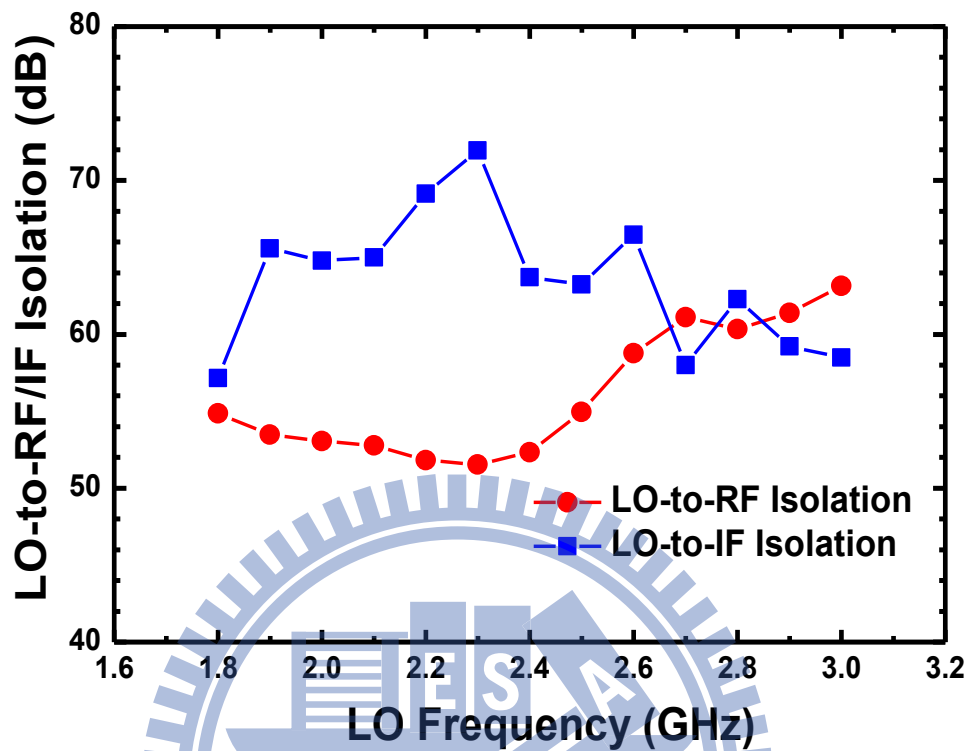
圖(2.43) 利用調整VGA 電壓改變IP1dB、IIP2、IIP3，當增益分別為(A)50dB(B)40dB(C)30dB(D)IP1dB、IIP2、IIP3 對調整VGA 電壓改變的增益值。



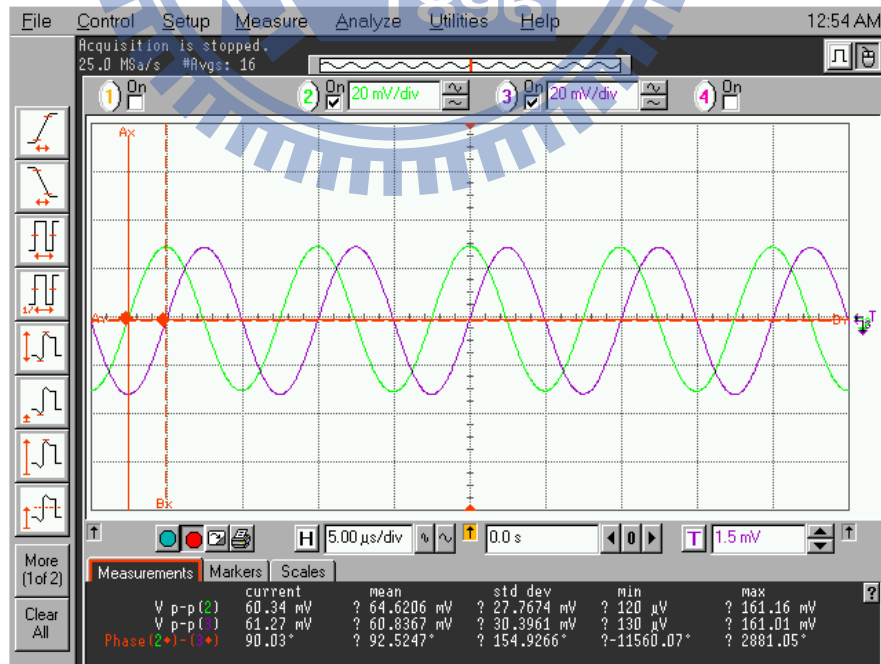
圖(2.44) 雜訊指數對增益調變。



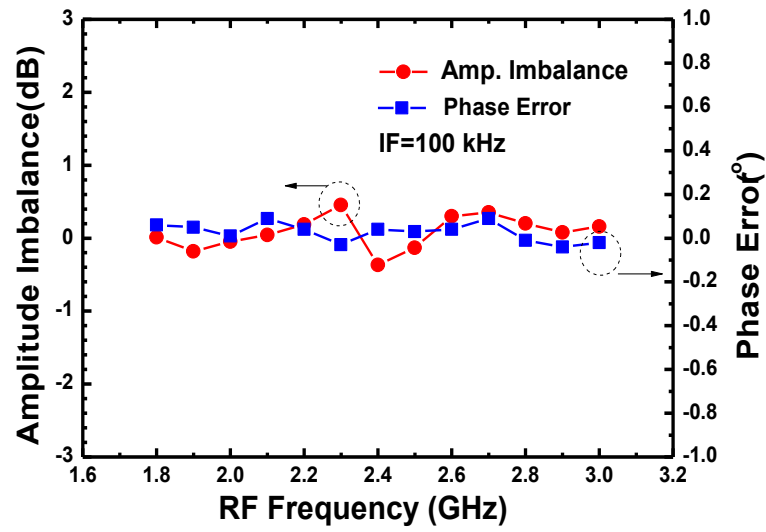
圖(2.45) 雜訊指數對 RF 頻率。



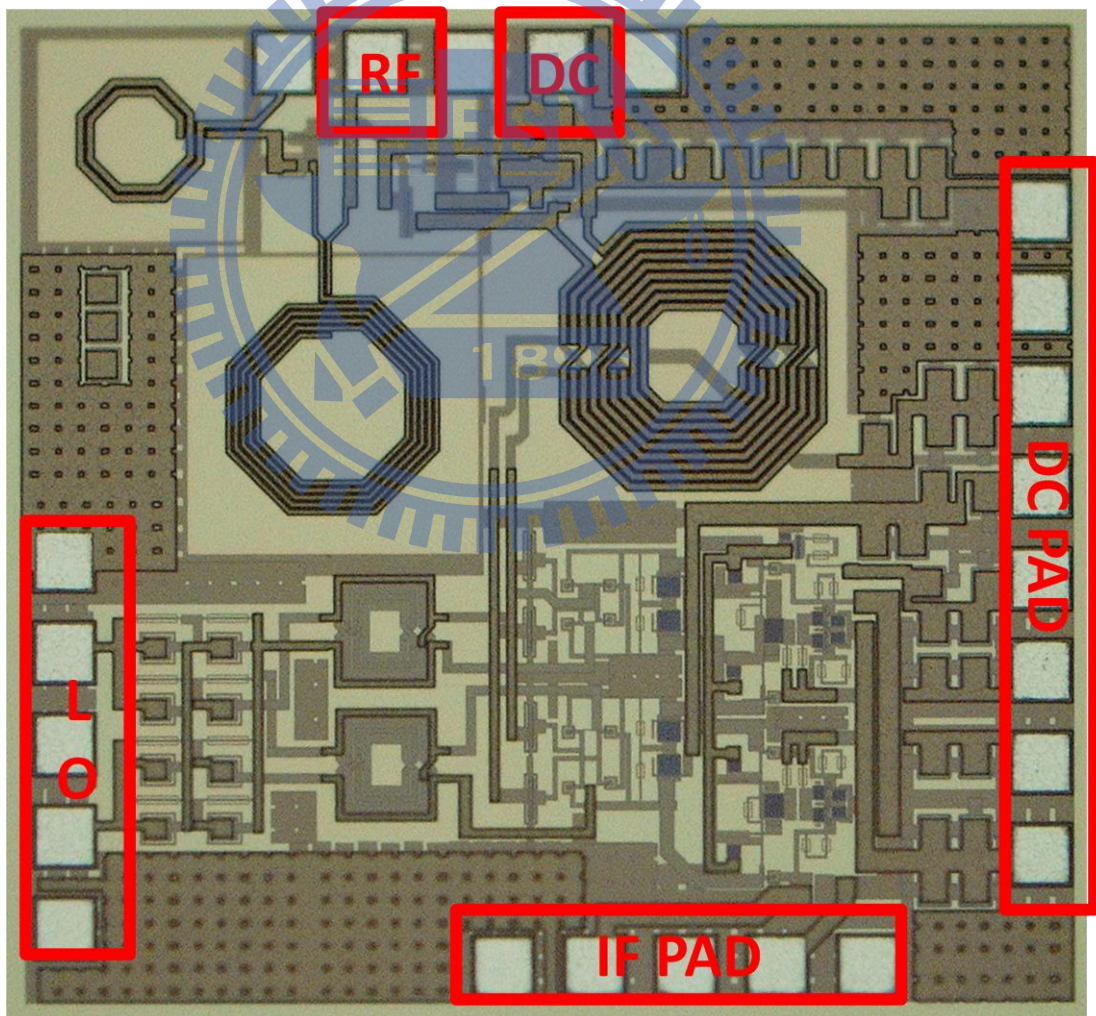
圖(2.46) 本地震盪訊號對 RF 端和 IF 端的隔絕度。



圖(2.47) I、Q 通道輸出波形



圖(2.48) 增益差和相位差。



圖(2.49) Die Photo

2.5.4 結果與討論

本電路採用 CMOS 製程，晶片照片如圖(2.49)所示：RF、IF、LO 埠皆採用 GSGSG pad，RF 其中一 signal pad 當作 DC 使用，其餘 DC 利用 8-pin 的 DC 排針，LO 的 DC 從外面的 Bias-T 給，此晶片面積為 $1.15 \times 1.06 \text{mm}^2$ 。

圖(2.36)表示當 RF 為 2.4GHz 時，LO 的注入功率大致上為 -4~-1dBm，所得到的增益為 50dB 左右，其中在 1 dBm 的部分就會開始往下，平緩的區域並沒有很寬，猜測是進入到 mixer 的 BJT LO core 時造成 LO 無法打太大。

整體電路的線性度特性表現在圖(2.41)，當 RF 打入單調(one-tone) 功率，在 2.4GHz 的頻帶測得 IP_{1dB} 為 -44dBm 左右，而在經過 LNA 的增益調變之後，當 LNA 降低 10dB 時，量得 IP_{1dB} 為 -34dBm，再降 10dB(即總輸出的增益從 50dB 掉到 30dB 時)，此時的 IP_{1dB} 變為 -24dBm，明顯因為 low gain 的原因持續增加線性度；而在經過 VGA 的增益調變之後，當 VGA 降低 10dB 時，量得 IP_{1dB} 為變好約在 -38dBm 左右，但是再降 10dB(即總輸出的增益從 50dB 掉到 30dB 時)，線性度明顯仍然約維持在 -35dBm 左右，似乎這樣 VGA 下降的增益值已經太多，而反而有些地方被壓到 triode region，導致線性度反而受到影響。

圖(2.44)和圖(2.45)顯示了整個接收機的雜訊指數，頻帶降至 100KHz 時量得約為 3~4dB，在模擬的時候大約在 3dB 左右，模擬和量測相差不遠，而在 tune gain 的比較上，LNA 一變動 noise 也會跟著提高，表示 LNA 這樣的增益仍然不能完全抑制後面的雜訊。

輸出波形部分，從圖(2.47)可以看到 I 通道以及 Q 通道的相位在 1.5~3GHz 與 90 度相差 ± 0.1 度左右，且振幅大小相差維持在 0.5dB 以內。由此可以看出產生 90 度和振幅平衡的頻寬是很寬的，原本擔心電感跟電晶體的附加電容會在某一個頻率比較 peak，但是由於使用立體電感的因素，所以反而可以涵蓋比較寬頻的區域。

表2.3 Summary

	Spec.	Measurement
Supply Voltage (V)	1.8	1.8
Conversion Gain (dB)	50	52
RF Bandwidth(GHz)	--	2.3~2.6
IF Bandwidth (MHz)	25	40
Noise Figure (dB)	3@100 KHz	6 @ 100 kHz 3 (noise floor)
OP _{1dB} (dBm)	--	5
IIP ₃ (dBm)	-25	-37 (-26@Gain=42 dB)
IIP ₂ (dBm)	--	-30 (13 @ Gain=42 dB)
LO-to-RF Isolation (dB)	--	>50
LO-to-IF Isolation (dB)	--	>65
Input Return Loss (dB)	>10	>10
Current Consumption (mA)	3	4.8
I/Q Imbalance	0.2 dB/0.5°	0.1dB/0.1°
Process	0.18 μ m CMOS	
Chip Size	1.15x1.06 mm ²	

2.6 實作三，2.4GHz BJT Sub-Harmonic

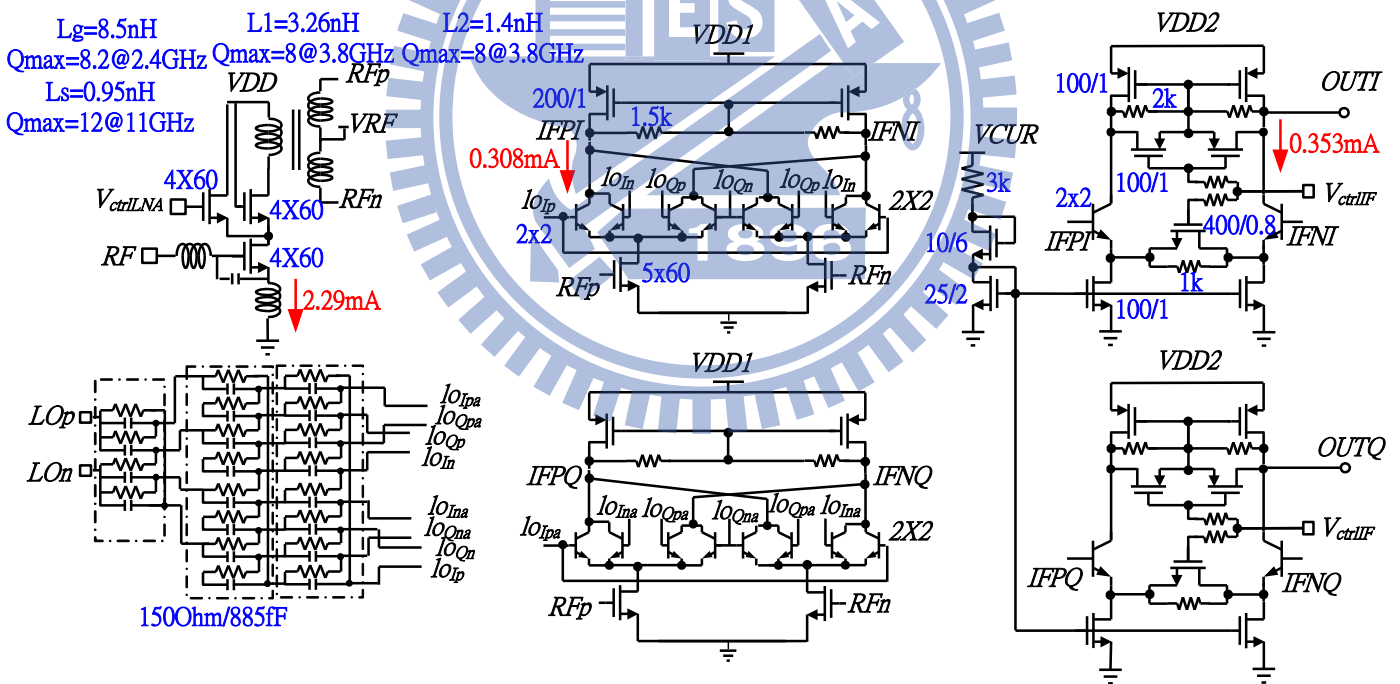
Receiver (CMOS 0.18um)

2.6.1 研究動機

由於電晶體的 f_t 不夠，於是我們在這邊使用次諧波的架構，操作 LO 頻率在 1/2 的 RF 頻率，令提升作為切換的 BJT 元件的效能。

2.6.2 電路設計

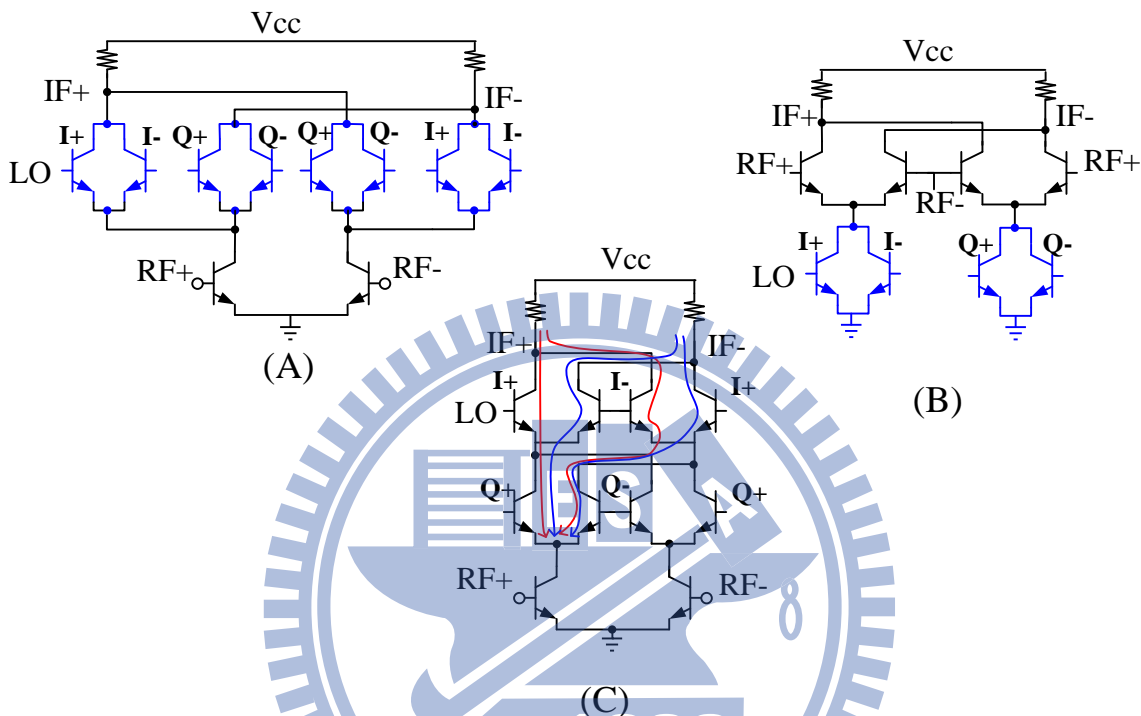
詳細的電路圖如圖(2.50)所示，並分別闡述內部電路：



圖(2.50) BJT 次諧波接收器使用 8 多重相位濾波器詳細電路圖

(1) Mixer

由於在這邊使用寄生 NPN 截止頻率過低，差不多在 2GHz 左右，所以在這邊為了克服這個限制我們使用次諧波的架構，一般來說次諧波的架構可以下圖三種架構：

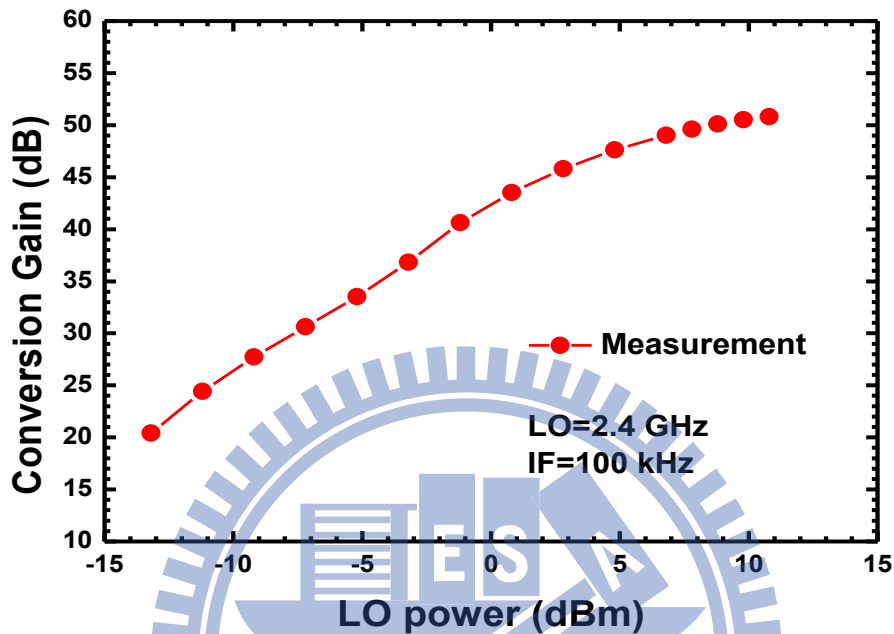


圖(2.51) 三種次諧波(A) LO 在上 (B) LO 在下 (C)堆疊

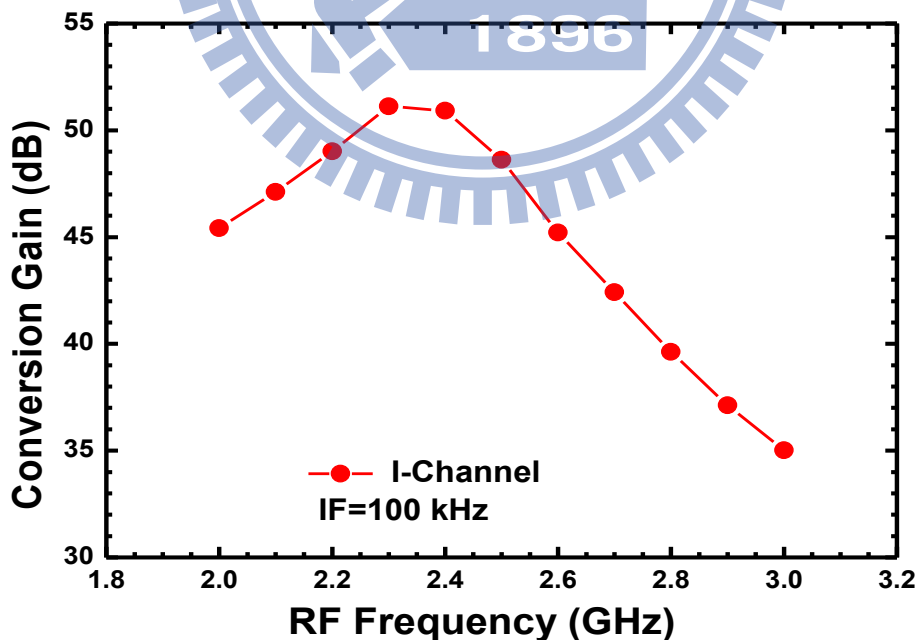
這三種架構各自有分別的利弊。推疊的架構因為 DC 電流的重複利用，所以功耗比較小。我們可以用 switching function 的組成來簡化次諧波混頻器的混頻運作。因為上面的訊號落後下面的訊號四分之一周期，所以真正輸出的訊號頻率變成原本的兩倍。水平的架構是利用電晶體的非線性特性來混頻。在此使用 BJT 電晶體的非指數特性，利用兩顆差動訊號產生的汲極電流相加之後會剛好消除基頻訊號，而留下兩倍 LO 的次諧波電流訊號。但是我們發現次諧波混頻器的 LO 驅動功率會比傳統的吉柏特混頻器大。最後我們選擇水平 LO 混頻器的原因是因為推疊的 LO 混頻器 headroom 較小，得知水平 LO 混

頻器的偏壓電流會比堆疊的 LO 混頻器大，換句話說水平 LO 混頻器會比推疊混頻器擁有更高的 f_t 和操作頻率[10]。

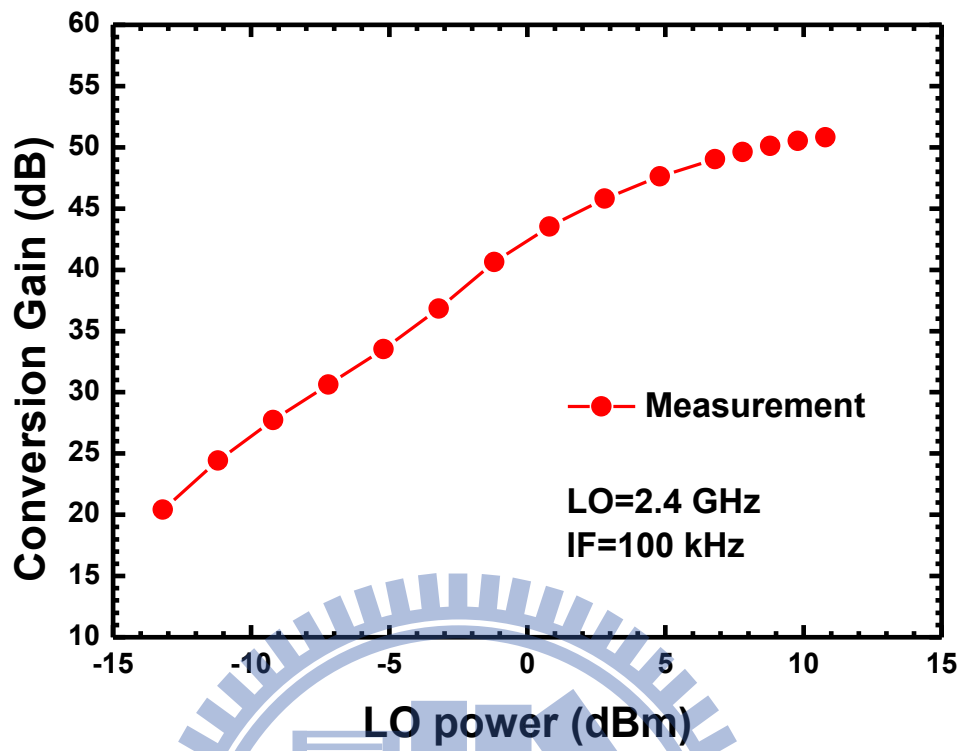
2.6.3 晶片量測結果



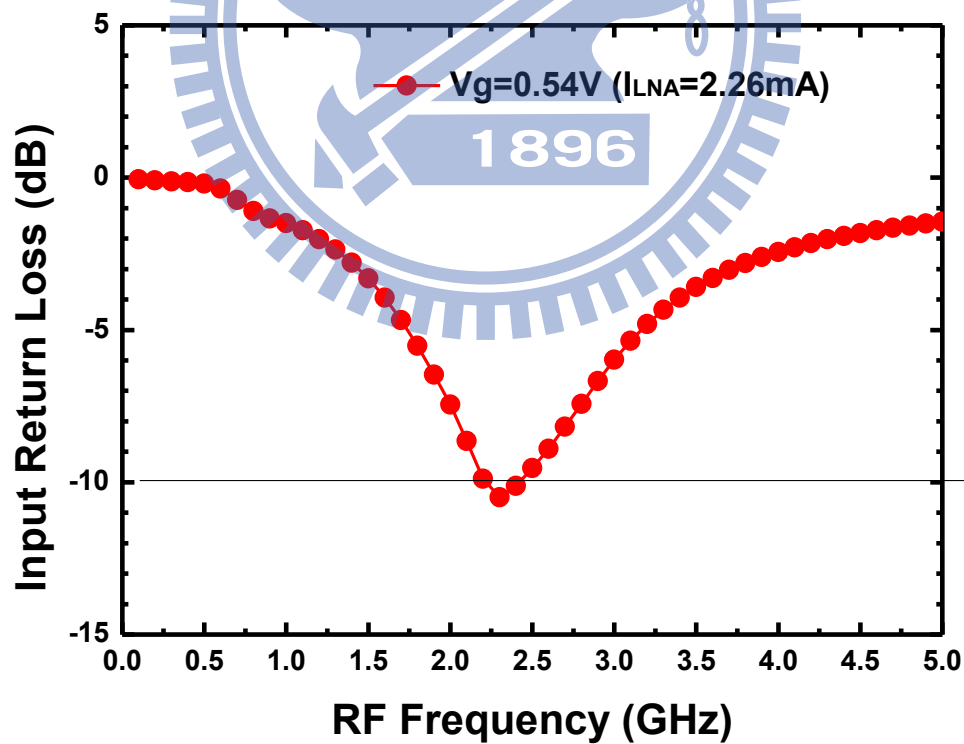
圖(2.52) 轉換增益對本地震盪訊號功率。



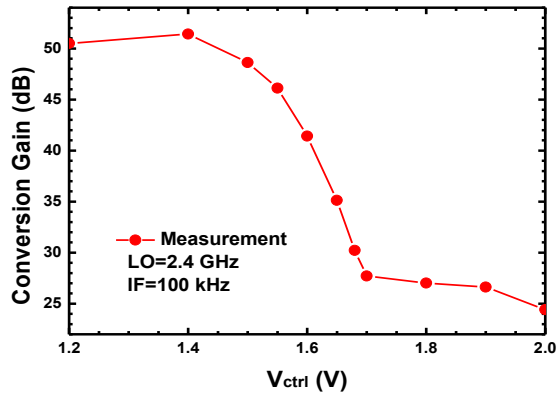
圖(2.53) 轉換增益對 RF 頻率。



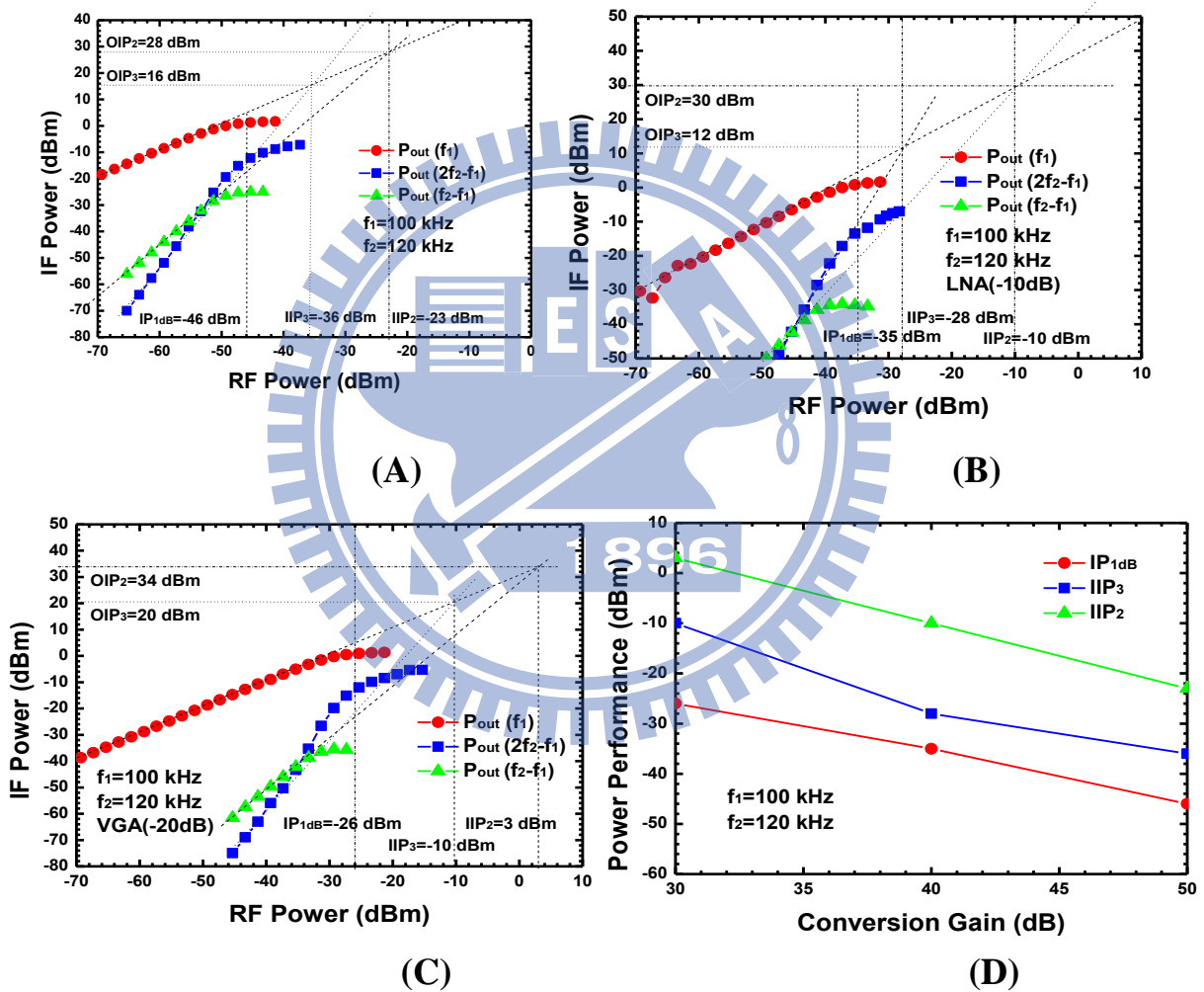
圖(2.54) 轉換增益對IF頻率。



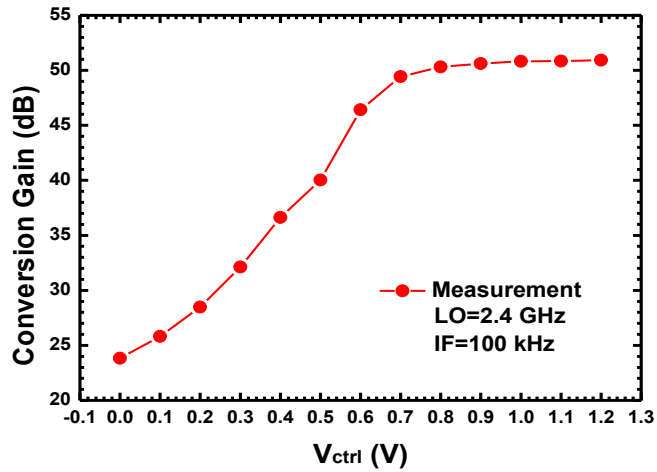
圖(2.55) 輸入返回損耗。



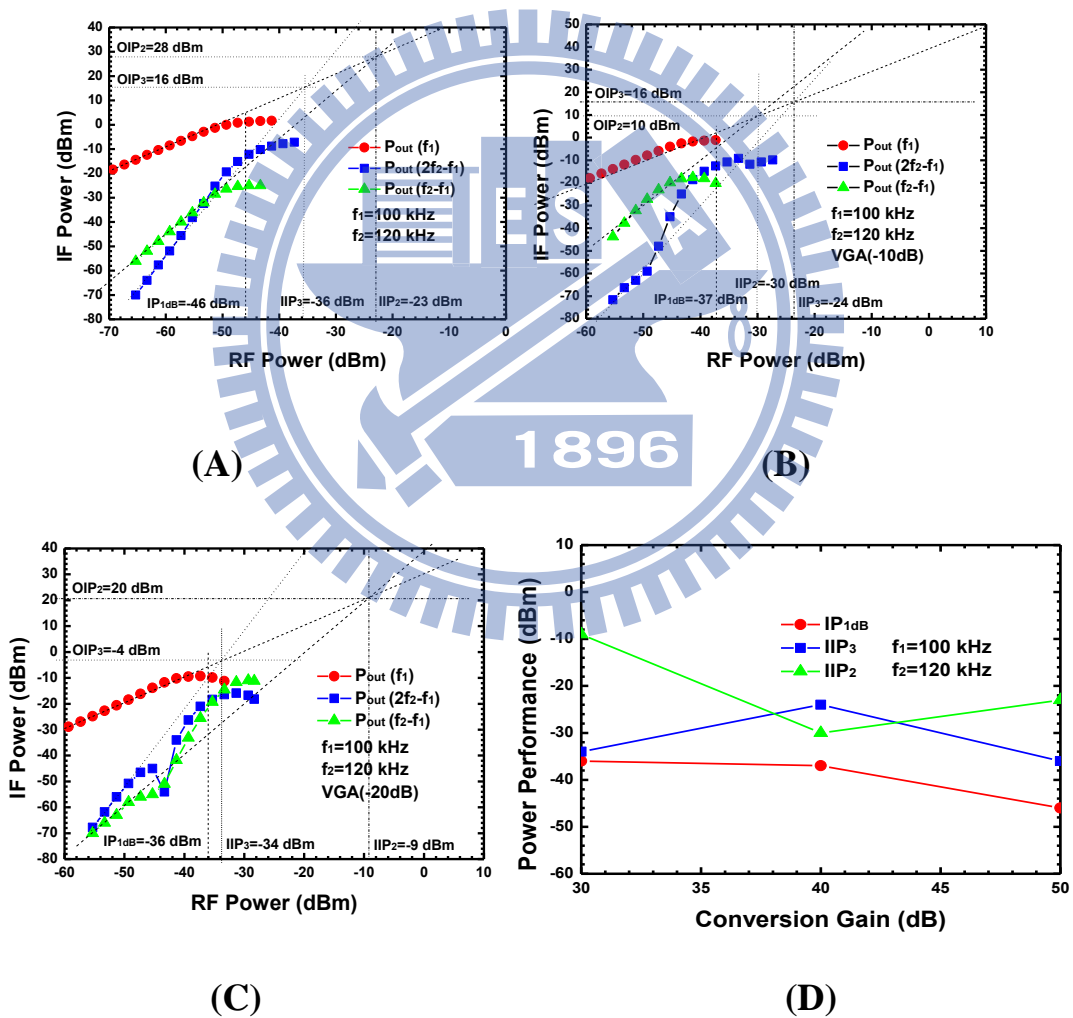
圖(2.56) 轉換增益對 LNA 調變增益的電壓。



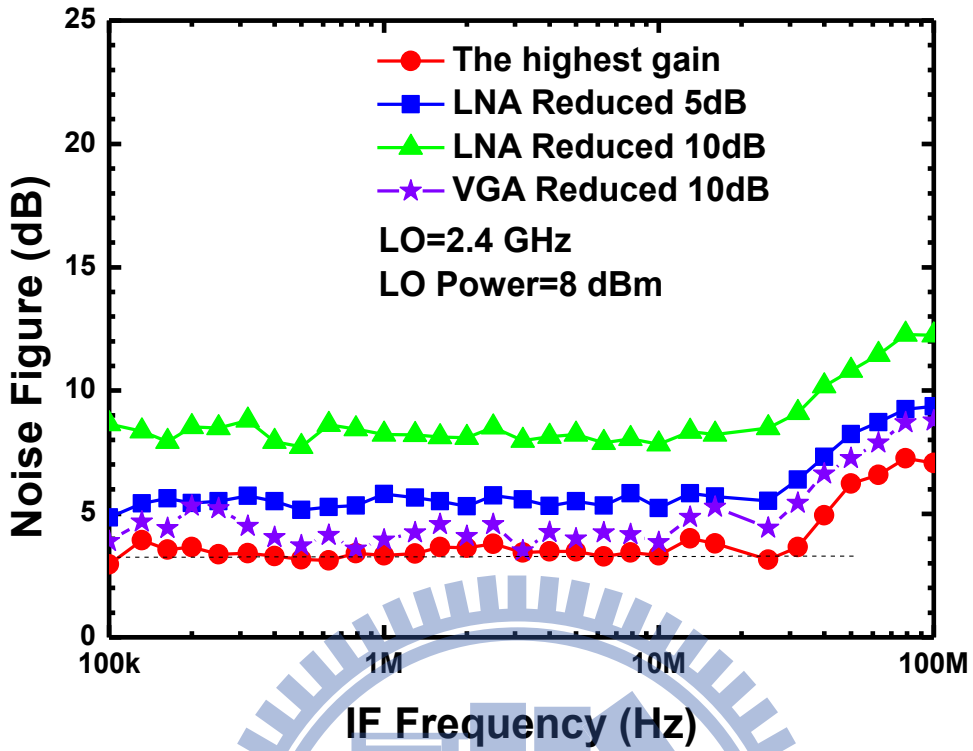
圖(2.57) 利用調整 LNA 電壓改變 IP_{1dB} 、 IIP_2 、 IIP_3 ，當增益分別為(A)50dB(B)40dB(C)30dB(D) IP_{1dB} 、 IIP_2 、 IIP_3 對調整 LNA 電壓改變的增益值。



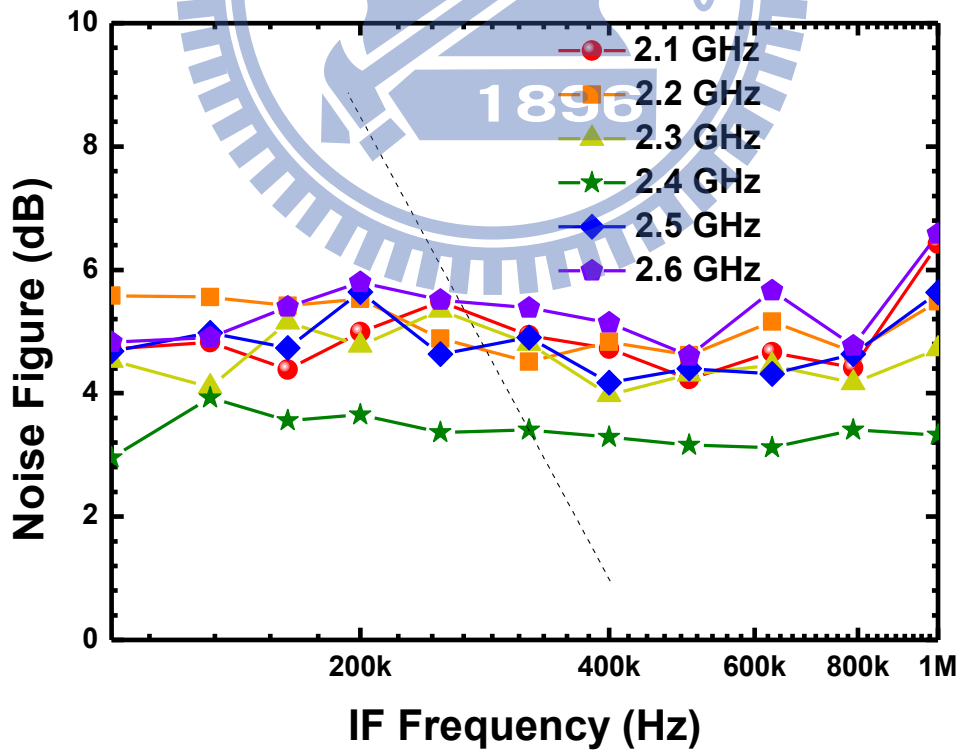
圖(2.58) 轉換增益對VGA 調變增益的電壓。



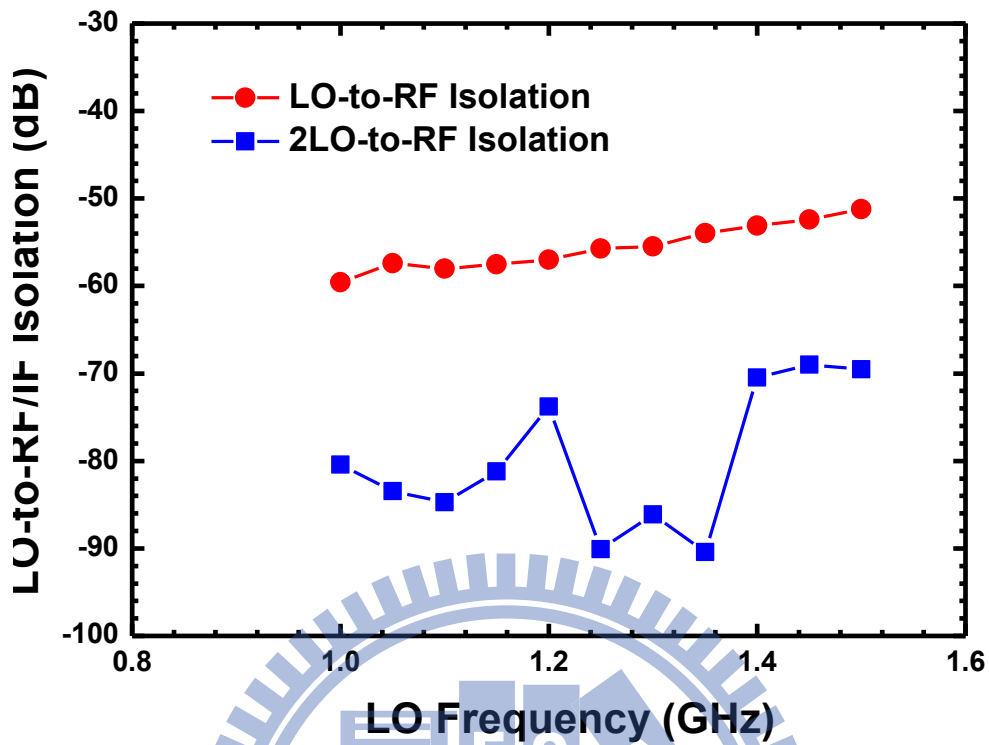
圖(2.59) 利用調整VGA 電壓改變 IIP_1 dB、 IIP_2 、 IIP_3 ，當增益分別為(A)50dB(B)40dB(C)30dB(D) IIP_1 dB、 IIP_2 、 IIP_3 對調整VGA 電壓改變的增益值。



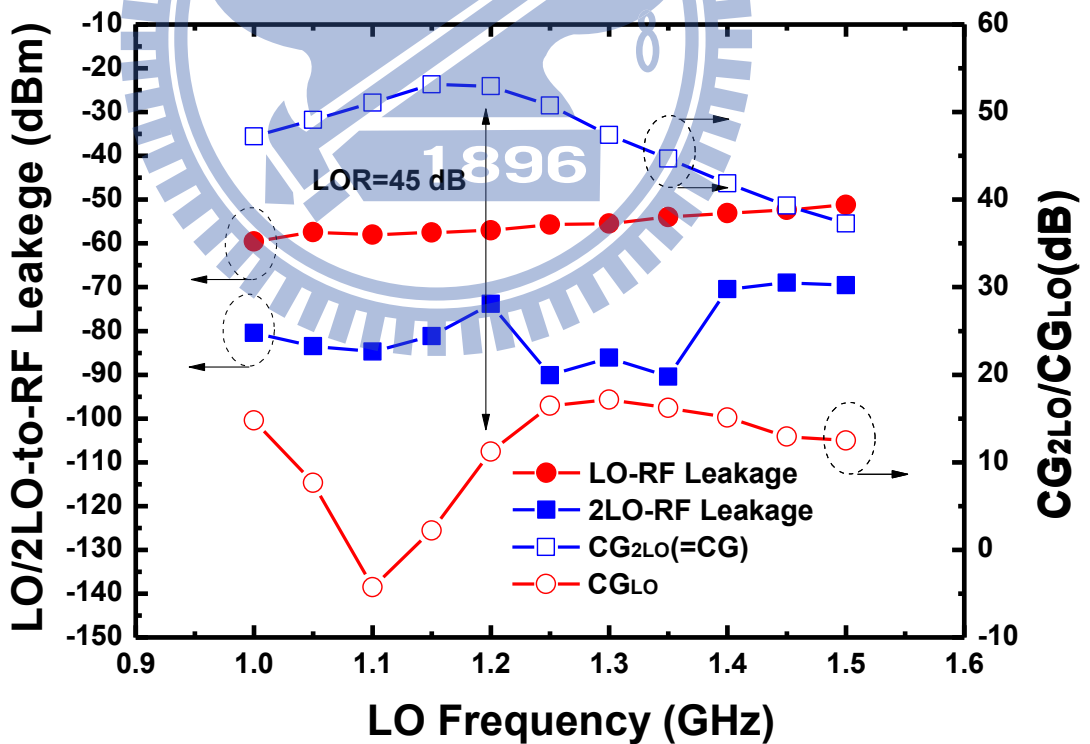
圖(2.60) 雜訊指數對增益調變。



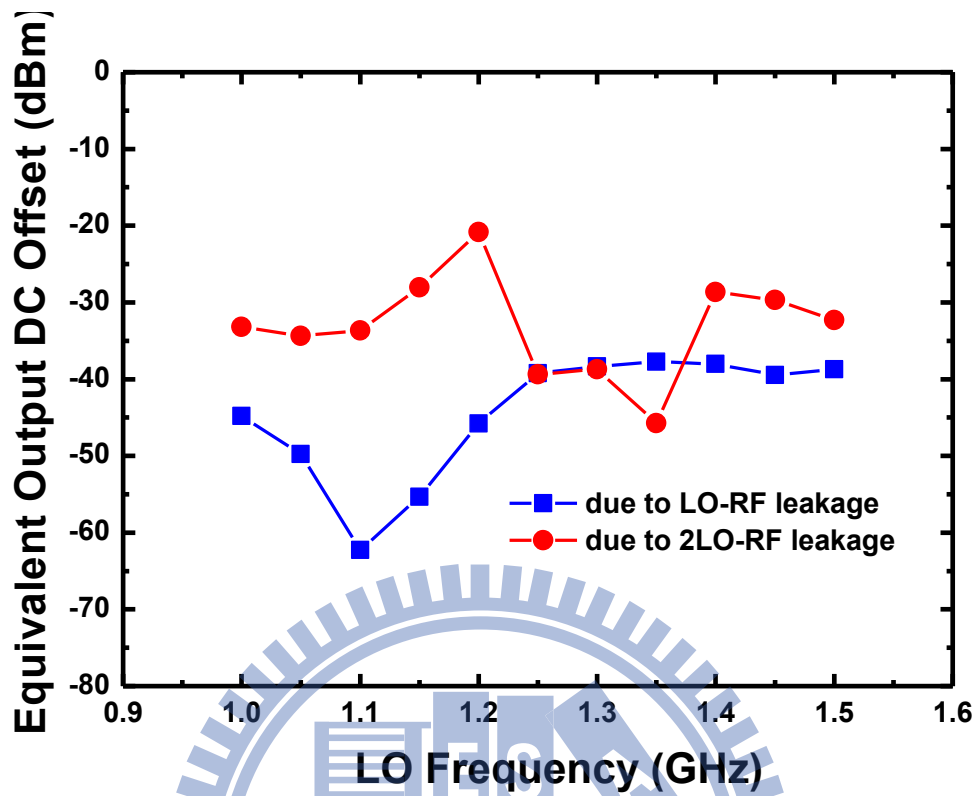
圖(2.61) 雜訊指數對RF 頻率。



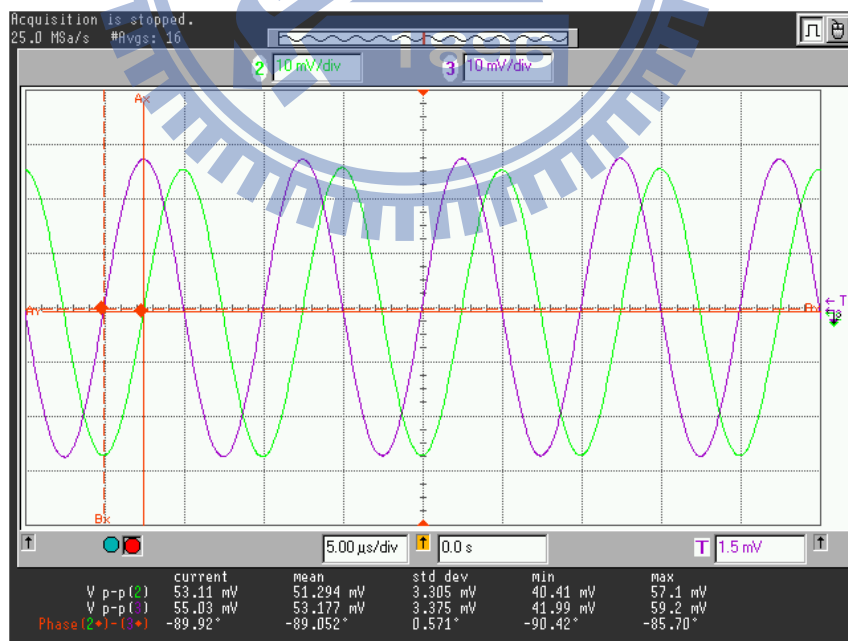
圖(2.62) 本地震盪訊號對 RF 端和 IF 端的隔絕度。



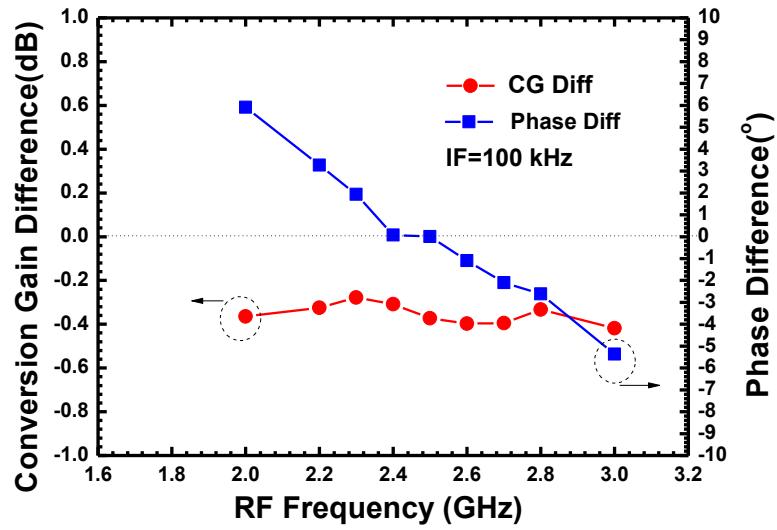
圖(2.63) 本地震盪訊號對 RF 端的溢漏和增益。



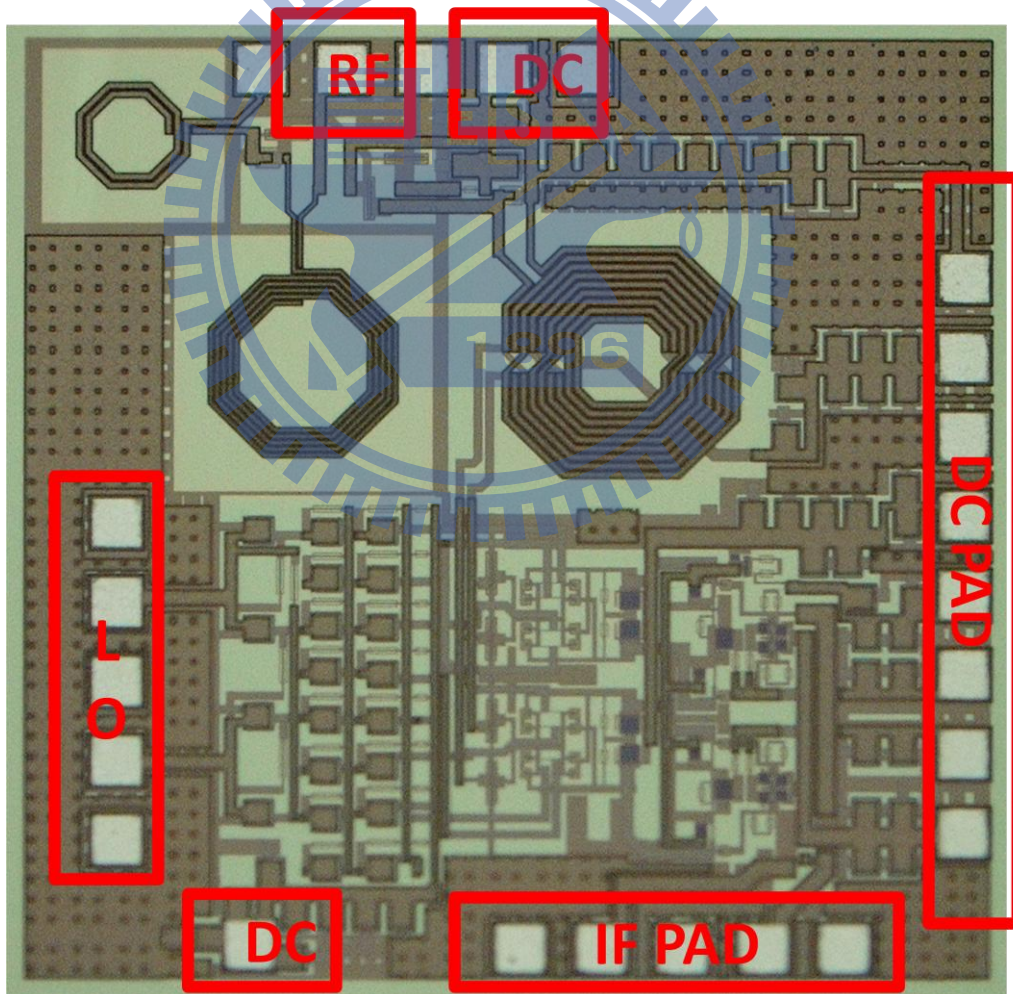
圖(2.64) 本地震盪訊號所造成的輸出 DC 位移。



圖(2.65) I、Q 通道輸出波形



圖(2.66) 增益差和相位差。



圖(2.67) Die Photo

2.6.4 結果與討論

本電路採用 CMOS 製程，晶片照片如圖(2.67)所示：RF、IF、LO 埠皆採用 GSGSG pad，RF 其中一 signal pad 當作 DC 使用，其餘 DC 利用 8-pin 的 DC 排針，LO 的 DC 從外面的 Bias-T 給，此晶片面積為 $1.15 \times 1.06 \text{mm}^2$ 。

圖(2.52)表示當 RF 為 2.4GHz 時，LO 的注入功率大致上為 7~8dBm，所得到的增益為 51dB 左右，其中並沒看到掉下的區域，似乎還在逐漸上升，但是礙於 PA 的限制，所以在此只顯示到 10dB 附近，並以 LO power 為 8dB 作為量測依據。

整體電路的線性度特性表現在圖(2.57)，當 RF 打入單調(one-tone)功率，在 2.4GHz 的頻帶測得 IP_{1dB} 為 -46dBm 左右，而在經過 LNA 的增益調變之後，當 LNA 降低 10dB 時，量得 IP_{1dB} 為 -35dBm，再降 10dB(即總輸出的增益從 50dB 掉到 30dB 時)，此時的 IP_{1dB} 變為 -26dBm，明顯因為 low gain 的原因持續增加線性度；而在經過 VGA 的增益調變之後，當 VGA 降低 10dB 時，量得 IP_{1dB} 為變好約在 -37dBm 左右，但是再降 10dB(即總輸出的增益從 50dB 掉到 30dB 時)，線性度明顯仍然約維持在 -36dBm 左右，似乎這樣 VGA 下降的增益值已經太多，而反而有些地方被壓到 triode region，導致線性度反而受到影響。

圖(2.60)和圖(2.61)顯示了整個接收機的雜訊指數，頻帶降至 100KHz 時量得約為 3~4dB，在模擬的時候大約在 3dB 左右，模擬和量測相差不遠，而在 tune gain 的比較上，LNA 一變動 noise 也會跟著提高，表示 LNA 這樣的增益仍然不能完全抑制後面的雜訊。

輸出波形部分，從圖(2.65)可以看到 I 通道以及 Q 通道的相位在 1.5~3GHz 與 90 度相差 ± 0.3 度左右，且振幅大小相差維持在 0.5dB 以內。由此可以看出在這種八個相位的多重相位產生器，其實產生 90 度和振幅平衡的頻寬是不寬的，成為一個斜率的方式，只能說將我們要的 2.4 GHz 設計在剛好斜率與相位差 0 和振幅差為 0 的軸上。但是其他頻率上可能就無法剛好到達。

在 DC 平移的計算上，因為我們 PAD 的設計考量，無法將 differential 分別正負都拉出來，所以只能利用計算的方式，先看 LO 和 2LO 漏到 RF 的功率，然後再將這些值當作 RF 與 LO 混頻去看到達輸出 IF 端的值為多少，詳細計算如下。

DC offset due to LO-RF leakage:

$$\text{Leak(LO-RF)} \times CG_{LO} = -40 \text{ dBm} = 2.2 \text{ mV}$$

DC offset due to 2LO-RF leakage:

$$\text{Leak(2LO-RF)} \times CG_{2LO} = -30 \text{ dBm} = 7.7 \text{ mV}$$

表2.4 Summary

	Spec.	Measurement
Supply Voltage (V)	1.8	1.8
Conversion Gain (dB)	50	51
RF Bandwidth(GHz)	--	2.3~2.6
IF Bandwidth (MHz)	25	50
Noise Figure (dB)	3@100 KHz	3 @ 100 kHz 3 (noise floor)
OP_{1dB} (dBm)	--	4
IIP_3 (dBm)	-25	-36 (-10@Gain=30 dB)
IIP_2 (dBm)	--	-23 (3 @ Gain=30 dB)
LO/2LO-to-RF Isolation (dB)	--	>60/>80
Input Return Loss (dB)	>10	>10
Current Consumption (mA)	3	5
I/Q Imbalance	0.2 dB/0.5°	0.3dB/0.1°
DC offset(mV)	±20	7.7(due to 2LO-RF) 2.2(due to LO-RF)
Process	0.18 μ m CMOS	
Chip Size	1.2x1.2 mm ²	

2.7 實作四，5.8GHz BJT Sub-harmonic Receiver with 45° Phase Shifter (CMOS 0.18um)

2.7.1 研究動機

從的量測結果可以發現使用 CMOS 0.18 μ m 的寄生 BJT 是可以明顯減少 flick noise 的產生，並且在 Device 參數上設計得當的話，基本是可以跟模擬值幾乎雷同，因此本電路將低雜訊放大器，BJT 混頻器及可調式 BJT 大器結合，來設計一操作在 5.8GHz 的直接降頻接收機晶片。

2.7.2 系統頻率規劃

此實作為針對無線區域網路的應用，故將需要頻率設為 5~6GHz，可以涵蓋 5.2 和 5.8GHz 的操作頻率；而最終輸出訊號基於要配合基頻調變以及避開閃爍雜訊 (flicker noise) 的理由，將其定為 100kHz。

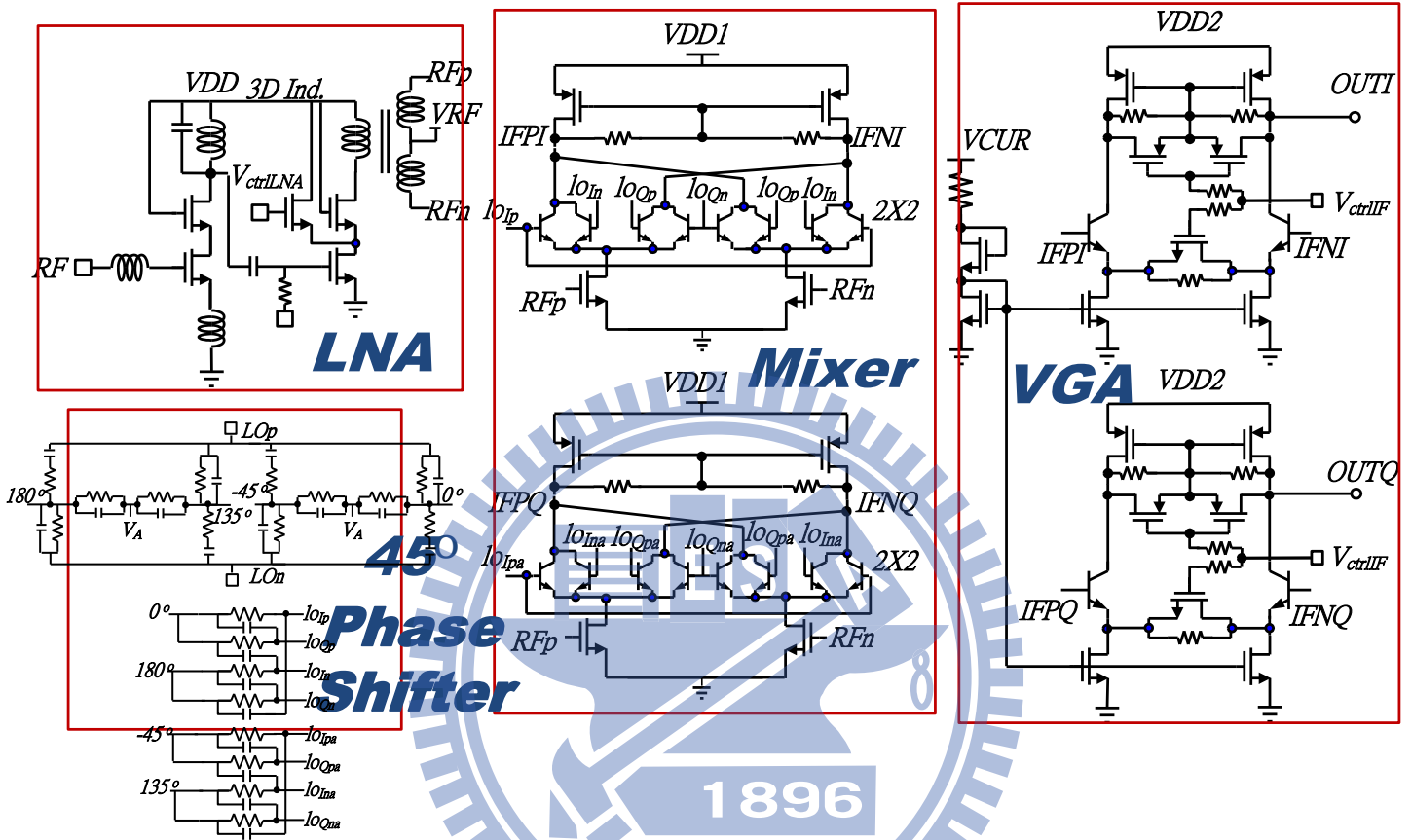
2.7.3 整體系統架構

架構如圖(2.68)所示，整個電路包含以下幾個部分：

5. 兩級低雜訊放大器
6. BJT 混頻器
7. 八相位多重相位濾波器
8. 可調式放大器

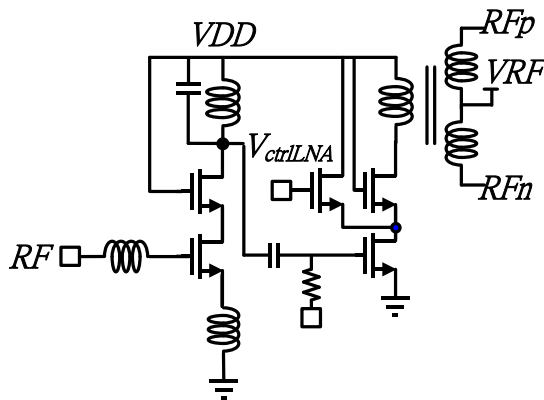
2.7.4 電路設計

詳細的電路圖如圖(2.68)所示，並分別闡述內部電路：



圖(2.68) BJT 次諧波接收器使用 45 度相移器詳細電路圖

(1) LNA



圖(2.69) LNA 的部分

在 LNA 輸出端的地方因為需要單輸入轉成雙輸出，所以在這邊我們使用變壓器的架構，同時單端部分的電感變成為 LNA 第二級的負載。詳細來看其實雙端部分的電感也可以看成一個電感中間拉出來灌入電壓。我們可以分析如下。將電感做成含有損耗電阻 R_{s1} 和 R_{s2} 的模型，圖(2.70)-a。而再利用理想的電感改變此模型，然後並將原本的串聯電阻改成並聯電阻，同時定義；

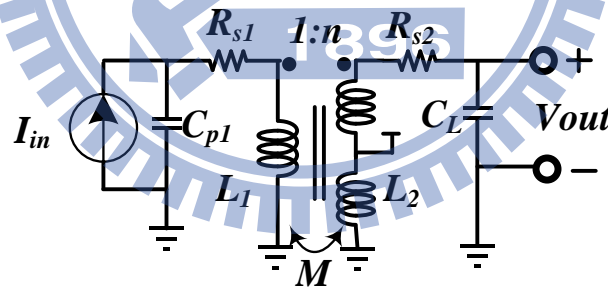
$$R_{p1} = (Q_1^2 + 1)R_{s1}, \quad R_{p2} = (Q_2^2 + 1)R_{s2}$$

$$k \equiv \frac{M}{\sqrt{L_1 L_2}}$$

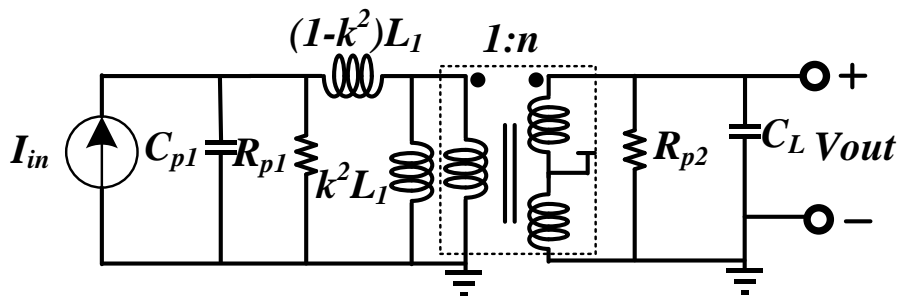
在此我們將漏電感 $(1-k^2)L_1$ 視為小到可以忽略。在共振之下我們可以利用 1:n 的關係將模型改成圖(2.70)-c，其中

$$v_{OUT} = i_{IN} \left[\frac{1}{n/(R_{p2}) + 1/(nR_{p1})} \right] \leq i_{IN} \left[\frac{\sqrt{R_{p1} R_{p2}}}{2} \right], \quad \text{當 } R_{p2}/R_{p1} = n^2 \cong L_2/L_1 \text{ 可以達到}$$

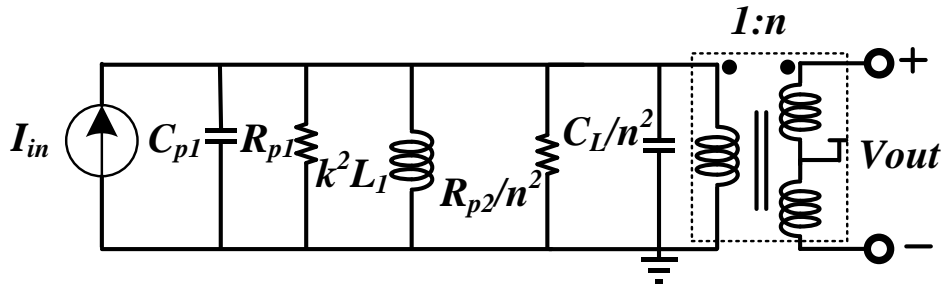
最大值[9]。



(A)

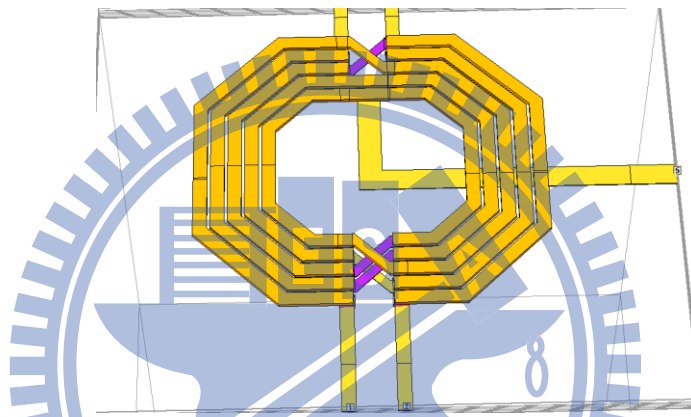


(B)

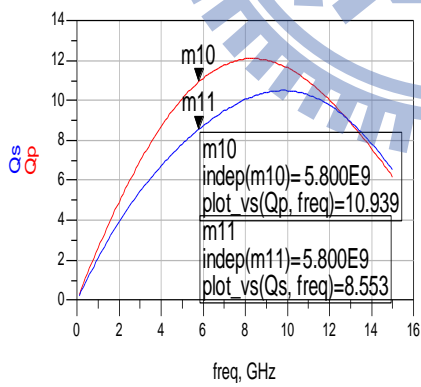


(C)

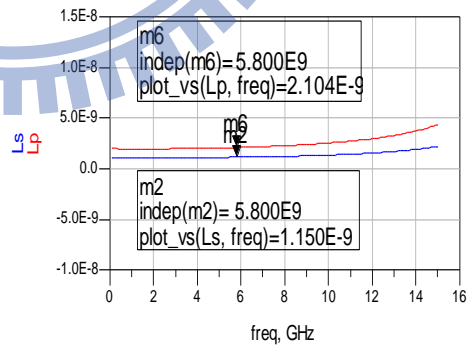
圖(2.70) (A)變壓器模型(B)理想變壓器的等效電路(C)將負載電路轉移到 primary 的等效電路。



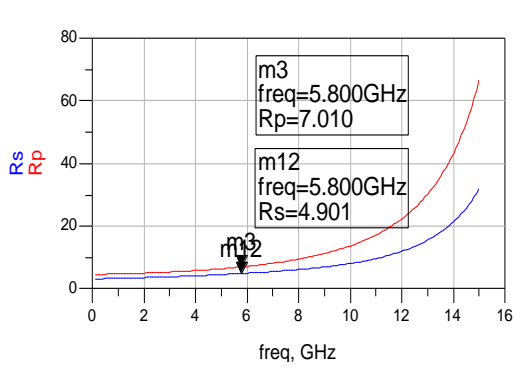
圖(2.71) 變壓器的EM 模擬立體圖



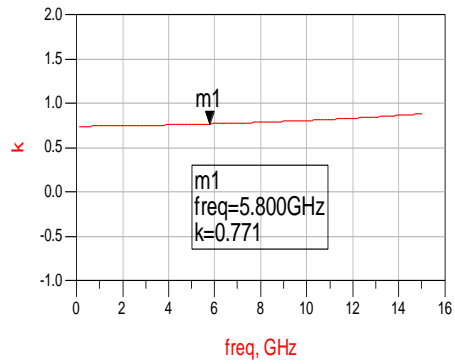
(A)



(B)



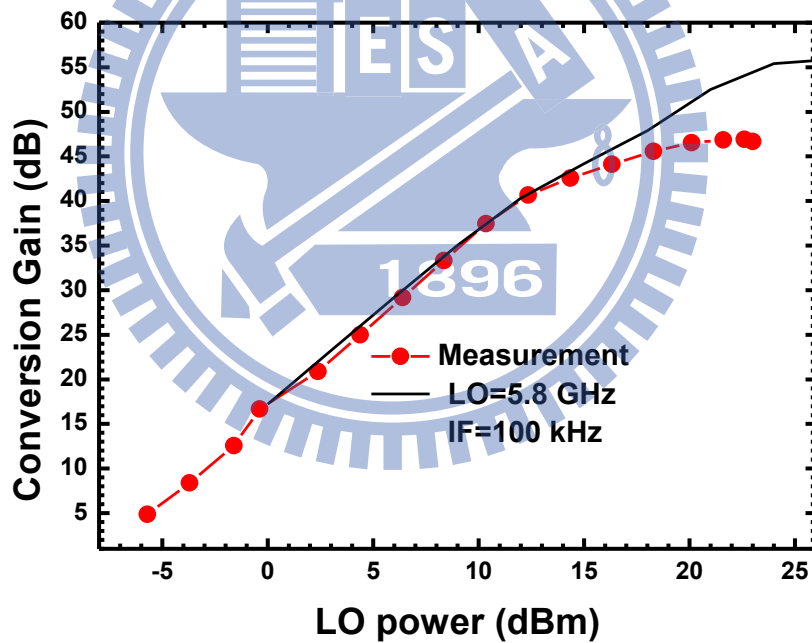
(C)



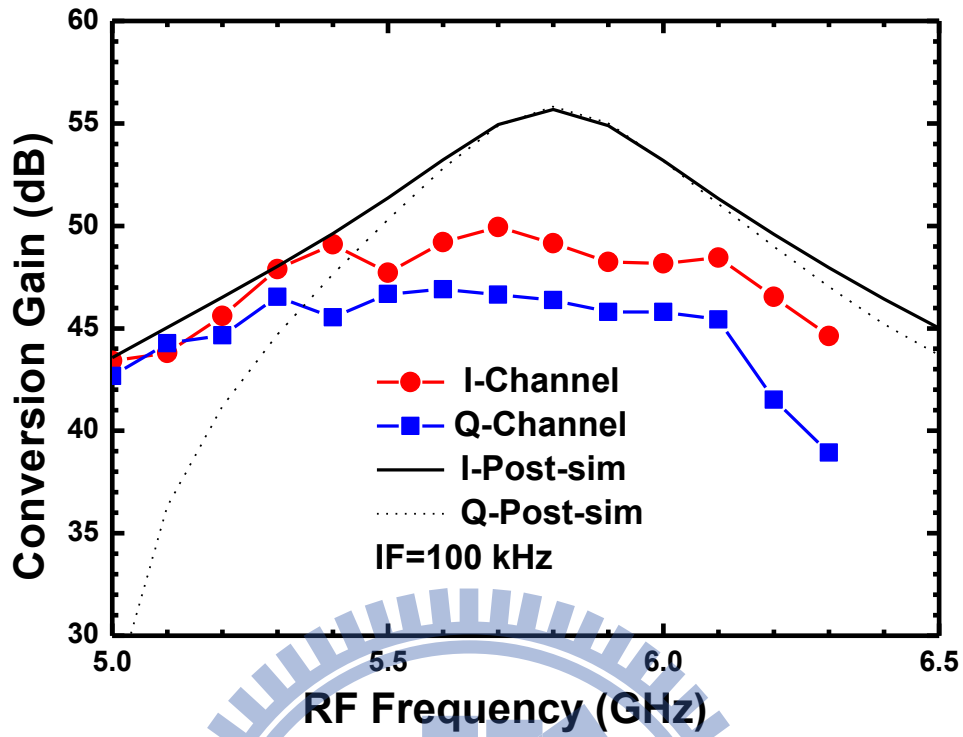
(D)

圖(2.72) Primary 和 secondary(A)Q 值(B) 電感值(C)內阻值，還有 (D)彼此耦合值

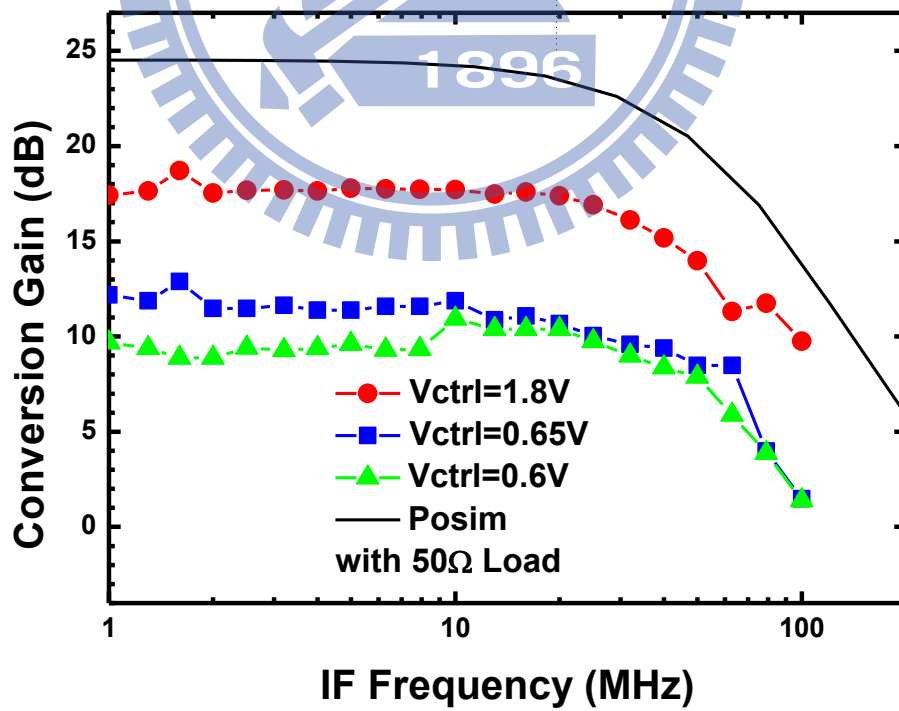
2.7.5 晶片量測結果



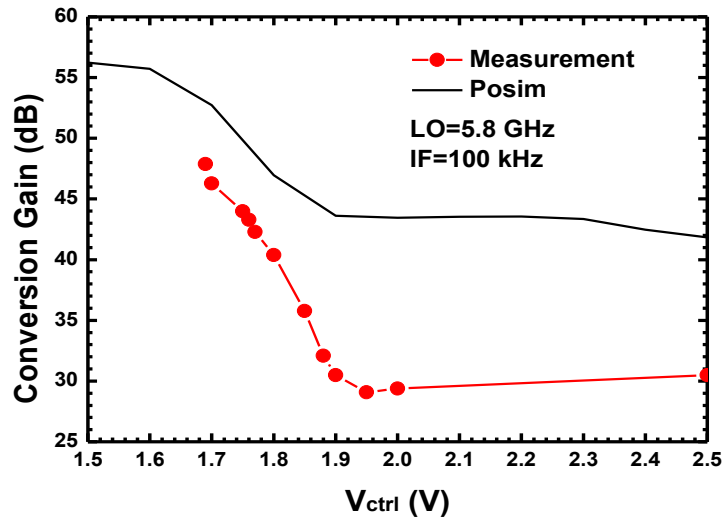
圖(2.73) 轉換增益對本地震盪訊號功率。



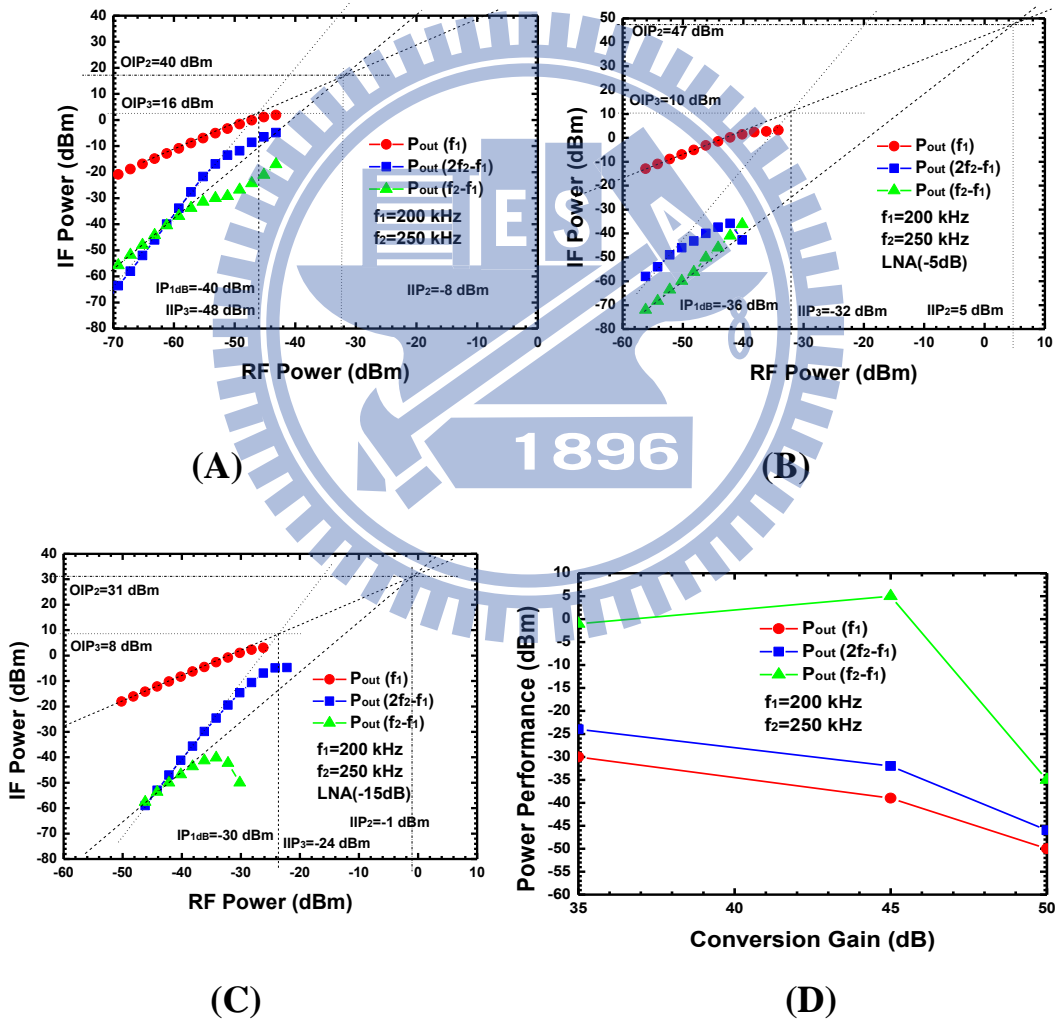
圖(2.74) 轉換增益對 RF 頻率。



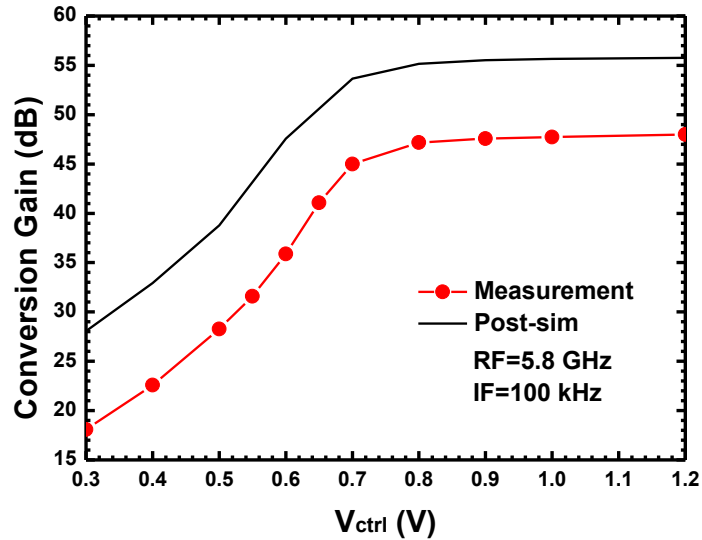
圖(2.75) 轉換增益對 IF 頻率。



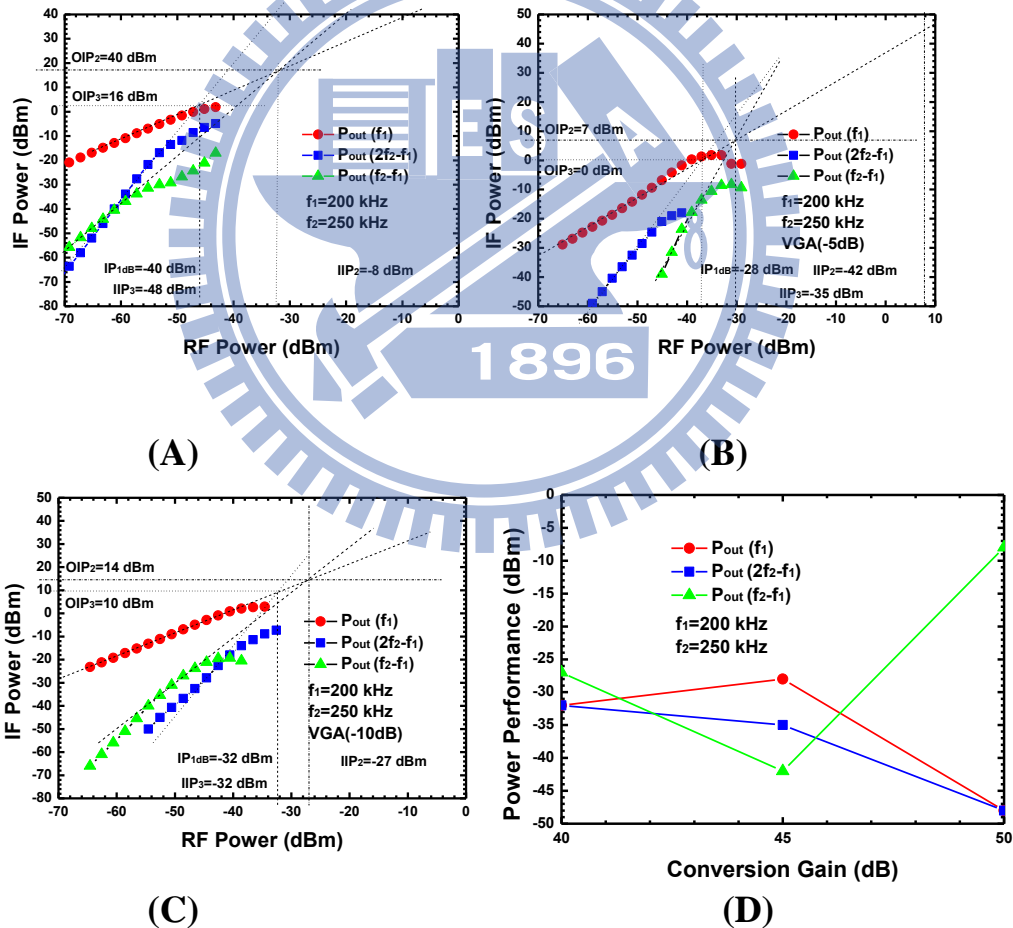
圖(2.76) 轉換增益對 LNA 調變增益的電壓。



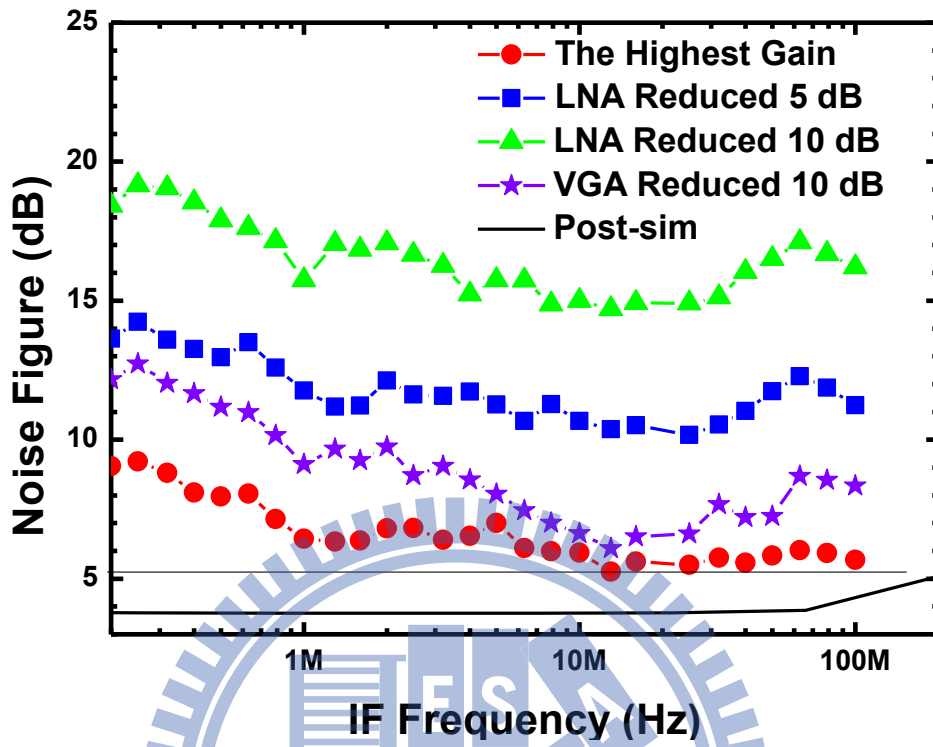
圖(2.77) 利用調整 LNA 電壓改變 IP_{1dB} 、 IIP_2 、 IIP_3 ，當增益分別為(A)50dB(B)45dB(C)35dB(D) IP_{1dB} 、 IIP_2 、 IIP_3 對調整 LNA 電壓改變的增益值。



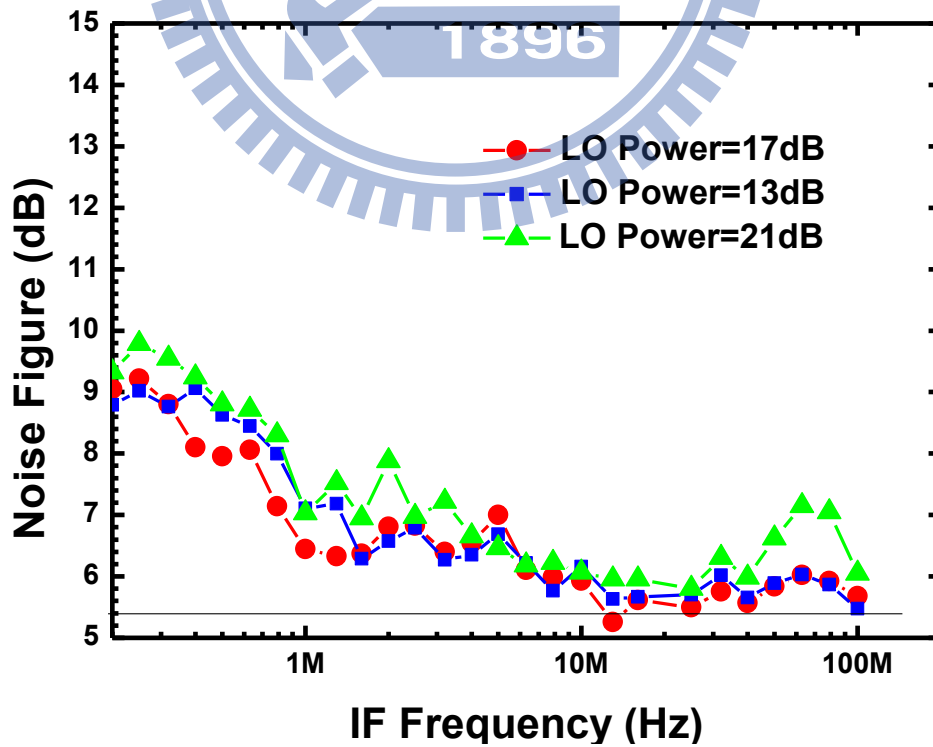
圖(2.78) 轉換增益對VGA 調變增益的電壓。



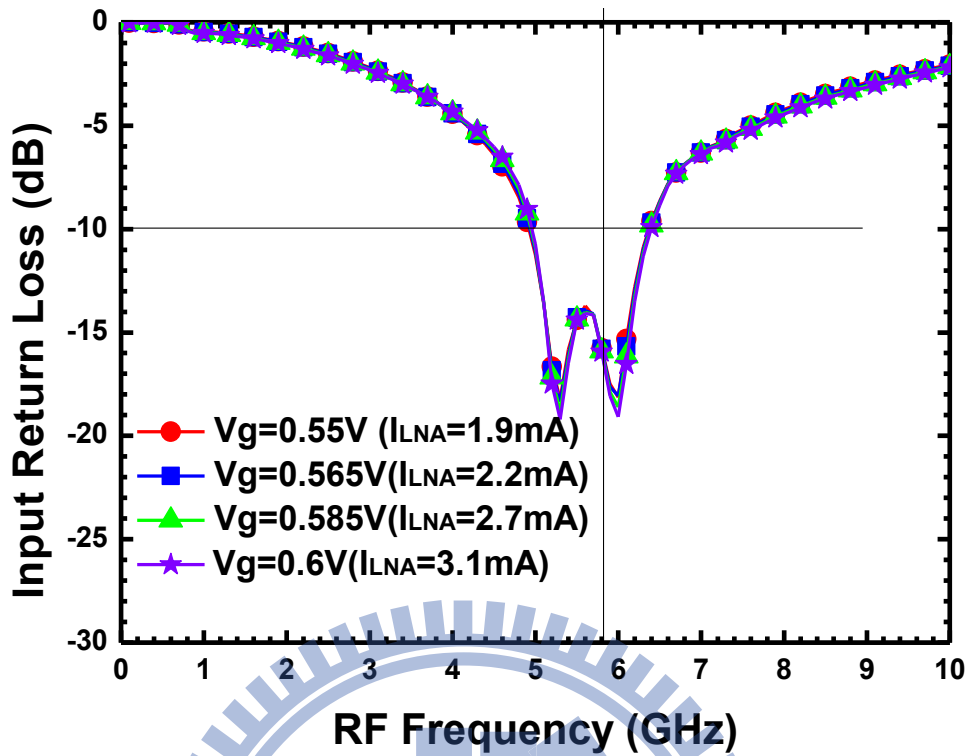
圖(2.79) 利用調整VGA 電壓改變IP1dB、IIP2、IIP3，當增益分別為(A)50dB(B)45dB(C)40dB(D)IP1dB、IIP2、IIP3 對調整VGA 電壓改變的增益值。



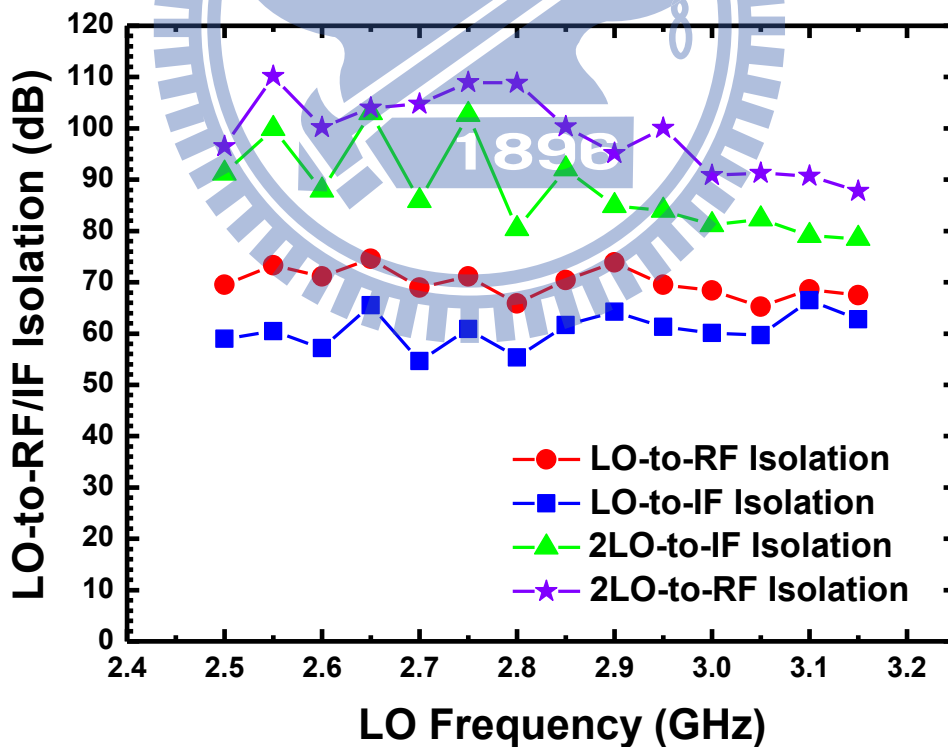
圖(2.80) 雜訊指數對增益調變。



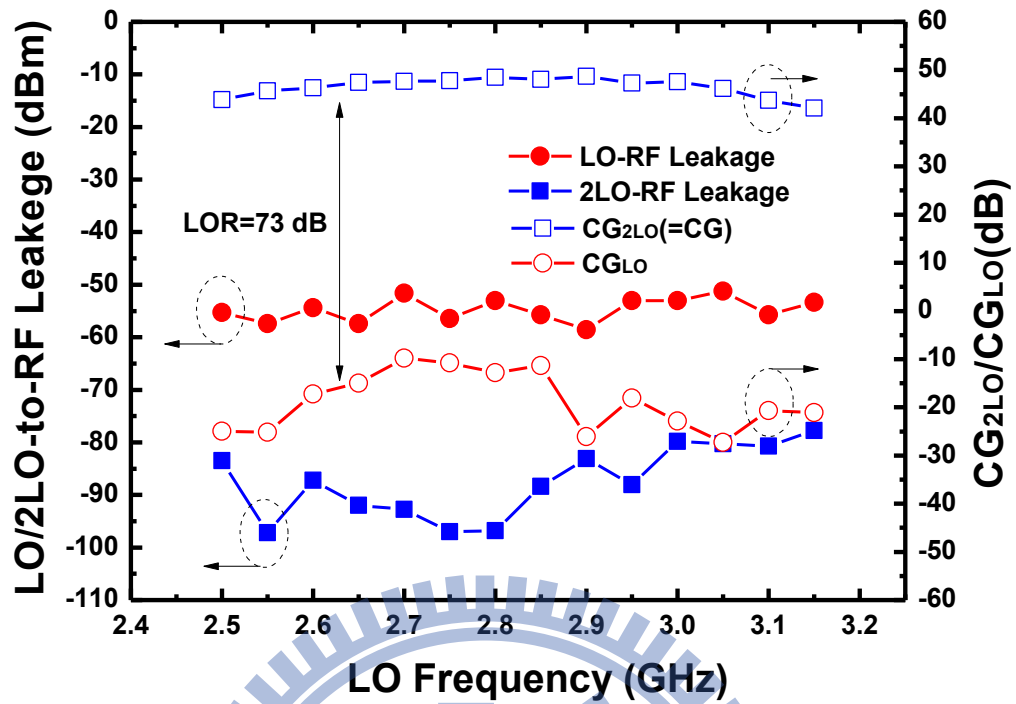
圖(2.81) 雜訊指數對LO 功率。



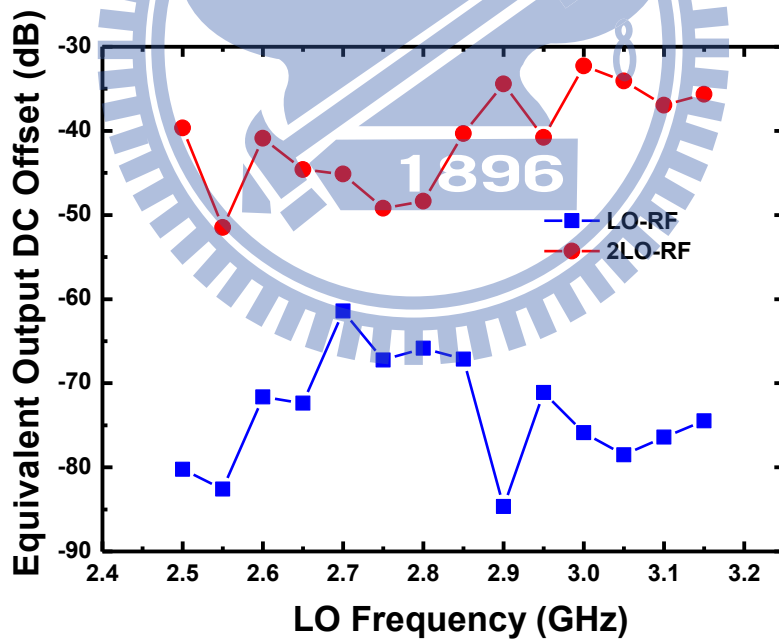
圖(2.82) 輸入返回損耗



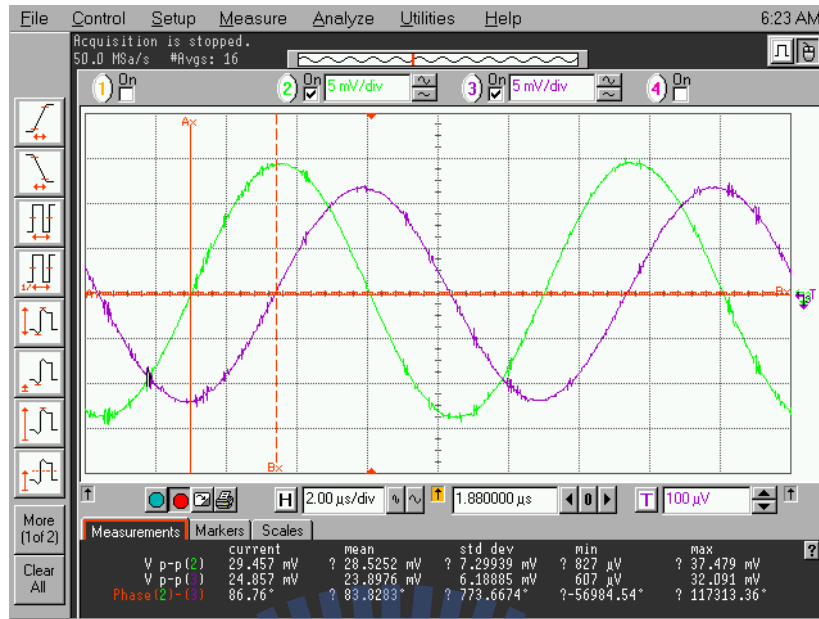
圖(2.83) 本地震盪訊號對 RF 端和 IF 端的隔絕度。



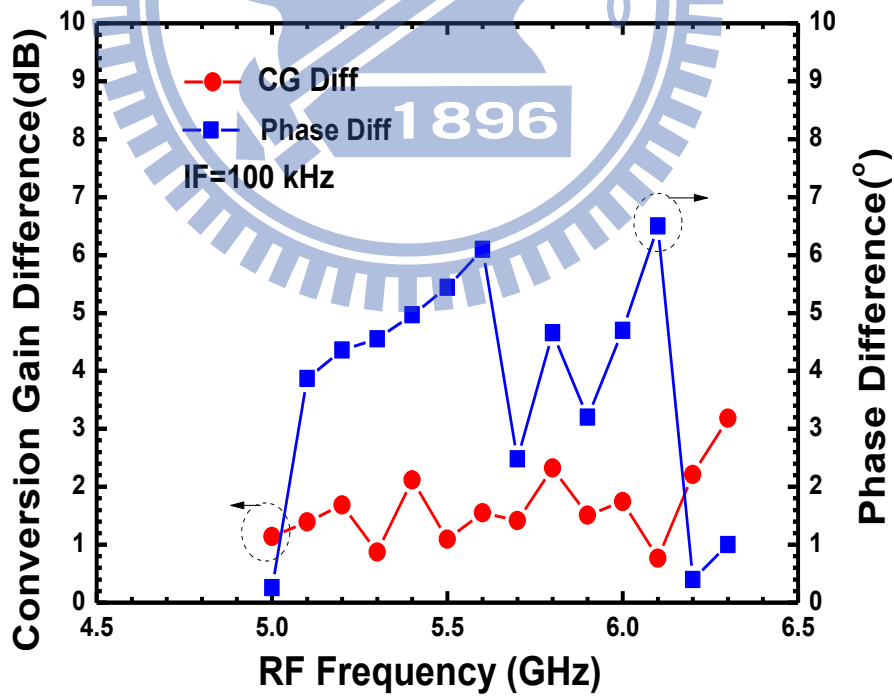
圖(2.84) 本地震盪訊號對RF端的溢漏和增益。



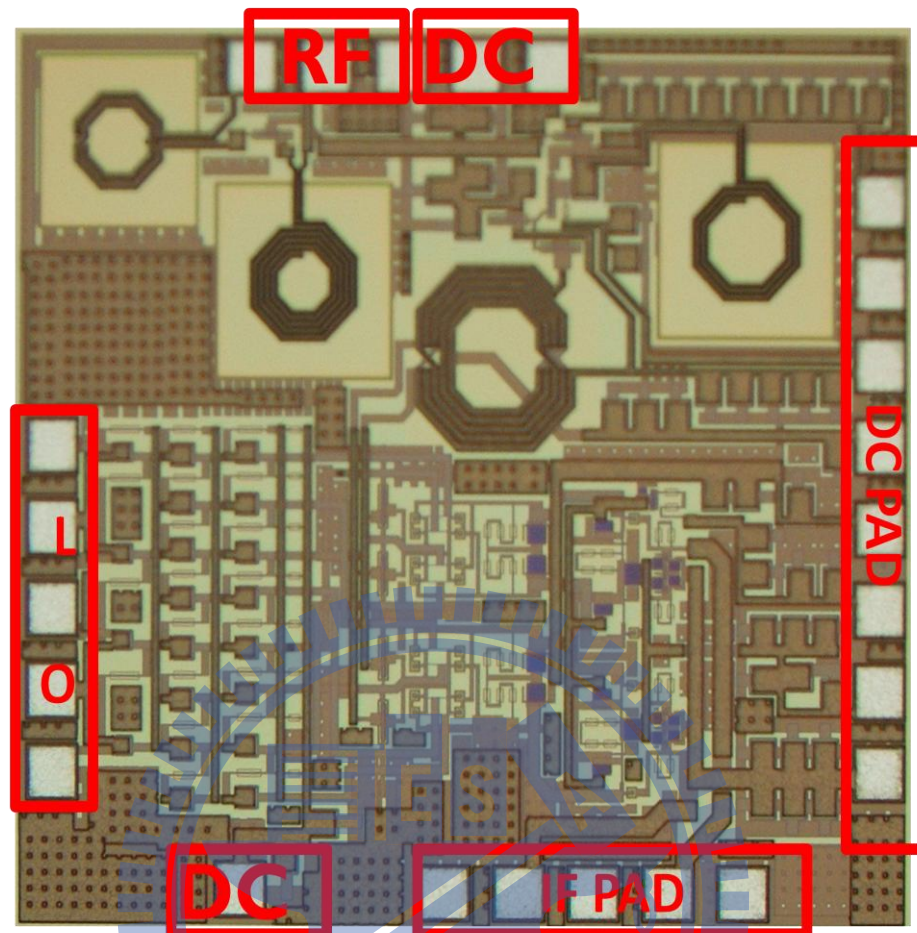
圖(2.85) 本地震盪訊號所造成的輸出DC位移。



圖(2.86) I、Q 通道輸出波形



圖(2.87) 增益差和相位差。



圖(2.88) Die Photo

2.7.6 結果與討論

本電路採用 CMOS 製程，晶片照片如圖(2.88)所示：RF、IF、LO 埠皆採用 GSGSG pad，RF 其中一 signal pad 當作 DC 使用，其餘 DC 利用 8-pin 的 DC 排針，和使用一跟單點 DC 針，此晶片面積為 $1.19 \times 1.09 \text{mm}^2$ 。

圖(2.73)表示當 RF 為 5.8GHz 時，LO 的注入功率大致上為 22~24dBm，所得到的增益為 50dB 左右，但是無法看到其中落下的部分，因為加在 LO 的 PA 線性度所影響，功率也不能打到太大。

整體電路的線性度特性表現在圖(2.77)，當 RF 打入單調(one-tone)

功率，在 5.8GHz 的頻帶測得 IP_{1dB} 為 -50dBm 左右，而在經過 LNA 的增益調變之後，當 LNA 降低 5dB 時，量得 IP_{1dB} 為 -40dBm，但是再降 10dB(即總輸出的增益從 50dB 掉到 35dB 時)，此時的 IP_{1dB} 變為 -30dBm，明顯因為 low gain 的原因持續增加線性度；而在經過 VGA 的增益調變之後，當 VGA 降低 5dB 時，量得 IP_{1dB} 為忽然變超好約在 -25dBm 左右，但是降 10dB(即總輸出的增益從 50dB 掉到 40dB 時)，線性度明顯變差約 -30dBm 左右，似乎這樣 VGA 下降的增益值已經太多，而反而有些地方被壓到 triode region，導致線性度反而受到影響。

圖(2.80)顯示了整個接收機的雜訊指數，頻帶降至 100KHz 時量得約為 5.2dB，在模擬的時候大約在 4dB 左右，實測略嫌高的原因是因為低雜訊放大器有一級的頻寬變異，導致增益沒有達到當初的模擬值，故沒有辦法完全地抑制住後級的雜訊。

由於低雜訊放大器在實作時，很容易因為走線的電容、電感值造成頻率偏移，雖然現今 CIC 有提供後模擬(post-simulation)流程，仍舊沒有辦法完全地控制住頻率的飄移。圖(2.74)便是為了觀察整體系統頻率飄移的情形，當初設計的頻率是 peak 在 5.8GHz 的地方，從返回損耗可以發現實際上的頻率已經偏移。但是在此因為 LNA 是使用兩級的方式，所以當初設計是希望兩級的制高點都在同一個頻率 5.8GHz 上，但是如今發現頻寬可以涵蓋 5.2~5.8GHz 可以推測發現 LNA 有一級的 peak 往低頻飄掉，另一級則維持原本的頻率，所以導致兩個鋒高錯開，陰錯陽差的成為寬頻的設計。

輸出波形部分，從圖(2.86)可以看到 I 通道以及 Q 通道的相位在

5GHz~6GHz 與 90 度相差 4~6 度左右，且振幅大小相差維持在 1dB 左右。由此可以看出在這種 45 度產生的方式，其實產生 90 度和振幅平衡的頻寬是很寬的，只要將我們要的一定頻寬都設計在剛好相位差 0 和振幅差為 0 的軸上，達到寬頻的 45 度產生器是很有可能的。在此我們猜測可能是這種產生 45 度的架構需要看到負載接近無限大的阻抗，也就是接近開路才可以使其操作的過程正常。

在 DC 平移的計算上，因為我們 PAD 的設計考量，無法將 differential 分別正負都拉出來，所以只能利用計算的方式，先看 LO 和 2LO 漏到 RF 的功率，然後再將這些值當作 RF 與 LO 混頻去看到達輸出 IF 端的值為多少，詳細計算如下。

DC offset due to LO-RF leakage:

$$\text{Leak}(\text{LO-RF}) \times \text{CG}_{\text{LO}} = -70 \text{ dBm} = 0.072 \text{ mV}$$

DC offset due to 2LO-RF leakage:

$$\text{Leak}(\text{2LO-RF}) \times \text{CG}_{\text{2LO}} = -40 \text{ dBm} = 2.2 \text{ mV}$$

如此可知 LO 造成的 DC 偏移為 0.072mV，2LO 造成的 DC 偏移為 2.2mV，皆在可以接受的範圍內。

表2.5 Summary

	Spec.	Post Simulation	Measurement
Supply Voltage (V)	1.8	1.8	1.8
Conversion Gain (dB)	50	54.5	49
RF Bandwidth(GHz)	--	5.5~6.2	5.2~6.2
IF Bandwidth (MHz)	25	32	45
Noise Figure (dB)	3@100 KHz	3.7 @ 100 kHz 3.7 (noise floor)	9 @ 100 kHz 5 (noise floor)
OP _{1dB} (dBm)	--	3.7	5
IIP ₃ (dBm)	-25	--	-48 (-24@Gain=35 dB)
IIP ₂ (dBm)	--	--	-32 (5 @ Gain=35 dB)
LO/2LO-to-RF Isolation (dB)	--	>80/>150	>70/>110
LO/2LO-to-IF Isolation (dB)	--	>70/>110	>60/>90
Input Return Loss (dB)	>10	>10 (5~6GHz)	--
DC offset(mV)	±20	--	2.2(:∴ 2LO-RF)/ 0.072(:∴ LO-RF)
Current Consumption (mA)	3	5	5.5
I/Q Imbalance	0.2 dB/0.5°	0.6dB/0.54°	1.4dB/2.5°
Process	0.18 μm CMOS		
Chip Size	1.19x1.09 mm ²		

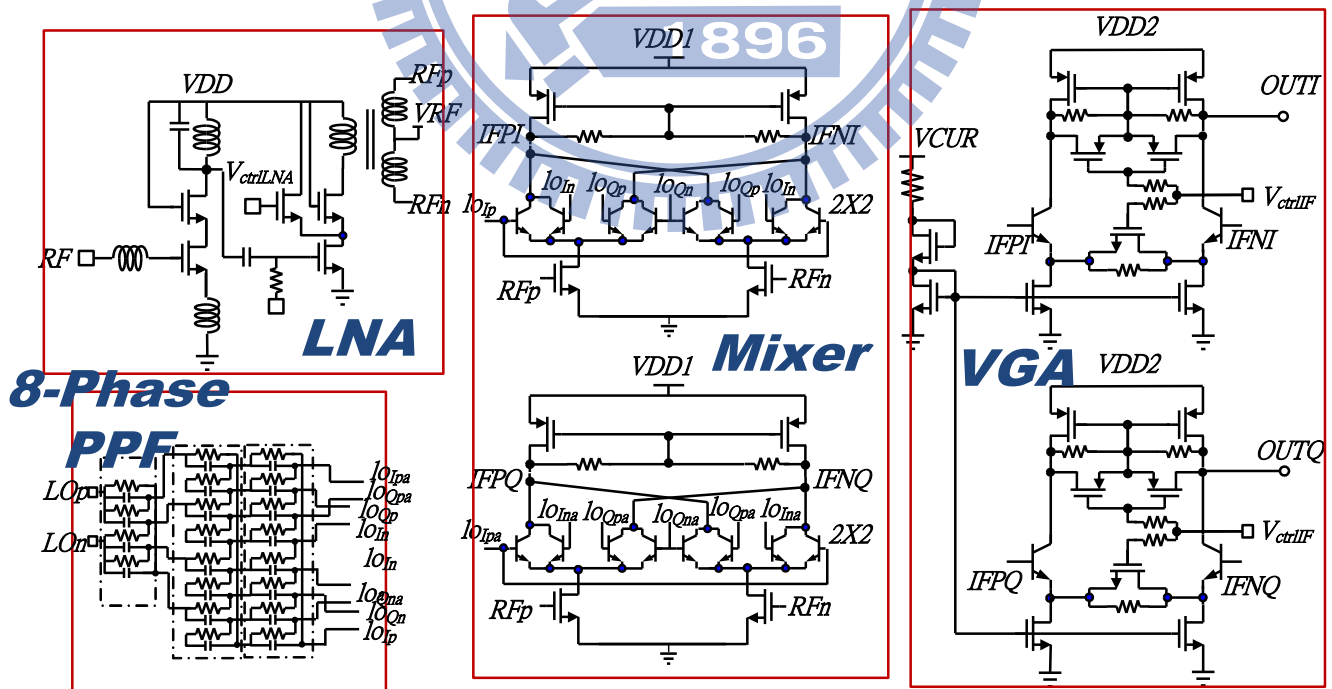
2.8 實作五，5.8GHz BJT Sub-harmonic Receiver with 8-phase polyphase (CMOS 0.18um)

2.8.1 研究動機

第一個實作使用 45° Phase Shifter 在振幅跟相位上都有點不準，對此我們猜測有可能是因為在 45° Phase Shifter 的架構上進入 mixer 看到的 load 大小可能會影響到整體相移器的表現，在不希望加上任何功耗和架構的困難上，我們便嘗試第二種架構來產生45度角。

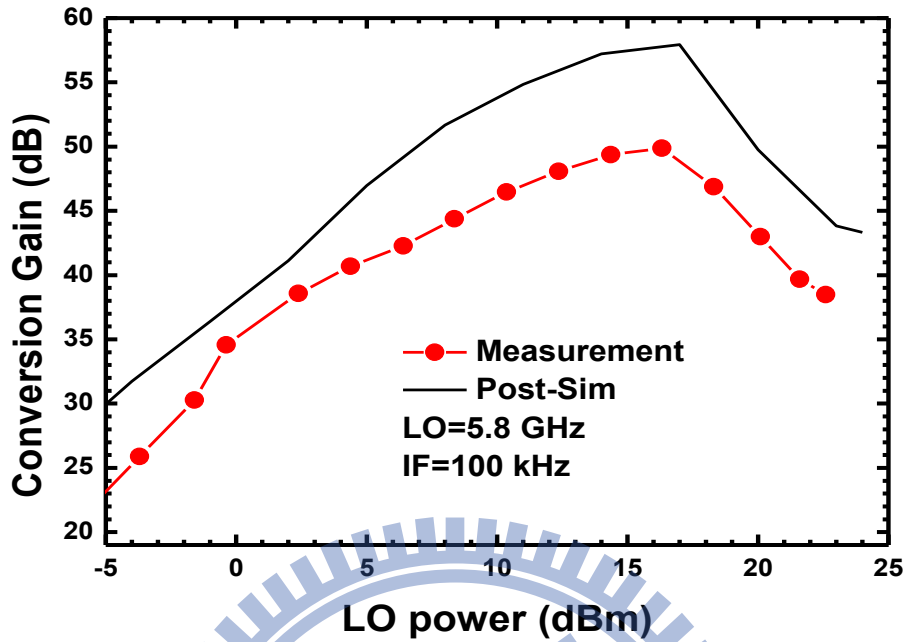
2.8.2 系統頻率規劃

此實作為針對無線區域網路的應用，故將需要頻率設為5~6GHz，可以涵蓋5.2和5.8GHz 的操作頻率；而最終輸出訊號基於要配合基頻調變以及避開閃爍雜訊(flicker noise)的理由，將其定為100kHz。

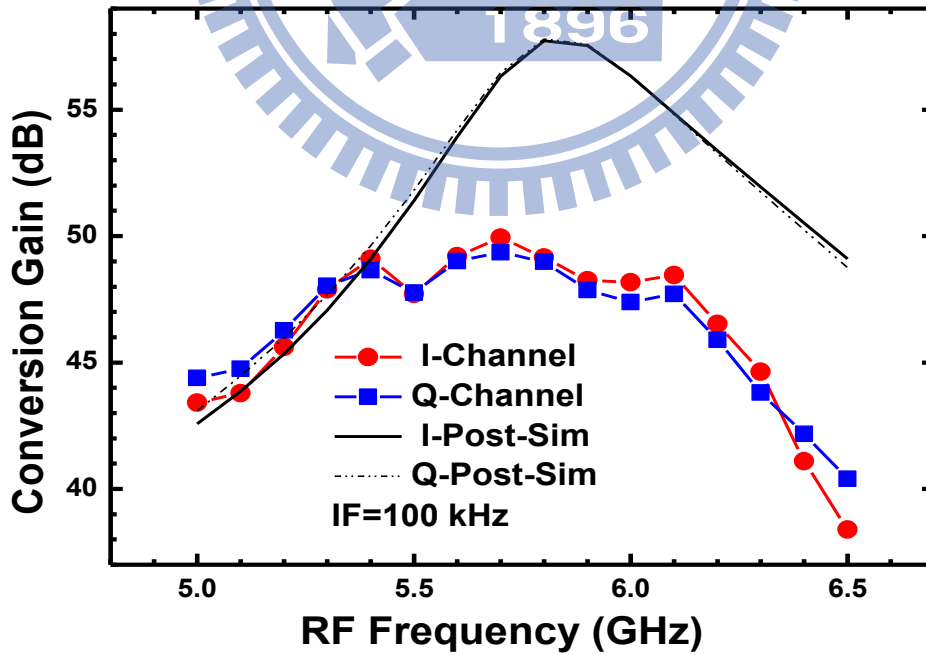


圖(2.89) BJT 次諧波接收器使用 8 多重相位濾波器詳細電路圖

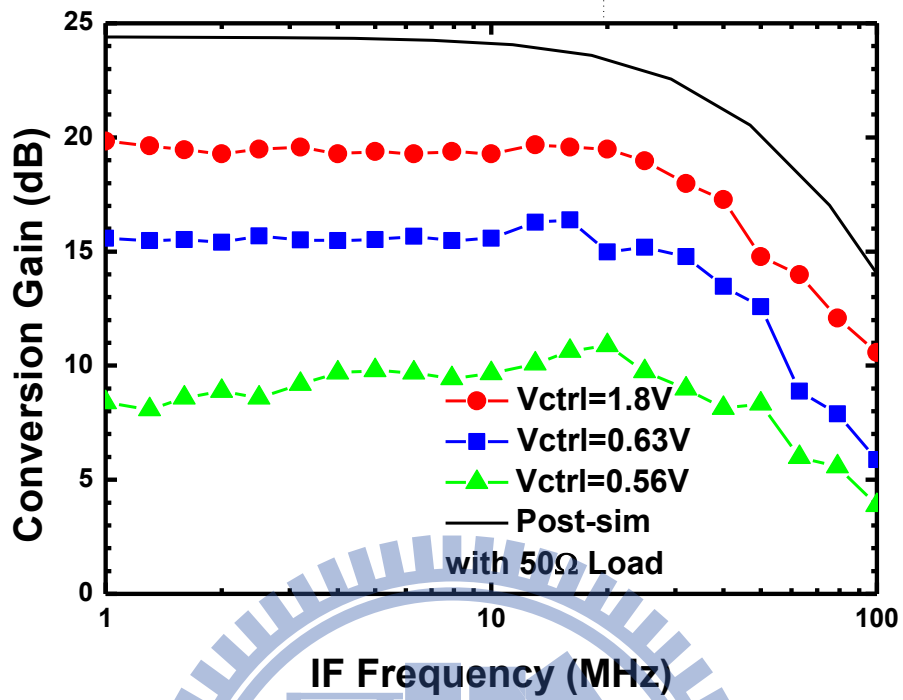
2.8.3 晶片量測結果



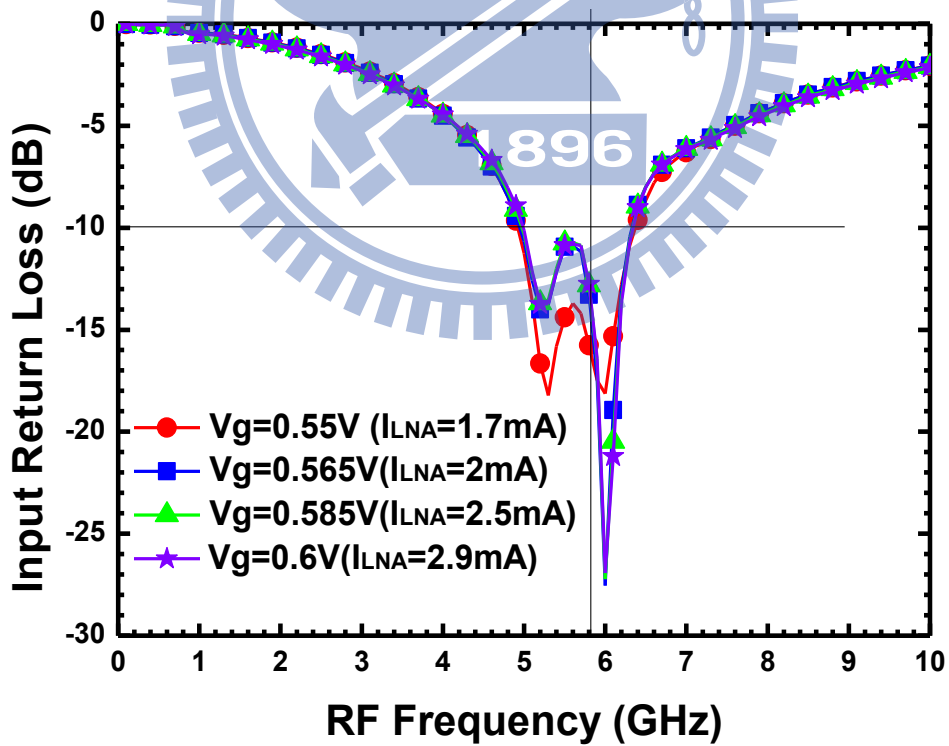
圖(2.90) 轉換增益對本地震盪訊號功率。



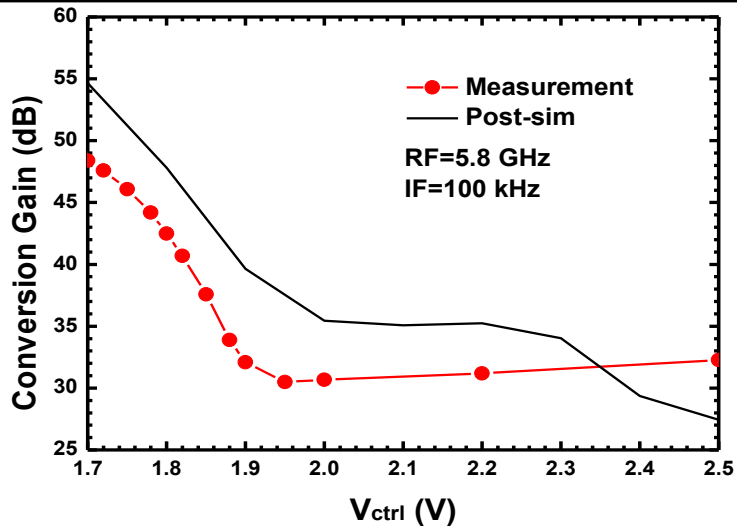
圖(2.91) 轉換增益對RF 頻率。



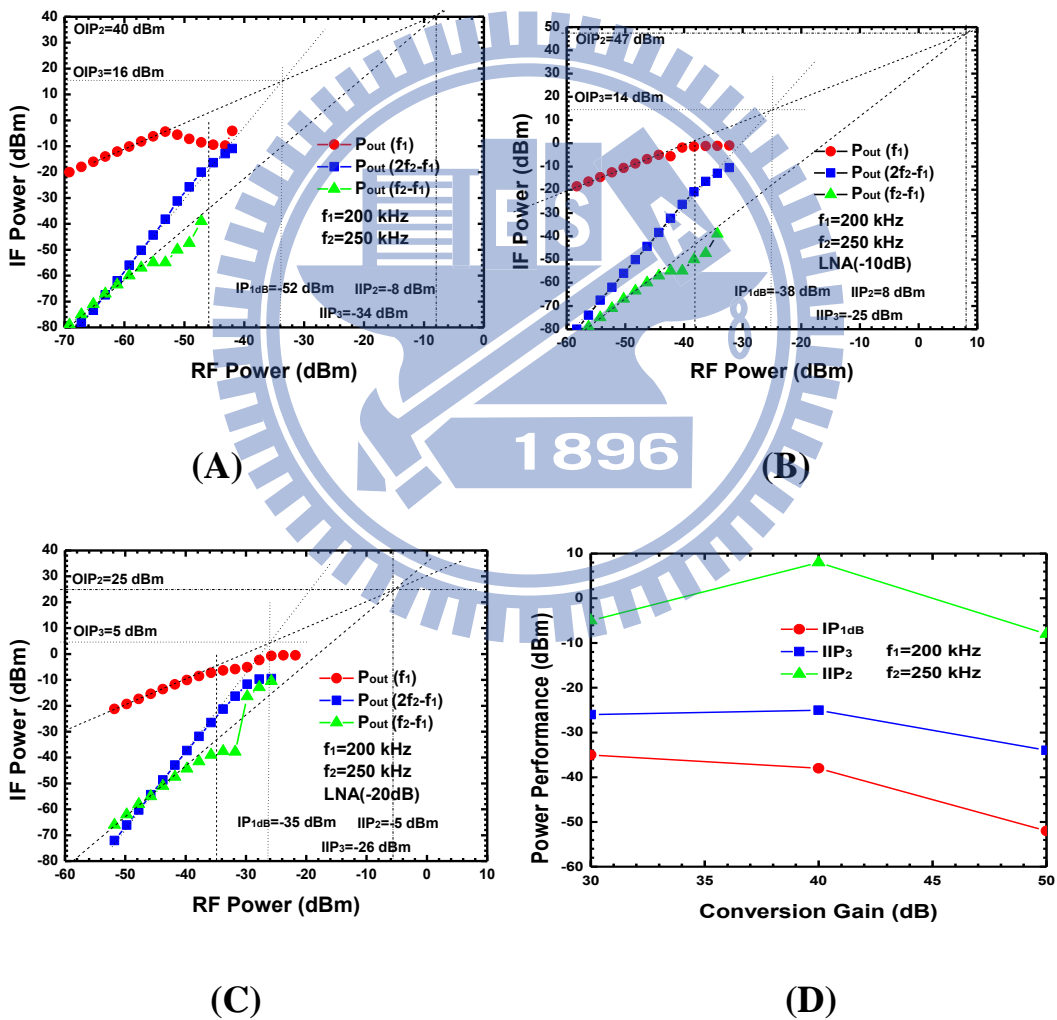
圖(2.92) 轉換增益對IF頻率。



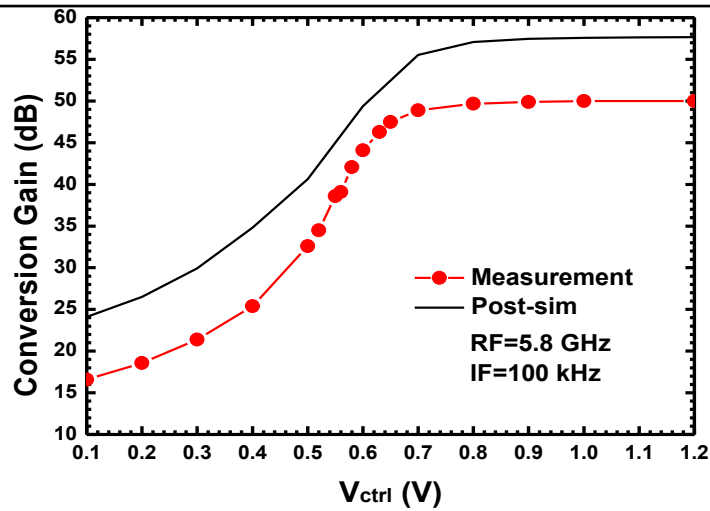
圖(2.93) 輸入返回損耗



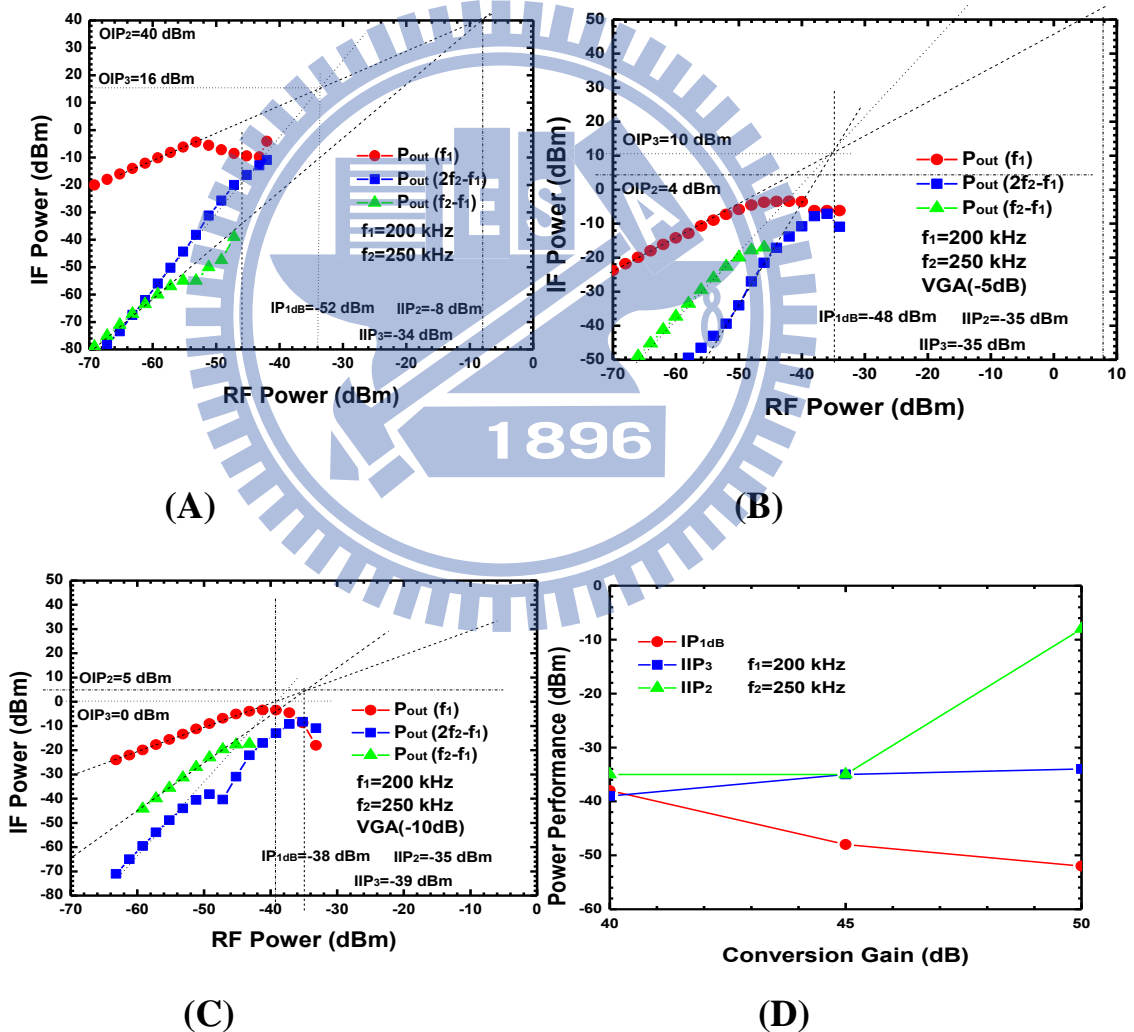
圖(2.94) 轉換增益對 LNA 調變增益的電壓。



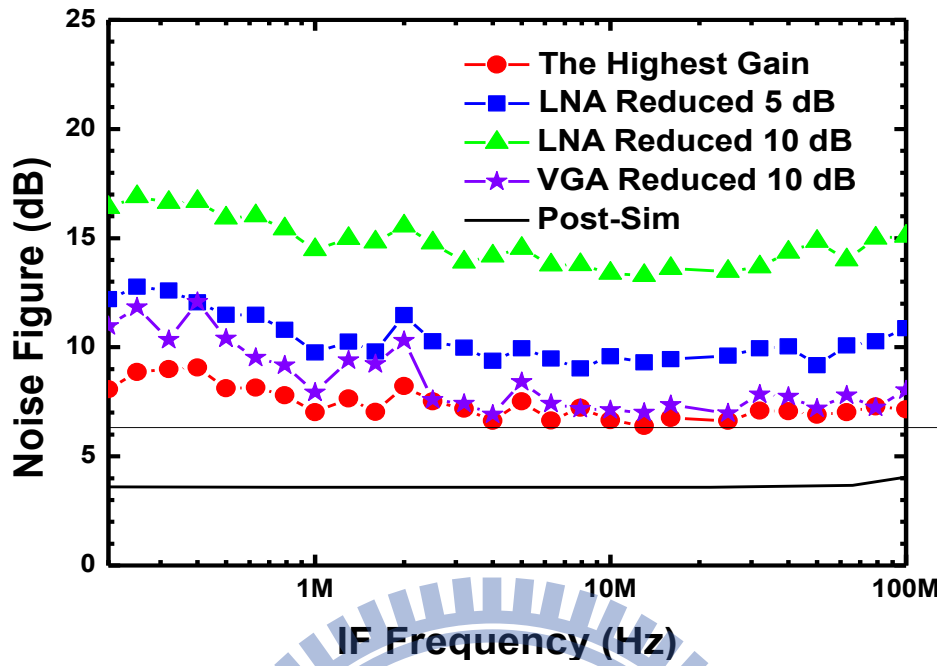
圖(2.95) 利用調整 LNA 電壓改變 IP1dB、IIP2、IIP3，當增益分別為(A)50dB(B)40dB(C)30dB(D)IP1dB、IIP2、IIP3 對調整 LNA 電壓改變的增益值。



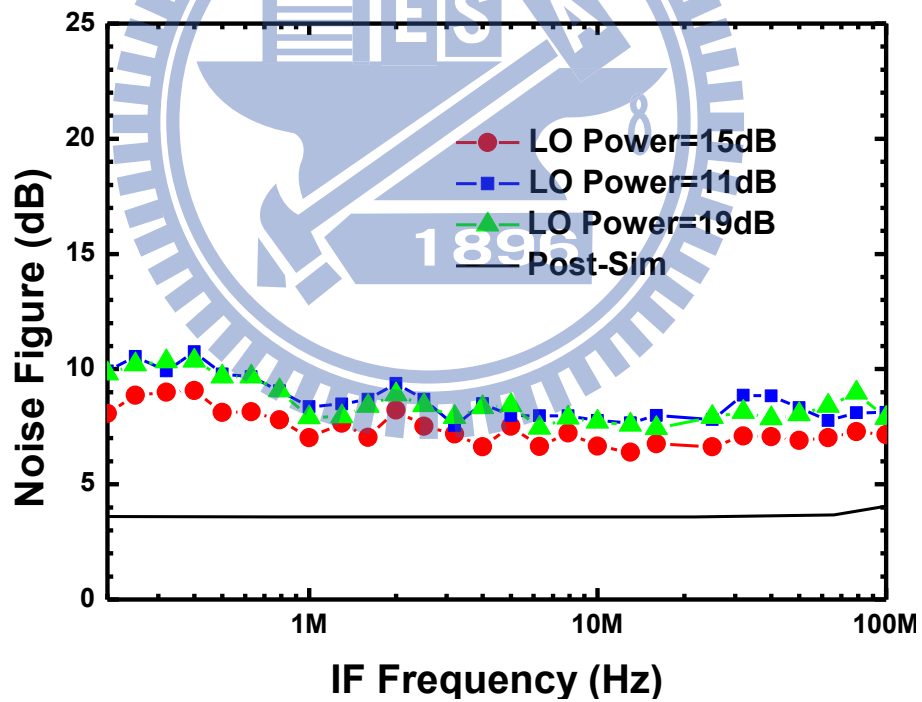
圖(2.96) 轉換增益對 VGA 調變增益的電壓。



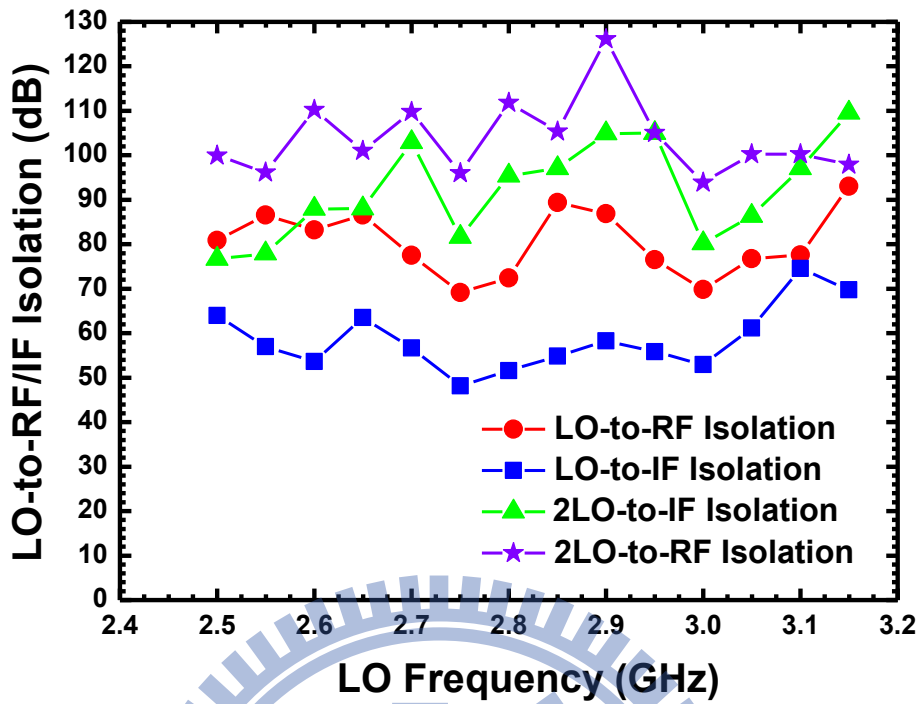
圖(2.97) 利用調整 VGA 電壓改變 IP_{1dB} 、 IIP_2 、 IIP_3 ，當增益分別為(A)50dB(B)40dB(C)30dB(D) IP_{1dB} 、 IIP_2 、 IIP_3 對調整 VGA 電壓改變的增益值。



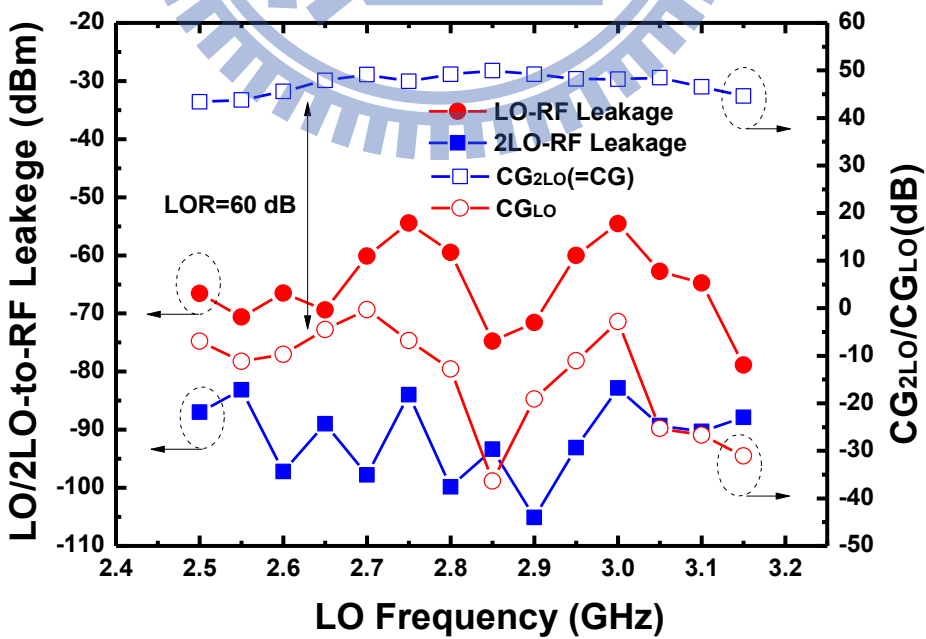
圖(2.98) 雜訊指數對增益調變。



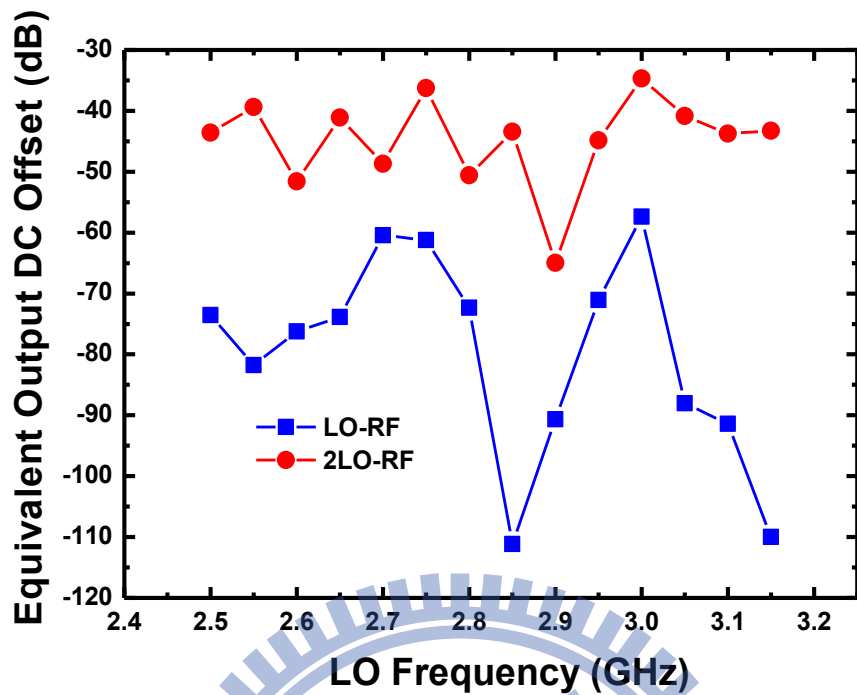
圖(2.99) 雜訊指數對LO 功率。



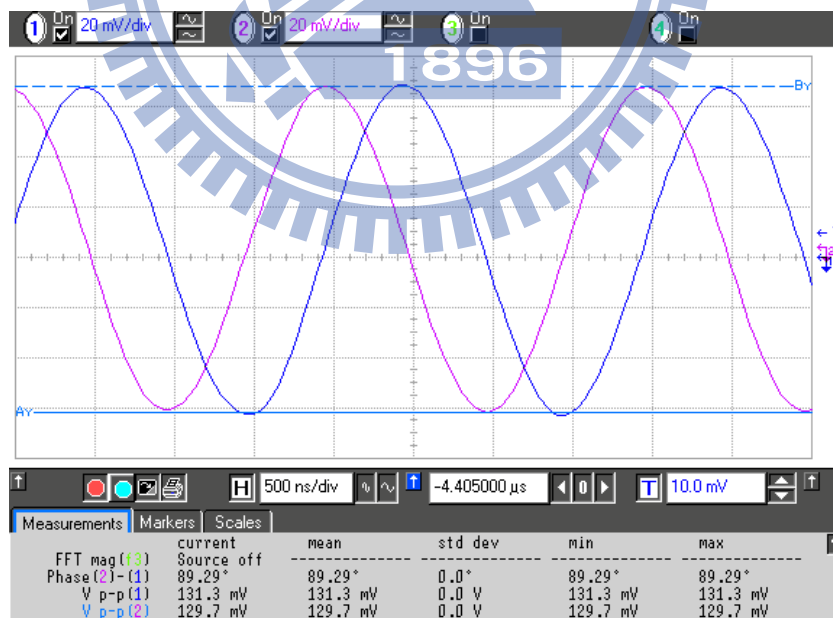
圖(2.100) 本地震盪訊號對RF端和IF端的隔絕度。



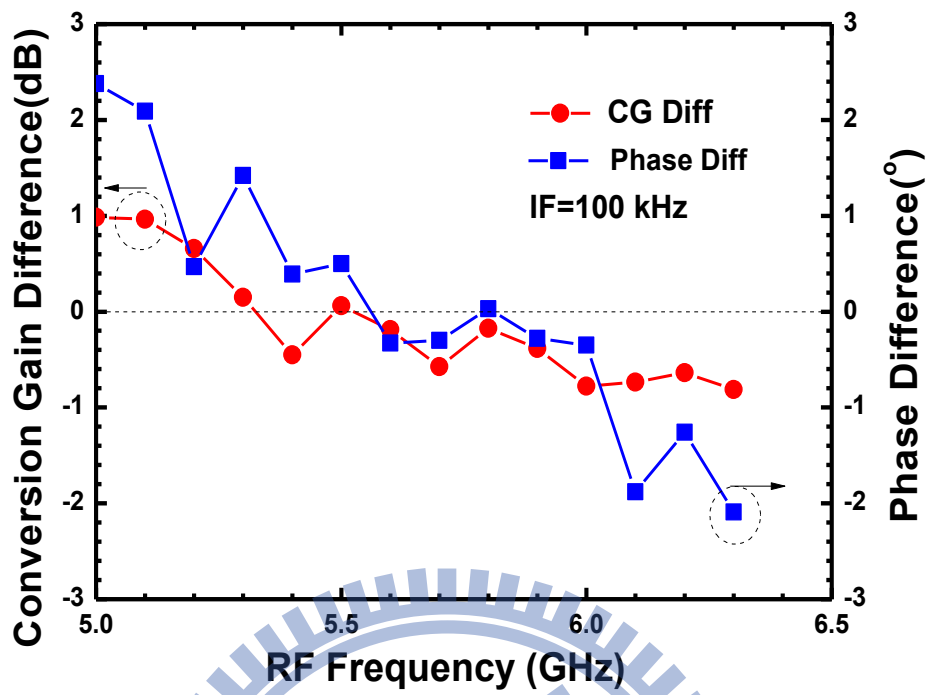
圖(2.101) 本地震盪訊號對RF端的溢漏和增益。



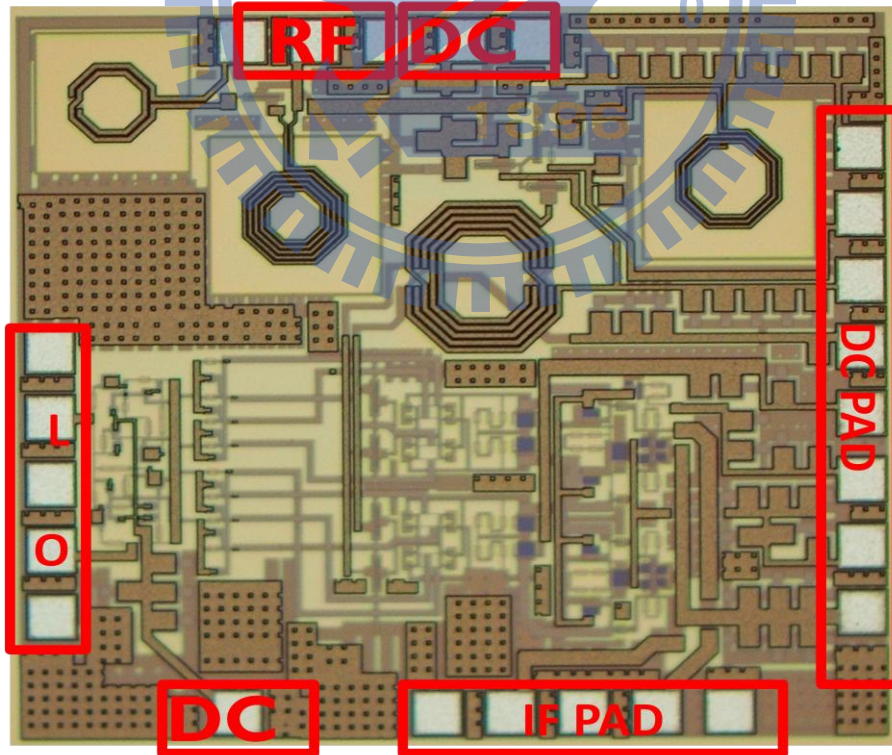
圖(2.102) 本地震盪訊號所造成的輸出 DC 位移。



圖(2.103) I、Q 通道輸出波形



圖(2.104) 增益差和相位差。



圖(2.105) Die Photo

2.8.4 結果與討論

本電路採用 CMOS 製程，晶片照片如圖(2.105)所示：RF、IF、LO 埠皆採用 GSGSG pad，RF 其中一 signal pad 當作 DC 使用，其餘 DC 利用 8-pin 的 DC 排針，和使用一跟單點 DC 針，此晶片面積為 $1.19 \times 1.09 \text{mm}^2$ 。跟第一個實作的架設基本上是一模一樣。

圖(2.90)表示當 RF 為 5.8GHz 時，LO 的注入功率大致上為 15dBm，所得到的增益為 50dB。

整體電路的線性度特性表現在圖(2.95)，當 RF 打入單調(one-tone)功率，在 5.8GHz 的頻帶測得 IP_{1dB} 為 -50dBm 左右，而在經過 LNA 的增益調變之後，當 LNA 降低 10dB 時，量得 IP_{1dB} 為 -40dBm，但是再降 10dB(即總輸出的增益從 50dB 掉到 30dB 時)，此時的 IP_{1dB} 便不再變好了；而在經過 VGA 的增益調變之後，當 VGA 降低 5dB 時，量得 IP_{1dB} 為 -48dBm 左右，並沒有明顯的變好，但是降 10dB(即總輸出的增益從 50dB 掉到 40dB 時)，線性度明顯增加 10dBm 左右。

圖(2.98)顯示了整個接收機的雜訊指數，頻帶降至 100KHz 時量得約為 6dB，在模擬的時候大約在 3.5dB 左右，實測高蠻多的，原因是因為低雜訊放大器有一級的頻寬變異，導致增益沒有達到當初的模擬值，故沒有辦法完全地抑制住後級的雜訊。

在基本的架構跟操作上與第一個實作幾乎是一樣的，所以照道理產生的效果應該也是一樣的。在以上量測結果當中，頻寬、增益、和雜訊幾乎是一模一樣的。主要改變的架構是產生八個相位角的部分，於是在此我們在相位的部分多加討論。

輸出波形部分，從圖(2.103)可以看到 I 通道以及 Q 通道的相位在 5.8GHz 相差約 90 度，且振幅大小相差 0.2 左右 dB，二輸出正交訊號足夠交由數位訊號處理。由此可以看出在這種八個相位的多重相位產生器，其實產生 90 度和振幅平衡的頻寬是不寬的，成為一個斜率的方式，只能說將我們要的 5.8GHz 設計在剛好斜率與相位差 0 和振幅差為 0 的軸上。但是其他頻率上可能就無法剛好到達。

在 DC 平移的計算上，因為我們 PAD 的設計考量，無法將 differential 分別正負都拉出來，所以只能利用計算的方式，先看 LO 和 2LO 漏到 RF 的功率，然後再將這些值當作 RF 與 LO 混頻去看到達輸出 IF 端的值為多少，詳細計算如下。

DC offset due to LO-RF leakage:

$$\text{Leak}(\text{LO-RF}) \times \text{CG}_{\text{LO}} = -70 \text{ dBm} = 0.072 \text{ mV}$$

DC offset due to 2LO-RF leakage:

$$\text{Leak}(\text{2LO-RF}) \times \text{CG}_{\text{2LO}} = -40 \text{ dBm} = 2.2 \text{ mV}$$

跟第一顆造成的影響是一樣的。

表2.6 Summary

	Spec.	Post Simulation	Measurement
Supply Voltage (V)	1.8	1.8	1.8
Conversion Gain (dB)	50	58.56	50
RF Bandwidth(GHz)	--	5.6~6.2	5.2~6.2
IF Bandwidth (MHz)	25	35	45
Noise Figure (dB)	3@100k Hz	3.5 @ 100 kHz 3.5 (noise floor)	8 @ 100 kHz 6 (noise floor)
OP _{1dB} (dBm)	--	3.3	3
IIP ₃ (dBm)	-25	--	-34 (-25@Gain=40dB)
IIP ₂ (dBm)	--	--	-8 (8@Gain=40dB)
LO/2LO-to-RF Isolation (dB)	--	>75/>110	>80/>100
LO/2LO-to-IF Isolation (dB)	--	>60/>100	>60/>90
Input Return Loss (dB)	>10	>10 (5~6GHz)	--
DC offset(mV)	±20	--	2.2(: : 2LO-RF)/ 0.072(: : LO-RF)
Current Consumption (mA)	3	5	5.5
I/Q Imbalance	0.2 dB/0.5°	0.7 dB/1.4°	0.17 dB/0.03°
Process	0.18 μm CMOS		
Chip Size	1.19x1.09 mm ²		



3.1 前言

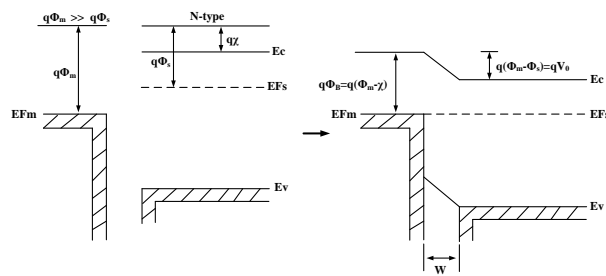
近幾年來無線通訊發展迅速，為了追求高質量的傳輸需要愈來愈大的頻寬，幾百 MHz 的頻寬已不敷使用，為了能有更大的頻寬傳輸機勢必要將操作頻率往上提升到毫米波頻段，而60GHz 正是目前最為火熱的頻段，這個頻段有數 GHz 的頻寬足夠拿來作為高速資料的傳輸，並且60GHz 頻段的訊號在大氣中的傳送衰減很大，訊號相互干擾的程度較小，適合拿來作室內短距離的傳輸。而因為波長與頻率成反比，頻率的提高有助於將傳統微波的被動元件微小化到可實現在晶片中。0.18um CMOS 為目前最主流的製程之一，因其技術已發展成熟製作成本相較低廉，且目前數位電路都是以0.18um CMOS 為主，若能將射頻電路部份以0.18um CMOS 製程來實現的話，就可將數位電路整合進來成單一晶片系統，如此不但可以降低生產成本，更可以讓系統整合的複雜度降低。一般來說傳統的通訊架構可分成接收機與傳輸機兩部分來討論，它們各自有其設計的困難點，底下將針對傳輸機之架構作簡介，也針對其架構底下會用到的元件作介紹。

3.2 基本二極體原理

3.2.1 蕭特基二極體

蕭特基二極體是利用金屬與半導體界面產生的物理現象來達到，這裡使用的半導體可以是 N 型或者是 P 型。金屬與半導體的接觸會因為半導體濃度的高低產生出蕭特基接觸或者歐姆接觸，當高度摻雜的時候，會造成階面是歐姆接觸，而輕摻雜的時候則會產生蕭特基接觸；只有後者可以產生整流的特性。

當半導體與金屬接觸時，經由能帶的變化可以看到能帶障礙 (Barrier) 降低，可以有更多的電子由 N 型半導體流進金屬上。與 PN 接面半導體不同的是電子流動機制不一樣，PN 接面半導體是靠少數載子的擴散，所以在逆向偏壓的時候會有儲存電荷需要被釋放掉，造成切換時間變長，而蕭特基二極體是利用多數載子的移動，就算在逆向偏壓的時候也不需要釋放儲存電荷，所以切換速度較快。但是蕭特基二極體的製作需要較低摻雜的半導體，如果是過重摻雜會變成歐姆接觸，造成 IV 曲線圖是線性的關係，而且沒有空乏區的產生，此時不需要額外偏壓，電子就很容易流進金屬，所以沒有整流的功能，歐姆接觸通常是運用在半導體要接出來與外部電路相連接時使用[1]。

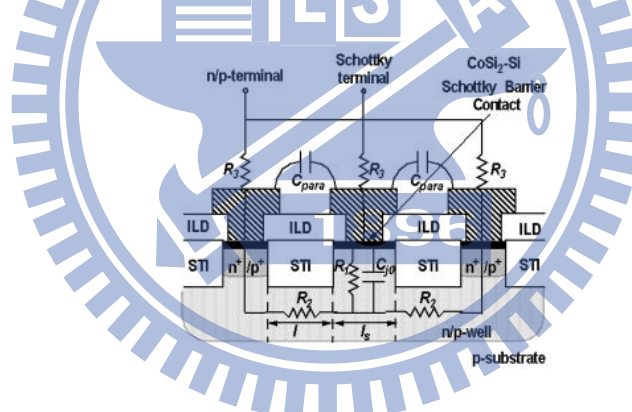


圖(3.1) 能帶變化

3.2.2 蕭特基二極體在標準矽製程(TSMC)之實現

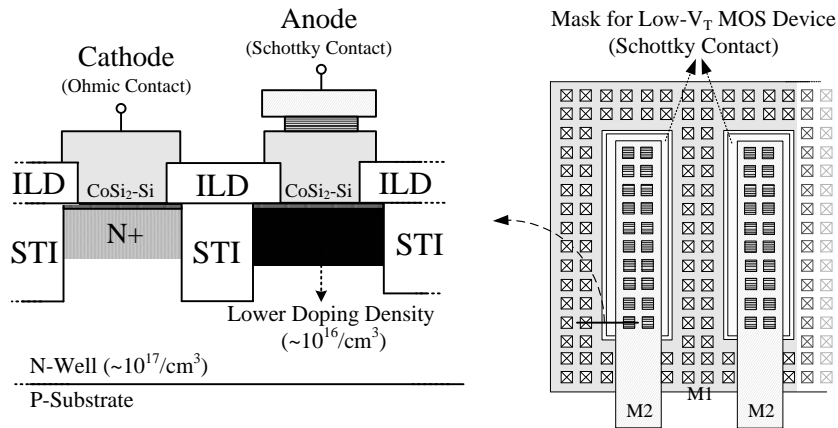
早期設計微波或毫米波的混頻器是利用蕭特基(schottky)二極體來實現。這是因為蕭特基(schottky)二極體是藉由主要載子的傳輸，因而具有快速切換的能力，而且具有較小的開啟電壓(turn-on or Built-in voltage)，所以很適合拿來當作混頻器使用。最早蕭特基二極體是實現在 GaAs 的基材上，不過在近期的研究上，已有人做在 Silicon 的基材上，更適合與後面的數位電路結合作 SoC。

在矽製程上實現蕭特基二極體，在文獻上很早就有，但是在標準的 Foundry 實現是最近才有的。在 2005 的時候，K.K.O 利用 UMC 製程在矽製程上實現蕭特基二極體。其剖面圖如圖(3.2)所示[2]。

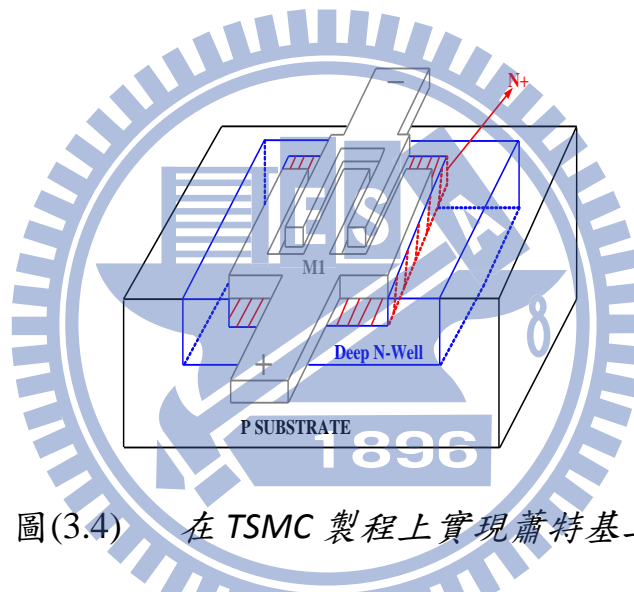


圖(3.2) K.K.O 利用 UMC 製程在矽製程上實現的蕭特基二極體。

而我們的研究是在 TSMC 製程上實現蕭特基二極體，如圖(3.3)



圖(3.3) 本計劃實現低摻雜濃度的蕭特基二極體於標準 TSMC 0.18 um CMOS 製程.

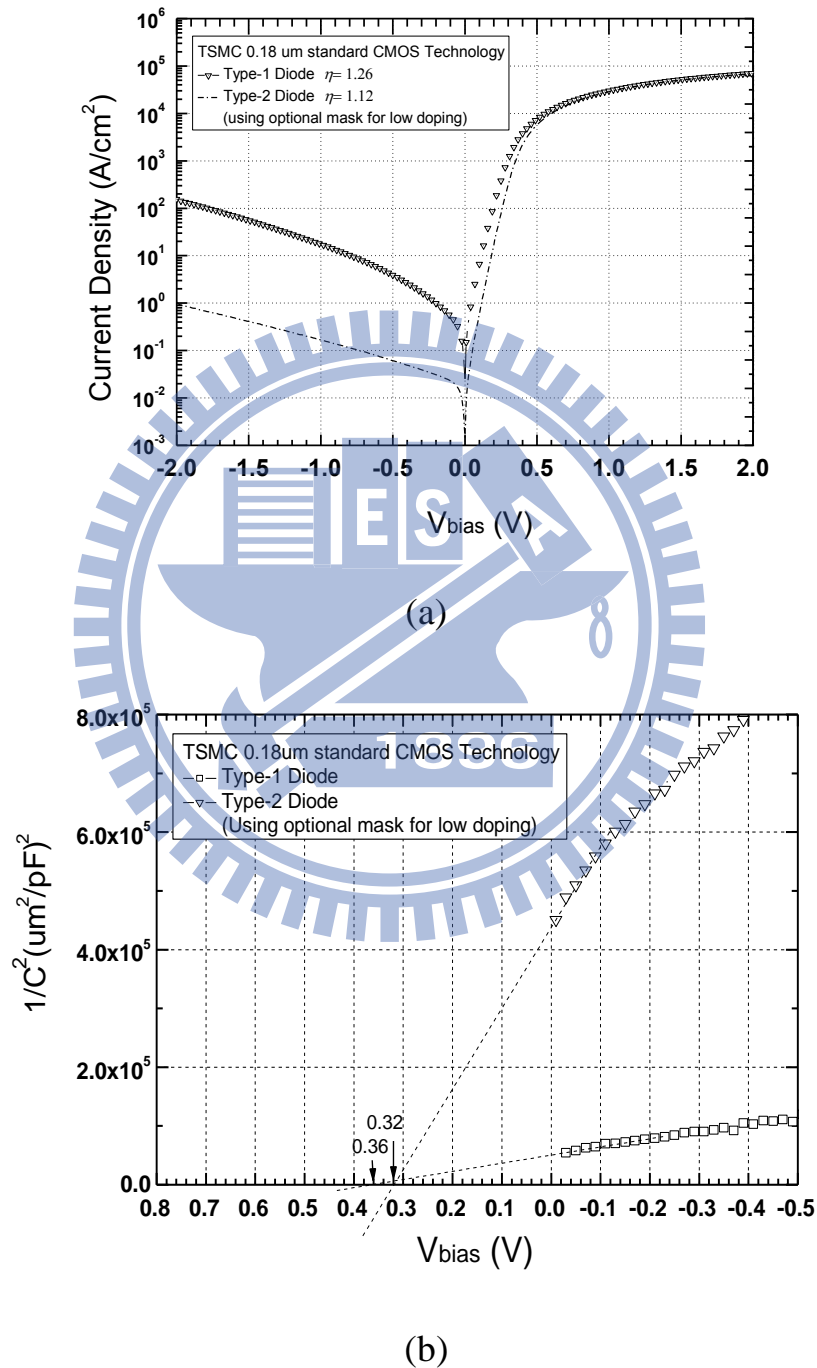


圖(3.4) 在 TSMC 製程上實現蕭特基二極體

以上是眾所皆知的蕭特基二極體的實現方法;然而，TSMC 0.18 um CMOS 製成所預設 N-well 佈局光罩的濃度和 Nominal MOS 元件 ($V_T \sim 0.5$ V) 的 N-well 一樣。此摻雜濃度會因不同 CMOS 通道長度的製程而不同，這是為了避免短通道效應。短通道元件為了增加 Gate 控制通道能力而使濃度增加，這將不利於蕭特基接面的形成，特別是在考量反向漏電效應和 turn-on 的電壓。根據 TSMC 0.18 um CMOS 製程所提供不同 V_T 的元件，有三種不同 N-well 濃度的摻雜，分別是 $V_T \sim 0.5$ V, $V_T \sim 0.2$ V 和 $V_T < 0$ 元件; 在此，我們採用一道選擇性佈局

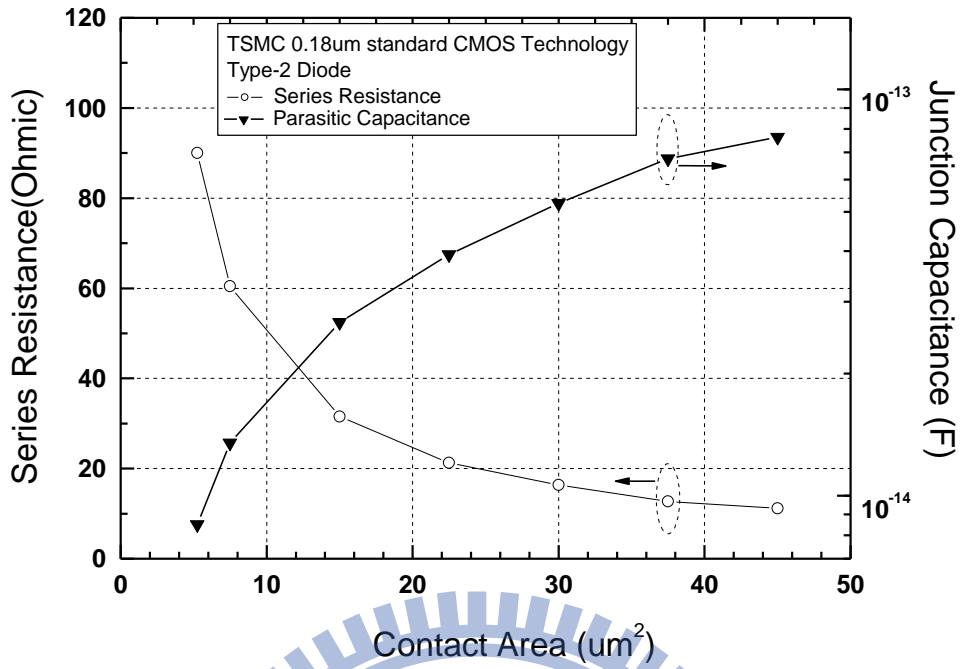
光罩($V_T \sim 0.2V$)來阻擋 PMOS 在 V_T 摻雜的步驟，以降低在金屬接面底下 N-well 的濃度，如圖(3.4)所示[3]。

量測實驗結果:



圖(3.5) 比較實現於TSMC 0.18 um CMOS 製程的高度和低度摻雜蕭特基二極體之 I-V 和 C-V 關係。

圖(3.5)(a)是二極體的 DC I-V 量測圖，其量測 type-1 和 type-2 二極體的理想因子分別為 1.26 和 1.12。較高摻雜的 type-1 在反向偏壓為 1V 時的漏電流為 12 A/cm^2 ；不過，在 type-2 二極體卻只有 type-1 二極體的百分之一漏電流。此外，type-2 的量測崩潰電壓為 12V 左右。同時經由 Agilent 的 4284A 精密 LCR 量測器做二極體的 C-V 萃取量測，元件的參雜濃度和內建電位可由 C-V 量測的斜率和外插 X 軸的數值得知。如圖(3.5)(b) 所示，量測到 type-1 的內建電壓約為 0.36 eV, type-2 二極體的部份約為 0.32 eV。濃度較低的 type-2 二極體約為 10^{16} cm^{-3} ，這大約比 type-1 低一個數量級。藉由以上量測得知的參數，我們可以計算求得 type-1 和 type-2 二極體的 Barrier 高度約為 0.45 eV 和 0.478 eV，僅有小小的不同。我們提出的蕭特基接面有較小的漏電流和較低的開關電壓；在 APDP 的架構，較高的反向漏電流會降低每半個 LO 週期的等效電導，這將會增加次諧波混頻器的轉換損耗。此外，蕭特基接面具有較低的開關電壓，可以降低次諧波混頻器所需的 LO 開關功率；因為受限於 0.18um CMOS 製程在 20~30 GHz 放大器可推出最大的功率的限制，低的 LO 推動功率可以減少 LO 訊號產生電路設計的困難度。特別是 APDP 次諧波混頻器的架構和傳統的 Fundamental 混頻器有所不同，它所需 LO 推動功率幾乎決定於二極體的開關電壓，他無法藉由外加的偏壓來降低 LO 功率；因此，蕭特基二極體將是 0.18 um CMOS 製程應用在 60 GHz 升頻器、降頻器和 LO 產生器高度整合的重要關鍵元件。所提出的低摻雜蕭特基二極體完全可以符合上述的需求。



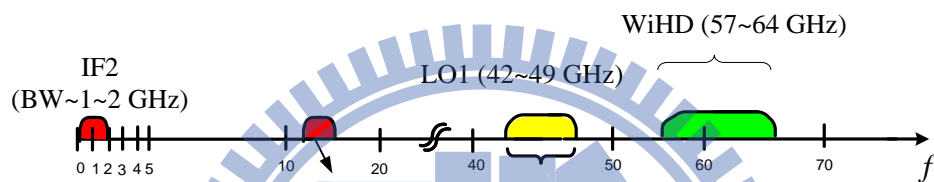
圖(3.6) 由S參數量測萃取低度摻雜的蕭特基二極體之內部電阻和電容。

藉由兩埠的S參數萃取，圖(3.6)顯示蕭特基二極體在不同size的電容和電阻，所萃取的資料是在量測在20~30GHz左右，GSG針的寄生效應已經校正去除了。由Diode已定義好的截止頻率($f_T=1/2R_S C_j$)，最大截止頻率約為200GHz時，是在最小的面積接面的時候，此截止頻率已足夠用在次諧波混頻器，因為在APDP的每個二極體的操作頻率只有在60GHz的一半。

3.3 60GHz 傳輸器

3.3.1 頻帶分配

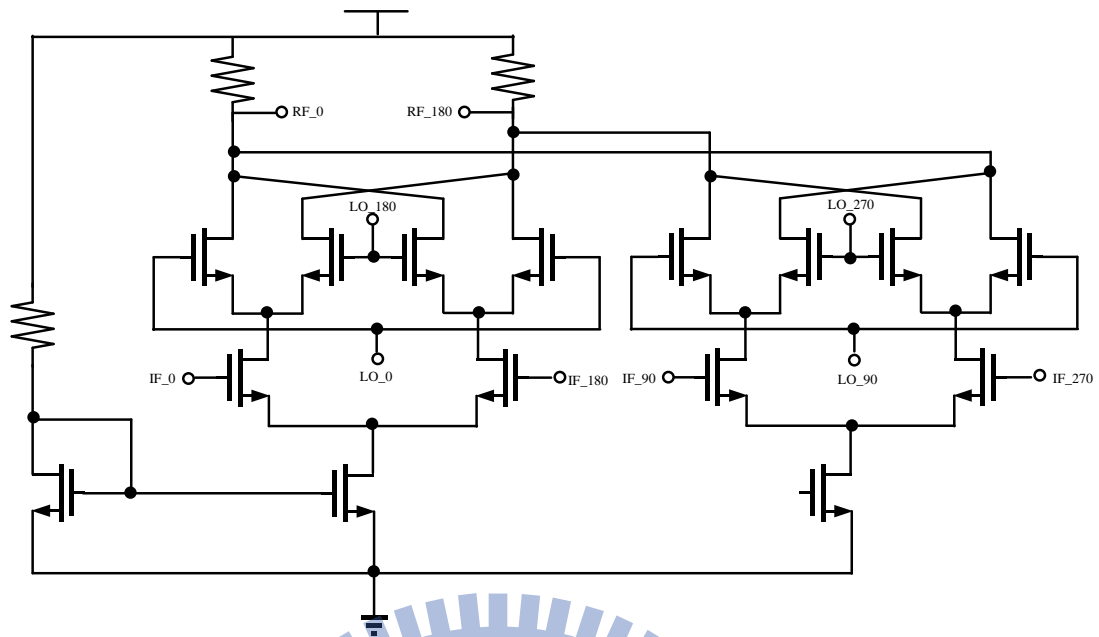
而設計上的困難點是它需要有 2GHz 的中頻頻寬，而我們知道中頻頻寬的限制式來至於電晶體的寄生效應，如果使用高階製程，一樣可以把中頻頻寬給拉升，同理一樣有成本的問題，所以這裡提出利用 T-Coil 的方式來增加頻寬。



圖(3.7) 圖頻帶設計

3.3.2 吉爾伯特升頻與降頻混頻器設計

而設計升頻混頻器在 load 的部分可以使用電感式負載除了因為頻率變高可以使得面積縮小以外，還可以利用電感來 peaking 來達到寬頻的目的，在文獻上也有人使用 T-Coil 來同時達到 series 和 shunt peaking。設計升頻混頻器的另一個重點是旁波抑制的能力圖(3.8)，而傳統上旁波帶的抑制可以利用濾波器或者正交訊號來抑制，同時這也是我們提出來的架構需要二次升頻或降頻的原因之一。



圖(3.8) 具有旁波帶抑制雙平衡式吉爾伯特混頻器

3.3.3 驅動放大器設計

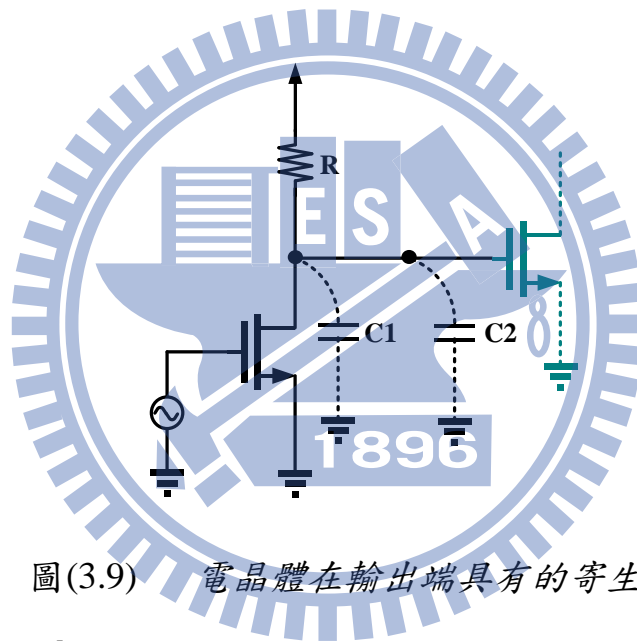
傳統上驅動放大器是為了提供足夠的增益給功率放大器，而設計上需要作 power matching 來達到最大增益，運用在升頻電路上的話通常使用電感式負載，可以達到最大電壓擺幅而不受限，如果電路是設計為差動式的話則可以使用變壓器型式的負載後面會詳細介紹使用變壓器型式負載的好處

3.3.4 寬頻設計

寬頻實現大概可以分成使用 inductive peaking，capacitive degeneration，或者使用 distributed 的方法。

Inductive peaking 是在 output 的地方加入電感來達到頻寬被延升的效果。而 peaking 的方式可分為 series 和 shunt，或是同時兼顧 series 和 shunt peaking，而 T-Coil 則是擁有 series peaking 與 shunt peaking 兩種優點，底下詳細介紹此四種電路的操作特色。

在分析前先假設一般電晶體輸出部分有兩個電容支配著輸出等效電容，如圖(3.9)，C1 是電晶體 Drain 端所有的寄生電容，而 C2 代表的負載電容，定義 $k_c = \frac{C1}{C1+C2}$ 。



圖(3.9) 電晶體在輸出端具有的寄生電容

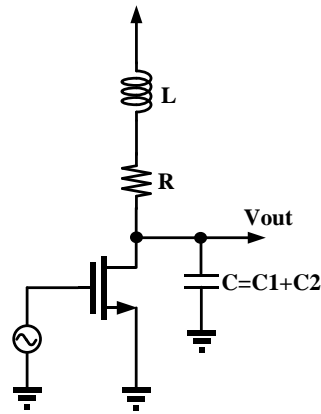
(1) shunt peaking

圖(3.10)是基本 shunt peaking 的電路圖，一樣的把電晶體等效為

一電流源可以分析其 transimpedance 為 $Z(s) = \frac{V_{out}}{I_{in}} = \frac{R+sL}{1+sRC+s^2LC}$ ，可以上

述等式 normalizing 成 $Z_N(s) = \frac{1+s/m\omega_0}{1+s/\omega_0+s^2/m\omega_0^2}$ ，where $\omega_0^2 = 1/RC$ ， $m = R^2C/L$ ，根

據文獻探討得知其 BWER(bandwidth extension ratio)為 1.84，若要獲得最大平坦度的話，BWER 會降至 1.72。

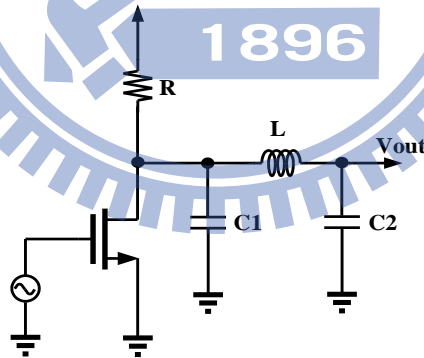


圖(3.10) Shunt peaking 電路

(2) series peaking

0 是基本 shunt peaking 的電路圖，跟上述一樣可以推導其 normalizing 過後的 transimpedance

$$Z_N(s) = \frac{1}{1 + s/\omega_0 + \left(\frac{1-k_c}{m}\right) s^2/\omega_0^2 + \left(\frac{k_c(1-k_c)}{m}\right) s^3/\omega_0^3}$$



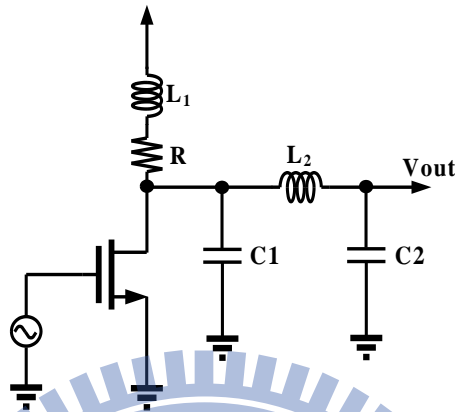
圖(3.11) Series peaking 電路

(3) Series-shunt peaking

顧名思義就是結合 series peaking 和 shunt peaking，在取代

$m_1 = R^2 C / L_1, m_2 = R^2 C / L_2$ 之下，依照前面推導的方式可以得到

$$Z_N(s) = \frac{1 + \left(\frac{1}{m_1}\right)s/\omega_0 + \left(\frac{k_B}{m_1}\right)s^2/\omega_0^2}{1 + s/\omega_0 + \left(\frac{1+k_B}{m_1} - \frac{1-k_C}{m_2}\right)s^2/\omega_0^2 + \left(\frac{k_B}{m_1} + \frac{k_C(1-k_C)}{m_2}\right)s^3/\omega_0^3 + \left(\frac{(k_C+k_B)(1+k_C)}{m_1m_2}\right)s^4/\omega_0^4 + \left(\frac{k_Bk_C(1-k_C)}{m_1m_2}\right)s^5/\omega_0^5}$$

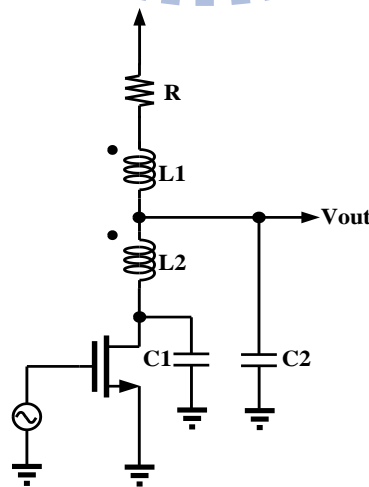


圖(3.12) T-Coil peaking

圖(3.13)是基本 T-Coil peaking 的電路圖，跟上述一樣可以推導其 normalizing 過後的 transimpedance[4]

$$Z_N(s) = \frac{1 + \left(\frac{1}{m_1} + \frac{k_m}{\sqrt{m_1m_2}}\right)s/\omega_0}{1 + s/\omega_0 + \left(\frac{1}{m_1} + \frac{k_C}{m_2} + \frac{2k_Ck_m}{\sqrt{m_1m_2}}\right)s^2/\omega_0^2 + \left(\frac{k_C(1-k_C)}{m_2}\right)s^3/\omega_0^3 + \left(\frac{k_C(1-k_C)(1-k_m^2)}{m_1m_2}\right)s^4/\omega_0^4}$$

where $k_m = M / \sqrt{L_1L_2}$

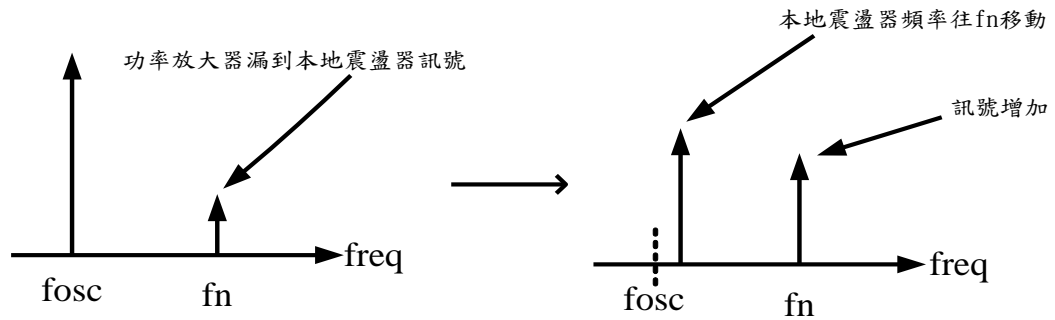


圖(3.13) T-Coil peaking 電路

3.3.5 一次降(升)頻與二次降(升)頻

60GHz 的傳輸系統可以使用一次降頻與二次降頻，基於成本考量，一次降頻比二次降頻來得更有優勢而且也具有較低的功率損耗，所以以手機而言，大部分的架構都是一次降頻，對於 60GHz 系統而言一次降頻的確比二次降頻在面積與功耗都來得有優勢，而且因為頻寬有 2GHz，所以沒有顫動雜訊的問題，但是對於鏡像訊號干擾濾除二次降頻擁有較大的優勢，舉例來講，對於 $IF=1GHz$ 的訊號而言， $RF=58GHz$ 是鏡像訊號，但是 58GHz 距離 60GHz 訊號才 2GHz，很難利用濾波器濾除，所以這時候如果利用 weaver 架構濾除是很好解決方案 另一個作二次降頻的原因是我們想把 PLL，VCO 作在單一 CMOS 0.18um 晶片上，希望達到最低成本，如果使用單一降頻，則 VCO 震盪的最高頻率大約為 32GHz 左右，可是後面還需要一個 LO 放大器來驅動 schottky diode 而在 CMOS 0.18um 製程上設計 30GHz 以上的放大器，幾乎是不可能的，而如果使用二次降頻則有機會把最高的 LO 頻率降為 20GHz 左右，實現上也比較容易。

同理對於發射機而言，一樣單次升頻比雙次升頻在功耗與面積上有優勢，但是一樣的在旁波抑制比方面，雙次升頻比單次升頻來得有優勢，在 LO 頻率的優勢部分也跟設計傳輸機一樣，而且因為驅動 schottky diode mixer 的 LO 功率相當大，如果設計為單次升頻，本地震盪訊號可能會影響功率放大器如圖(3.14)所示:



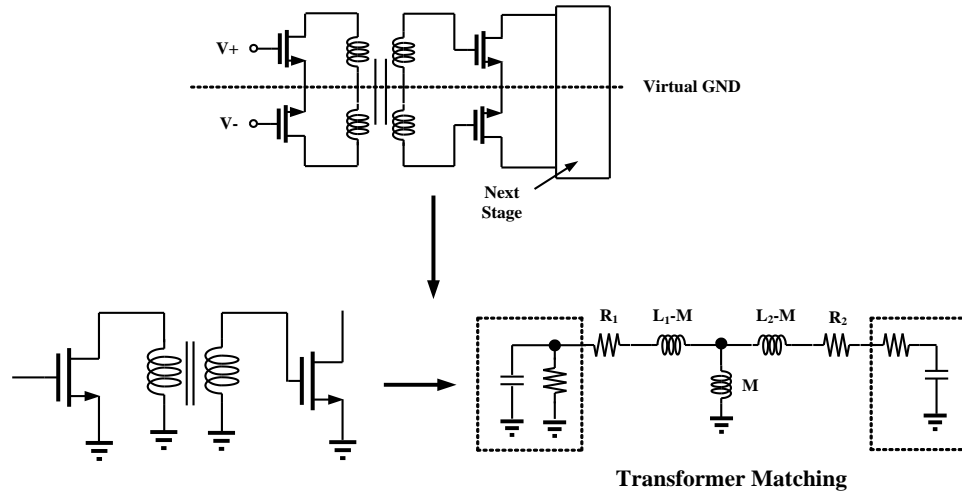
圖(3.14) 本地震盪器影響功率放大器示意圖

3.4 電路設計

3.4.1 電路架構

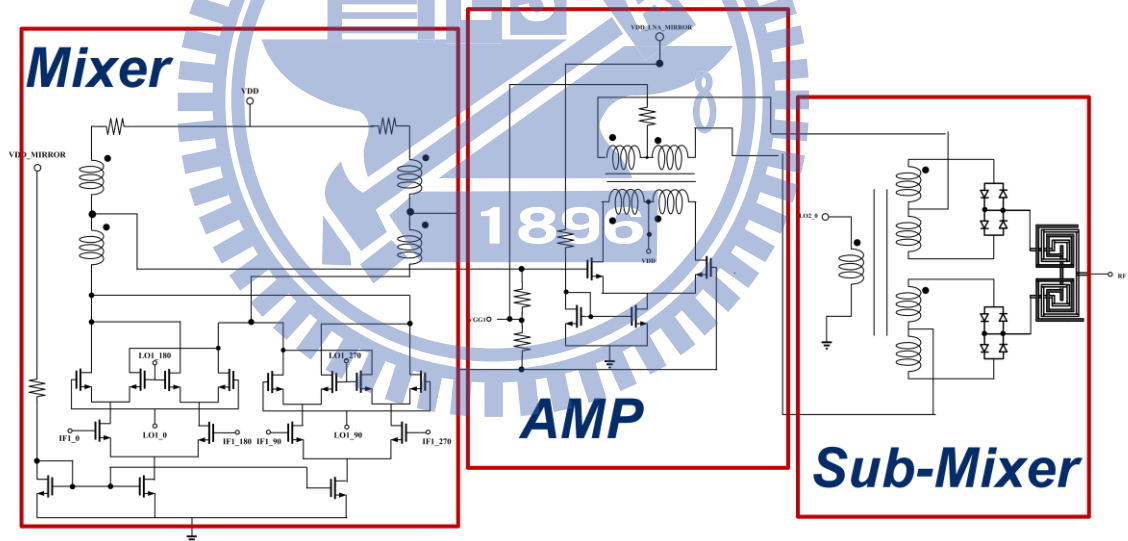
此電路架構是雙次升頻的發射機，第一級混頻器是設計為具有旁波抑制雙平衡式混頻器，接在後面的是中頻放大器操作在 10GHz，設計此電路的原因是希望可以提供整體系統增益，最後一級混頻器是二次諧波混頻器(sub-harmonic mixer)，並利用一個 trifilar 取代兩個 Marchand balun。

而中級放大器的部分，採用變壓器的方式由汲極端傳至下一級的閘極端，如圖(3.15)所示，這個變壓器有三個優點(1)可以用來當作匹配使用 (2)變壓器有寄生電阻，所以可以用來增加低頻穩定度(3)差動式放大器的設計，可以把偏壓點設在變壓器中間的虛接地點，而不需要額外的 RF choke。



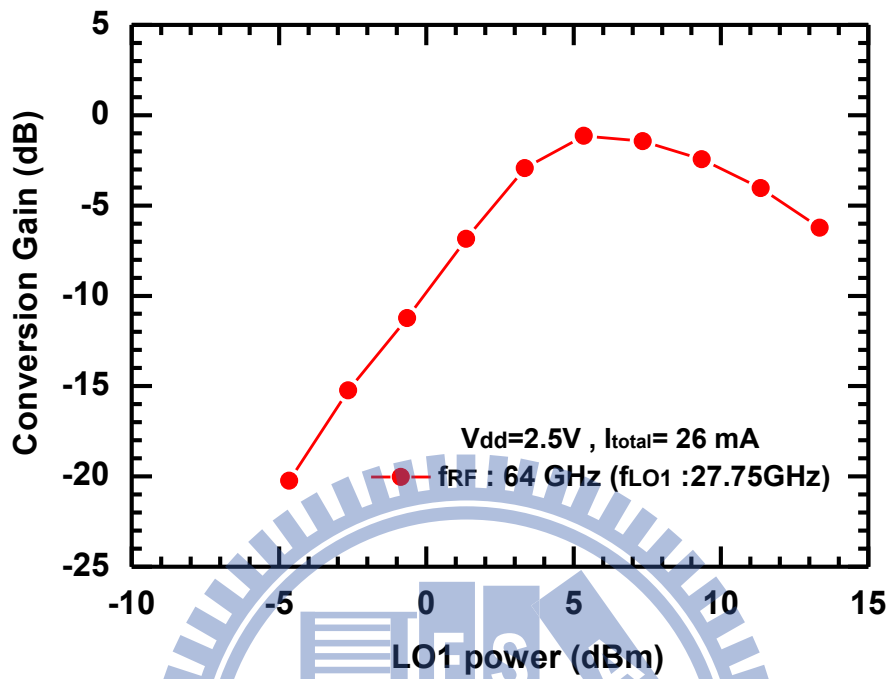
圖(3.15) 利用變壓器作阻抗轉換

3.4.2 整體電路架構

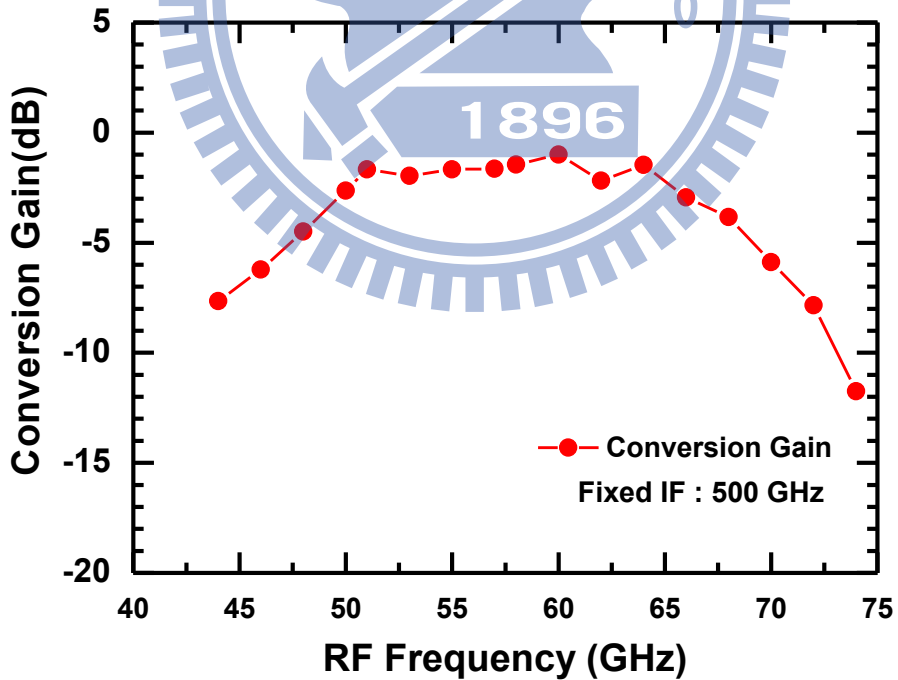


圖(3.16) 電路架構圖

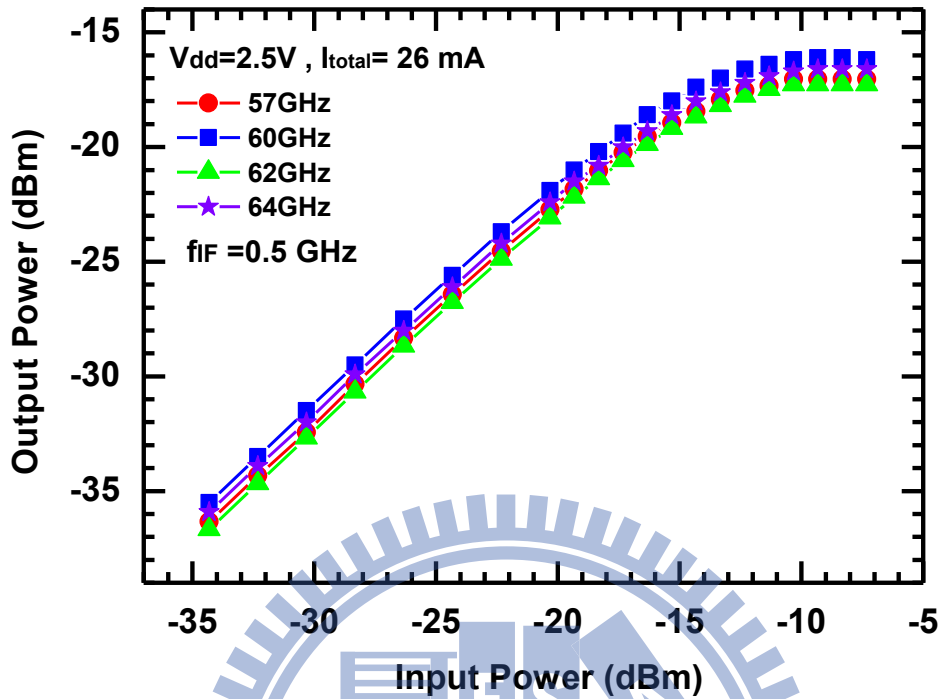
3.4.3 晶片量測結果



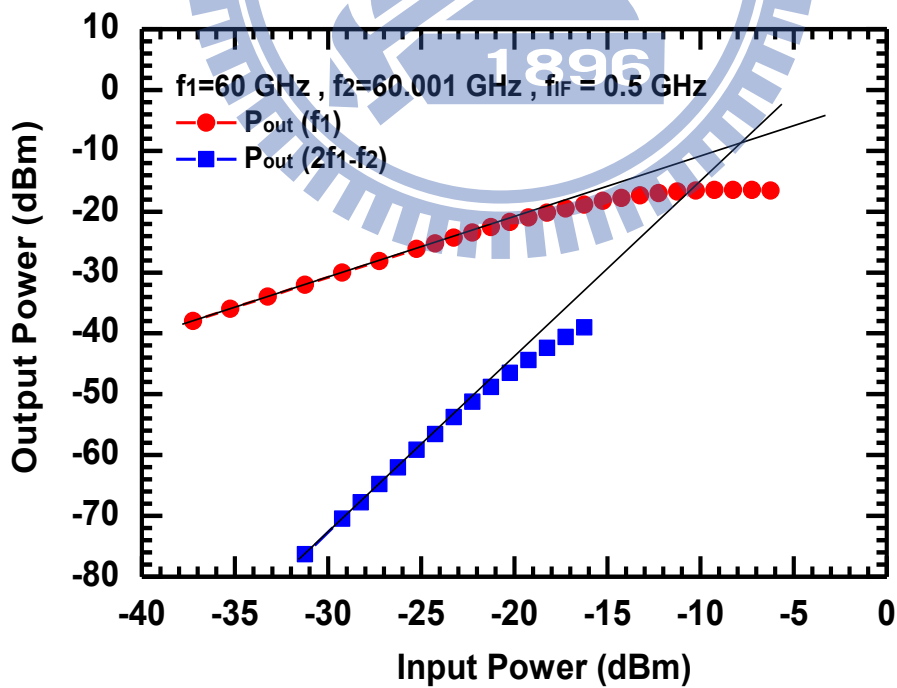
圖(3.17) 轉換增益對第一本地震盪訊號功率。



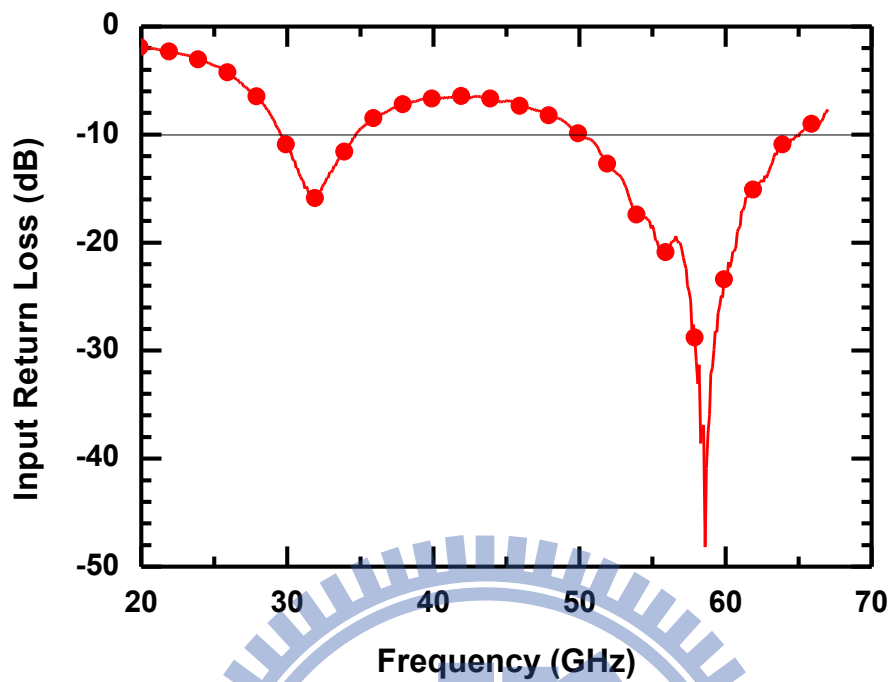
圖(3.18) 轉換增益對 RF 頻率。



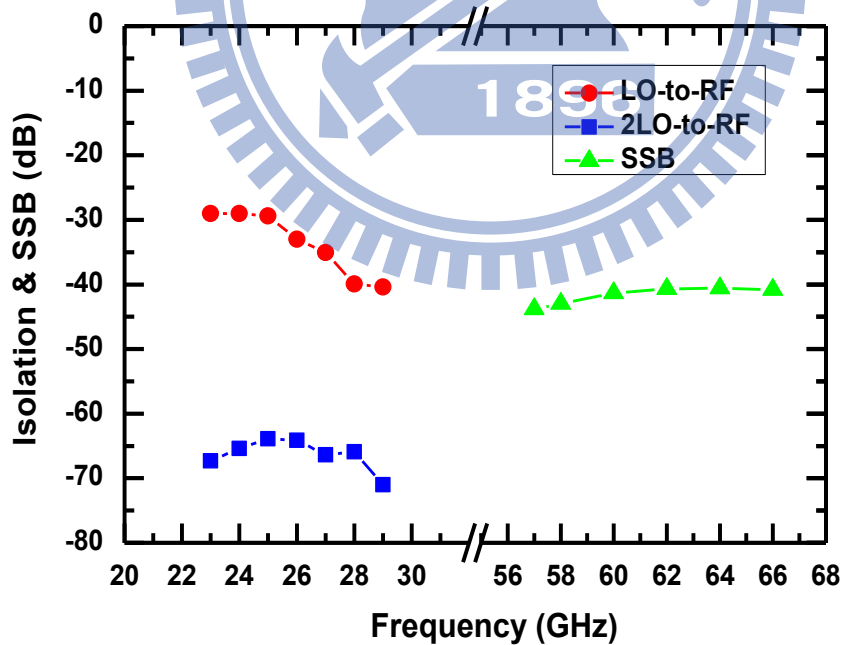
圖(3.19) IP_{1dB} 對 RF 頻率。



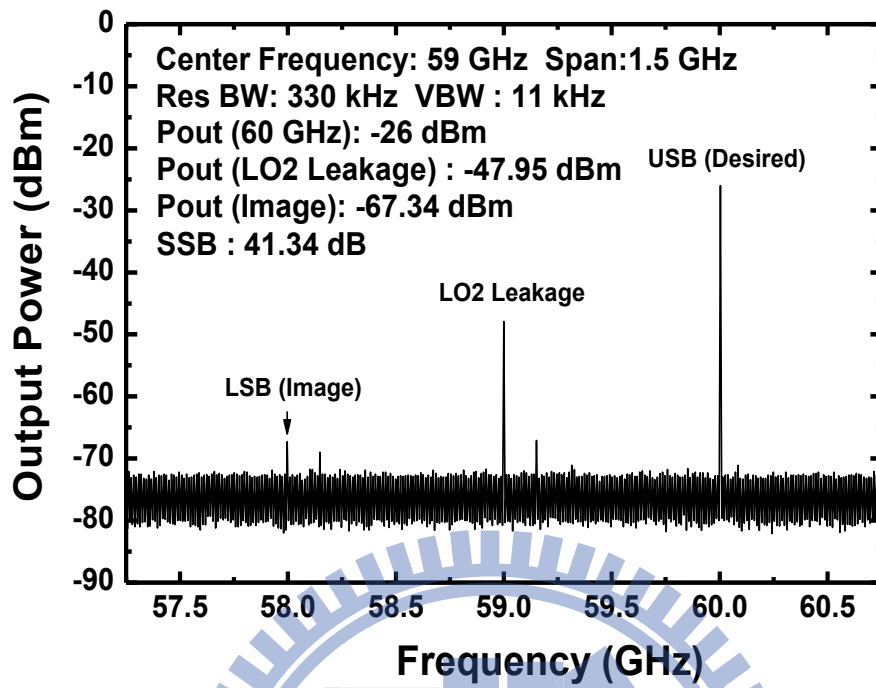
圖(3.20) $RF=60GHz$ 時的 IIP_3 。



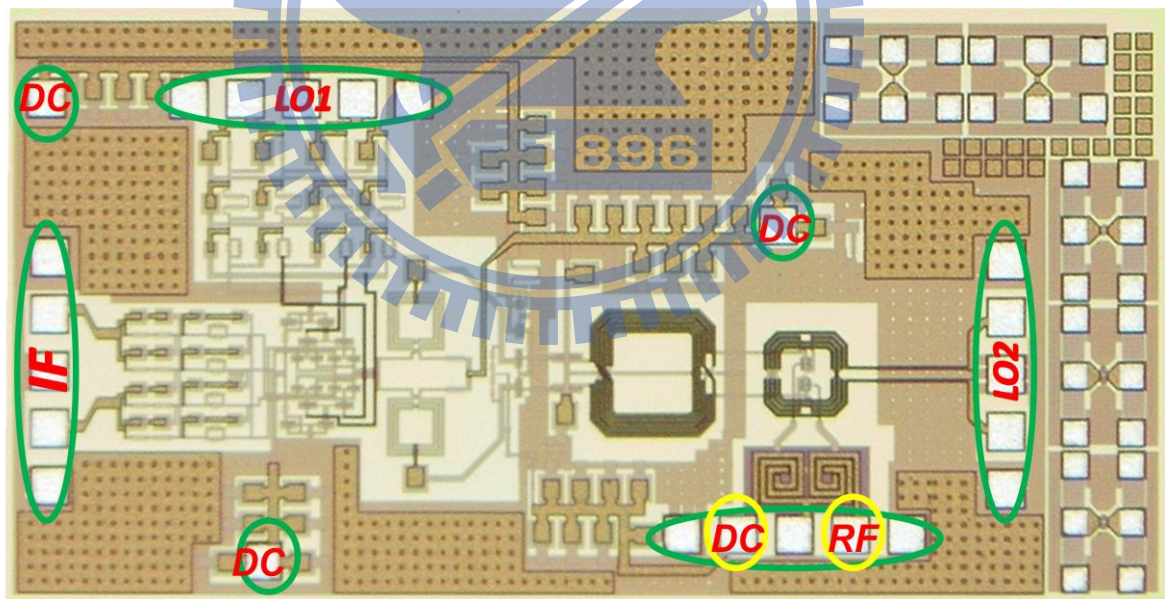
圖(3.21) 輸入返回損耗



圖(3.22) 本地震盪訊號對 RF 端和 IF 端的隔絕度。



圖(3.23) SSB



圖(3.24) Die Photo

3.4.4 結果與討論

此電路使用了四個 GSGSG 的 pad，其中一個是用來給 RF 的單點 input 和 DC 偏壓，另外還有三個 DC 單點針，總共面積大約為 $2 \times 1.1 \text{mm}^2$ 。

我們看到第一級 up-converter 需要的 LO1 power，大概是打到 5dBm 左右，而第二級的 up-converter 需要的 LO2 power 約為 10dBm。

而當固定 IF 為 500MHz 時，可以看到 RF 輸出的頻寬約為 48~68 達到 20GHz 的頻寬，而由於這樣的寬頻即使對於頻寬掃 power，也可以發現 IIP3 和 P1dB 不太會隨著頻寬而有大變動，其中 P1dB 在 57~64GHz 大約都維持在 -13dBm 左右，OP1dB 大約為 -16dBm，IIP3 在 60GHz 時約為 -8dBm，OIP3 則大概是 -5dBm 左右。

在輸入返回損耗上可以看到頻寬大約涵蓋 50~65GHz，在我們要的 57~64GHz 內是小於 -10dB 的。

對於 SSB 我們可以看到在我們想要的訊號 60GHz 可以得到 -26dBm 的大小，同時在 58GHz 出現是我們不想得到的訊號，大小約為 -67.34dBm，由此可以計算得知我們對於鏡像訊號的消除 Single side band(SSB)為 $-26\text{dBm} - (-67.34\text{dBm}) = 41.34\text{dBm}$ 。

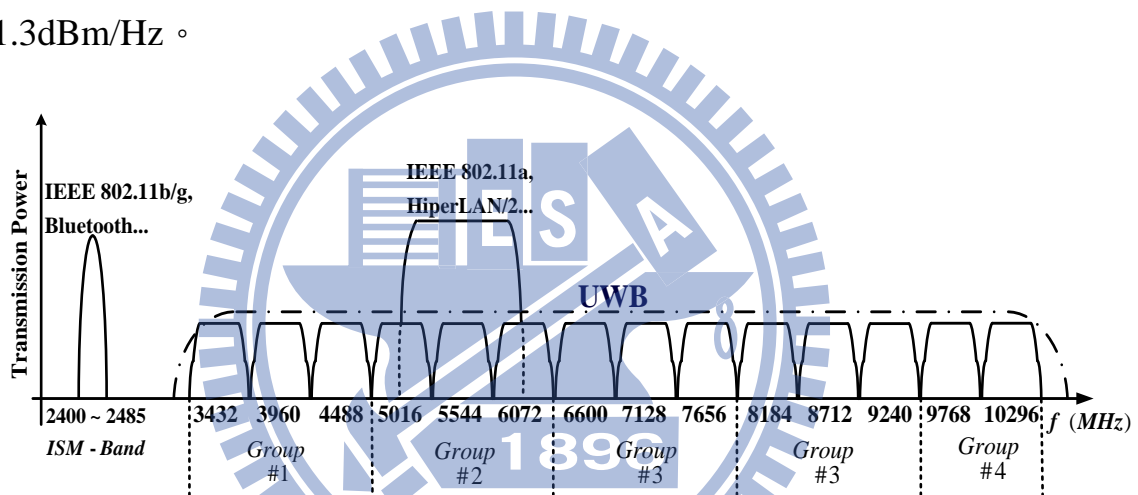
表3.1 (CMOS 0.18um) Summary

	Spec.	Measurement
Supply Voltage (V)	1.8	1.8
Conversion Gain (dB)	0	-1
RF Bandwidth(GHz)	57~64	50~65
OP_{1dB} (dBm)	-10	-17
IIP_3 (dBm)	0	-8
LO/2LO-to-RF Isolation (dB)	--	>35/>70
Input Return Loss (dB)	>10	>10
SSB(dB)	--	41.34
Current Consumption (mA)	--	26
Process	0.18 μ m CMOS	
Chip Size	2x1.1 mm ²	



4.1 前言

雖然 WLAN 所提供的無線通訊在近年內十分發達，但仍舊無法應付像多媒體資料(如影像與語音)對於高資料傳輸率(high data rate)的需求；因此美國聯邦通訊委員會(FCC)提出了一個新的無線傳輸架構，稱為超寬頻(Ultra-wide band, UWB)系統[1]。在 IEEE 802.15.3a 中，規定 UWB 系統的頻率範圍為 3.1~10.6 GHz，其中每個通道(channel)的 10dB 頻寬大於 500MHz，且傳輸功率必須低於 -41.3dBm/Hz。



圖(4.1) 常見的無線通訊系統頻寬比較

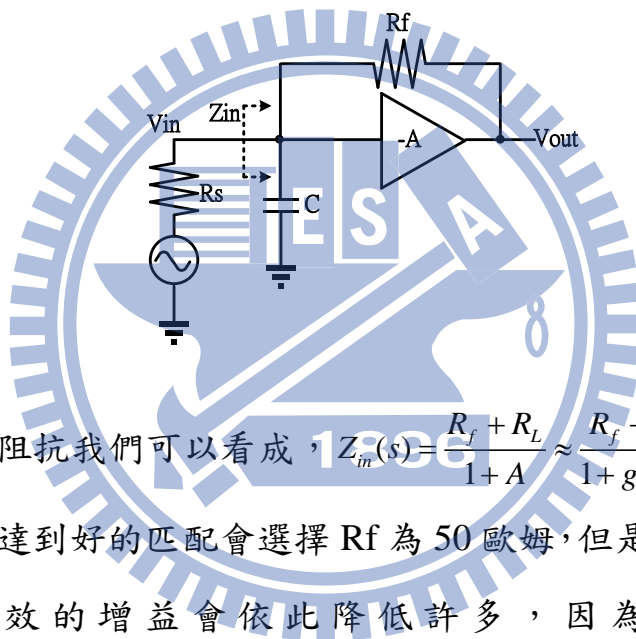
目前UWB可分成三種技術，正交分頻多工(MB-OFDM)超寬頻、直接序列(direct sequence)超寬頻、脈衝無線電(impulse radio)超寬頻。正交分頻多工超寬頻系統使用OFDM調變技術，其優點包括頻譜效益較高、能有效收集多路徑能量，並且對於窄頻干擾有較高的免疫力。MB-OFDM UWB頻帶分配如圖(4.1)所示，在7.5GHz的頻寬內有分成14個子頻帶的運用，每個子頻帶的頻寬為528MHz，。

4.2 如何達到寬頻的做法

4.2.1 輸入匹配的部分

在達到寬頻的設計上，我們第一個碰到的困難就是輸入匹配的部分，要怎麼在一定的頻寬之內都可以達到輸入匹配，在此提出三個架構，feedback、Common Gate、還有利用 LC Ladder 達到寬頻匹配。

(1) LNA With Shunt-Shunt Feedback

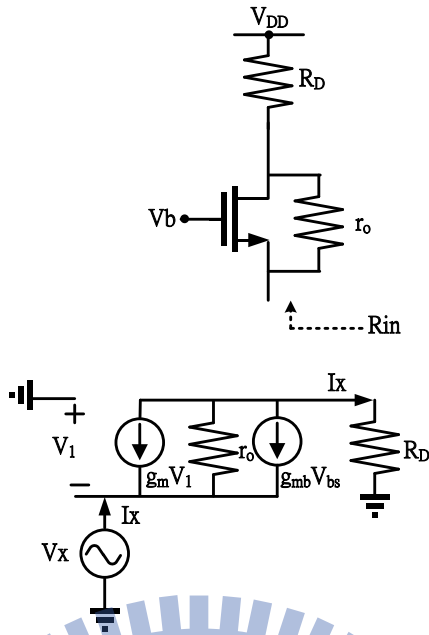


因為輸入阻抗我們可以看成， $Z_{in}(s) = \frac{R_f + R_L}{1 + A} \approx \frac{R_f + R_L}{1 + gmR_L} \cong R_f$ ，於是我們如果想要達到好的匹配會選擇 R_f 為 50 歐姆，但是因此 feed back 研究導致等效的增益會依此降低許多，因為增益可寫成

$A_v(s) = \frac{A}{1 + A/R_f}$ ，於是整體 noise 也會應該 LNA 增益不足而提高，同

時多加的 R_f 電阻還會貢獻 $F = F_{origin} + \frac{1}{R_s \cdot R_f \cdot A}$ [2]。

(2) Common Gate LNA



$R_D I_X + r_o [I_X - (g_m + g_{mb}) V_X] = V_X$ ，從而得知

$$\frac{V_X}{I_X} = \frac{R_D + r_o}{1 + (g_m + g_{mb}) r_o} \approx \frac{R_D}{(g_m + g_{mb}) r_o} + \frac{1}{g_m + g_{mb}} \approx \frac{1}{g_m + g_{mb}}$$

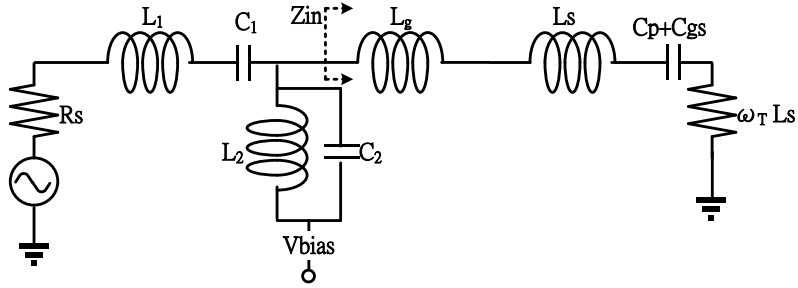
只要妥善的設計電流值，就可以適當的控制 g_m 的大小，進而設

計使 $g_m + g_{mb}$ 等於 50 歐姆，就可以令輸入匹配不受限制於頻寬的改變。

$$F = 1 + \frac{\gamma}{\alpha} + \frac{4R_s}{R_D}$$

而他造成的 noise 可以寫成 $\frac{\gamma}{\alpha} + \frac{4R_s}{R_D}$ ，隨著 R_D 越大，可以導致 noise 越小，同時增益也會更大，但是相對的來說頻寬就會因此受到限制[3]。

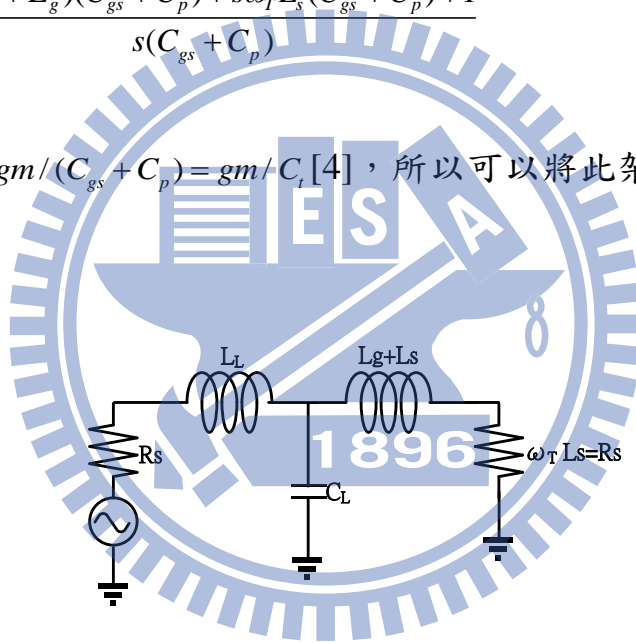
(3) Common source LNA with LC Ladder Matching



$$Z_{in}(s) = \frac{1}{s(C_{gs} + C_p)} + s(L_s + L_g) + \omega_T L_s$$

$$= \frac{s^2(L_s + L_g)(C_{gs} + C_p) + s\omega_T L_s(C_{gs} + C_p) + 1}{s(C_{gs} + C_p)}$$

其中 $\omega_T = gm / (C_{gs} + C_p) = gm / C_i$ [4]，所以可以將此架構先看成一個低通濾波器



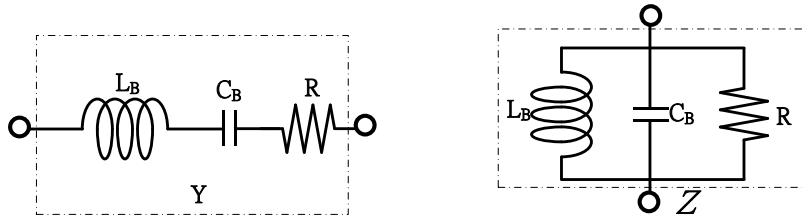
利用低通轉帶通轉換 $S = Q(s^2 + 1) / s$ ，其中 $Q = \omega_0 / \Delta\omega$ 而 s 為帶通頻率的中心頻。經過轉換

$$R + SL_L = R + L_L Q(s^2 + 1) / s = R + L_L Q + \frac{1}{s / L_L Q} = R + sL_B + \frac{1}{sC_B}$$

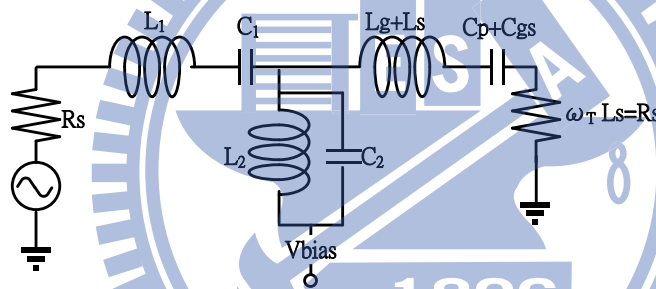
$$G + SC_L = G + C_L Q(s^2 + 1) / s = R + C_L Q + \frac{1}{s / C_L Q} = R + sC_B + \frac{1}{sL_B}$$

$$Y(s) = \frac{1}{R + sL_B + \frac{1}{sC_B}} = \frac{s/L_B}{s^2 + sR/L_B + 1/(L_B C_B)}$$

$$Z(s) = \frac{1}{G + sC_B + \frac{1}{sL_B}} = \frac{s/C_B}{s^2 + sG/C_B + 1/(L_B C_B)}$$



all-pole Bandpass Ladders



從中計算可以得知，這個架構最理想的雜訊在共振頻時為

$$F = F_{min} + \frac{R_n}{G_s} [(G_s - G_{opt})^2 + (B_s - B_{opt})^2]$$

其中 $F_{min} = 1 + 2.4 \frac{\gamma}{\alpha} \frac{\omega}{\omega_T}$ 。而電壓增益方面 $A_v(\omega_o) = -(g_m Z_L) / (\omega_o C_{gs} R_s)$

Z_L 是負載阻抗， R_s 是 source 的阻抗，而 ω_o 則是操作頻率。此種架構的面積會稍微大一點，輸入匹配也比較容易受到輸入端的被動元件影響。但是此種架構的功耗會小很多[5]。

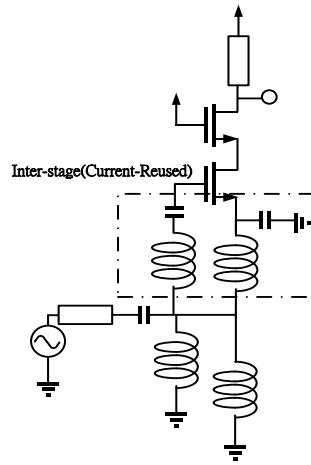
4.2.2 延展頻寬的部分

就如前一章的3.4.4提到，延展頻寬的方式約有四種，shunt、series、shunt-series、T-coil peaking，而在前章0.18 μm 中60GHz的實作當中我們使用了T-coil來做為頻寬的延展，但是由於在pHEMT製程當中我們只有兩層金屬層可以使用，所以在此我們並無法使用T-coil peaking，於是這裡延伸頻寬的方式是從前面三種peaking方式來作出發。

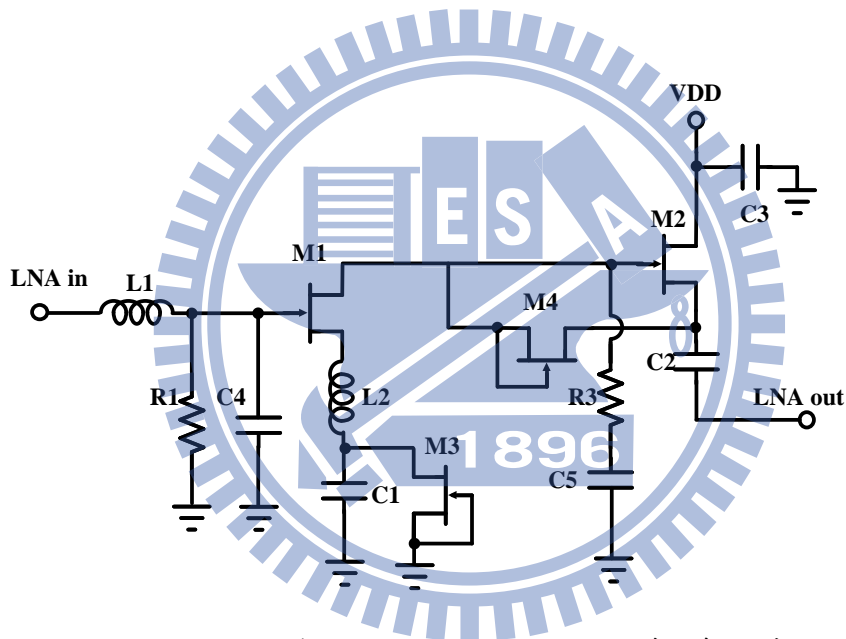
4.3 一般UWB的LNA架構

(1) *Current-Reused Technique*

我們看過一般使用電流重複利用的超寬頻低雜訊放大器如圖(4.2-a)[6]，利用同一條電流流經，而包含兩級的放大器。如同此架構第一級為CS而第二級是一個cascode架構，卻只需要一條電流的功耗。在低功耗上是很適合的選擇。但是在PHEMT此製程當中，由於FET需要負壓操作的關係，我們可能將架構改成如圖(4.2-b)，其中的M4即是當成偏壓電路。也因為在電流重複利用架構中需要在inter stage提供一個偏壓，導致第一級看過去的負載為無限大並聯一個 $1/g_m$ ，此電阻和第二級的M2的寄生電容造成了一個pole，因此在PHEMT的超寬頻LNA架構的選取當中並不適合。



(a)



圖(4.2) (a)一般 Current-reused LNA 架構(b)在 pHEMT 實現 Current-reused LNA

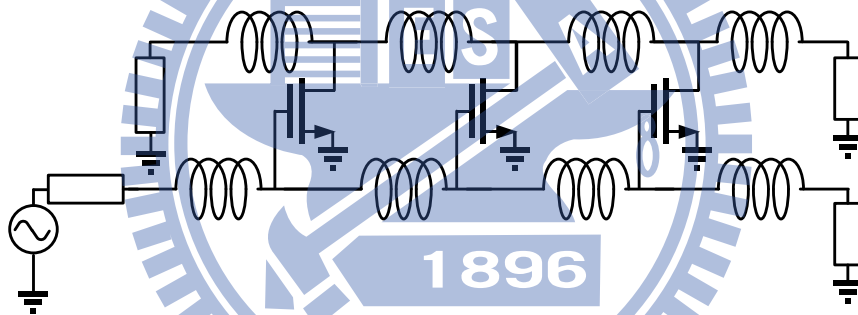
(2) Distributed Amplifier

傳統的 Distributed Amplifier 就像是傳輸線的方式圖(4.3)，由於使用電感共振掉電晶體的電容效應，可以看成好幾級的放大器串接。因此提供了不錯的輸入匹配，並且在一定頻寬內維持平緩的增益，同時擁有較高的線性度。

在低頻增益等於 $G = \frac{N \cdot g_m \cdot R}{2}$ ，N 代表階數，R 是傳輸線的特徵阻抗通常為 50 歐姆。而頻寬的限制主要受限於 $f_c = \frac{1}{\pi \cdot \sqrt{L_g \cdot C_g}} = \frac{1}{\pi \cdot R \cdot C_g}$ 最後可以得知

$$\text{增益頻寬乘積(GBW)} = G \cdot f_c = \frac{N \cdot g_m}{2 \cdot \pi \cdot C_g} = N \cdot f_T$$

為了達到可能使用多級來達到更高品質的傳輸線特性，但是因為使用了大量的電感，造成面積相對的可觀，也因為多級的關係造成功耗增加。儘管有人發現在偏壓方式的改變下可以降低功耗，但相對的此方法卻犧牲了頻寬。[7]



圖(4.3) Distributed LNA

4.4 實作一，使用CG-LNA的超寬頻接收器 (PHEMT 0.15um)

4.4.1 研究動機

現今無線通訊中，以 IEEE 802.11a/b/g/n 為主的應用最為廣泛；但 WLAN 的傳輸速率無法負荷高資料量的影音訊號，故 IEEE 802.15.3a 的 Ultra-Wideband (UWB) 系統被提出，操作頻率從 3.1~10.6GHz，每個通道頻寬至少大於500MHz 以達到高資料傳輸速率。

本實作利用一些延展頻寬的技巧使用 Common Gate 本身輸入匹配為50歐姆的特性來操作。LR-CR 正交訊號產生器產生一組可應用在3.1~10.6GHz 的正交訊號，並配合被動電路-馬爾尚巴倫 (Marchand Balun)完成一低雜訊接收器。

4.4.2 系統頻率規劃

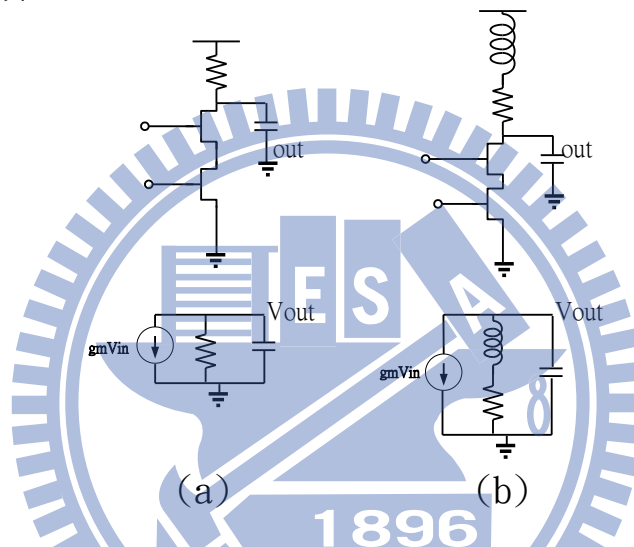
此實作為針對超寬頻接收器的應用，故將需要頻率設為 3~10.6GHz；而最終輸出訊號基於要符合規格 IF 為500MHz 的理由，將其定為250MHz。

4.4.3 電路設計

(1) LNA

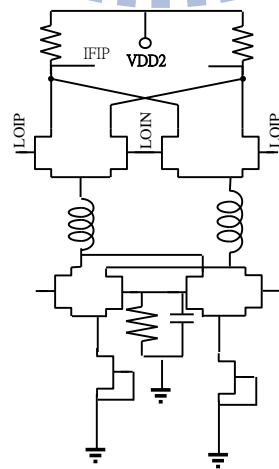
一般 load 單獨使用電阻或是電感，可以分別在低頻和高頻達到我們想要的增益，但是在此我們需要的低頻跟高頻都可以達到一定的

增益，所以使用 shunt-peaking 的架構。原本圖得到的電壓增益為 $\frac{V_{out}}{V_{in}}(\omega) = \frac{g_m R}{1 + j\omega RC}$ ，而當串上電感之後得到電壓增益為 $\frac{V_{out}}{V_{in}}(\omega) = \frac{g_m (R + j\omega L)}{1 + j\omega RC - \omega^2 LC}$ ，我們可以得知此增益不管在低頻或高頻都會維持一定的增益。在前一章我們提到有幾種增加頻寬的方式，由於之前使用最加的提升增益的方式我們是使用 T-COIL 的架構，但是由於在 pHEMT 的製程中，只有兩層的金屬，所以要達到這樣的 T-COIL 架構比較無法實現。



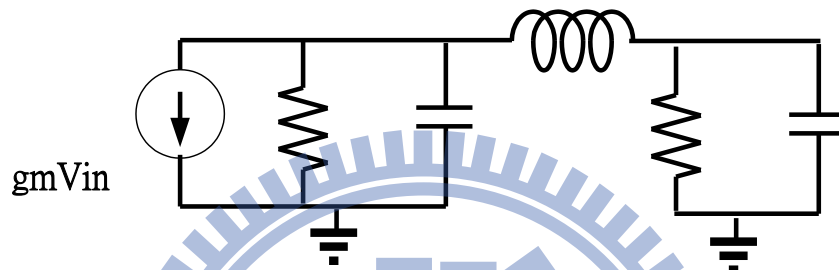
圖(4.4) LNA load 為(a)電阻(b)電阻串電感

(2) MIXER



圖(4.5) Mixer

在此因為接上 mixer 發現頻寬被限制，撐不到這麼高頻增益就下降了，於是我們懷疑在 LNA 接上 mixer 的時候可能因為 mixer 的 RF 端有很大的附加電容，於是這邊使用了 ft doubler 的架構，換句話說只是將電容串連所以可以看到比較小的電容，可以直接變成原本電容的 1/2 大小，而在 RF 端接到 LO 端的時候也會被很多附加電容影響，於是在此我們使用電感在中間串連共振[8]。



圖(4.6) 電感串連共振

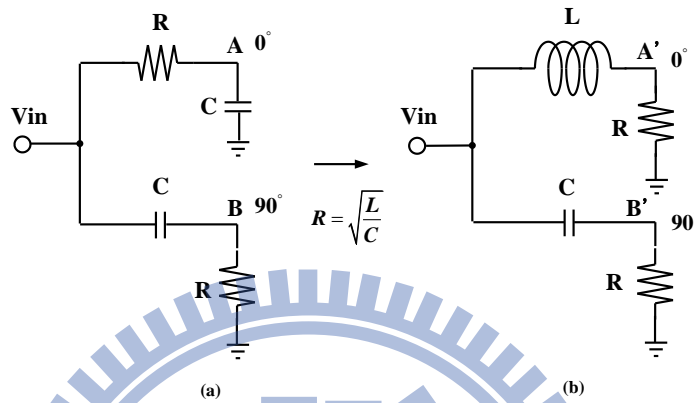
(3) 正交訊號產生器

Polyphase filter 是一種產生正交訊號的電路，此種電路可以使用在較低頻的電路不過一樣會有面積較大的問題，並且若需要較大的 I/Q 頻寬的話，需要串接多級多重相位濾波器，此舉除了增加了功率的消耗之外，也因為電阻增加而增加了熱雜訊。除此之外，使用在高頻的話，會因為 RC 值過小，使得電路對於製程變異會變得更 sensitive，同時考慮電阻本身的自振頻率以及寄生效應都不適合運用在高頻電路上。

從 RC-CR 多重相位濾波器的相位超前落後的想法衍生出另一種新的正交相位產生器架構，並將電阻 R 併入負載電阻 R_{load} ，以達到

最小的能量損失。利用 $\frac{1}{R + \frac{1}{sC}} = \frac{R}{R + sCR^2} = \frac{R}{R + sL}$, where $L = CR^2$ 來

轉換。



圖(4.7) 正交相位產生器(a) RC-CR 正交相位產生器(b) LR-CR 正交相位產生器

此正交訊號產生器的輸入阻抗可以寫為

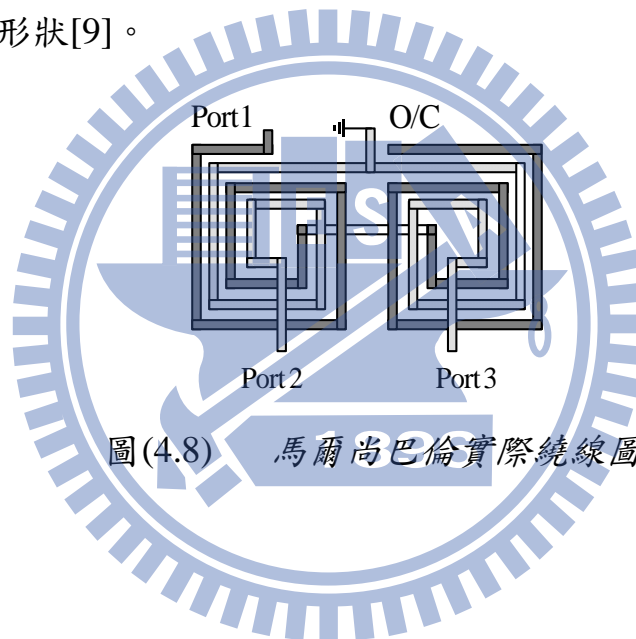
$$Z_{in} = (R + j\omega L) // \left(R + \frac{1}{j\omega C} \right) = \frac{\left(R^2 + \frac{L}{C} \right) + jR \left(\omega L - \frac{1}{\omega C} \right)}{2R + j \left(\omega L - \frac{1}{\omega C} \right)} \quad (4.1)$$

$$= R, \text{ where } L = CR^2$$

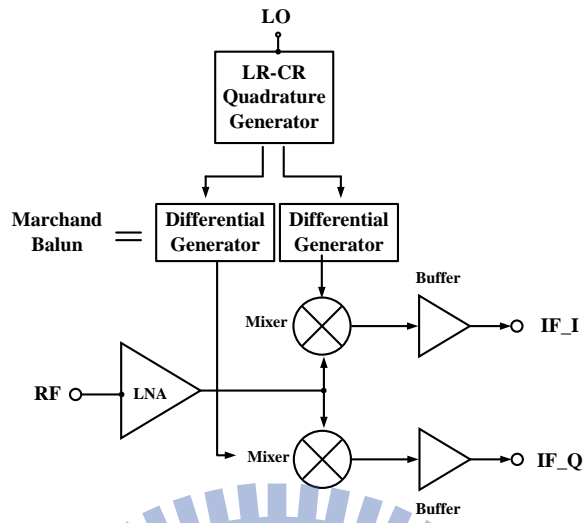
式(4.1)說明了只要 $L = CR^2$ ($R = \sqrt{\frac{L}{C}}$)，無論操作頻率為何，此正交訊號產生器的輸入阻抗恆等於 R，意即只和下一級電路的輸入阻抗有關;若 R 等於50歐姆的話，則此架構可以達到寬頻匹配。

簡單來說，LR-CR 正交相位產生器有兩大特點：一是無論任何頻

率，其兩輸出相位永遠相差 90 度；二則是只在某一個頻率兩輸出振幅大小相同，愈遠離此中心頻率，振幅差異愈大。為了避開這個缺點，將其置於 LO 的輸入端，由於混頻器的 LO 輸入只需要 $4V_T$ (for BJT) 或 $\sqrt{2}V_{OV}$ (for MOSFET) 就能夠使混頻器的開關有所作用，故不需要完全平衡的輸入訊號。最後加上馬爾尚巴倫分別產生 0 和 180 度，馬爾尚巴倫是以兩組耦合線組成，耦合線長為 $\frac{\lambda}{4}$ ，若以 10GHz 以內做為中心頻率的話線長仍需要非常長的長度；為了縮小面積，將耦合線繞成圖(4.8)之形狀[9]。

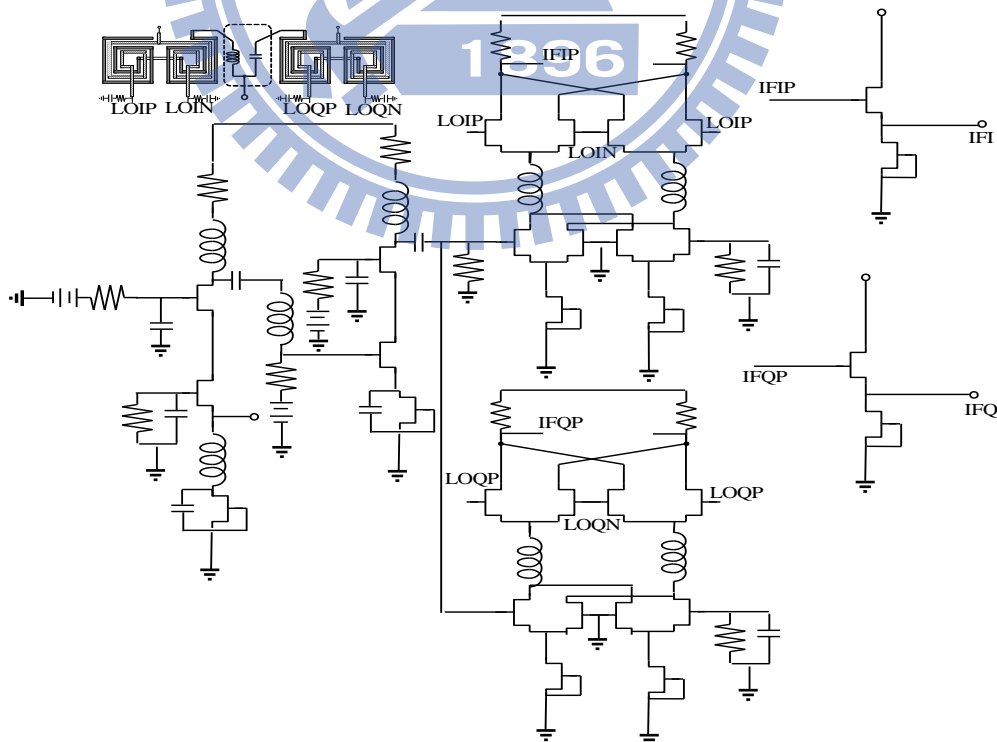


系統方塊圖如圖(4.9)所示，



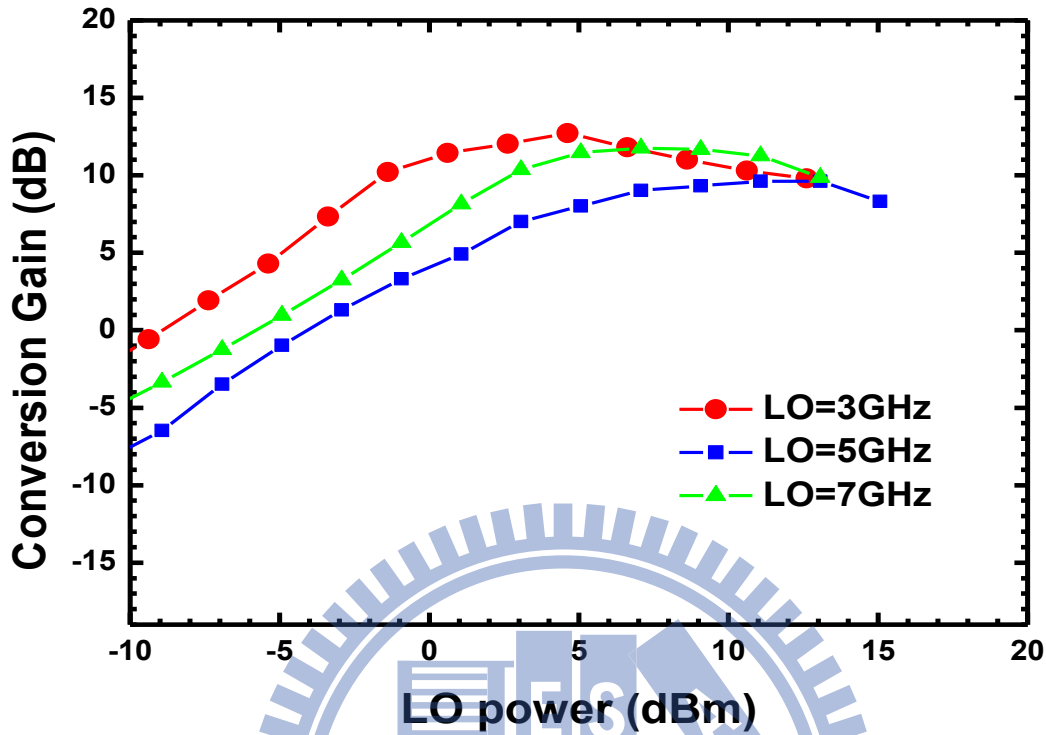
圖(4.9) UWB I/Q 接收器系統方塊圖

整體電路包含了LR-CR正交訊號產生器，再將正交訊號利用馬爾尚巴倫產生出四相位，最後交由LNA和mixer以及緩衝器構成的得到正交訊號輸出。

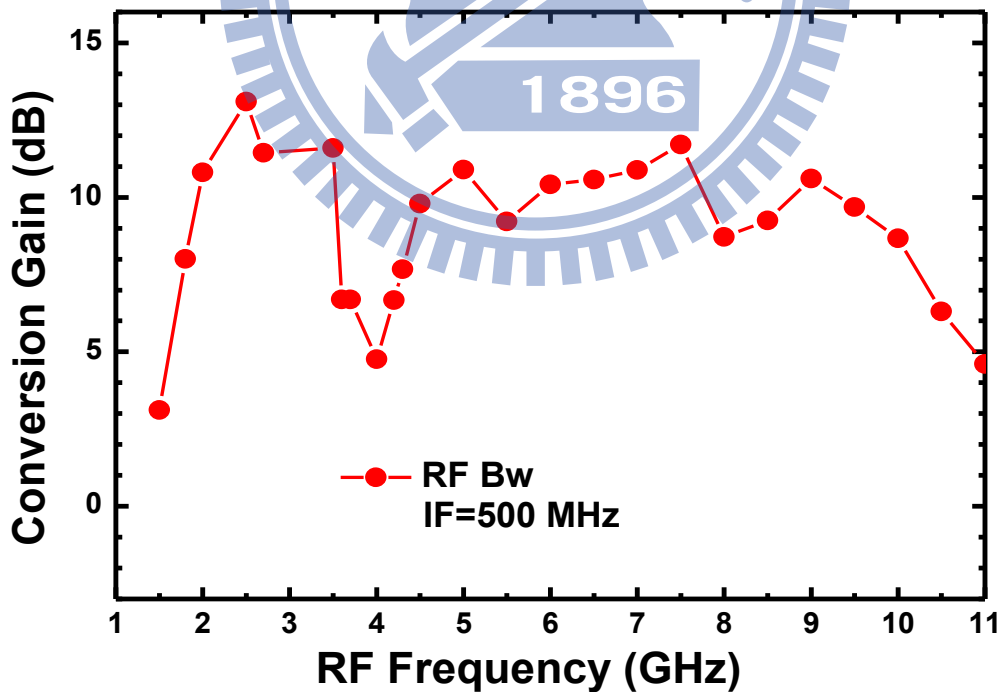


圖(4.10) UWB I/Q 接收器電路圖

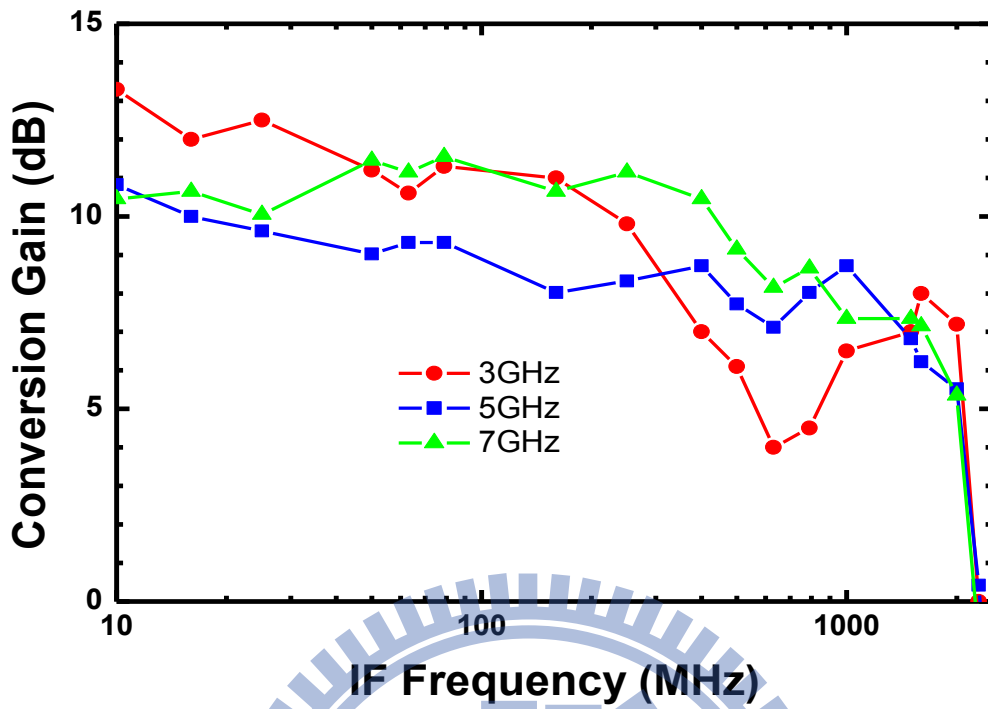
4.4.4 晶片量測結果



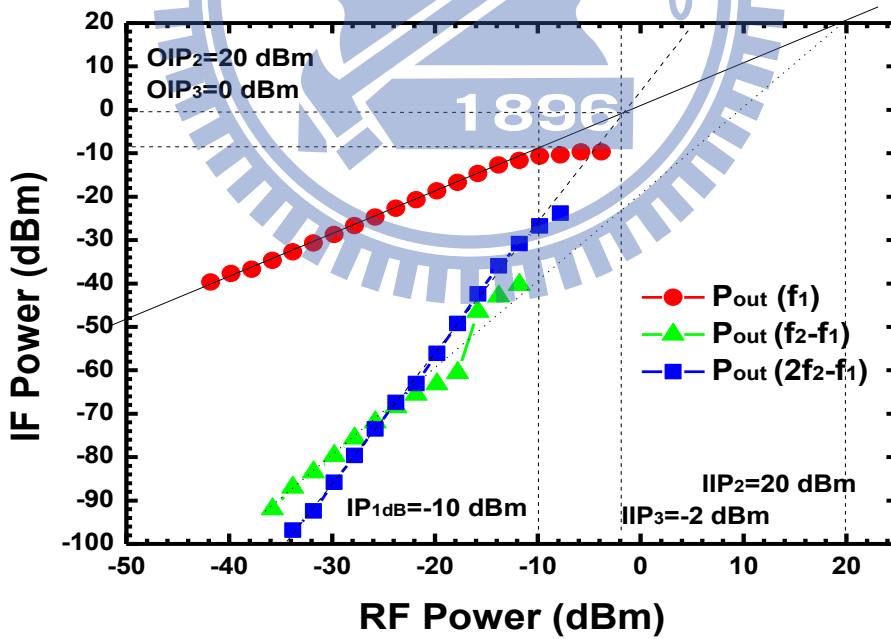
圖(4.11) 轉換增益對本地震盪訊號功率。



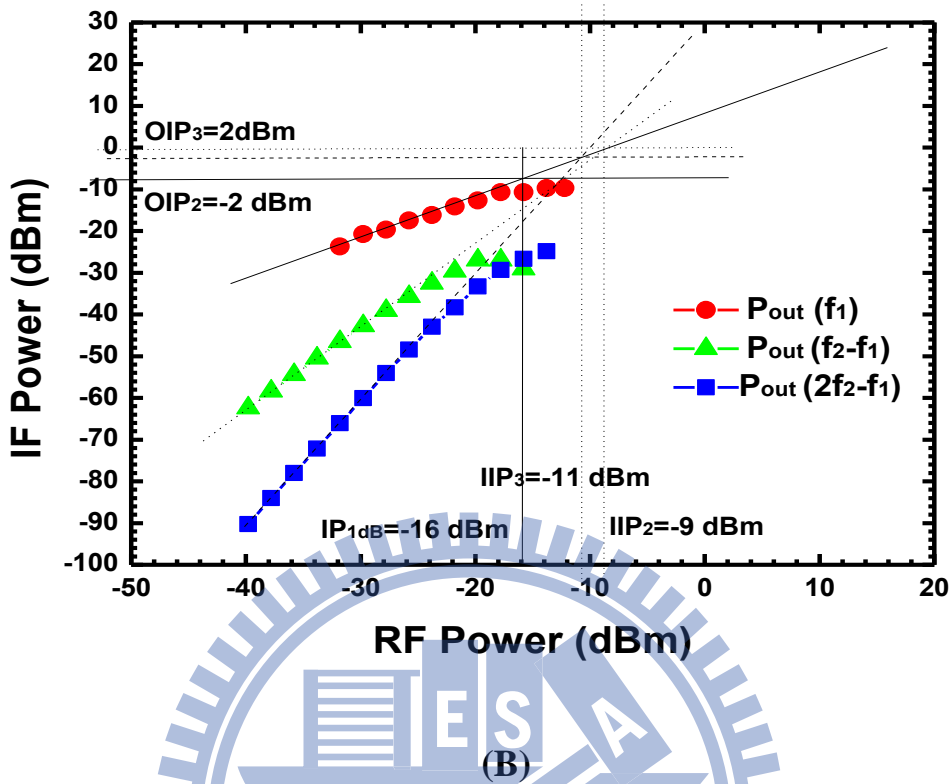
圖(4.12) 轉換增益對RF 頻率。



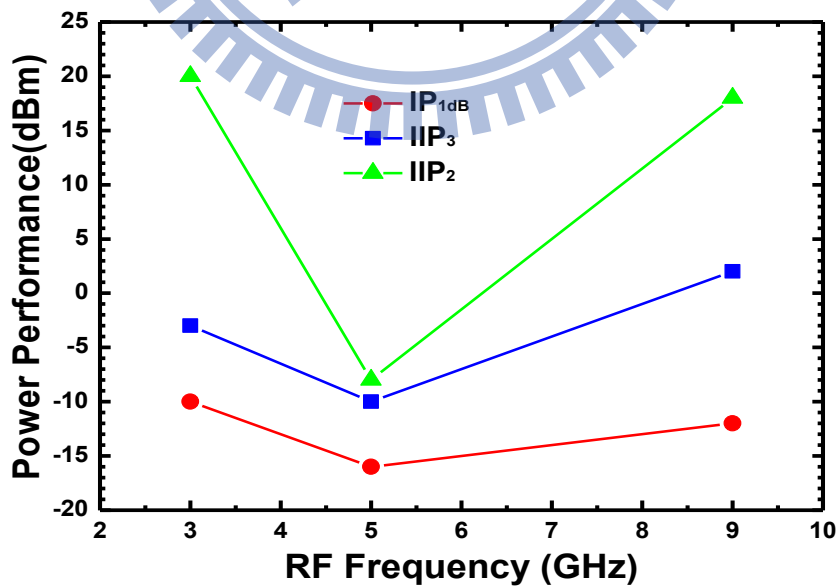
圖(4.13) 轉換增益對IF頻率。



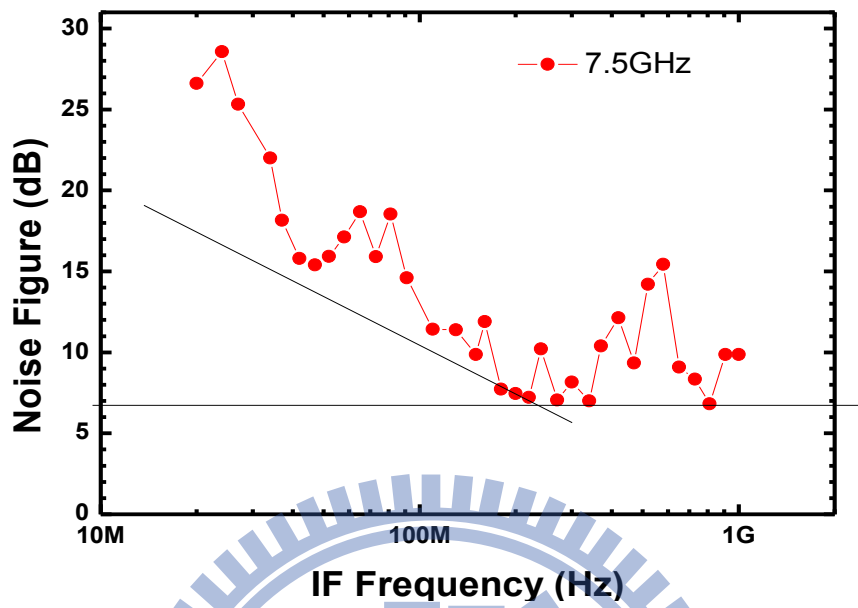
(A)



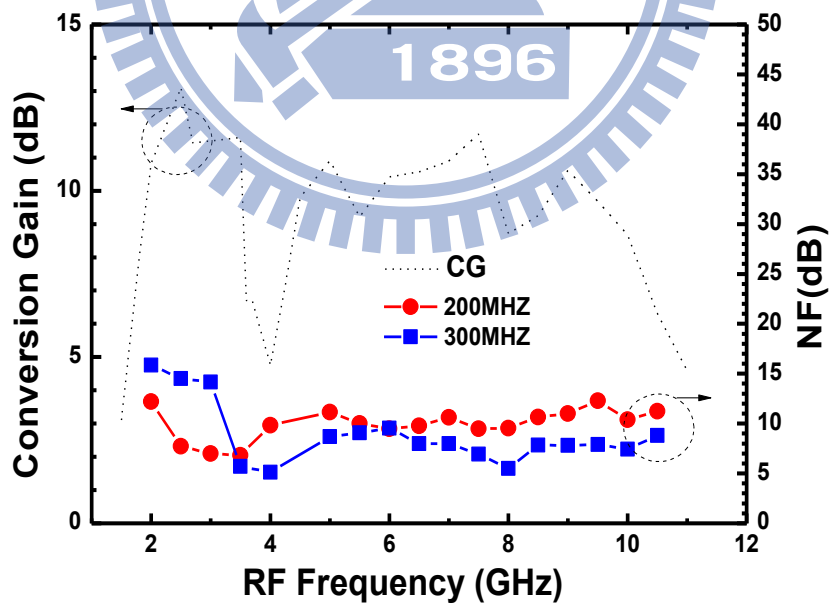
圖(4.14) 利用調整 LNA 電壓改變 IP_{1dB} 、 IIP_2 、 IIP_3 ，當頻率分別為 (A)3GHz(B)5GHz。



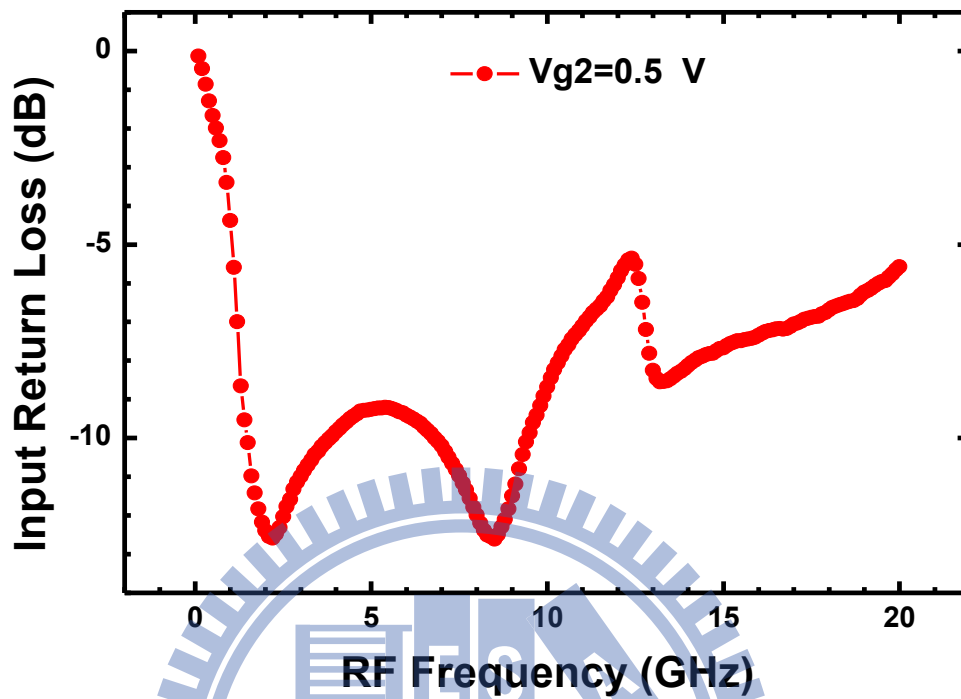
圖(4.15) IP_{1dB} 、 IIP_2 、 IIP_3 對 RF 頻率。



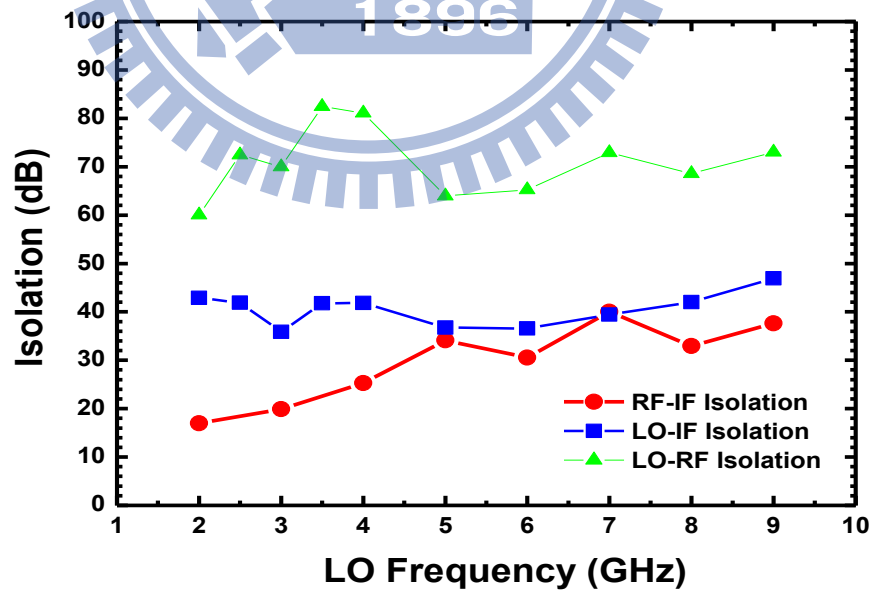
圖(4.16) 雜訊指數對IF頻率。



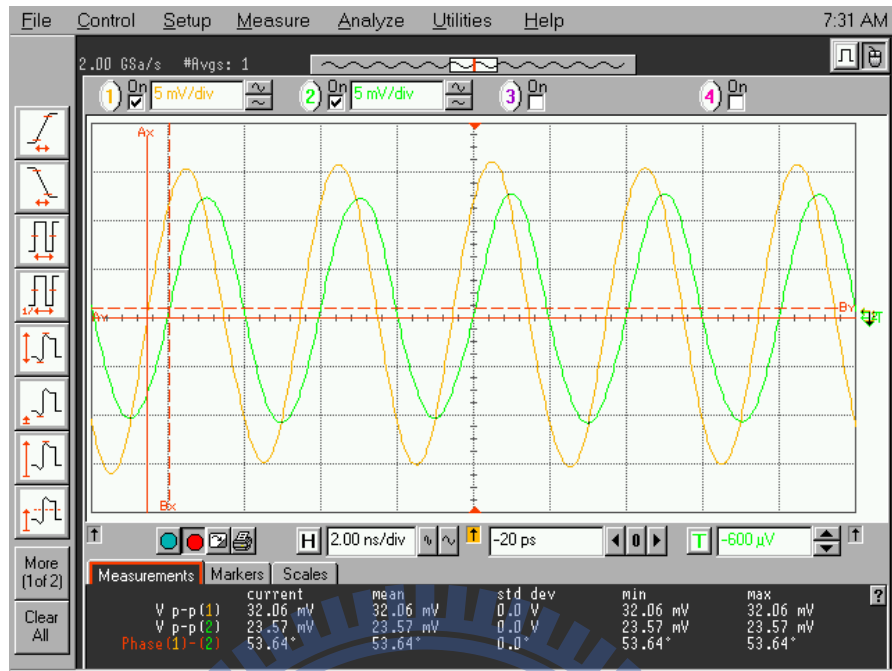
圖(4.17) 雜訊指數對RF頻率。



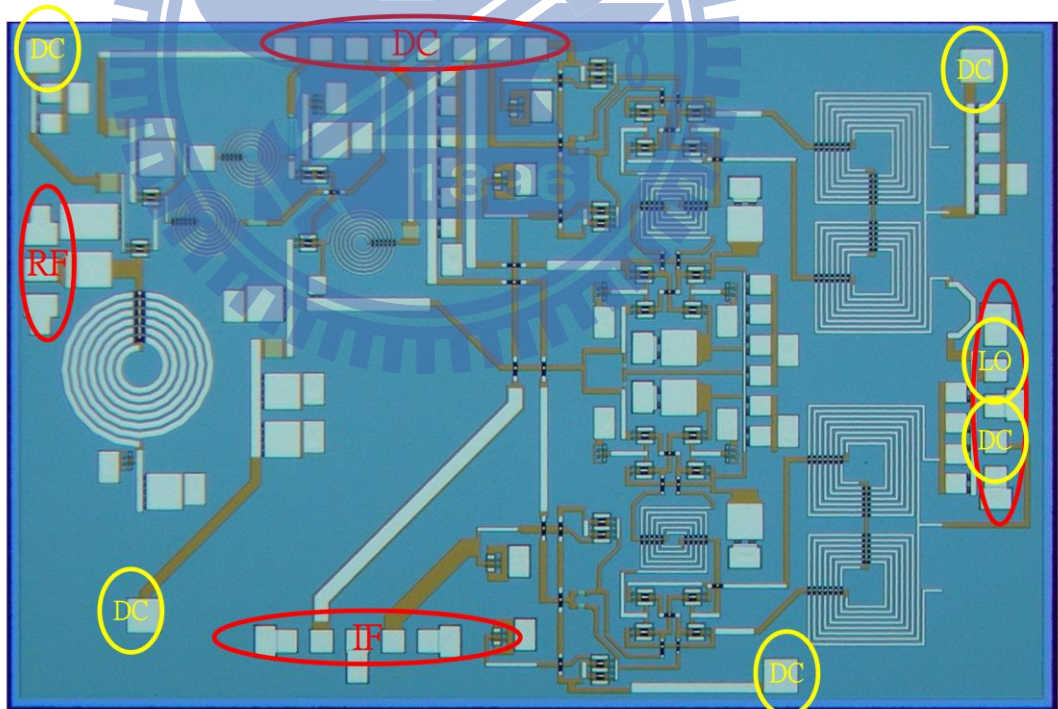
圖(4.18) 輸入返回損耗



圖(4.19) 本地震盪訊號對 RF 端和 IF 端和 RF 端對 IF 端的隔絕度。



圖(4.20) I、Q 通道輸出波形



圖(4.21) Die Photo

4.4.5 結果與討論

本電路採用 CMOS 製程，晶片照片如圖(4.21)所示：RF 採用 GSG，IF、LO 埠皆採用 GSGSG pad，其餘 DC 利用 8-pin 的 DC 排針，和使用四根單點 DC 針，此晶片面積為 $3 \times 2 \text{mm}^2$ 。

圖(4.11)表示當 RF 為 3、5、7GHz 時，LO 的注入功率大致上分別為 2、5、5dBm，所得到的增益分別為 12、8 和 10dB。

整體電路的線性度特性表現在圖(4.14)，當 RF 打入單調(one-tone)功率，在 3GHz 的頻帶測得 IP_{1dB} 為 -10dBm 左右，而在不同頻率改變之後，當 5GHz 時，量得 IP_{1dB} 為 -15dBm，但是當 9GHz 時，此時的 IP_{1dB} 又忽然變好了，為 -12dBm；而 $IIP3$ 和 $IIP2$ 的趨勢跟 IP_{1dB} 差不多，分別最好可以達到 3 和 20dB 左右。

圖(4.17)顯示了整個接收機的雜訊指數，頻帶降至 250MHz 時量得約為 5~9dB，在模擬的時候大約在 4dB 以下，實測高蠻多的，原因可能是因為低雜訊放大器有一級的頻寬變異，導致增益沒有達到當初的模擬值，故沒有辦法完全地抑制住後級的雜訊，並且在模擬的時候並不是使用 noise model，所以模擬起來的 noise 會比實際上低很多。

輸出波形部分，從圖(4.20)可以看到 I 通道以及 Q 通道的相位在每個頻率上 phase 和振幅都不是很好，基本上振幅蠻不 balance 的，而 phase 竟然都維持在 60 度左右，對於前面探討此種正交相位產生器的理論有些違背，我們找出幾種造成問題的可能性；之前成功的例子是因為操作在矽鍺 0.35um 製程下，並且混頻器的 LO core 是由 BJT 組成。因此正交相位產生器所看到的 load 可能不是理想的阻抗。

表4.1 Summary

	Spec.	Measurement
Supply Voltage (V)	3.3	3.3
Conversion Gain (dB)	15	11~13
RF Bandwidth(GHz)	--	2~3.5&4.5~10
IF Bandwidth (GHz)	0.5	1.5
Noise Figure (dB)	3@100k Hz	5~9(@300MHz)
IP_{1dB} (dBm)	--	-10
IIP_3 (dBm)	-25	0
LO-to-RF Isolation (dB)	--	>60
LO-to-IF Isolation (dB)	--	>40
Input Return Loss (dB)	>10	>10
Current Consumption (mA)	3	59
Process	0.15 μ m PHEMT	
Chip Size	3x2 mm ²	

4.5 實作二，使用 CS-LNA 的超寬頻接收器 (PHEMT 0.15um)

4.5.1 研究動機

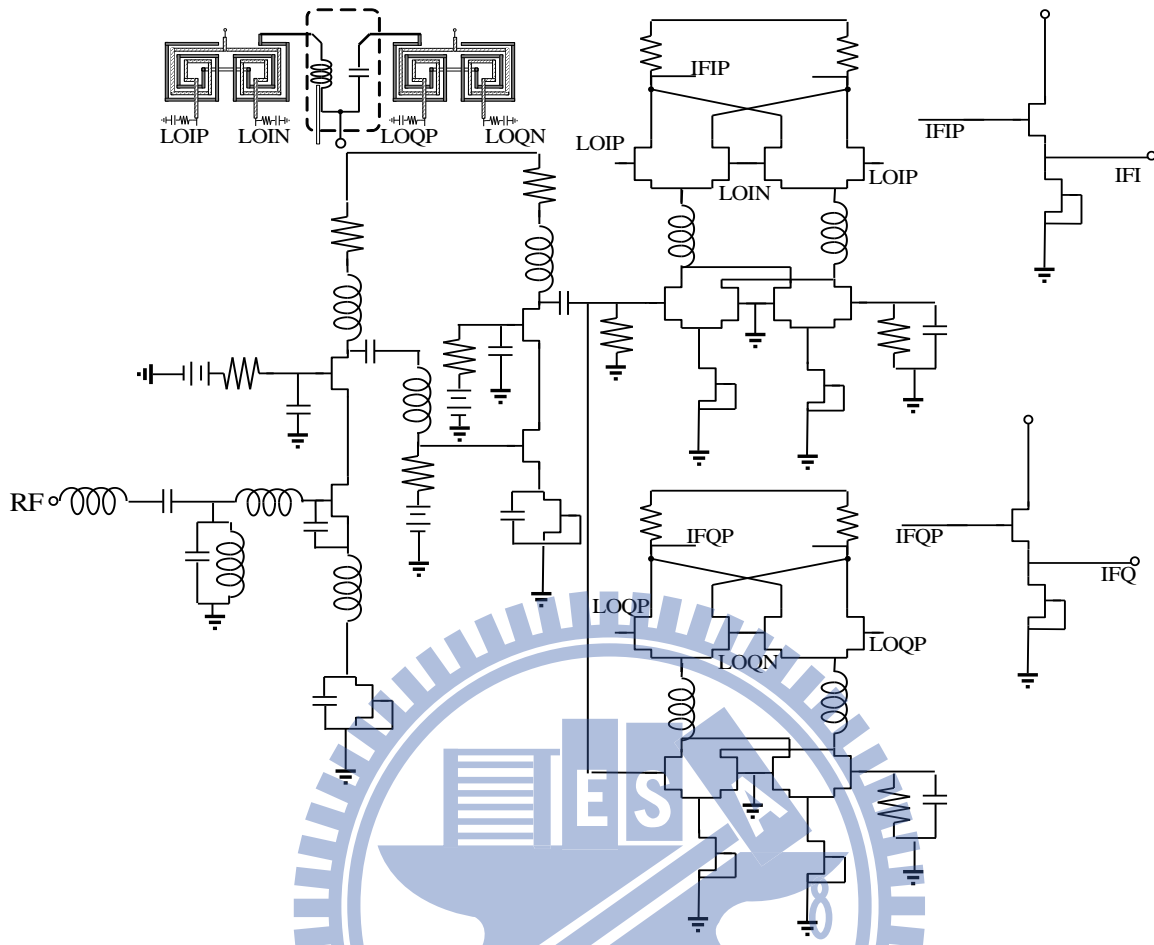
前面實作上是使用 CGLNA 來達到寬頻的輸入匹配，鑑於 gain 可能不夠高所以導致 noise 不是我們理想中的好，所以我們在此換成使用 CS-LNA with LC Ladder 來做匹配的動作。

4.5.2 系統頻率規劃

此實作為針對超寬頻接收器的應用，故將需要頻率設為 3~10.6GHz；而最終輸出訊號基於要符合規格 IF 為 500MHz 的理由，將其定為 250MHz。

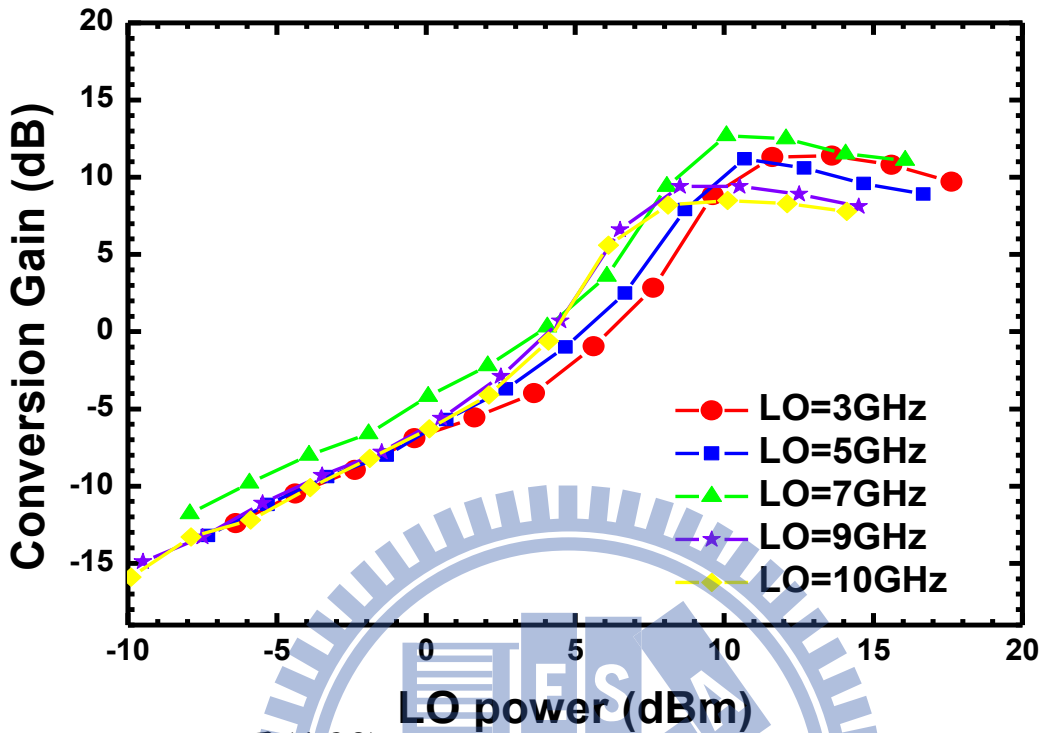
4.5.3 電路設計

在此我們與實作一最大的不同就是將 CG-LNA 改變成 CS-LNA，再藉由 wideband 的 input matching，並且使用和實作一一樣的頻寬延伸技巧。如圖；

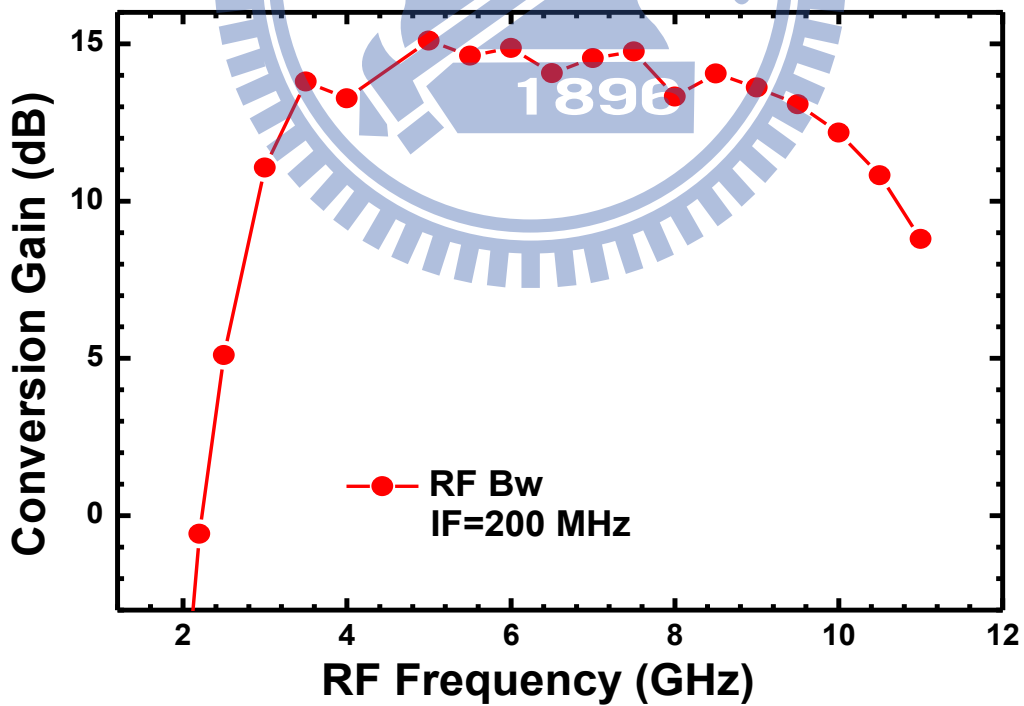


圖(4.22) UWB I/Q 接收器電路圖

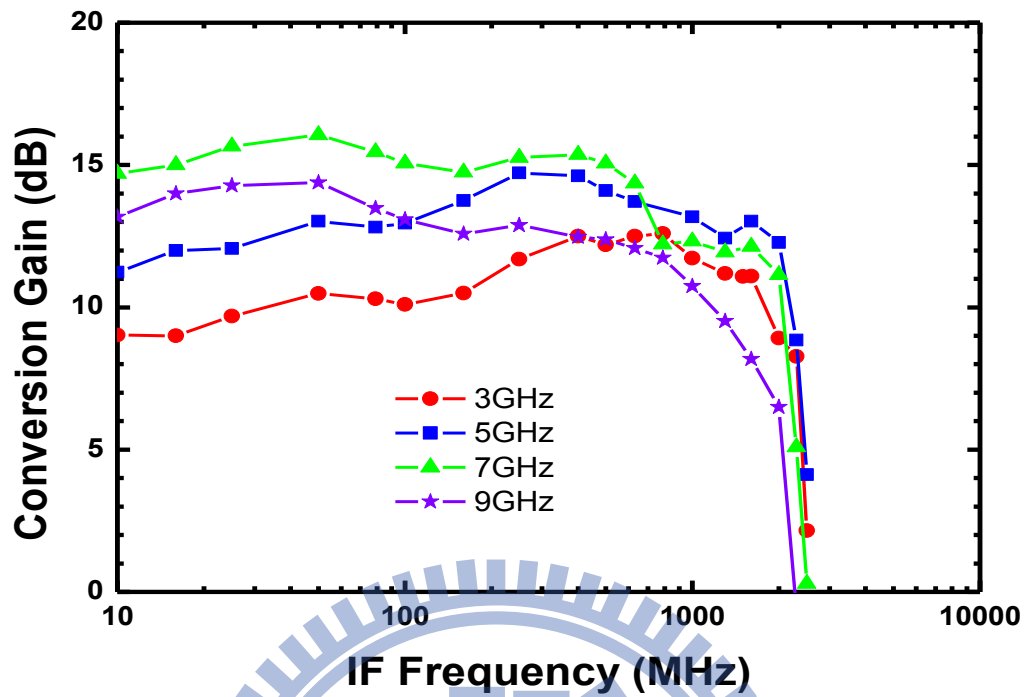
4.5.4 晶片量測結果



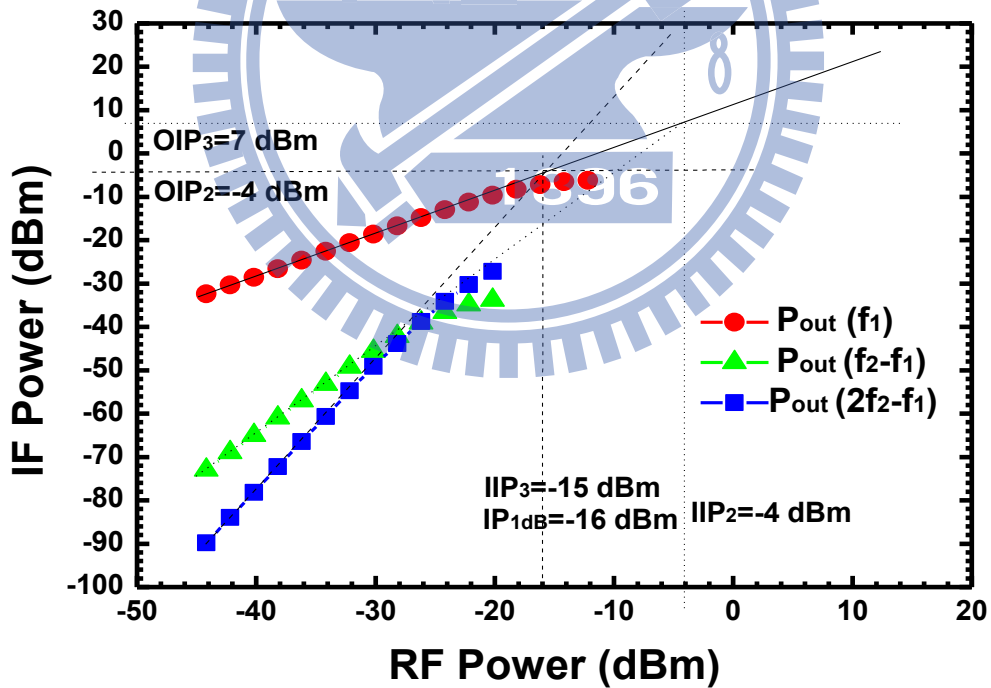
圖(4.23) 轉換增益對本地震盪訊號功率。



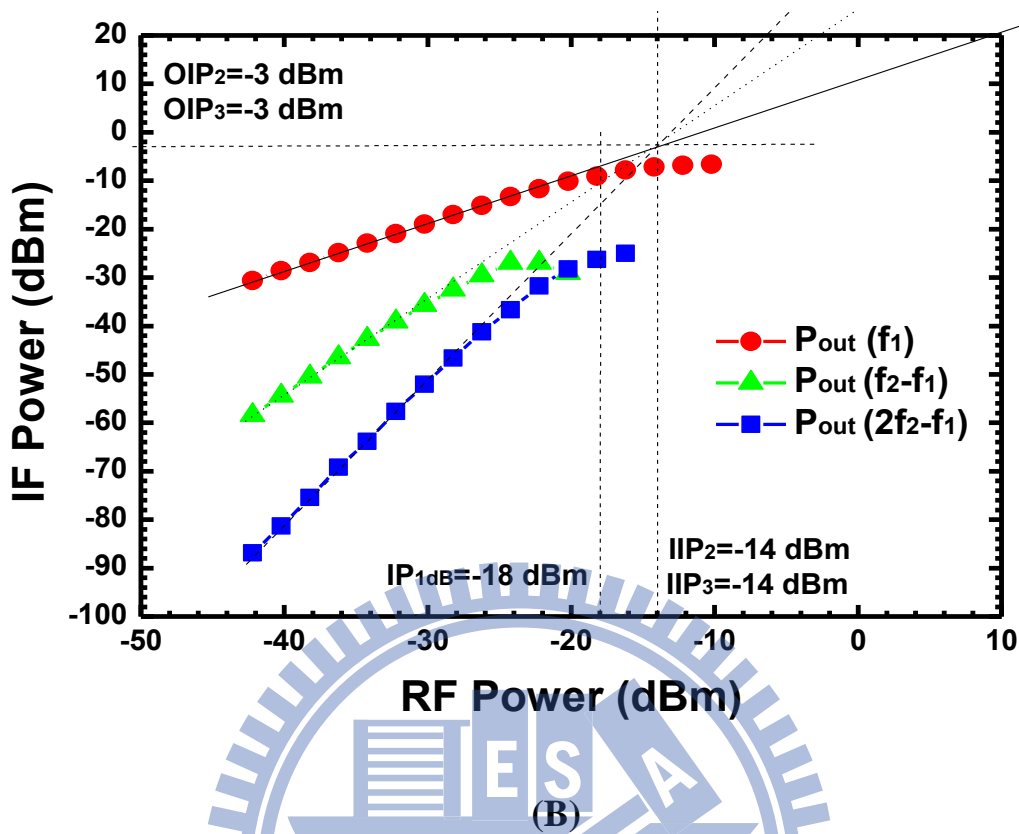
圖(4.24) 轉換增益對RF 頻率。



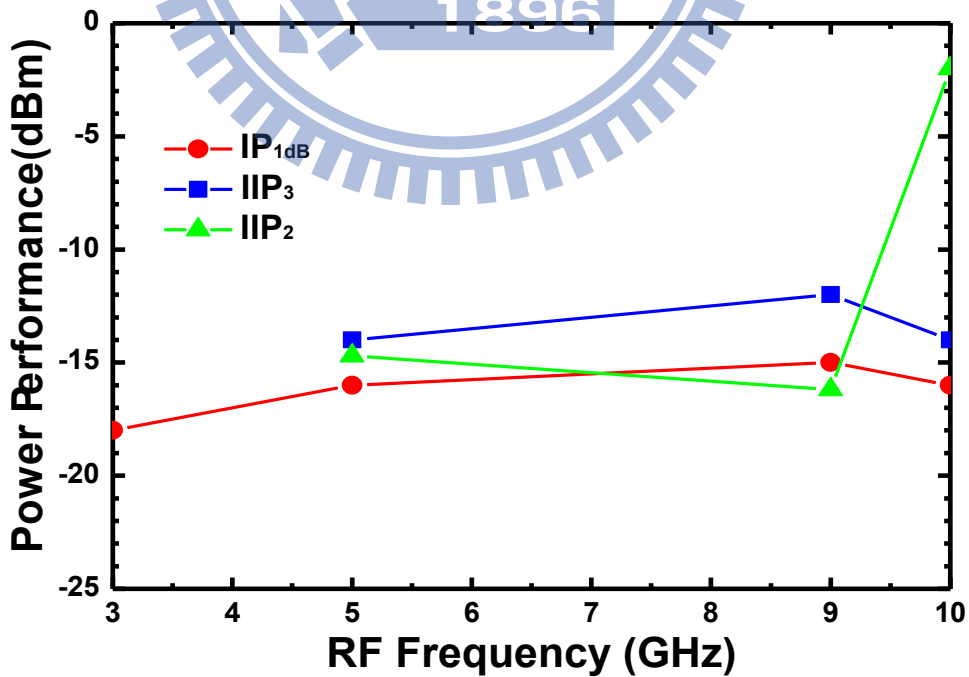
圖(4.25) 轉換增益對 IF 頻率。



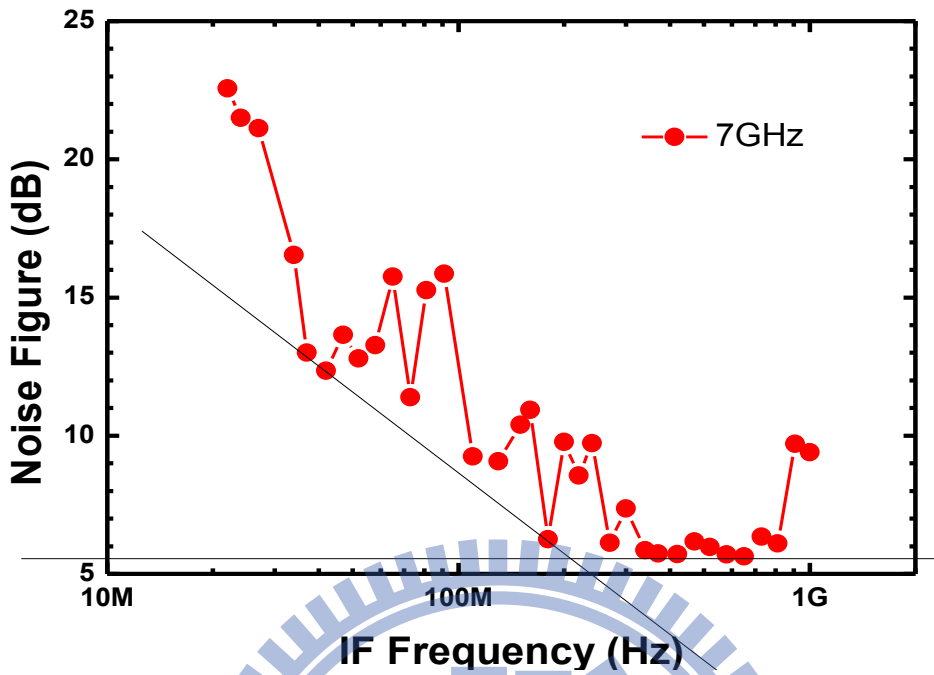
(A)



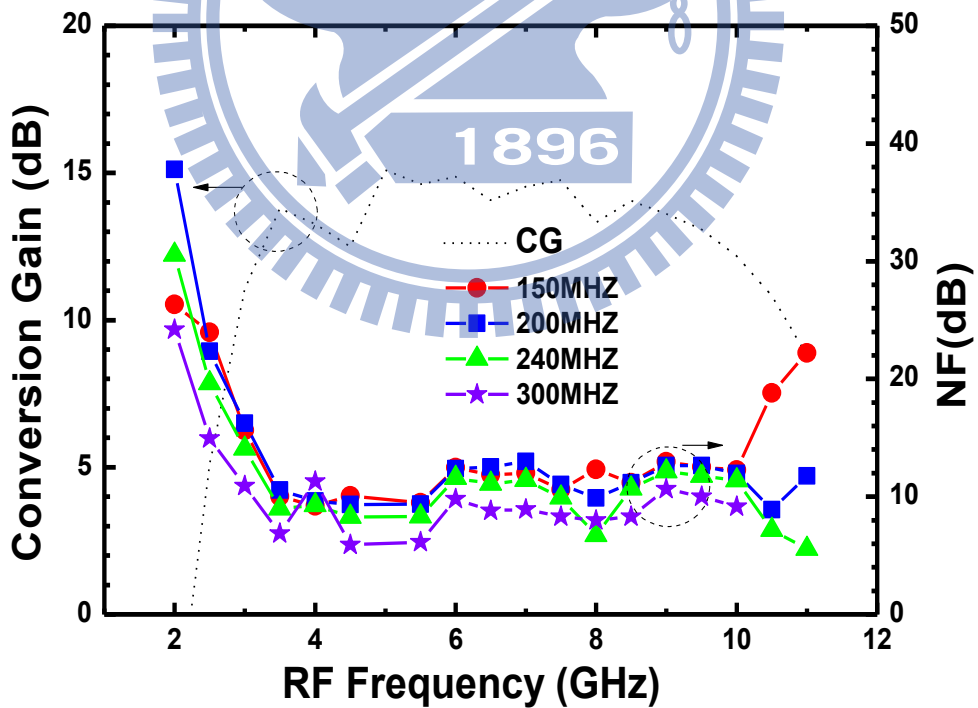
圖(4.26) 利用調整 LNA 電壓改變 IP_{1dB} 、 IIP_2 、 IIP_3 ，當頻率分別為 (A)5GHz(B)7GHz。



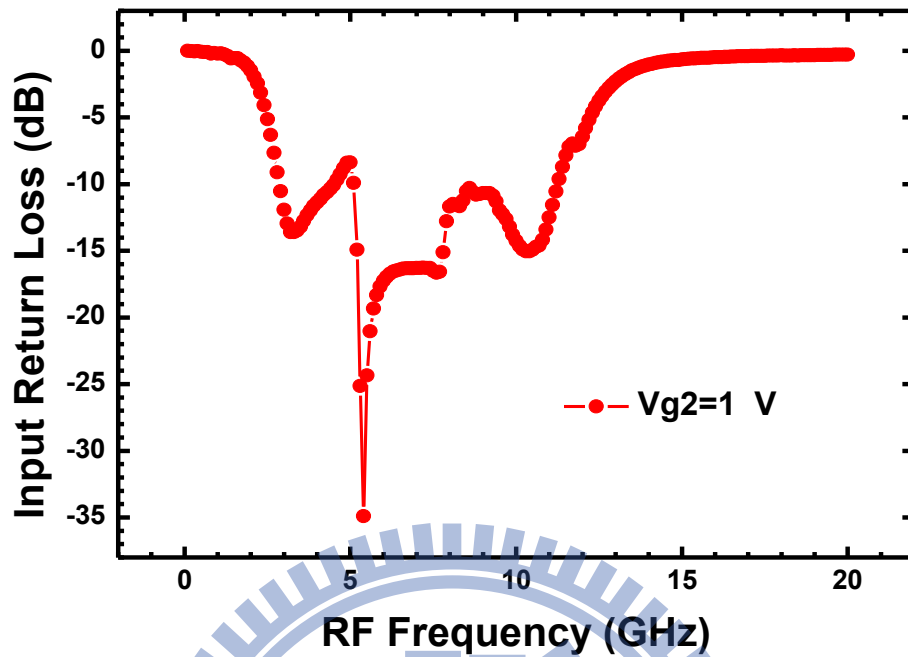
圖(4.27) IP_{1dB} 、 IIP_2 、 IIP_3 對 RF 頻率。



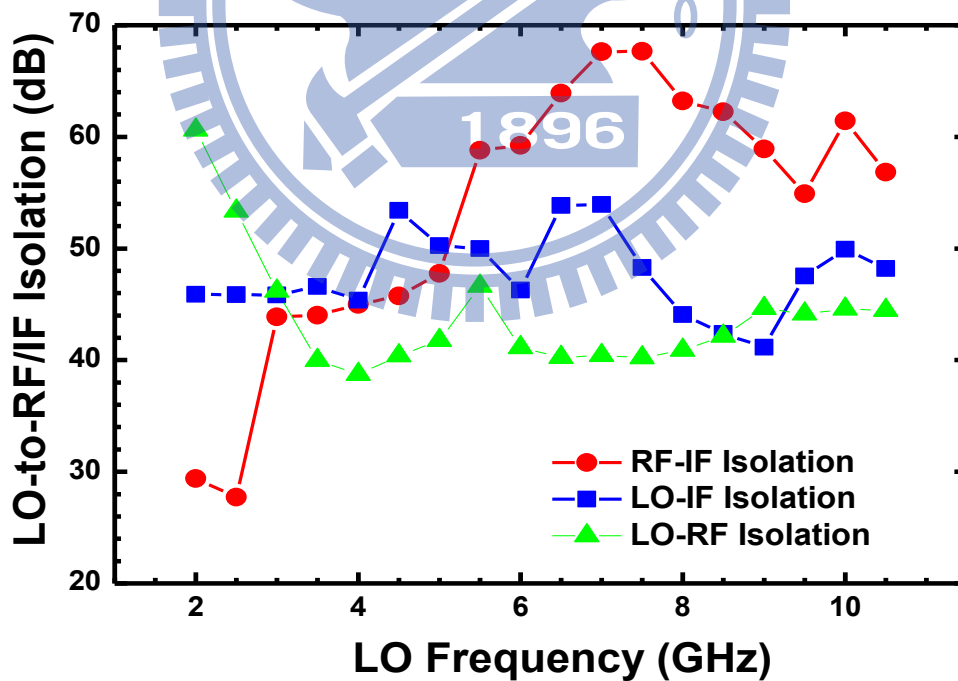
圖(4.28) 雜訊指數對IF頻率。



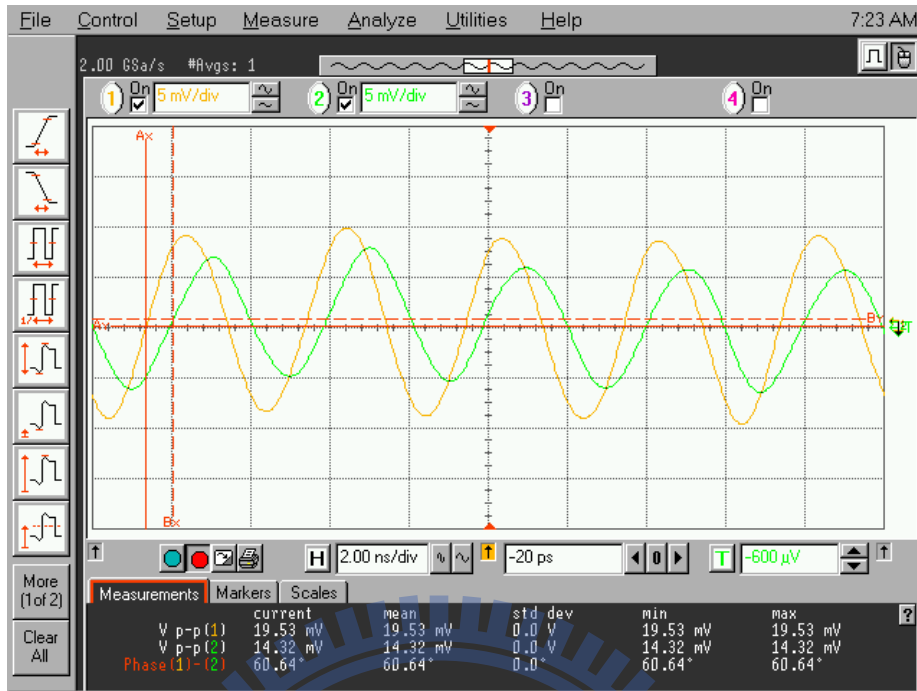
圖(4.29) 雜訊指數對RF頻率。



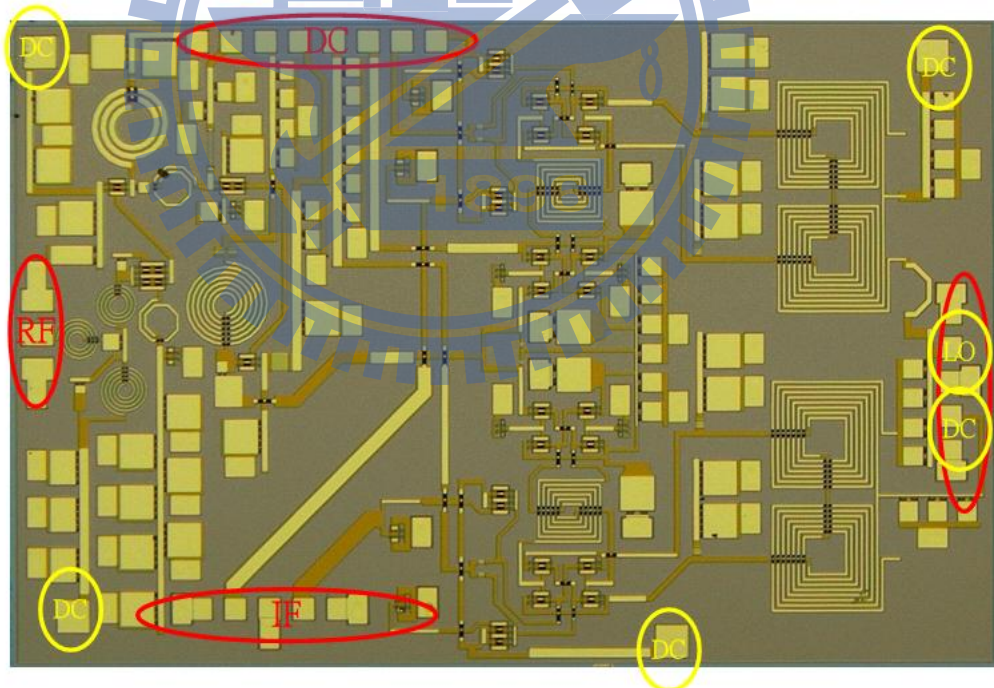
圖(4.30) 輸入返回損耗



圖(4.31) 本地震盪訊號對 RF 端和 IF 端和 RF 端對 IF 端的隔絕度。



圖(4.32) I、Q 通道輸出波形



圖(4.33) Die Photo

4.5.5 結果與討論

本電路採用 CMOS 製程，晶片照片如圖(4.33)所示：RF 採用 GSG，IF、LO 埠皆採用 GSGSG pad，其餘 DC 利用 8-pin 的 DC 排針，和使用四根單點 DC 針，此晶片面積為 $3 \times 2 \text{mm}^2$ 。基本上跟實作一是差不多的。

圖(4.23)表示當 RF 為 3、5、7、9GHz 時，LO 的注入功率大致上分別為 2、5、5dBm，所得到的增益分別為 12、8 和 10dB。

整體電路的線性度特性表現在圖(4.26)，當 RF 打入單調(one-tone)功率，在 3GHz 的頻帶測得 IP_{1dB} 為 -10dBm 左右，而在不同頻率改變之後，當 5GHz 時，量得 IP_{1dB} 為 -15dBm，但是當 9GHz 時，此時的 IP_{1dB} 又忽然變好了，為 -12dBm；而 $IIP3$ 和 $IIP2$ 的趨勢跟 IP_{1dB} 差不多，分別最好可以達到 3 和 20dB 左右。

圖(4.28)顯示了整個接收機的雜訊指數，頻帶降至 250MHz 時量得約為 5~9dB，在模擬的時候大約在 4dB 以下，實測高蠻多的，原因可能是因為低雜訊放大器有一級的頻寬變異，導致增益沒有達到當初的模擬值，故沒有辦法完全地抑制住後級的雜訊，並且在模擬的時候並不是使用 noise model，所以模擬起來的 noise 會比實際上低很多。

輸出波形部分，從圖(4.32)可以看到 I 通道以及 Q 通道的相位在每一個頻率上 phase 和振幅都不是很好，基本上振幅蠻不 balance 的，而 phase 竟然都幾乎維持在 60 度左右，對於前面探討此種正交相位產生器的理論有些違背，我們找出幾種造成問題的可能性；之前成功

的例子是因為操作在矽鍺 0.35 μm 製程下，並且混頻器的 LO core 是由 BJT 組成。因此正交相位產生器所看到的 load 可能不是理想的阻抗。

表4.2 Summary

	Spec.	Measurement
Supply Voltage (V)	3.3	3.3
Conversion Gain (dB)	50	15
RF Bandwidth(GHz)	--	3~10
IF Bandwidth (GHz)	25	1
Noise Figure (dB)	3@100k Hz	5~10(@300MHz)
IP_{1dB} (dBm)	--	-15
IIP_3 (dBm)	-25	-10
LO-to-RF Isolation (dB)	--	>40
LO-to-IF Isolation (dB)	--	>50
Input Return Loss (dB)	>10	>10
Current Consumption (mA)	3	70
Process	0.15 μm pHEMT	
Chip Size	3x2 mm ²	

第五章

結論



本論文第二章主要是架構是以 LNA+MIXER 以及 VGA，而三個實作主要都是將 mixer 的 LO core 換成 TSMC 0.18 um CMOS 製程中的寄生 BJT，在先做過驗證將 testkey 量測到的參數蛋入最後電路的模擬，發現量測跟模擬是可以符合的，而也是因為這樣的改變消去了長久在基頻倍受困擾的 flicker noise，從三個實作的量測都可以明顯的看出，而產生八個相位的架構目前也是以八個相位的多重相位濾波器[5]可以得到不錯的 IQ，但是 45 度相移器[6]不見得比較差，只是需要再更小心設計。

第三章我們在 TSMC 0.18 um CMOS 製程中利用蕭特基二極體實現 60GHz 的系統，對於元件的測試我們也是非常小心的萃取出很多參數，因此才能確保在高頻的部分可以維持一；而利用 tri-filar 以及四組反對稱式二極體實現次諧波混頻器最後由馬爾尚巴倫單端輸出，EM 的模擬在高頻的部分可能需要多加驗證。這次頻寬是涵蓋了 57~64GHz，但是為經過前人努力後改進的效果。

最後在第四章我們在 WIN 0.15 um PHEMT 製程中實作了 UWB 的接收器系統，利用架構的選取還要頻寬延伸的技巧，使其頻寬可以涵蓋 3~10GHz，在 noise 方面我們使用了 PHEMT 本身 DEVICE noise 就比較小的先天條件來期待達到更低的 noise，但是由於 UWB 的 IF 頻寬需 500MHz，也就是一般會操作在 250MHz，意料之外的 PHEMT 的 flicker noise 大得驚人，所以 noise 因為受到 flicker noise 的影響，仍然沒有達到理想的值。

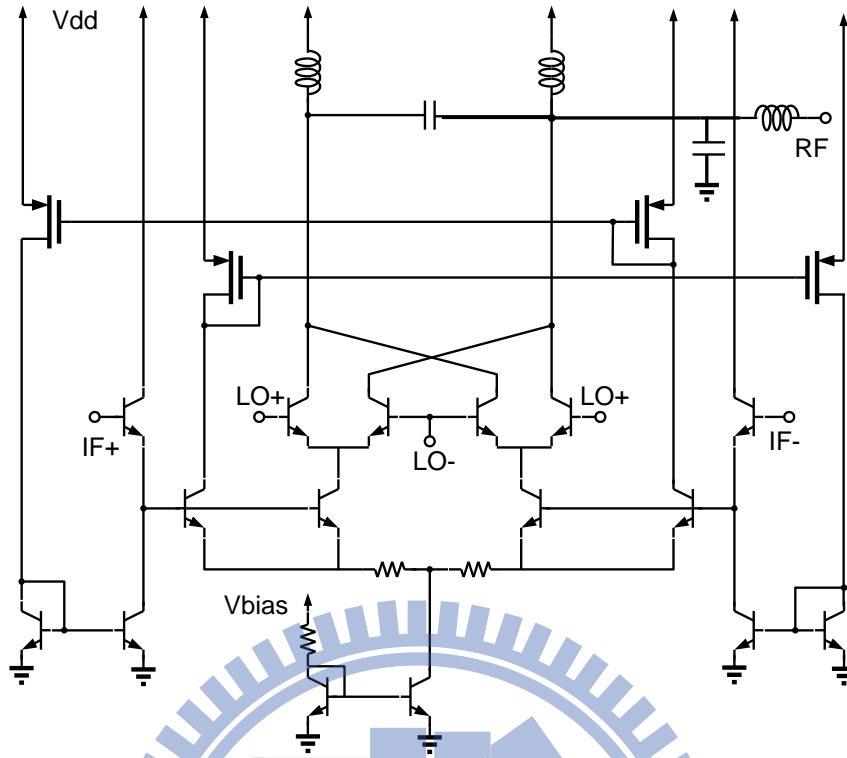


A.1 研究動機

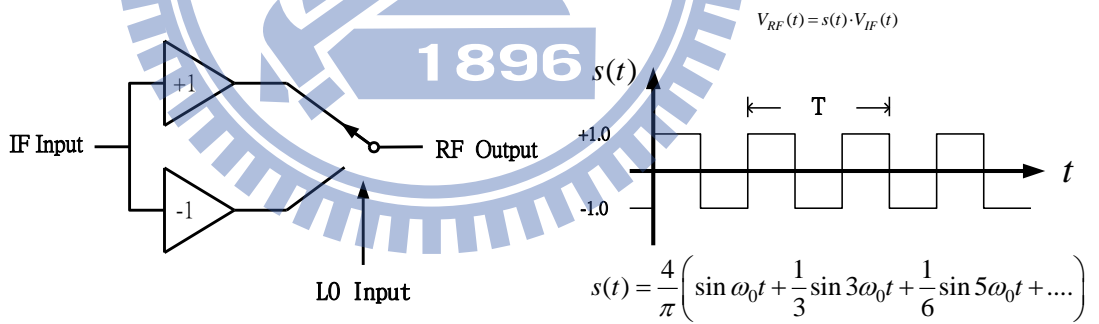
在 RFIC 中的發射機設計中，混頻器的線性度限制了整個系統的線性度，為了改善線性度，常見的作法是在混頻器的轉導級做 emitter degeneration，但 $v_I - i_o$ 的關係式仍然會受到輸入信號的大小而影響了線性度，所以本電路利用[1]提出的概念來對線性度做進一步改善，最後以 LC combiner 做單端輸出，被動元件較主動式負載對電路線性度的影響來的小很多，期望此升頻器電路能得到高線性度的效能。

A.2 架構簡介

本次所設計具電流注入之升頻器的電路架構，如圖(A.1)所示。主要採用 Gilbert cell mixer 為主要架構。LO 及 IF 訊號為外加的差動訊號，RF 為單端輸出。Gilbert cell 為升頻器的主要核心，四個 BJT 形成一個差動電流開關，當 LO 訊號夠大使 BJT 能迅速切換，可達到讓 IF 和 LO 訊號產生混頻的效果，因而產生升頻之動作，工作原理如圖(A.2)

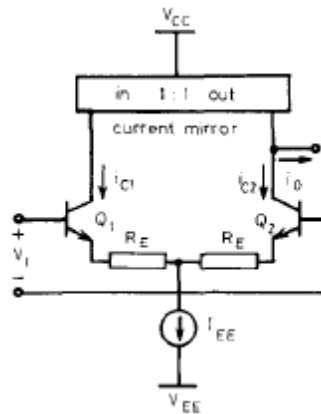


圖(A.1) 整體電路架構



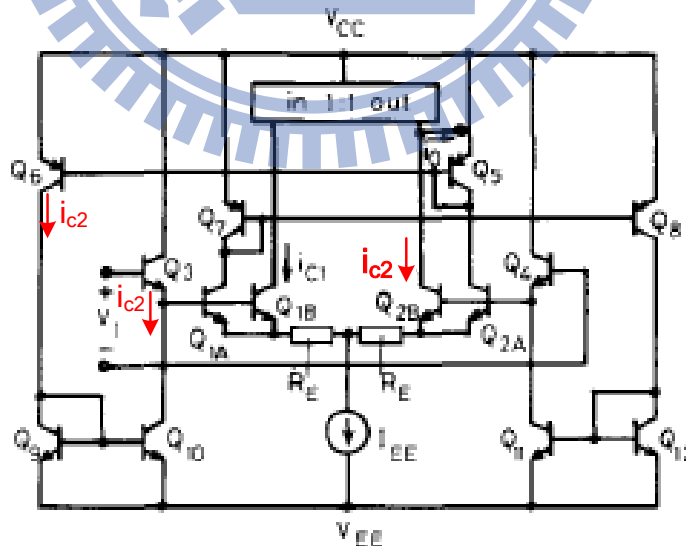
圖(A.2) 混頻器工作原理

一般 emitter degeneration 的作法如圖(A.3)：



圖(A.3) emitter degeneration 電路

假設所有元件都有 match，則 $v_I = R_E i_o + V_T \ln\left(\frac{1+i_o/I_{EE}}{1-i_o/I_{EE}}\right)$ ，當有較大的 i_o/I_{EE} 時， v_I-i_o 的關係會愈不線性，但，所以我們想利用[1]提出的 cross injection 概念，讓 $v_I = R_E i_o$ ，基本線性化轉導級的電路如圖(A.4)所示：



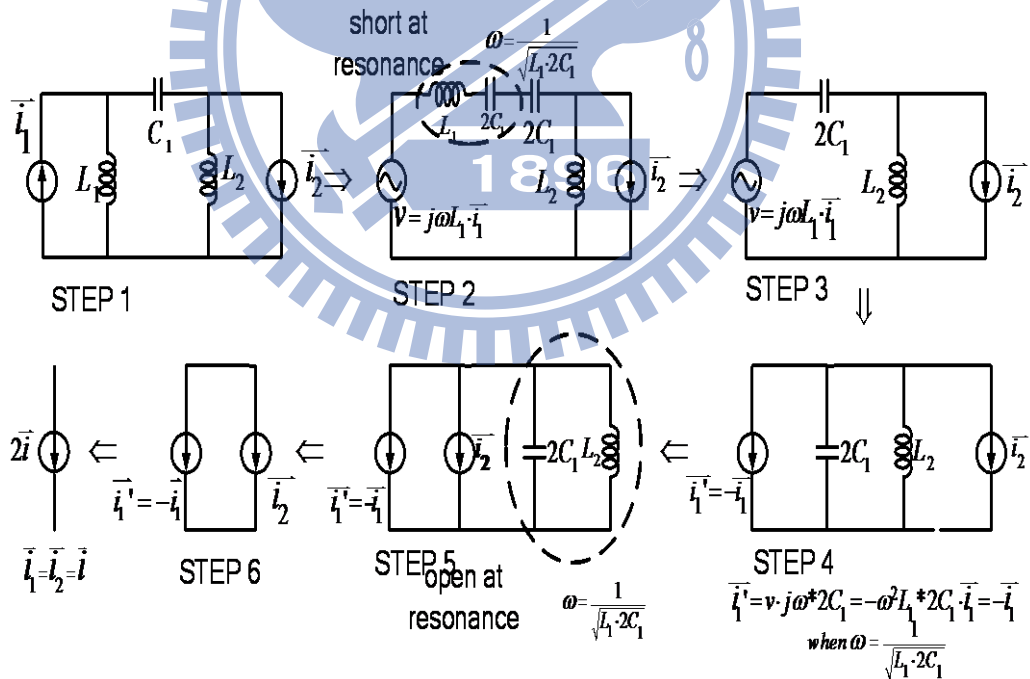
圖(A.4) [1]提出的線性化 TCA 電路

設計 Q3、Q4 的偏壓，藉由 Q5、Q6、Q9 和 Q10 電流鏡達到讓 $I_{E,Q3}=I_{C2}=I_{C,Q2B}$ ，Q7、Q8、Q11 和 Q12 讓 $I_{E,Q4}=I_{C1}=I_{C,Q1B}$ ，而 $i_o=i_{c1}-i_{c2}$ ，

$$\begin{aligned} v_I &= V_{BE3} + V_{BE1} + V_{R_E} - V_{BE2} - V_{BE4} \\ &= V_T \ln\left(\frac{\alpha i_{C2}}{I_S}\right) + V_T \ln\left(\frac{i_{C1}}{I_S}\right) + R_E(i_{C1} - i_{C2}) - V_T \ln\left(\frac{i_{C2}}{I_S}\right) - V_T \ln\left(\frac{\alpha i_{C1}}{I_S}\right), \\ &= R_E i_o \end{aligned}$$

如此轉導級的 $g_m=1/R_E$ ，達到比原先單純 emitter degeneration 更線性化的效果。

本電路的輸出端以 LC current combiner 做負載，將差動信號轉單端，再經過輸出級匹配後輸出 RF 信號。使用被動電流合成器的好處是有較主動電流鏡較高的線性度，也不會有輸出振幅的限制，LC current combiner 的電路原理：



圖(A.5) Current Combiner 電流相加原理。

STEP 1：電流合成器等效小信號模型。

STEP 2：將電流源轉換成等效電壓源，其中 $V_1=j\omega L_1 I_1$ 。

Step 3：LC 串聯共振時為一短路，其共振頻率為 $\omega = \frac{1}{\sqrt{L \times 2C}}$ 。

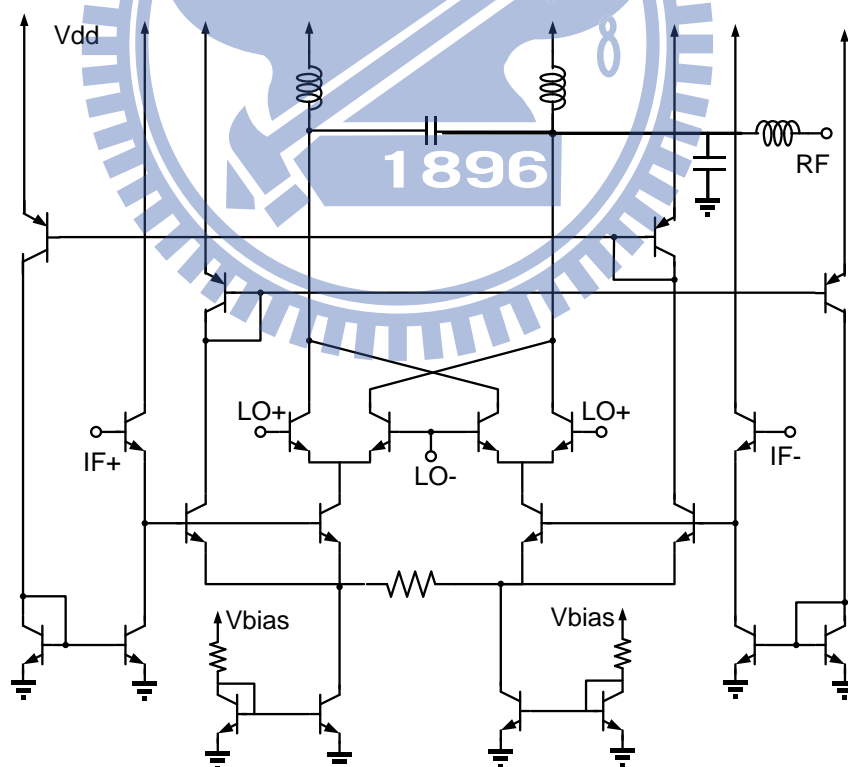
STEP 4：將電壓源轉為等效電流源， $I_1^* = \frac{V}{Z} = \frac{j\omega L_1 \times I_1}{1/j\omega 2C} = -I_1 \omega^2 L_1 2C = -I_1$ ，

when $\omega^2 L_1 2C = 1$ 。

STEP 5、6：LC 並聯共振時為一開路，最後兩組電流相加。

上面的推導中，我們忽略了電感的阻值，因為是單頻的混頻器，電感的阻值僅造成電流的損耗，對整體功能上並沒有很大的破壞。

整體電路架構：



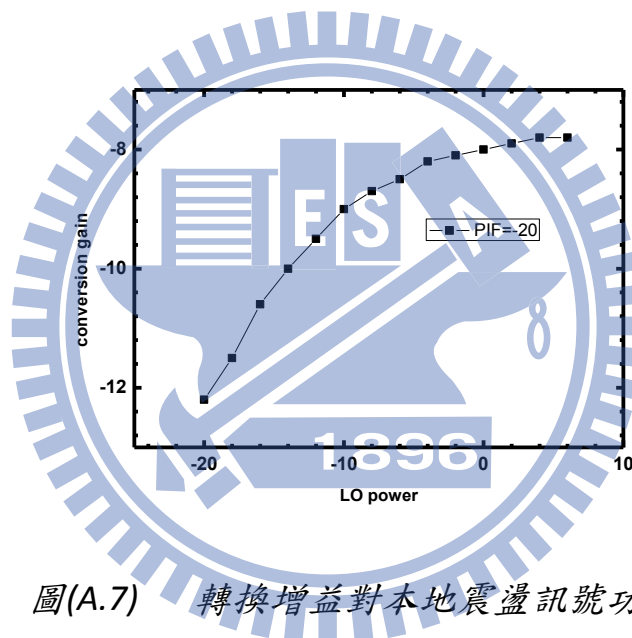
圖(A.6) 整體電路架構

A.3 實作一，High Linearity Up-Convertor (SiGe 0.35um)

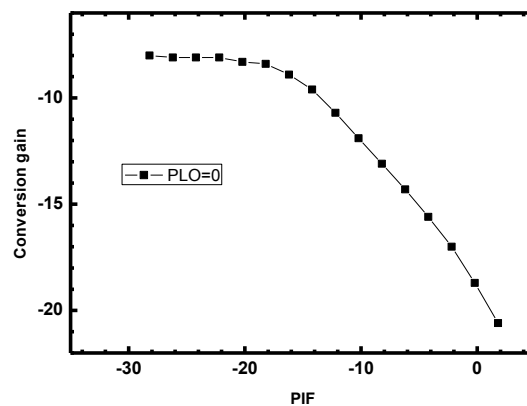
A.3.1 研究動機

在此利用前述理論來實作一個在接近理想的 BJT 製程，SiGe 0.35um 製程，達到高線性度的升頻器。

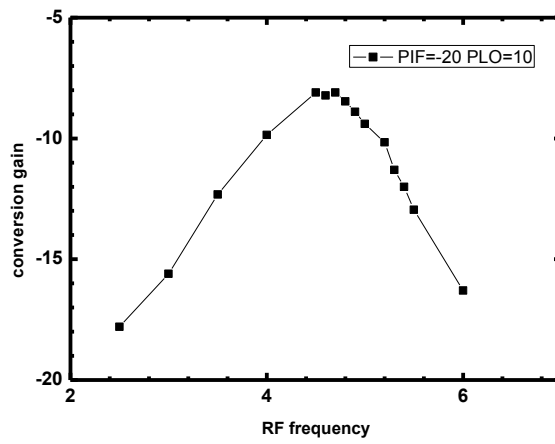
A.3.2 晶片量測結果：



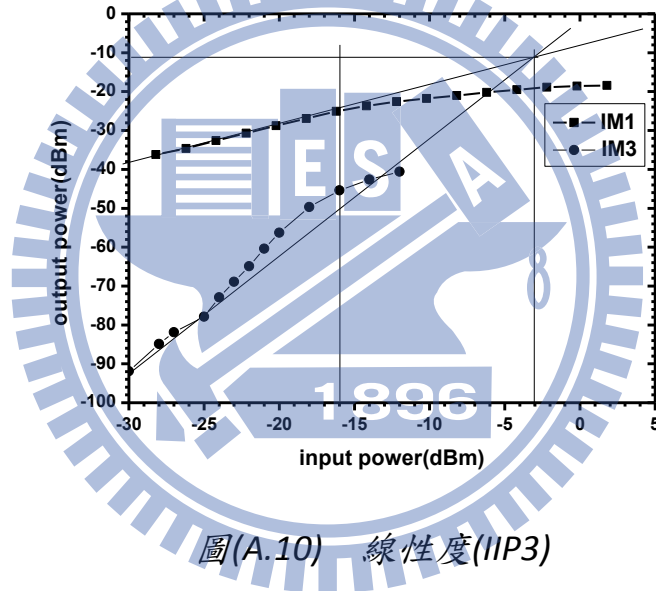
圖(A.7) 轉換增益對本地震盪訊號功率。



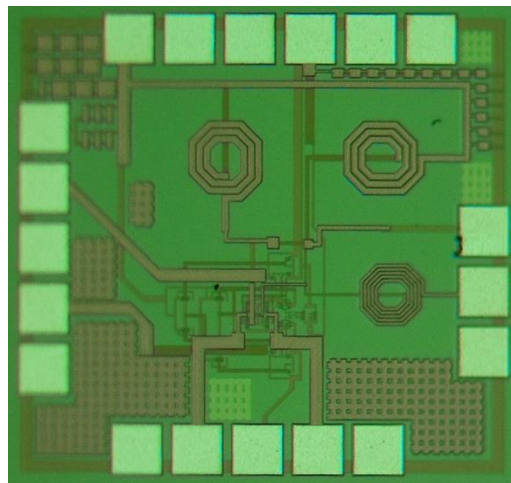
圖(A.8) 線性度(IP1dB)



圖(A.9) 轉換增益對RF 頻率。



圖(A.10) 線性度(IIP3)

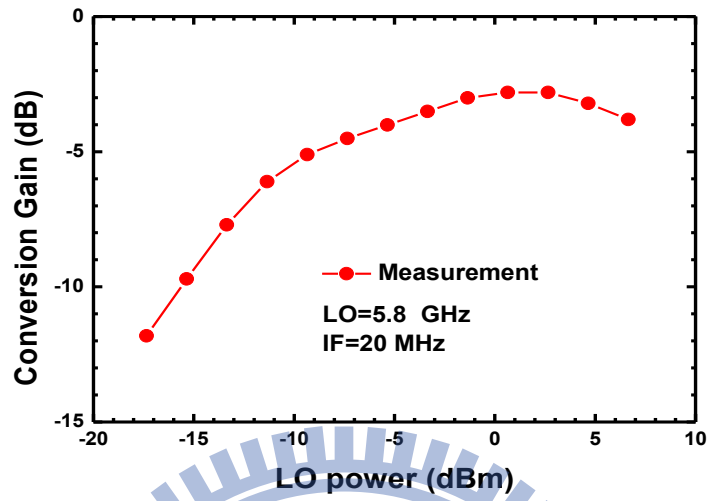


圖(A.11) Die Photo

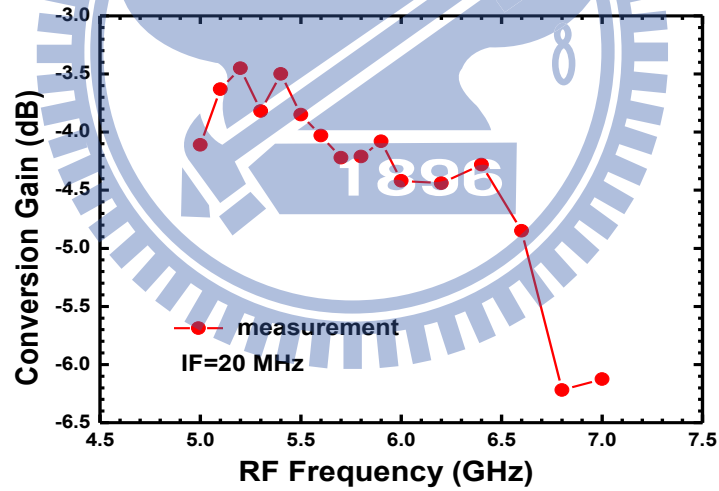
表A.1 Summary

Process	TSMC 0.35um SiGe	
RF/LO/IF	5.2GHz/5.1GHz/100MHz	
Simulation	Pre-sim	Post-sim
Power Supply	3V	3V
Core Current (mA)	5.3	5
Conversion Gain (dB)	-7	-8
P1dB (dBm)	-9	-11
IIP3 (dBm)	3	2.5
RF Return Loss (dB)	-15	-10
IF-to-RF Isolation (dB)	-110	-115
LO-to-RF Isolation (dB)	-75	-80
Power consumption	16mW	15mW
Chip size (mm ²)	0.8*0.76	

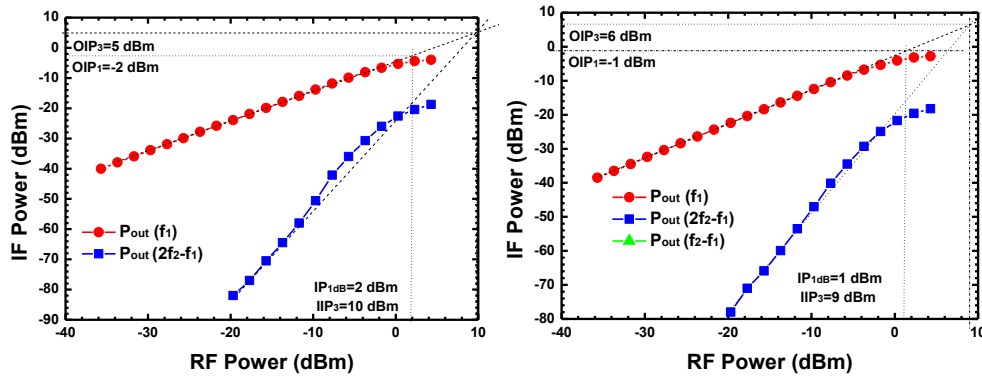
A.4 實作二，High Linearity Up-Convertor (CMOS 0.18um)



圖(A.12) 轉換增益對本地震盪訊號功率。



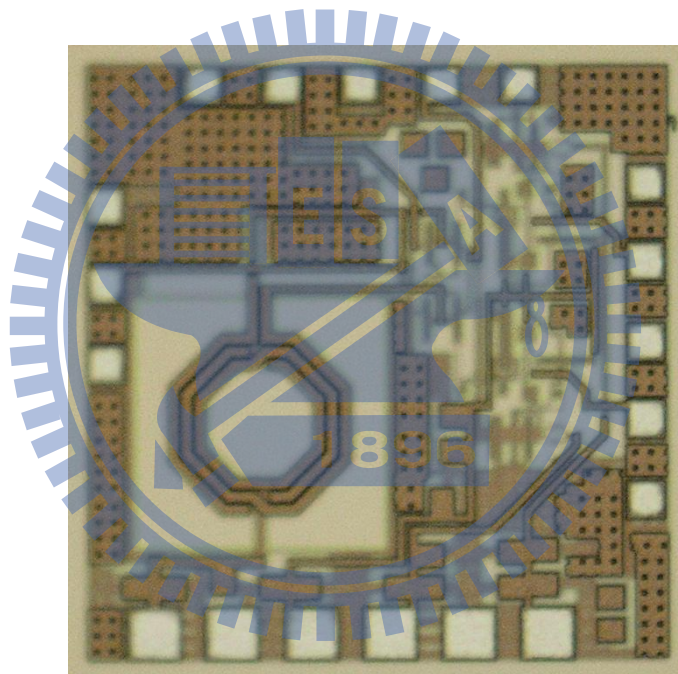
圖(A.13) 轉換增益對 RF 頻率。



(A)

(B)

圖(A.14) 線性度分別在頻率為(A)5.8GHz (B)5.2GHz



圖(A.15) Die Photo

表A.2 Summary

Process	TSMC 0.35um SiGe	
RF/LO/IF	5.2GHz/5.1GHz/100MHz	
Simulation	Pre-sim	Post-sim
Power Supply	3V	3V
Core Current (mA)	5.3	5
Conversion Gain (dB)	-7	-8
P1dB (dBm)	-9	-11
IIP3 (dBm)	3	2.5
RF Return Loss (dB)	-15	-10
IF-to-RF Isolation (dB)	-110	-115
LO-to-RF Isolation (dB)	-75	-80
Power consumption	16mW	15mW
Chip size (mm ²)	0.8*0.76	

參考文獻

第二章：

- [1] T. K. Nguyen, C. H. Kim, G. J. Ihm, M. S. Yang, and S. G. Lee, “CMOS low-noise amplifier design optimization techniques”, *IEEE Trans. Microw. Theory Tech.*, vol. 52, no. 5, May 2004.
- [2] 李宜珊, “CMOS 吉柏特混頻器之閃爍雜訊改進與60GHz覆晶封裝反對稱二極體混頻器,” 國立交通大學碩士論文, 2008.
- [3] I. Nam and K. Lee, “High-performance RF mixer and Operational Amplifier BiCMOS Circuit Using Parasitic Vertical Bipolar Transistor in CMOS Technology,” *IEEE J. Solid-State Circuits*, vol. 40, no.2, Feb. 2005.
- [4] K.J. Koh, M.Y. Park, C.S Kim and H.K. Yu, “Subharmonically Pumped CMOS frequency conversion(up and down) circuit for 2-GHz WCDMA direct-conversion trasceiver,” *IEEE J. Solid-State Circuits*, vol. 39, no.6, June. 2004.
- [5] M.Shimozawa, K Nakajima, H Ueda, T.Tadokoro, and N. Suematsu “An Even Harmonic Lmage Rejection Mixer using an eight-phase polyphase filter.”
- [6] L.Sheng, J.C. Jensen and L.E. Larson, “A wide-Bandwidth Si/SiGe HBT direct conversion sub-harmonic mixer/downconverter,” *IEEE J. Solid-State Circuits*, vol. 35, no.9, June. 2000.
- [7] R.S. Carson. “Radio Communication Concepts:analog,”1989
- [8] A.Zolfaghari, A.Chan and B. Razavi, “Stacked Inductors and transformers in CMOS technology,” *IEEE J. Solid-State Circuits*, vol. 36, no.4, April 2001.
- [9] Y.Feng, G.Takemura, S.Kawaguchi, and P. Kinget, “Design of a high performance 2-GHz direct-conversion front-end with a single-ended RF input in 0.13 μ m CMOS,” *IEEE J. Solid-State Circuits*, vol. 44, no.5, MAY 2009.
- [10] 吳伯誼, “鼠徑分合波吉柏特混頻器及次諧波混頻器設計,” 國立交通大學碩士論文, 2005.

第三章：

- [1] F.J Huang and K.K.O, “Schottky-Clamped NMOS Transistors Implemented in a Conventional 0.8- μ m CMOS Process,” *IEEE ELECTRON DEVICE LETTERS*, vol. 19, no. 9, Sep. 1998.
- [2] S. Sankaran and K.K.O, “Schottky Barrier Diodes for Millimeter Wave Detection in Foundry CMOS Process,” *IEEE ELECTRON DEVICE LETTERS*, vol. 26, no.7, July. 2005.
- [3] S. Sankaran and K.K.O, “A Ultra-Wideband Amplitude Modulation (AM)

Detector Using Schottky Barrier Diodes Fabricated in Foundry CMOS Technology,” *IEEE J. Solid-State Circuits*, vol. 42, no.5, May. 2005.

- [4] S. Shekhar, J.S.Walling, and D.J.Allstot, “Bandwidth Extension Techniques for CMOS Amplifiers,” *IEEE J. Solid-State Circuits*, vol. 41, no.11, Nov. 2005.

第四章：

- [1] *Wireless PAM MAC and PHY Specifications: 110+ Mb/s Higher Rate Alternative PHY*, IEEE Standard 802.15.3a.
- [2] A. Ismail, A.A.Abidi, “A 3-10-GHz Low-Noise Amplifier With Wideband LC-Ladder Matching Network,” *IEEE J. Solid-State Circuits*, vol. 39, no.12, Dec. 2004.
- [3] C.F. Liao, S.I.Liu, “A Broadband Noise-Canceling CMOS LNA for 3.1-10.6-GHz UWB Receivers,” *IEEE J. Solid-State Circuits*, vol. 42, no.2, Feb. 2007.
- [4] A Bevilacqua, A.M.Niknejad, “An Ultrawideband CMOS Low-Noise Amplifier for 3.1-10.6-GHz Wireless Receivers,” *IEEE J. Solid-State Circuits*, vol. 39, no.12, Dec. 2004.
- [5] P. Wang, F.Jonsson, H.Tenhunen, D. Zhou, and L.R.Zheng “Low Noise Amplifier Architecture Analysis for OFDM-UWB System in 0.18 μ m CMOS.”
- [6] Y.J. Lin, S.S.Jonsson, H.Tenhunen, D. Zhou, and L.R.Zheng “Low Noise Amplifier Architecture Analysis for OFDM-UWB System in 0.18 μ m CMOS.”
- [7] F.Zhang, and Peter Kinget “Low Power Programmable-Gain CMOS Distributer LNA for Ultra-Wideband Applications.”
- [8] C.R Wu, H.H.Hsieh and L.H. Lu, “An Ultra-wideband CMOS Distributed Active Mixer MMIC in 0.18- μ m CMOS Technology,” *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 4, April. 2007.
- T. Tseng *et al.*, “Monolithic broadband Gilbert micromixer with an integrated Marchand balun using standard silicon IC process,” *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 12, pp. 4362-4371, Dec. 2006.

附錄：

- [1] W. -S. Chung and H. -W. Cha, “Bipolar Linear Transconductor,” *Electronics Letters*, vol. 26, no. 10, May. 1990.