

國立交通大學

電信工程研究所

碩士論文

2.4/5.8-GHz 低功率低雜訊 CMOS 直接降頻  
接收機

2.4/5.8-GHz Low-Power Low-Noise CMOS Direct Conversion  
Receivers

研究生：張智凱

指導教授：孟慶宗

中華民國九十九年七月

2.4/5.8-GHz 低功率低雜訊 CMOS 直接降頻  
接收機

2.4/5.8-GHz Low-Power Low-Noise CMOS Direct Conversion  
Receivers

研究生:張智凱

Student: Chih-Kai Chang

指導教授:孟慶宗 博士

Advisor: Dr. Chinchun Meng

國立交通大學

電信工程研究所

碩士論文

A Thesis

Submitted to Institute of Communication Engineering

College of Electrical and Computer Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In

Communication Engineering

July 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年七月

# 2.4 / 5.8-GHz 低功率低雜訊 CMOS 直接降頻接收機

學生：張智凱

指導教授：孟慶宗 博士

國立交通大學

電信工程研究所碩士班

## 摘要

本篇論文設計並實現適用於無線個人區域網路的射頻積體電路。主要會依電路大小分成兩大部份：第一部份為前端接收電路中最重要之低雜訊放大器，實現應用於低頻及高頻之電路。第二部份則是實現出適用於 ISM 頻帶之接收機。

論文首先會對於低雜訊放大器架構及其低功率技術研究，針對一般疊接放大器做探究再利用 TSMC 0.18- $\mu\text{m}$  CMOS 製程 2.4-GHz&5.8-GHz 具功率考量之單頻放大器，以及利用 TSMC 0.13- $\mu\text{m}$  CMOS 製程結合雙變壓器元件實現雙頻帶放大器，最後利用 TSMC 90-nm CMOS 製程應用雙閘極技術完成 60-GHz 放大器。

有前章具功率考量放大器實作後，進一步延伸到低功率接收機設計。先行探討主動混頻器及可調增益放大器各類特性，分別搭配不同本地震盪產生器，在考量電流消耗下，利用 TSMC 0.18- $\mu\text{m}$  CMOS 製程實現出具低功率、低雜訊接收機。

# 2.4/5.8-GHz Low-Power Low-Noise CMOS Direct

## Conversion Receivers

Student : Chih-Kai Chang

Advisor : Chinchun Meng

Institute of Communication Engineering  
National Chiao Tung University

### Abstract

In this thesis, the radios which are suitable for Wireless Personal Area Network (WPAN) applications are designed and implemented. The thesis consists of two parts. The first part focuses on the most important part in front-end circuits - Low Noise Amplifier, and implements in low & high frequency. The second part implements receivers which are suitable for ISM band applications.

First, we study low noise amplifier schematics and its different low-power techniques. And then, we discuss for cascode low noise amplifier and implement 2.4-GHz & 5.8-GHz power-constrained single-band amplifier in TSMC 0.18- $\mu\text{m}$  CMOS technology. Otherwise, we use trifilar-type component implementing dual-band amplifier in TSMC 0.13- $\mu\text{m}$  CMOS technology. Finally, 60-GHz dual-gate LNA is implemented in TSMC 90-nm CMOS technology.

Because power-constrained amplifier implemented in former chapter, we can use it to extending to the low power receivers. First, we consider various performance in active mixer and VGA. Composed with various LO generator individually, we implement low power low noise receivers on the power restriction in TSMC 0.18- $\mu\text{m}$  CMOS technology.

## 誌謝

---

回想當初對電路設計並無基礎下，還能在二年後完成這本論文，在這要感謝的人真的很多。首先感謝孟慶宗教授讓我能真正踏入射頻積體電路之這塊領域，並在研究方面惠學生良多。再來感謝特地抽空來參與學生口試的鍾世忠教授、蘇朝琴教授以及徐碩鴻教授，老師們在口試中所提出的問題以及提拔都讓學生銘記在心。而在晶片的量測過程中，要感謝國家奈米元件實驗室全體同仁的協助，特別是汶德、志華、榮彥、書毓，非常複雜的下針佈局在你們操作下，也能順利獲得不錯的量測結果。

918 實驗室的大家，先要感謝你們能忍受我古怪個性。首先，相處最久戰友們-忠佑及嘉苓，不論是在搞笑、玩樂及研究上，都會有你們的身影，在這兩年中有你們真好！而博士班的金詳學長，本文許多晶片的模擬及量測所需知識從出自他手，可謂此論文之推手，研究積極態度更是學弟所學習的；宏儒學長的高頻電路專長，讓我對這方面也能有一定涉獵；珍儀學姐就像大姐姐一樣照顧大家，讓人有安心的感覺。也非常感謝碩士班的熙良學長，做事效率、快速積極態度及對學弟的熱心幫助，是個學長楷模；大維學長對於美食的追求不下於

---

---

學術研究，使我更能品嚐美味事物；泰麟學長對於相關電路設計叢書的涉獵，讓我知道書本的重要；欣怡學姐負責且正直的處事態度，讓我留下深刻印象。彥鋒學弟的冷笑話，總是會有意外的效果；雋學弟對大家的付出有目同睹，從慶生就可略知一二；助理建守是室長，能讓大家更無慮地在研究上努力。

感謝一路陪伴我的父母跟姐姐，沒有你們的支持鼓勵我是不可能走到這裡，更遑提此論文的出現。最後，在此將本論文的榮耀獻給在這兩年來伴我走過的人們。



張智凱 謹於  
Lab918, 交通大學  
2010年7月

# 目錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	v
表目錄	viii
圖目錄	ix
第一章 導論	1
1.1 研究動機	2
1.2 論文組織	3
第二章 低雜訊放大器之電路設計	5
2.1 前言	6
2.2 輸入級架構比較	7
2.3 低功率之放大器探討	10
2.3.1 低電流操作	11
2.3.2 低電壓操作	13
2.3.3 電流共用	14
2.4 考量功率消耗之低雜訊放大器設計	15
2.4.1 主動元件特性	18
2.4.2 考量功率消耗低雜訊放大器之最佳化	20
2.5 實作一：2.4 GHz 低雜訊放大器(CMOS 0.18- $\mu\text{m}$ )	24
2.5.1 研究動機	24
2.5.2 電路設計	24
2.5.3 晶片模擬與量測結果	25
2.5.4 結果與討論	27
2.6 實作二：5.8 GHz 低雜訊放大器(CMOS 0.18- $\mu\text{m}$ )	29
2.6.1 研究動機	29
2.6.2 電路設計	30
2.6.3 晶片量測結果	31
2.6.4 結果與討論	33
2.7 實作三：雙頻帶雙變壓器型態之低雜訊放大器(CMOS 0.18- $\mu\text{m}$ )	35
2.7.1 研究動機	35
2.7.2 雙頻帶技術	36
2.7.3 電路設計	37
2.7.4 晶片量測結果	47

2.7.5 結果與討論 .....	48
2.8 實作四：60-GHz 雙閘極放大器 (CMOS 90-nm).....	49
2.8.1 研究動機 .....	49
2.8.2 雙閘極技術 .....	49
2.8.3 電路設計 .....	51
2.8.4 晶片量測結果 .....	52
2.8.4 結果與討論 .....	53
第三章 2.4/5.8-GHz 低功率接收機 .....	55
3.1 前言 .....	56
3.2 系統架構比較與選擇 .....	57
3.3 吉柏特混頻器 .....	58
3.3.1 增益分析 .....	58
3.3.2 熱雜訊分析 .....	59
3.3.3 線性度分析 .....	62
3.4 主動混頻器型態比較 .....	72
3.5 實作一：利用次臨界技術低功率低雜訊之 2.4-GHz 直接降頻接收機 (CMOS 0.18- $\mu$ m) .....	75
3.5.1 研究動機 .....	75
3.5.2 可調增益放大器分析 .....	76
3.5.3 電路設計 .....	77
3.5.4 晶片量測結果 .....	83
3.5.5 結果與討論 .....	86
3.6 實作二：5.8-GHz 低功率低雜訊接收機 (CMOS 0.18- $\mu$ m).....	87
3.6.1 研究動機 .....	87
3.6.2 電路設計 .....	89
3.6.3 晶片量測結果 .....	97
3.6.4 結果與討論 .....	100
3.7 實作二：5.8-GHz 具輸入二階交調截點之低功率低雜訊接收機(CMOS 0.18- $\mu$ m) .....	101
3.7.1 研究動機 .....	101
3.7.2 二階交調截點改善方法 .....	102
3.7.3 電路設計 .....	104
3.7.4 晶片模擬結果 .....	107
3.8 實作四：使用除二除頻器之直接降頻混頻器(CMOS 0.18- $\mu$ m).....	108
3.8.1 研究動機 .....	108
3.8.2 正交相位產生方式 .....	110
3.8.3 除頻器分析 .....	110
3.8.4 電路分析 .....	113



3.8.5 晶片量測結果 .....	116
3.8.6 結果與討論 .....	118
3.9 實作五：使用除二除頻器之低功率低雜訊直接降頻混頻器(CMOS 0.18- $\mu\text{m}$ ) .....	119
3.9.1 研究動機 .....	119
3.9.2 顫動雜訊成因分析 .....	120
3.9.3 電路設計 .....	124
3.9.4 晶片量測與結果 .....	129
3.9.5 結果與討論 .....	132
第四章 結論 .....	135
參考文獻 .....	137
附錄一：電晶體元件量測結果 .....	143
A1.1 電路設計 .....	144
A1.2 量測結果 .....	144
附錄二：5.8-GHz 低雜訊放大器 .....	149
A2.1 電路設計 .....	150
A2.2 量測結果 .....	150
附錄三：5.8-GHz 低功率低雜訊接收機 .....	154
A3.1 電路設計 .....	155
A3.2 量測結果 .....	156
Vita .....	159



# 表目錄

表 1.1	全球 SRD 可用頻率	3
表 2.1	選取低電流密度之模擬與量測比較	27
表 2.2	選取高電流密度之模擬與量測比較	28
表 2.3	高低電流密度選取之量測比較	28
表 2.4	2.4-GHz 低雜訊放大器文獻比較表	29
表 2.5	加入外加電容之模擬與量測比較表	34
表 2.6	無外加電容之模擬與量測比較表	34
表 2.7	5.8-GHz 低雜訊放大器實作比較表	35
表 2.8	5.8-GHz 低雜訊放大器文獻比較表	35
表 2.9	5-GHz、10-GHz 雙頻帶放大器量測特性表	48
表 2.10	60-GHz 雙閘極放大器量測特性表	54
表 3.1	輸入轉導級之二次轉導對製程變異表	67
表 3.2	切換轉導級混頻器與一般混頻器比較表	74
表 3.3	利用次臨界技術低功率低雜訊之 2.4GHz 之直接降頻接收機量測與模擬比較表	87
表 3.4	5.8-GHz 低功率低雜訊直接降頻接收機量測與模擬比較表	100
表 3.5	5~6-GHz 接收機文獻比較表	101
表 3.6	5.8GHz 具輸入二階交調截點改善之低功率低雜訊接收機表	108
表 3.7	除頻器架構比較表	112
表 3.8	使用除二除頻器之低電流混頻器特性表	118
表 3.9	使用除二除頻器之直接降頻具閃爍雜訊改進之接收機特性表	133
表 3.10	2.4-GHz 接收機文獻比較表	134
表 A2.1	5.8-GHz 放大器量測比較表	153
表 A3.1	5.8-GHz 低功率接收機量測特性	158

# 圖目錄

圖 1.1	無線通訊標準發展層次示意圖	2
圖 2.1	(a)共源極、共閘極匹配及(b)常見電路	7
圖 2.2	(a)共源極及(b)共閘極雜訊分析	8
圖 2.3	(a)利用回授共閘極匹配架構及(b)以變壓器實現架構	8
圖 2.4	(a)利用變壓器共源極匹配架構及(b)其小信號分析	10
圖 2.5	模擬(左)60 $\mu\text{m}$ /0.18 $\mu\text{m}$ (b)240 $\mu\text{m}$ /0.18 $\mu\text{m}$ NMO 之 $f_T$ and $g_m/I_d$	12
圖 2.6	模擬(左)60 $\mu\text{m}$ /0.18 $\mu\text{m}$ (b)240 $\mu\text{m}$ /0.18 $\mu\text{m}$ NMO 之 $g_m$ and $r_{ds}$	13
圖 2.7	折疊式低雜訊放大器[4]	13
圖 2.8	順向基極偏壓之放大器[5]	14
圖 2.9	常見電流共用架構[6][7]	14
圖 2.10	疊接放大器電路架構	17
圖 2.11	具源極退化疊接放大器雜訊分析	17
圖 2.12	電晶體雜訊模型	19
圖 2.13	考慮功率消耗之低雜訊放大器	20
圖 2.14	最低雜訊指數(量測)及截止頻率(模擬)對電流密度關係圖	21
圖 2.15	(a)電流密度為 8 (b)17 的低雜訊放大器	24
圖 2.16	最低雜訊指數及截止頻率對電流密度模擬圖(2.4GHz)	25
圖 2.17	輸入返回損耗及電壓增益(左為低電流右為高電流密度)	25
圖 2.18	雜訊指數	26
圖 2.19	功率線性度	26
圖 2.20	Die Photo (左)(0.75mm $\times$ 1mm) (右)(0.75mm $\times$ 1mm)	26
圖 2.21	(a)並聯外加電容及(b)無外加電容放大器	30
圖 2.22	最低雜訊指數及截止頻率對電流密度模擬圖(5.8GHz)	30
圖 2.23	輸入返回損耗及電壓增益(左為低電流右為高電流密度)	31
圖 2.24	雜訊指數	32
圖 2.25	電壓增益及雜訊指數對電流密度	32
圖 2.26	功率線性度	32
圖 2.27	Die Photo (左)(0.53mm $\times$ 0.88mm) (右)(0.46mm $\times$ 0.85mm)	33
圖 2.28	共存式(concurrent)基本架構	37
圖 2.29	(a)輸入匹配電路及其(b)小信號分析	37
圖 2.30	(a)無耦合及(b)具耦合之疊接放大器	38
圖 2.31	(a)無耦合及(b)具耦合之 $S_{11}$ 模擬比較圖	38
圖 2.32	輸入級考慮寄生電阻之等效雜訊電路	39
圖 2.33	實作變壓器立體圖	40

圖 2.34	變壓器之電感及耦合模擬圖	40
圖 2.35	傳統雙頻帶架構	41
圖 2.36	具零點電路架構	42
圖 2.37	(a)考慮耦合及其(b)等效電路	42
圖 2.38	以變壓器實現等效電路	43
圖 2.39	加入後級電晶體之等效電路	43
圖 2.40	加入後級電晶體之等效電路模擬圖	44
圖 2.41	考慮第一級之等效電路	45
圖 2.42	雙變壓器立體圖	45
圖 2.43	雙變壓器感值及各耦合值模擬圖	46
圖 2.44	雙變壓器寄生電阻模擬圖	46
圖 2.45	利用雙變壓器型態之雙頻帶放大器	46
圖 2.46	(左)輸入及輸出返回損耗與(右) $S_{21}$ 及雜訊指數	47
圖 2.47	(左)5GHz 及(右)10GHz 線性度	47
圖 2.48	Die Photo ( 0.6mm × 0.6 mm )	48
圖 2.49	(a)一般疊接放大器及(b)雙閘極電路表示圖	49
圖 2.50	雙閘極佈局表示圖	49
圖 2.51	雙閘極放大器電路圖	51
圖 2.52	第一級(左)電感值(右)品質因素	52
圖 2.53	(左) $S$ 參數與(右)功率線性度量測圖	52
圖 2.54	雜訊指數量測圖	52
圖 2.55	Die Photo ( 0.6mm × 0.6 mm )	53
圖 2.56	$S_{11}$ 模擬與量測比較圖	53
圖 3.1	超外差接收機架構	58
圖 3.2	(a)低中頻接收機及(b)直接降頻接收機架構	58
圖 3.3	混頻器熱雜訊源示意圖	59
圖 3.4	(a)非完全切換等效 $G(t)$ 函數及(b)完全切換雜訊分析	61
圖 3.5	混頻器非線性來源示意圖	62
圖 3.6	(a)考慮 RF-LO 泄漏之切換級及其(b)切換函數	63
圖 3.7	軟切換造成非線性示意圖	64
圖 3.8	切換級本身非線性示意圖	65
圖 3.9	切換級本身非線性示意圖	68
圖 3.10	考慮切換級不匹配及電容效應電路	69
圖 3.11	整流輸入對切換級影響示意圖	70
圖 3.12	吉柏特混頻器及切換轉導混頻器比較圖	72
圖 3.13	切換轉導混頻器電路	73
圖 3.14	(a)電流對時間函數及(b)等效轉導時間函數	73
圖 3.15	轉導級熱雜訊對輸出示意圖	74

圖 3.16	利用次臨界技術接收機電路圖	75
圖 3.17	常見可調增益放大器架構	76
圖 3.18	考慮功率消耗之低雜訊放大器電路圖	77
圖 3.19	(左)負載為 $50\Omega$ (右)負載為開路的輸入返回損耗量測圖	79
圖 3.20	(a)考慮負載後等效電路(b)負載對 $S_{11}$ 示意圖	79
圖 3.21	次臨界導通主動式混頻器電路圖	80
圖 3.22	次臨界導通可變增益放大器電路圖	81
圖 3.23	次臨界導通可變增益放大器之負載小訊號等效模型	82
圖 3.24	多相位濾波器電路圖	83
圖 3.25	(左)轉換增益對 LO 功率(右)轉換增益對 RF 頻率	83
圖 3.26	(左)中頻輸出功率對 RF 功率(右)轉換增益對 RF 功率	84
圖 3.27	(左)轉換增益對控制電壓(右)功率線性度	84
圖 3.28	轉換增益對中頻頻率(左)1M Ohm Load(右)50 Ohms Load	84
圖 3.29	(左)輸入返回損耗(右)LO 埠對 RF 及 IF 埠隔離度	85
圖 3.30	接收機雜訊指數	85
圖 3.31	Die Photo ( 1mm $\times$ 1 mm )	85
圖 3.32	5.8GHz 低功率低雜訊接收機電路圖	88
圖 3.33	考慮功率消耗之低雜訊放大器電路圖	89
圖 3.34	以電流源等效差動放大器	90
圖 3.35	(a)具耦合電感負載之差動放大器示意圖及其(b)等效電路	91
圖 3.36	(左)一般電感及(右)具耦合電感負載共模與差模增益	91
圖 3.37	單端轉雙端放大器電路圖	91
圖 3.38	$V_g$ 無共用時(a)共模及(b)差模電路	92
圖 3.39	$V_g$ 共用時(a)共模及(b)差模電路	92
圖 3.40	低電流混頻器電路圖	95
圖 3.41	低電流可調增益放大器電路圖	96
圖 3.42	(左)轉換增益對 LO 功率(右)轉換增益對 RF 頻率	97
圖 3.43	(左)中頻輸出功率對 RF 功率(右)轉換增益對 RF 功率	97
圖 3.44	(左)轉換增益對控制電壓(右)高增益模式功率線性度	97
圖 3.45	低增益模式功率線性度(左)VGA 調整(右)LNA 調整	98
圖 3.46	轉換增益對中頻頻率(左)1M Ohm Load(右)50 Ohms Load	98
圖 3.47	(左)輸入返回損耗(右)LO 埠對 RF 及 IF 埠隔離度	98
圖 3.48	接收機雜訊指數(左)對 RF 頻率(右)對可調電壓	99
圖 3.49	(左)輸出增益與相位不匹配(右)輸出波形(5.5GHz)	99
圖 3.50	Die Photo ( 1.5mm $\times$ 1 mm )	99
圖 3.51	二次諧波對直接降頻頻帶示意圖	102
圖 3.52	消除二次諧波架構圖	102
圖 3.53	具輸入二階交調截點改善之接收機器電路圖	103

圖 3.54	單端轉雙端放大器電路圖	104
圖 3.55	(a)自行模擬(b)Foundry 電感佈局比較圖	105
圖 3.56	(左)電感值(右)耦合值模擬比較圖	105
圖 3.57	品質因素(Q)值模擬比較圖	105
圖 3.58	具輸入二階交調截點改善之混頻器電路圖	106
圖 3.59	高輸入二諧波交調截點之切換級解決方法	106
圖 3.60	(左)轉換增益對 LO 功率(右)轉換增益對 RF 頻率	107
圖 3.61	(左)轉換增益對 RF 功率(右)轉換增益對中頻	107
圖 3.62	(左)輸入返回損耗 (右)雜訊指數	107
圖 3.63	使用除二除頻器之直接降頻具閃爍雜訊改進之混頻器電路圖	109
圖 3.64	(a)電流模式邏輯(CML)(b)注入鎖定式	111
圖 3.65	靜態電流模式邏輯除頻器	112
圖 3.66	低電流吉柏特混頻器電路圖	113
圖 3.67	動態負載除頻器電路圖	114
圖 3.68	動態除頻器小訊號電路(a)Clock=High (b)Clock=Low	114
圖 3.69	(a)共汲極(b)共源極電路圖	116
圖 3.70	(左)除頻器靈敏度(右)轉換增益對 RF 功率	116
圖 3.71	(左)功率線性度(右)轉換增益對 IF 頻率	116
圖 3.72	(左)2LO to RF/IF 隔離度(右) LO to RF/IF 隔離度	117
圖 3.73	(左)輸出增益與相位不匹配(右)輸出波形(2.4GHz)	117
圖 3.74	雜訊指數對(左)LO 功率(右)LO 頻率)	117
圖 3.75	Die Photo ( 0.9mm × 1.1 mm )	118
圖 3.76	具閃爍雜訊改進接收機電路圖	119
圖 3.77	(a)考慮電容效應切換級(b)開啟重疊及(c)輸出雜訊示意圖	120
圖 3.78	直接機制對輸出雜訊示意圖	122
圖 3.79	電容效應對切換級示意圖	123
圖 3.80	(a)靜態電流注入及(b)動態電流注入機制	124
圖 3.81	動態電流注入之主動混頻器電路圖	125
圖 3.82	動態負載除頻器電路圖	125
圖 3.83	動態及穩態的時域圖	126
圖 3.84	(a)具主動電感(b)二極體負載之差動放大器	127
圖 3.85	(左)主動負載電路分析(右)主動負載與二極體負載模擬圖	127
圖 3.86	ADS 變壓器物理等效電路	127
圖 3.87	變壓器佈局圖	128
圖 3.88	(左)除頻器靈敏度(右)轉換增益對 RF 頻率	129
圖 3.89	(左)中頻輸出功率對 RF 功率(右)轉換增益對 RF 功率	129
圖 3.90	(左)轉換增益對控制電壓(右)高增益模式功率線性度	129
圖 3.91	(左)中增益模式(右)低增益功率線性度	130

圖 3.92	轉換增益對中頻頻率(左)1M Ohm Load(右)50 Ohms Load	130
圖 3.93	(左)輸入返回損耗(右)線性度對轉換增益	130
圖 3.94	(左)2LO 及(右)LO 埠對 IF、RF 隔離度	131
圖 3.95	接收機雜訊指數(左)量測(右)模擬圖	131
圖 3.96	(左)增益與相位不匹配(右)輸出波形(@2.25GHz)	131
圖 3.97	Die Photo ( 1.5 mm × 1.3 mm )	132
圖 A1.1	Die Photo ( 1 mm × 1 mm )	144
圖 A1.2	(左)2x32 (右)2x64的最低雜訊	144
圖 A1.3	(左)4x16 (右)4x32的最低雜訊	145
圖 A1.4	(左)4x64 (右)8x64的最低雜訊	145
圖 A1.5	(左)50/0.5 (右)100/1雜訊分布圖	145
圖 A1.6	(左)200/2 (右)NPN2雜訊分布圖	146
圖 A1.7	(左)NPN5 (右)NPN10雜訊分布圖	146
圖 A1.8	NPN2(左) $f_t$ (右) $f_{max}$	146
圖 A1.9	NPN2(左) $t_f$ (右)Gummel	147
圖 A1.10	NPN5(左) $f_t$ (右) $f_{max}$	147
圖 A1.11	NPN5(左) $t_f$ (右)Gummel	147
圖 A1.12	NPN10(左) $f_t$ (右) $f_{max}$	148
圖 A1.13	NPN10(左) $t_f$ (右)Gummel	148
圖 A2.1	低雜訊放大器電路圖	150
圖 A2.2	A-電路之(左)S 參數(右)雜訊指數量測圖	150
圖 A2.3	A-電路之(左)增益雜訊(右)功率線性度量測圖	151
圖 A2.4	B-電路之(左)S 參數(右)雜訊指數量測圖	151
圖 A2.5	B-電路之(左)增益雜訊(右)功率線性度量測圖	151
圖 A2.6	C-電路之(左)S 參數(右)雜訊指數量測圖	152
圖 A2.7	C-電路之(左)增益雜訊(右)功率線性度量測圖	152
圖 A2.8	Die Photo	152
圖 A3.1	利用次臨界技術接收機電路圖	155
圖 A3.2	(左)轉換增益對 LO 功率(右)轉換增益對 RF 頻率	156
圖 A3.3	(左) 轉換增益對 RF 功率(右)轉換增益對控制電壓	156
圖 A3.4	(左) 功率線性度(右) 輸入返回損耗	156
圖 A3.5	轉換增益對中頻頻率(左)1M Ohm Load(右)50 Ohms Load	157
圖 A3.6	(左) LO 埠對 RF 及 IF 埠隔離度(右)雜訊指數	157
圖 A3.7	(左)輸出增益與相位不匹配(右)輸出波形(6.5GHz)	157
圖 A3.8	Die Photo ( 1 mm × 0.9 mm )	158

# 第一章

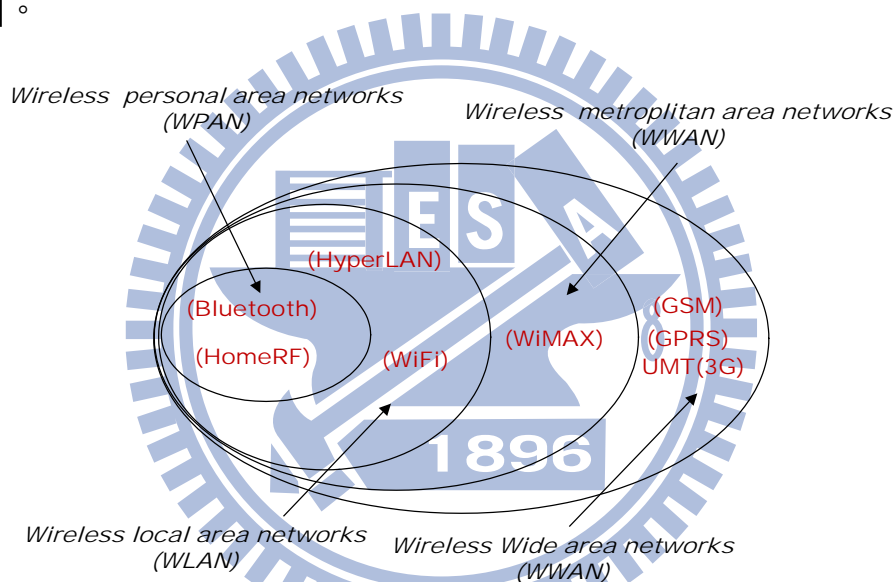
## 導論





## 1.1 研究動機

IEEE 電機及電子工程師協會綜合數百名業內之專家學者意見，以涵蓋之區域大小為基準，訂出了無線通訊標準發展層次示意圖，如所示。該圖包括了從個人區域網 PAN(Personal Area Network)的 IEEE 802.15標準到本地區域網 LAN(Local Area Network)的 IEEE 802.11標準、都市區域網 MAN(Metropolitan Area Network)的 IEEE 802.16標準，直至提議中的廣域網 WAN(Wide Area Network)的 IEEE 802.20標準[1]。



圖(1.1) 無線通訊標準發展層次示意圖

短距離裝置(Short Range Device, SRD)一詞，指的是具備單向或雙向通訊能力，且不會對其他無線裝置造成干擾的無線收發器。SRD應用廣泛，能夠提供多種不同的服務，比較常見的應用包含家庭或大樓自動化系統中的遙控應用、無線感測器系統、報警、汽車(如遠端無鑰匙車門鎖和遠端汽車啟動)以及語音和視訊的無線傳輸等。

在選擇無線通訊頻率時，SRD無線系統的設計者必須非常小心。在大多數情況下，可選擇的範圍局限於在滿足特定的規範和使用條件

的前提下可免授權使用的頻段[表1.1]。設計者通常選用2.4GHz 頻段。事實上，它已經成為藍牙(Bluetooth)、無線區域網路(WLAN)和 ZigBee 等標準首選的工作頻段。而在無線電話或802.11a 版本的 WLAN 應用中，有些系統也採用5.8GHz 頻段，但其共存問題為電池供電。所以針對這兩頻段，在第二章會設計具功率限制低雜訊放大器。接下來再針對近年來新興的通訊標準60-GHz 頻段，實現相關應用的 CMOS 元件60-GHz 前端電路。

表1.1 全球 SRD 可用頻率

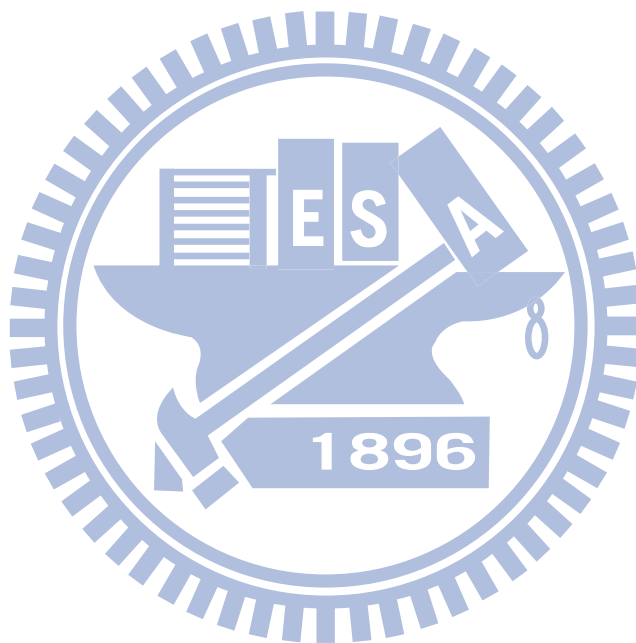
全球頻率分配	說明
13.56-MHz	用於近場通訊
40-MHz	不常用，可用於長距離通訊
433-MHz	美國使用，須降低功率
<b>2.4-GHz</b>	<b>全球通用的頻段</b>
<b>5.8-GHz</b>	<b>有些系統從 2.4GHz 轉向使用 5.8GHz</b>

在第三章中，延續第二章的 ISM 頻段電路，從低雜訊放大器電路延伸到整體接收機，探討混頻器及可調增益放大器特性，實現出適用於此頻段的低功率低雜訊接收機，解決在 SRD 中電池更換不易需低功率，以提高產品的方便性。

## 1.2 論文組織

本篇論文將利用 TSMC 0.18  $\mu\text{m}$  CMOS、TSMC 0.13  $\mu\text{m}$  CMOS 及 TSMC 90 nm CMOS 製程技術來設計晶片。本論文分為四個章節，第一章為導論，說明了研究動機與論文組織。第二章為低雜訊放大器設計，介紹各種放大器架構及低功率的技術，依操作頻段及頻率類

型，實作出一系列放大器。第三章為適用於 ISM 頻帶的低功率接收機，在第二章現有實作下，利用主動混頻器搭配不同的本地震盪產生器，實現分別具低雜訊、線性度改善及顫動雜訊改善之電路。第四章則對上述的所有電路設計與實作結果做個結論與比較。





## 2.1 前言

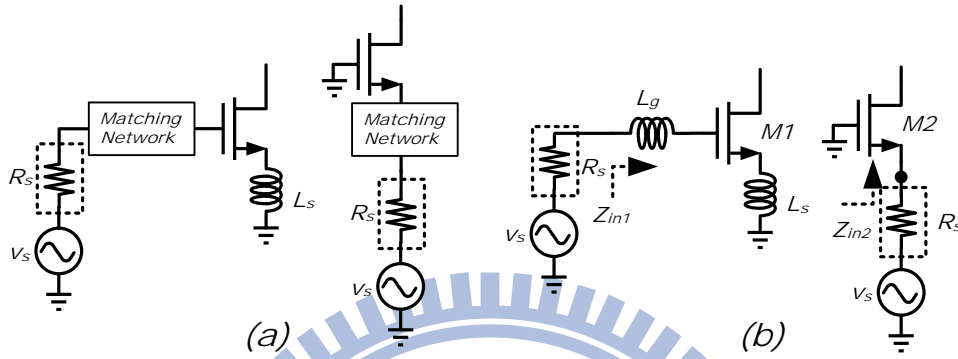
由於 WLAN、Bluetooth、CDMA...等無線通訊系統的普及與風行，因此無線電收發機的設計與研製在現今各種不同的通訊系統當中也格外的顯得非常重要。而在接收機中，靈敏度(Sensitivity)及動態範圍(Dynamic Range)為主要考量因素，第一級的雜訊指數(noise figure)決定整個接收端的靈敏度及動態範圍，對訊號傳輸品質有很大影響；其中，低雜訊放大器(low noise amplifier)是天線端接收之後的最前端射頻元件電路；另外，針對接收機整體雜訊指數為：

$$NF_{total} = NF_1 + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1 G_2} + \dots \quad (2.1)$$

可發現若第一級電路提供足夠增益，則由後面電路造成的雜訊貢獻將可忽略，只剩低雜訊放大器本身的雜訊指數。因此使接收端具高增益、低雜訊的特性，才能確保整個系統有最佳的性能。本章節將討論低雜訊放大器在功率限制下的設計流程，並針對不同接收機解決方案，實作單頻且適用於無線通訊頻帶(2.4GHz & 5.8 GHz)之放大器，及操作雙頻帶(5GHz & 10 GHz)之放大器，最後再針對由 WiGig(Wireless Gigabit Alliance)發展的高傳輸 1Gb 速率短距離無線技術，實作出 60-GHz 之雜訊放大器。

## 2.2 輸入端架構比較

依照電路類型來分，大概可分為兩種：共閘極(Common Gate)及共源極(Common Source)，如圖(2.1)：



圖(2.1) (a)共源極、共閘極匹配及(b)常見電路

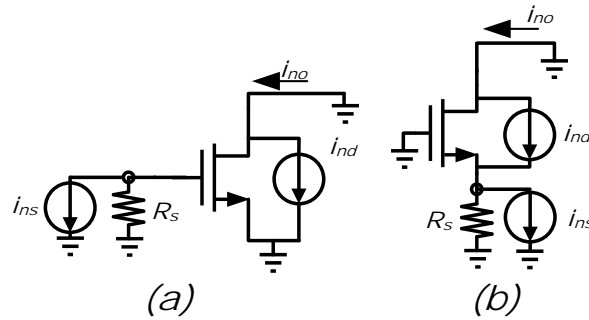
其中 Matching Network 能決定操作頻率及頻寬。而最一般的架構如圖(2.1)右邊。若針對其阻抗做比較，可得

$$\begin{cases} Z_{in1} = s(L_s + L_g) + \frac{1}{sC_{gs}} + \frac{g_{m1}L_s}{sC_{gs}} \\ Z_{in2} = \frac{1}{(g_{m2} + sC_{gs})} \end{cases} \quad (2.2)$$

在史密斯圖上可得到一個為從開路到 50；另一個則在 50 歐姆附近。

可知 CS 為窄頻應用；CG 為寬頻。兩者在雜訊表現為：

$$\begin{cases} F_1 = 1 + \frac{\overline{i_{ind}^2} \cdot \left(\frac{1}{g_m R_s}\right)^2}{\overline{i_{ins}^2} \cdot \left(\frac{g_m R_s}{1 + g_m R_s}\right)^2} = 1 + \frac{\overline{i_{ind}^2}}{\overline{i_{ins}^2}} \left(\frac{1}{g_m R_s}\right)^2 \\ F_2 = \left(\frac{1}{g_m^2 R_s^2}\right) \cdot \left(\frac{\overline{i_{ins}^2} \cdot g_m^2 R_s^2 + i_{ind}^2}{\overline{i_{ins}^2}}\right) = 1 + \frac{\overline{i_{ind}^2}}{\overline{i_{ins}^2}} \left(\frac{1}{g_m R_s}\right)^2 \end{cases} \quad (2.3)$$



圖(2.2) (a)共源極及(b)共閘極雜訊分析

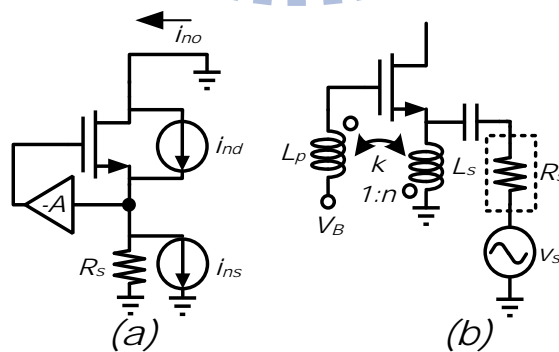
因為匹配的問題，CG 的  $\frac{1}{g_m} = R_s \Rightarrow g_m R_s = 1$ ，就輸入端電晶體所造成的雜訊來比(先不考慮電感寄生電阻)，共源極的表現通常會比較

好；另外，在增益方面，假設轉導值相同，可得

$$\begin{cases} \frac{i_{d1}}{i_{g1}} = g_{m1} R_s \\ \frac{i_{d2}}{i_{g2}} = 1 \end{cases} \quad (2.4)$$

CG 電流增益幾乎為 1，跟本身電晶體的轉導無關，CS 則是跟轉導有關。

針對共閘極在雜訊表現不好，[1]提供一種架構如圖(2.3)-(a)：



圖(2.3) (a)利用回授共閘極匹配架構及(b)以變壓器實現架構

其雜訊指數為(2.5)所示，可視為電晶體的轉導因迴路放大器而放大 A

倍，所以匹配條件  $(1+A)g_m R_s = 1$ ，其電晶體轉導可以變小，代表偏壓電流可以比較小順帶讓通道雜訊 ( $i_{nd}^2$ ) 較小，使輸出節點看到的總和雜訊變小。

$$F_1 = 1 + \frac{\overline{i_{ind}^2} \cdot \left( \frac{1}{g_m R_s} \right)^2}{\overline{i_{ins}^2} \cdot \left( \frac{g_m R_s}{1 + g_m R_s} \right)^2} = 1 + \frac{\overline{i_{ind}^2}}{\overline{i_{ins}^2}} \left( \frac{1}{(1+A)g_m R_s} \right)^2 \quad (2.5)$$

圖(2.4)-(b)則是利用變壓器的方式來達到轉導增加，這樣不會增加額外電流。其完整特性公式如下(2.6)：

$$\begin{cases} Y_{in} \approx \frac{1}{sL_p} + (1+nk)g_m + (1+2nk+n^2)sC_{gs} & k = \frac{M}{\sqrt{L_p L_s}}, n = \sqrt{\frac{L_s}{L_p}} \\ F_2 \approx 1 + \frac{Y}{\alpha(1+nk)} \end{cases}$$

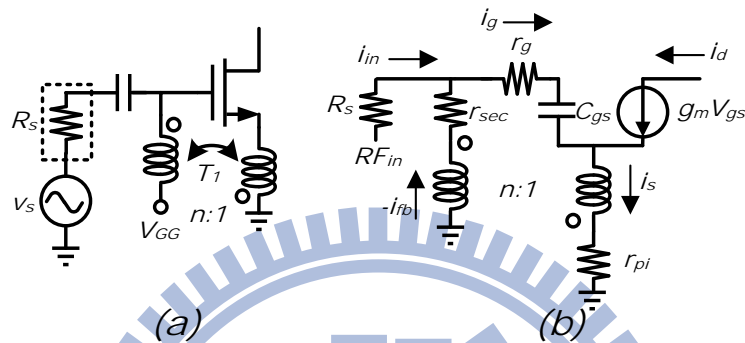
針對共源極一般用於窄頻，[2]利用類似回授的方法，讓匹配能有寬頻的特性如圖(2.4)，其完整特性公式如下(2.7)：

$$\begin{cases} Z_{in} \approx \frac{A}{(1+A\beta) \cdot (1+\beta)} \cdot \left[ (\beta^2 r_{sec} + r_{pri}) + \frac{A-1}{g_m \cdot A} + \frac{r_g}{A} \right] \approx \frac{1}{(1+A\beta)g_m \beta} \\ \beta = \frac{1}{n}, \quad A = \frac{i_s}{i_g} = 1 + g_m C_{gs} \\ F \approx 1 + \frac{\Theta}{R_s \cdot (1+\beta)^2} + \left( \frac{1}{A-1} \right)^2 \cdot \left( \Theta + \frac{A-1}{g_m} \right)^2 \cdot \frac{i_{ds}^2}{4kt} \\ \Theta = r_g + r_{pri} + \beta^2 \end{cases}$$

回授方式跟上一個相似，在閘極與源極引入，在閘極為並聯，把閘極原本看到的大阻抗變小，而不是利用電感產生所需要的實部。由上式



可知，輸入阻抗跟電感電容無關，為純實部；若在 50 歐姆附近，就可達到寬頻的效果。雜訊方面，當增加回授因素  $\beta$  會降低，也就是要增加變壓器的圈數比；增加轉導也可以降低雜訊，文獻中提到藉由尺寸放大增加轉導能降低主動元件對寬頻的影響。



圖(2.4) (a)利用變壓器共源極匹配架構及(b)其小信號分析

由上述得知，變壓器用於輸入端匹配，不僅能有改善的效果並有減少面積的優點。

### 2.3 低功率之放大器探討

不管是哪種架構的接收機，低雜訊放大器通常都是功率消耗最大的一部份，如何能降低電流使增益跟雜訊都在可接受的範圍內，是本節最大重點。低功耗相關的技術大致分成兩類：(1)低電壓、(2)低電流、(3)電流共用，以下將分別這三類技術做探討。

### 2.3.1 低電流操作

低電流操作，可以藉由將電路偏壓在次臨界導通(subthreshold)區域來達成。次臨界導通偏壓已經是個標準的低功率設計技術，被廣泛的應用於類比電路的設計。和一般偏壓在強反轉區相比，將 MOSFET 偏壓在次臨界導通主要的優點，可以大幅增加轉導對偏壓電流比。次臨界導通運作也已經實現在供應電壓低於電晶體臨界電壓的超低功率數位電路。

操作在弱反轉區(weak inversion region)NMOS 電晶體的汲極電流  $I_D$  可以近似成

$$I_D = I_{SO} \left[ 1 - \exp\left(-\frac{V_{DS}}{V_t}\right) \right] \cdot \exp\left(\frac{V_{GS} - V_t - V_{off}}{nV_t}\right) \quad (2.8)$$

在此  $V_{off}$  是偏移電壓， $I_{SO}$  正比於  $W/L$ ， $k$  是波資曼常數， $T$  是溫度(K)， $q$  是電子的電荷量。若不考慮  $V_{DS}$  的影響，電晶體的轉導如下

$$g_m = \frac{I_D}{\left(\frac{nkT}{q}\right)} \quad (2.9)$$

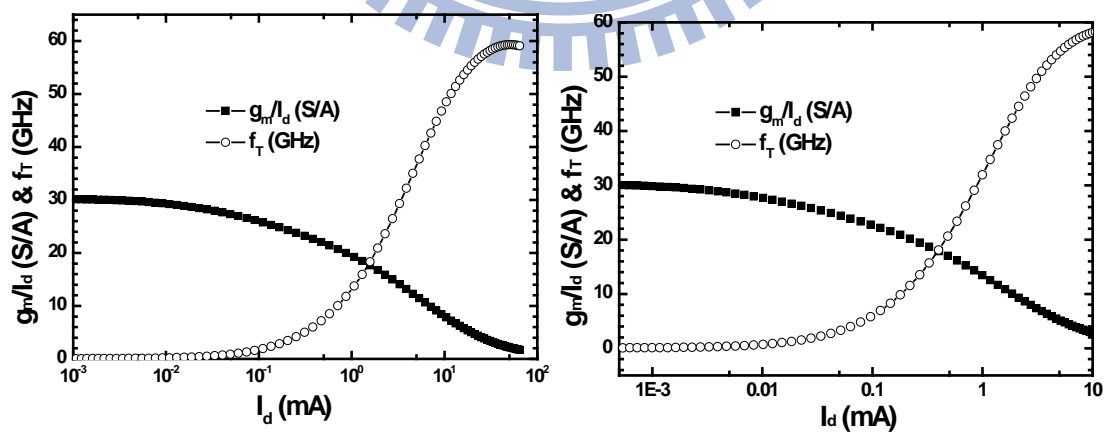
因為次臨界導通的 MOS 電晶體其元件特性類似雙極性(bipolar)元件。雖然  $g_m / I_D$  比值高過強反轉區，但因為電流本身不大，所以出來的轉導也不夠。舉例來說，一個  $20\mu\text{m}/0.18\mu\text{m}$  的 NMOS 電晶體，偏壓電流為  $3\text{mA}$  且偏壓在強反轉區，可以提供  $9.5\text{mS}$  的  $g_m$ 。同樣的

元件，當偏壓在弱反轉區且偏壓電流為  $39\mu\text{A}$ ，可提供  $0.8\text{mS}$  的  $g_m$ 。如(2.9)式所示， $g_m$  無法在  $I_D$  固定的狀況下，藉由增加  $W/L$  而增加，這點不像強反轉區。然而，如果電流密度保持固定， $g_m$  會隨著  $W/L$  而線性的增加。若將元件寬度 (到  $240\mu\text{m}$ ) 和偏壓電流 (到  $468\mu\text{A}$ ) 增加 12 倍， $g_m$  會增加至  $9.5\text{mS}$ 。因此，我們藉由使用更大的主動元件操作在次臨界導通，可以在更低的電流達到相同的轉導，導致極低的功率消耗。

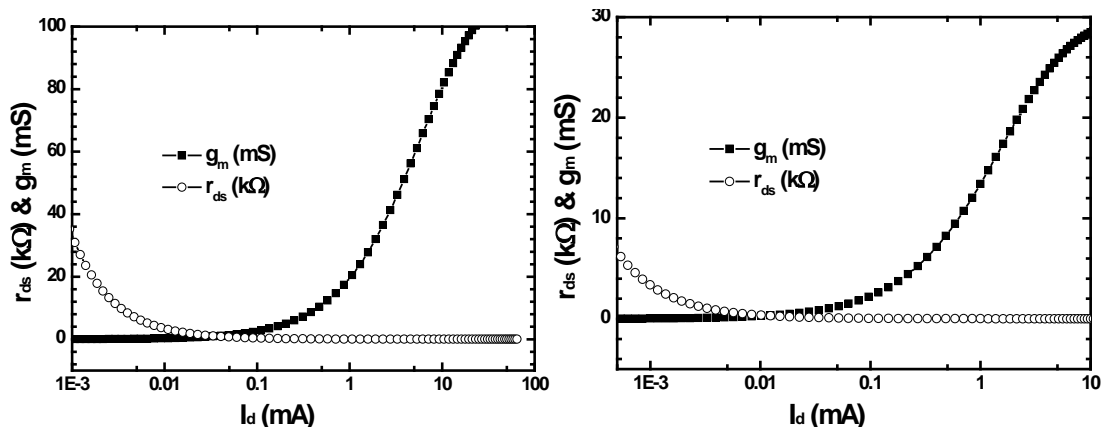
在次臨界導通區的  $f_T$  也比強反轉區低很多，而且公式如下

$$f_T = \frac{1}{2\pi} \frac{I_D}{\left(\frac{kT}{q}\right) W L C_{js}} \quad (2.10)$$

$C_{js}$  是空乏區電容。隨著製程的縮小，次臨界導通的轉換頻率 (transition frequency) 可以用於幾 GHz 內應用。



圖(2.5) 模擬(左)  $60\mu\text{m}/0.18\mu\text{m}$  (b)  $240\mu\text{m}/0.18\mu\text{m}$  NMOS 之  $f_T$  and  $g_m/I_d$ .



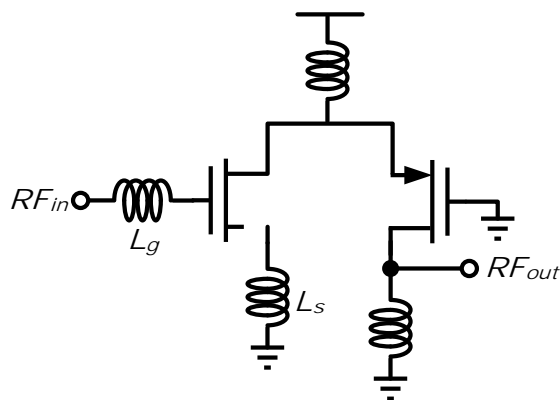
圖(2.6) 模擬(a)60 $\mu\text{m}/0.18\mu\text{m}$  (b)240 $\mu\text{m}/0.18\mu\text{m}$  NMOS 之  $g_m$  and  $r_{ds}$

應用於放大器部份，低電流所用的架構跟一般無異[3]，並不多做闡述，在下一章混頻器部份會有相關電路介紹。

### 2.3.2 低電壓操作

低電壓操作，大致上有折疊(folded)和順向基極偏壓(forward body biasing)這兩大類方式可以實現。

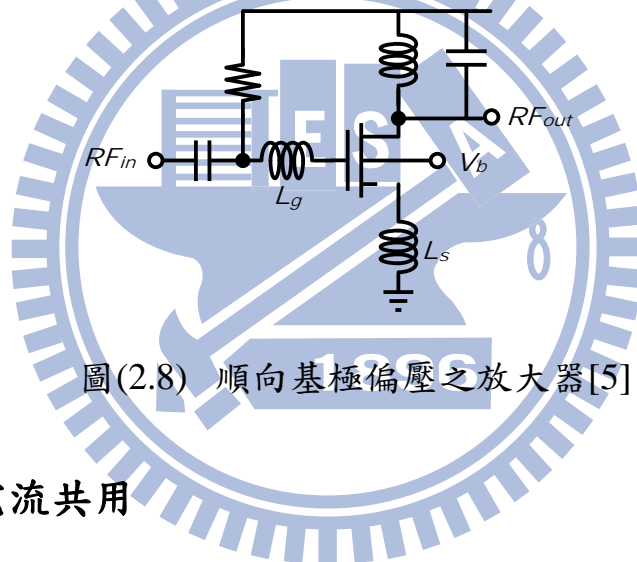
折疊方式藉由多出來的電流路徑，換取更多的電壓空間，是常見的低壓操作技巧。但是這種作法，常常會需要額外的電流，造成多餘的功率消耗。



圖(2.7) 折疊式低雜訊放大器[4]

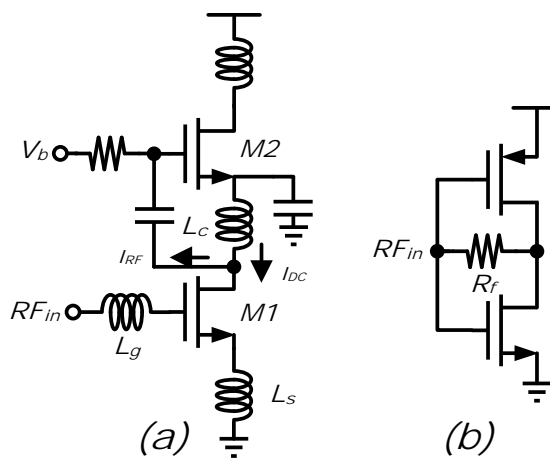
順向基極偏壓技術是利用改變基板-源極偏壓來降低臨界電壓式(2.11)，使原本只能操作在弱反轉區的電壓可以進入飽和區，也可以讓元件雜訊降低。此種作法的缺點在於，會多出額外的一個偏壓，而且順向基極偏壓可能會使 MOSFET 的源極對基極之接面導通，產生一個和基極電壓成指數關係的直流電流，導致額外的功率消耗及可能的門鎖效應(latch-up)，因此在設計上要多加注意。

$$V_{th} = V_{th0} + \gamma \left( \sqrt{2\phi_f - V_{bs}} + \sqrt{2\phi_f} \right) \quad (2.11)$$



圖(2.8) 順向基極偏壓之放大器[5]

### 2.3.3 電流共用



圖(2.9) 常見電流共用架構[6][7]

圖(2.9)是常見的電流共同(Current Reuse)架構，(a)圖可視為兩級共源極串接，DC 是走  $L_C$  路徑，而高頻則是看到 M2 的閘極(若  $L_C$  很大)所以小信號會看到兩級放大，但因為都是單級放大，其隔離度會不如一般的疊接放大器。

另一個利用 PMOS 堆疊在 NMOS 上，使等效的轉導變

$G_m = g_{mp} + g_{mn}$ ，可使電流只需原來的一半即可。其電路特性如下：

$$\begin{cases} Z_{in} \approx \frac{1}{g_{mn} + g_{mp}} = \frac{1}{2g_m} \\ F \approx 1 + \frac{Y}{\alpha(2g_m R_s)} \end{cases} \quad (2.12)$$

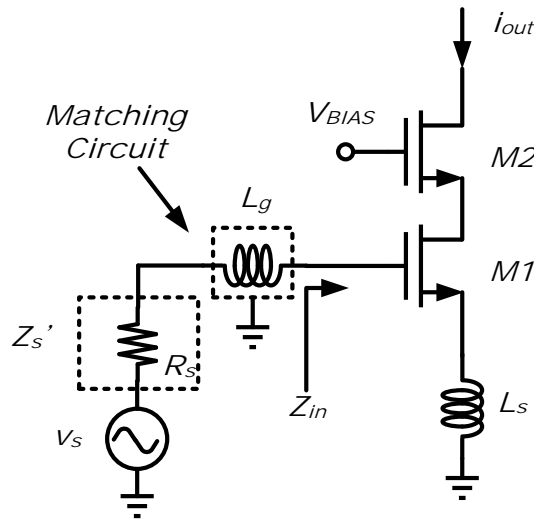
由式可知此匹配較寬頻，雜訊表現跟 CG 很像。最重要的是輸出看到的是 RC，是個低通型態，就電晶體電容跟  $R_f$  來說，其頻寬可能只有 1GHz 內，為此架構最大缺點，若要設計在 5GHz ISM 頻段電路，此者不宜使用。

## 2.4 考量功率消耗之低雜訊放大器設計

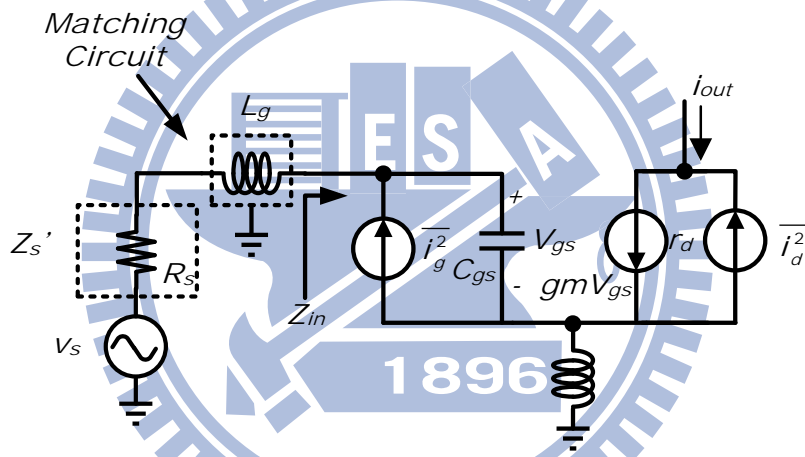
經過上述對現有低功率雜訊放大器的比較，若要符合對雜訊放大器的要求：(1)雜訊指數小於 2dB，由(2.1)式知道，接收機的最前端電路主宰了整個雜訊指數(當後面的混頻器、可變增益放大器的增益夠大時)。(2)偏壓電流小於 2mA，若接收機總電流為 5mA，扣除後級所需電路後所得。(3)電壓增益大於 30dB，混頻器本身的雜訊要被抑制，

需要前端放大器有足夠的增益。(4)具高度整合性。(5)低成本考量。

以低電壓操作來說，混頻器及可增益放大器若沒有也採取相同方式下，供給電壓會前後不一，可能需要其他的直流電壓轉換器(DC Converter)。而次臨界導通的 CMOS 電晶體也會遭受更大的元件雜訊。通道雜訊，正比於  $g_m$ ，是強反轉區主要的元件雜訊來源。當閘極-源極電壓( $v_{GS}$ )下降至低於臨界電壓，感應出的閘極雜訊會開始主宰整體的元件雜訊。由於高感應閘極雜訊， $NF_{min}$  在次臨界導通會高幾分貝[8]，而現有文獻結果[9]約為 6dB 左右，故次臨界導通運作或許對於需要非常高靈敏度的應用不是個可行的選項。而電流共用的方式如圖(2.9)-(a)，其  $L_c$  要夠大，面積也會較大，對成本的影響甚鉅；且其隔離度很差，若要增加必須疊接 3~4 級 NMOS，其線性度下降許多；圖(2.9)-(b)則是有操作頻率的考量(∵輸出電容太大)。故最後採用一般的疊接放大器，如圖(2.10)所示，這是一個最常見的疊接低雜訊放大器架構，電晶體  $M_1$  提供了增益，並且降低電晶體  $M_2$  的雜訊貢獻，而共閘極操作的電晶體  $M_2$  由於低輸入阻值的特色，減小了電晶體  $M_1$  米勒電容，使電路能寬頻操作，而整個疊接組態也提供了較好的反向隔離度。



圖(2.10) 疊接放大器電路架構



圖(2.11) 具源極退化疊接放大器雜訊分析

根據[10]，可知雜訊參數如下

$$R_n = R_n^0 = \frac{\gamma}{\alpha g_m} \quad (2.13)$$

$$Z_{opt} = Z_{opt}^0 - sL_s = \text{Re}[Z_{opt}^0] - m \frac{1}{sC_{gs}} - sL_s \quad (2.14)$$

$$F_{min} = F_{min}^0 = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|^2)} \quad (2.15)$$



$$Z_{opt}^0 = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}} + j \left( 1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left( 1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} \quad (2.16)$$

$$Z_{opt} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}} + j \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - sL_s \quad (2.17)$$

$R_n$ 、 $F_{min}$  都是疊接放大器在沒有  $L_s$  串接下的雜訊指數，因此由上面式子看出電路增加了  $L_s$  並不影響  $R_n$  與  $F_{min}$  的值，而且可以將最佳雜訊匹配點  $Z_{opt}$  的虛部拉往  $Z_{in}$  的負虛部。

由於加入了電感  $L_s$ ，輸入阻抗等效為  $Z_{in} = sL_s + \frac{1}{sC_{gs}} + \omega_T L_s$  (2.18)

由式子發現  $L_s$  的加入將可以使得輸入阻抗產生一實部  $\omega_T L_s$ ，這將使得  $Z_{opt}$  的實部與  $Z_{in}$  的實部拉近。

### 2.4.1 主動元件特性

由公式(2.15)可知，電路最低雜訊指數與元件最低雜訊指數有直接的關係。首先我們先建立電晶體雜訊等效電路如圖， $g_m$  是在其工作點的轉導而  $g_{do}$  為元件在  $V_{gs} = 0$  時的輸出電導。 $i_g^2$  為電荷的熱擾動所造成的通道電壓波動耦合到閘極而感應閘極電流。此雜訊電流不為白

雜訊，代表汲極雜訊電流跟閘極雜訊電流具有相關性，其符號為  $c$ 。

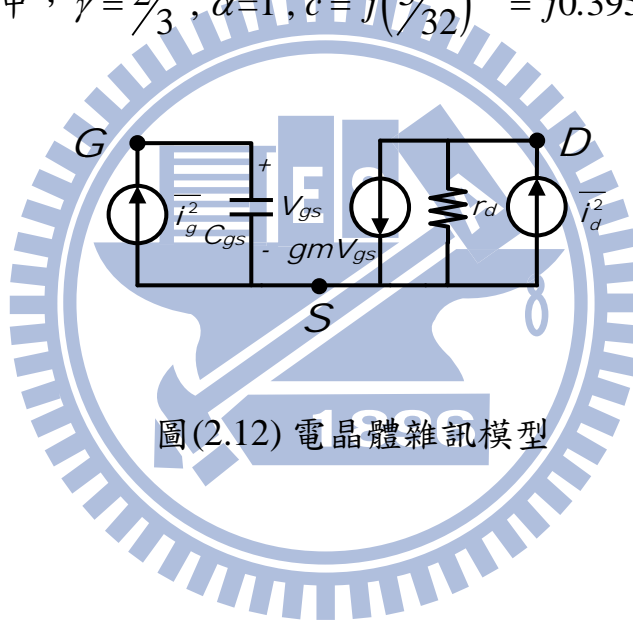
可得元件最佳雜訊匹配阻抗，為一複數如下(2.19)

$$G_{opt} = \sqrt{\frac{G_u}{R_n} + G_c^2} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \quad , \quad B_{opt} = -\omega C_{gs} \left[ 1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right]$$

其雜訊電阻及最低雜訊指數為

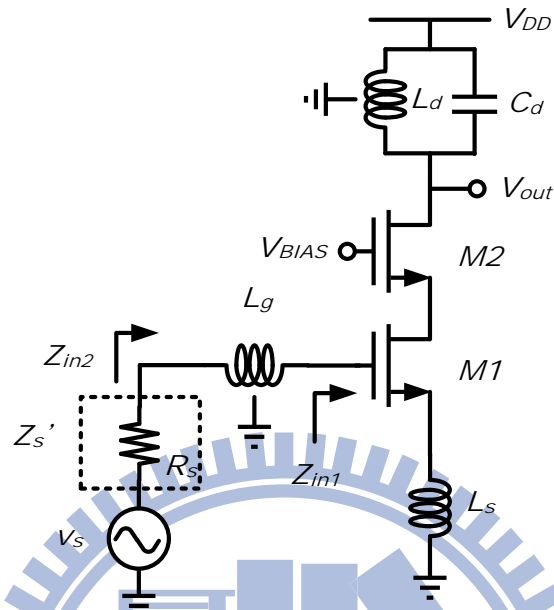
$$R_n = \frac{\gamma g_{d0}}{g_m^2} = \frac{\gamma}{\alpha} \cdot \frac{1}{g_m} \quad , \quad F_{min}^0 = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|^2)} \quad (2.20)$$

在長通道元件中， $\gamma = 2/3$ ， $\alpha = 1$ ， $c = j\left(\frac{5}{32}\right)^{0.5} = j0.395$  and  $\delta = 4/3$ 。



圖(2.12) 電晶體雜訊模型

## 2.4.2 考量功率消耗低雜訊放大器之最佳化



圖(2.13) 考慮功率消耗之低雜訊放大器

因為下一級混頻器的輸入為大阻抗，所以輸出不以達到 50 歐姆為目標，以共振腔取代之，在特定頻率時開路看到的輸出阻抗最大，輸出電壓也會變大，電壓增益我們可以由 S 參數轉 ABCD 矩陣獲得。

$$\begin{bmatrix} S_{D1D1} & S_{D1D2} \\ S_{D2D1} & S_{D2D2} \end{bmatrix} = \frac{1}{2} \begin{bmatrix} (S_{11} - S_{12} - S_{21} + S_{22}) & (S_{13} - S_{14} - S_{23} + S_{24}) \\ (S_{31} - S_{32} - S_{41} + S_{42}) & (S_{33} - S_{34} - S_{43} + S_{44}) \end{bmatrix}$$

而電壓增益  $A_v$  (available voltage gain) 為 ABCD 矩陣中 A 的倒數，所

以  $A_v = \frac{2S_{21}}{(1+S_{11})(1-S_{22})+S_{12}S_{21}}$ ，將量測的雙埠 S 參數代入，便可得

$A_v$ ，相關增益公式如下：

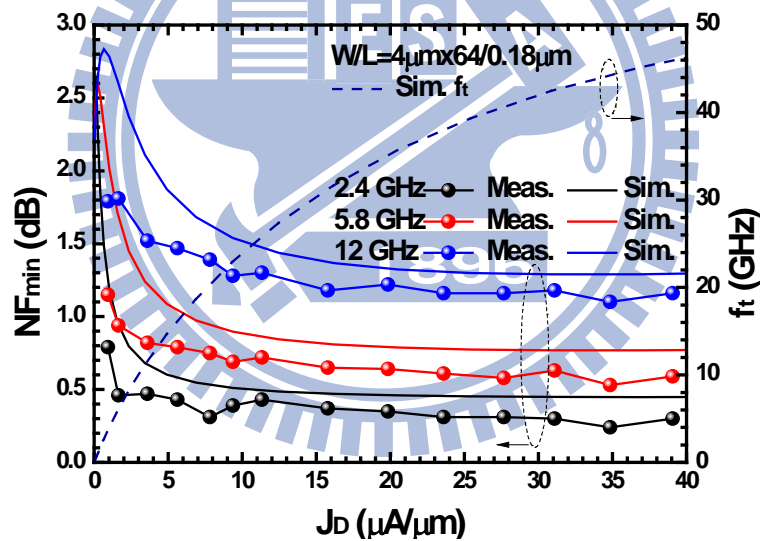
$$R_{Load} \approx R_{LS}(1+Q^2), Q = \frac{\sqrt{L_L/C}}{R_{LS}} \quad (2.21)$$

$$G_{meff} = g_m \frac{1/s(C_{gs} + C_{ex})}{Z_{in2}} = \frac{\omega_T}{Z_{in2} \omega(1 + C_{ex}/C_{gs})} \quad (2.22)$$

( $Z_{in} = 50\Omega$  when certain frequency matching)

設計步驟大體可分兩部份：電晶體與被動元件

選取電流密度：由上節可知電流與最低雜訊指數有關，又從式(2.22)得知增益跟截止頻率有關。而一般我們會用電流密度來排除電晶體尺寸的影響，下圖就是最低雜訊指數及截止頻率對電流密度做圖。



圖(2.14) 最低雜訊指數(量測)及截止頻率(模擬)對電流密度關係圖

由圖(2.14)可發現電流密度低到一定程度，最低雜訊指數會有劇烈上升，而截止頻率也下降(∵增益會降低)；而太高的話，匹配所需的電感會很大(∵面積考量)，由這兩限制可定出一個電流密度範圍，尺寸範圍也能定出來。

首先針對雜訊做匹配[見圖(2.13)]，一般來說雜訊較難達到，故先考慮：

$$\begin{aligned} \operatorname{Re}[Z_{opt}] &= \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}}}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} \\ &= \operatorname{Re}[Z_s] \end{aligned} \quad (2.23)$$

$$\begin{aligned} \operatorname{Im}[Z_{opt}] &= \frac{j \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - sL_s \\ &= \operatorname{Im}[Z_s] \end{aligned} \quad (2.24)$$

由(2.23)式可求得  $C_{gs}$  (當操作頻率確定)，當頻率太低時， $C_{gs}$  會很大，那就以尺寸範圍內可達到為主，此步可以確定電晶體尺寸。在這也把功率輸入匹配考慮進來：

$$\begin{aligned} \operatorname{Im}[Z_{in1}] &= sL_s + \frac{1}{sC_{gs}} \\ &= -\operatorname{Im}[Z_s] = -sL_g \end{aligned} \quad (2.25)$$

$$\begin{aligned} \operatorname{Re}[Z_{in1}] &= \frac{g_m L_s}{C_{gs}} \\ &= \operatorname{Re}[Z_s] = 50\Omega \end{aligned} \quad (2.26)$$

現在需選取的變數為  $L_s$ 、 $L_g$ ，從(2.25)發現皆需這兩個變數，所以從(2.26)下手，但因為(2.23)跟(2.26)有關，在(2.23)能達到的前提下，我們可以求出  $L_s$ 。

$$L_s \approx \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}}}{\omega\omega_T C_{gs}} \quad (2.27)$$

光靠  $L_s$  不足以抵銷  $C_{gs}$  產生的電抗，使在操作頻率使  $\text{Im}[Z_{in}]=0$  (尤其在低頻時)，故串聯電感  $L_g$  來增加效果，大電感若是實現在矽製程上，其寄生的阻抗相當可觀，這個阻抗會成為雜訊貢獻的主因之一(在實作中會討論)，因此外加的  $C_{ex}$  若能減少  $L_g$ ，對於雜訊指數也可能會有改善的效果。基本上電容不會有雜訊提供，相關雜訊匹配不會有影響，但對輸入匹配公式有影響：

$$\begin{aligned} \text{Im}[Z_{in}] &= sL_s + \frac{1}{s(C_{gs} + C_{ex})} \\ &= -\text{Im}[Z_s] = -sL_g \end{aligned} \quad (2.28)$$

$$\begin{aligned} \text{Re}[Z_{in}] &= \frac{g_m L_s}{(C_{gs} + C_{ex})} \\ &= \text{Re}[Z_s] = 50\Omega \end{aligned} \quad (2.29)$$

由式(2.29)知  $L_s$  會稍微變大，若再考慮式(2.23)，可得式(3.30)，趨勢會由  $\omega_T$ 、 $C_t$  決定，但過大的  $C_{ex}$  會減少等效  $\omega_T$ ，會使增益降低及  $F_{min}$  升高，這是需要去權衡的地方。

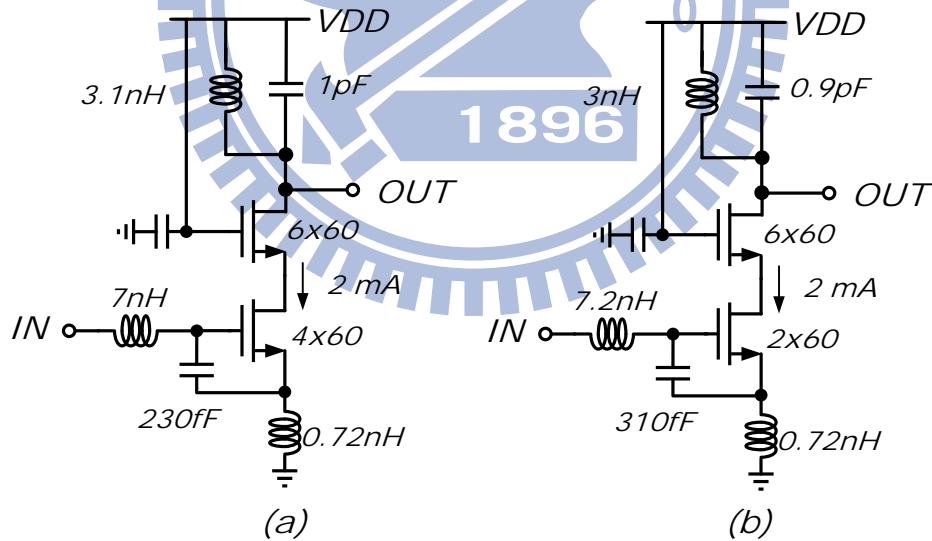
$$L_s \approx \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}}}{\omega\omega_T C_t} \quad (2.30)$$

## 2.5 實作一：2.4GHz Low Noise Amplifier(CMOS 0.18- $\mu\text{m}$ )

### 2.5.1 研究動機

隨著資訊技術的飛速發展和人們對高速率無線通訊的需求，無線應用產品的工作頻率已經從低頻段跨入高頻段。作為全球均無需授權即可使用的 2.4 GHz ISM( Industry Science Medicine)頻段成為主流傳輸技術使用，譬如 Bluetooth，WLAN，ZigBee 等，本實作將設計適合用此技術接收機之前端放大器。

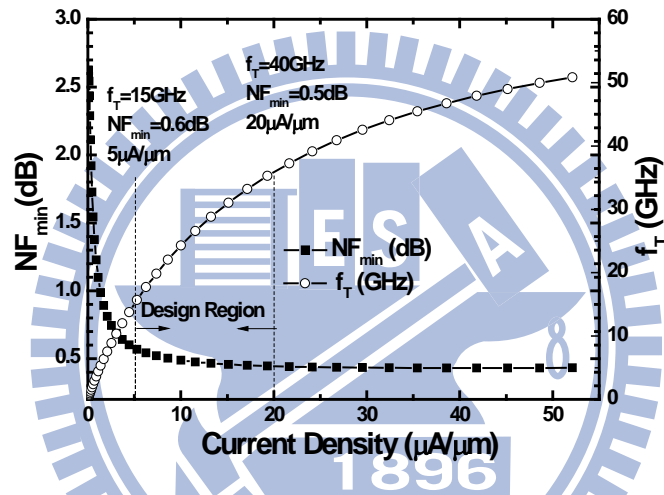
### 2.5.2 電路設計



圖(2.15) (a)電流密度為 8 (b)17 的低雜訊放大器

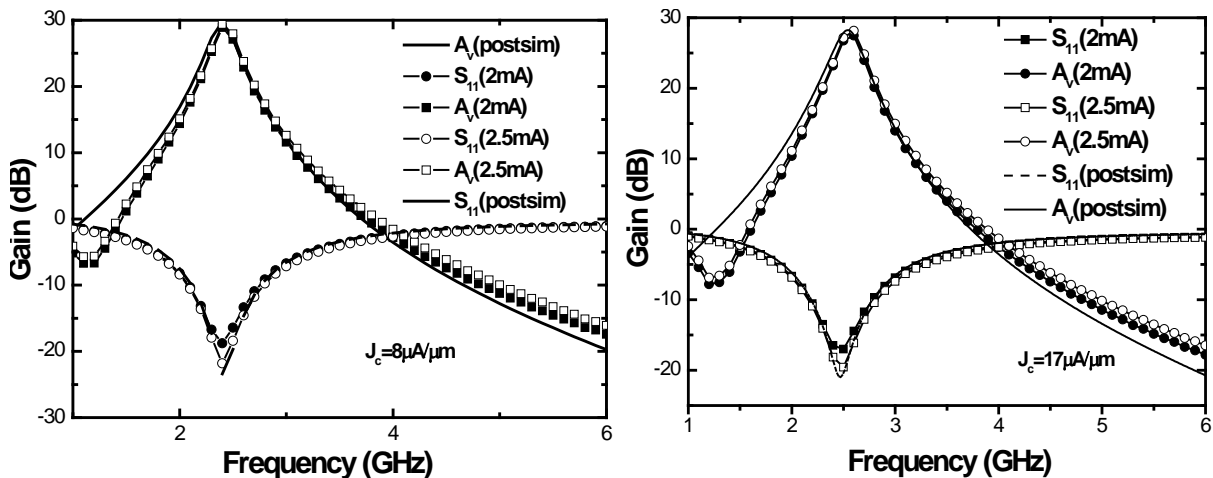
在文獻[11]中提供 0.18  $\mu\text{m}$  的元件參數  $\gamma$  為  $2/3$ ，其值與長通道相差無幾，再由[12]得到  $\delta/\gamma=2$ ,  $\alpha=0.85$  and  $c = j\left(\frac{5}{32}\right)^{0.5} = j0.395$ 。再來電流密度對最低雜訊指數及截止頻率做圖，可以約莫訂出範圍

( $5\mu\text{A}/\mu\text{m} \sim 20\mu\text{A}/\mu\text{m}$ )，在尺寸的選擇上取較極端值做設計，最後選取的電流密度為 $8\mu\text{A}/\mu\text{m}$ 和 $17\mu\text{A}/\mu\text{m}$ 。而閘極電感可容許值約在 $7.5\text{nH}$ ，在差不多電感情況下，小尺寸所需的外加電容就大( $0.31\text{pF}$  &  $0.23\text{pF}$ )。而上面那顆電晶體也會影響到輸入阻抗，若尺寸變大，負載的 $Q$ 值會變小，在共振頻時會較接近 $50\Omega$ (在同樣的輸入匹配下)，但增益會比較低一點，只要有過 $30\text{dB}$ 即可。



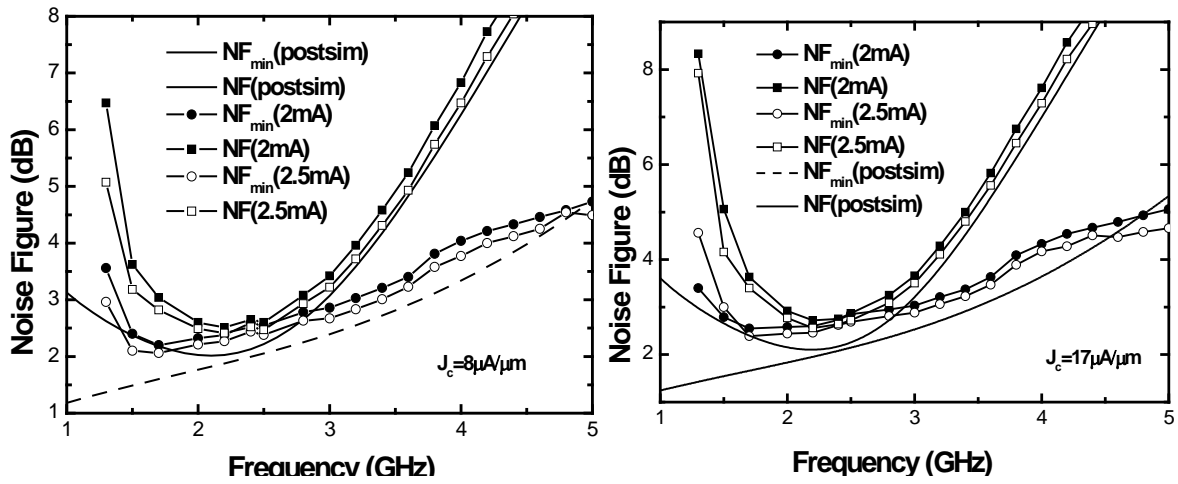
圖(2.16) 最低雜訊指數及截止頻率對電流密度模擬圖(2.4GHz)

### 2.5.3 晶片模擬及量測結果

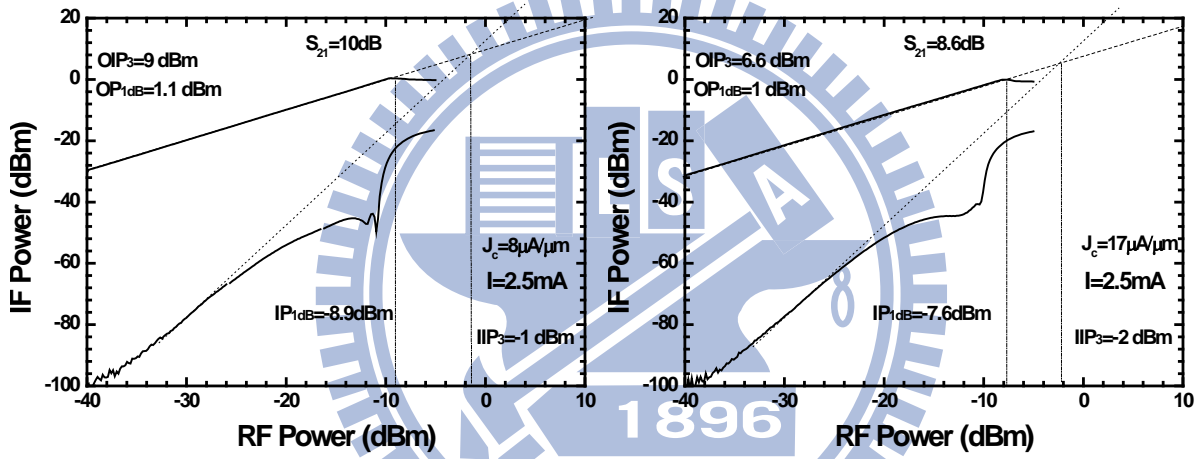


圖(2.17) 輸入返回損耗及電壓增益(左為低電流右為高電流密度)

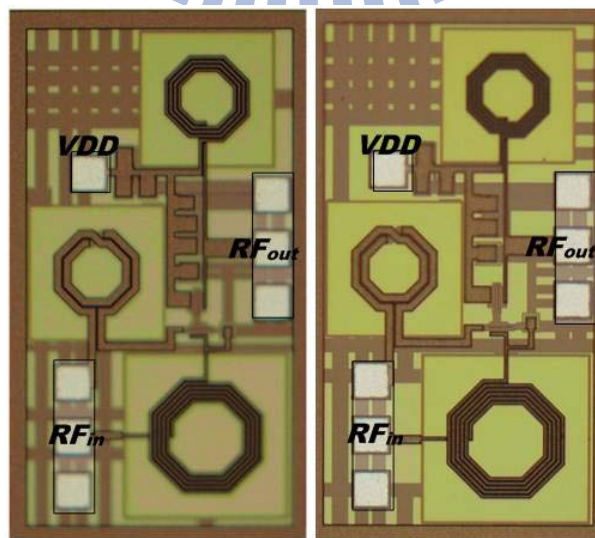




圖(2.18) 雜訊指數



圖(2.19) 功率線性度



圖(2.20) Die Photo (左)( 0.75mm×1mm ) (右) ( 0.75mm×1mm )

### 2.5.4 結果與討論

本電路採用 CMOS 0.18 $\mu$ m 製程，晶片照片如圖(2.20)所示：兩個 RF 埠採用 GSG pad，DC 點針放在電路的右上角落並加入足夠的穩壓電容，以防振盪情況發生，兩顆晶片面積皆為 0.75 $\times$ 1mm<sup>2</sup>。

S 參數結果與模擬相差不多，但雜訊指數跟模擬有些差，高電流密度 NF<sub>min</sub> 跟 NF 較貼近(差 0.09dB 見表 2.2)相較於低電流密度的 0.13dB(見表 2.1)。而量測出來結果 NF 跟 NF<sub>min</sub> 兩顆都變較貼近，但 NF<sub>min</sub> 值卻升高 0.4dB(Low Current Density)及 0.66dB(High Current Density)。可能原因為量測時本身電晶體雜訊升高，或者為閘極走線的寄生電阻較模擬嚴重(但 NF<sub>min</sub> 跟 NF 會遠離，應不為原因)，所以可靠度分析應要更嚴謹一點，與相關文獻比較如表 2.4，FOM 公式附於下頁。

表2.1 選取低電流密度之模擬與量測比較

Low Current Density	Post-Simulation	Measurement
Supply Voltage (V)	1.8	
Voltage Gain (dB)	29.7	29.3
Noise Figure (dB)	2.13	2.52
NF <sub>min</sub>	1.99	2.44
IIP3 (dBm)	1.5	-1
IP1dB (dBm)	3	-8.9
Input Return Loss (dB)	<-10 (2.1GHz~2.8GHz)	<-10 (2.1GHz~2.8GHz)
Power Consumption (mW)	3.6	4.4
Current Consumption (mA)	2	2.5

表2.2 選取高電流密度之模擬與量測比較

High Current Density	Post-Simulation	Measurement
Supply Voltage (V)	1.8	
Voltage Gain (dB)	27.5	28
Noise Figure (dB)	2.17	2.64
NF <sub>min</sub>	2.08	2.62
IIP3 (dBm)	3.5	-2
IP1dB (dBm)	3.5	-7.8
Input Return Loss (dB)	<-10 (2.2GHz~2.8GHz)	<-10 (2.2GHz~2.8GHz)
Power Consumption (mW)	3.6	4.4
Current Consumption (mA)	2	2.5

表2.3 高低電流密度選取之量測比較

Current Density	Low	High
Supply Voltage (V)	1.8	
Voltage Gain (dB)	29.3	28
Noise Figure (dB)	2.52	2.64
NF <sub>min</sub> (dB)	2.44	2.62
IIP3 (dBm)	-1	-2
IP1dB (dBm)	-8.9	-7.8
Input Return Loss (dB)	<-10 (2.1GHz~2.8GHz)	<-10 (2.2GHz~2.8GHz)
Power Consumption (mW)	4.4	4.4
Current Consumption (mA)	2.5	2.5

$$FOM_{noise} [mW^{-1}] = \frac{|Gain|}{(|NF| - 1) \cdot P_{dc} [mW]}$$

表2.4 2.4-GHz 低雜訊放大器文獻比較表

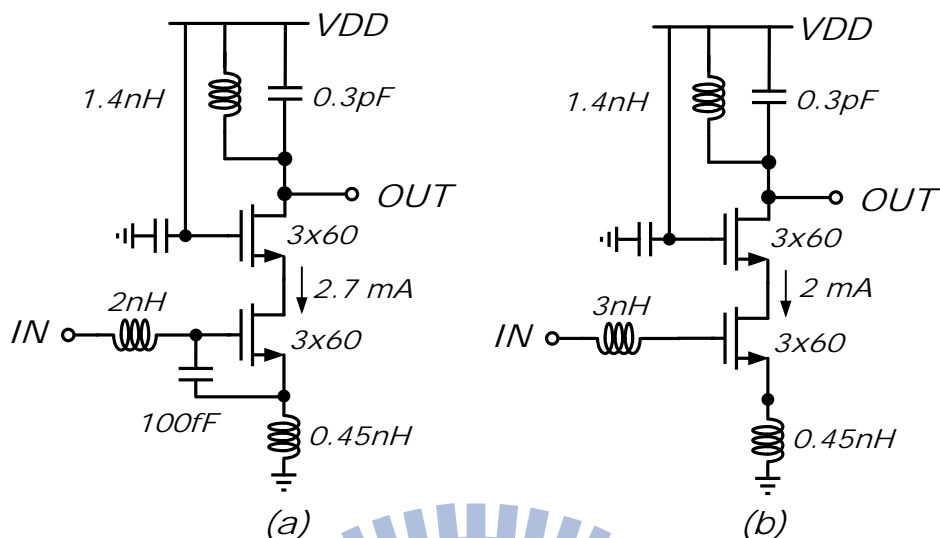
Ref	f <sub>c</sub> (GHz)	NF (dB)	P <sub>DC</sub> (mW)	Gain (dB)	Input return loss (dB)	Output return loss (dB)	IIP3 (dBm)	P <sub>1dB</sub> (dBm)	Tech.	FOM (mW <sup>-1</sup> )
This work	2.4	2.5	4.4	9.72	-21	N/A	-1	-8.9	0.18-μm CMOS	0.89
[13]	2.4	3.6	6.5	13	-12	N/A	N/A	N/A	0.13-μm CMOS	0.53
[14]	2.4	2.56	12.9	22.1	-12.66	-19.45	-10.83	N/A	90nm CMOS	1.23
[15]	2.4	2.8	15	20.5	-25	-11	N/A	N/A	0.18-μm CMOS	0.78
[16]	2.4	2.87	11	13.3	-12.35	-13.16	-2.2	N/A	0.18-μm CMOS	0.45

## 2.6 實作二：5.8GHz 低雜訊放大器 (CMOS 0.18-μm)

### 2.6.1 研究動機

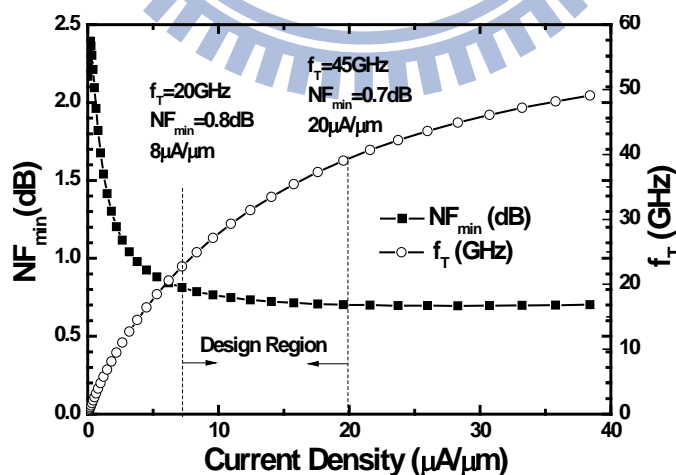
隨著傳輸速度引發的無線頻寬需求，以及各種技術林立導致的訊號干擾等因素影響，短距無線通訊技術將從現有的 2.4GHz 頻段，逐漸朝向 5.8GHz 發展，故已有無線電話或 802.11a 版本的 WLAN 應用於此頻帶，且此頻段不需要申請執照，相對於高昂的佈線成本各種寬頻接取設備而言，採用無線頻帶的方式成本相對便宜許多，對開發中國家及邊遠地區特別適用。本實作將設計適合用此技術接收機之前端放大器。

## 2.6.2 電路設計



圖(2.21) (a)並聯外加電容及(b)無外加電容放大器

圖(2.22)為在 5.8GHz 時電流密度對最低雜訊指數及截止頻率做圖，發現  $NF_{min}$  約上升到 0.7dB，再由電感選擇可知其寄生電阻應較小。但在模擬時發現能達到的  $NF_{min}$  是差不多的。可能原因是由式可知，操作頻率也會影響到可達到的雜訊。



圖(2.22) 最低雜訊指數及截止頻率對電流密度模擬圖(5.8GHz)

考慮一般在匹配看到的頻寬，在一般定義輸入損耗( $S_{11}$ ) $<-10$ dB 才

算在操作頻帶內，故(2.33)由可發現頻寬跟輸入匹配的等效品質因素有關，其中  $R_{L_g}$  為源極電感的寄生電阻；故在窄頻設計中，電感的選擇能決定頻寬及  $S_{11}$  最低值

$$S_{11} = \frac{s(L_g + L_s) + \frac{1}{sC_{gs}} + g_m \frac{L_s}{C_{gs}} + R_{L_g} - 50}{s(L_g + L_s) + \frac{1}{sC_{gs}} + g_m \frac{L_s}{C_{gs}} + R_{L_g} + 50} = \frac{s^2 + \omega_o^2}{s^2 + \frac{\omega_o}{Q_{input}}s + \omega_o^2} \quad (2.31)$$

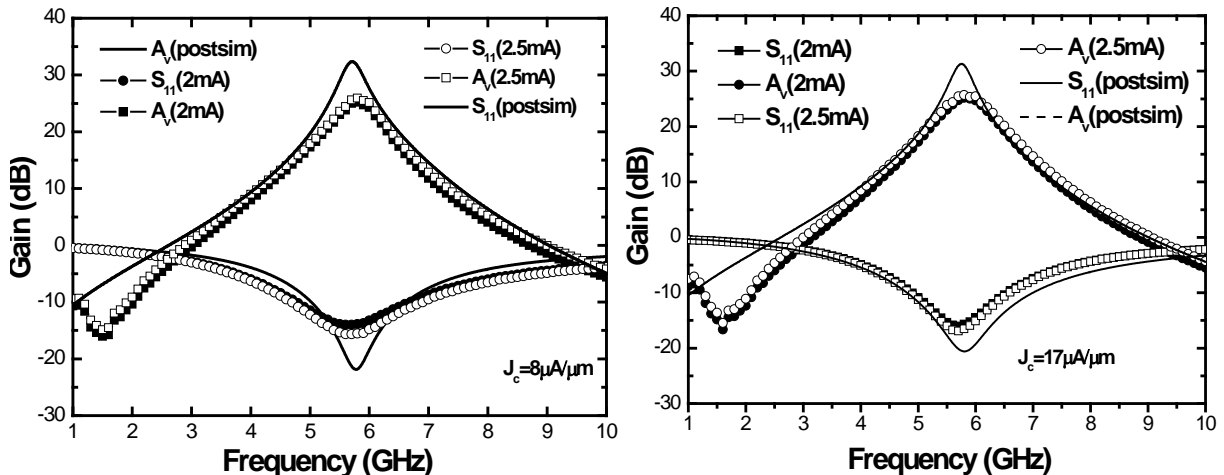
$$Q_{input} = \frac{\omega_o(L_g + L_s)}{\left( g_m \frac{L_s}{C_{gs}} + R_{L_g} + 50 \right)} \quad (50\Omega \text{ Matching})$$

$$20 \log S_{11} < -10 \text{ dB} \quad (2.32)$$

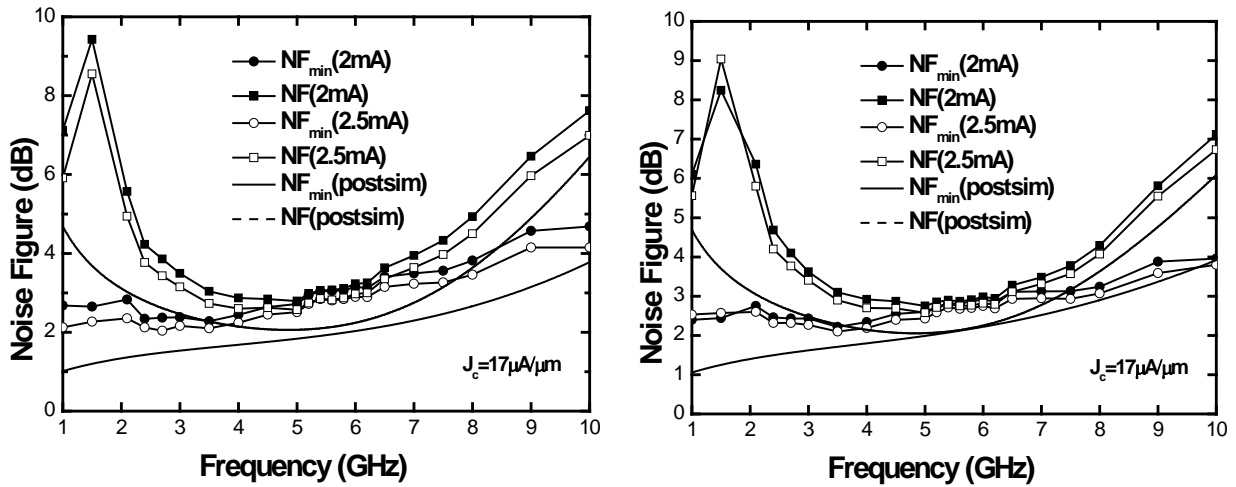
$$\Delta f_{10 \text{ dB}} = \frac{\Delta \omega_{10 \text{ dB}}}{2\pi} = \frac{B}{6\pi} = \frac{\omega_o}{6\pi Q_{input}} \quad (2.33)$$

由上實作可知，在電流密度較低時，量測結果較好。所以這次尺寸選擇上，選在最低的地方  $8 \mu\text{A}/\mu\text{m}$ ，固定  $L_s$ 、電晶體尺寸及負載共振腔的 LC，比較有無外加電容的影響。

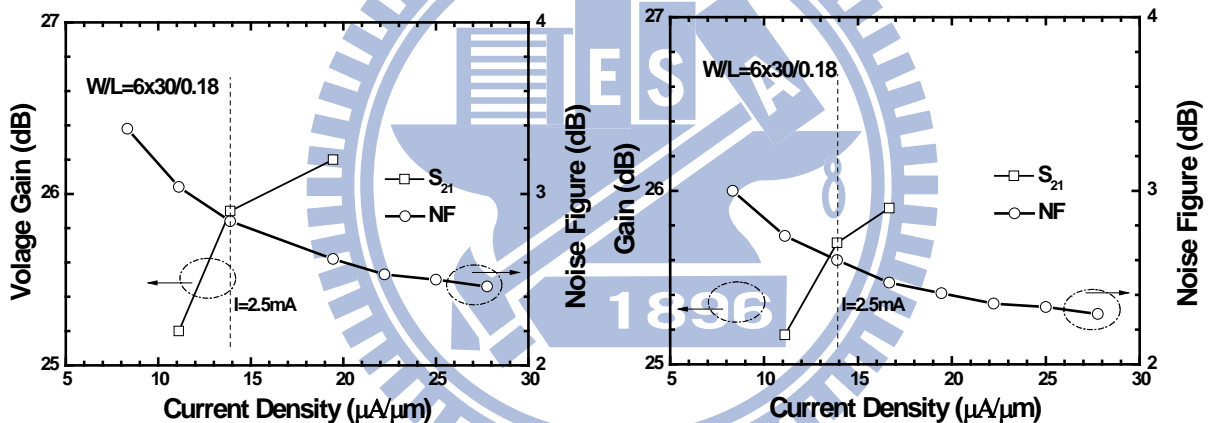
### 2.6.3 晶片量測結果



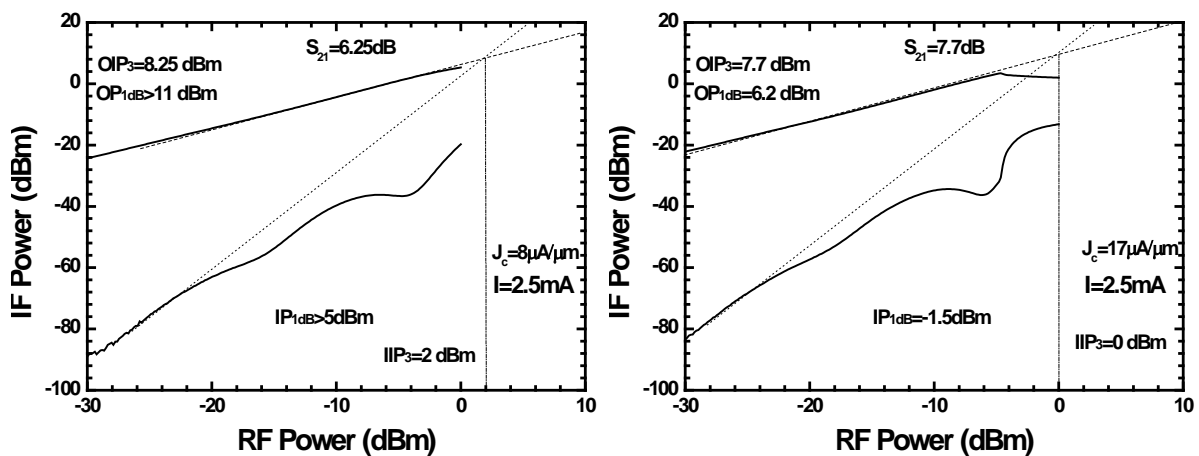
圖(2.23) 輸入返回損耗及電壓增益(左為低電流右為高電流密度)



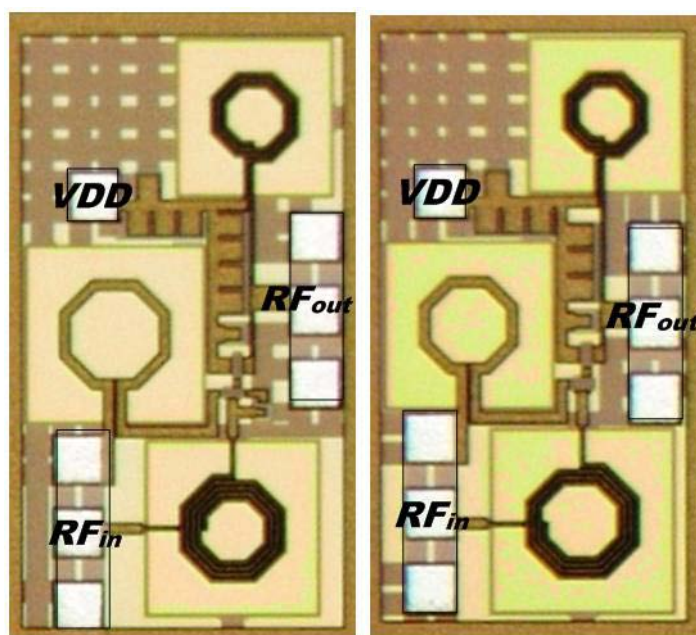
圖(2.24) 雜訊指數



圖(2.25) 電壓增益及雜訊指數對電流密度



圖(2.26) 功率線性度



圖(2.27) Die Photo (左)(0.53mm×0.88mm) (右)(0.46mm×0.85mm)

#### 2.6.4 結果與討論

與實作一相同的佈局方式，結果附於表 2.5 及表 2.6，增益掉了 6dB。在 Post-sim 發現有加電容的情況下，線性度變差；因為電容也有非線性效應  $C = C_o(1 + \alpha_1 V + \alpha_2 V^2 + \dots)$ ，使閘極與源極間有諧波項產生。



表 2.5 加入外加電容之模擬與量測比較表

External Capacitor	Post-Simulation	Measurement
Supply Voltage (V)	1.8	
Voltage Gain (dB)	32	26
Noise Figure (dB)	2.18	2.87
IIP3 (dBm)	0.8	2
IP1dB (dBm)	5	>5
Input Return Loss (dB)	<-10 (5GHz~6.6GHz)	<-10 (4.7GHz~6.9GHz)
Power Consumption (mW)	3.6	4.4
Current Consumption (mA)	2	2.5

表 2.6 無外加電容之模擬與量測比較表

No External Capacitor	Post-Simulation	Measurement
Supply Voltage (V)	1.8	
Voltage Gain (dB)	31	25.7
Noise Figure (dB)	2.18	2.7
IIP3 (dBm)	4.1	0
IP1dB (dBm)	7	-1.5
Input Return Loss (dB)	<-10 (4.8GHz~6.9GHz)	<-10 (4.9GHz~6.5GHz)
Power Consumption (mW)	3.6	4.4
Current Consumption (mA)	2	2.5

表 2.7 實作比較表

External Capacitor	Yes	None
Supply Voltage (V)	1.8	
Voltage Gain (dB)	26	25.7
Noise Figure (dB)	2.87	2.7
IIP3 (dBm)	2	0
IP1dB (dBm)	>5	-1.5
Input Return Loss (dB)	<-10 (4.7GHz~6.9GHz)	<-10 (4.9GHz~6.5GHz)
Power Consumption (mW)	4.4	4.4
Current Consumption (mA)	2.5	2.5

表 2.8 5.8-GHz 低雜訊放大器文獻比較表

Ref	$f_c$ (GHz)	NF (dB)	$P_{DC}$ (mW)	Gain (dB)	Input return loss (dB)	Output return loss (dB)	IIP3 (dBm)	$P_{1dB}$ (dBm)	Tech.	FOM (mW <sup>-1</sup> )
This work	5.8	2.7	4.4	7.73	-16.5	N/A	N/A	N/A	0.18- $\mu$ m CMOS	0.64
[12]	5.2	3.3	3.6	8	-29	-16	0.4	-8.33	0.25- $\mu$ m CMOS	0.61
[17]	5.2	2.45	26.4	19.3	N/A	N/A	-6.1	N/A	0.35- $\mu$ m CMOS	0.46
[18]	5.7	3.4	3.96	11.45	-14	-17	N/A	-8	0.18- $\mu$ m CMOS	0.79

## 2.7 實作三：雙頻帶雙變壓器型態之低雜訊放大器 (CMOS

0.13- $\mu$ m)

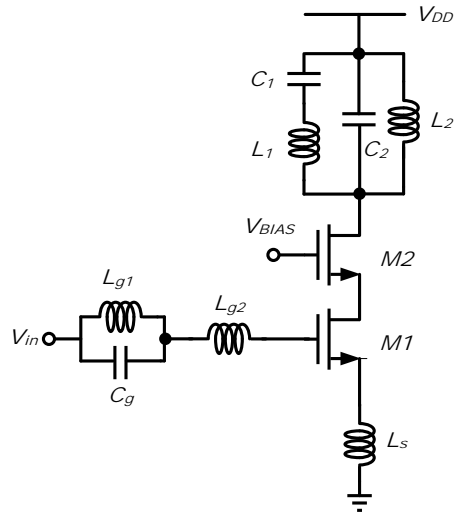
### 2.7.1 研究動機

近年來，因為多頻道多模態(Multi Band Multi Mode)通訊系統架構，為一重要的通訊系統模式。該系統架構，希望可以將多種不同的無線通訊系統，整合到單一收發機。根據這個概念，使得接收機端的

低雜訊放大器，需要處理兩個以上的頻率訊號，所以近年來有不少的雙頻道、多頻道低雜訊放大器。於但大部分都是以開關(switch)來切換不同頻率的低雜訊放大器，達到可調的效果。本次實作目的，將實現一個使用雙變壓器型態的共電流低雜訊放大器，雙頻帶的等效電路用電感之間的電容和電感本身來達到。

### 2.7.2 雙頻帶技術

在傳統雙頻帶放大器設計可分兩類：(1)根據操作頻率來切換兩個單頻放大器[19][20](2)兩(三)個單頻放大器同時運作，利用兩(三)個分開的輸入匹配及共振負載[21]。前者稱為無共存(non-concurrent)；但若使用後者-共存式架構(concurrent)，其電流消耗是前者的兩至三倍。還有另一種方式為把寬頻放大器置於前端電路，但缺點是其他無用的信號也會一起被放大，會嚴重地影響接收機的靈敏度。此實作主要著眼共存式架構，由[21]提供完整的分析及電路[圖(2.27)]。由文獻[22]可知變壓器也能產生雙頻帶效果，而此實作則是在中間級做雙頻帶的效果。

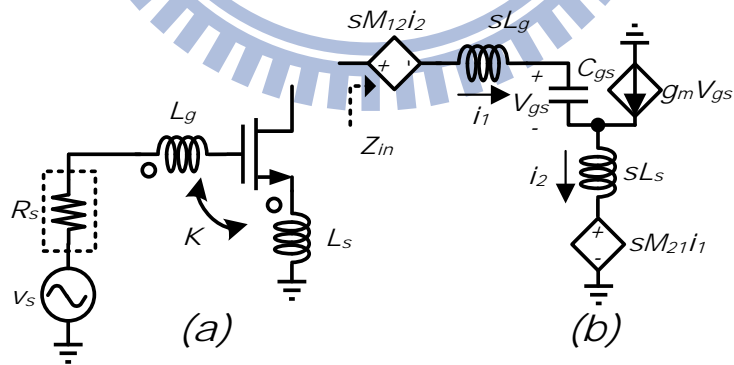


圖(2.28) 共存式(concurrent)基本架構

### 2.7.3 電路設計

#### (I) 輸入級

由 2.2 可知輸入端匹配可用變壓器，並有節省面積的好處。這次採用的也是閘極跟源極的電感做耦合，如下圖：

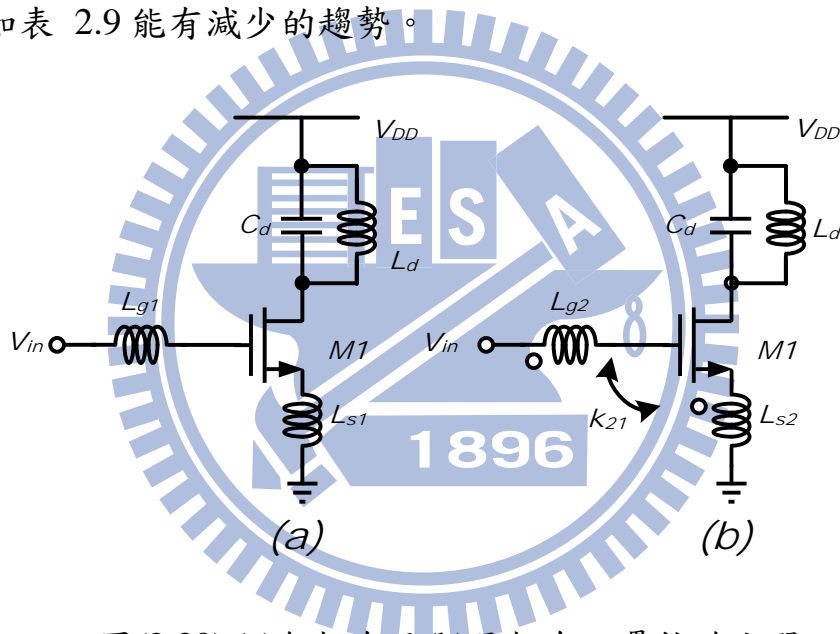


圖(2.29) (a)輸入匹配電路及其(b)小信號分析

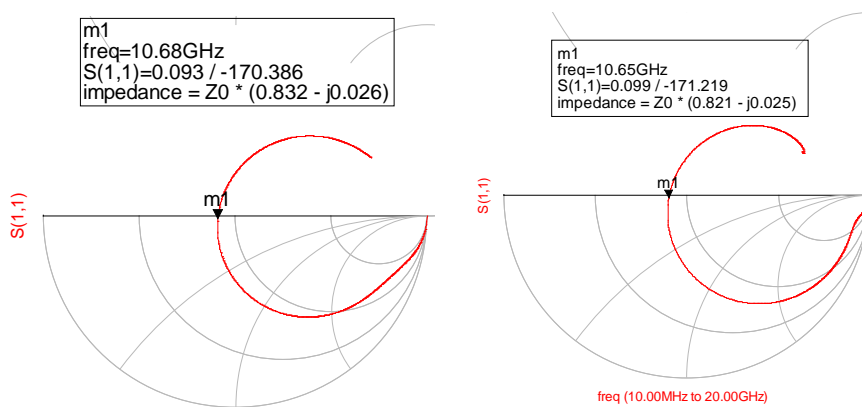
$$Z_{in} = \frac{V_{in}}{I_{in}} = \frac{V_{in}}{I_1} = \frac{sM_{12}I_2 + sL_g I_1 + V_{gs} + sL_s I_2 + sM_{21}I_1}{I_1} \xrightarrow{I_1 = g_m V_{gs} = I_2} \frac{sC_{gs}V_{gs} + g_m V_{gs} = I_2}{I_1 = g_m V_{gs}}$$

$$Z_{in} = s(L_g + M_{21}) + \frac{1}{sC_{gs}} + s(L_s + M_{12}) + \frac{g_m}{C_{gs}}(L_s + M_{12}) \quad M = k\sqrt{L_g L_s} \quad (2.34)$$

如果電晶體尺寸不變，其  $g_m$ 、 $C_{gs}$  不變下， $L_g$ 、 $L_s$  能變小，因為有耦合讓原本兩端電感等效變大了，就不用原先那麼大的感值就能達到。對一般理想 LC 共振放大器做比較(見圖(2.29))，發現達到相同  $S_{11}$ ，所需的感值如表 2.9 能有減少的趨勢。



圖(2.30) (a)無耦合及(b)具耦合之疊接放大器

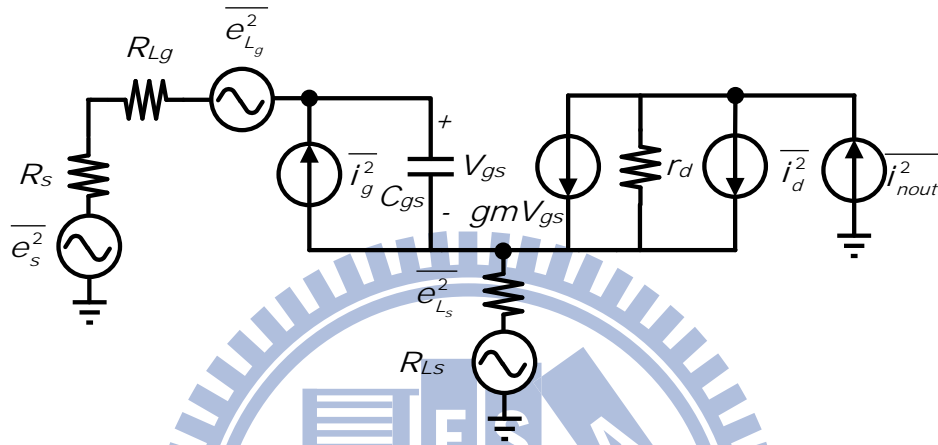


圖(2.31) (a)無耦合及(b)具耦合之  $S_{11}$  模擬比較圖

$L_{g1}$	$L_{s1}$	$L_{g2}$	$L_{s2}$	$k_{21}$
1.4nH	0.2nH	1.1nH	0.2nH	0.5

在雜訊表現上，可知若  $L_g$ 、 $L_s$  變小，其寄生電阻也會變小。由式

(2.35)可知其雜訊指數也會變小。



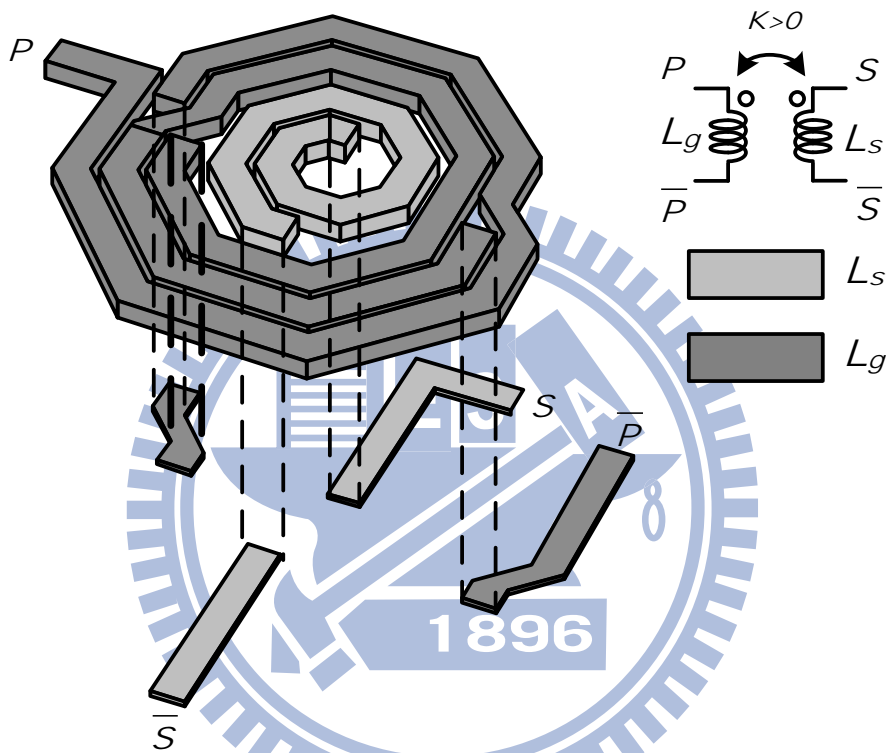
圖(2.32) 輸入級考慮寄生電阻之等效雜訊電路

$$F = 1 + \frac{1}{R_s} \left\{ R_{L_g} + R_{L_s} + |Z_t|^2 \frac{|i_g^2|}{4kT\Delta f} + \left| \frac{1 + \omega C_{gs} Z_t}{g_m} \right|^2 \frac{|i_g^2|}{4kT\Delta f} - \left[ Z_t \left( \frac{1 + j\omega C_{gs} Z_t}{g_m} \right)^* \frac{\overline{i_g^* i_d}}{4kT\Delta f} \right] \right\} \quad (2.35)$$

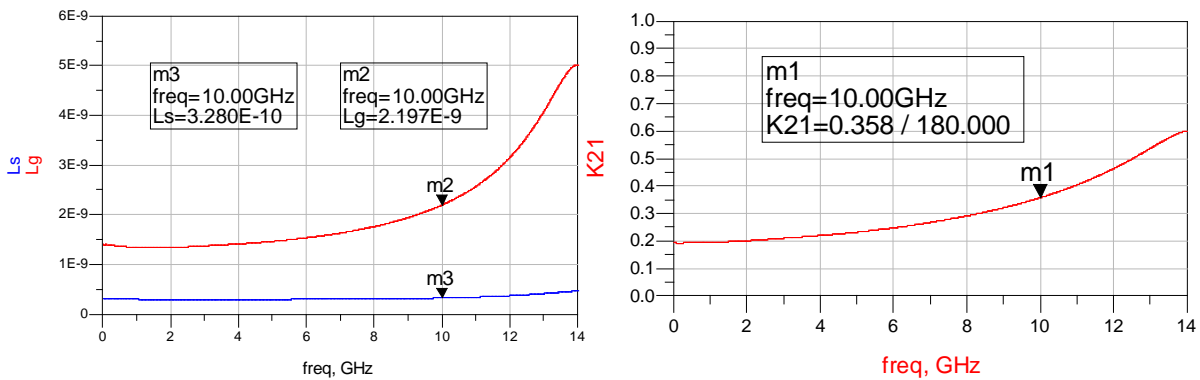
$$Z_t = R_{L_s} + R_{L_g} + R_s$$

變壓器實現的方式有分兩種：邊緣耦合(edge coupling)及全面耦合(broadside coupling)。一般來說，兩條線越近耦合就越強，但也代表之間的電容效應越強，電感特性可能到高频會有電容性，其發生的頻率就是自振頻。操作頻率不要高於自振頻，不然其電路特性較難掌握。另外，線寬也是重點，通常越寬寄生電阻越小，但所要面積要變

大，是需斟酌的因素。就此電路來說，要寄生電阻越小，用邊緣耦合較佳，因為  $0.18\mu\text{m}$  製程，M6 與 M5 的厚度差二至三倍，可知寄生電阻為  $1/2\sim 1/3$ ，故選之；而缺點是耦合量較 broadside 低，由模擬得知此變壓器耦合量約為 0.36，但  $L_g$  的寄生電阻約為  $1\Omega$  左右。



圖(2.33) 實作變壓器立體圖

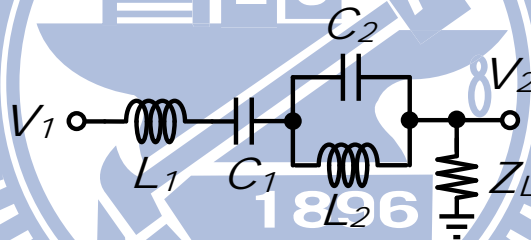


圖(2.34) 變壓器之電感及耦合模擬圖

$L_g$	$L_s$	$k_{21}$	$R_g$	$R_s$
2.19nH	0.33nH	0.36	20Ω	1.6Ω

## (2) 中間級

若要實現在 5GHz 及 10GHz， $S_{21}$  均在 10 之上。基本上需要兩級放大器，又因輸入端不為一般雙頻的匹配，所以希望能在中間級有效。先考慮一般雙頻帶的轉移函數，



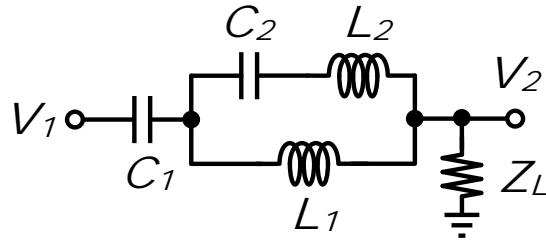
圖(2.35) 傳統雙頻帶架構

$$\frac{V_2}{V_1} = \frac{Z_L}{Z_L + B} \Rightarrow B = \frac{s^2 L_2 C_2 + 1}{s^2 (L_1 + L_2) C_2 + 1} + \frac{1}{s C_1} = \frac{s^3 L_2 C_1 C_2 + s^2 L_2 C_2 + s(C_1 + L_1) + 1}{s C_1 [s^2 L_2 C_2 + 1]} \quad (2.36)$$

可知道  $B(s)$  有兩個極點在  $0 \pm \frac{1}{\sqrt{L_2 C_2}}$ ，對  $\frac{V_2}{V_1}$  則是零點，可有雙頻帶的

趨勢





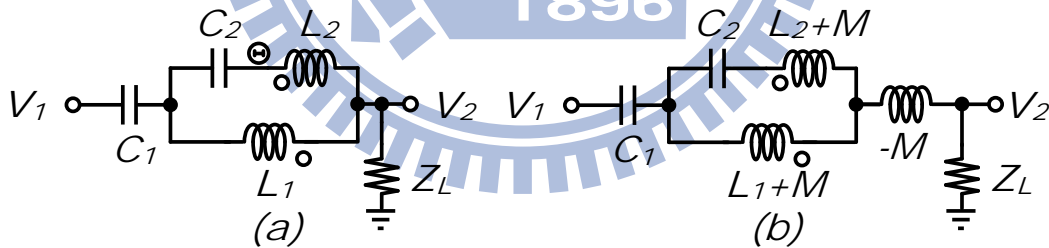
圖(2.36) 具零點電路架構

$$\frac{V_2}{V_1} = \frac{Z_L}{Z_L + B} \Rightarrow B = \frac{s^2 L_2 C_2 + 1}{s^2 (L_1 + L_2) C_2 + 1} + \frac{1}{s C_1} = \frac{s^3 L_2 C_1 C_2 + s^2 (L_1 + L_2) C_2 + s C_1 + 1}{s C_1 [s^2 (L_1 + L_2) C_2 + 1]} \quad (2.37)$$

可知道  $B(s)$  有兩個極點在  $0 \pm \frac{1}{\sqrt{(L_1 + L_2) C_2}}$ ，它對  $\frac{V_2}{V_1}$  則是零點，若

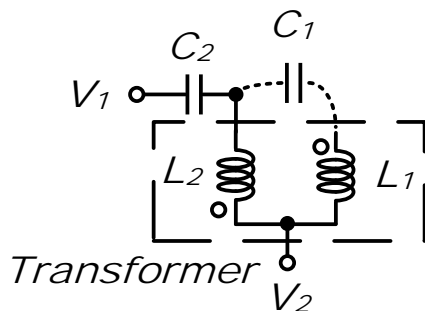
有兩個零點可表示有雙頻帶的效果。若要在低頻及高頻有極點，勢必需履要大電感，在這裡我們用電感之間的耦合來達成等效電感變大。

若使用耦合的話，如下圖：



圖(2.37) (a)考慮耦合及其(b)等效電路

$$\begin{aligned} \frac{V_2}{V_1} = \frac{Z_L}{Z_L + B} \Rightarrow B &= \frac{s^2 (L_2 + M) C_2 + 1}{s^2 (L_1 + L_2 + 2M) C_2 + 1} + \frac{1}{s C_1} - sM \\ &= \frac{s^3 (L_2 + M) C_1 C_2 + s^2 [(L_1 + L_2 + 2M) C_2 - M C_1] + s C_1 + 1}{s C_1 [s^2 (L_1 + L_2 + 2M) C_2 + 1]} \end{aligned} \quad (2.38)$$

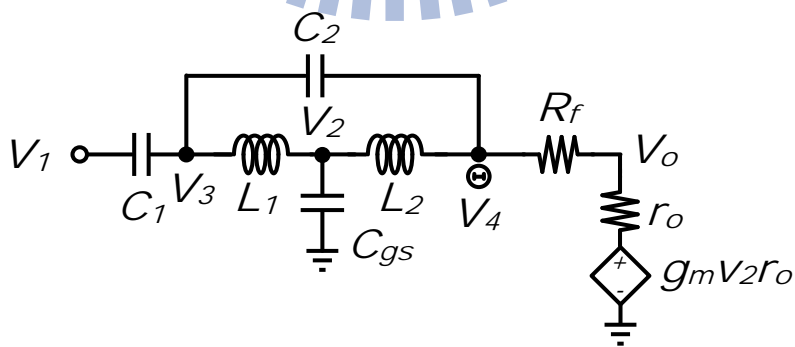


圖(2.38) 以變壓器實現等效電路

由式可知， $B(s)$ 有兩個極點在  $0 \cdot \frac{1}{\sqrt{(L_1 + L_2 + 2M)C_2}}$ ，故  $\frac{V_2}{V_1}$  的零點變低

頻，代表我們可以用較小感值就能達到相同的零點。

$C_1$  我們可以用 broadside coupling 兩電感間造成似 MIM 電容效應來實現。另外，第二級放大器若要減少偏壓，可以利用電感+電阻來當回授，這樣電晶體的閘極跟汲極可以共用偏壓，若要跟預計的架構差異不大的話，電阻可以放在  $\ominus$  處。最後加入第二級的電晶體，觀察其頻率響應。



圖(2.39) 加入後級電晶體之等效電路

$$\frac{V_4 - V_o}{R_f} = \frac{V_o + g_m r_o V_2}{r_o}$$

$$\frac{V_4 - V_o}{R} + (V_4 - V_3) s C_2 + \frac{(V_4 - V_2)}{s L_2} = 0$$

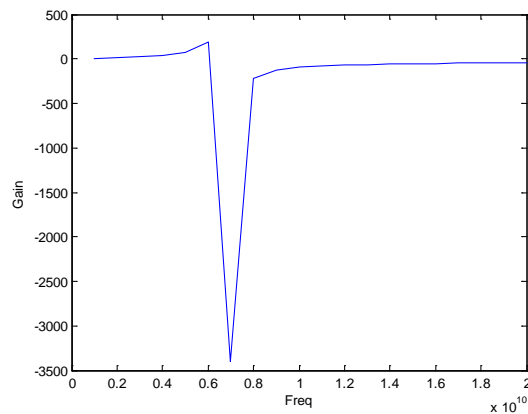
$$V_2 \cdot s C_{gs} + \frac{(V_2 - V_3)}{s L_1} + \frac{(V_2 - V_4)}{s L_2} = 0$$

$$(V_3 - V_4) s C_2 + \frac{(V_3 - V_2)}{s L_1} + (V_3 - V_1) s C_1 = 0$$

$$\begin{bmatrix} 0 & 0 & -\frac{1}{R_f} & g_m & \frac{1}{r_o} + \frac{1}{R_f} \\ 0 & -s C_2 & \frac{1}{R_f} + s C_2 + \frac{1}{s L_2} & -\frac{1}{s L_2} & -\frac{1}{R_f} \\ 0 & -\frac{1}{s L_1} & -\frac{1}{s L_2} & s C_{gs} + \frac{1}{s L_1} + \frac{1}{s L_2} & 0 \\ -s C_1 & s C_2 + \frac{1}{s L_1} + s C_1 & -s C_2 & \frac{1}{s L_2} & 0 \end{bmatrix} \begin{bmatrix} V_1 \\ V_3 \\ V_4 \\ V_2 \\ V_o \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (2.39)$$

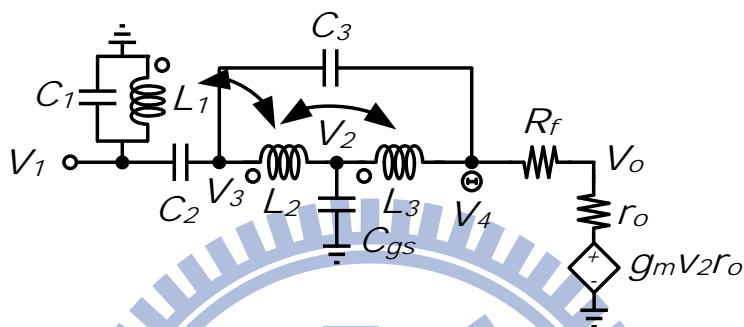
利用 MATLAB 由式(2.35)解出  $V_o/V_1$  並作成圖(2.39)，並給合理的初始值，可得，可知此架構確實有雙頻帶的效果。

$L_1$	$L_2$	$C_1$	$C_2$	$C_{gs}$	$g_m$	$r_o$	$R_f$
1nH	1nH	1pF	0.8pF	0.15pF	40mS	1k $\Omega$	4k $\Omega$

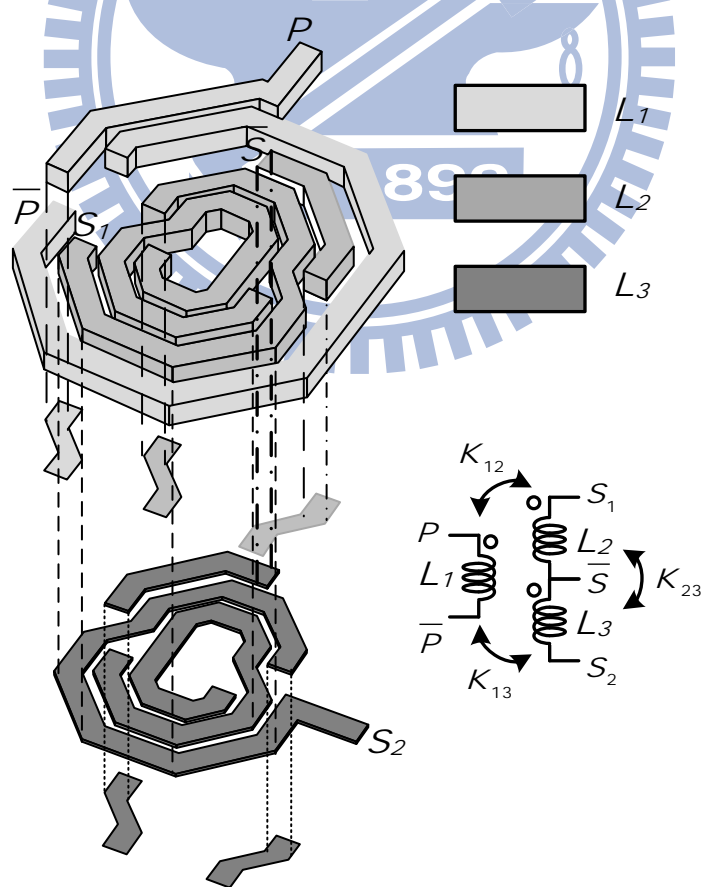


圖(2.40) 加入後級電晶體之等效電路模擬圖

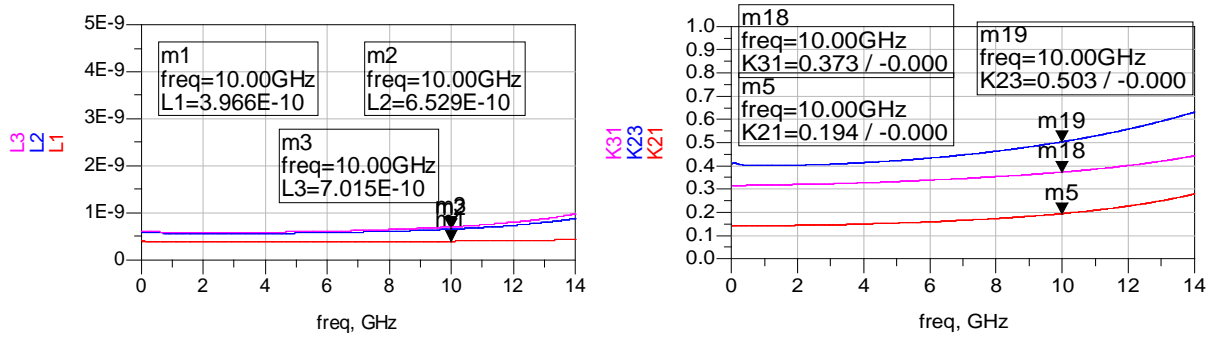
因為高頻增益較低，最後加入第一級的 LC 共振腔[見圖(2.40)]，把後面拉上來，為了面積的考量把其電感也跟中間級的變壓器繞在一起，成為雙變壓器(trifilar)型態；因為有耦合效應使  $L_1$ 、 $L_2$  變小，達到省面積的效果。



圖(2.41) 考慮第一級之等效電路

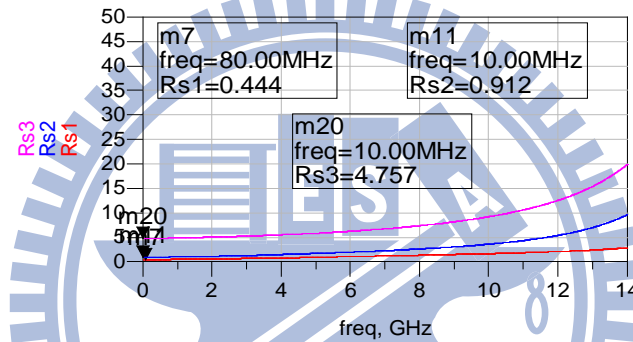


圖(2.42) 雙變壓器立體圖

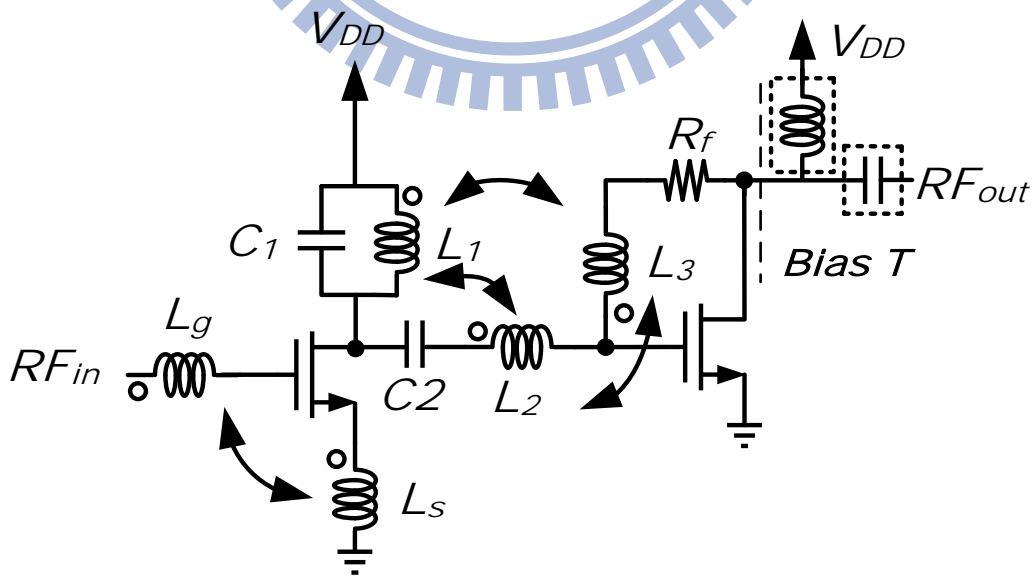


圖(2.43) 雙變壓器感值及各耦合值模擬圖

$L_1$	$L_2$	$L_3$	$k_{21}$	$k_{23}$	$k_{13}$
0.4nH	0.65nH	0.7nH	0.19	0.5	0.37



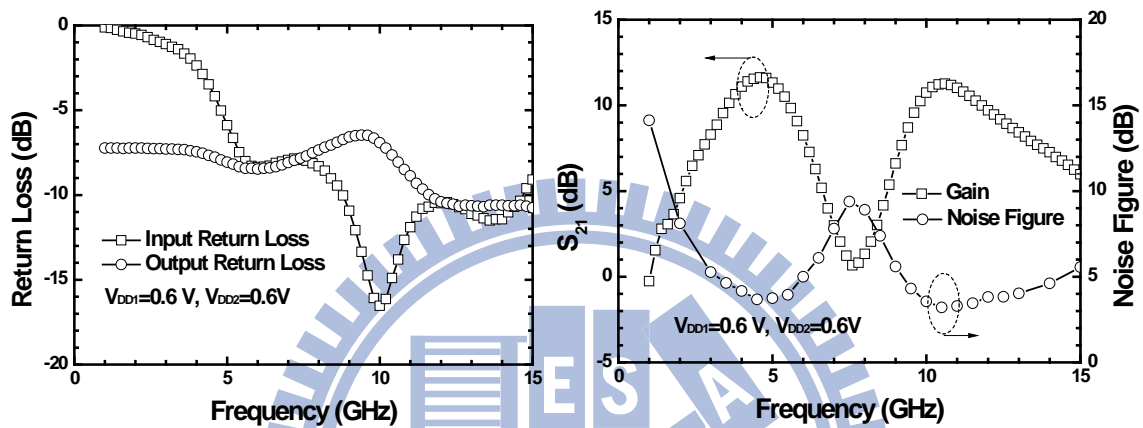
圖(2.44) 雙變壓器寄生電阻模擬圖



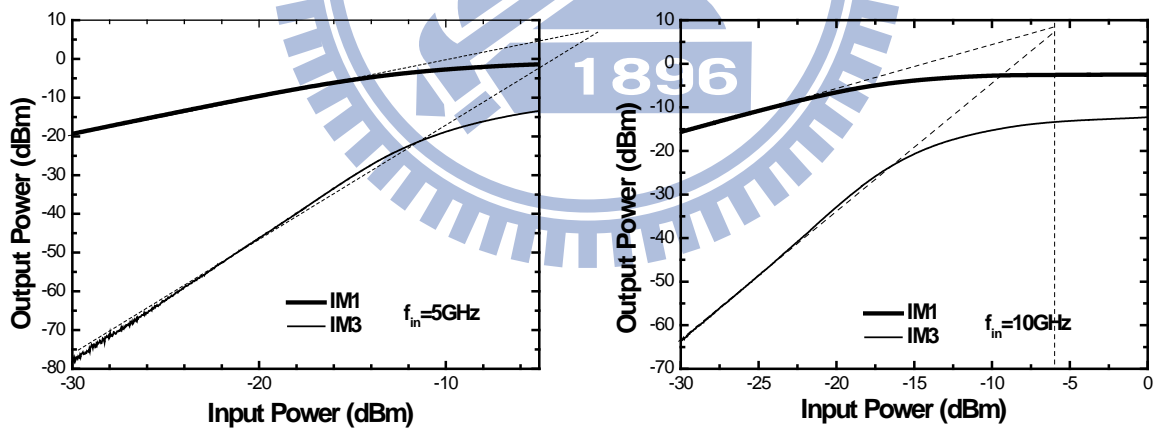
圖(2.45) 利用雙變壓器型態之雙頻帶放大器

因為 L3 後面有接一個回授電阻，所以其寄生電阻值大小並無影響，故可以使用側面耦合，使耦合值大一點，這樣 L1 及 L2 的尺寸可以再小一點，而如圖(2.44)。

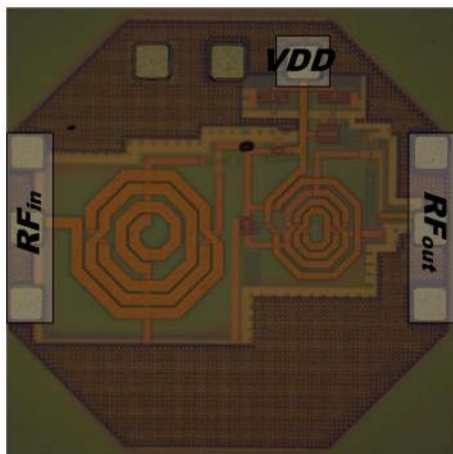
### 2.7.4 晶片量測結果



圖(2.46) (左)輸入及輸出返回損耗與(右) $S_{21}$  及雜訊指數



圖(2.47) (左)5GHz 及(右)10GHz 線性度



圖(2.48) Die Photo ( 0.6mm × 0.6 mm )

### 2.7.5 結果與討論

本電路採用 CMOS 0.13 $\mu\text{m}$  製程，晶片照片如圖(2.45) 所示：RF、LO 埠採用 GSG pad，DC 採用 PGP pad，此晶片面積為  $0.6 \times 0.6 \text{mm}^2$ 。

在設計時，輸入匹配就不為雙頻帶類，原本想走 LC 達到寬頻的效果，發現實作出來還差一點；而輸出因為有回授電阻且放很大，一整個看到高阻抗，就沒有去匹配，不然特性再好一些。整體特性整理如表 2.9

表2.9 5-GHz、10-GHz 雙頻帶放大器量測特性表

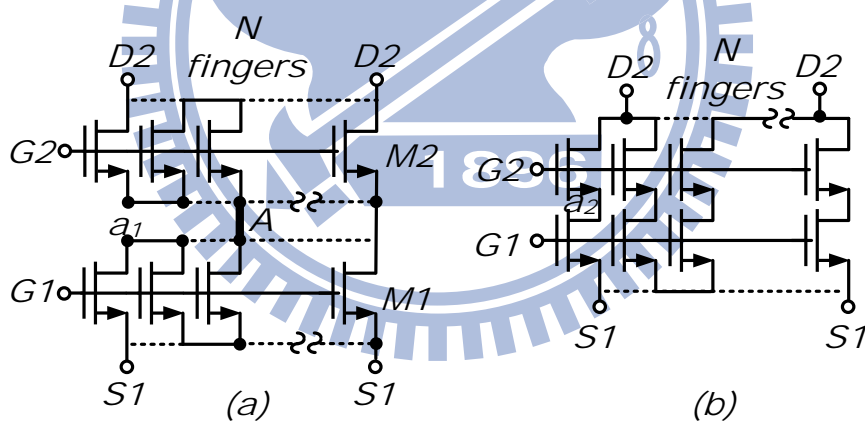
Frequency	5-GHz	10-GHz
Supply Voltage (V)	1	
$S_{21}$ (dB)	11	11
Noise Figure (dB)	3.7	3.2
IIP3 (dBm)	-2	-6
IP1dB (dBm)	-13	-11
Input Return Loss (dB)	-5.9	-16.5
Output Return Loss (dB)	-8	-7
Power Consumption (mW)	17	
Chip Size (mm×mm)	0.6×0.6	

## 2.8 實作四：60-GHz 雙閘極放大器 (CMOS 90-nm)

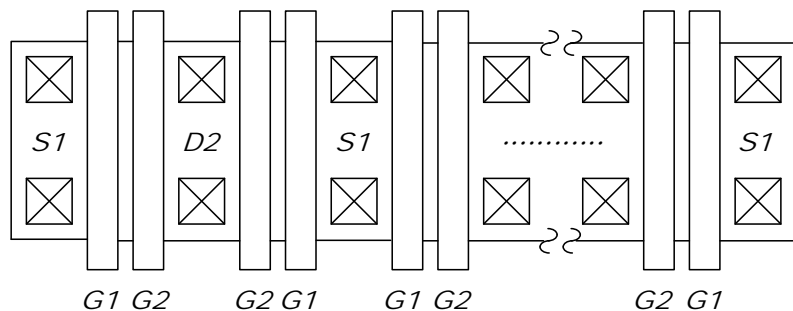
### 2.8.1 研究動機

由文獻[23]可知，90nm RF-CMOS 製程(9層厚銅金屬)的截止頻率高達 120GHz，最高振盪頻率為 200GHz；這樣的電晶體特性，對於拿來設計 60GHz 是很好的選擇，本實作將利用雙閘極方式實作出 60GHz 電路。

### 2.8.2 雙閘極技術



圖(2.49) (a)一般疊接放大器及(b)雙閘極電路表示圖

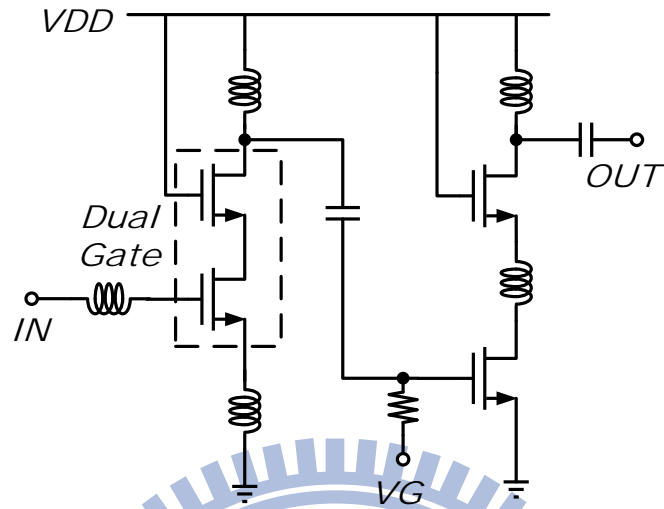


圖(2.50) 雙閘極佈局表示圖



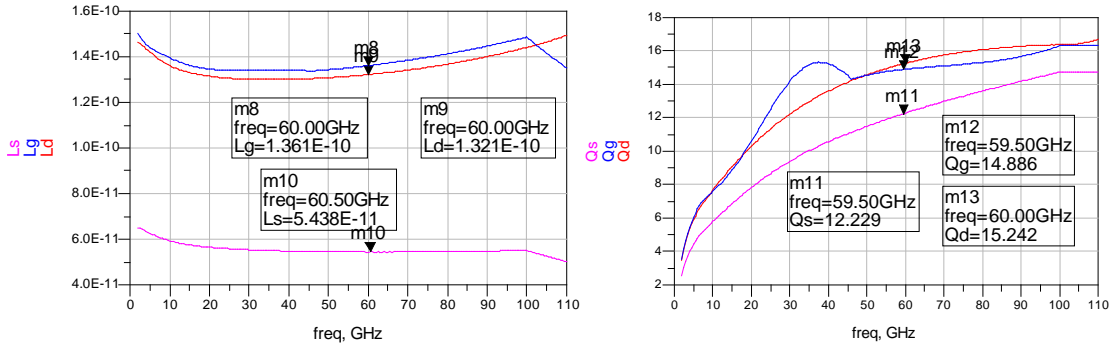
在一般疊接放大器中，電晶體接法為圖，實線代表在佈局時的走法， $D \rightarrow S \rightarrow D \rightarrow \dots$ ，這樣不斷下去，最後全部 S 會接一起(虛線)，再打接點出來，D 也比照辦理。如此一來，在佈局時 M1 跟 M2 會因有 DRC 規則，使中間會有一小段走線(A 點)，在低頻或許還好，但在 60GHz 會有影響。所以把 M1、M2 包在一起，讓 A 點的長度就是一般 Diffusion 的長度，減少多餘影響。當信號從 G1 進入(只進入其一小顆電晶體)，比較兩圖，發現在 a1 點會看到 N 個 D 端及 S 端寄生電容；相反地，a2 點只看到 1 個 D 端及 S 端寄生電容。由電路分析可知，A 點看到時間常數約為  $\frac{C_a}{g_{m2}}$ ，若  $C_a$  越小高頻特性會越好。由文獻[24]實作可知，雙閘極的最大穩定增益(MSG)高於一般疊接式電晶體。而一般電晶體用 MSG 來表示其能力在非無條件穩定下的頻率，也代表在高頻的能力。

## 2.8.3 電路設計



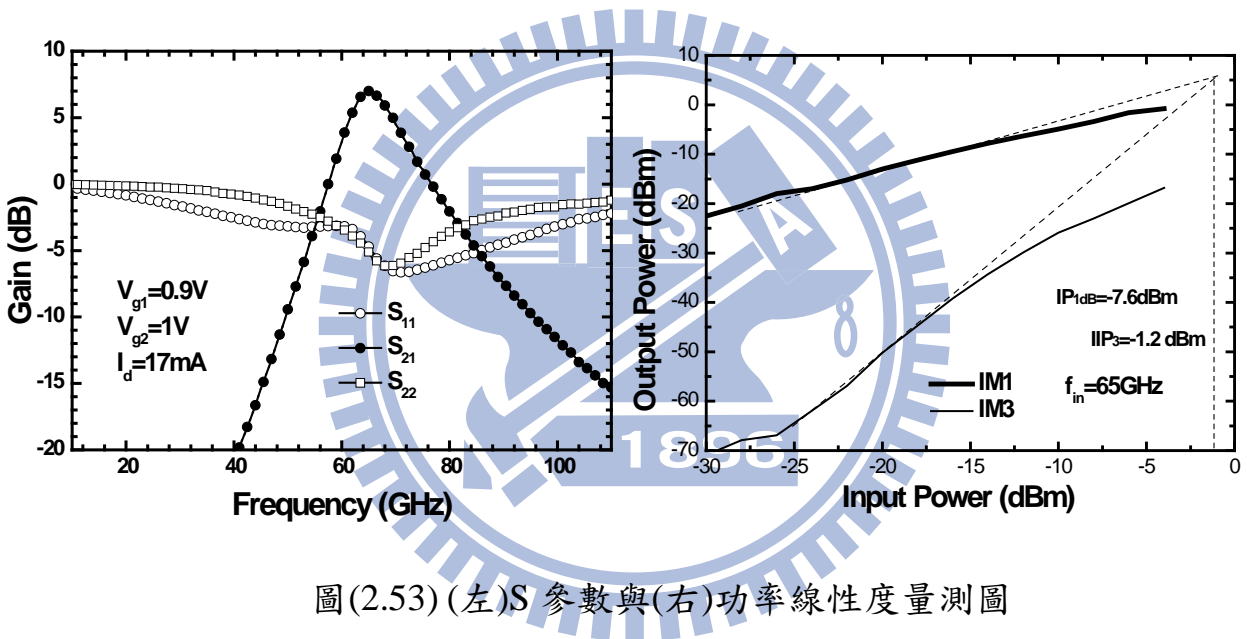
圖(2.51) 雙閘極放大器電路圖

在設計高頻放大器時，跟一般低頻不一樣的地方，其雜訊表現主要被電晶體特性決定，因為所需感值很小，電感寄生電阻很小。在第一級我們使用雙閘極來達到輸入匹配，所需感值及 Q 值如圖(2.51)，Q 值還在合理範圍內。在中間級利用電感電容來跟下一級輸入電晶體做匹配，受限於雙閘極上下電晶體尺寸一樣及需達到輸出跟中間級皆要匹配的條件下，在第二級不使用雙閘極來達成，而是一般疊接加電感的方式，中間的電感功能是共振那節點的電容，其值很小(可能一個拉線就到)，對面積來說並無影響。

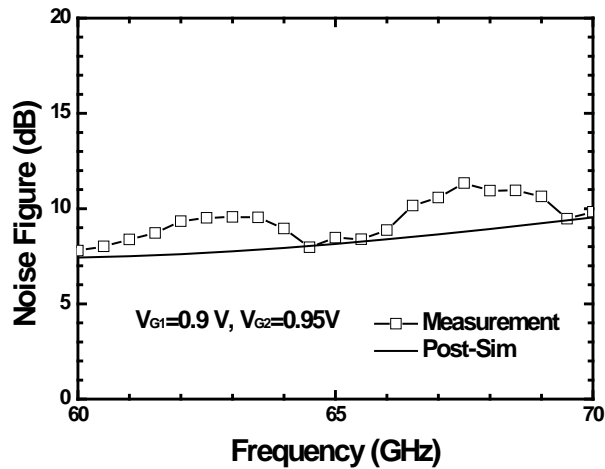


圖(2.52) 第一級(左)電感值(右)品質因素

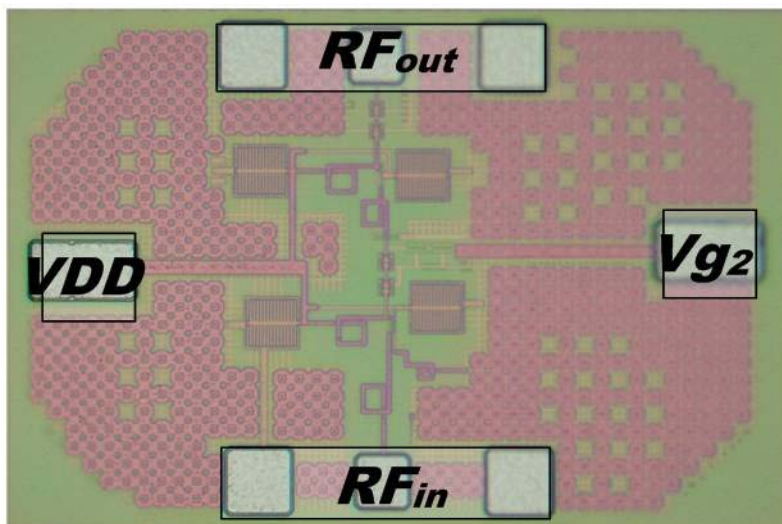
### 2.8.4 晶片量測結果



圖(2.53) (左)S 參數與(右)功率線性度量測圖



圖(2.54) 雜訊指數量測圖



圖(2.55) Die Photo (0.6mm × 0.6 mm)

### 2.8.5 結果與討論

相關特性如表 2.10，輸入匹配變差應為閘極電容比想像中大，因為雙閘極佈局每根 Poly 距離較遠，拉線較長使閘極電容變大，模擬與量測的比較如圖(2.56)， $S_{21}$  變差是輸入與輸出皆變差所導致。

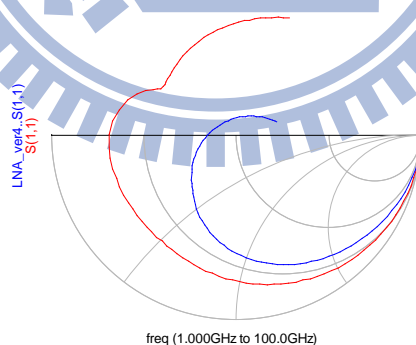
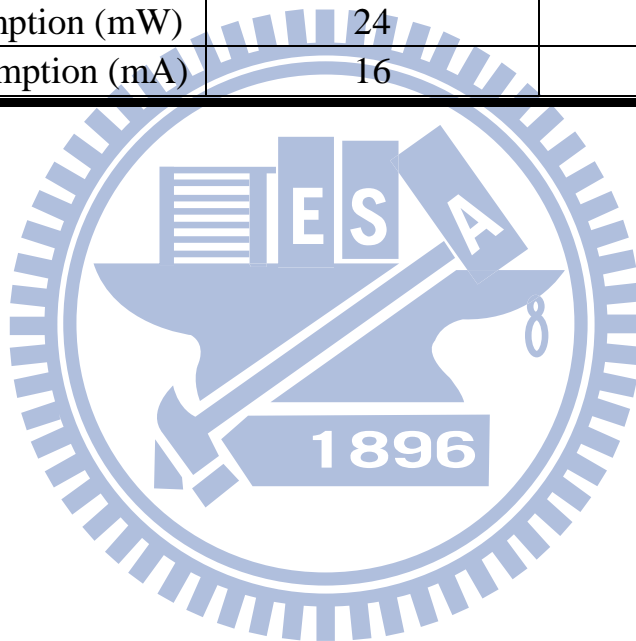
圖(2.56)  $S_{11}$  模擬與量測比較圖

表 2.10 60-GHz 雙閘極放大器量測特性表

Item	Post-Simulation	Measurement
Supply Voltage (V)	1.5	1.5
$S_{21}$ (dB)	11.5	7
Noise Figure (dB)	7.5	8@64.5GHz
IIP3 (dBm)	0.1	-1.2
IP1dB (dBm)	-10	-10.5
Input Return Loss (dB)	<-10 (58GHz~94GHz)	<-5 (65.5GHz~85.5GHz)
Output Return Loss	<-10 (55GHz~65GHz)	<-5 (65GHz~74.5GHz)
Power Consumption (mW)	24	25.5
Current Consumption (mA)	16	17



# 第三章

## 2.4/5.8-GHz 低功率接收機



### 3.1 前言

資訊不斷變遷的時代裡，科技的發展不斷地日新月異。無論是遠距離的個人行動通訊 WWAN (wireless wide area network)，或是較近距離的像已訂定的標準有 IEEE802.11 的無線區域網路 WLAN (wireless local area network)及 Bluetooth 聯盟的無線個人網路 WPAN (wireless personal area networking)為主要的通訊標準都已有相當完整的解決方案並有實際應用，像是一般常見 3C 產品皆有支援。無論是 WWAN 或 WPAN 其通訊設備常常都是可攜式，其使用時間為消費者所考慮之一，除了在電池技術上著墨外，對於更換電池不易之產品，如何降低電路的耗電量更是重要的議題，低功率的應用也隨之產生。本章將先從系統架構切入，之後深入討論電路架構選擇及其子電路，以低功率著眼加上其他特性要求像是雜訊表現、線性度等，在上面幾個限制中權衡，最後實作出具低功率特性及符合其他特性之電路。

## 3.2 系統架構比較與選擇

較常見的接收機架構包括：超外差接收機(super-heterodyne receiver)、直接降頻接收機(direct-conversion receiver)和低中頻接收機(low-IF receiver)。後兩者省略了 IF 級及外接濾波器，適合高度系統整合單晶片(SOC)。

超外差式架構的優點為擁有較佳的靈敏度、動態範圍和頻率選擇性，而其缺點為元件數量較多並為了解決鏡像訊號問題，會需要較昂貴的晶片外(off-chip)高品質因素表面聲波(SAW)濾波器，因此在整合上很較困難，難以達到高度積體化，對於成本考量上有一定的影響。

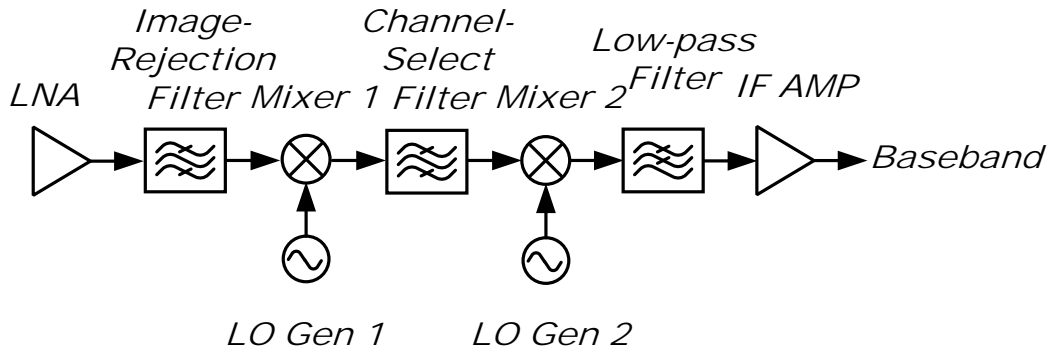
若要解決鏡像訊號的問題，又希望可以盡量將系統整合在一個晶片上，可以採用威福(Weaver)鏡像消除架構、哈特利(Hartley)鏡像消除架構或是直接降頻架構。前兩者為低中頻(Low-IF)架構，第三者為零中頻(Zero-IF)架構。其中威福(Weaver)鏡像消除架構是雙降頻(dual conversion)架構，不僅有第二鏡像訊號問題，還需要多一級降頻器，相對於另外兩種架構，功率消耗較大。因此適用於低功率接收機的架構，常用的是哈特利(Hartley)架構和直接降頻(direct conversion)架構。

而哈特利架構的類比數位轉換器及基頻電路之操作頻率都會較高，功率消耗也因此較大。對於低功率系統整合來說，直接降頻或許是較好的選擇。直接降頻也有其缺點，會在下面各電路架構中討論且提出解決方法。

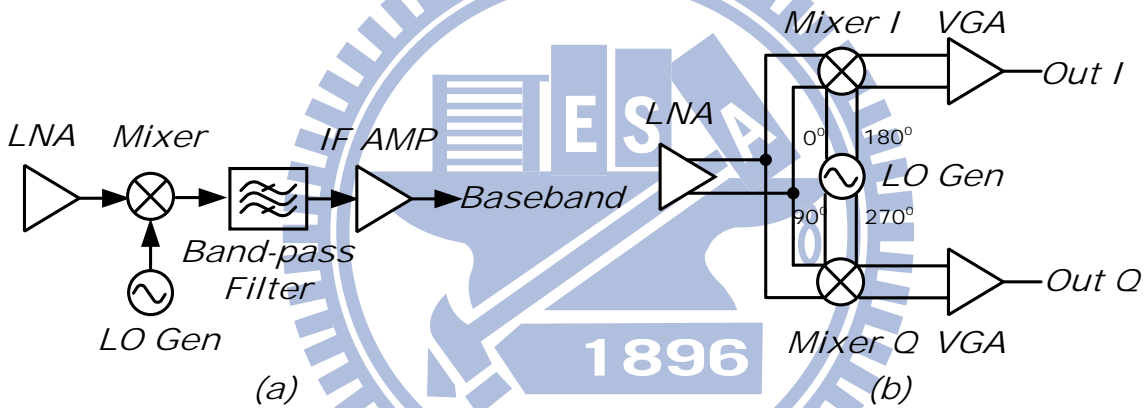
直接降頻接收機最前端電路為低雜訊放大器，相關討論已經前節敘述並有實作結果；而下一級混頻器的選擇，則有主動(active)及被動(passive)之分。因為被動混頻器並無直流電流，所以沒有增益可言，無法壓制後級雜訊；因此後級所需電流不小，一個 TIA 要 2mA 左右



的電流。若使用低電流的主動混頻器，再結合低功耗但雜訊指數較高的放大器，因為主動混頻器具有增益，可以幫助壓抑後方的雜訊，如此也有機會完成低功率、低雜訊的接收機。



圖(3.1) 超外差接收機架構



圖(3.2) (a)低中頻接收機及(b)直接降頻接收機架構

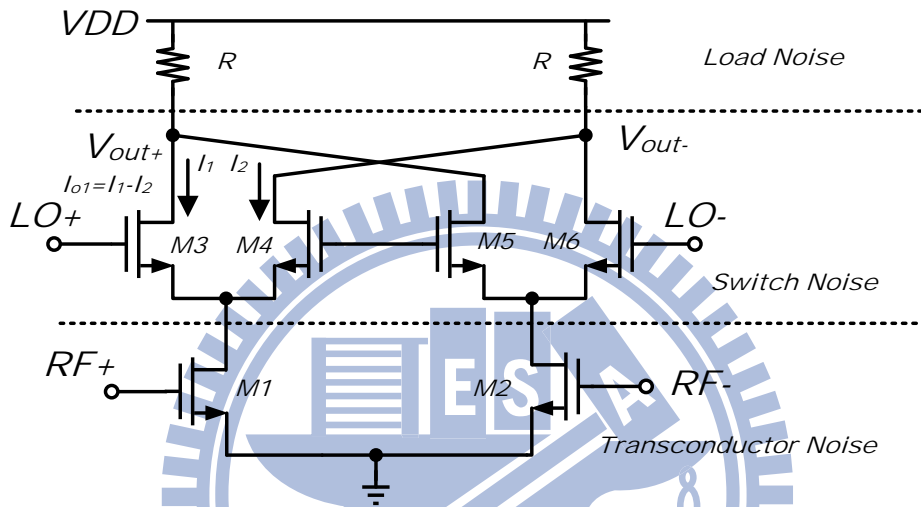
### 3.3 吉柏特混頻器

#### 3.3.1 增益分析

假設 LO 埠為完全切換，等效切換函數為  $p(t)$ ，再跟 RF 信號相乘可得輸出中頻信號，可發現增益與切換級波形之傅利葉常數項有關；除此之外，還跟轉導端及負載有關：

$$\begin{aligned}
 p(t) &= \frac{4}{\pi} \left[ \sin \omega_{LO} t + \frac{1}{3} \sin 3\omega_{LO} t + \frac{1}{5} \sin 5\omega_{LO} t + \dots \right] \\
 V_{RF}(t) &= V_{RF} \cos \omega_{RF} t \\
 V_{IF}(t) &= \frac{2}{\pi} V_{RF} \left\{ \left[ \sin(\omega_{LO} - \omega_{RF}) t + \sin(\omega_{LO} + \omega_{RF}) t \right] + \dots \right\}
 \end{aligned} \tag{3.1}$$

### 3.3.2 熱雜訊分析[1]



圖(3.3) 混頻器熱雜訊源示意圖

#### (1) 轉導級

令轉導級的雜訊分佈為週期式穩態雜訊  $n_3(t)$ ，而在輸出所造成的信號  $y_{n1}(t) = n_1(t) \cdot p_{3,4}(t)$ ，轉成平均功率頻譜密度(PSD)[見式(3.2)]

$$\begin{aligned}
 S_{n1}^o(f) &= \sum_{-\infty}^{\infty} |p_{3,4,n}|^2 S_{n1}(f - nf_{LO}) \Rightarrow S_{n1}^o(f) = N_{n1} \sum_{-\infty}^{\infty} |p_{3,4,n}|^2 = \alpha N_{n1} \\
 \alpha &= \sum_{-\infty}^{\infty} |p_{3,4,n}|^2 = \frac{1}{T_{LO}} \int_0^{T_{LO}} (p_{3,4}(t))^2 dt
 \end{aligned} \tag{3.2}$$

$n_3(t)$  為白雜訊，也就是任何頻率都有，而每個頻率的功率為定值  $N_{n3}$ ，跟切換級產生的 LO 倍頻混頻，在中頻的總和功率。由 RF 端

兩顆電晶體為  $N_{n,1,2} = 4kT \left( R_s + r_{g1} + \gamma \frac{2}{g_m} \right) g_{m1}^2$ ，所以轉導級在輸出端產生的雜訊功率如下：

$$S_{n,1,2}^o(f) = \alpha \cdot 4kT \left( R_s + r_{g1} + \gamma \frac{2}{g_m} \right) g_{m1}^2 \quad (3.3)$$

## (2) 切換對

假設完全切換時，切換對電晶體雜訊不會流到輸出[見圖(3.5)]，但在其他區域，切換對兩邊為飽和區操作，可視為差動放大器，本質上在輸出就會有雜訊。先討論單一切換對 M3、M4 在  $I_1$  的 PSD[見圖(3.3)]：

$$4kT\gamma \left( g_{m3} \left( \frac{1}{\frac{g_{m3}}{1} + \frac{1}{g_{m4}}} \right)^2 + g_{m4} \left( \frac{1}{\frac{g_{m4}}{1} + \frac{1}{g_{m3}}} \right)^2 \right) = 4kT\gamma \left( \frac{g_{m3} \cdot g_{m4}}{g_{m3} + g_{m4}} \right) \quad (3.4)$$

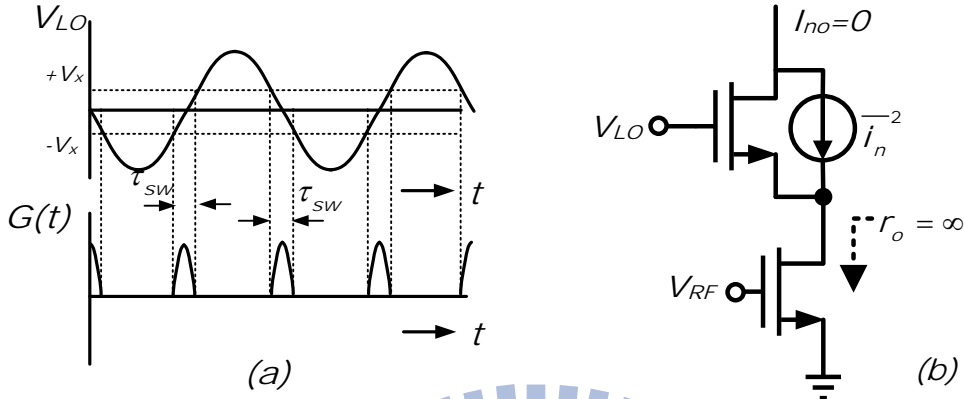
考慮全部切換級電晶體對差動輸出電流的影響， $I_{o1} = 2I_1$  若考慮同時四顆切換級的話，因為兩個切換級為非相關性，所以  $I_{ot} = 2I_{o1}$ 。

$$S_{n,3,4}(f, t) = 16kT\gamma \left( \frac{g_{m3} \cdot g_{m4}}{g_{m3} + g_{m4}} \right) = 8kT\gamma G(t) \quad (3.5)$$

$$G(t) = 2 \left( \frac{g_{m3} \cdot g_{m4}}{g_{m3} + g_{m4}} \right)$$

$G(t)$  在  $V_{LO}=0$  的時候有最大值[見圖(3.4)]，因為電流跟尺寸都固定，基本上跟 LO 振幅無關，代表若 LO 振幅越大， $\tau_{sw}$  越小，則展開式的直流項越小(忽略 LO 倍頻跟白雜訊的調變)[見式(3.6)]。

$$S_{n,3,4}(f,t) = 8kT\gamma \left( \frac{1}{T_{LO}} \int_0^{T_{LO}} G(t) dt \right) = 8kT\gamma \bar{G} \quad (3.6)$$



圖(3.4) (a)非完全切換等效  $G(t)$  函數及(b)完全切換雜訊分析

(3) 當地訊號埠

分析方式跟(1)一樣，若討論白雜訊的話，跟頻率無關雜訊功率皆為  $N_{nLO}$ ， $G(t)$  則為時變的切換級等效轉導， $G_n$  就是  $G(t)$  對  $nf_{LO}$  傅立葉展開常數，若只考慮 LO 埠產生的熱雜訊，那就只取  $G(t)$  的直流項。

$$y_{nLO}(t) = G(t) \cdot n_{LO}(t)$$

$$S_{nLO}^o(f) = \sum_{n=-\infty}^{\infty} |G_n|^2 S_{nLO}(f - f_{LO}) = N_{LO} \sum_{n=-\infty}^{\infty} |G_n|^2 = \bar{G}^2 \cdot N_{LO} \quad (3.7)$$

$$\bar{G}^2 = \left( \frac{1}{T_{LO}} \int_0^{T_{LO}} G(t)^2 dt \right)$$

若 LO 埠有等效電阻  $R_{LO}$ ，再加上電晶體閘極電阻  $r_{g3}$ ，則在輸出的雜訊：

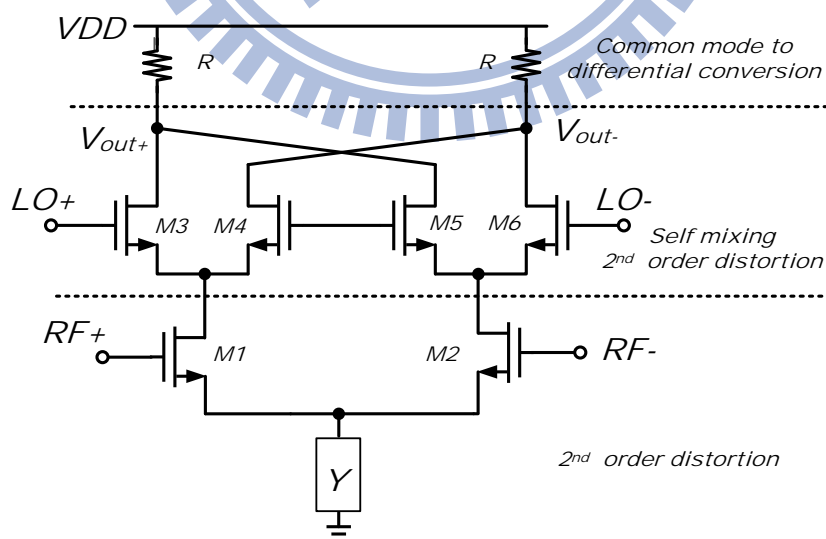
$$S_{nLO}^o = 4kT(R_{LO} + 2r_{g1})\bar{G}^2 \quad (3.8)$$

把(1)、(2)、(3)的雜訊相加再除上增益，可得雜訊指數為：

$$NF_{SSB} = \frac{\alpha}{c^2} + \frac{2(\gamma + r_{g1}g_{m1})g_{m0}\alpha + 4\gamma\bar{G} + 4r_{g3}\bar{G}^2 + \frac{1}{R_L}}{c^2g_{m1}^2R_s} \quad (3.9)$$

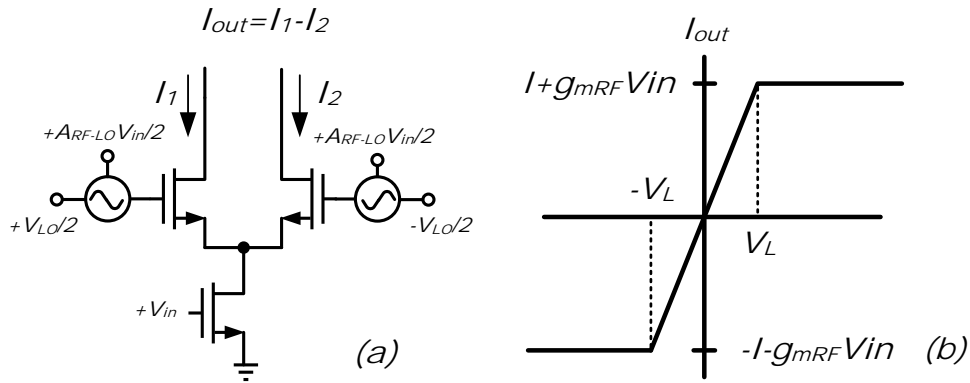
### 3.3.3 線性度分析[2]

對無線接收端而言，動態範圍(dynamic range)表現了電路信號處理能力，而線性度就是主要決定因素之一，跟訊號失真程度有關，稱為交互調變失真(Inter-modulation Distortion)，不同頻率信號會有互相調變，若調變後的非線性項落在所要的頻率上，會造成信號的干擾；而一般以輸入三階交調截點(IIP3)、輸入二階交調截點(IIP2)來決定電路對非本身信號的容忍程度。除了低雜訊放大器存在這問題，混頻器也有非理想效應。針對直接降頻而言，IP2比 IP3更接近直流，對操作頻帶的影響更大。理想上來說，一般使用的雙平衡混頻器都為差動型態，其 IP2應不大；電路模擬時，其 IIP2動輒100dBm 以上，由文獻及實作可知其值沒那麼高，本節將探討混頻器 IIP2成因。



圖(3.5) 混頻器非線性來源示意圖

(1) 自身混頻 (self-mixing)



圖(3.6) (a)考慮 RF-LO 泄漏之切換級及其(b)切換函數

先以單平衡混頻器，考慮電晶體電容效應[圖(3.6)]，使埠間隔離度非理想，而 LO 端有 RF 信號，以軟開關方式分析其 I-V[圖(3.6)]，可得：

$$I_{out} = \begin{cases} \frac{(I + g_{mRF} V_{in})(V_{LO} + A_{RF-LO} V_{in})}{V_L} & |V| < V_L \\ (I + g_{mRF} V_{in}) \text{sign}(V) & |V| > V_L \end{cases} \quad \text{sign}(V) = \begin{cases} 1 & V > 0 \\ -1 & V < 0 \end{cases}$$

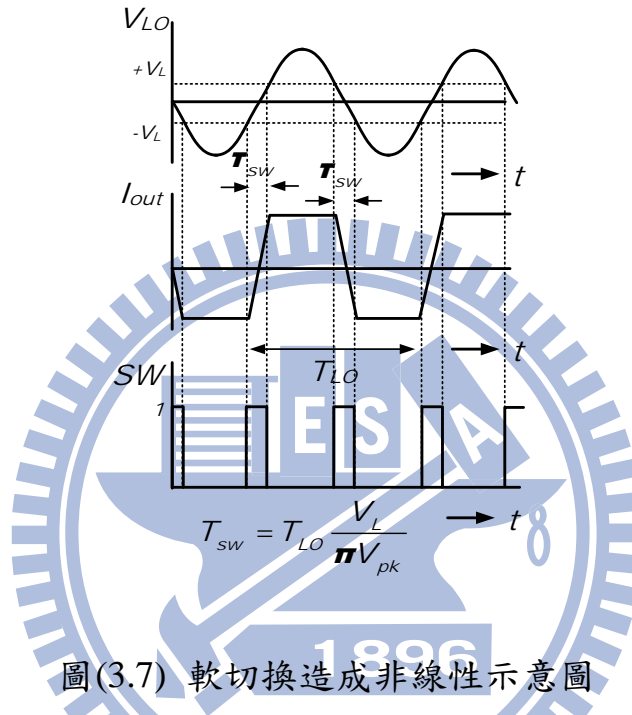
基本上電流大小以 RF 端決定，但如果非完全轉換(total swing)的狀況下，可能會跟 LO 端有關，而會有 IM2的項出現。

$$I_{IM2,out} = \begin{cases} \frac{g_{mRF} V_{in}^2 A_{RF-LO}}{V_L} & |V| < V_L \\ 0 & |V| > V_L \end{cases} \quad (3.10)$$

考慮一組頻帶外的雙頻帶衰減信號  $V_{bk} = V_{bk0} (\text{Cos}\omega_1 t + \text{Cos}\omega_2 t)$  對此電路影效，代入式(3.10)可得下式(3.11)：

$$I_{IM2,out} = \frac{g_{mRF} A_{RF-LO}}{V_L} V_{bk}^2 \times SW(t) = \frac{2g_{mRF} A_{RF-LO}}{\pi V_{pk}} V_{bk0}^2 \cdot \left[ 1 + \cos(\omega_1 - \omega_2)t + \frac{1}{2} \cos 2(\omega_{LO} - \omega_1)t + \frac{1}{2} \cos 2(\omega_{LO} - \omega_2)t + \cos(2\omega_{LO} - \omega_1 - \omega_2)t + \dots SW(t) \right]$$

$$= \left( \frac{2T_{sw}}{T_{LO}} \right) (1 + 2\cos \omega_{LO}t + \dots)$$

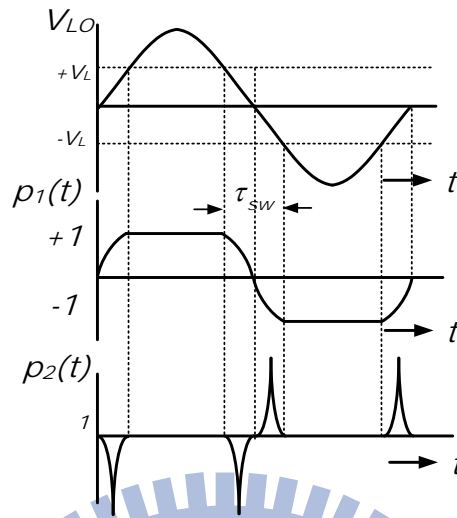


圖(3.7) 軟切換造成非線性示意圖

由式(3.11)可知，對於直接或是低降頻而言，其第二項就視為 inter-modulation，而第一項則是直流偏移。另外，利用 DSB-SC 的 IIP2 定義，可以得到：

$$IIP2(dBm) = 20 \log \left( \frac{2}{A_{RF-LO}} \right) + V_{pk} \quad (3.12)$$

(2) 切換級非線性



圖(3.8) 切換級本身非線性示意圖

在 LO 埠打入弦波，其切換級因受斜率影響；在  $V_{LO}(t) = 0$  時[圖(3.8)]，切換級為對稱的，所以  $p_1(t)$ 、 $p_2(t)$  在那時刻皆為零，而其他時刻則跟偏壓有關，故即使元件皆為理想還是會有等效二階項。若轉導級為理想，只產生一次項  $i_{RF}$ ，輸出電流為下式

$$i_{o1} = p_1(t) \cdot i_{RF} + p_2(t) \cdot i_{RF}^2 + p_3(t) \cdot i_{RF}^3 + \dots \quad (3.13)$$

其中  $p_2(t)$  會有二次項的產生。因為  $p_n(t)$  本身為 LO 的函數，可展開

$$\sum_{k=1}^{\infty} p_{n,k} \sin(2\pi k f_{LO} t)$$

我們只取其 LO 一次項。再代回式(3.13)，再以

中頻的角度來看會變成下式(3.14)：

$$i_{o1} = b_1 \cdot i_{IF} + b_2 \cdot i_{IF}^2 + b_3 \cdot i_{IF}^3 + \dots \quad b_i = \frac{p_{i,1}}{2} = \frac{1}{T_{LO}} \int_0^{T_{LO}} p_i(t) \sin(2\pi f_{LO} t) dt$$



除非為理想方波下，用弦波操作在理想電路下切換級也會造成二次及三次項失真。

### (3) 轉導級非線性及切換端不匹配

假使埠間為完全隔絕，混頻器仍會有互調失真的現象。在 RF 端產生的低頻 IM2 項，雖然會被切換端升頻到 LO 頻率附近；但因為切換端本身不匹配會造成部份 IM2 並無混頻，而是漏到輸出並仍為低頻，可知 RF 端非線性電流及切換端非匹配會在輸出造成影響。

考慮上述因素可得， $I_{IM2,out} = I_{IM2,1}L_1 - I_{IM2,2}L_2$ ，考慮兩切換級有相同的設計參數但不匹配；因為  $L_{1,2}$  為隨機過程，為個別獨立，所以以均方根(rms)來討論：

$$\sigma_{IM2,out} = \sqrt{I_{IM2,1}^2 + I_{IM2,2}^2} L = \sqrt{I_{IM2,DIF}^2 + I_{IM2,CM}^2} \frac{L}{\sqrt{2}} \quad |L_1| = |L_2| \quad (3.15)$$

$$I_{IM2,DIF} = I_{IM2,1} - I_{IM2,2} \quad \text{and} \quad I_{IM2,CM} = I_{IM2,1} + I_{IM2,2}$$

由上式可知差動模與共模信號會造成非線性項，若把負載的非線性項考慮進去可得：

$$\sigma_{v,IM2,out}^2 = L^2 \left( I_{IM2,DIF}^2 + I_{IM2,CM}^2 \right) R^2 + I_{IM2,CM}^2 \sigma_R^2 \quad (3.16)$$

先討論轉導級部份，共模及差模電流利用 Volterra 展開式對輸入電壓展開。

$$I_{CM} = G_1^{CM}(\omega) \circ V_{in} + G_2^{CM}(\omega_1, \omega_2) \circ V_{in}^2 + \dots$$

$$I_{DIF} = G_1^{DIF}(\omega) \circ V_{in} + G_2^{DIF}(\omega_1, \omega_2) \circ V_{in}^2 + \dots \quad (3.17)$$

二階共模及差模轉導分別為  $G_2^{CM}(\pm\omega_1, \mp\omega_2)$ 、 $G_2^{DIF}(\pm\omega_1, \mp\omega_2)$ ，如果兩邊元件為匹配， $G_2^{DIF}(\pm\omega_1, \mp\omega_2)$  應為 0。把不匹配因素分為：threshold voltage ( $V_t$ ) 及  $\beta\left(\frac{1}{2}u_n C_{ox} \frac{W}{L}\right)$  變異；同樣地，為隨機過程我們求其標準

$$\text{準差 } \sigma_{G_2^{DIF}(\omega_1, \omega_2)} = \sqrt{\left[\frac{dG_2^{DIF}(\omega_1, \omega_2)}{dV_t}\right]^2 \sigma_{V_t}^2 + \left[\frac{dG_2^{DIF}(\omega_1, \omega_2)}{d\beta}\right]^2 \sigma_{\beta}^2} \quad (3.18)$$

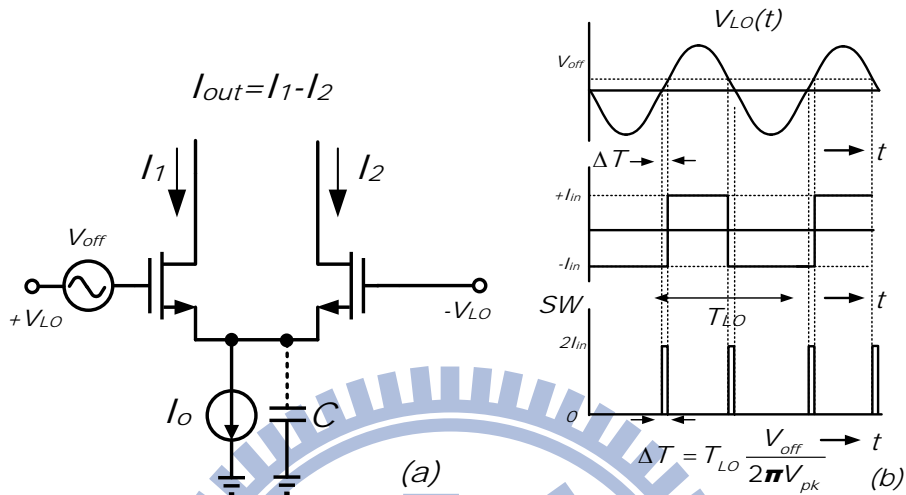
$\frac{dG_2^{DIF}(\omega_1, \omega_2)}{d\beta}$ 、 $\frac{dG_2^{DIF}(\omega_1, \omega_2)}{dV_t}$  分別為轉導對導通電壓及  $\beta$  的靈敏度。以下圖表為各類差動對轉導靈敏度比較表。

表3.1 輸入轉導級之二次轉導對製程變異表

電路架構	$G_2^{CM}$	$\frac{dG_2^{DIF}}{dV_T}$	$\frac{dG_2^{DIF}}{d\beta}$
全差動	$\frac{1/R_{out} + j\omega_o C}{4g_m} \cong \frac{g_2}{4R_{out}g_m}$	$\cong \frac{3g_2}{V_{ov}}$	$-\frac{2g_2}{\beta}$
假差動	$g_2$	$\cong \frac{3g_2}{4V_{ov}}$	$\frac{g_2}{4\beta}$
LC 退化	$g_2$	$\cong \frac{3g_2}{4V_{ov}}$	0

線性度可由增加偏壓電流及縮小元件尺寸，像是增加驅動電壓之類的，但最有效的還是採用全差動架構，雖然會受限於  $V_t$  不匹配。若切換級為完全匹配，將不會有二階互調乘積在輸出，因為  $I_{IM2,DIF}$  會

被升頻到高频而  $I_{IM2,CM}$  還是個共模信號。跟轉導級一樣， $V_t$  與  $\beta$  會造成低頻增益泄漏。用圖來量化它，並在考慮偏移電壓在切換級閘極上。



圖(3.9) (a)考慮切換級不匹配(b)在輸出非線性示意圖

把上述現象分成兩種機制，一為工作週期失真所造成(直接泄漏機制)；另為切換級寄生電容的影響(間接泄漏機制)。偏移電壓會使工作週期失真則輸出平均電流有一段時間不為零。所以針對偏移電壓的標準差大約跟元件對導通電壓差不多。

$$\sigma_{V_{off}} = \sqrt{\sigma_{V_t}^2 + \left(\frac{I}{2g_m}\right)^2 \frac{\sigma_{\beta}^2}{\beta}} \approx \sigma_{V_t} \quad (3.19)$$

$$L_{DIR} = \frac{4\Delta t}{T_{LO}} = \frac{2V_{off}}{\pi V_{pk}} \quad (3.20)$$

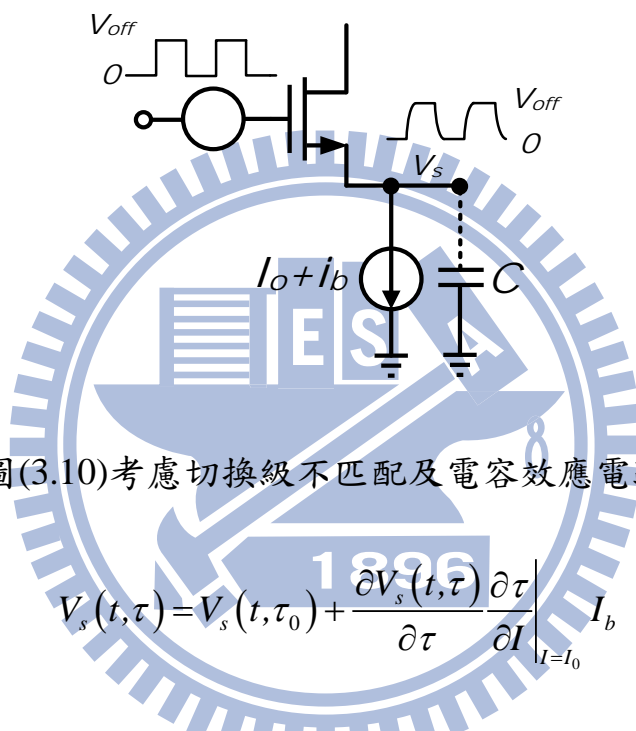
由圖(3.9)可知，把 LO 端擺幅變大，能減小  $\Delta T$  降低輸出二階項電流，

$$\Delta T = 0 \Rightarrow L_{DIR} = 0。$$

考慮等效輸入偏壓(先以方波)對下面電容的充放電[圖(3.10)]，可以得

到時間常數  $\tau = \frac{C}{g_m}$ 。接下來考慮轉導級造成的低頻調變，以

$I_b = I_{b0} \cos \omega_b t$  表示。因為  $I_b$  跟偏壓電流做調變，充放電時間常數也被調變。



圖(3.10)考慮切換級不匹配及電容效應電路

$$V_s(t, \tau) = V_s(t, \tau_0) + \frac{\partial V_s(t, \tau)}{\partial \tau} \frac{\partial \tau}{\partial I} \Big|_{I=I_0} I_b \tag{3.21}$$

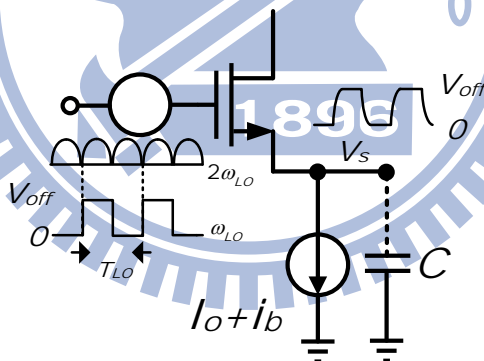
$$\frac{\partial V_s(t, \tau)}{\partial \tau} = \sum_{k \in \mathbb{Z}} \frac{-V_{off} \omega_{LO} e^{j(2k+1)\omega_{LO}t}}{\pi(1 + j(2k+1)\omega_{LO}\tau)^2} \tag{3.22}$$

$\tau_0$  是電流為  $I_0$  的時間常數， $V_s$  對時間常數  $\tau$  的靈敏度也為時變函數。從式(3.21)，若  $I_b$  提供兩個邊帶在  $(2k+1)\omega_{LO}$  在源極電壓頻譜，兩個頻帶同時在電容上被產生且最後降頻到低頻  $\omega_b$  [式(3.21)]。

$$I_{IM2} = I_b \frac{-8V_{off} g_2 (\omega_{LO} \tau)^2}{\pi^2 g_m} \left( \frac{1 - (\omega_{LO} \tau)^2}{(1 + (\omega_{LO} \tau)^2)^2} + \frac{1 - (3\omega_{LO} \tau)^2}{(1 + (3\omega_{LO} \tau)^2)^2} + \frac{1 - (5\omega_{LO} \tau)^2}{(1 + (5\omega_{LO} \tau)^2)^2} + \dots \right) \quad (3.23)$$

若沒有寄生電容， $\tau \rightarrow 0, I_{IM2} \rightarrow 0$ ；在直接降頻混頻器，選擇大尺寸元件並偏壓在低電流會使顫動雜訊下降，但卻會造成較長的時間常數。假設 LO 為方波的話(無直接泄漏)，間接泄漏也是會造成相當程度的二階諧波項。

若要更完整的分析，則要考慮弦波進來；先做幾點假設：(1) 切換時間相對於 LO 時間可忽略(2) 電晶體的操作區在半週期內皆不改變



圖(3.11)整流輸入對切換級影響示意圖

令弦波為整流型態(因為把左右以左邊等效)，再由傅利葉展開得：

$$V_R(t) = \frac{2V_{pk}}{\pi} \sum_{k \in Z} \frac{e^{j2k\omega_{LO}t}}{1 - 4k^2} \quad (3.24)$$

帶入式(3.21)，可知源極電壓對時間常數靈敏度的關係：

$$\frac{\partial V_s(t, \tau)}{\partial \tau} = \frac{2V_{pk}}{\pi} \sum_{k \in \mathbb{Z}} \frac{-j2k\omega_{LO} e^{j2k\omega_{LO}t}}{(1-4k^2)(1+j2k\omega_{LO}\tau)^2} \quad (3.25)$$

由圖(3.9)可知，直接泄漏取樣頻率也為 $2k\omega_{LO}$ ，其脈衝信號如下：

$$T(t) = \frac{2}{\pi} \left[ \sum_{k \in \mathbb{Z}} \frac{\sin\left(k \frac{V_{off}}{V_{pk}}\right)}{k} e^{2jk\omega_{LO}t} \right] \quad (3.26)$$

如同之前的分析，把轉導級的電流跟源極充放電的電壓做調變後：

$$I_{IM2} = I_b \frac{64V_{off} g_2 (\omega_{LO}\tau)^2}{3\pi^2 g_m} \left( \frac{1-(2\omega_{LO}\tau)^2}{(1+(2\omega_{LO}\tau)^2)^2} + \frac{4}{5} \frac{1-(4\omega_{LO}\tau)^2}{(1+(4\omega_{LO}\tau)^2)^2} + \dots \right) \quad (3.27)$$

經過分析之後，可得源極電壓的到不管是LO的奇倍頻或偶倍頻，都會在輸出產生二次諧波項。

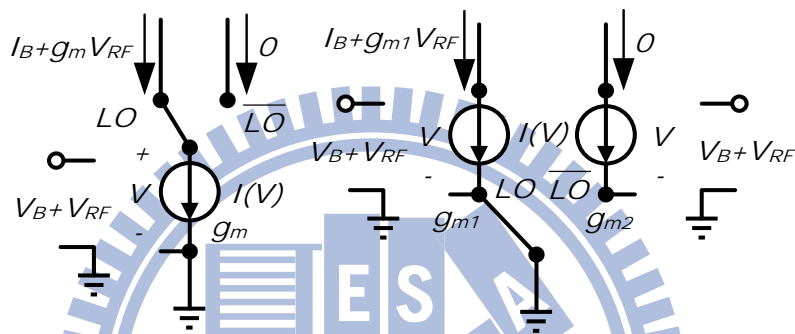
由式(3.20)，可得總和的泄漏增益如下式(3.28)：

$$L = \frac{2V_{off}}{\pi V_{pk}} \frac{V_{off} g_2 (\omega_{LO}\tau)^2}{\pi^2 g_m} \bullet \sum_{k \in \mathbb{N} \setminus \{0\}} \left( 8 \frac{1-[(2k-1)\omega_{LO}\tau]^2}{\{1+[(2k-1)\omega_{LO}\tau]^2\}^2} + \frac{64k^2}{(1-4k^2)} \frac{1-[2k\omega_{LO}\tau]^2}{\{1+[2k\omega_{LO}\tau]^2\}^2} + \dots \right)$$

$\omega_{LO}\tau$  可決定L減少抑或增加，當源極電容小的時候，幾乎都是第一項決定(直接泄漏)；增加電容大小，會讓L變小因為第二項有減的效果，但電晶體變大對於顫動雜訊(非直接機制)影響很大，這此要注意設計。

### 3.4 主動混頻器型態比較[3]

傳統吉柏特混頻器在 3.3 中已被討論，而其實只要一顆電晶體在其三端打入射頻及本地振盪訊號，利用電晶體本身非線性項，基本上皆可達到混頻的效果，像是源極混頻器(source mixer)，但其各輸入輸出端隔離度會很差，所以選擇類似雙平衡混頻器的架構-切換轉導混頻器。



圖(3.12)吉柏特混頻器及切換轉導混頻器比較圖

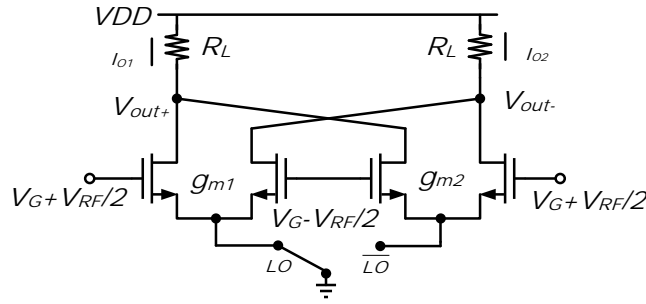
不像吉柏特混頻器下面的 RF 端電晶體不會因 LO 信號而改變，所以轉導不為時間的函數；本架構則為時間的函數，先討論 LO 為正

$$\text{時。 } I_{o1,g_{m1}} = I_{B1}(t) + g_{m1}(t) \cdot \frac{1}{2} V_{RF} \quad I_{o2,g_{m1}} = I_{B1}(t) - g_{m1}(t) \cdot \frac{1}{2} V_{RF}$$

可  $I_{o,g_{m1}} = I_{o1,g_{m1}} - I_{o2,g_{m1}} = g_m(t) V_{RF}$ 。相同地，可得  $I_{o,g_{m2}} = g_m(t) V_{RF}$ 。又

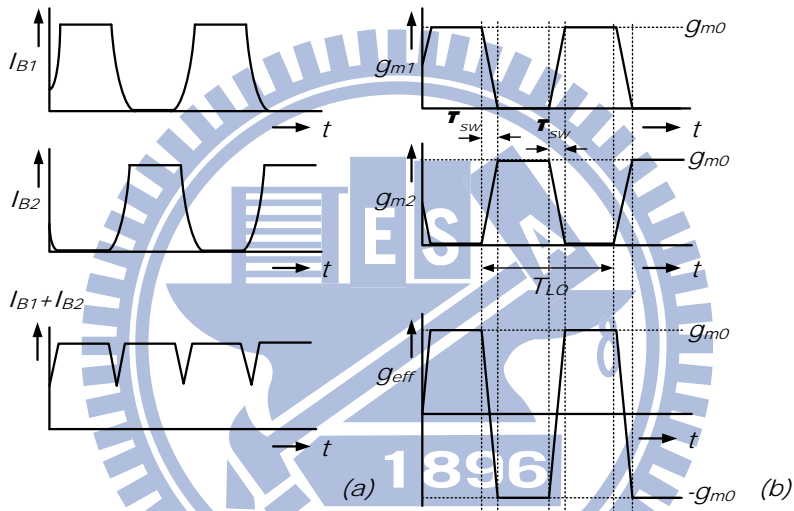
轉導為 LO 的函數  $g_{m2}(t) = g_{m1} \left( t + \frac{T_{LO}}{2} \right)$ 。最後增益為下式(3.29)：

$$I_o = I_{o,g_{m1}} - I_{o,g_{m2}} = (g_{m1}(t) - g_{m2}(t)) V_{RF} = g_{eff}(t) V_{RF} \Rightarrow V_{out} = -g_{eff}(t) V_{RF} R_L$$



圖(3.13) 切換轉導混頻器電路

利用梯形近似 LO 大信號的有限斜率， $g_{eff}(t)$  如下圖：



圖(3.14)(a)電流對時間函數及(b)等效轉導時間函數

對  $g_{eff}(t)$  進行近似後可得：

$$CG \approx \frac{2}{\pi} \left( \frac{\sin(\pi \cdot f_{LO} \tau_{sw})}{\pi \cdot f_{LO} \tau_{sw}} \right) \cdot g_{m0} \cdot \frac{R_L}{2} \quad (3.30)$$

熱雜訊的分析，轉導級部份以差動對電晶體雜訊來看，等效轉導為  $g_{m0}$ 。令 LO 埠的切換型態跟 3.3.2 一樣，可得在輸出的 PSD：

$$S_{n,1,2}^o(f) = \alpha \cdot 4kT \left( R_s + r_{g1} + \gamma \frac{2}{g_{m0}} \right) g_{m0}^2 \quad (3.31)$$

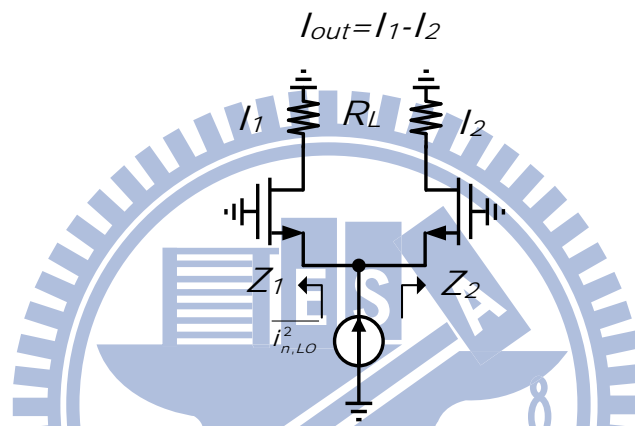
切換級的分析，若考慮下面電晶體雜訊  $i_{n,LO}^2 = 4kT\gamma g_m$  [見圖(3.15)]，從



源極看上去的阻抗： $Z_1 = Z_2 = \frac{r_o + R_L}{1 + g_m r_o}$ ，電流將平均到輸出兩端，若

以差動取出，則等效雜訊輸出電流為零，切換級僅提供共模電流；另外，LO 埠提供的雜訊也為共模訊號。計算全部熱雜訊指數為：

$$NF_{SSB,SwGm} = \frac{\alpha}{c^2} + \frac{2(\gamma_{G_m} + r_{g,Gm}g_{m0})g_{m0}\alpha + \frac{1}{R_L}}{c^2 g_{m0}^2 R_s} \quad (3.32)$$



圖(3.15)轉導級熱雜訊對輸出示意圖

而傳統的吉伯特混頻器之熱雜訊如下式

$$NF_{SSB,Gm+Sw} = \frac{\alpha}{c^2} + \frac{2(\gamma_{G_m} + r_{g,Gm}g_{m0})g_{m0}\alpha + 4\gamma_{G_m} \overline{G_{Sw}} + 4r_{g,Sw} \overline{G_{Sw}^2} + \frac{1}{R_L}}{c^2 g_{m0}^2 R_s} \quad (3.33)$$

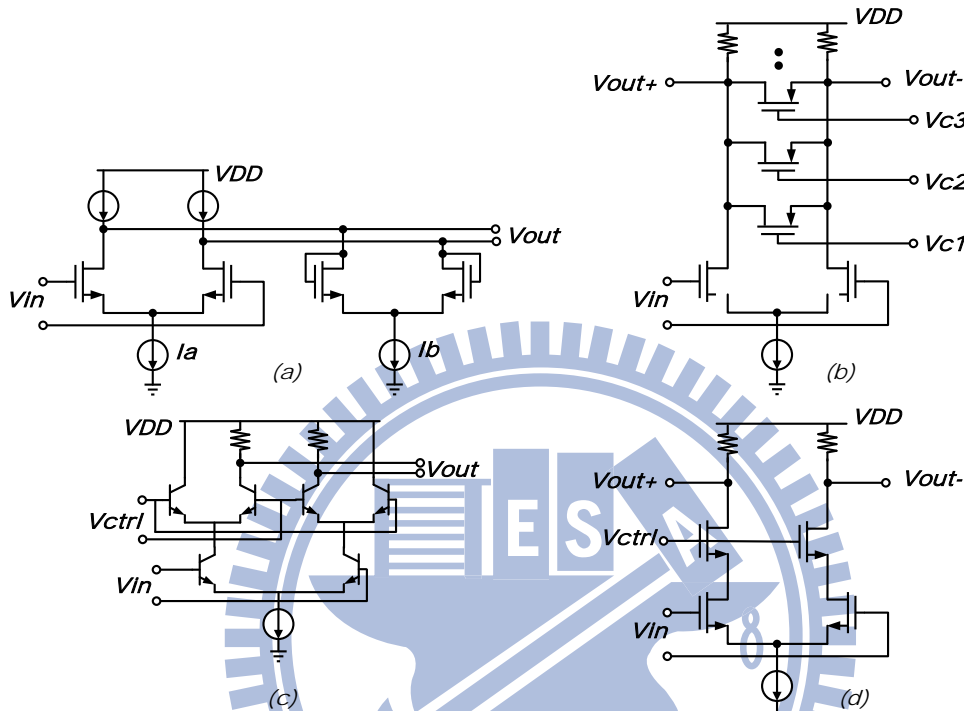
表3.2 切換轉導級混頻器與一般混頻器比較表

特性	切換轉導級	轉導級+切換級
最大的轉換增益	$g_{m0} \cdot 2 / \pi$	$g_{m0} \cdot 2 / \pi$
LO 峰值電壓	$V_{GS,switch}$	$V_{DS,Gm} + V_{GS,switch}$
轉導級的熱雜訊	$\propto g_{m0}$	$\propto g_{m0}$
切換元件的雜訊	共模雜訊 (可被消去)	差動雜訊



### 3.5.2 可調增益放大器分析

VGA 的實做方式有幾種，可根據不同的增益控制方式和 dB-線性的改變特性來區分，在此先討論現行的 VGA 之架構。



圖(3.17)常見可調增益放大器架構

大多數的 VGA 會使用如  $e^x \approx \frac{1+x}{1-x}$  的 pseudo-exponential 函數來表示 dB-線性增益控制的特性。如圖(3.17)-(a)，VGA 的核心電路包含差動放大器和二極體連接的負載。由於輸出端是二極體連接的負載，輸出阻抗會和  $1/g_m$  成正比，也就是和偏壓電流( $I_a, I_b$ )成反比，因此我們可以藉由改變偏壓電流來達到改變增益的效果。不過此電路的操作頻率會受到不同的偏壓電流影響，無法達到固定頻寬的效果。

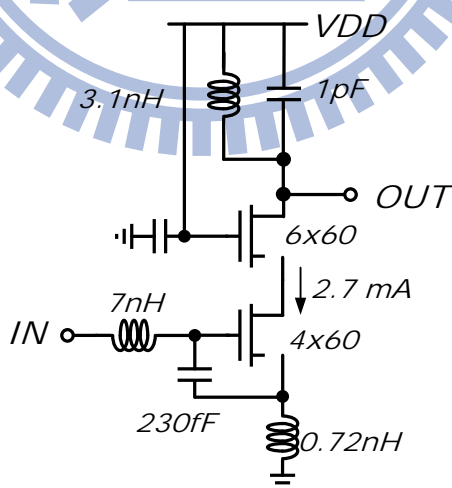
如圖(3.17)-(b)，這種型態的 VGA，是藉由並聯不同偏壓在三極管區的電晶體，也就是改變不同的負載電阻來達到改變增益的效果。但是這種電路也無法做到固定頻寬。

圖(3.17)-(c)是一種訊號加成的 VGA，具有低雜訊和低失真的優點。而且此種電路可以操作在高頻。但是，大概有 20dB 的不可使用增益控制範圍，在此範圍會破壞雜訊的表現，也會破壞可操作的增益範圍。若把這種型態的電路，所有的電晶體從 BJT 換成 MOSFET，不論是高頻響應，雜訊，增益和增益誤差都不如 BJT 好。

若希望達成高頻寬和高動態範圍，可以使用如圖(3.18) (d)的電路架構。然而，此種電路架構，若是使用電阻做負載，不適合操作在低壓，不然線性度不夠。若想要低功率，低壓操作是個可考量的方式，因此，可使用主動負載來提升输出的擺幅範圍，而且使用主動負載，電流可以重覆使用，不會有額外的功率消耗。因此，我們選擇使用圖(3.18)-(d)這種電路架構。

### 3.5.3 電路設計

#### (1) 低雜訊放大器



圖(3.18)考慮功率消耗之低雜訊放大器電路圖

本實作之低雜訊放大器為上章 2.4GHz 之電路，所以已經量測結果可參考。其實 LNA 整合至系統後，因為負載不再是 50ohm，這會影響輸入的阻抗匹配。圖(3.19)-(a)是上一章實作 LNA 時的量測圖，

使用 50ohm load。現在考慮 LNA 和混頻器相接，以本實作為例，下一級是接到電晶體的閘極，因此輸出負載看過去是大電阻並聯一個電容，由模擬可將此負載先改開路，得到的結果如圖(3.19)-(b)所示。由 Smith chart 可以明顯看出，在輸入匹配電路的共振頻附近，會有轉彎的現象，並且往左邊突出。發生此現象的原因如下：

見圖(3.20)-(a)，為了簡化分析，先把輸入阻抗匹配網路去除。由 [4] 可知，

$$Z_{in1} = \frac{1}{sC_{gs}} \square \left( \frac{r_o + Z_L}{1 + g_m r_o} \right) \quad (3.34)$$

$$Z_{in} = \frac{1}{sC_{gs}} \square \left( \frac{1/sC_{gd} + Z_{in1}}{1 + g_m Z_{in1}} \right) \quad (3.35)$$

若是原本單獨設計 LNA 時， $Z_L$  為 50ohm，則  $Z_{in1} \approx 1/g_m$ 。

現在假設操作在負載 LC tank 的共振頻率，且假設 LC tank 的 Q 值很大， $Z_L$  很大， $Z_{in1}$  可以近似成

$$Z_{in1} = \frac{1}{sC_{gs}} \quad (3.36)$$

此時，可知  $Z_{in}$  為

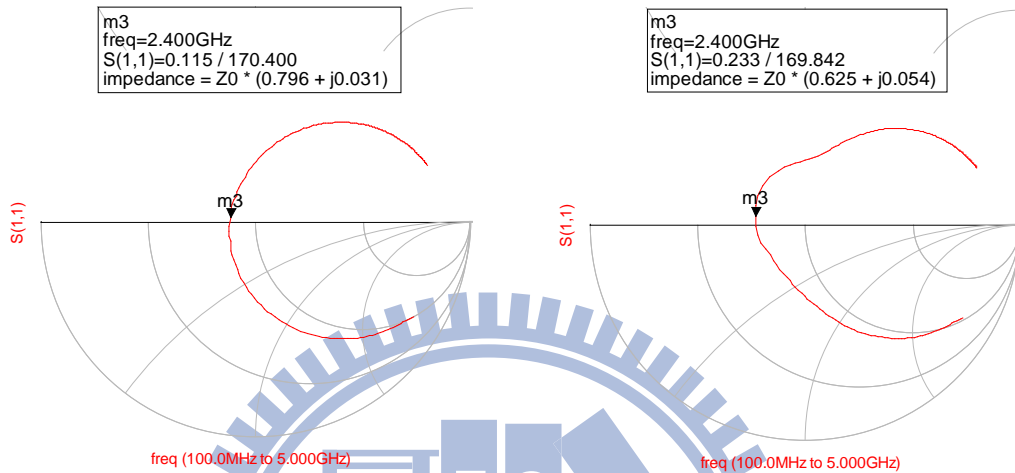
$$Z_{in} = \frac{1}{sC_{gs}} \square \left( \frac{1 + C_{gs}/C_{gd}}{g_m + sC_{gs}} \right) \quad (3.37)$$

令  $k = 1 + C_{gs}/C_{gd}$ ，則

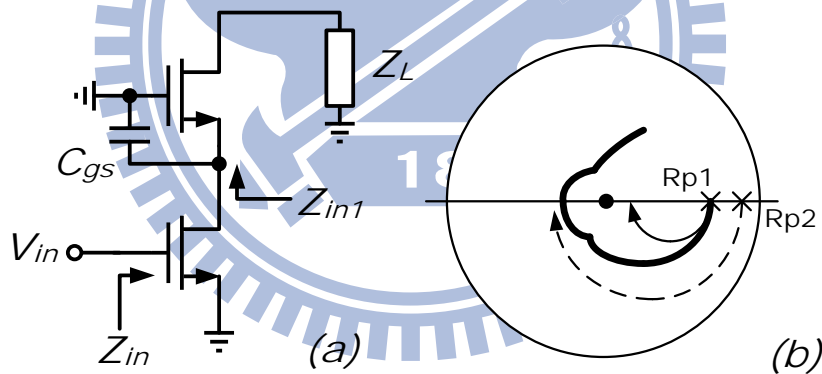
$$Z_{in} = \frac{1}{sC_{gs}} \square \left( \frac{k}{g_m + sC_{gs}} \right) = \frac{k/(1+k)}{sC_{gs}} \square \frac{k}{g_m} = \frac{1}{sC_p} \square R_p \quad (3.38)$$

其中  $C_p = [(1+k)/k]C_{gs}$ ， $R_p = k/g_m$ 。也就是說，在共振頻率附

近，由於 $Z_{in1}$ 的電容性上升，使得 $k$ 值上升，導致等效的 $R_p$ 變大，等效的 $C_p$ 也變大。此時 Smith chart 的變化可以參考圖(3.21)-(b)所示，虛線和細實線相比，等效的 $R_p$ 和 $C_p$ 都較大。

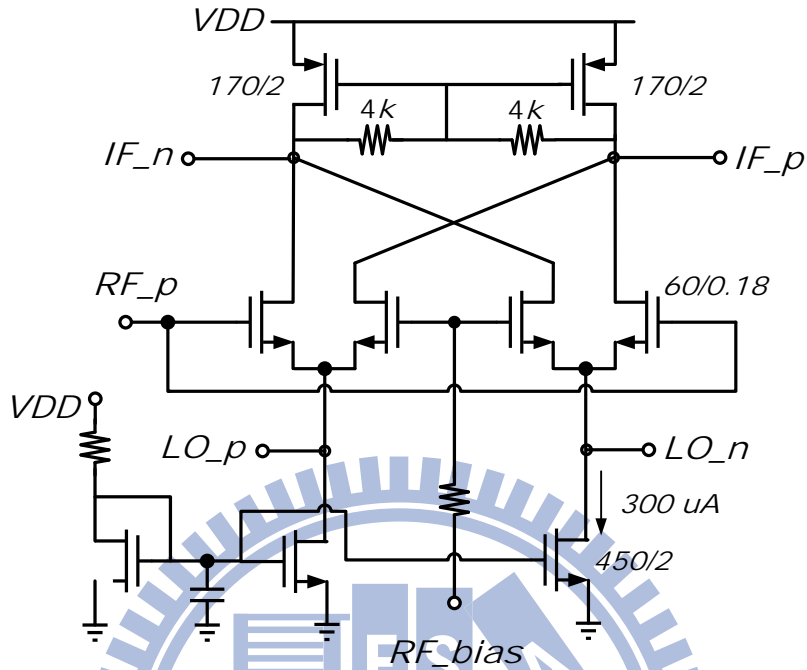


圖(3.19)(左)負載為 50Ω(右)負載為開路的輸入返回損耗量測圖



圖(3.20)(a)考慮負載後等效電路(b)負載對 $S_{11}$ 示意圖

(2) 次臨界導通主動式混頻器[5]



圖(3.21)次臨界導通主動式混頻器電路圖

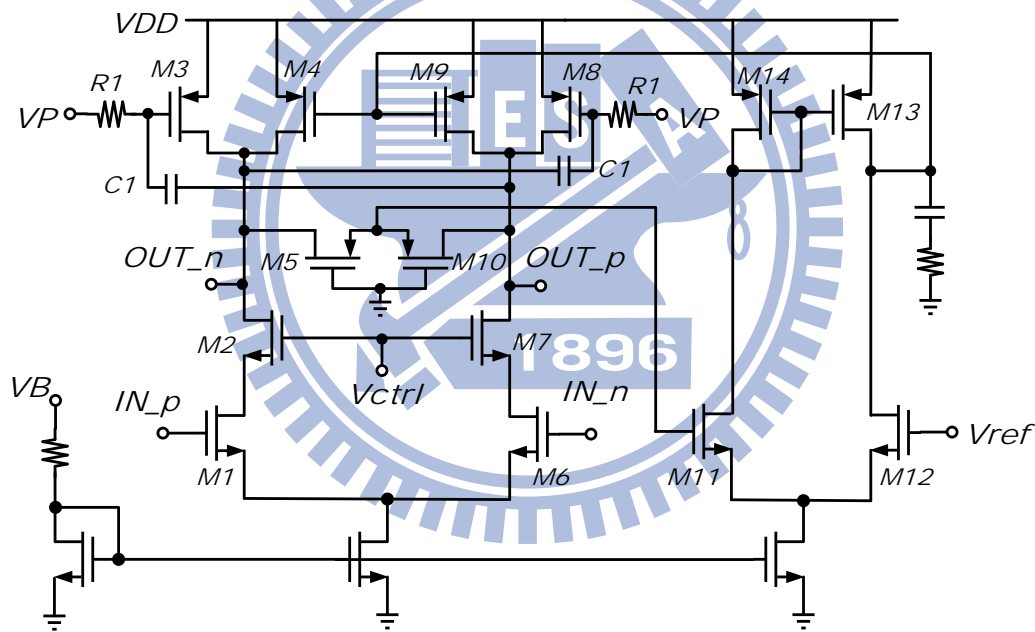
圖(3.21)是操作在次臨界導通的混頻器。混頻動作是藉由應用射頻訊號在閘極，本地震盪訊號在源極，再利用次臨界導通電晶體的非線性指數特性來完成。次臨界元件等式中，使用指數的泰勒級數展開之二次項，可得此混頻器的轉換增益為

$$(\text{Conv. Gain})_{\text{Mixer}} = \left(\frac{W}{L}\right)_{M_3} I_{DO} \left(\frac{1}{n\left(\frac{kT}{q}\right)}\right)^2 v_{LO} \left(\frac{2}{2g_{ds3} + \frac{1}{R_{L1}}}\right) \quad (3.39)$$

在此  $v_{LO}$  是本地震盪訊號的振幅。LO 埠的輸入阻抗很高，單端看入大概  $430\Omega$ ，故 LO 訊號擺幅在此架構可以小。因此，振盪器和 LO 緩衝器的驅動需求適當，可以節省很多 LO 產生電路的功率消耗。而 RF 的輸入共模電壓選為  $0.65\text{V}$ ，LO 的共模電壓為  $0.183\text{V}$ ，如此偏壓

電流大約為 0.6-mA 附近。雖然這樣設計，消耗功率很低，但是會遇到幾個問題：第一是  $g_m$  值很低，為了得到適當的轉換增益，還有正常的輸出共模電壓，只能選擇使用大電阻，在此電阻值選擇 4k-ohm。若要在 CMOS 製程使用大電阻，容易會因為製程的變異，導致阻值不準確，因此使用 PMOS 來當主動負載，使電阻變異不會影響輸出電壓，進而使下一級可調放大器失效。但因為電晶體會產生顫動雜訊及寄生電容，在頻寬與雜訊的考慮下選取尺寸。

### (3) 次臨界導通可變增益放大器



圖(3.22)次臨界導通可變增益放大器電路圖

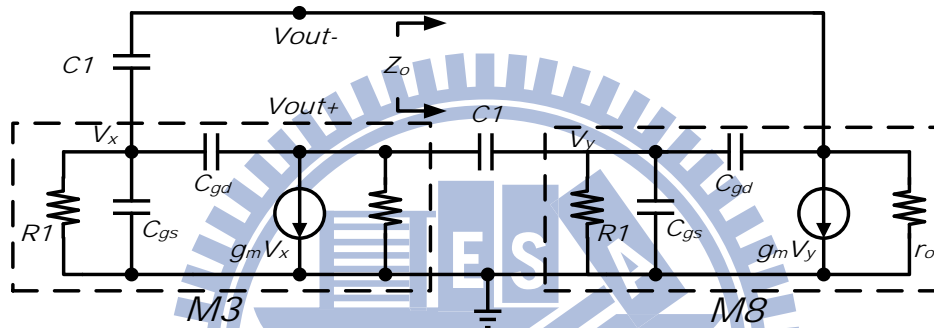
由於此部份可使用的電流大約是 0.3-mA，因此採用次臨界導通偏壓技術來達到低電流的目的。但是頻寬和雜訊的問題，變成很大的問題。因為此放大器在接收機的后端，前面有低雜訊放大器和混頻器可以壓抑此放大器貢獻的雜訊，所以頻寬問題才是最需要去解決的。

基本的 cascode 差動放大器，因為共閘級可以減輕米勒效應，頻



寬問題可以獲得改善。而且改變共閘級電晶體的閘極偏壓，可以控制輸入級的電晶體之偏壓狀況。當輸入當輸入訊號小， $V_{ctrl}$  給 high，輸入電晶體偏壓在飽和區，因此具有高增益，而且對於小訊號輸入有較低的失真；當輸入訊號大， $V_{ctrl}$  給 low，輸入電晶體偏壓在三極管區，因此具有低增益，而且對於大訊號輸入有較低的失真。

為了尋求更高的頻寬，因此在負載端設計了一個主動電感(M3, M8, R1, C1)。負載端的等效小訊號模型如所示。



圖(3.23)次臨界導通可變增益放大器之負載小訊號等效模型

由小訊號模型可知，輸出阻抗  $Z_o$  如下[16][17]

$$Z_o \approx \frac{2r_o \left[ 1 + sR_1 (C_1 + C_{gd} + C_{gs}) \right]}{D(s)}$$

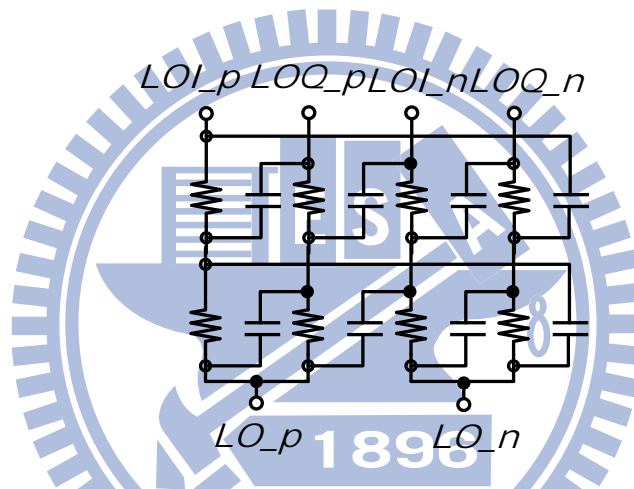
$$D(s) = 1 + s \left[ R_1 (C_1 + C_{gd} + C_{gs}) + r_o (C_1 + C_{gd} - C_1 g_m R_1 + C_{gd} g_m R_1) \right] + s^2 r_o R_1 \left[ 4C_1 C_{gd} + (C_1 + C_{gd}) C_{gs} \right] \quad (3.40)$$

其中， $g_m$  為轉導， $r_o$  為輸出電阻， $C_{gd}$  為閘極-汲極電容， $C_{gs}$  為閘極-源極電容。低頻操作時， $Z_o$  可表示為  $2r_o$ ；操作頻率接近-3-dB 頻率時，

$Z_o$  可近似成(3.40)式，可知有個零點在  $\omega_z = 1/R_1 (C_1 + C_{gd} + C_{gs})$ ，產生 gain peaking 的效果以增加頻寬。

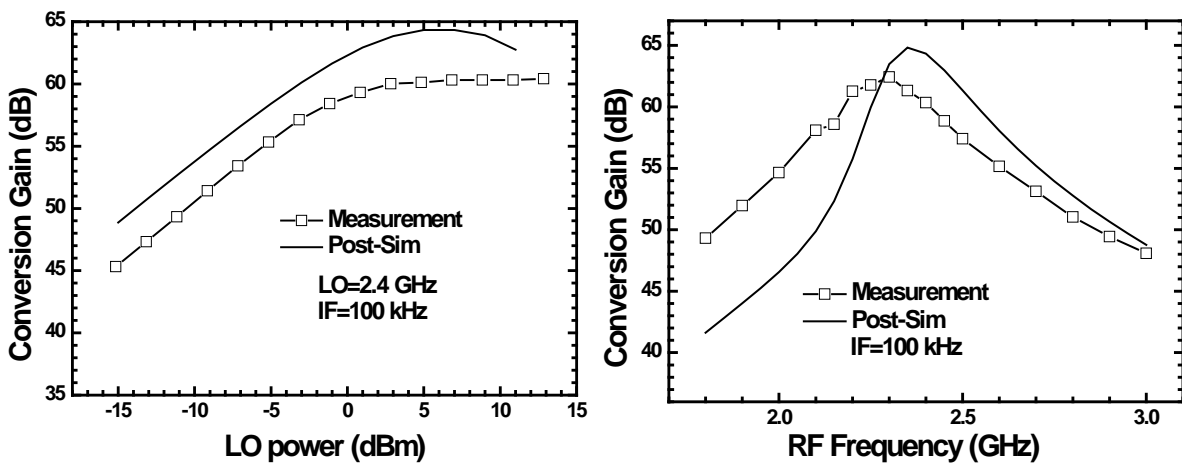
(4) 多相位濾波器

混頻器 LO 埠輸入為四相位，而 LO 產生四相位訊號的方法皆是將差動輸入(differential input)訊號輸入 RC-CR 多重相位濾波器，如：當輸入訊號為差動訊號時，由重疊原理可以看為正頻率與負頻率訊號的相加，由 RC-CR 多重相位濾波器的正頻可過、負頻不可過的特性，可以得到一組相差 90 度的 I、Q 訊號。R 跟 C 的選取，除了要達到共振的情況，會依雜訊跟損耗之間做權衡，像 R 若太大，所對混頻頻造成的雜訊會增加，太小則 LO 的振幅打不進去 LO 埠。

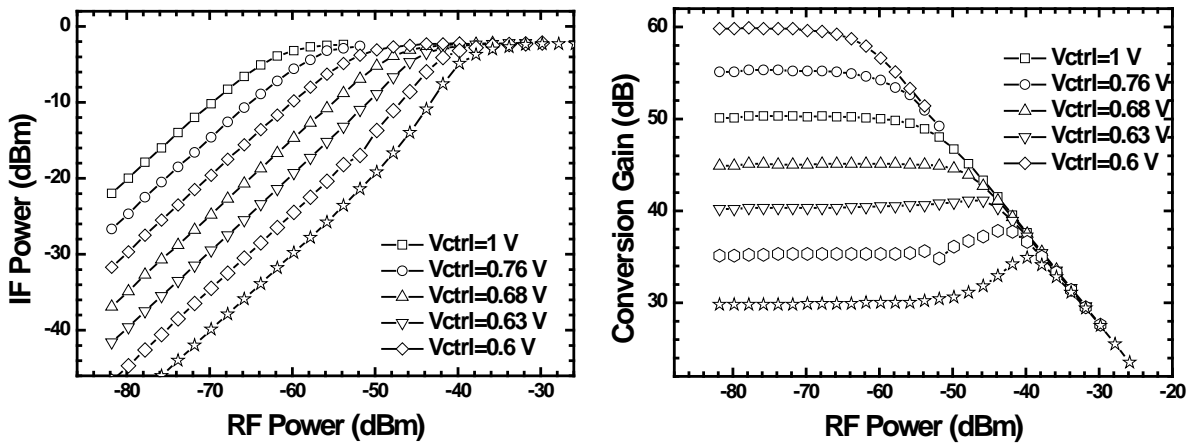


圖(3.24)多相位濾波器電路圖

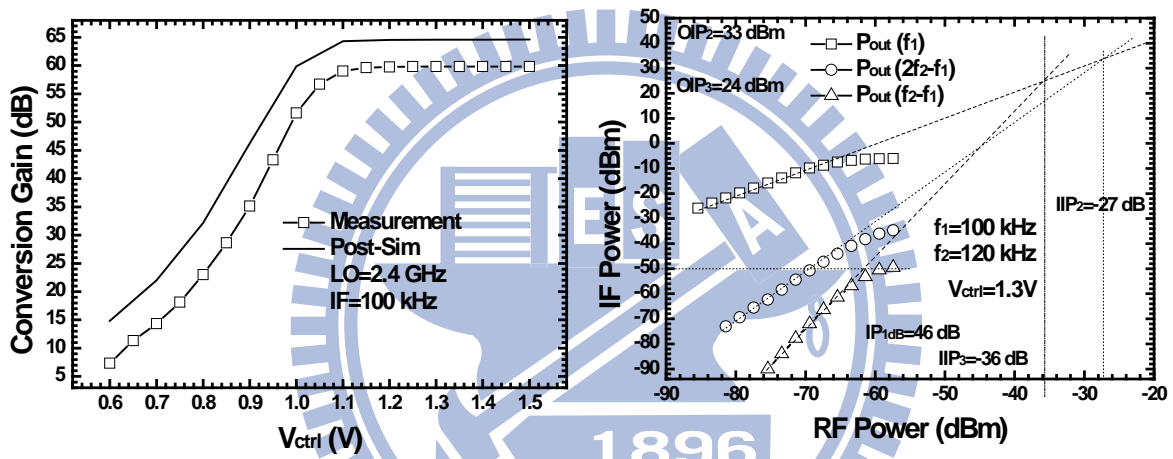
3.5.4 晶片模擬與量測結果



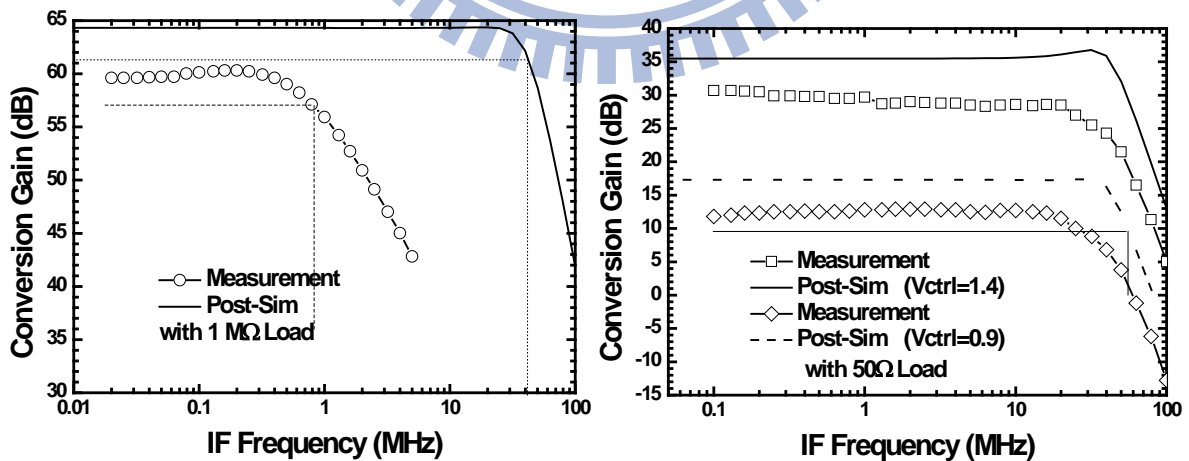
圖(3.25)(左)轉換增益對 LO 功率(右)轉換增益對 RF 頻率



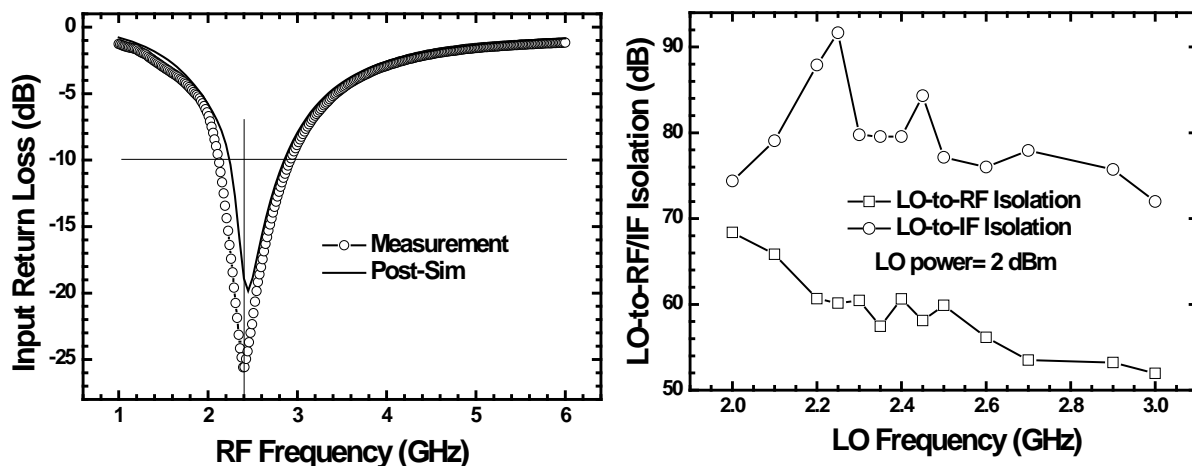
圖(3.26)(左)中頻輸出功率對 RF 功率(右)轉換增益對 RF 功率



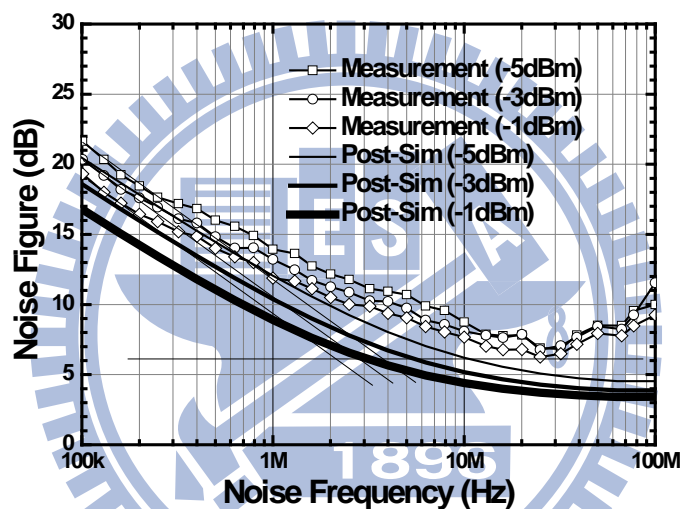
圖(3.27)(左)轉換增益對控制電壓(右)功率線性度



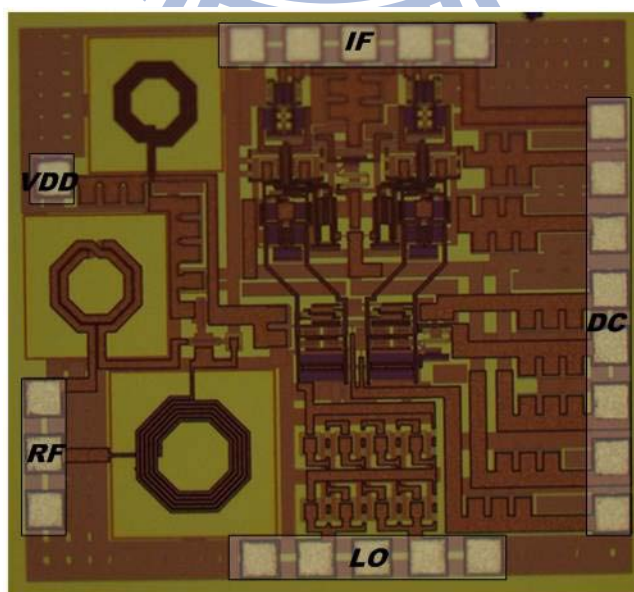
圖(3.28)轉換增益對中頻頻率(左)1M Ohm Load(右)50 Ohms Load



圖(3.29)(左)輸入返回損耗(右)LO 埠對 RF 及 IF 埠隔離度



圖(3.30)接收機雜訊指數



圖(3.31)Die Photo ( 1mm × 1 mm )

### 3.5.5 結果與討論

本電路採用 CMOS 0.18 $\mu\text{m}$  製程，晶片照片如圖(3.31)所示：RF 埠採用 GSG pad，LO 和 IF 埠採用 GSGSG pad，DC 排針放在電路的右邊，此晶片面積為  $1\times 1\text{mm}^2$ 。

量測時電流分配如下：

Block	LNA	Mixer	VGA & Buffer	Bias Current	Total
Post Simulation	2	1.3	1	0.1	4.4
Measurement	2	1.1	1.24	0.25	4.6

與模擬電流差不多，相關比較表 3.3。 $S_{11}$  量測結果與模擬很貼近，因為本身接收機增益太高，導致線性度很差。但因為最後有加緩衝器，所以輸出線性度不受增益調整的影響，能在 20-dB 可調範圍內有固定的  $OP_{1\text{dB}}$ [圖(3.26)]，而中頻頻寬少了一半，一為 VGA 的 peaking 可能沒有效果，二為量測機台的電容也會影響。

表3.3 利用次臨界技術低功率低雜訊之 2.4GHz 之直接降頻接收機  
量測與模擬比較表

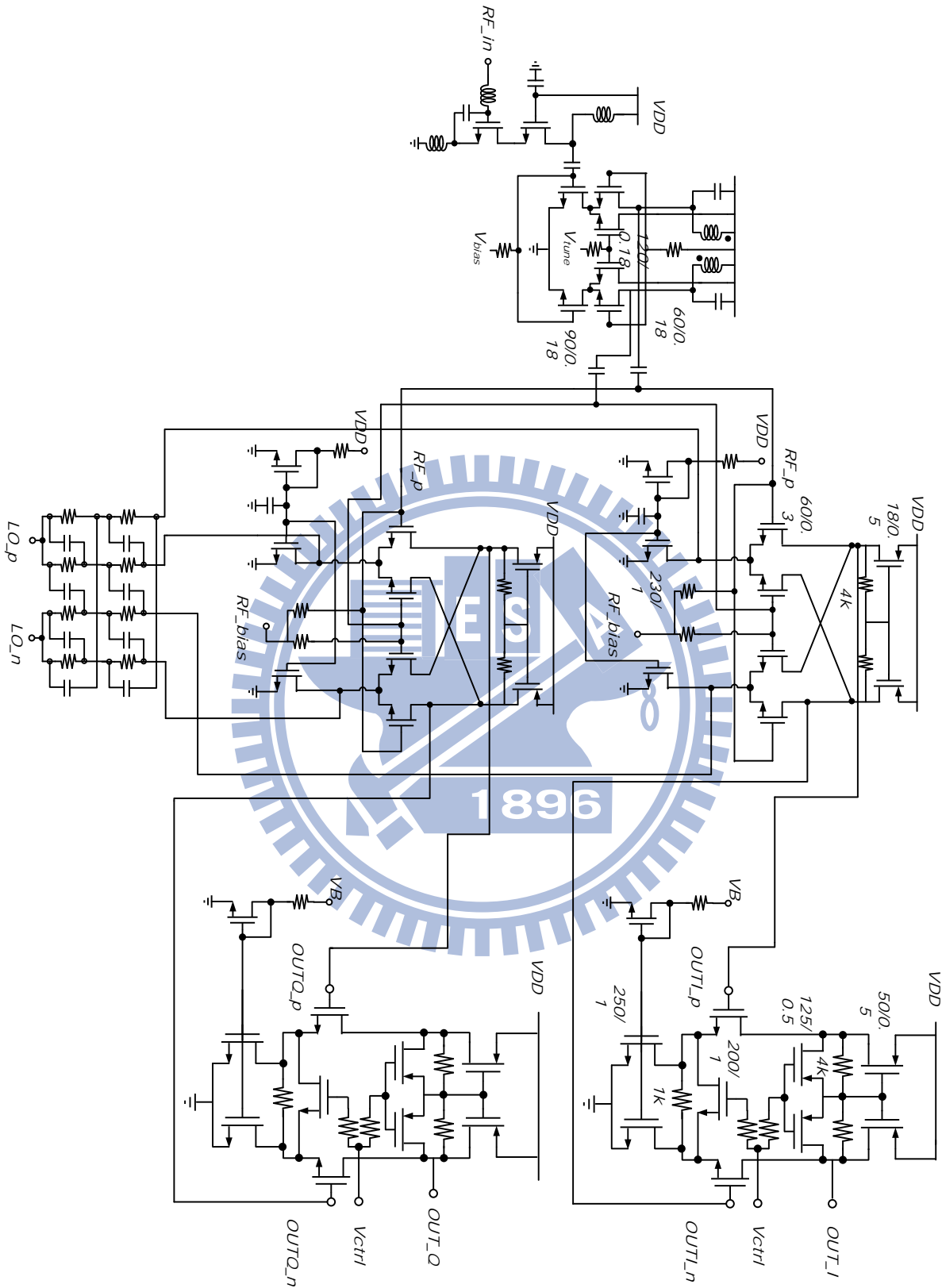
Item	Post Simulation	Measurement
Supply Voltage (V)	1.5	
Conversion Gain (dB)	69	60
RF Bandwidth (GHz)	2.25-2.4	2.2-2.35
IF Bandwidth (MHz) (50Ω Load)	50	25
NF (dB)	16 @ 100 kHz 3.4 (noise floor)	19 @ 100 kHz 6.2 (noise floor)
IP1dB @ Highest Gain (dBm)	-76	-60
IIP3 @ Highest Gain (dBm)	-62	-36
LO-to-RF Isolation (dB)	N/A	>50
LO-to-IF Isolation (dB)	N/A	>70
Input Return Loss (dB)	<-10 (2.1GHz~2.9GHz)	<-10 (2.25GHz~2.85GHz)
Current Consumption (mA)	4.4	4.6
Power Consumption (mW)	16.75	9
Chip Size (mm×mm)	1 × 1	

### 3.6 實作二：5.8GHz低功率低雜訊接收機

(CMOS 0.18- $\mu$ m)

#### 3.6.1 研究動機

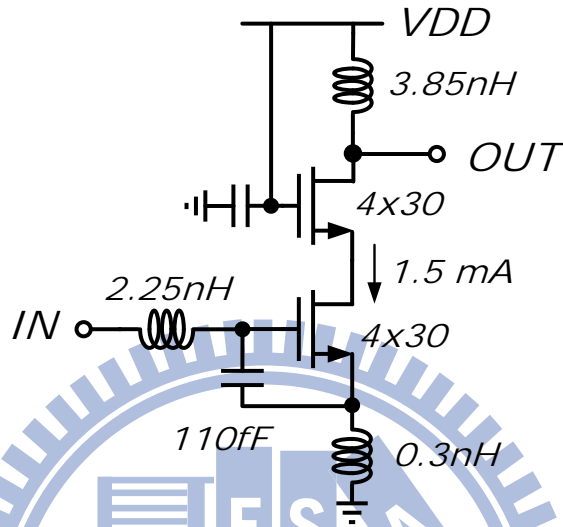
隨著以802.11b 為主的系統在 WLAN 市場的需求增加，在1999及2008年時，802.11a 及802.11n 分別增加在5-GHz 的不需執照頻使用，而低功耗也是此系統追尋的目標，本節實作出操作在5.8-GHz 的低功率接收機。



圖(3.32)5.8GHz 低功率低雜訊接收機電路圖

### 3.6.2 電路設計

#### (1) 低雜訊放大器



圖(3.33)考慮功率消耗之低雜訊放大器電路圖

因為後級多加單端轉雙端放大器，在電流分配上，從原本一級2mA 變兩級2.5mA。而對疊接放大器來說，由上章實作結果發現1.5mA 跟2mA 的雜訊指數相差不多，故針對1.5mA 做設計。閘極電感從7nH 到2.25nH，寄生電阻會小很多，但電晶體本身的雜訊是比較大的且增益較2.4GHz 時還小，總和來看，雜訊指數是差不多。此級輸出看到的也是大電阻跟電容，在輸入匹配時要較小心，很容易就在-10dB 之上。

#### (2) 單端轉雙端放大器

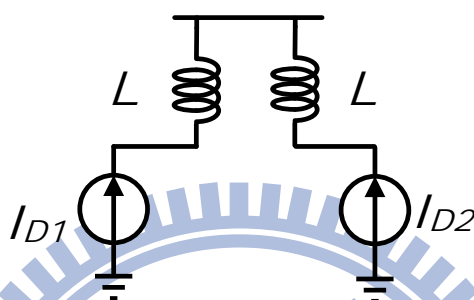
在實作一中，單端放大器是直接單端進入混頻器。就混頻器來說並不是全差動進去(帶部份共模訊號)，所以共模拒斥比會較差。所以在做一級放大器把前一級單端轉雙端，但若沒做任何改良的話，也只



是把問題轉嫁到放大器上。而針對這個問題，分成兩部份改良，先考慮一般差動放大器的共模拒斥比為：

$$I_{D1} = I_{CM} + \frac{1}{2}i_d \quad I_{D2} = I_{CM} - \frac{1}{2}i_d \quad A = I_{CM} \cdot A_{CM} + i_d \cdot A_d$$

$$A_{CM} = sL, \quad A_d = sL \Rightarrow CMRR = \frac{A_d}{A_{CM}} = 1 \quad (3.41)$$



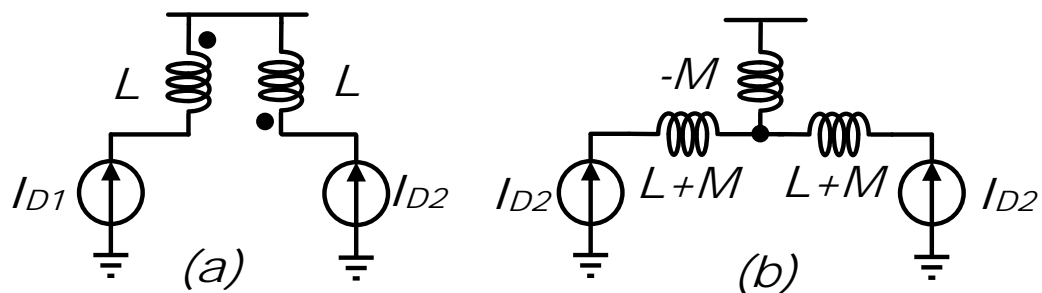
圖(3.34)以電流源等效差動放大器

若把電感做適當的耦合，不僅能縮小面積，還可以使差模跟共模看到的負載不一樣，計算其共模拒斥比為  $\frac{(L+M)}{(L-M)}$ 。在這裡電感使用 TSMC

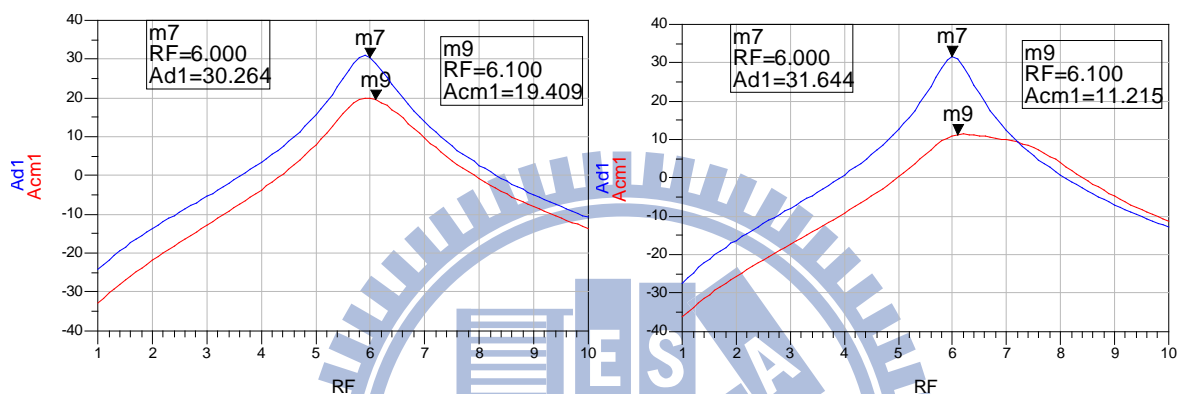
內建中間抽頭電感跟無耦合電感做比較模擬[見圖(3.36)]，發現在共模增益上少了約8dB，算是不錯的效果。而較令人注意的是，共模共振頻率跟差動共振頻率不在同一點，是因為兩個模態看到的電感不同所致，共模不在其峰值也可以使拒斥比再高一點。

$$I_{D1} = I_{CM} + \frac{1}{2}i_d \quad I_{D2} = I_{CM} - \frac{1}{2}i_d \quad A = I_{CM} \cdot A_{CM} + i_d \cdot A_d$$

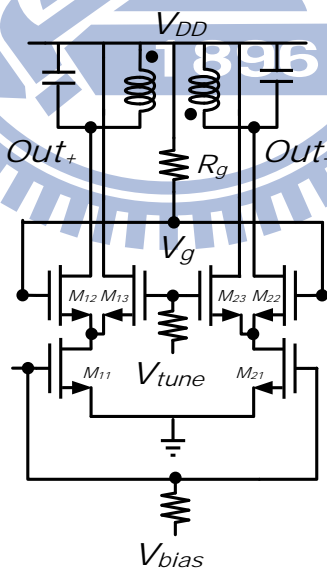
$$A_{CM} = s(L-M), \quad A_d = s(L+M) \Rightarrow CMRR = \frac{s(L+M)}{s(L-M)} = \frac{(L+M)}{(L-M)} \quad (3.42)$$



圖(3.35)(a)具耦合電感負載之差動放大器示意圖及其(b)等效電路

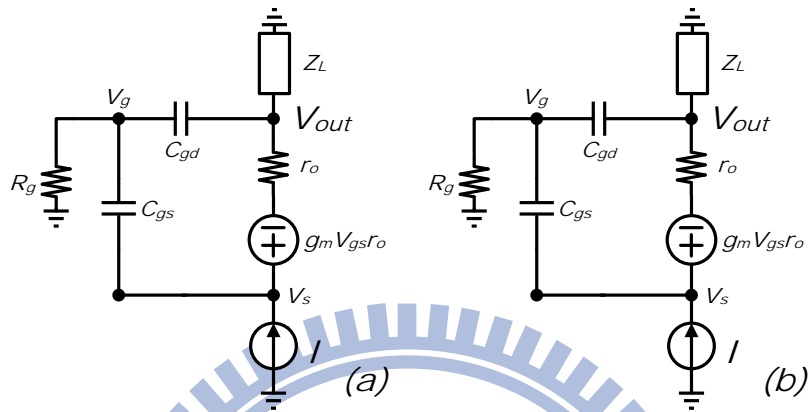


圖(3.36)(左)一般電感及(右)具耦合電感負載共模與差模增益

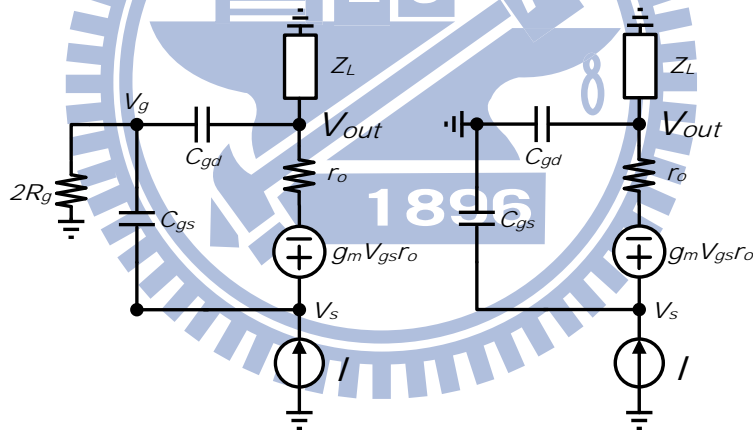


圖(3.37)單端轉雙端放大器電路圖

再考慮圖(3.37)中  $V_g$  的接法，若左右 M12、M22 閘極無相接偏壓的話，在看半電路時，共模及差模皆會看到一樣的架構[圖(3.38)]，則其共模拒斥比為1。



圖(3.38)  $V_g$  無共用時(a)共模及(b)差模電路



圖(3.39)  $V_g$  共用時(a)共模及(b)差模電路

若閘極共接， $V_g$  那點在差模為接地，共模看到的電阻還會大2倍[圖(3.40)]，計算其共模拒斥比，先考慮差模下的狀況，利用節點方程式[如下式(3.43)]：

$$I \times \frac{1/sC_{gs}}{1/sC_{gs} + r_o + (Z_L // 1/sC_{gd})} \times \left( Z_L // 1/sC_{gs} \right) = V_{out} \xrightarrow{Z_L \ll r_o}$$

$$\frac{V_{out}}{I} = \frac{(1 + g_m r_o) Z_L}{(sC_{gs} r_o + 1 + g_m r_o)(sC_{gd} Z_L + 1)}$$

再考慮共模的情況下，再與上式差模相除可得式(3.44)：

$$I + sC_{gs} \bullet V_{gs} + \frac{(V_{out} - V_s + g_m V_{gs} r_o)}{r_o} = 0$$

$$\frac{V_{out}}{Z_L} + \frac{(V_{out} - V_s + g_m V_{gs} r_o)}{r_o} + (V_{out} - V_g) \bullet sC_{gd} = 0$$

$$\frac{V_g}{2R_g} + sC_{gs} V_{gs} + (V_g - V_{out}) \bullet sC_{gd} = 0$$

$$\Rightarrow \begin{bmatrix} 1 & sC_{gs} + g_m & -sC_{gs} - g_m - 1/r_o & 1/r_o \\ 0 & -sC_{gd} + g_m & -g_m - 1/r_o & sC_{gd} + 1/r_o + 1/Z_L \\ 0 & 1/2R_g + s(C_{gs} + C_{gd}) & -sC_{gs} & sC_{gd} \end{bmatrix} \begin{bmatrix} I \\ V_g \\ V_s \\ V_{out} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \end{bmatrix}$$

$$\Rightarrow \frac{V_{out}}{I} = - \left[ \frac{1 + 2R_g \bullet s(C_{gs} + C_{gd})}{D(s)} \right]$$

$$D(s) = 1/r_o \bullet [1 + 2R_g \bullet s(C_{gs} + C_{gd})] + sC_{gd} \bullet R_g (-sC_{gs} - g_m) +$$

$$\left\{ \left( sC_{gd} + 1/r_o + 1/Z_L \right) \bullet [1 + 2R_g \bullet s(C_{gs} + C_{gd})] + sC_{gd} \bullet R_g (sC_{gd} - g_m) \bullet Y(s) \right\}$$

$$Y(s) = \frac{\left( sC_{gs} + g_m + 1/r_o \right) [1 + 2sR_g (C_{gs} + C_{gd}) - sC_{gs} R_g (sC_{gs} + g_m)]}{-\left( g_m + \frac{1}{r_o} \right) [1 + 2sR_g (C_{gd} + C_{gs})] - sC_{gs} R_g (sC_{gd} - g_m)}$$

$$CMRR = \frac{A_d}{A_{cm}} = \frac{-(1 + g_m r_o) Z_L \bullet D(s)}{(sC_{gs} r_o + 1 + g_m r_o)(sC_{gd} Z_L + 1) [1 + 2R_g s(C_{gs} + C_{gd})]} \quad (3.44)$$

式(3.44)看不出趨勢，若簡化之(令  $r_o = \infty$ )變式(3.45)發現有零點在

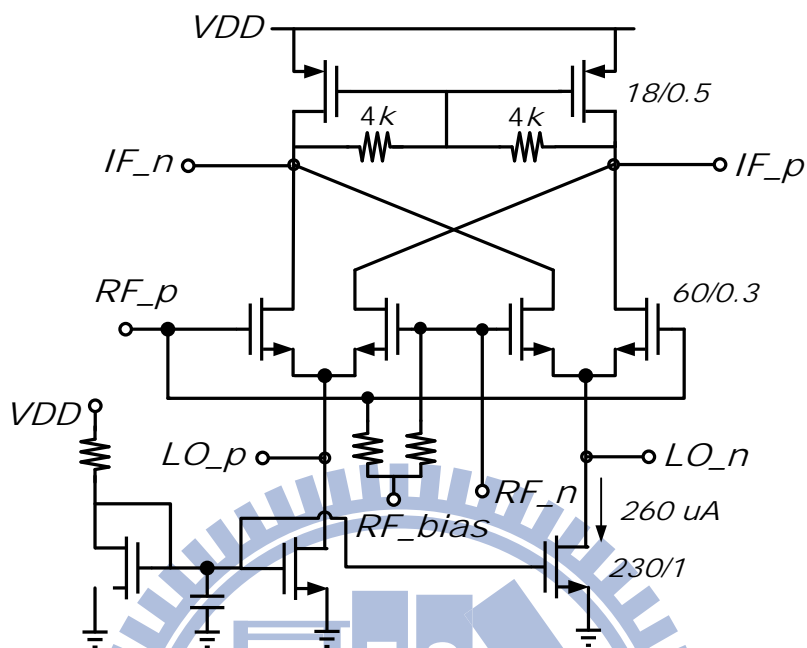
$$\frac{1}{C_{gd}(2R_g + Z_L)} \text{ 極點在 } \frac{1}{2C_{gd}R_g}, \frac{1}{C_{gd}Z_L} \text{。因為零點跟極點很近，若設計得}$$

當，把零點設計在頻帶內，會峰值(peaking)的效果，也可以增加 CMRR 值。

$$CMRR = \frac{A_d}{A_{cm}} = \frac{\left( Z_L // \frac{1}{sC_{gd}} \right)}{\left[ Z_L // \left( \frac{1}{sC_{gd}} + 2R_g \right) \right]} = \frac{1 + sC_{gd}(2R_g + Z_L)}{(1 + sC_{gd}Z_L)(1 + 2R_g sC_{gd})} \quad (3.45)$$

為了整體的線性度考量，在第二級加入可調增益功能，因為就實作一而言，只靠後級可調增益放大器來增加線性度，會發現增益下降，照理輸入功率 1dB 飽和點(IP1dB)會增加(前提是線性度是被輸出所限制)，但由實驗及模擬可發現單靠後級增益下降到某個程度，IP1dB 並不會跟著增加；可知是前級電路已經飽和，所以利用前端放大器增加線性度，才能讓整體接收機在 20dB 調整增益中，還能維持一定的輸出功率 1dB 飽和點(OP1dB)。而調增益的方式使用一般的抽電流，放大器本身也是使用疊接放大器，抽電流的電晶體置於共閘極上，有分壓的效果達到增益下降。

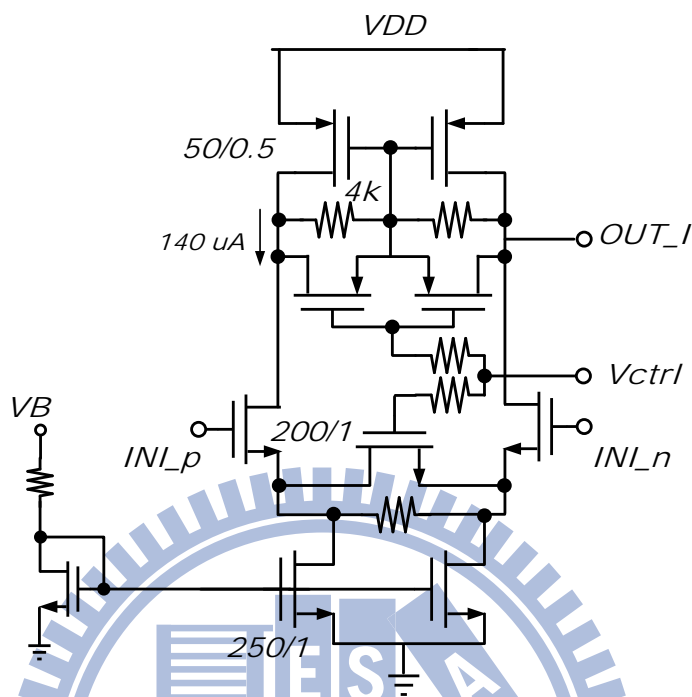
## (3) 低電流混頻器



圖(3.40)低電流混頻器電路圖

由節可知越高頻間接機制所造成的顫動雜訊越嚴重，LO 電晶體長寬選取較2.4G 時少一半，這樣電容能少3/4。1 $\mu\text{m}$  與2 $\mu\text{m}$  的所造成的顫動雜訊差異不大，還算在能接受範圍，故把尺寸縮小。在負載方面，PMOS 本身的顫動雜訊就較小，0.5 $\mu\text{m}$  較上實作小，是因為想改善輸出中頻(IF)頻寬所做的權衡結果，IQ 總和直流電流約在1mA 左右。

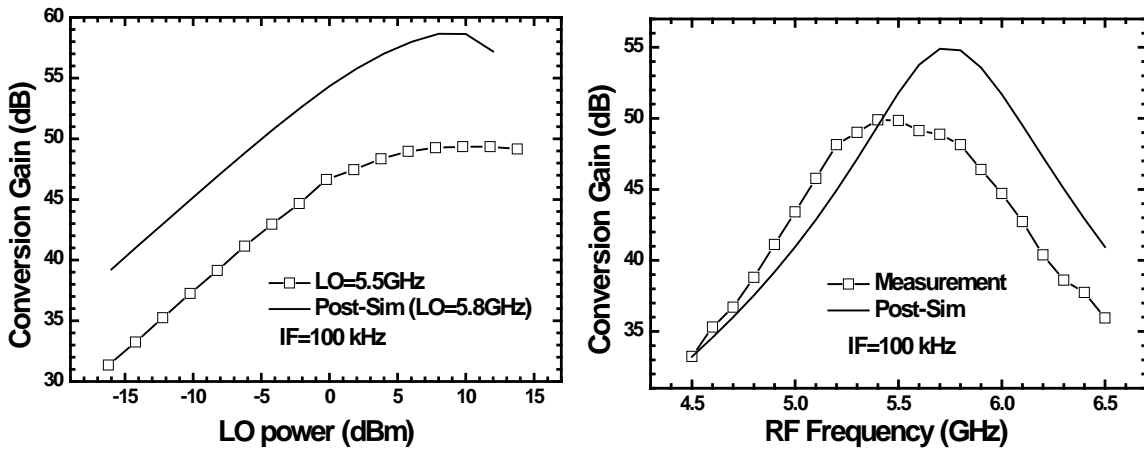
## (4) 低電流可調增益放大器



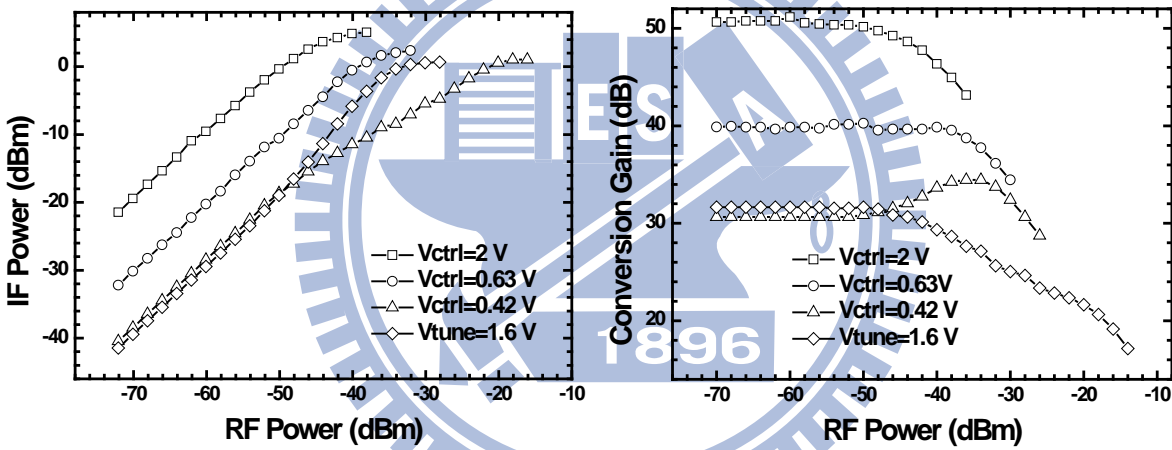
圖(3.41)低電流可調增益放大器電路圖

鑑於實作一的 VGA 所需的偏壓太多 ( $V_p$ 、 $V_{ref}$ 、 $V_{ctrl}$ )，在這裡使用較容易的方式實現，只利用電晶體在負載的操作區不同改變增益，雖然會有頻寬不一的問題，但只要在低增益模式下有達到標準，在高增益模式下頻寬較原來寬，在這裡並無不妥之處。若只有負載可變時會發現，當輸入功率變大時，其輸入端可能已先過線性區。所以在源極加入退化電阻，在低增益模式時發生作用，讓線性區能變寬且增加可調範圍。顫動雜訊的考慮下，NMOS 通道長度不能太小，又有頻寬的考慮使 NMOS、PMOS 的尺寸及負載電阻不能過大；在這裡選擇讓 PMOS 的通道長度較小(本身的顫動雜訊較小)。而可調電晶體方面，要適當選取 NMOS 及 PMOS 比例，使調整斜率一致；另外，上下電晶體互相開關電壓位準也要注意。

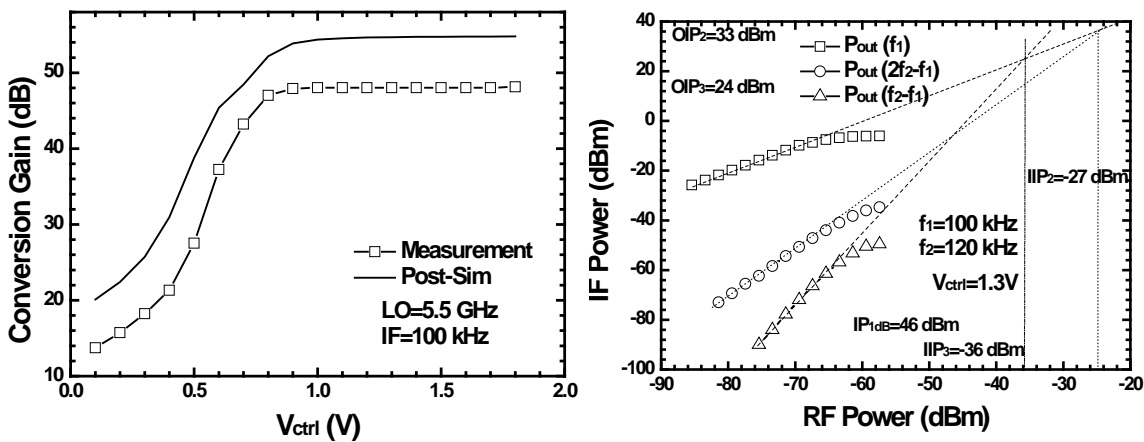
### 3.6.3 晶片量測結果



圖(3.42)(左)轉換增益對 LO 功率(右)轉換增益對 RF 頻率

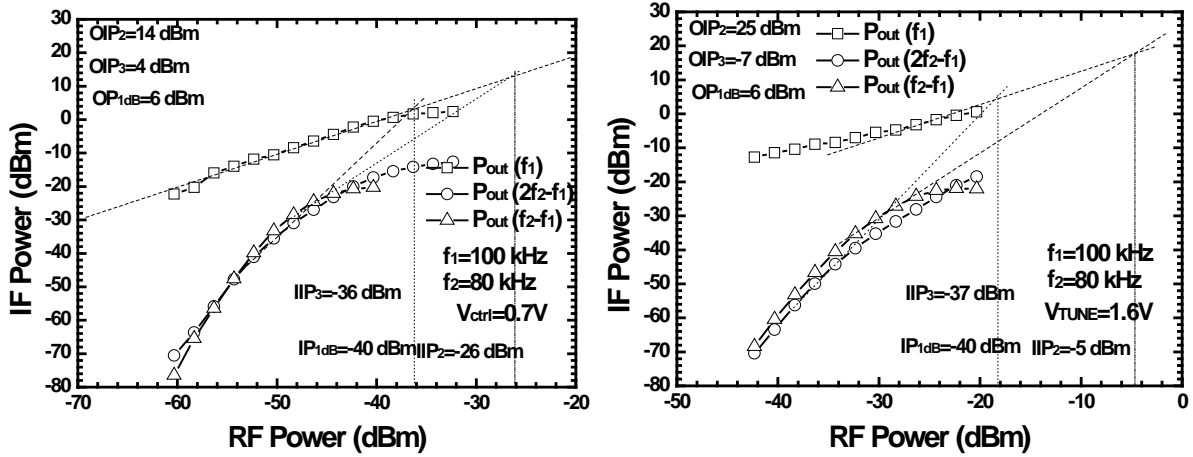


圖(3.43)(左)中頻輸出功率對 RF 功率(右)轉換增益對 RF 功率

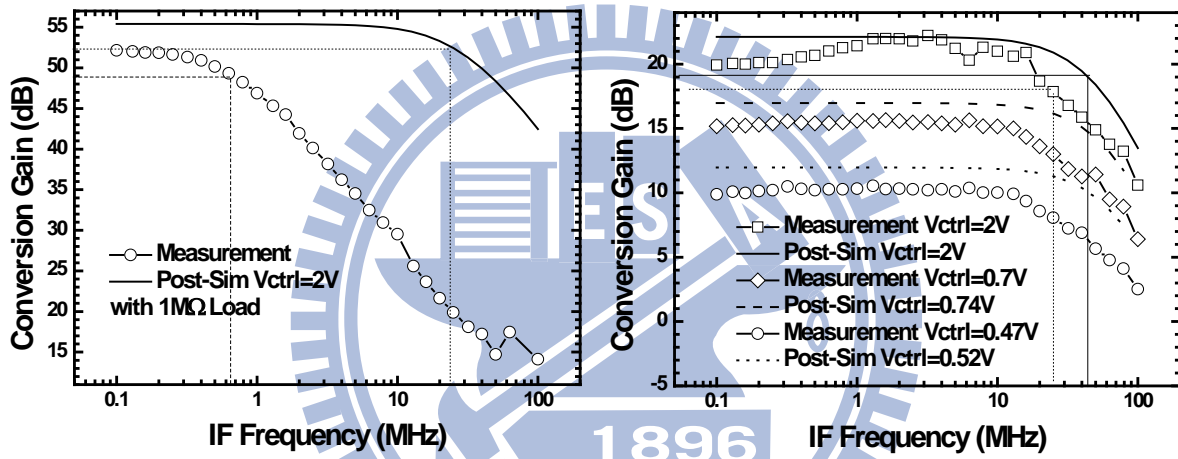


圖(3.44)(左)轉換增益對控制電壓(右)高增益模式功率線性度

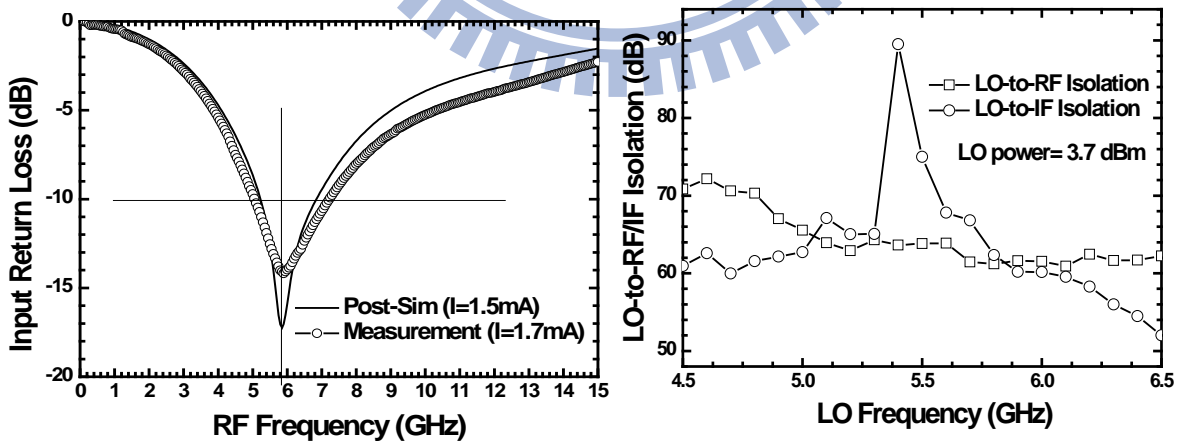




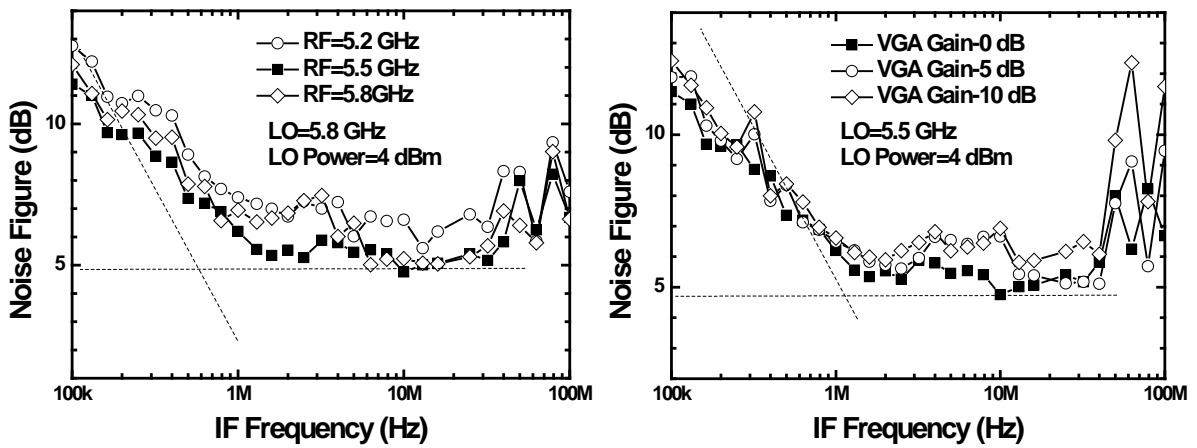
圖(3.45)低增益模式功率線性度(左)VGA 調整(右)LNA 調整



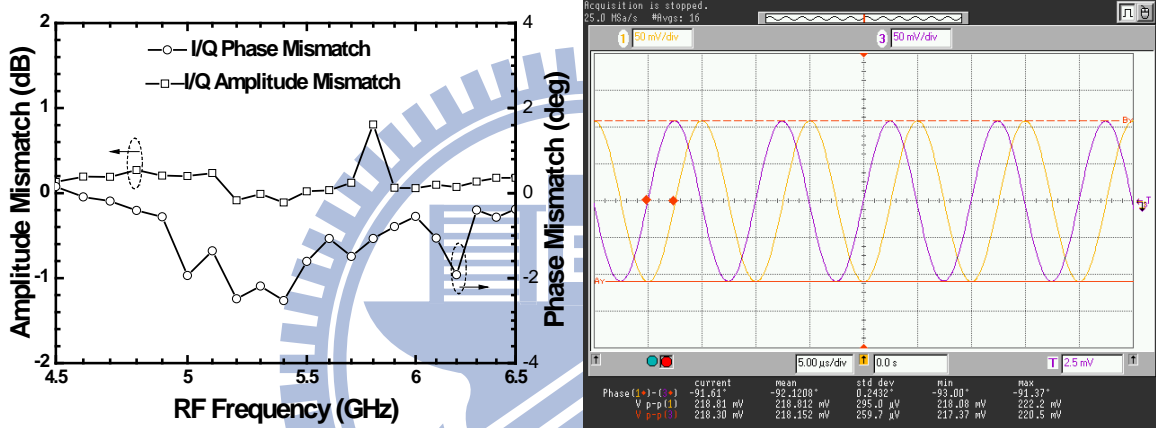
圖(3.46)轉換增益對中頻頻率(左)1M Ohm Load(右)50 Ohms Load



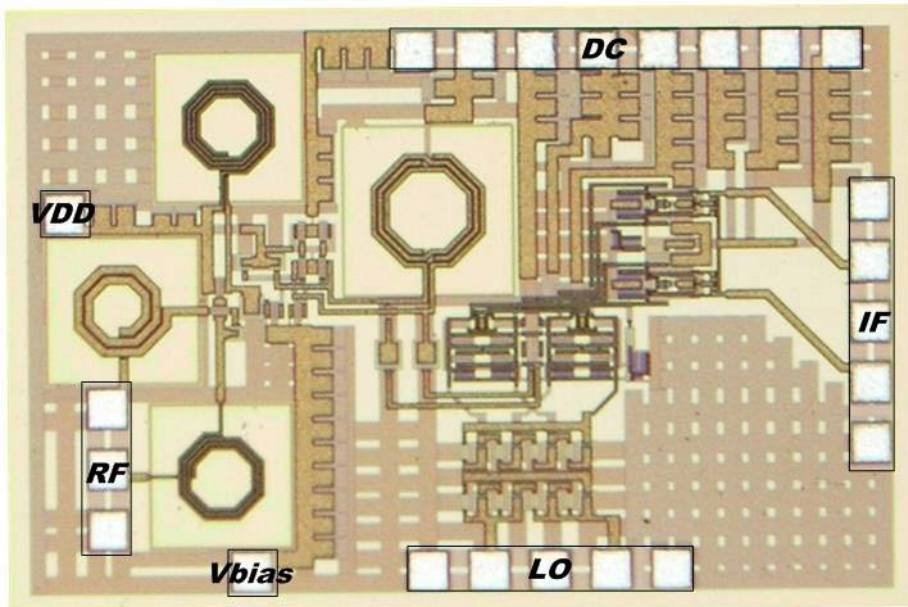
圖(3.47)(左)輸入返回損耗(右)LO 埠對 RF 及 IF 埠隔離度



圖(3.48)接收機雜訊指數(左)對 RF 頻率(右)對可調電壓



圖(3.49)(左)輸出增益與相位不匹配(右)輸出波形(5.5GHz)



圖(3.50)Die Photo ( 1.5mm × 1 mm )

### 3.6.4 結果與討論

本電路採用 CMOS 0.18 $\mu\text{m}$  製程，晶片照片如圖(3.31)所示：RF 埠採用 GSG pad，LO 和 IF 埠採用 GSGSG pad，DC 排針放在電路的上方，此晶片面積為 1.5 $\times$ 1mm<sup>2</sup>。

量測時電流分配如下：

Block	LNA	Mixer	VGA	Bias Current	Total
Post Simulation	2+0.5	1	0.6	0.15	4.4
Measurement	1.5+1	1.3	0.8	0.15	4.75

整體特性如表 3.4。中心頻從 5.8-GHz 到 5.5-GHz，可能是到混頻器前的走線有點長，在 Cadance Post-sim 並無考慮其電感影響，所以頻帶有偏一點，但誤差在 5% 內，還可以接受的範圍。在線性度方面，因為 VGA 選取較簡單的架構，OP1dB 為定值的範圍只有 10-dB 左右 [圖(3.43)]，這次的顫動雜訊斜率約在 0.7MHz 左右，比實作一還好。

表3.4 5.8-GHz 低功率低雜訊直接降頻接收機量測與模擬比較表

Item	Post Simulation	Measurement
Supply Voltage (V)	1.8	
Conversion Gain (dB)	54	50
RF Bandwidth (GHz)	5.5-6	5.15-5.85
IF Bandwidth (MHz) (50 $\Omega$ Load)	40	25
NF (dB)	10 @ 100 kHz 3.4 (noise floor)	11.4 @ 100 kHz 5.3 (noise floor)
IP1dB @ Highest Gain (dBm)	-51	-46
IIP3 @ Highest Gain (dBm)	-30	-39

IIP2 @ Highest Gain (dBm)	--	-27
LO-to-RF Isolation (dB)	--	>60
LO-to-IF Isolation (dB)	--	>50
Input Return Loss (dB)	<-10 (5.3GHz~6.6GHz)	<-10 (5.1GHz~7.2GHz)
Current Consumption (mA)	4.4	4.75
Power Consumption (mW)	6.75	8.55
Chip Size (mm×mm)	1.5 × 1	

表3.5 5~6-GHz 接收機文獻比較表

Ref.	[6]	[7]	[8]	[9]	[10]	[11]	[12]	This work
Process	0.18- μm CMOS	0.18- μm CMOS	0.18- μm CMOS	0.18- μm CMOS	0.18- μm CMOS	0.18- μm CMOS	0.18- μm CMOS	0.18- μm CMOS
P <sub>DC</sub> (mW)	57.6	** 22.4	19.4	45	50	** 36	42	8.55
Voltage Gain (dB)	14	16	17.1	25.2	28	26	23.3	50
NF (dB)	7.9	8.5	8.6	7.2	3.3	3.5	5.2	5.3
IIP3 (dBm)	-8	-13	-18	-12.5	-11.5	-12	-10.4	-39
IIP2 (dBm)	--	--	--	--	20	18		-27
P <sub>1dB</sub> (dBm)	-18	-24	--	-21.2	--	--		-46
Area (mm <sup>2</sup> )	4	3	--	6	#1.2	1.8	0.9	1.5
Architecture	*Low-IF	Low-IF	*** DCR	*** DCR	DCR	DCR		DCR

\*The architecture of the radio is dual conversion.

\*\*VCO power consumption included.

\*\*\*The architecture of the mixer is sub-harmonic.

# Only active area of the chip

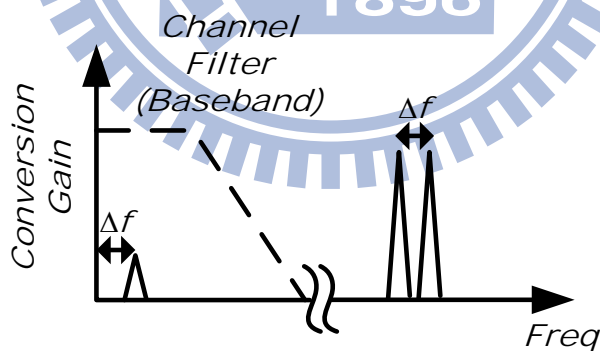
### 3.7 實作三：5.8GHz 具輸入二階交調截點改善之 低功率低雜訊接收機(CMOS0.18-μm)

#### 3.7.1 研究動機

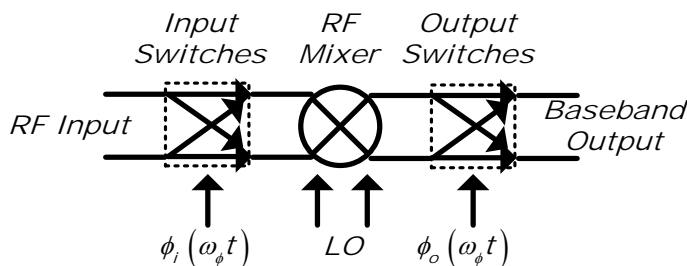
對通訊系統而言，靈敏度及選取率都很重要，而線性度正是其中影響因素。有鑑於在實作二中，針對線性度方面的著墨並不多，而在本節中會討論其解決方式並加以實作。

### 3.7.2 二階交調截點改善方法

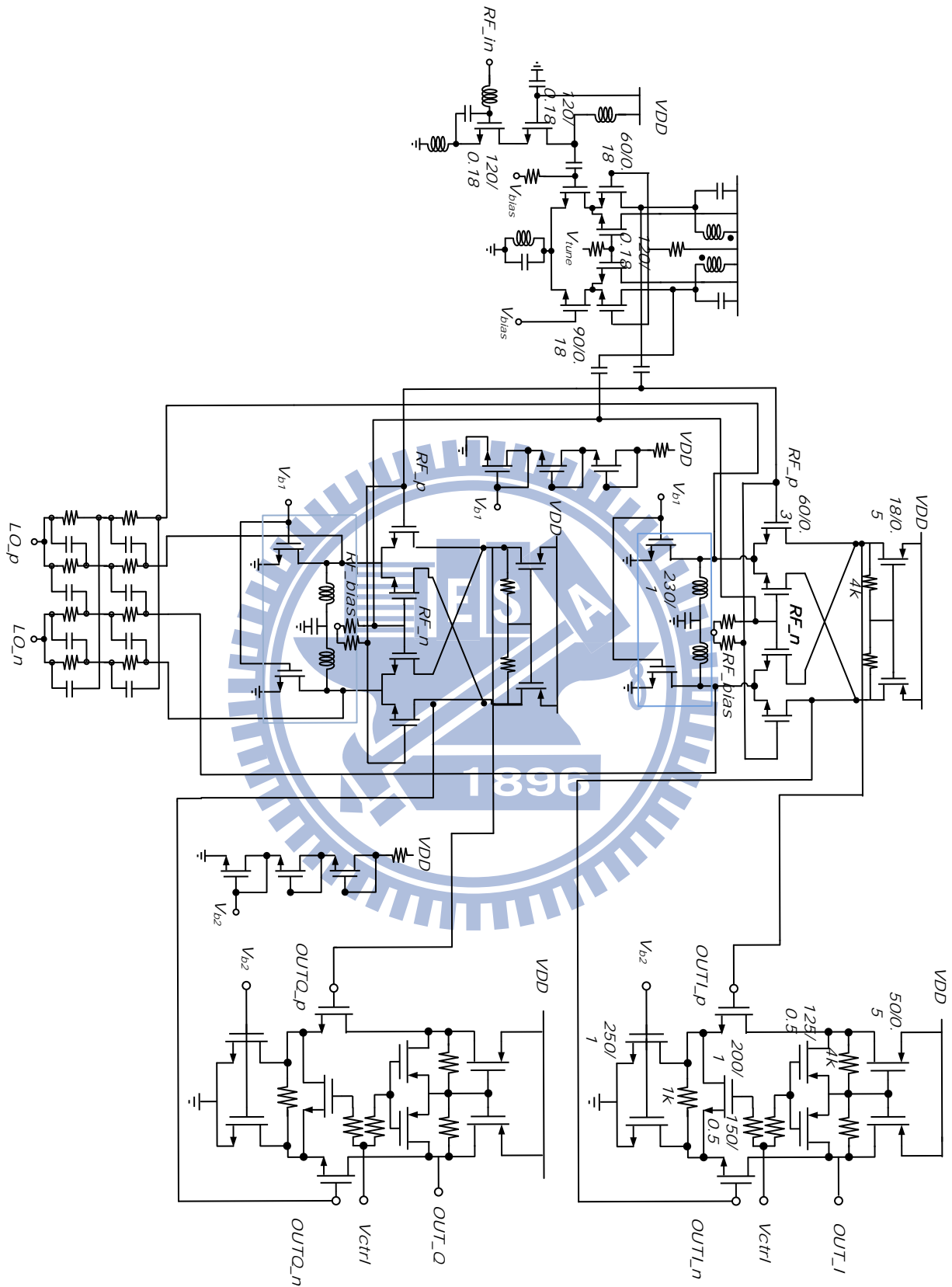
直接降頻技術的缺點除了顫動雜訊、直流偏移，還有在外界干擾信號在頻帶內所造成的失真信號如圖(3.51)，一般來說偶次諧波電流主要可分成兩種來源：差模及共模乘積；前者為 LO 埠切換級不對稱而後者為轉導級本身非線性。改善方法像是佈局時更為小心、利用源極退化使轉導級的非線性減少和手動調整一些切換級及負載的不匹配 [13]。另外，動態匹配架構[見圖(3.53)]用來移除元件的不匹配，主要利用多一組頻率來讓原本 IM2 升頻到濾波器可以處理的頻段[14]，以消除任何干擾信號在  $\Delta f$  上。



圖(3.51)二次諧波對直接降頻頻帶示意圖



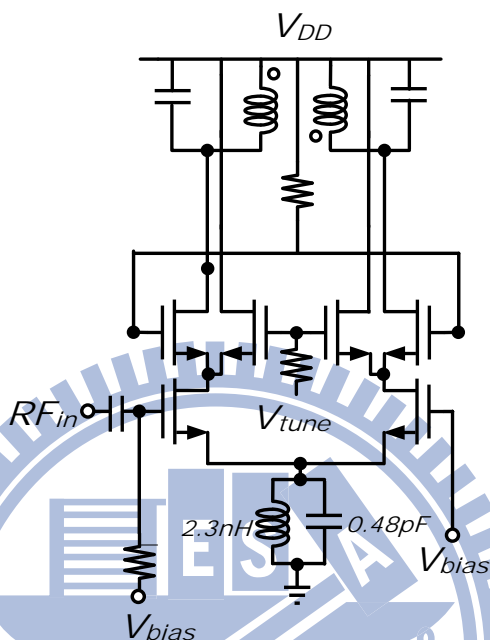
圖(3.52)消除二次諧波架構圖



圖(3.53) 具輸入二階交調截點改善之接收機器電路圖

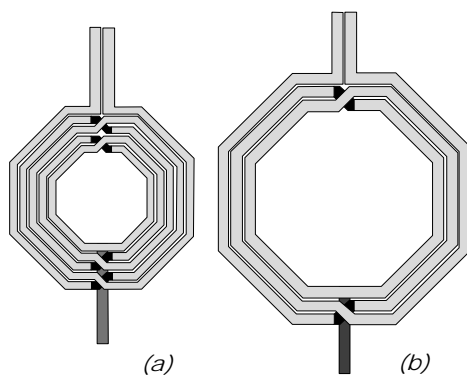
### 3.7.3 電路設計

#### (1) 單端轉雙端放大器



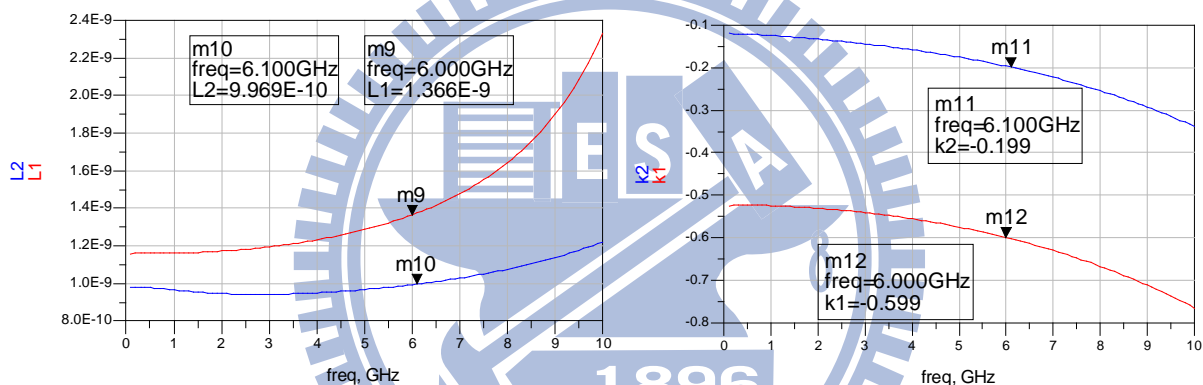
圖(3.54)單端轉雙端放大器電路圖

與實作四架構相同，在源極下面加 LC 共振腔，希望在頻帶內時為開路，使共模看到很大的退化電阻(電阻為本身電感的寄生電阻及品質因數決定)增加共模拒斥比；另外，為了面積考慮使用立體電感，面積約在  $66 \times 78 (\mu m^2)$  感值為  $2.3 nH$  且寄生電阻因為走線經過 M6~M2，有不小的值。而在負載上，跟實作四不同之處，此次電感為自行模擬，為了增加耦合值及減少面積，分別把線距及半徑變小，而增加圈數則把感值變大，使共振時的負載較大。相關的模擬比較如下：

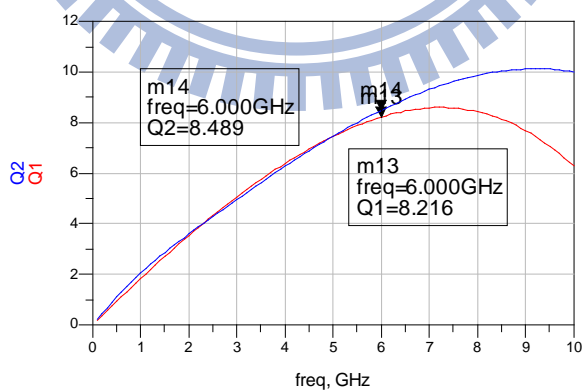


圖(3.55)(a)自行模擬(b)Foundry 電感佈局比較圖

電感來源	線距	線寬	圈數	半徑
自行模擬 (1)	2 $\mu\text{m}$	6 $\mu\text{m}$	4	37 $\mu\text{m}$
TSMC Model (2)	2 $\mu\text{m}$	9 $\mu\text{m}$	3	63 $\mu\text{m}$



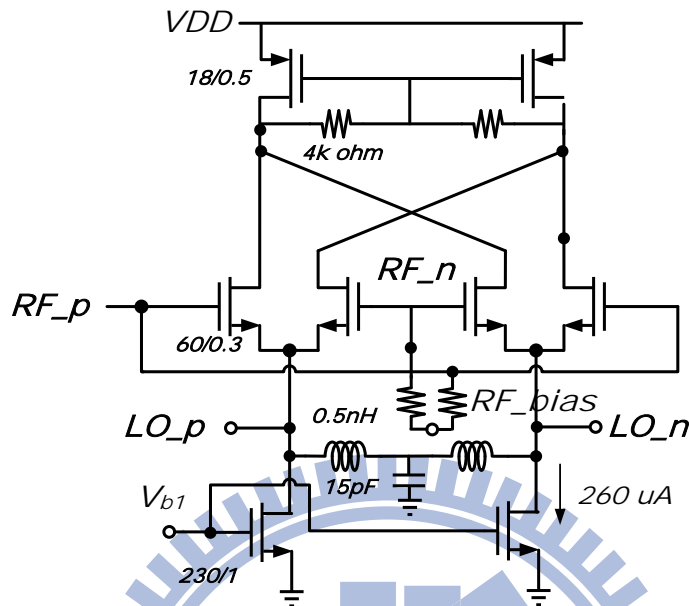
圖(3.56)(左)電感值(右)耦合值模擬比較圖



圖(3.57)品質因素(Q)值模擬比較圖

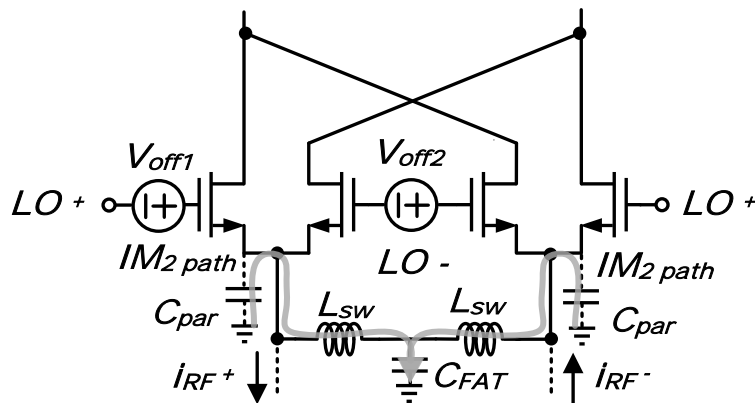


(2) 具輸入二階交調截點改善之混頻器



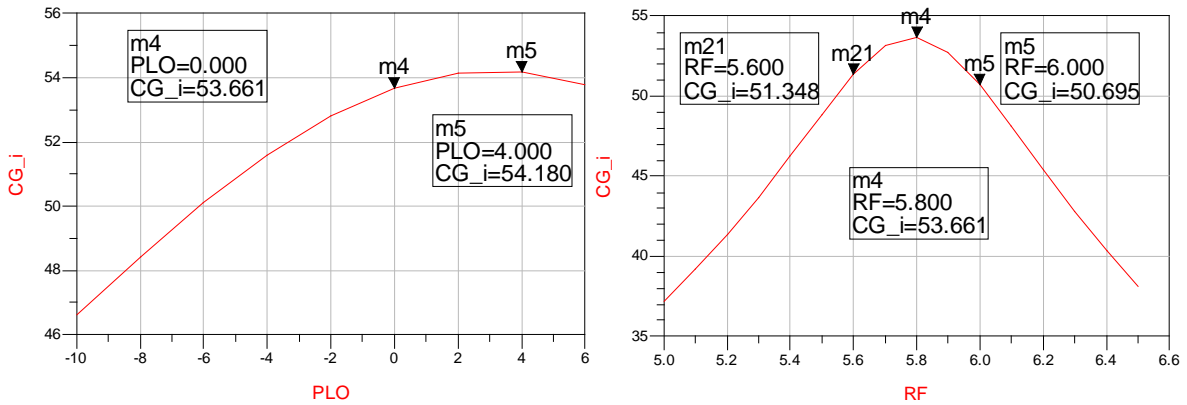
圖(3.58)具輸入二階交調截點改善之混頻器電路圖

先前介紹的改善方式皆利用外在手動或是增加額外硬體來達到，由表 3.1 可知電流越大時，其變異會相對小，但在低功率考量下是不切實際的；在 3.3.3 中得知部份二階項電流由 LO 諧波項旁帶所造成，最好的方法是讓二階電流流不到輸出[圖(3.59)]，但這樣所需的電感會很大，所以就把  $\frac{L_{sw} \cdot C_{par}}{2}$  設計在二倍 LO 項上(若在一倍 LO 上就會沒增益)。

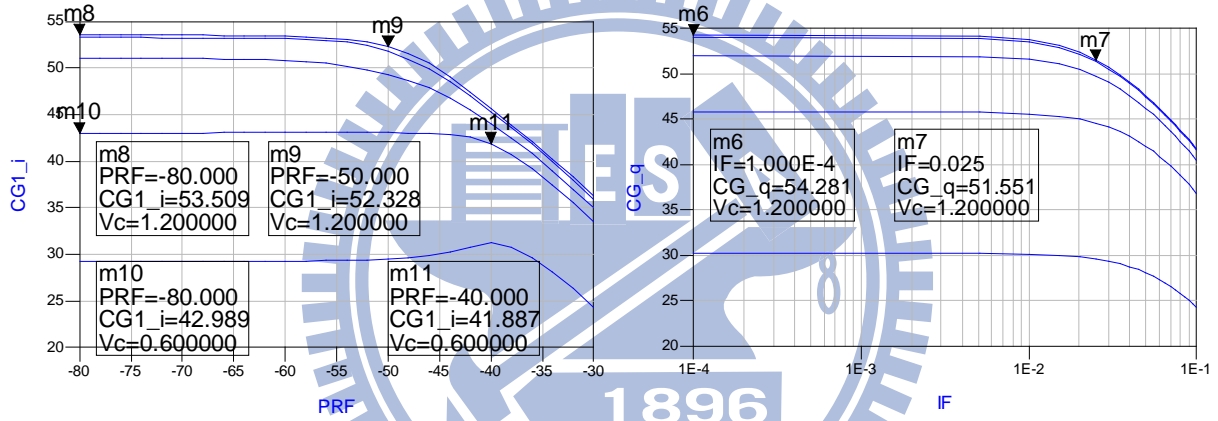


圖(3.59)高輸入二諧波交調截點之切換級解決方法

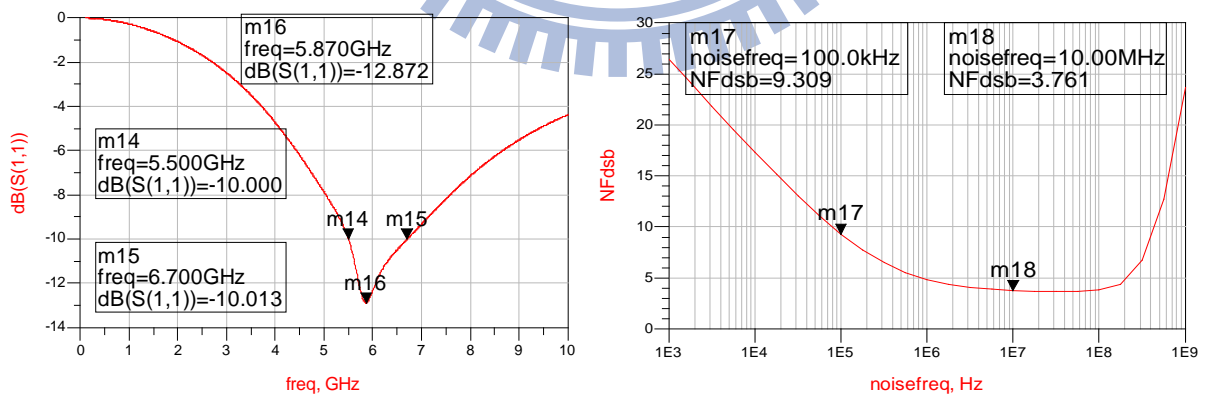
### 3.7.4 晶片模擬結果



圖(3.60)(左)轉換增益對 LO 功率(右)轉換增益對 RF 頻率



圖(3.61)(左)轉換增益對 RF 功率(右)轉換增益對中頻



圖(3.62)(左)輸入返回損耗 (右)雜訊指數

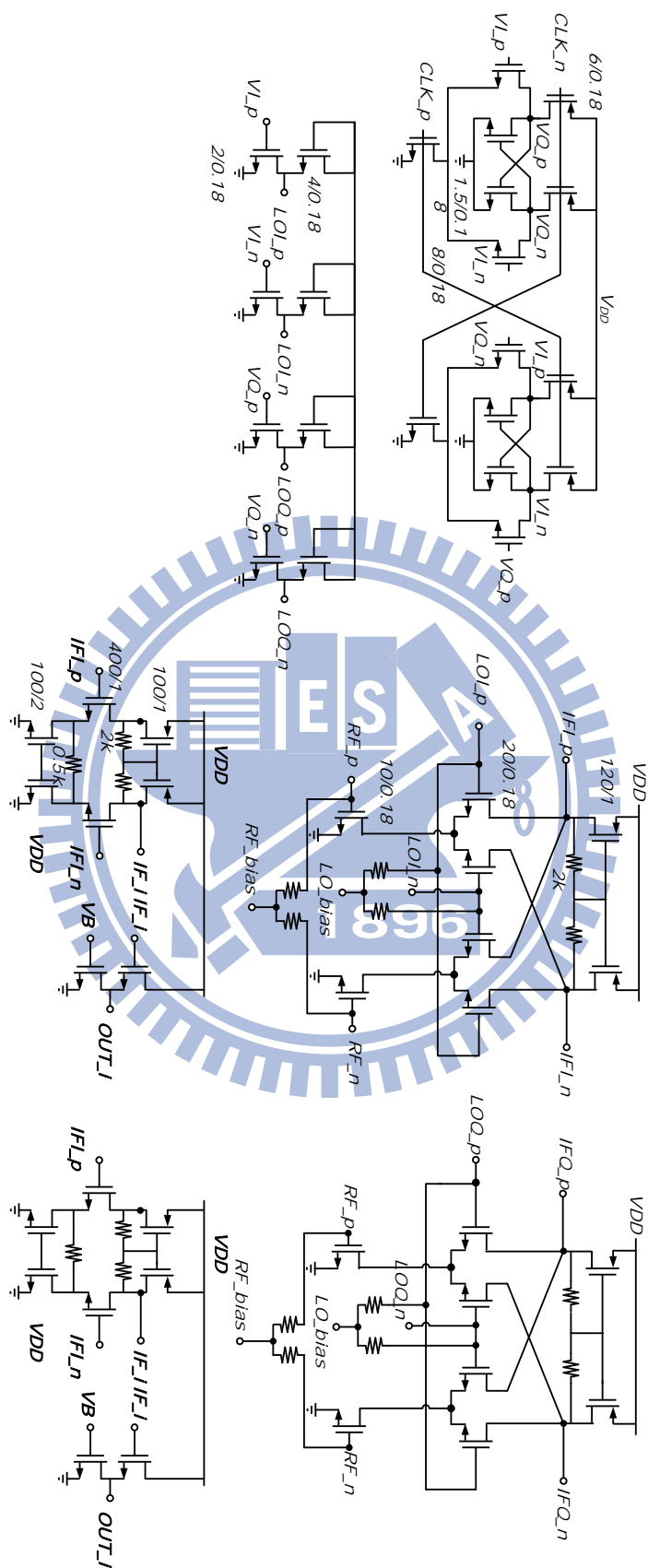
表3.6 5.8GHz 具輸入二階交調截點改善之低功率低雜訊接收機表

Item	Pre Simulation	Post Simulation
Supply Voltage (V)	1.8	
Conversion Gain (dB)	56	54
NF (dB)	3.6 (noise floor)	3.7 (noise floor)
IP1dB @ Highest Gain (dBm)	-52	-50
IIP3 @ Highest Gain (dBm)	-43	-43
IIP2 @ Highest Gain (dBm)	0	-2
Input Return Loss (dB)	<-10 (5.5GHz~6.2GHz)	<-10 (5.5GHz~6.7GHz)
Current Consumption (mA)	4.2	4.2
Power Consumption (mW)	7.56	7.56
Chip Size (mm×mm)	1.3 × 1	

### 3.8 實作四：使用除二除頻器之直接降頻具閃爍雜訊改進之混頻器(CMOS 0.18- $\mu$ m)

#### 3.8.1 研究動機

正交訊號廣泛運用在許多前端電路中，在一般接收機架構上，會利用正交相位來實現頻率或相位調變，不然在作降頻訊號時會有 bit error 升高的情況。除了先前實作使用的正交相位產生器(poly-phase filter)外。在此實作中嘗試使用其他架構來解決雜訊問題。



圖(3.63)使用除二除頻器之直接降頻具閃爍雜訊改進之混頻器電路圖

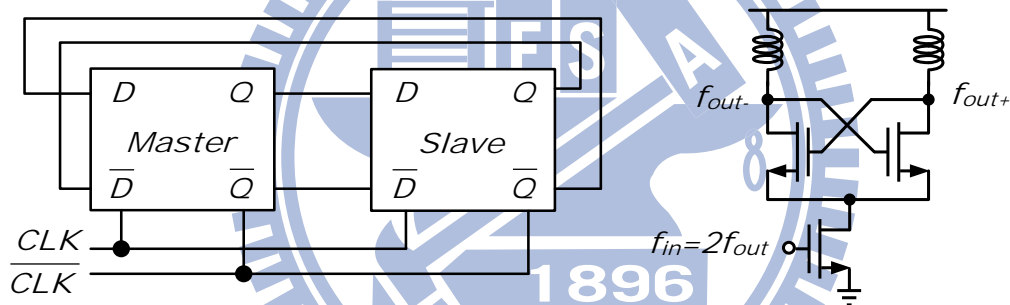
### 3.8.2 正交相位產生方式

正交訊號產生方式不外乎五種方法，方法一，除頻器(Divider)[15]，除二除頻器可以將差動訊號轉換為正交訊號，但輸入的差動訊號頻率需要為正交訊號頻率的兩倍，因此在高頻電路設計上將會有困難。方法二，正交相位壓控振盪器(Quadrature VCO)[16]-[18]，架構有很多種，電路特性則是在 phase noise 與 quadrature accuracy 之間做取捨。方法三， $\lambda/4$  耦合線(Coupler)[19]-[21]，大部分都還是實作在 MMIC 運用中，因為在低頻很難將傳輸線整合進 IC 裡，即使利用繞線縮小面積整合在 IC 上，都很難確保相位的準確度以及振幅的平衡。方法四，環形震盪器(Ring Oscillators)[22]-[24]，雖然可以提供比 LC 震盪器更寬頻的震盪頻率，但利用此架構無法產生準確的正交訊號與 phase noise，將會惡化整個系統。方法五，由 RC-CR 所組成的正交相位產生器(polyphase filter)[25][26]，由於製程上的誤差，實作上必須利用多級的 RC-CR 來確保正交相位準確，但相對的電阻損耗也會變大，並且電阻的自振頻率與寄生效應並不適合運用在高頻電路設計。因為是操作在 2.4GHz 的電路，除頻器若能以低電流為目標，應能符合輸出正交訊號穩定及低功率的要求

### 3.8.3 除頻器分析

在通訊系統之中，不管是在發送端或接收端都需一個穩定的本地端信號，在前面的實作中以多相位濾波器來達到四相位產生，但其操作頻率會受被動元件變異所影響且輸出正交信號只有在共振頻有良好的表現。另外，本地端信號越接近方波，其斜率越大，切換端操作在 Zero Crossing 越短，對輸出造成的雜訊越小。除頻器能提供近似方波，又能產生良好的正交輸出信號特性且不受製程變異(正交是因

為電路迴路所造成的)、具有較寬頻特性，缺點則是需要額外的功率消耗。下圖為傳統全差動的頻率器並利用兩個主/從架構的 D 型正反器，每一個 D 型正反器被兩個互補輸入信號所觸發。所以兩個 D 型正反器總是週期性操作並在兩個模態中交換。當輸入信號為低位準，其中一個正反器會在感應模式(sense mode)-把 D 輸入信號傳到 Q 輸出；在這同時另一個正反器則在栓鎖模式(latch mode)-把之前的信號利用電容儲存。當輸入信號為高位準，兩個正反器的操作模式會互相交換，這種機制可輸出的頻率將為輸入的一半；簡單地說，D 的信號經過二倍記時信號才會走到原點，所以信號頻率會為記時信號的一半。

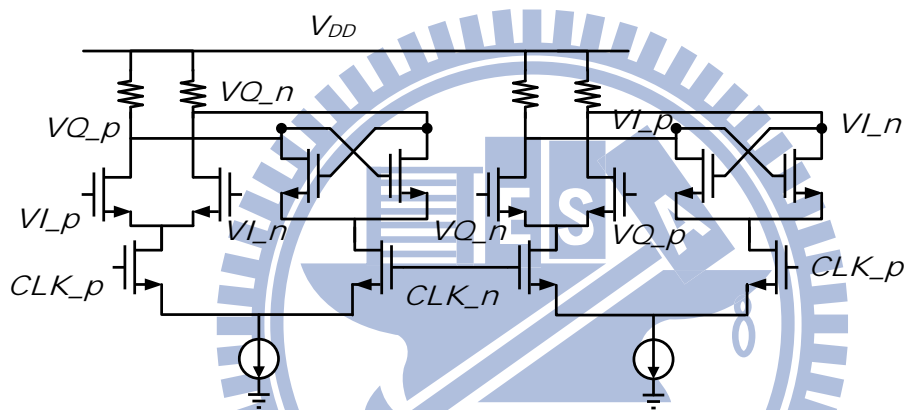


圖(3.64)(a)電流模式邏輯(CML)(b)注入鎖定式

高速除頻器常見有源極耦合邏輯 SCL(source-couple logic)或是注入鎖住式[圖(3.64)]，比較如。一般來說，SCL 會使用 CML Static 除頻器[圖(3.65)]，但其速度會因固定負載而限制。因為栓鎖模式的最小增益需求使負載不能太小，相對太大會限制感應模式的速度，而一般會使用動態負載來解決。

表3.7 除頻器架構比較表

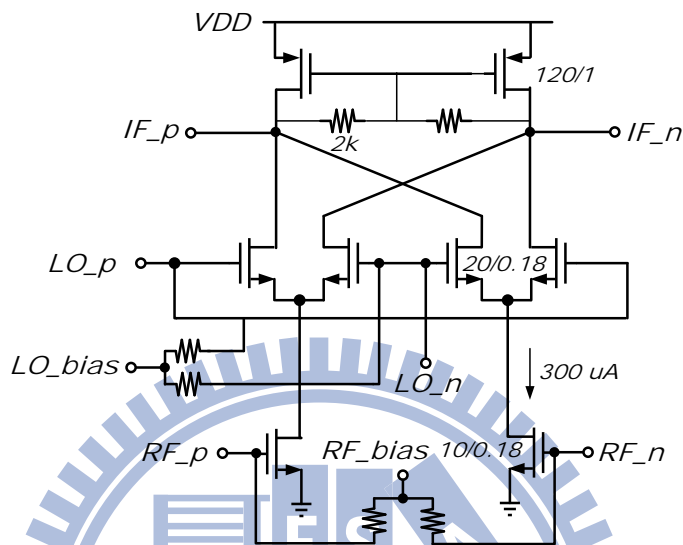
電路架構	類型	輸出頻率範圍	速度	功耗
源極耦合邏輯	靜態、動態	寬	慢	高
注入鎖定式	動態	窄	快	低



圖(3.65)靜態電流模式邏輯除頻器

### 3.8.4 電路分析

#### (1) 低電流吉柏特主動混頻器

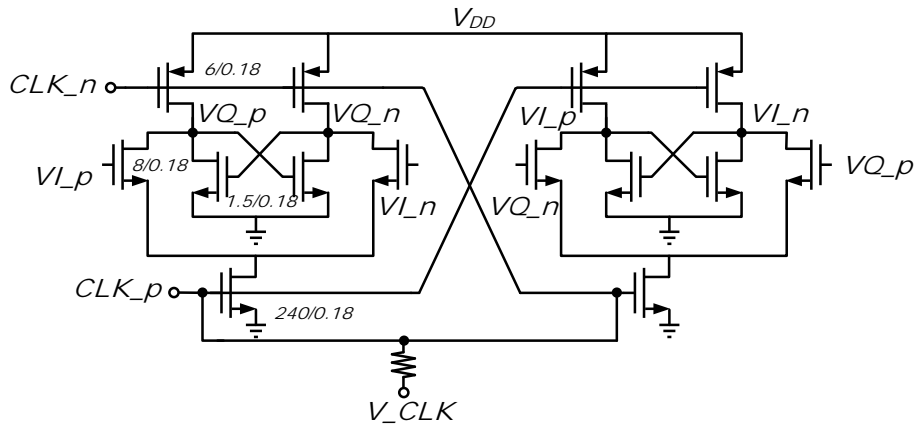


圖(3.66)低電流吉柏特混頻器電路圖

不同於先前切換轉導方式，因為 headroom 的問題，使此處無法加入電流源。由節可知，顫動雜訊跟直流電流成正比，但一般電流小，其轉導也較小；另外，顫動雜訊的原因(節)使 RF 端的尺寸不能太大，也不能靠尺寸來增加轉導，在這邊 RF 端的電流密度還蠻大的，不操作在次臨界區，這也跟先前實作不同之處；如果要有一定的增益，負載要放  $k\Omega$  以上；為了不受電阻變異，也使用主動負載。

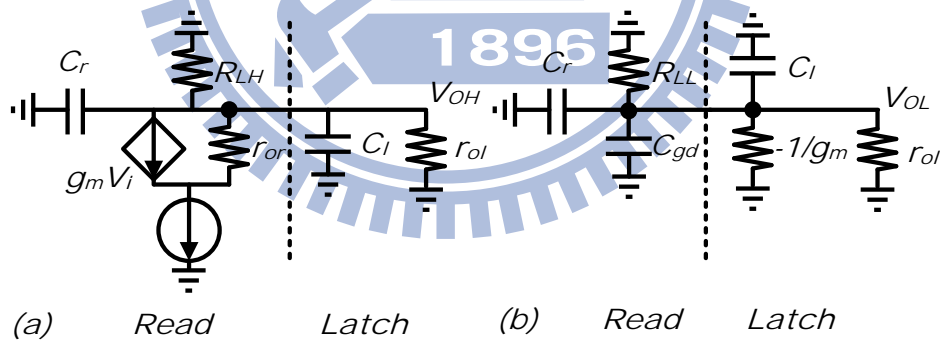


(2) 產生四相位除頻器



圖(3.67)動態負載除頻器電路圖

此為動態除頻器，正反器的電流基本上並無共用。而動態除頻器不像穩態除頻器在感應及栓鎖模式時電流都一樣，而是讓兩者電流不一樣，感應時用大電流因為需要大擺幅，栓鎖就不用，可減少直流功耗。二為，動態基本上能有較高的可除頻率，原因如下[27]：



圖(3.68)動態除頻器小訊號電路(a)Clock=High (b)Clock=Low

由圖(3.68)求出兩種狀態時的時間常數及輸出的時域響應：

$$\begin{aligned}
 @ \text{Clock} = \text{High} \Rightarrow \tau_{\text{high}} &= (R_{LH} // r_{ol} // r_{or}) \cdot (C_r + C_l) \\
 V_{OH}(t) &= (R_{LH} // r_{ol} // r_{or}) I_{\text{read}} \left( 1 - \exp\left(-\frac{t}{\tau_{\text{high}}}\right) \right)
 \end{aligned}
 \tag{3.46}$$

$$\begin{aligned} @ \text{Clock} = \text{Low} \Rightarrow \tau_{\text{low}} &= \left( R_{LL} // r_{ol} // r_{or} \right) / \left( 1 - g_{m2} (R_{LL} // r_{ol} // r_{or}) \right) \cdot (C_r + C_l + C_{gd}) \\ V_{OH}(t) &= V_\alpha \left( \exp\left( -t / \tau_{\text{low}} \right) \right) \end{aligned} \quad (3.47)$$

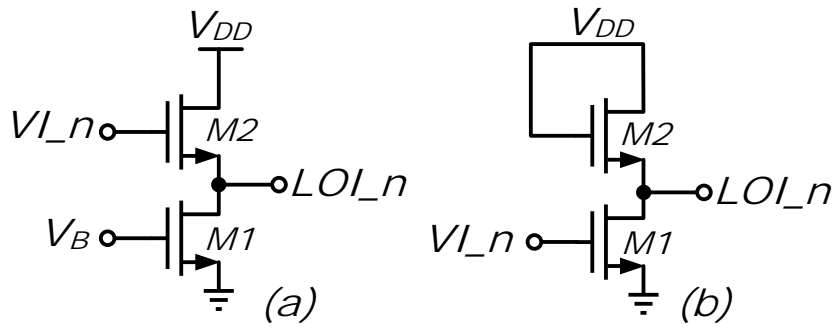
在式(3.47)中  $g_{m2}$  是由 latch 的正回授所造成。若  $g_{m2}R_L > 1$ ， $V_{OL}(t)$  會快速達到  $V_\alpha$ ；如果  $g_{m2}R_L < 1$ ，則  $V_{OL}(t) < V_\alpha$ ，表示 latch 不能維持 data，所以調  $g_{m2}$  調到比穩態小，就可以讓動態比穩態快。

當時脈為正時，下面 NMOS 為飽和區、上面 PMOS 為線性區(較小電阻)，這樣在感應模式時間常數也不會太大。當時脈為負時，下面 NMOS 為線性區為線性區(小電流)，使大部份電流都流耦合對(couple pair)。而上面 PMOS 為飽和區，輸出電阻很大，讓信號在栓鎖模式[式(3.47)]時較無損耗。耦合對的尺寸不能太大，會影響輸出電容且讓在感應模式時電流較小。

### (3) 當地振盪信號緩衝器

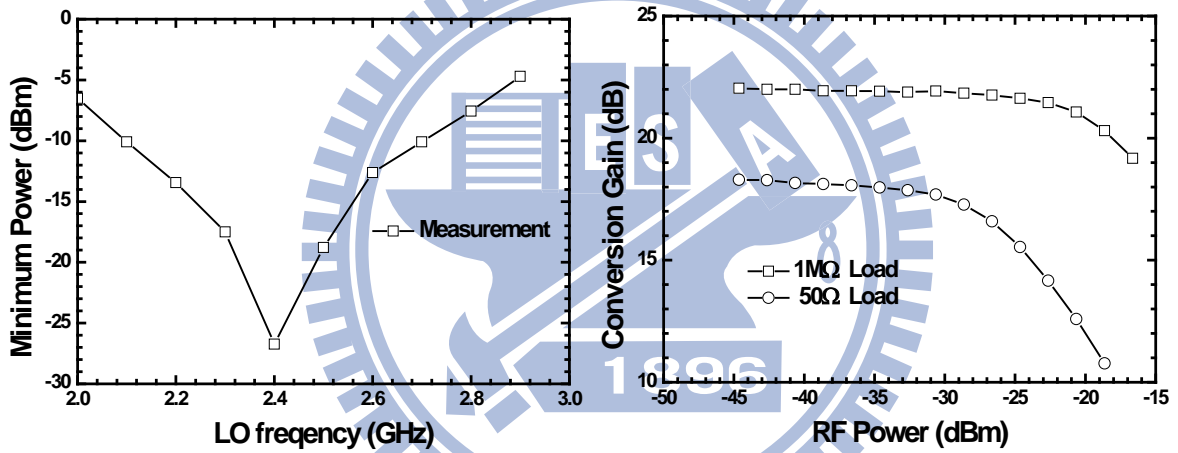
因為 LO 埠的電容約有 0.2pF，若從除頻器輸出直接進入，可能會讓除頻器失去功能；且除頻器的輸出電壓與混頻器的 LO 埠電壓不同，除了可以直接用阻隔電容外分開偏壓。用緩衝器也是不錯的選擇，一般會用共汲極(common drain)來實現，因輸入電壓約 0.8V，若用共汲極，不可能達到 LO 埠電壓 1.1V。故使用共源極(Common Source)並用二極體負載(Diode Load)方式來自偏壓上面電晶體，其增益為

$$\frac{g_{m1}}{g_{m2}}。$$

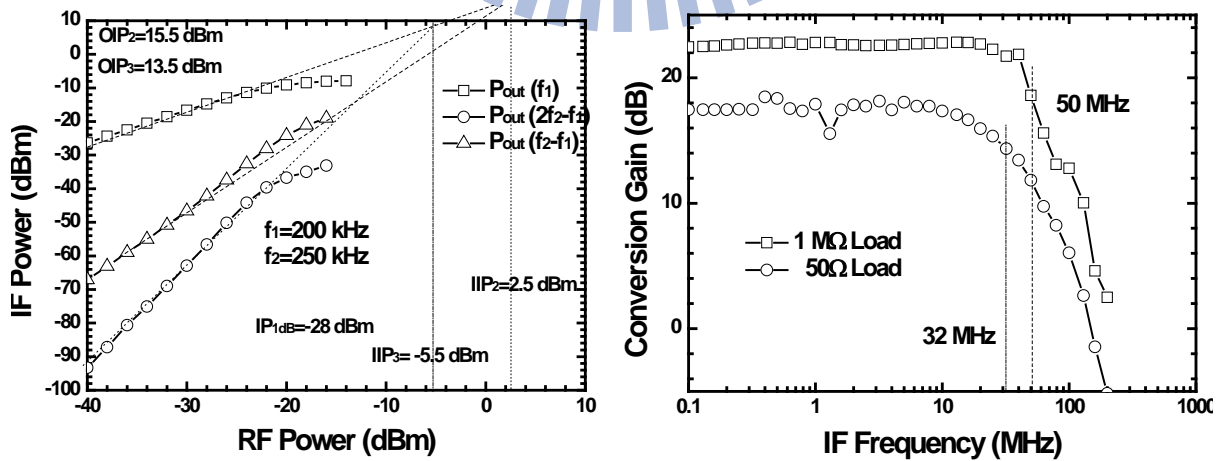


圖(3.69)(a)共汲極(b)共源極電路圖

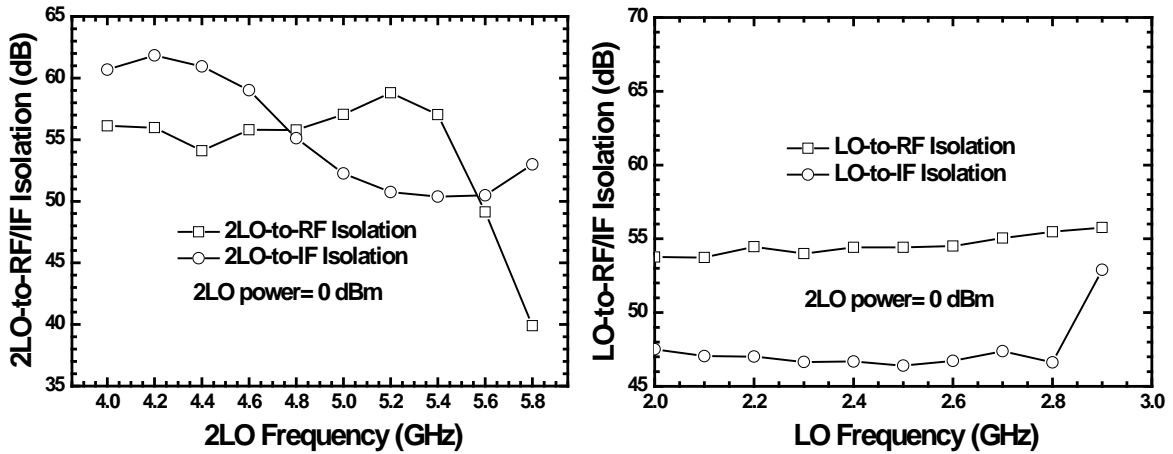
### 3.8.5 晶片量測結果



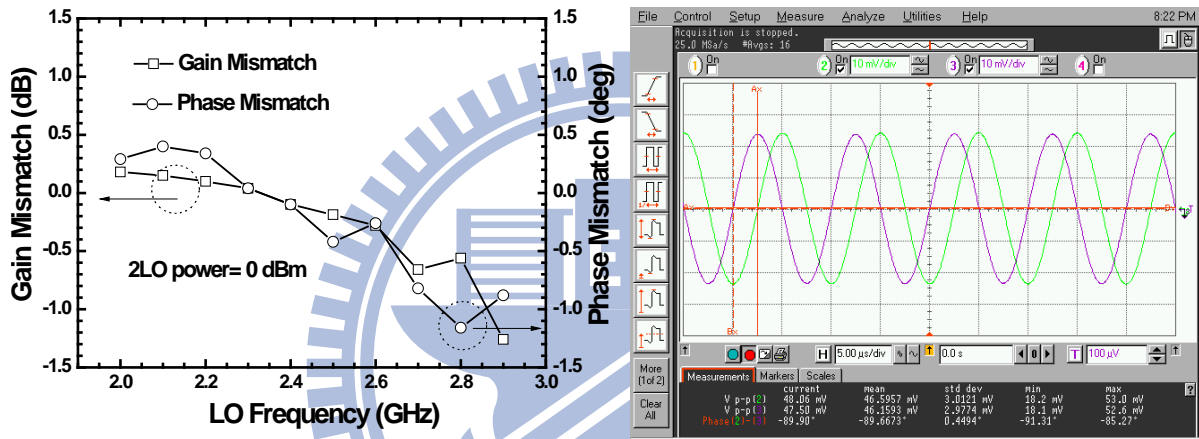
圖(3.70)(左)除頻器靈敏度(右)轉換增益對 RF 功率



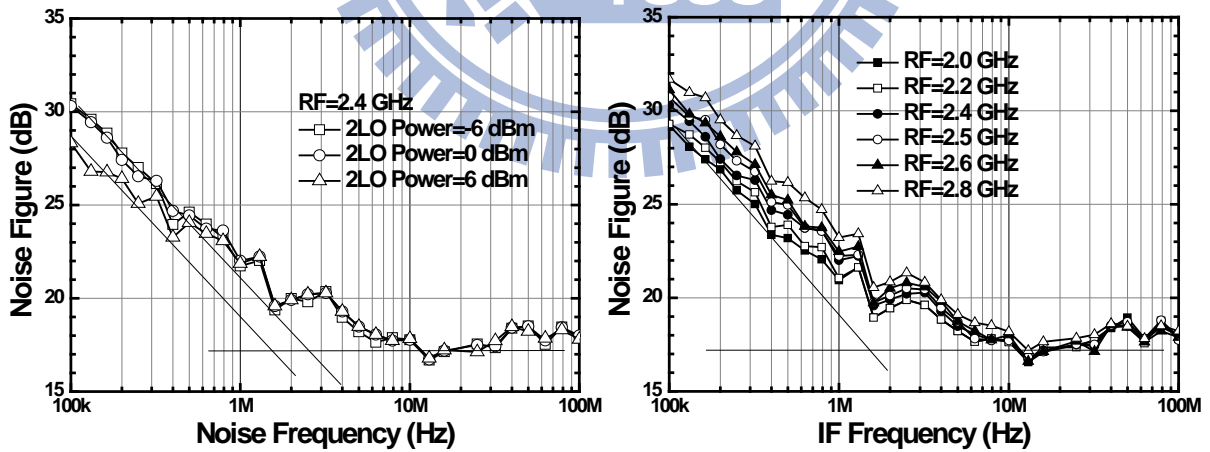
圖(3.71)(左)功率線性度(右)轉換增益對 IF 頻率



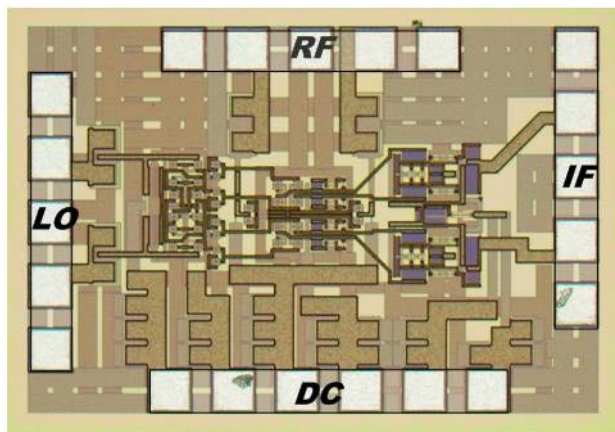
圖(3.72)(左)2LO to RF/IF 隔離度(右)LO to RF/IF 隔離度



圖(3.73)(左)輸出增益與相位不匹配(右)輸出波形(2.4GHz)



圖(3.74)雜訊指數對(左)LO 功率(右)LO 頻率



圖(3.75)Die Photo ( 0.9mm × 1.1 mm )

### 3.8.6 結果與討論

因為混頻器為低電流操作，以理論來說，顫動雜訊會好很多，但由實驗結果，發現 Corner 還是在 1MHz 以後[圖(3.74)]。原因可能為在低電流操作時，為了下面轉導級能提供一定增益下，其尺寸都要很大，這樣電容效應主宰了顫動雜訊，之後若能用電感來抵消，應會有相當的改進。使用除頻器的好處，LO 埠所需功率變很小(用直流來換)，且 I/Q 輸出較能大範圍穩定，整體特性附於表 3.7。

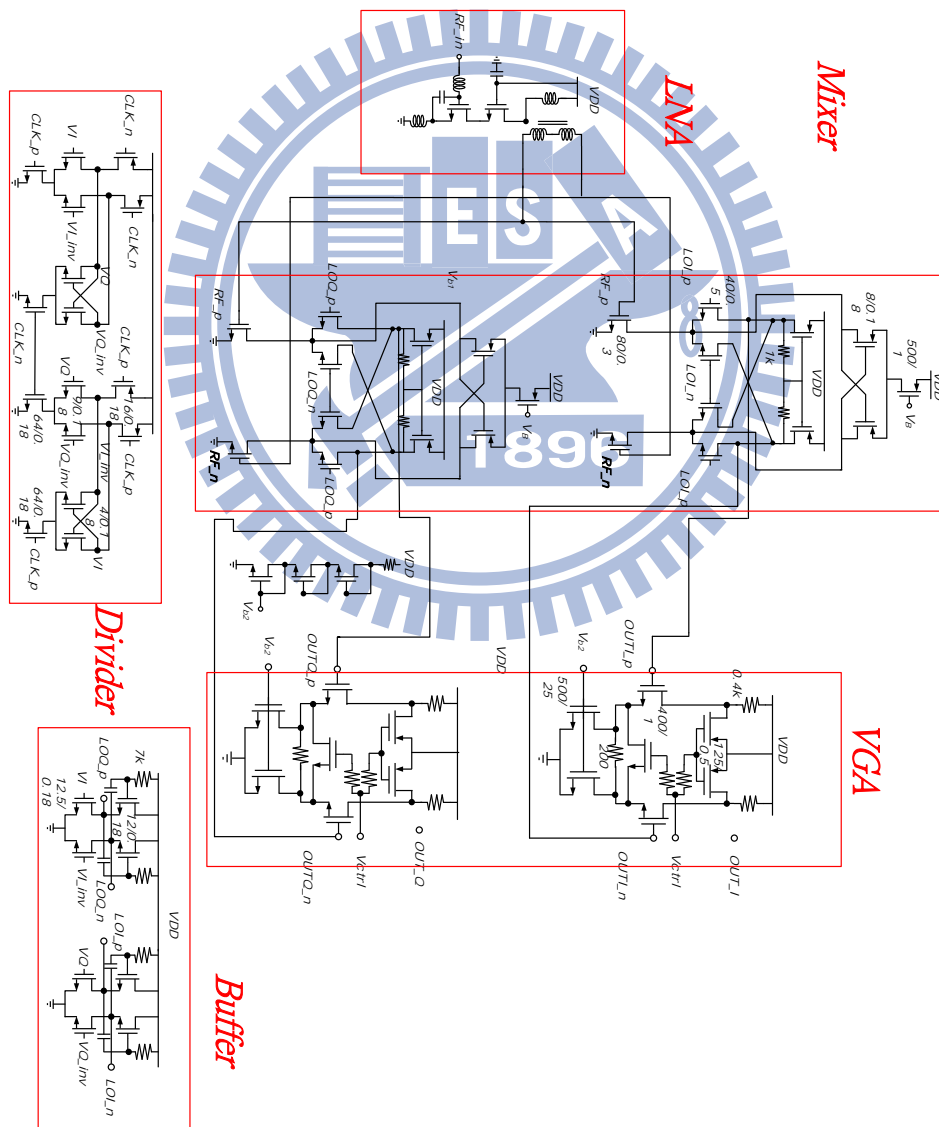
表3.8 使用除二除頻器之低電流混頻器特性表

Item	Measurement
Supply Voltage (V)	1.8
Conversion Gain (dB)	22
IF Bandwidth (MHz)	50
NF (dB)	30 @ 100 kHz 17 (noise floor)
OP1dB (dBm)	-6
IIP3(dBm)	-5.5
IIP2	2.5
LO/2LO-to-RF Isolation (dB)	>55/>54
LO/2LO-to-IF Isolation (dB)	>47/>54
I/Q Imbalance @ 2.4GHz	0.1 dB/0.1°
Current Consumption (mA)	9.2
Chip Size (mm×mm)	0.9 × 1.1

### 3.9 實作五：使用除二除頻器之直接降頻具閃爍雜訊改進之接收機(CMOS 0.18- $\mu$ m)

#### 3.9.1 研究動機

主動混頻器在顫動雜訊上表現不是很好，而直接降頻架構對於低頻雜訊較無抵制能力，除了低電流操作方式外，在此實作以動態電流注入的方式及加入除頻器，借用其輸出若為方波，嘗試改善動動雜訊。



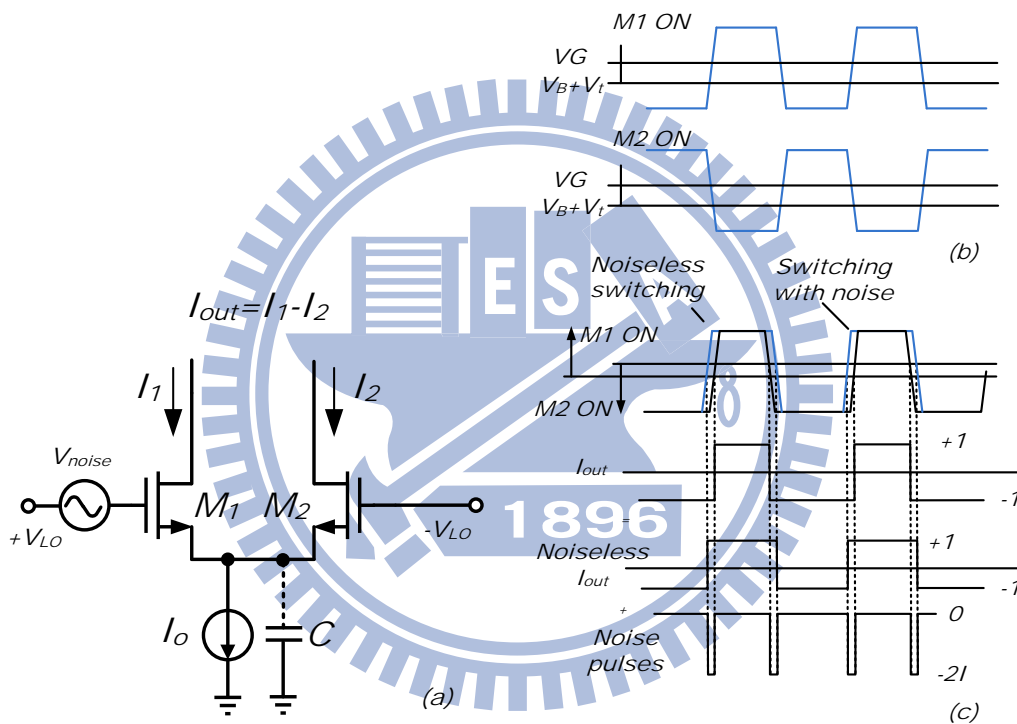
圖(3.76)具閃爍雜訊改進接收機電路圖

### 3.9.2 顫動雜訊成因分析[28]

#### (1) 轉導級

如果切換級為理想方波的話，轉導級的顫動雜訊會被升頻到 LO 頻率及其奇倍頻，輸出雜訊在中頻並無影響。

#### (2) 直接切換級雜訊



圖(3.77)(a)考慮電容效應切換級(b)開啟重疊及(c)輸出雜訊示意圖

一般而言，吉柏特混頻器的切換端操作在開啟重疊(On Overlap)[圖(3.77)-(a)]，\$M\_1\$、\$M\_2\$ 直流時皆為導通狀態，而與 LO 輸入波形的關係如圖(3.77)-(a)。當切換級被有限斜率(\$s\$)的 LO 信號驅動，則假設等效在閘極的顫動雜訊(flicker noise)會提前或延遲零交會點(zero-crossing)發生的時間。使導通時間(duty cycle)跟理想切換不一樣，其差異用一組脈衝來等效，並視為雜訊，由圖(3.72)-(c)可知這脈

衝具有 $2f_{LO}$ 的頻率且振幅為 $2I$ 。在這裡只考慮脈衝所產生的直流項，發現跟閘極等效雜訊源有關；若把雜訊電流對 $2f_{LO}$ 展開，發現其偶倍頻皆有雜訊，可視為等效雜訊電壓對 $2f_{LO}$ 做調變：

$$i_{o,n} = \frac{2}{T} \cdot 2I \cdot \Delta\tau = \frac{2}{T} \cdot 2I \cdot \frac{V_n}{s} = 4I \frac{V_n}{sT} \quad (3.48)$$

如果 LO 訊號為弦波，則  $sT$  為定值令  $4\pi A$ ，代入式並轉成頻率：

$$i_{o,n}(f) = 4I \frac{V_n(f)}{sT} = \frac{I}{\pi A} V_n(f) \quad (3.49)$$

而雜訊指數跟訊雜比(SNR)有關，假設切換級增益為 $\frac{2}{\pi}$ ，其 SNR 為：

$$SNR_{Sw} = \frac{\frac{2}{\pi} g_m V_{in}}{\frac{V_n I}{\pi A}} = \frac{2A V_{in}}{V_{ov} V_n} \quad (3.50)$$

若考慮轉導級的顫動雜訊影響，使電流變成 $I + g_m V_{ni}$ ；而切換級的導通時間調變則因偏移電壓 $V_{os}$ 造成，則輸出電流為：

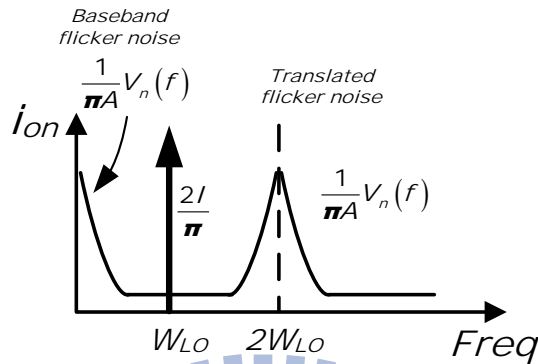
$$i_{o,n} = \frac{(I + g_m V_{ni})}{\pi A} V_{os} \quad (3.51)$$

第一項視為直流偏移(DC Offset)，而後一項則是顫動雜訊電流，再求

$$SNR : \quad SNR_{RF} = \frac{2A V_{in}}{V_{os} V_{ni}} \quad (3.52)$$



因為  $V_{os} \ll V_{ov}$ ，切換級造成的顫動雜訊遠大於轉導級，歸納前面幾個來源在輸出的顫動雜訊如圖(3.78)。



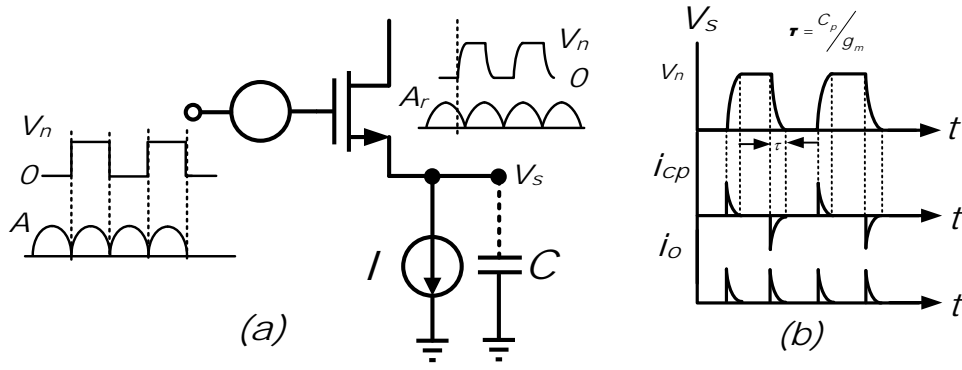
圖(3.78)直接機制對輸出雜訊示意圖

(3) 間接切換級雜訊

LO 埠為理想方波，就沒有延遲零交會點的問題。當 LO 斜率變大，顫動雜訊還是會由其他機制到輸出，稱為間接機制。把全部切換級的雜訊等效到其中一邊(此電晶體都在導通情況下，其雜訊週期不變且為方波)[圖(3.79)]。基本上就是一個源極跟隨器(source follower)，觀察  $V_s$  的電壓，雖然也會跟著閘極小訊號，但會有時間常數的效應；電容上的電流頻率跟閘極雜訊一樣且並無直流項，但對差動電流輸出而言，其電流頻率為  $2\omega_{LO}$ ，而有直流項。考慮在直流項載的顫動雜訊並求出 SNR[式(3.54)]

$$i_{o,n} = \frac{2}{T} \int_0^{T/2} i_{cp}(t) dt = \frac{2}{T} C_p \left( V_s \left( \frac{2}{T} \right) - V_s(0) \right) = \frac{2}{T} C_p V_n \quad (3.53)$$

$$SNR_{indirect} = \frac{g_m \frac{2}{\pi} V_{in}}{2 f_{LO} C_p V_n} = 2 \frac{f_T V_{in}}{f_{LO} V_n} \quad (3.54)$$



圖(3.79)電容效應對切換級示意圖

如果 LO 埠為弦波輸入，則在閘極等效一整流型弦波雜訊(因為半週期就會切換電晶體)， $V_s$  電壓波形如圖(3.79)-(a)，其振幅及相位如式(3.53)及(3.54)，因頻率為 LO 兩倍且 LO 埠的弦波會使切換端跟圖一樣有。

$$A_r = A \cdot \frac{g_{ms}}{\sqrt{g_{ms}^2 + (C_p \omega_{LO})^2}} \phi_r = a \tan\left(\frac{C_p \omega_{LO}}{g_{ms}}\right) \quad (3.55)$$

$$i_{o,n} = \frac{2}{T} \cdot 2 \int_{-\Delta t/2}^{\Delta t/2} C_p \left[ \frac{d}{dt} V_r(t) \right] dt = \frac{4}{T} C_p \left( V_r\left(\frac{\Delta t}{2}\right) - V_r\left(-\frac{\Delta t}{2}\right) \right) \quad (3.56)$$

$\Delta t$  為切換級受雜訊電壓影響的時間，再化簡可得(3.55)。此項為負的，再跟理想方波下的輸出雜訊相加為(3.56)，反而會有減少的效果。

$$i_{o,n}(f) = -\frac{2C_p}{T} V_n(f) \cdot \frac{g_{ms}^2}{g_{ms}^2 + (C_p \omega_{LO})^2} \quad (3.57)$$

$$i_{o,n}(f) = \frac{2C_p}{T} V_n(f) \cdot \frac{(C_p \omega_{LO})^2}{g_{ms}^2 + (C_p \omega_{LO})^2} \quad (3.58)$$

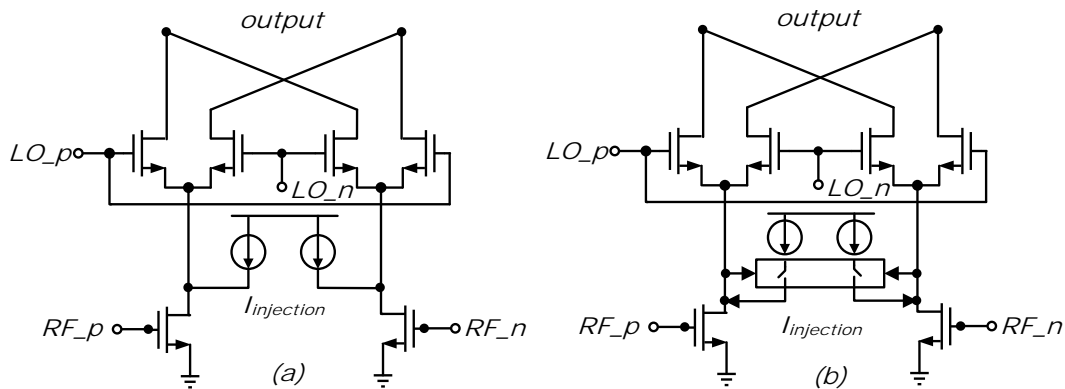
當  $\omega_{LO} \ll \frac{g_{ms}}{C_p}$ ，間接機制弦波造成的雜訊可忽略，因為在零交會點(zero-crossing)時，弦波並無相位，使在那時間源極電壓為零，並無產

生電流。LO 弦波對直接機制為頻率無關，但理想方波並不會減少顫動雜訊，但可以由電容變小讓雜訊降低。

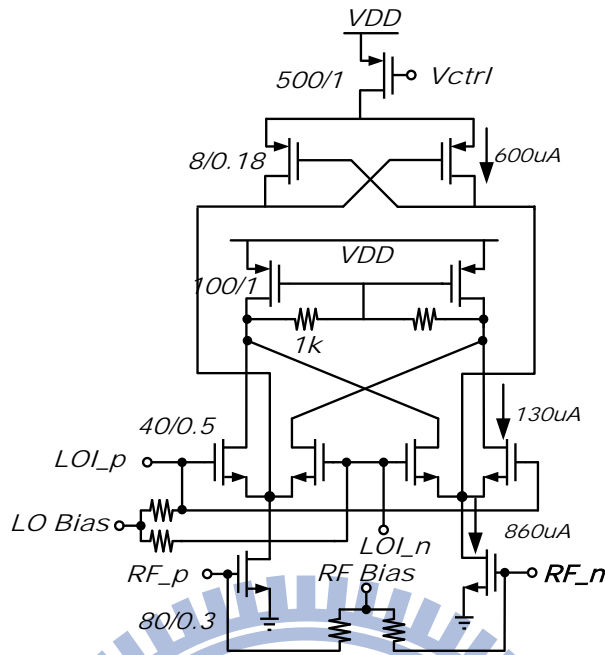
### 3.9.3 電路設計

#### (1) 動態電流注入之主動混頻器[29]

經由前面對主動式混頻器的閃爍雜訊分析，可以了解到LO的開關級會貢獻一直接開關雜訊， $i_{o,n} = 4I \frac{V_n}{S \times T}$ ，所以在[21]中提出了電流注入的方法來減少直接開關雜訊，用意為藉由加上一電流注入電路可在不改變流經輸入轉導級的電流下，可減少流經開關級的電流，因此 $I$ 下降， $i_{o,n}$ 就會下降，這種持續注入概念稱靜態電流注入架構，圖(3.80)(a)。但是這個電路仍然存在一些trade-off，如在RF的汲極加上電流注入裝置，使該點的寄生電容變大，對於混頻器的頻寬造成影響，而且這個裝置會使線性度變差，且白雜訊會上升。動態電流注入裝置則是只在zero-crossing點的時刻做電流注入的動作，其他的時候則是維持關掉的狀態[見圖(3.80)(b)]，這種作法可解決前面靜態電流注入裝置的缺點，主要是因為動態電流注入只在zero-crossing點發生，對於轉換增益不會減少，也不會增加白雜訊的量。



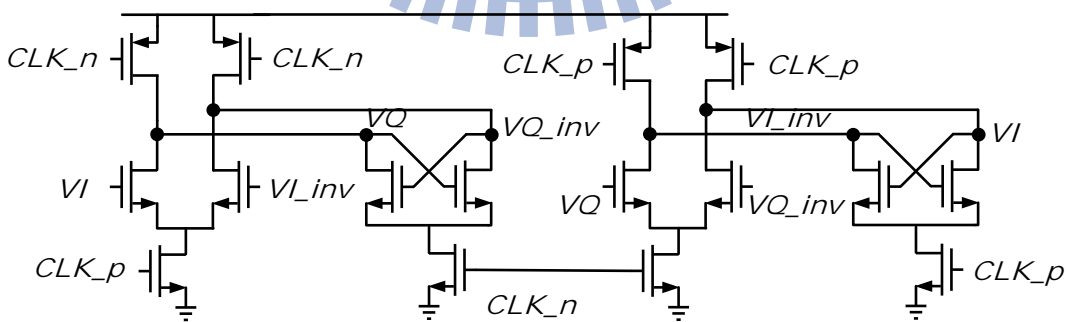
圖(3.80)(a)靜態電流注入及(b)動態電流注入機制



圖(3.81)動態電流注入之主動混頻器電路圖

做為抽電流的PMOS尺寸不宜放太大，不然所造成的電容太大，對間接雜訊的產生會增加；LO電晶體電流還有130uA，跟之前低電流情況一樣，再低的話LO電晶體的操作區會很不穩定，又因為轉導級的電流變大使轉導變大，就有空間可以讓負載小一點使頻帶寬一點。

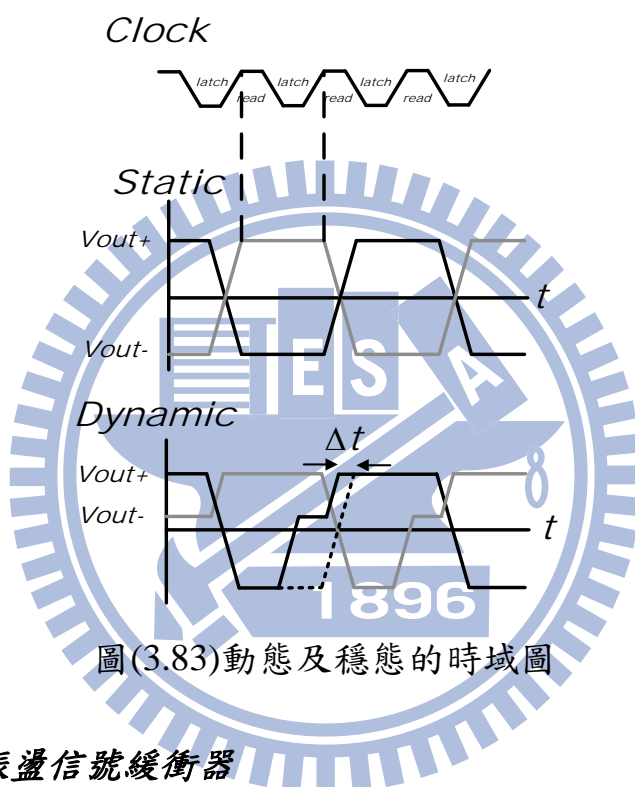
(2) 產生四相位除頻器[30]



圖(3.82)動態負載除頻器電路圖

在先前除頻器中，在 Latch 並沒有電流源，所以電流較不穩定，這次在下面加入電流源，但還是為動態除頻器；藉於時域圖變化也可以說明動態速度快的原因[27]。因為穩態在感應及栓鎖的電流大小一

樣，所以造成的輸出擺幅都是  $I_{read} \times R_L$ ；相對地，在動態架構下栓鎖的電流會比感應的小，所以在栓鎖模式時輸出擺幅會減少為  $I_{latch} \times R_L$ ，所以訊號由低到高所需的時間相對變小，即使栓鎖時的斜率速度(Slew Rate)較低，在適當的設計下動態就可以比穩態快上  $\Delta t$ ，所以設計時兩邊的電流會不一樣。



圖(3.83)動態及穩態的時域圖

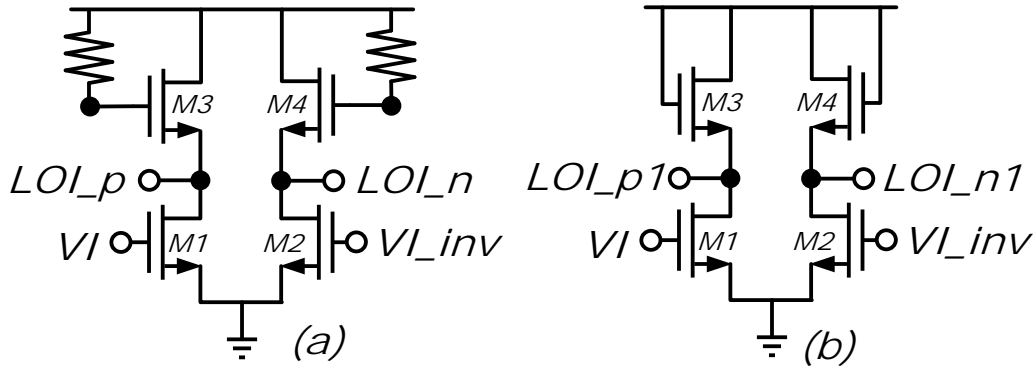
### (3) 當地振盪信號緩衝器

在上個實作中，緩衝器是採用共源極加上二極體負載來達到，但在模擬中會發現頻寬不足，約為1GHz，其功能只為隔絕除頻器與混頻器間的電容及直流。因為頻寬主要輸出電容決定(就跟混頻器的電晶體有關)，能調整的範圍就小很多。利用主動電感來達到增加頻寬如圖(3.85)，使在2.4GHz不至於是個損耗。若針對  $Z_{out}$  分析(3.59)可發

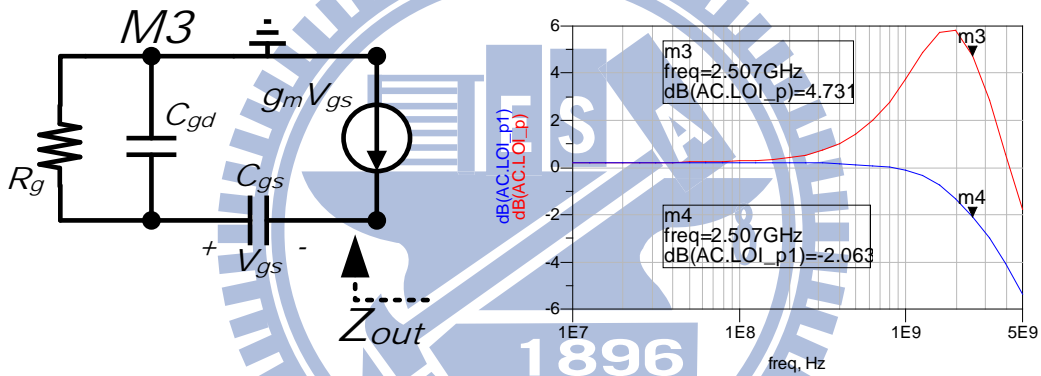
現有零點  $\frac{1}{R_g(C_{gd} + C_{gs})}$ ，而改變電晶體及電阻可改變零點，設計在想

要的頻率peaking。

$$Z_{out} = \frac{[1 + sR_g(C_{gd} + C_{gs})]}{(1 + sC_{gd}R_g)(g_m + sC_{gs})} \quad (3.59)$$

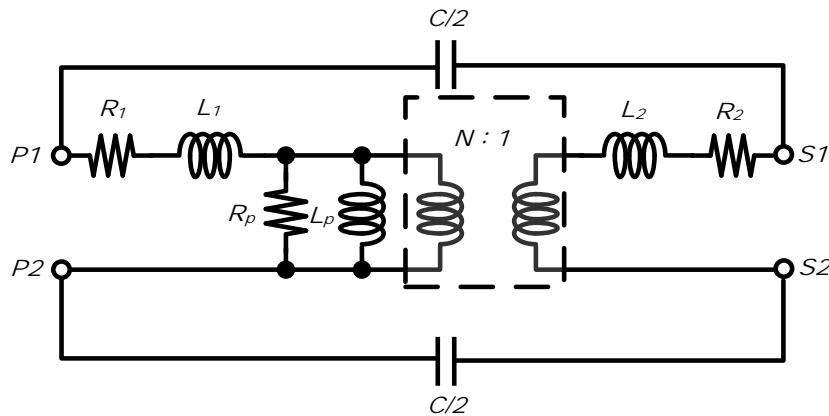


圖(3.84)(a)具主動電感(b)二極體負載之差動放大器

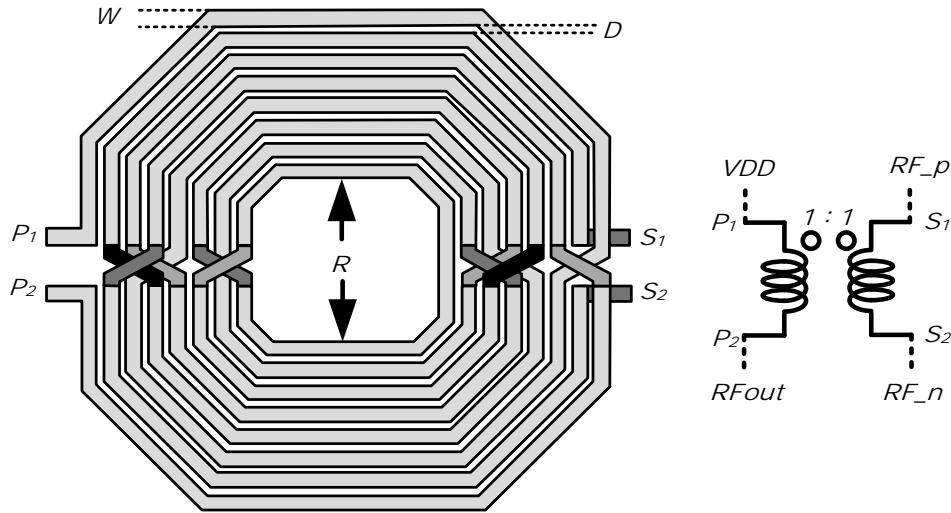


圖(3.85)(左)主動負載電路分析(右)主動負載與二極體負載模擬圖

(4) 單端轉雙端之變壓器



圖(3.86)ADS變壓器物理等效電路



圖(3.87)變壓器佈局圖

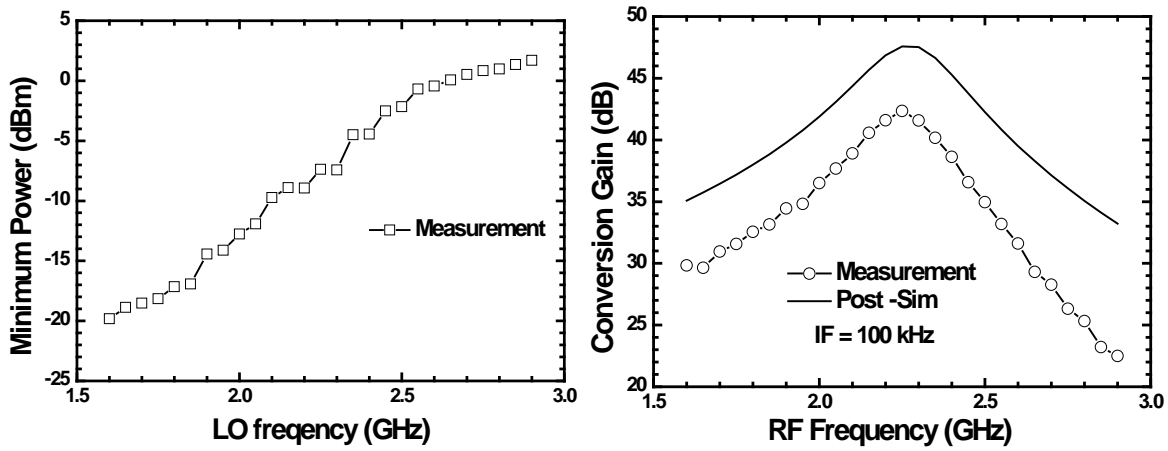
除了單端轉雙端放大器之外，直接利用被動元件來實現也是個選擇，除了有不用額外電流，還有可拿來當第一級放大器的負載用。一般從主電感(Primary)看進去等效電路為圖，N 為圈數比， $R_1$ 、 $R_2$  為電阻之損耗， $L_1$ 、 $L_2$  則是電感的損耗， $L_p$  是主電感值。分別關係式：

$$L_1 = L_p \left( \frac{1}{K} - 1 \right) \quad (3.60)$$

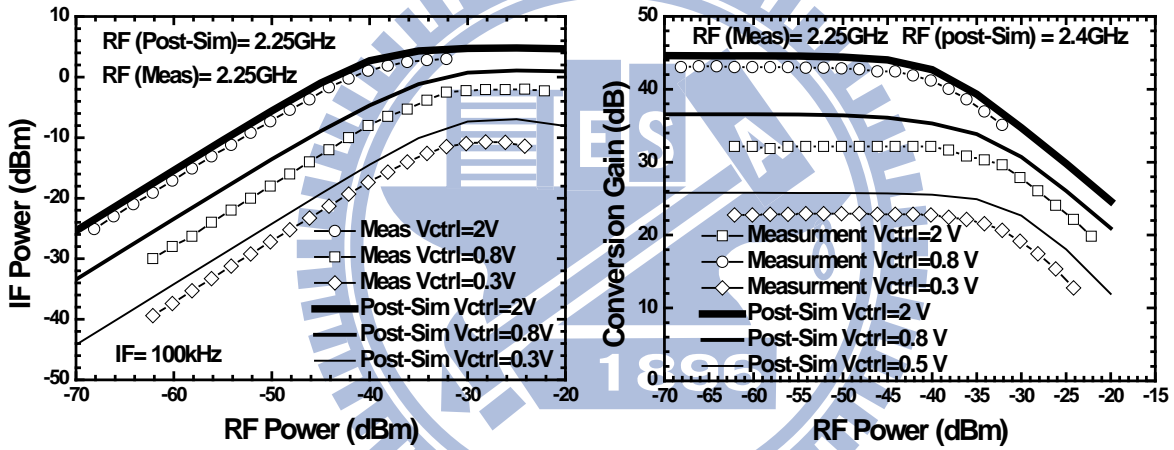
$$L_2 = \frac{L_1}{N^2} \quad (3.61)$$

一般而言，K(coupling)不可能為1，多多少少會有電感損耗，所以K若越大功率轉移率就越好。在佈局上(圖我們就把D變小，但這裡出現一個問題，D 越小電容(C/2)越大，那變壓器的品質因數及自振頻都會變小。另外，改變W 會讓寄生電阻變大，但不一定會差，要視共振 LNA 負載  $R_{load} = R_1(1+Q^2)$  來決定，R 越小面積可以越小，但也會影響自振頻，要小心設計。

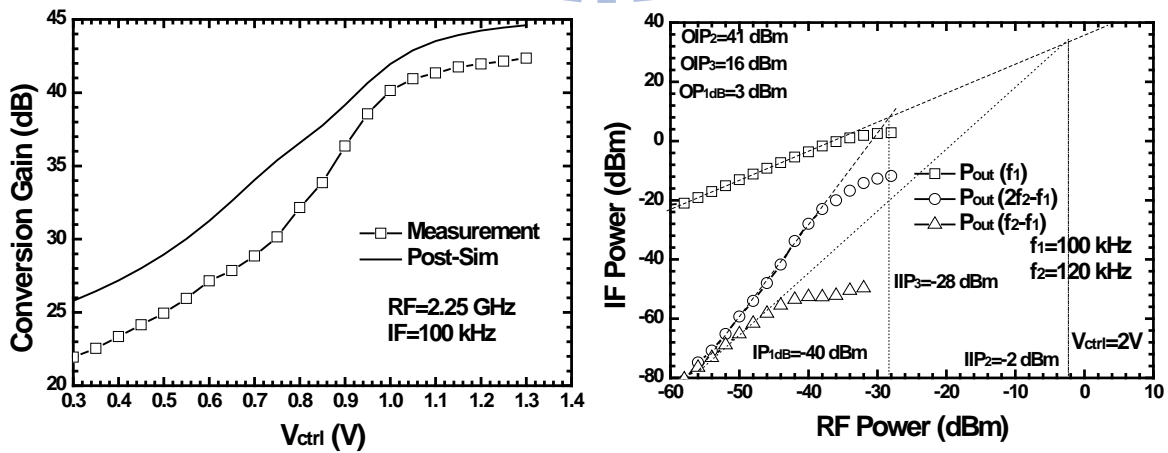
### 3.9.4 晶片量測與模擬結果



圖(3.88)(左)除頻器靈敏度(右)轉換增益對 RF 頻率

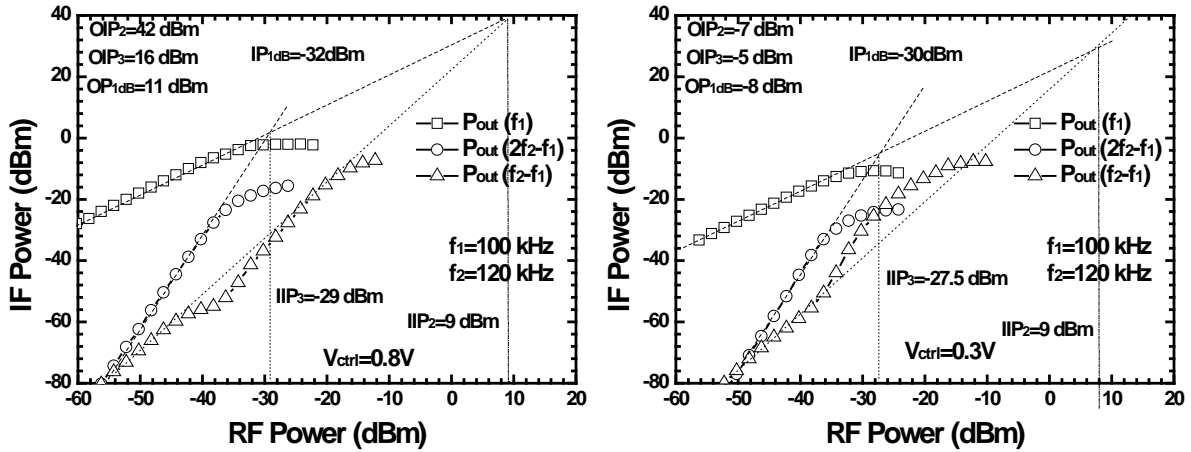


圖(3.89)(左)中頻輸出功率對 RF 功率(右)轉換增益對 RF 功率

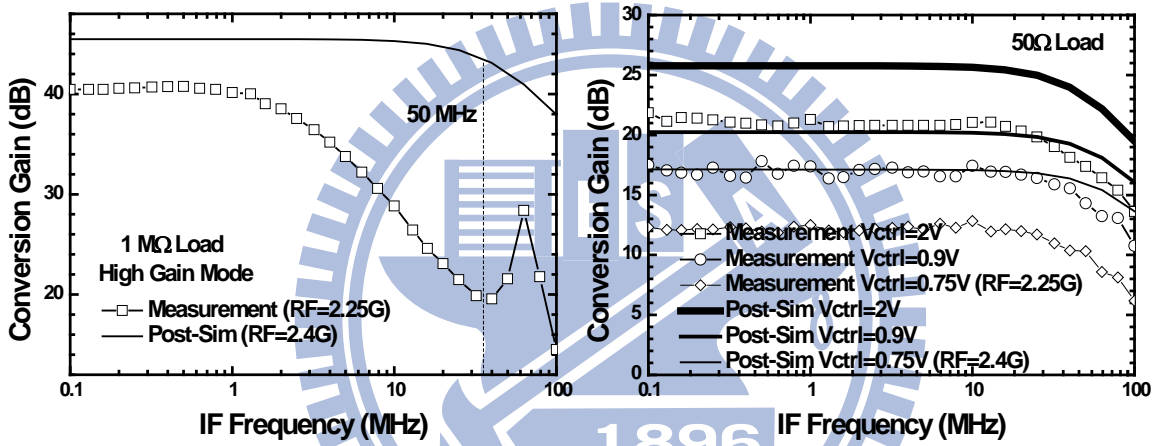


圖(3.90)(左)轉換增益對控制電壓(右)高增益模式功率線性度

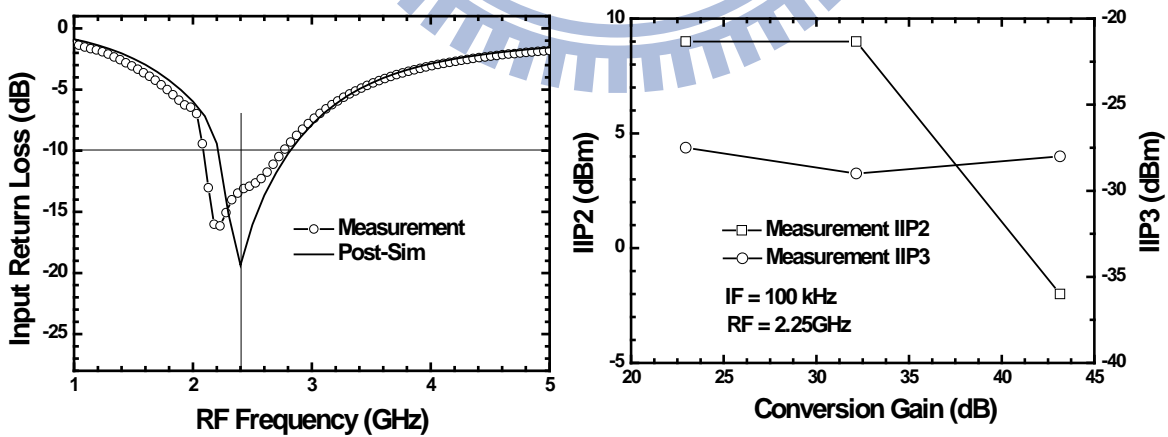




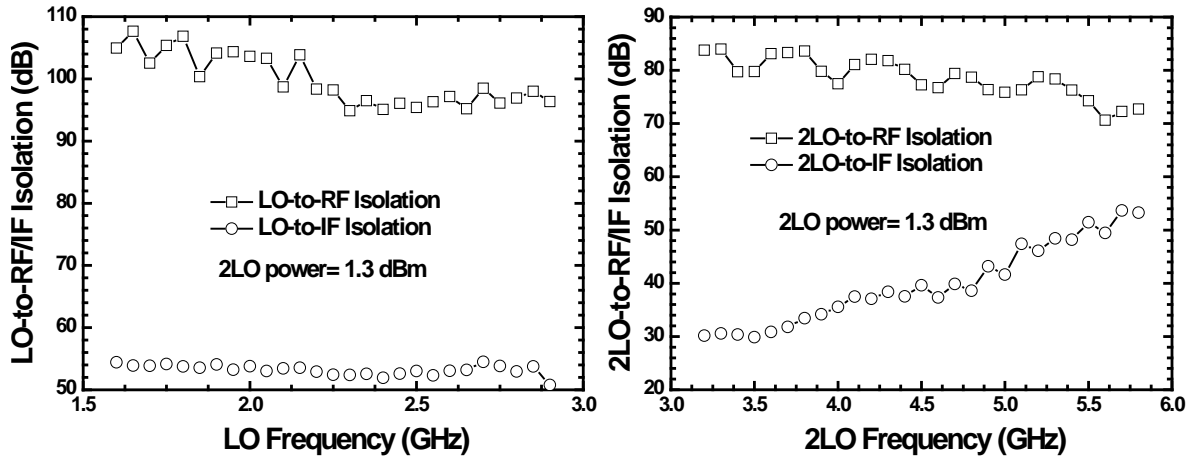
圖(3.91) (左)中增益模式(右)低增益功率線性度



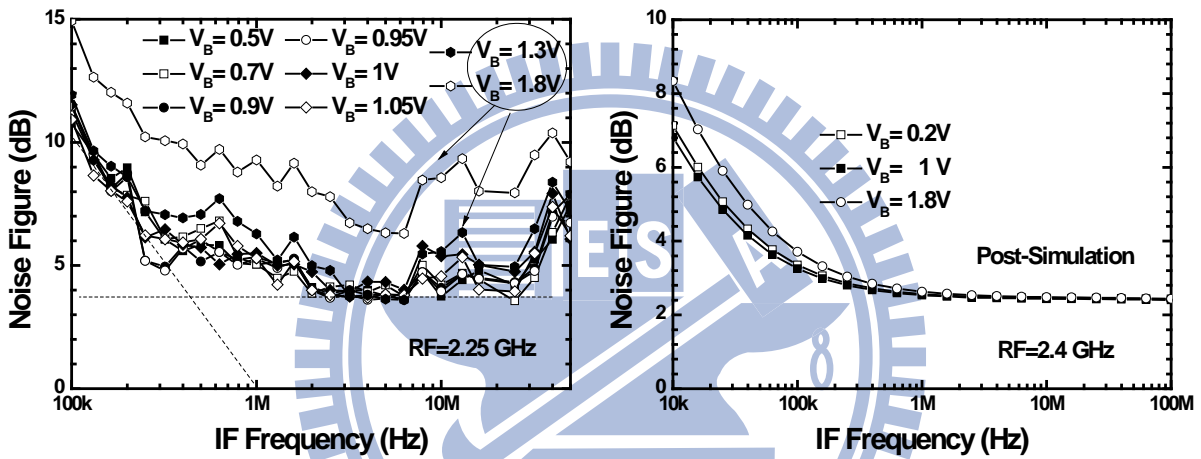
圖(3.92)轉換增益對中頻頻率(左)1M Ohm Load(右)50 Ohms Load



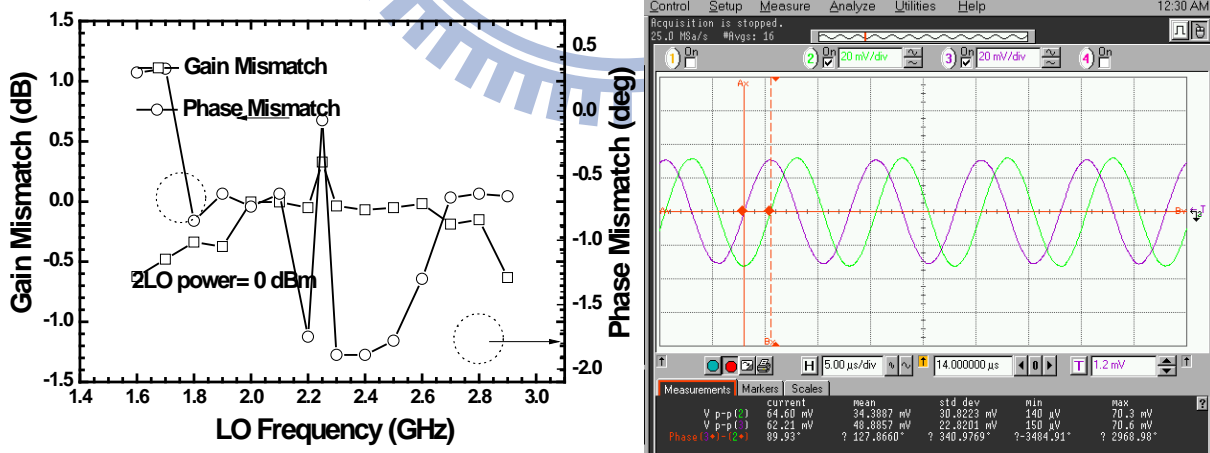
圖(3.93)(左)輸入返回損耗(右)線性度對轉換增益



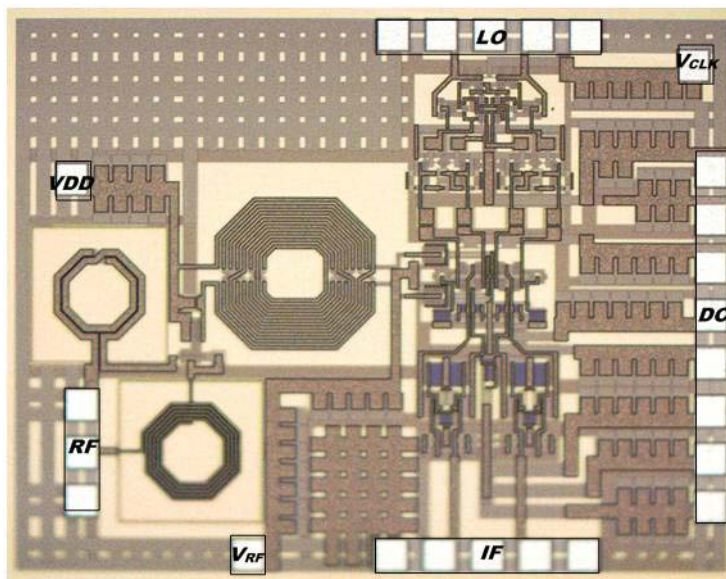
圖(3.94)(左)2LO 及(右)LO 埠對 IF、RF 隔離度



圖(3.95)接收機雜訊指數(左)量測(右)模擬圖



圖(3.96)(左)增益與相位不匹配(右)輸出波形(@2.25GHz)



圖(3.97)Die Photo ( 1.5 mm × 1.3 mm )

### 3.9.5 結果與討論

本電路採用 CMOS 0.18 $\mu$ m 製程，晶片照片如圖(3.97)所示：RF 埠採用 GSG pad，LO 和 IF 埠採用 GSGSG pad，DC 排針放在電路的上方，此晶片面積為 1.5 $\times$ 1.3mm<sup>2</sup>。

量測時電流分配如下：

Block	LNA	Mixer	Divider & Buffer	Bias Current	VGA	Total
Post Simulation	2	3.3	6.58	0.4	3.4	15.7
Measurement	2	3.6	11	0.4	3.8	20.8

由圖(3.95)可知，在正常抽電流的情況下，雜訊表現都差不多；在沒抽時候，Corner 跟 Noise Floor 都起來，一方面是增益變低且所有電流全流切換級的原因。而在量測時，緩衝器的所需電流變兩倍(4mA  $\rightarrow$  8mA)才有較好的增益。中頻頻寬變大是因在 Mixer 及 VGA 的電流放大，使各自負載可以變小。使用除頻器能使 LO 跟 RF 的隔離度變很好，因為 LO 埠進去的是 2LO 頻率所致。利用變壓器來達到單端轉

雙端，較有好的 IIP2，也跟混頻器操作電流加大有關。 整體特性如表3.9。

表3.9 使用除二除頻器之直接降頻具閃爍雜訊改進之接收機特性表

Item	Post Simulation	Measurement
Supply Voltage (V)	1.8	
Conversion Gain (dB)	48	43
RF Bandwidth (GHz)	2.1-2.4	2.1-2.4
IF Bandwidth (MHz) (50Ω Load)	63	45
NF (dB)	3.2 @ 100 kHz 2.45 (noise floor)	10.8 @ 100 kHz 3.7 (noise floor)
IP1dB @ Highest Gain (dBm)	-45	-40
IIP3 @ Highest Gain (dBm)	-34	-28
IIP2 @ Highest Gain (dBm)	-2	-2
LO-to-RF/IF Isolation (dB)	--	>98 / >60
2LO-toRF/IF Isolation (dB)	--	>80 / >30
Input Return Loss (dB)	<-10 (2.2GHz~2.8GHz)	N/A
Current Consumption (mA)	17	20
Power Consumption (mW)	24.6	36
IQ Imbalance (dB/deg)	0.024dB/0.186°	0.32dB/0.07°
Chip Size (mm×mm)	1.5 × 1.3	

表3.10 2.4-GHz 接收機文獻比較表

Ref.	Process	Voltage Supply (V)	P <sub>DC</sub> (mW)	Voltage Gain (dB)	NF (dB)	IIP3 (dBm)	IIP2 (dBm)	P <sub>1dB</sub> (dBm)	Image Rejection (dBc)	Area (mm <sup>2</sup> )	Architecture
[31]	0.18- $\mu$ m CMOS	1.8	9	30	N/A	-4	--	--	30	8.75	Low-IF
[32]	0.18- $\mu$ m CMOS	1.8-3.6	44	--	5.7	-16	27	--	36	3.8	Low-IF
[33]	0.18- $\mu$ m CMOS	1.8	16.2	90	8	-15	--	--	--	13.32	Low-IF***
[34]	0.18- $\mu$ m CMOS	1.8	6.3	40	7.3	-8	40	--	--	2	DCR
[35]	0.18- $\mu$ m CMOS	1.8	9	--	<10	-15	--	--	35	3.61	Low-IF
[36]	90-nm CMOS	1.2	3.6	75	12	-12.5	12	--	35	0.35	Low-IF
[37]	90-nm CMOS	1.35	8.1	**37	6	-12	--	--	32	0.07	Low-IF
[5]	0.18- $\mu$ m CMOS	1.2	1.4 (*2.6)	43	5	-37	--	--	--	2.8	DCR
[38]	90-nm CMOS	0.5	8.5	30	18	-22	--	-30	--	--	***Low-IF
[39]	0.13- $\mu$ m CMOS	1.2	3.3	47	28	-21	18	--	--	--	Low-IF
[40]	90-nm CMOS	0.6	32.5	67	16	-10.5	20	--	32	2.9	Low-IF
[41]	0.35- $\mu$ m CMOS	1	10	59	29	-18	--	--	28	5.4	Low-IF
[42]	45-nm CMOS	1.4	*27.3	32	3.4	>-9.5	51	--	--	--	DCR
實作一	0.18- $\mu$ m CMOS	1.8	9	60	6.2	-36	--	-60	--	1	DCR
實作五	0.18- $\mu$ m CMOS	1.8	36	43	3.7	-28	-2	-40	--	1.95	DCR

\*VCO power consumption included.

\*\* Conversion Gain from input power to output peak voltage.

\*\*\*The architecture of the radio is dual conversion.

# 第四章

## 結論



本論文第二章的部份，利用了 TSMC 0.18- $\mu\text{m}$  CMOS 製程實作與量測 2.4-GHz 及 5.8-GHz 具功率考量之低雜訊放大器。在 2.4-GHz 方面，依電流密度選取下，發現在低電流密度下，放大器有較好的特性，較不受變異影響，達到  $I = 2.5\text{mA}$ 、 $A_v = 30\text{dB}$ 、 $NF = 2.5\text{dB}$  的結果。在 5.8-GHz 方面，發現在所以電晶體選取不變下，加入外加電容後，其線性度會較差的結論，其增益與雜訊表現皆遜於 2.4-GHz 電路。在 TSMC 0.13- $\mu\text{m}$  CMOS 製程實作雙頻帶放大器中，利用雙變壓器元件能有雙頻帶效果並有減少面積之優點，但因輸入匹配及輸出匹配不夠的情況下，整體表現還算中等，但仍有改進之處。最後利用 TSMC 90-nm CMOS 的雙閘極技術之 60-GHz 放大器，因輸入電晶體佈局走線改變，使電容效應較原本預想的大，在最後量測中使  $S_{11}$  偏離  $50\Omega$ ，導致整體特性下降。但電感之間的耦合效應並沒有會讓電路往低頻中，在佈局上的距離還在可容許範圍

第三章的部份，先利用 TSMC 0.18- $\mu\text{m}$  CMOS 製程來實作適用於 2.4-GHz 接收機，利用低電流接近次臨界區操作主動混頻器及可調增益放大器下，達到  $I = 4.6\text{mA}$ 、 $CG = 60\text{dB}$ 、 $NF = 6.2\text{dB}$  等特性，但 Noise Floor 還是略高。在另一顆 5.8-GHz 電路中加以改良，在電流不變下，得到  $NF = 5.3\text{dB}$  的結果，在線性度不足的情況下，利用混頻器加入電感電容改善之。另一方面，把 LO generator 換成除頻器，觀察是否能改善顫動雜訊，實作結果並無改善，但得到輸出 I/Q 訊號較平衡。最後在先前實作中顫動雜訊斜率還在 1MHz 以上考慮下，利用抽電流的方式並把電流放大，確實得到較好的雜訊指數，並發現在無抽電流下 Corner 和 Noise Floor 都會升高的結論。

## 參考文獻

### 第一章：

- [1] 廖建興, "無線個人區域網路(WPAN)技術發展與應用概論," 中華民國電子零件認證委員會

### 第二章：

- [1] Xiaoyong Li, Sudip Shekhar, and David J. Allstot, "Gm-Boosted Common-Gate LNA and Differential Colpitts VCO/QVCO in 0.18- $\mu$ m CMOS" *IEEE J.Solid-State Circuits*, vol. 40, no. 6, pp.2609-2619, Dec 2005
- [2] Michael T. Reiha, and John R. Long , "A 1.2 V Reactive-Feedback 3.1–10.6 GHz Low-Noise Amplifier in 0.13  $\mu$ m CMOS" *IEEE J.Solid-State Circuits*, vol.42, pp. 1023-1033, May, 2007.
- [3] Aaron V. Do, Chirn Chye Boon, Manh Anh Do, Kiat Seng Yeo, and Alper Cabuk, "A Subthreshold Low-Noise Amplifier Optimized for Ultra-Low-Power Applications in the ISM Band" *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 2, Feb 2008.
- [4] D. Linten, L. Aspemyr, W. Jeamsaksiri, J. Ramos, A. Mercha, S. Jenei, S. Thijs, R. Garcia, H. Jacobsson, P. Wambacq, S. Donnay and S. Decoutere, "Low-power 5 GHz LNA and VCO in 90 nm RF CMOS," *IEEE Symp. VLSI Circuits Tech. Dig.*, pp. 372–375, Jun. 2004.
- [5] D. Wu and et al., "A 0.4-V low noise amplifier using forward body bias technology for 5 GHz application," *IEEE Microwave and Wireless Components Chapters*, vol. 17, no. 7, pp. 543-545, July 2007.
- [6] C-Y Cha and S-G Lee, "A 5.2-GHz LNA in 0.35- $\mu$ m CMOS utilizing inter-stage series resonance and optimizing the substrate resistance" *IEEE J.Solid-State Circuits*, vol.42, pp. 1023-1033, May, 2007.
- [7] S.B.T. Wang, A.M. Niknejad, and R.W. Brodersen, "A sub-mW 960-MHz ultra-wideband CMOS LNA," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 35-38, June 2005.
- [8] K. -H. To, Y. -B. Park, R. Thoma, W. Brown, and M. W. Huang, "High frequency noise characteristics of RF MOSFETs in subthreshold region," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium Dig*, 2003, pp. 163–166.



- [9] Hanil Lee and Saeed Mohammadi, "A 3GHz Subthreshold CMOS Low Noise Amplifier," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, June 2006.
- [10] T. K. Nguyen, C. H. Kim, G. J. Ihm, M. S. Yang, and S. G. Lee, "CMOS low-noise amplifier design optimization techniques", *IEEE Trans. Microw. Theory Tech.*, vol. 52, no. 5, May 2004.
- [11] M. T. Yang and et al., "CR018 Wideband Noise Model for AMS/RF CMOS Simulation ," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, July 2007.
- [12] H. W. Chiu, S. S. Lu, and Y. S. Lin, "A 2.17-dB NF 5-GHz-Band Monolithic CMOS LNA With 10-mW DC Power Consumption," *IEEE Trans. Microwave Theory Tech.*, vol. 53, pp. 813-824, March 2005.
- [13] M. E. Kaamouchi and D. Vanhoenaker-Janvier, "A 2.4-GHz Fully Integrated ESD-Protected Low-Noise Amplifier in 130-nm, PD SOI CMOS Technology" , *IEEE Trans. Microwave Theory Tech.*, vol. 55, pp. 2822-2830, Dec 2007.
- [14] C. P. Chang and Y.H Wang, "A High Gain and Low Supply Voltage LNA for the Direct Conversion Application With 4-KV HBM ESD Protection in 90-nm RF CMOS," *IEEE Microw. Wireless Compon. Lett.*, vol. 16, no. 11, pp. 612–614, Nov 2009.
- [15] Georgios Vitzilaios, Yannis Papananos, and Gerasimos Theodoratos, "A 1-V 5-GHz CMOS Multiple Magnetic Feedback Receiver Front-End", *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 6, June 2008.
- [16] David J. Cassan and John R. Long, "A 1-V Transformer-Feedback Low-Noise Amplifier for 5-GHz Wireless LAN in 0.18-um CMOS," *IEEE J. of Solid-State Circuits* ,vol. 38, no. 3, pp. 427-435, March 2003.
- [17] Choong-Yul Cha and Sang-Gug Lee, "A 5.2-GHz LNA in 0.35-um CMOS Utilizing Inter-Stage Series Resonance and Optimizing the Substrate Resistance," *IEEE J. Solid-State Circuits*, vol. 38, no.4 , pp. 669–672, April 2003.
- [18] S. Asgaran, M. J. Deen and C. H. Chen, "A 4-mW Monolithic CMOS LNA at 5.7 GHz With the Gate Resistance Used for Input Matching," *IEEE Microw. Wireless Compon. Lett.*, vol. 16, no. 4, pp.188–190, April 2006.
- [19] Tadashi Maeda and Hikaru Hida, "A Low-Power Dual-Band Triple-Mode WLAN CMOS Transceiver," " *IEEE J. of Solid-State Circuits* ,vol. 41, no. 11, pp. 2481-2489, Nov 2006.
- [20] L. H. Lu, H. H. Hsieh, and Y. S. Wang, "A compact 2.4/5.2-GHz CMOS dual-band low-noise amplifier," *Microwave and Wireless Components Letters*, Vol. 15, pp. 685-687, Oct. 2005.
- [21] Hossein Hashemi, and Ali Hajimiri, "Concurrent Multiband Low-Noise

Amplifiers—Theory, Design, and Applications” *IEEE Trans. Microw. Theory Tech.*, vol. 50, no. 1, Jan 2002.

- [22] M.A. Martins, J.R. Fernandes and M.M Silva., “Techniques for Dual-Band LNA Design using Cascode Switching and Inductor Magnetic Coupling”, *IEEE ISCAS*, pp. 1449-1452, 2007.
- [23] B. Heydari, P. Reynaert, E. Adabi, M. Bohsali, B. Afshar, M. A. Arbabian and A. M. Niknejad, “A 60-GHz 90-nm CMOS cascode amplifier with interstage matching,” *Microwave Integrated Circuit Conference*, 2007. EuMIC 2007. European
- [24] Terry Yao, Michael Q. Gordon and Sorin P. Voinigescu, “Algorithmic Design of CMOS LNAs and PAs for 60-GHz Radio,” *IEEE J. Solid-State Circuits*, vol.42, NO. 5, pp. 1044-1057, May. 2007.

### 第三章：

- [1] M. T. Terrovitis, and R. G. Meyer, “Noise in Current-Commutating CMOS Mixers,” *IEEE J. Solid-State Circuits*, vol. 34, no. 6, pp. 772-783, Jun. 1999.
- [2] D. Manstretta, M. Brandolini, and F. Sevlto, “Second-order intermodulation mechanisms in CMOS downconverters,” *IEEE J. Solid-State Circuits*, vol. 38, no. 3, pp. 394-406, Mar. 2003.
- [3] E. A. M. Klumperink, S. M. Louwsma, G. J. M. Wienk and B. Nauta, “A CMOS switched transconductor mixer,” *IEEE J. Solid-State Circuits*, vol. 39, pp. 1331-1340, Mar. 2004.
- [4] 陸熙良, “2.4-GHz低功率接收機與應用於60-GHz發射機之CMOS電路,” 國立交通大學碩士論文, 2009.
- [5] B. G. Perumana, R. Mukhopadhyay, S. Chakraborty, C.H. Lee, and J. Laskar, “A Low-Power Fully Monolithic Subthreshold CMOS Receiver With Integrated LO Generation for 2.4 GHz Wireless PAN Applications,” *IEEE J. Solid-State Circuits*, vol. 43, no. 10, pp. 2229–2238, Oct. 2008.
- [6] C.-W. Kim and S.-G. Lee, “A 5.25-GHz image rejection RF front-End Receiver With Polyphase filters,” *IEEE Journal of Solid-State Circuits*, vol. 16, pp. 302 – 304, May 2006
- [7] C.-Y. Wu and C.-Y. Chou, “A 5-GHz CMOS double-quadrature receiver front-end with single-stage quadrature generator,” *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 519 – 521, March 2004.
- [8] H. C. Chen and S. S. Lu, “0.5-V 5.6-GHz CMOS Receiver Subsystem”, *IEEE Trans. Microwave Theory Tech.*, vol. 57, pp. 329-335, Dec 2009.
- [9] H. C. Chen and S. S. Lu, “A 5–6 GHz 1-V CMOS Direct-Conversion Receiver With an Integrated Quadrature Coupler,” *IEEE Journal of Solid-State Circuits*, vol. 42, pp.

1963 – 1976, Sep, 2007

- [10] M. Krcmar, V. Subramanian and G. Boeck, “High performance CMOS receiver for local positioning systems ,” *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp.131-134, 2009.
- [11] M. Valla et al., “A 72-mW CMOS 802.11a Direct Conversion Front-End With 3.5-dB NF and 200-kHz 1/f Noise Corner,” *IEEE Journal of Solid-state Circuits*, vol. 40, no: 4, pp. 970-977, April ,2005.
- [12] B. Shi, M. Yab, W. Chia, “An Ultra-Wideband CMOS Receiver Front-End,” in *Proc. EuMC Conference*, pp. 1042-1045, October 2007.
- [13] M. W. Hwang, S. Y. Yoo, J. C. Lee, J. Lee and G. H. Cho, “A High IIP2 Direct-Conversion Mixer Using an Even-Harmonic Reduction Technique for Cellular CDMA/PCS/GPS Applications,” *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 35-38, June 2004.
- [14] E. E. Bautista, B. Bastani, J. Heck, “A High IIP2 Downconversion Mixer Using Dynamic Matching,” *IEEE Journal of Solid-State Circuits*, vol. 35, No.12, pp. 1934-1941, Dec., 2000.
- [15] H. Wang, et al., “A 1.8V 3mW 16.8GHz Frequency Divider in 0.25  $\mu$  m CMOS.” *ISSCC digest of technical papers*, pp. 196-197, Feb. 2000
- [16] P. Andreani and X.Wang, “On the phase-noise and phase-error performances of multiphase LC CMOS VCOs,” *IEEE J. Solid-State Circuits*, vol. 39, no. 11, pp. 1883–1893, Nov. 2004.
- [17] P. Andreani, A. Bonfanti, L. Ramano, and C. Samori, “Analysis and design of a 1.8-GHz CMOS LC quadrature VCO,” *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1737–11747, Dec. 2002.
- [18] S. L. J. Gierkink, S. Levantino, R. C. Frye, C. Samori, and V. Bocuzzi, “A low-phase-noise 5-GHz CMOS quadrature VCO using superharmonic coupling,” *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1148–1154, Jul. 2003.
- [19] C.-Y. Chi, and G. M. Rebeiz, “Design of Lange-couplers and single-sideband mixers using micromachining techniques,” *IEEE Trans. Microw. Theory Tech.*, vol. 45, no. 2, pp. 291-294, Feb. 1997.
- [20] R. C. Frye, S. Kapur, and R. C. Melville, “A 2-GHz quadrature hybrid implemented in CMOS technology,” *IEEE J. Solid-State Circuits*, vol. 38, no. 3, pp. 550-555, Mar. 2003.
- [21] H.-C. Chen, T. Wang, S.-S. Lu, and G.-W. Huang, “A monolithic 5.9-GHz CMOS I/Q direct-down converter utilizing a quadrature coupler and transformer-coupled subharmonic mixers,” *IEEE Microw. Wireless Compon. Lett.*, vol. 16, no. 4, pp. 197–199, Apr. 2006.

- [22] J. D. van der Tang, D. Kasperkovitz, and A. van Roermund, "A 9.8-11.5-GHz quadrature ring oscillator for optical receivers," *IEEE J. Solid-State Circuits*, vol. 37, no. 3, pp. 438-442, Mar. 2002.
- [23] Z. Zhang, Z. Chen, L. Tsui and J. Lau, "A 930 MHz CMOS DC-offset-free direct-conversion 4-FSK receiver," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2001, pp.290-291.
- [24] A. A. Abidi, "Phase Noise and Jitter in CMOS Ring Oscillators," *IEEE J. Solid-State Circuits*, vol. 41, no. 8, pp. 1803-1816, Aug. 2006.
- [25] F. Behbahani, Y. Kishigami, J. Leete, and A. A. Abidi, "CMOS mixers and polyphase filters for large image rejection," *IEEE J. Solid-State Circuits*, vol. 36, no. 6, pp. 873-887, Jun. 2001.
- [26] D. I. Sanderson, R. M. Svitek, and S. Raman, "A 5-6-GHz polyphase filter with tunable I/Q phase balance," *IEEE Microw. Wireless Compon. Lett.*, vol. 14, no. 7, pp. 364-366, Jul. 2004.
- [27] 張宇文, "高速除頻電路與正交相位振盪器之設計," 國立交通大學碩士論文, 2005.
- [28] H. Darabi and A. A. Abidi, "Noise in RF-CMOS mixers: A simple physical model," *IEEE J. Solid-State Circuits*, vol. 35, pp. 15-25, Jan. 2000.
- [29] H. Darabi, "A Noise Cancellation Technique in Active RF-CMOS Mixers," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2628-2632, Dec. 2005.
- [30] B. Razavi and R. H. Yan, "Design of High-Speed, Low-Power Frequency Dividers and Phase-Locked Loops in Deep Submicron CMOS," *IEEE J. Solid-State Circuits*, vol.30, NO. 2, pp. 101-109, Feb. 1995.
- [31] P. Choi, H. C. Park, S. Kim, S. Park, I. Nam, T. W. Kim, S. Park, S. Shin, M. S. Kim, K. Kang, Y. Ku, H. Choi, S. M. Park, and K. Lee, "An Experimental Coin-Sized Radio for Extremely Low-Power WPAN (IEEE 802.15.4) Application at 2.4 GHz," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2258-2268, Dec. 2003.
- [32] W. Kluge, F. Poegel, H. Roller, M. Lange, T. Ferchland, L. Dathe, and D. Eggert, "A Fully Integrated 2.4GHz IEEE 802.15.4 Compliant Transceiver for ZigBee Applications," *ISSCC Dig. Tech. Papers*, pp. 372-373, Feb. 2006.
- [33] I. Kwon, Y. Eo, S.-S. Song, K. Choi, H. Lee, and K. Lee, "A fully integrated 2.4-GHz CMOS RF transceiver for IEEE 802.15.4," in *IEEE Radio Freq. Integrated Circuits Symp. Dig.*, San Francisco, CA, Jun. 2006, pp. 275-278.
- [34] T.-K. Nguyen, V. Krizhanovskii, J. Lee, S.-K. Han, S.-G. Lee, N.-S. Kim, and C.-S. Pyo, "A low-power RF direct-conversion receiver/transmitter for 2.4-GHz-band IEEE 802.15.4 standard in 0.18- $\mu$ m CMOS technology," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 12, pp. 4062-4071, Dec. 2006.
- [35] I. Nam, K. Choi, J. Lee, H.-K. Cha, B.-I. Seo, K. Kwon, and K. Lee, "A 2.4 GHz

- low-power low-IF receiver and direct-conversion transmitter in 0.18- $\mu\text{m}$  CMOS for IEEE 802.15.4 WPAN applications,” *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 4, pp. 682–689, Apr. 2007.
- [36] A. Liscidini, M. Tedeschi, and R. Castello, “A 2.4 GHz 3.6mW 0.35mm<sup>2</sup> Quadrature Front-End RX for ZigBee and WPAN Applications,” *ISSCC Dig. Tech. Papers*, pp. 370-371, 2008.
- [37] M. Camus, B. Butaye, L. Garcia, M. Sie, B. Pellat, and T. Parra, “A 5.4 mW/0.07 mm<sup>2</sup> 2.4 GHz Front-End Receiver in 90 nm CMOS for IEEE 802.15.4 WPAN Standard,” *IEEE J. Solid-State Circuits*, vol. 43, no. 6, pp. 1372–1383, June. 2008.
- [38] N. Stanic and et al., “A 2.4-GHz ISM-band sliding-IF receiver with a 0.5-V supply,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 5, pp. 1138-1145, May 2008
- [39] J. A. M. Järvinen, J. Kaukokuori, J. Ryyänen, J. Jussila, K. Kivekäs, M. Honkanen, and K. A. I. Halonen, “2.4-GHz Receiver for Sensor Applications,” *IEEE Journal of Solid-state Circuits*, vol. 40, no. 7, pp.1426- 1433, July, 2005.
- [40] M. Camus, B. Butaye, L. Garcia, M. Sie, B. Pellat, and T. Parra, “A 0.6-V Zero-IF/Low-IF Receiver With Integrated Fractional-N Synthesizer for 2.4-GHz ISM-Band Applications,” *IEEE J. Solid-State Circuits*, vol. 43, no. 6, pp. 1372–1383, June. 2008.
- [41] V. Cheung and H. Luong, “A 1 V 10-mW monolithic Bluetooth receiver in a 0.35  $\mu\text{m}$  CMOS process,” in *Proc. Eur. Solid-State Circuits Conf. (ESSCIRC)*, Sep. 2003, pp. 687–690.
- [42] N. K. Yanduru, D. Griffith, K-M Low and P.T. Balara, “RF Receiver Front-End with +3dBm out-of-band IIP3 and 3.4dB NF in 45nm CMOS for 3G and beyond,” *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 35-38, June 2005.

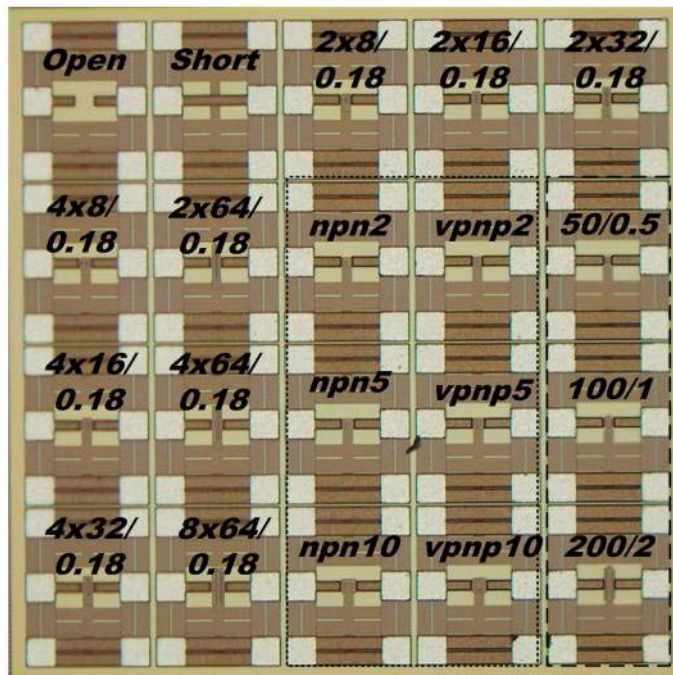
# 附錄一

## 電晶體元件量測結果



### A1.1 電路設計

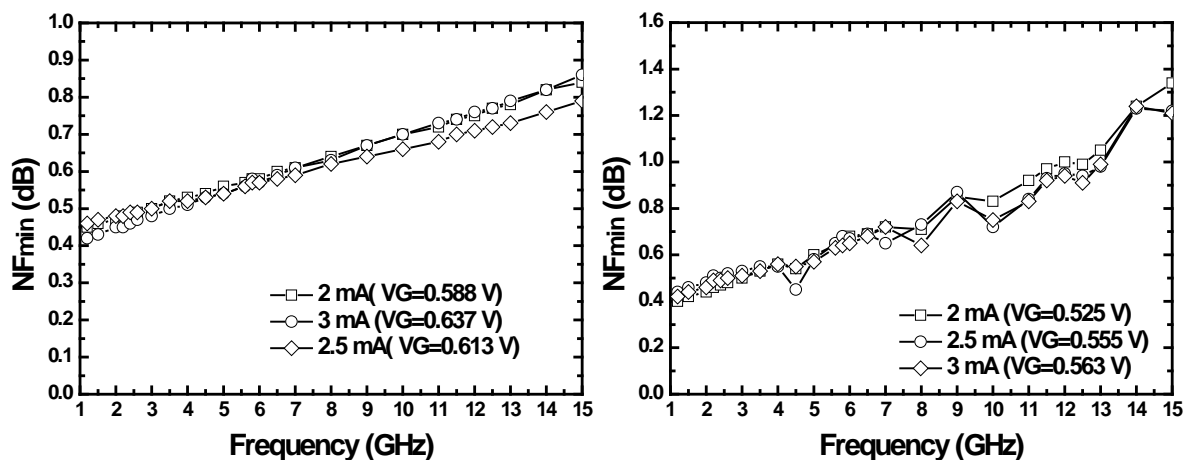
本測試鍵主要針對 MOS 的雜訊特性(分為 RF 和 Logic[粗虛線])及 BJT[細虛線]本身能達到的 Noise Corner 和高頻特性做驗證。



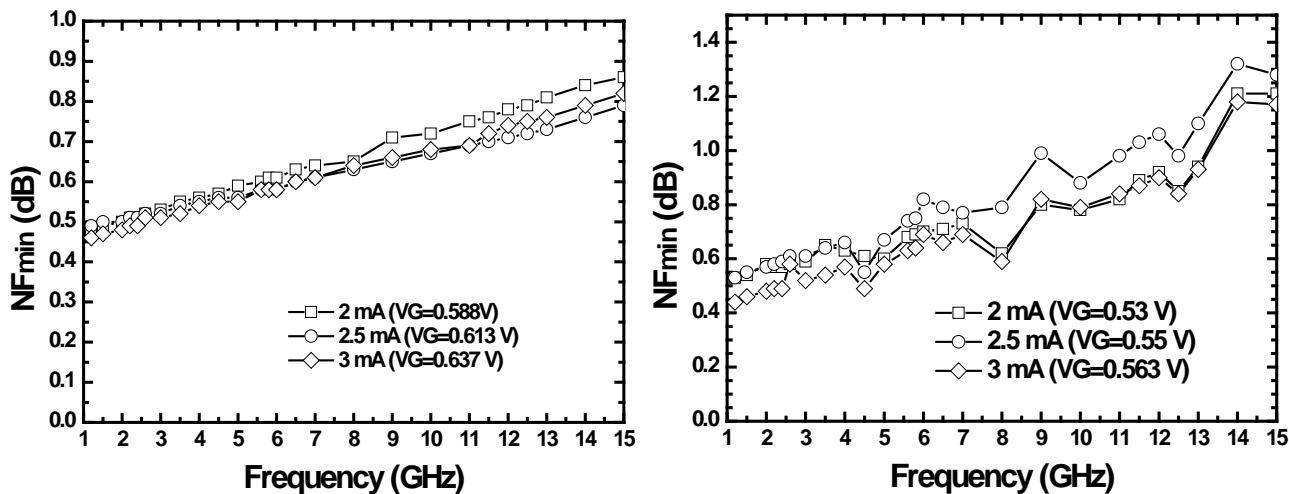
圖(A1.1) Die Photo (1 mm × 1 mm)

### A1.2 量測結果

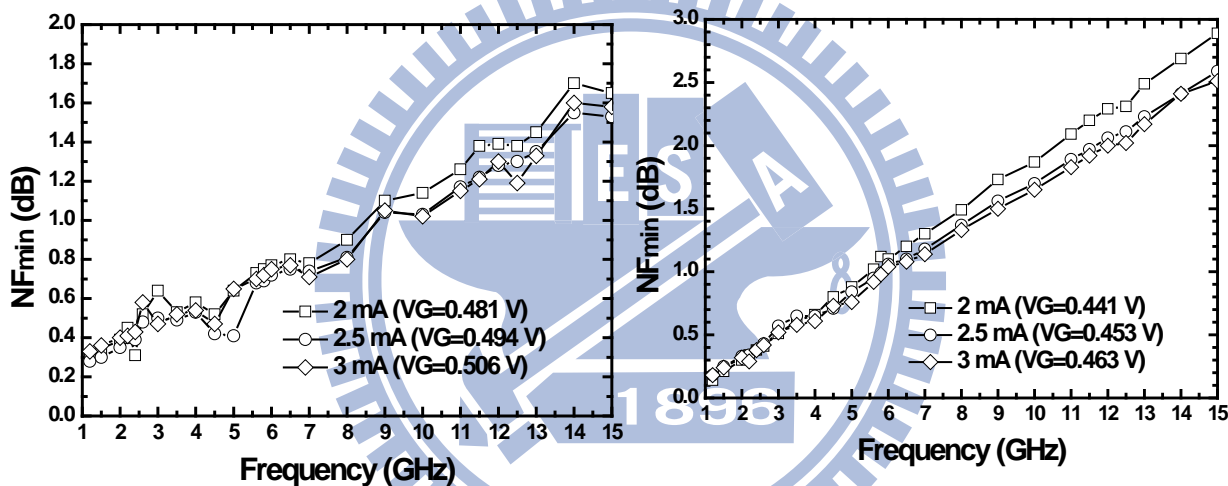
(1) RF-MOS  $NF_{min}$



圖(A1.2) (左)2x32 (右)2x64 的最低雜訊

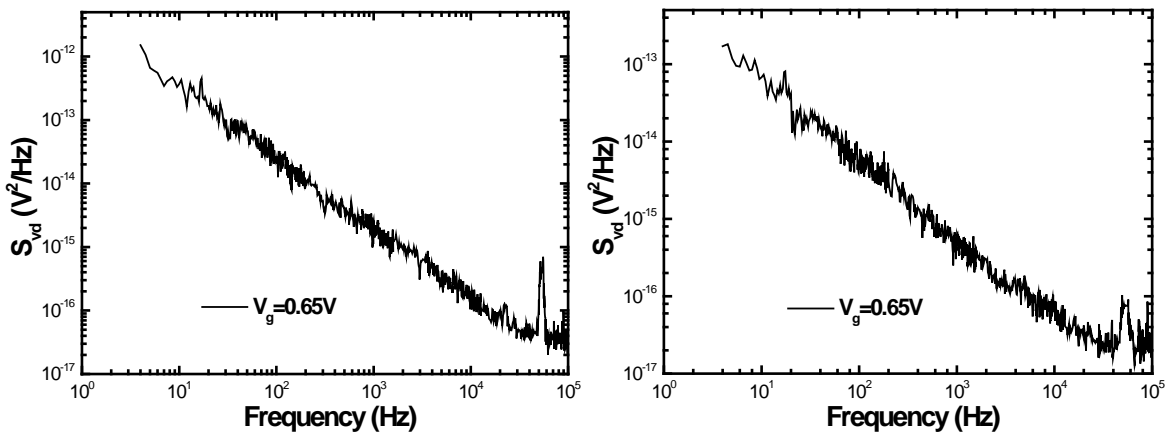


圖(A1.3) (左)4x16 (右)4x32 的最低雜訊



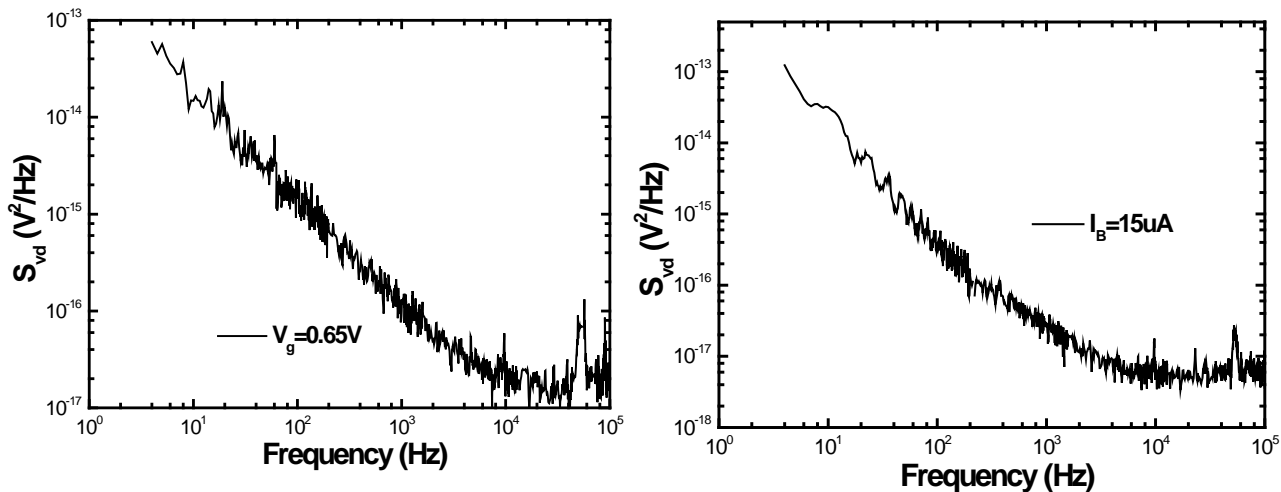
圖(A1.4) (左)4x64 (右)8x64 的最低雜訊

(2) Logic-MOS & BJT Noise

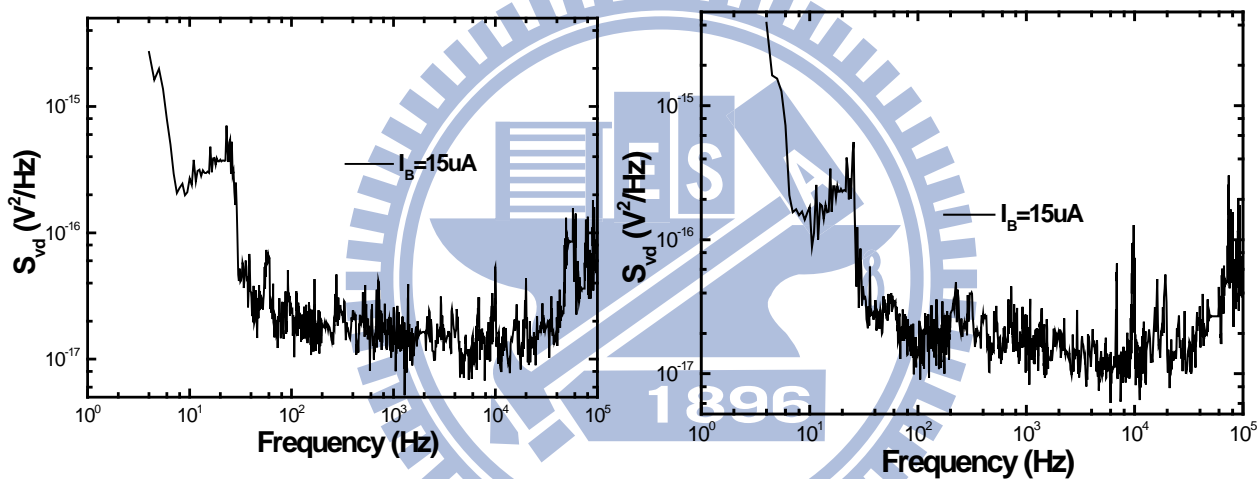


圖(A1.5) (左)50/0.5 (右)100/1 雜訊分布圖



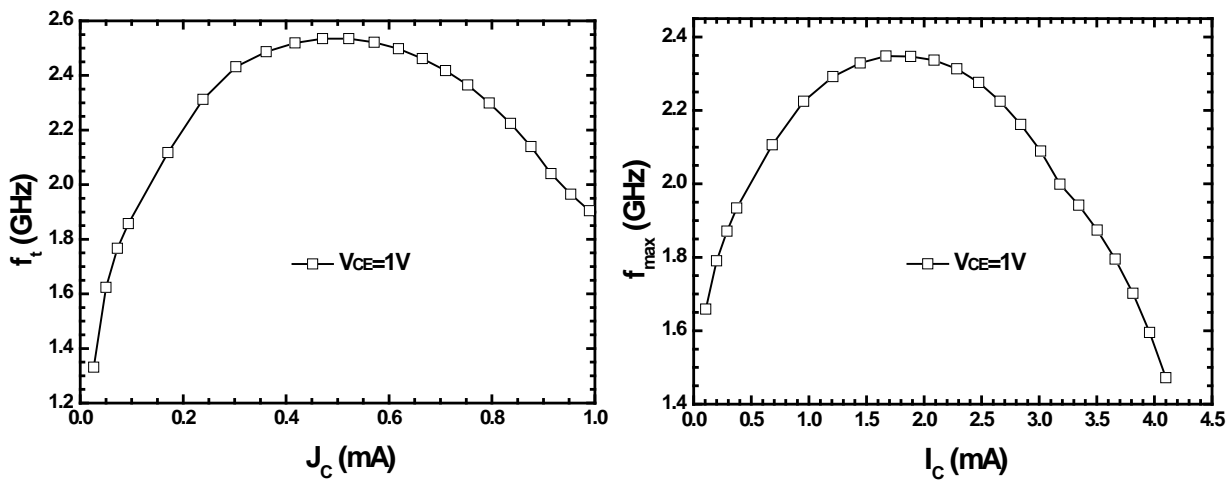


圖(A1.6) (左)200/2 (右)NPN2 雜訊分布圖

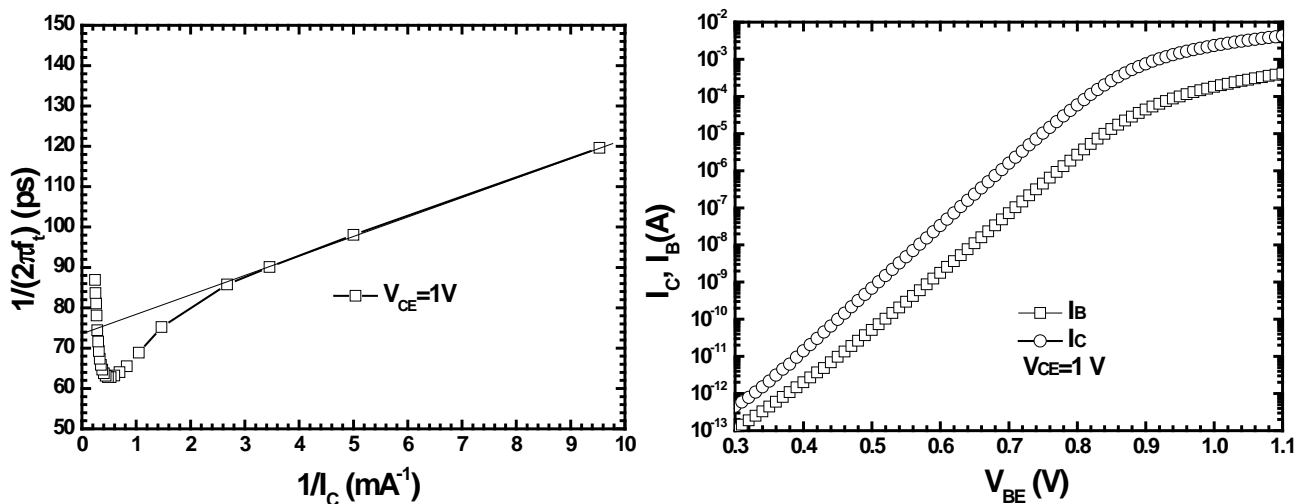


圖(A1.7) (左)NPN5 (右)NPN10 雜訊分布圖

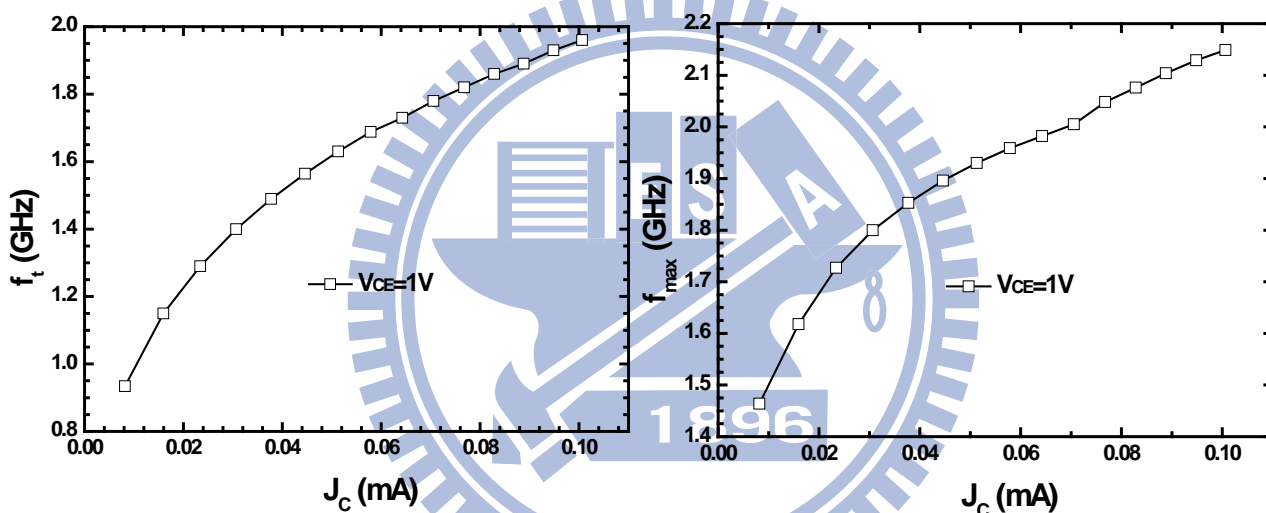
(3) BJT



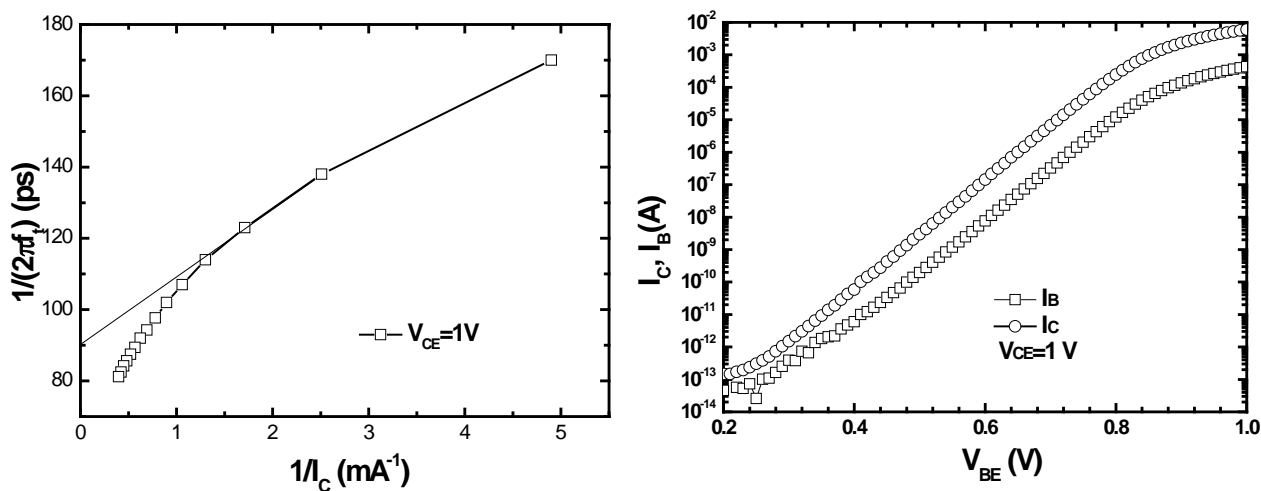
圖(A1.8) NPN2(左)  $f_t$ (右)  $f_{max}$



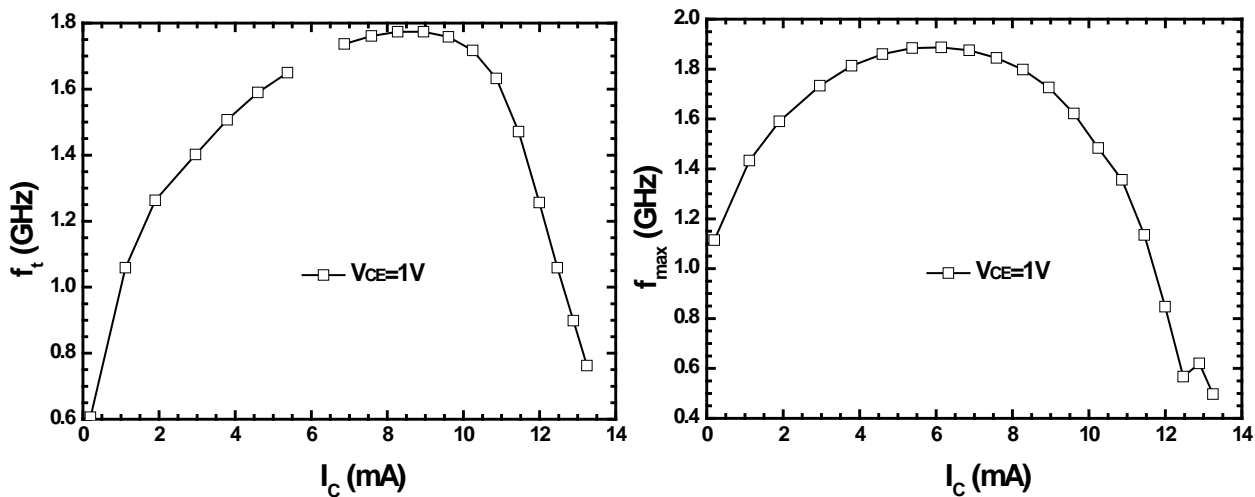
圖(A1.9) NPN2(左) $f_t$ (右)Gummel



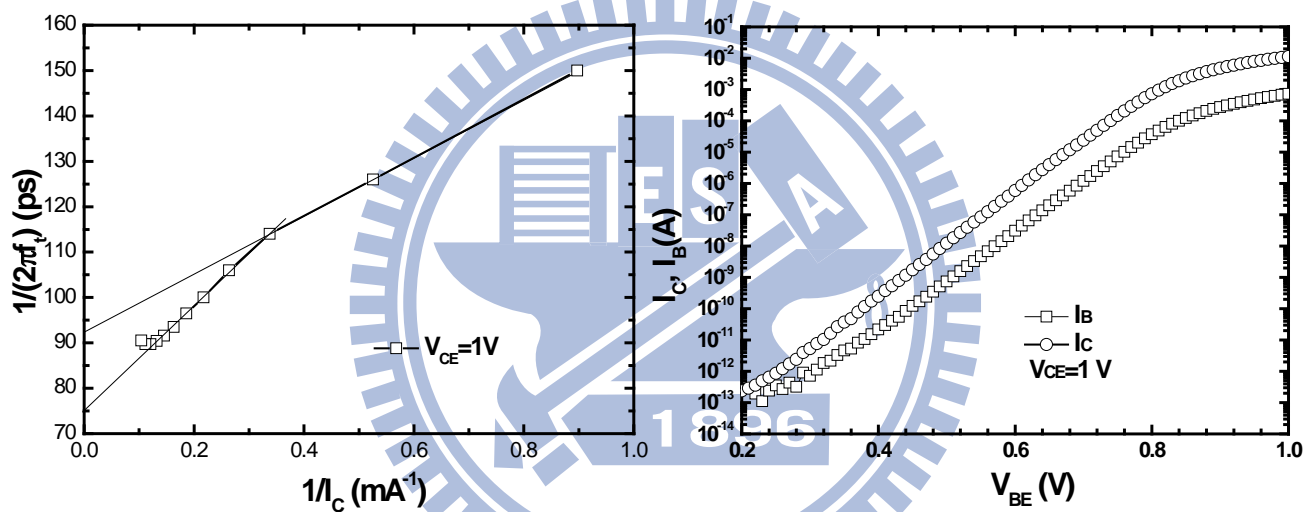
圖(A1.10) NPN5(左) $f_t$ (右) $f_{max}$



圖(A1.11) NPN5(左) $f_t$ (右)Gummel



圖(A1.12) NPN10(左)  $f_t$ (右)  $f_{max}$



圖(A1.13) NPN10(左)  $t_f$ (右) Gummel

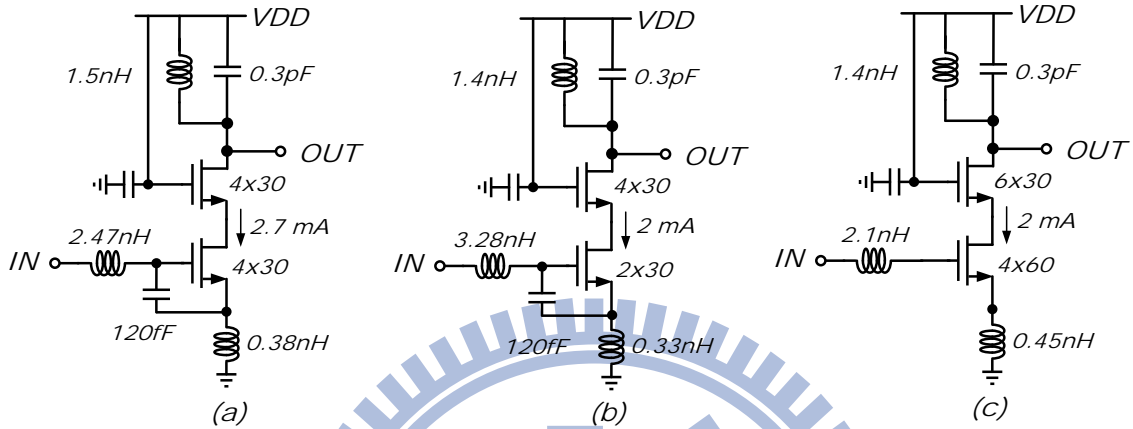
# 附錄二

5.8-GHz 低雜訊放大器



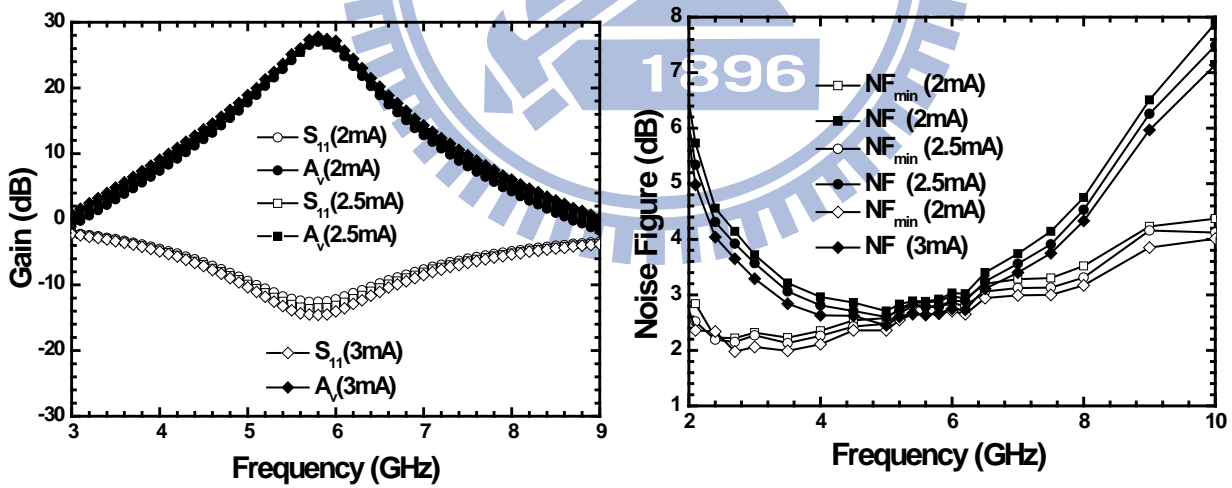
### A2.1 電路設計

本電路與 2.6 實作二相似，在輸出電容固定下，改變其他尺寸，比較各自特性。

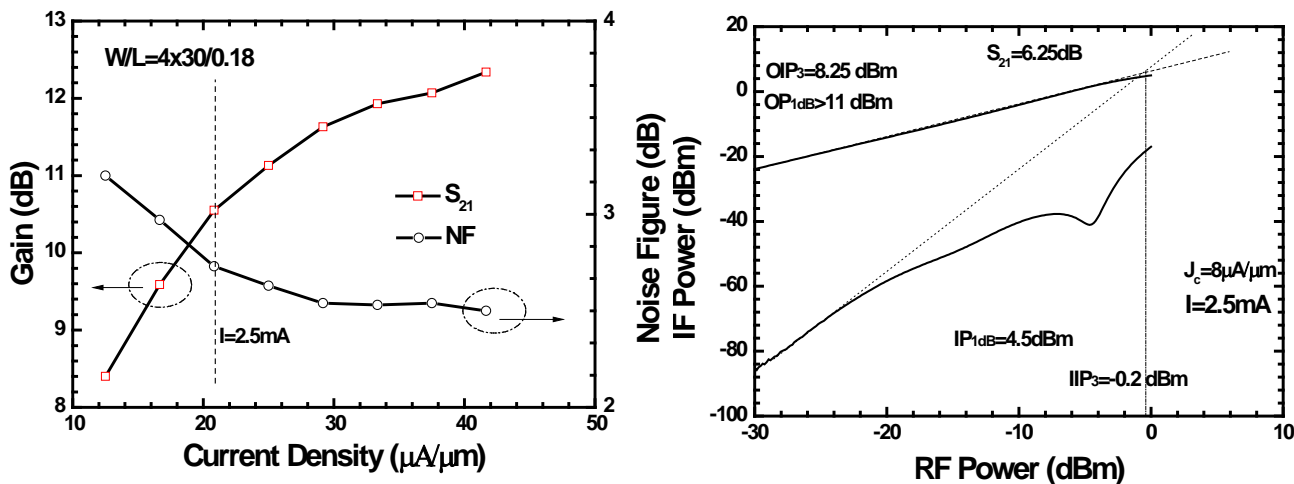


表(A2.1) 低雜訊放大器電路圖

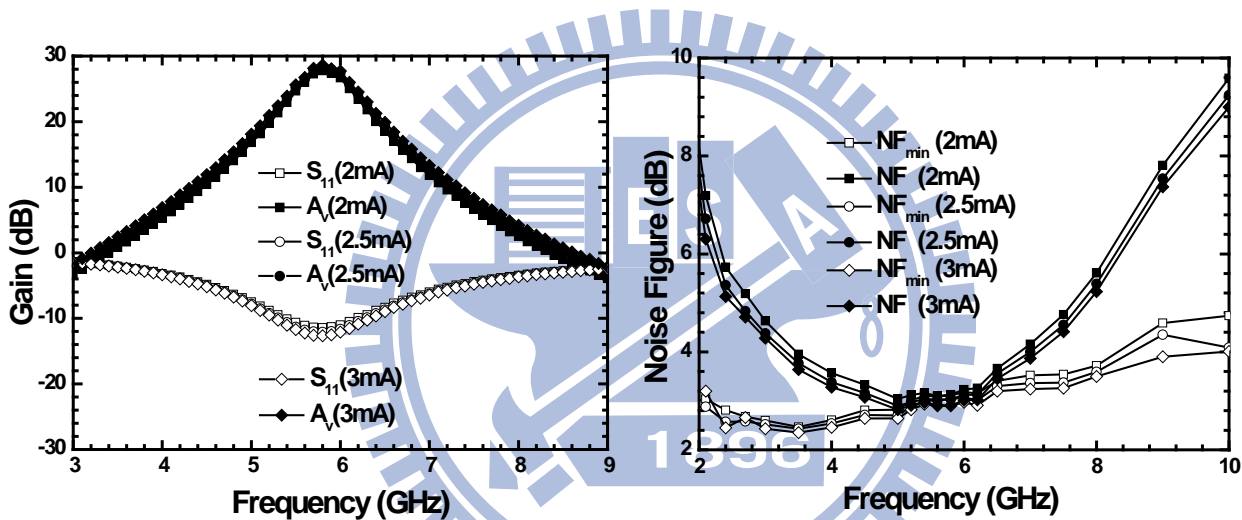
### A2.2 晶片量測結果



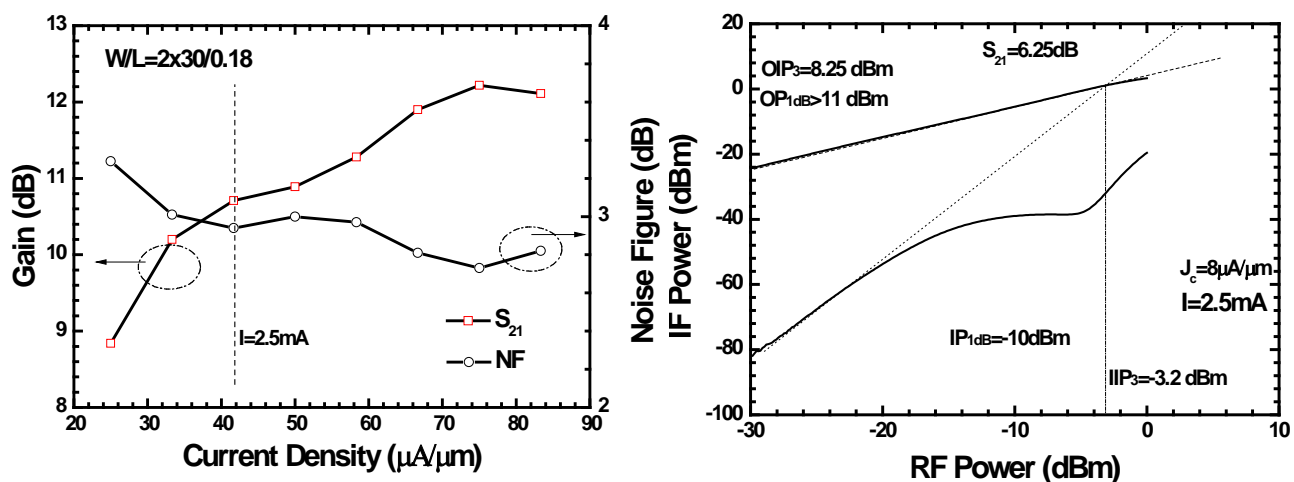
表(A2.2) A-電路之(左)S 參數(右)雜訊指數量測圖



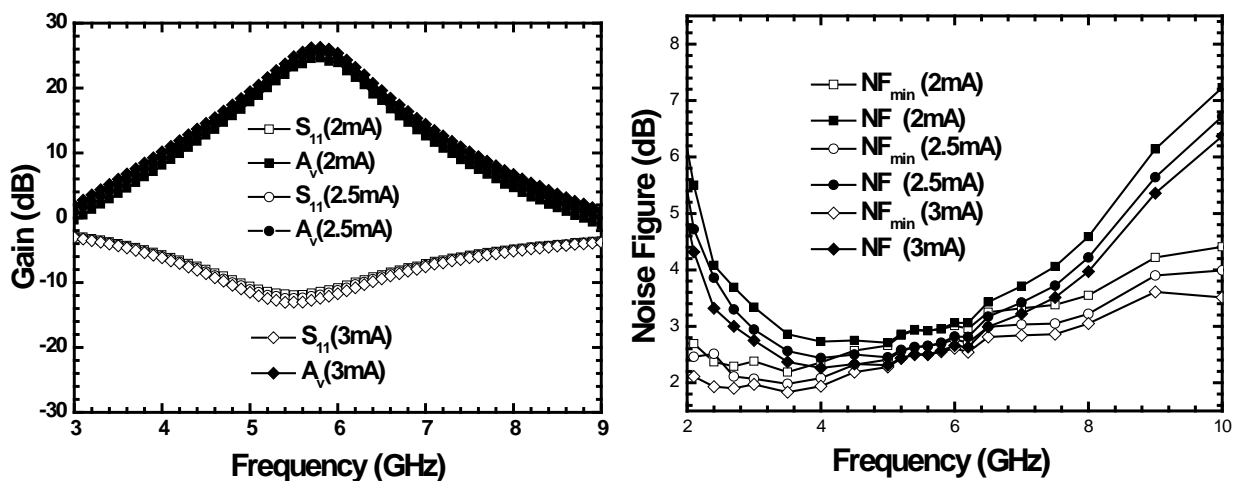
表(A2.3) A-電路之(左)增益雜訊(右)功率線性度量測圖



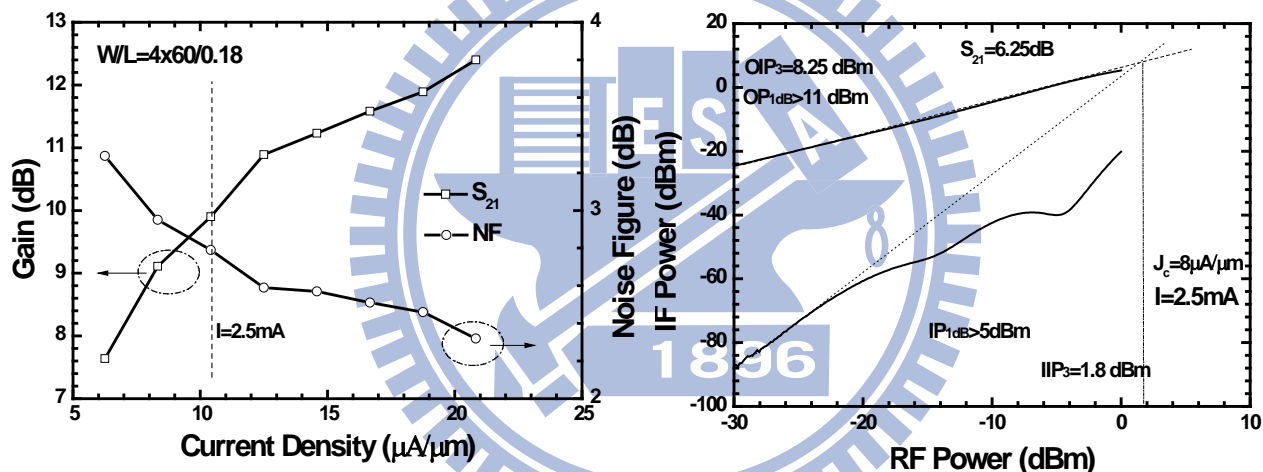
表(A2.4) B-電路之(左)S參數(右)雜訊指數量測圖



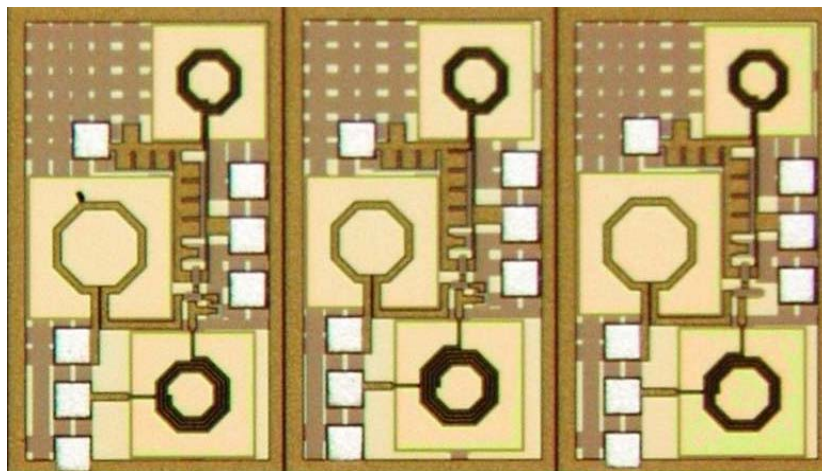
表(A2.5) B-電路之(左)增益雜訊(右)功率線性度量測圖



表(A2.6) C-電路之(左)S參數(右)雜訊指數量測圖



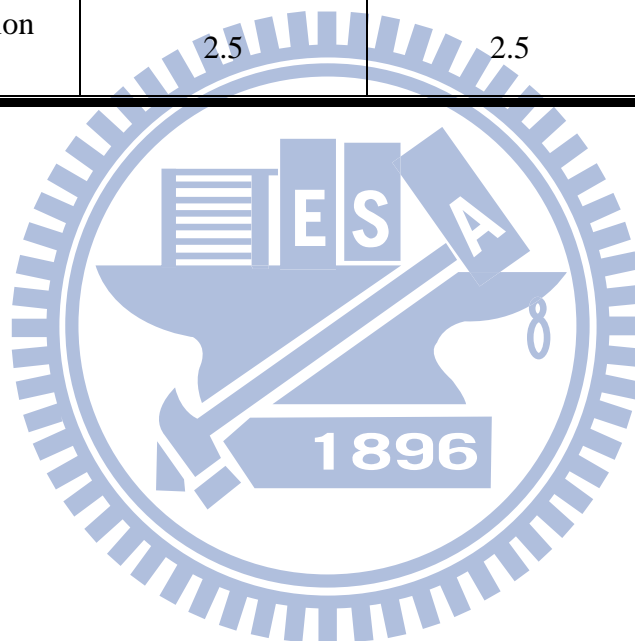
表(A2.7) C-電路之(左)增益雜訊(右)功率線性度量測圖



表(A2.8) Die Photo

表(A2.1) 5.8-GHz 放大器量測比較表

Chip Number	A	B	C
Supply Voltage (V)	1.8		
Voltage Gain (dB)	26 @ 6G	25.7	25.6
Noise Figure (dB)	2.8	2.7	2.71
IIP3 (dBm)	0.3	0	2
IP1dB (dBm)			
Input Return Loss (dB)	<-10 (5.1GHz~6.5GHz)	<-10 (5.3GHz~6.3GHz)	<-10 (4.8GHz~6.3GHz)
Power Consumption (mW)	4.4	4.4	4.4
Current Consumption (mA)	2.5	2.5	2.5





# 附錄三

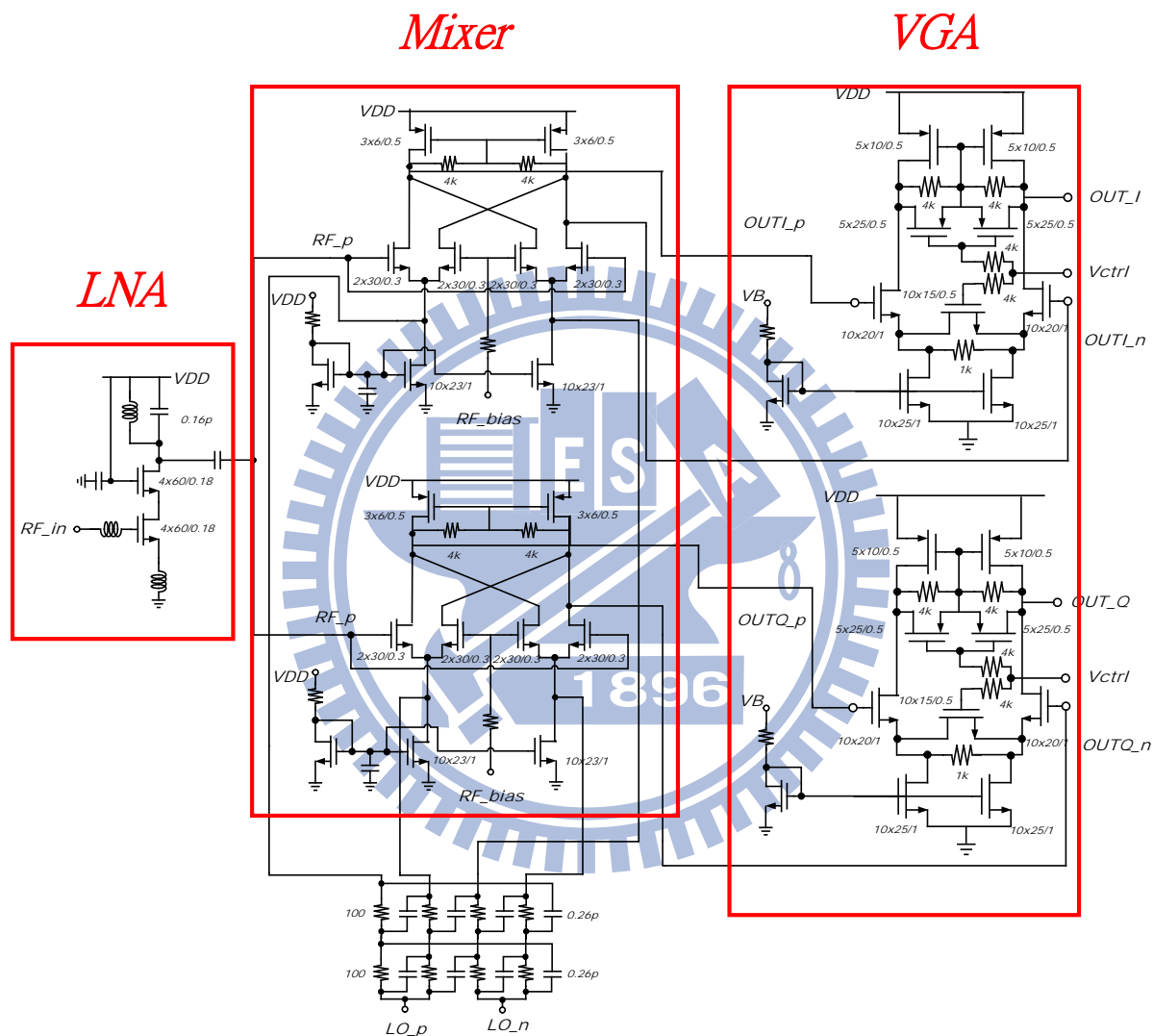
## 5.8-GHz 低功率低雜訊接收機



### A3.1 電路設計

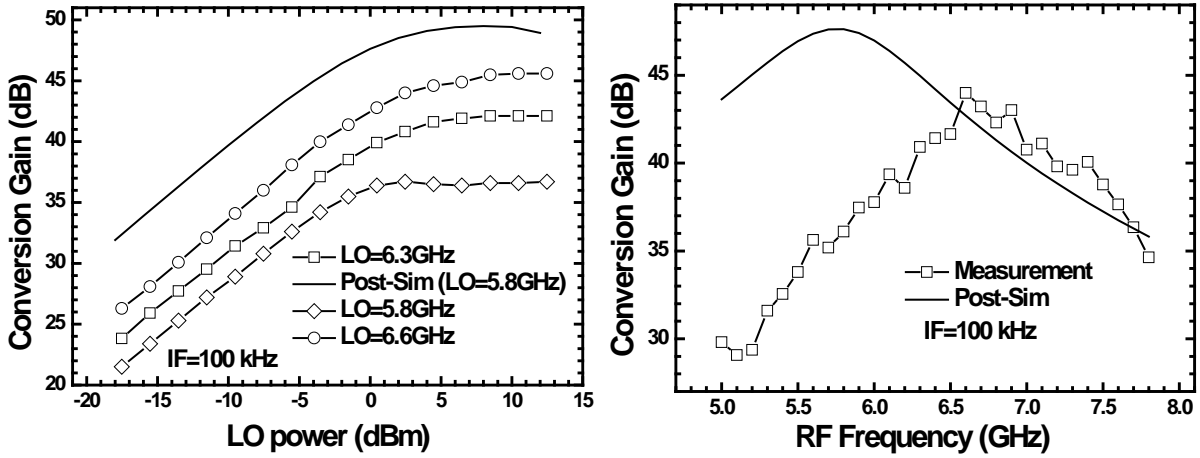
本電路與 3.6 實作二相似，只是前端放大器只使用一級且無調增益功

用。

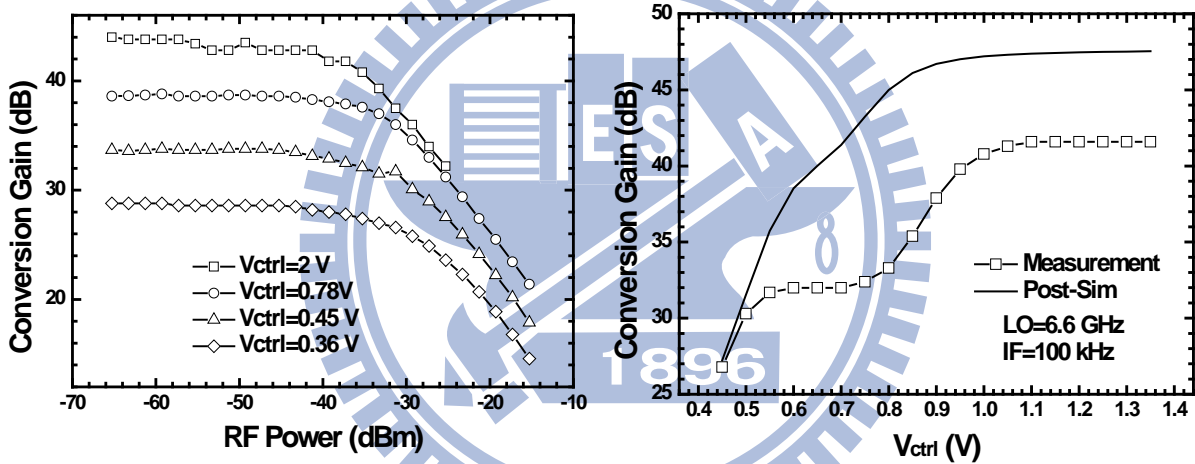


圖(A3.1) 利用次臨界技術接收機電路圖

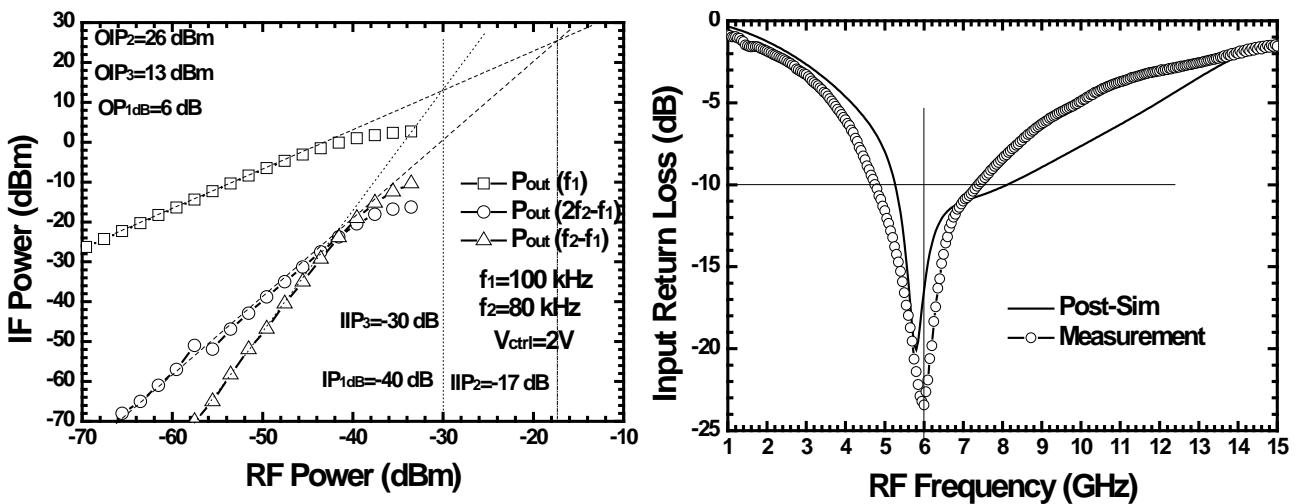
### A3.2 晶片模擬與量測結果



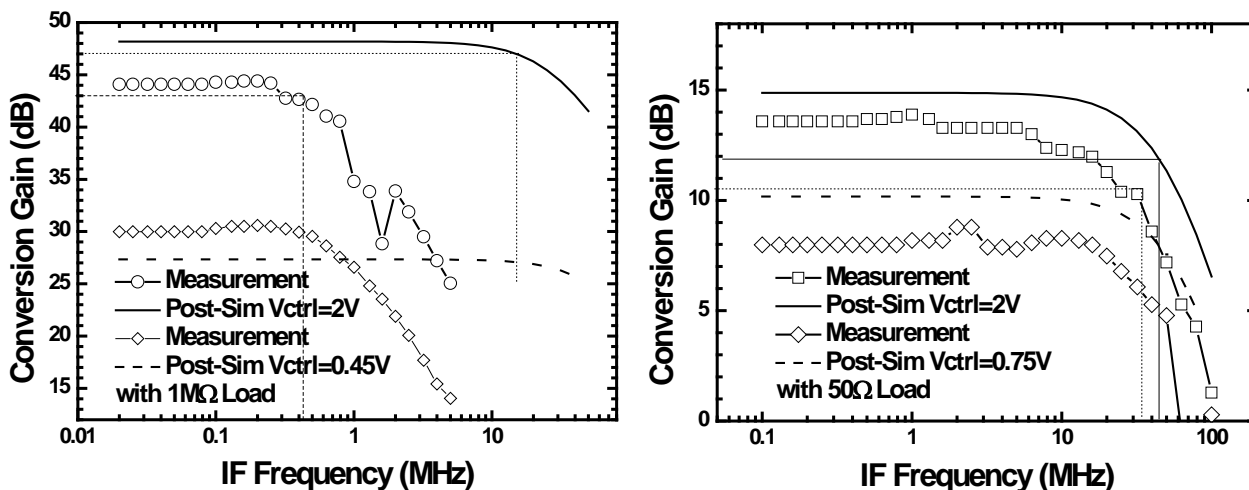
圖(A3.2) (左)轉換增益對 LO 功率(右)轉換增益對 RF 頻率



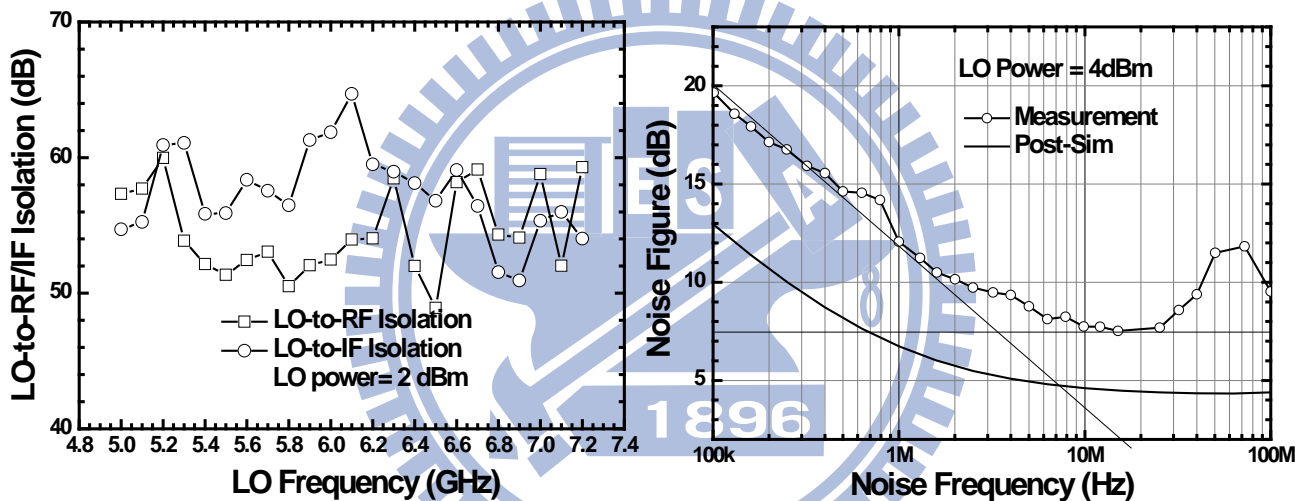
圖(A3.3) (左) 轉換增益對 RF 功率(右) 轉換增益對控制電壓



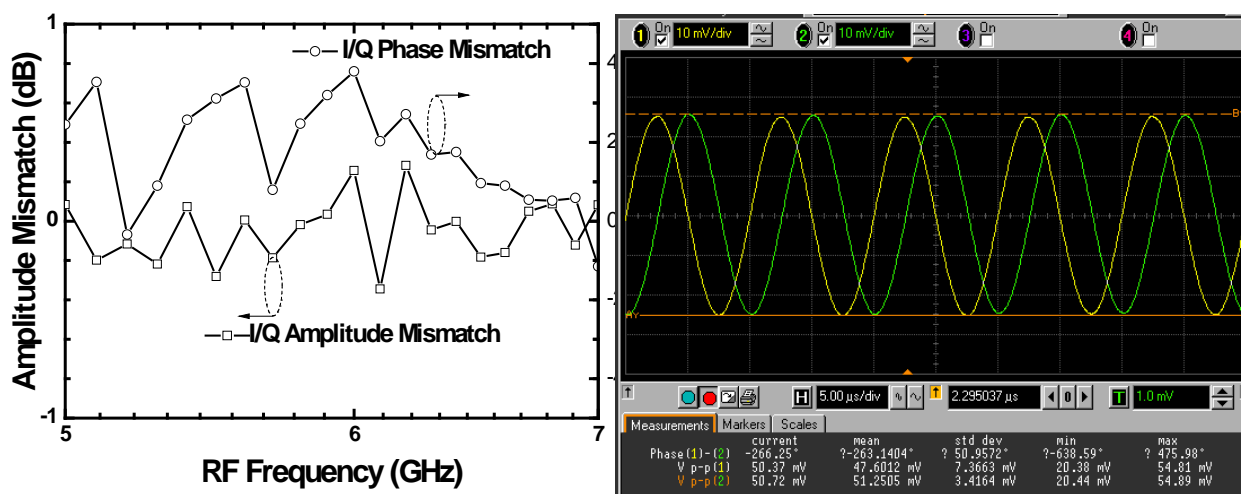
圖(A3.4) (左) 功率線性度(右) 輸入返回損耗



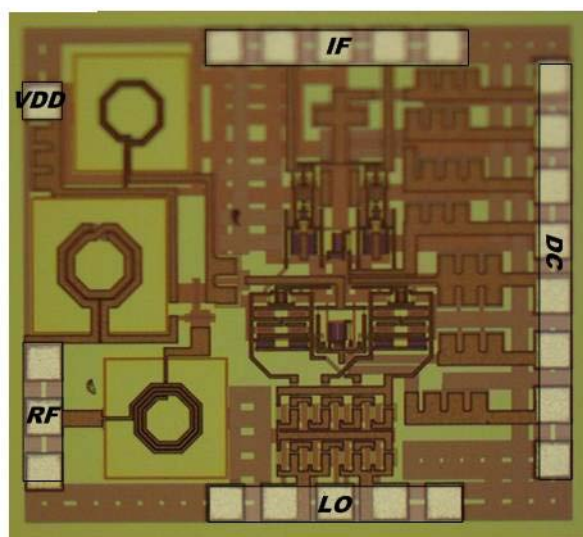
圖(A3.5) 轉換增益對中頻頻率(左)1M Ohm Load(右)50 Ohms Load



圖(A3.6) (左) LO 埠對 RF 及 IF 埠隔離度(右)雜訊指數



圖(A3.7) (左)輸出增益與相位不匹配(右)輸出波形(6.5GHz)



圖(A3.8) Die Photo ( 1 mm × 0.9 mm )

表(A3.1) 5.8-GHz 低功率接收機量測特性

Item	Post Simulation	Measurement
Supply Voltage (V)	1.8	1.8
Conversion Gain (dB)	48	45
RF Bandwidth (GHz)	5.4-6	6.6-6.9
IF Bandwidth (MHz) (50Ω Load)	50	35
NF (dB)	13 @ 100 kHz 4.3 (noise floor)	19 @ 100 kHz 7.5 (noise floor)
IP1dB @ Highest Gain (dBm)	-45	-39
IIP3 @ Highest Gain (dBm)	-32	-32
IIP2 @ Highest Gain (dBm)	-15	-20
LO-to-RF Isolation (dB)	--	>48
LO-to-IF Isolation (dB)	--	>55
Input Return Loss (dB)	>10 (5.3GHz~8GHz)	>10 (4.8~7.4GHz)
Current Consumption (mA)	4	4.5
Power Consumption (mW)	7.2	8.1
Chip Size (mm×mm)	1 × 0.9	

## Vita

姓 名：張智凱

性 別：男

出生年月日：民國 74 年 12 月 13 日

籍 貫：台灣省基隆市

學 歷：

國立基隆高級中學 2001-2004

國立中央大學 電機工程學系 學士 2004-2008

國立交通大學 電信工程學所 碩士 2008-2010

經 歷：

交通大學	電信系	助教	2008/09-2009/01	射頻積體電路課程助教
交通大學	電信系	助教	2009/02-2009/06	電子學課程助教

論文題目：

2.4/5.8-GHz 低功率低雜訊 CMOS 直接降頻接收機