

國立交通大學

電信工程研究所

碩士論文

應用於無線與硬碟讀取系統之高速線性轉導運算放大器

High-Speed Linear Operational Transconductance

Amplifiers for wireless and HDD systems

研究生：林均曄

指導教授：洪崇智 博士

中華民國九十九年九月

應用於無線與硬碟讀取系統之高速線性轉導運算放大器

High-Speed Linear Operational Transconductance

Amplifiers for wireless and HDD systems

研究生：林均曄

Student : Jun-Ye Lin

指導教授：洪崇智

Advisor : Prof. Chung-Chih Hung

國立交通大學
電信工程研究所
碩士論文

A Thesis

Submitted to Institute of Communication Engineering
College of Electrical Engineering and Computer Science

National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master

In

Communication Engineering

September 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年九月

應用於無線與硬碟讀取系統之高速線性轉導運算放大器

研究生：林均曄

指導教授：洪崇智 博士

國立交通大學

電信工程研究所

摘要



在現今的通訊系統中，類比濾波器已經被廣泛的使用在高頻的應用。而與主動式 RC 濾波器、切換式電容濾波器等其他種類的類比濾波器做比較，轉導電容式濾波器更適合被運用在高頻濾波器。而轉導式運算放大器則是轉導電容式濾波器中最重要的基本元件。但是轉導式運算放大器往往受限於它較差的線性度。此外隨著 CMOS 製程技術的進步，類比電路往往被要求工作在更低的工作電壓與功耗更少的功率。而製程上的誤差與溫度的改變也會影響到類比電路的效能。因此如何在新製程下，設計出一個高線性度的轉導式運算放大器去提升轉導電容式濾波器的效能就是一個值得研究的課題。

本論文實現兩種不同提升線性度的架構。第一種是利用雙差動輸入對，來消除第三諧波失真，以增進轉導式運算放大器的線性度。並利用一個源極退化電流鏡來調整轉導值，這個電路能使在調整轉導值的過程中，轉導式運算放大器的線性度較不受影響。而此轉導式運算放大器的工作電壓為1.8V並消耗功率1.21mW。

當輸入信號為頻率15MHz且振幅為0.4Vpp時，可達到第三次諧波失真為-68.94dB。另外在本論文中，也介紹並實現了一個轉導電容式四階低通濾波器。而第二種在是利用操作在飽和區且固定 V_{ds} 之偽差動輸入對來取代傳統操作在三極區之架構，此種改良架構能更有利於高頻的應用。而為了更進一步提升線性度，在此架構加入移動補償的電路。而此轉導式運算放大器的工作電壓為1.5V並消耗功率2.34mW。當輸入信號為頻率90MHz且振幅為0.4Vpp時，可達到第三次諧波失真為-59.2dB。而這些電路是以TSMC 0.18um CMOS製程所實現的。



High-Speed Linear Operational Transconductance Amplifiers for wireless and HDD systems

Student: Jun-Ye Lin Advisor: Dr. Chung-Chih Hung

Department of Communication Engineering

National Chiao Tung University

Hsinchu, Taiwan



In present communication systems, analog filters have been widely adopted for high frequency applications. Compared with the other types of analog filters such as active-RC or switched-capacitor filters, Gm-C filters are more suitable for high-frequency applications. The operational transconductance amplifier (OTA) is the most important building block in the Gm-C filters. Linearity is a critical concern in the design of the OTA. In addition, with the progress of the CMOS technology, the analog circuit is required to operate under low supply voltage and low power. The process tolerances and temperature variation will also degrade the entire circuit performance. Therefore, how to increase the linearity for high performance Gm-C filters is a main topic in the design of the OTA under new CMOS process.

In this thesis, two linearity improved structures have been proposed. The first one improves linearity by using double differential pair to cancel the third harmonic

distortion. In order to avoid reducing the linearity while tuning G_m values, source-degeneration current mirrors are utilized for G_m tuning. This OTA works under a 1.8V supply voltage with 1.21mW power consumption. The measurement results show the HD3 of -68.94dB with 0.4-V_{pp} 15MHz input signal. Moreover, a 4-order G_m -C lowpass filter based on the first OTA was also designed in this thesis. The second one uses a linearization technique where MOFETs operates with constant V_{ds} in the saturation region, instead of operating in the triode region. Such an improved structure will better facilitate high-frequency application. In order to further engance linearity, a mobility compensation circuit is added to this structure. This OTA works under a 1.5V supply voltage with 2.34mW power consumption. The measurement results show the HD3 of -59.2dB with 0.4-V_{pp} 90MHz input signal. These circuits were all fabricated by TSMC 0.18um CMOS technology.



誌 謝

隨著這份碩士論文的完成，六年來在交大的求學生涯也跟著告一個段落，往後迎接著我的，又是另一段嶄新的人生旅程。本論文得以順利完成，最先要感謝的，當然是我的指導教授洪崇智老師。這兩年的研究生涯中，給予我無微不至的指導與照顧，且讓我在研究主題上有無限的發展空間。而類比積體電路實驗室所提供完備的軟硬體資源，讓我在短短兩年碩士班研究中，學習到如何開始設計類比積體電路，乃至於量測電路，甚至單獨面對及思考問題的所在。此外要感謝洪浩喬教授、闕河鳴教授和陳富強教授撥冗擔任我的口試委員並提供寶貴意見，使得本論文更為完整。也感謝國家晶片系統設計中心提供先進的半導體製程，讓我有機會將所設計的電路加以實現並完成驗證。

另一方面，要感謝所有類比積體電路實驗室的成員兩年來的互相照顧與扶持。首先，感謝博士班的學長薛文弘、周芳鼎、廖德文、陳家敏和蘇俊仁以及已畢業的博士班學長羅天佑以及碩士班學長許新傑、簡兆良、黃聖文和李尚勳在研究上所給予我的幫助與鼓勵。特別是許新傑及簡兆良學長，由於他平時不吝惜的賜教與量測晶片時給予的幫助，還有其論文給予我的啟發，使我的論文研究得以順利完成。對於他的無私幫助，我深深表示感謝。另外也要感謝李人維、陳伽維、許凱修、鄭世東和蔡湯唯諸位同窗，透過平日與你們的切磋討論，使我不論在課業上，或研究上都得到了不少收穫。尤其是工四 718 實驗室的同學們，兩年來陪我一起努力奮鬥，一起渡過那段同甘共苦的日子，也因為你們，讓我的碩士班生活更加多采多姿，增添許多快樂與充實的回憶。此外也感謝學弟們蘇啓仁、陳瑞明、郭駿逸、和張維修的熱情支持，因為你們的加入，讓實驗室注入一股新的活力與朝氣，祝福你們研究順利。

此外，特別要致上最深的感謝給我的父母及家人們，感謝你們從小到大所給予我的栽培、照顧與鼓勵，讓我得以無後顧之憂地完成學業，朝自己的理想邁進，謝謝你們給我那麼多的愛和付出，我會銘記在心。

最後，所有關心我、愛護我及曾經幫助過我的人，願我在未來的人生能有一絲的榮耀歸予你們，謝謝你們！

林均曄 于 交通大學工程四館 718 實驗室
2010.09.20

目錄

摘要.....	I
圖表目錄.....	VIII
表格清單.....	X
第一章 簡介.....	1
1.1 動機.....	1
1.2 應用.....	2
1.3 論文概述.....	3
第二章 轉導式運算放大器.....	4
2.1 簡介.....	4
2.2 基本的轉導式運算放大器.....	5
2.2.1 差動輸入對.....	5
2.2.2 源極退化差動輸入對.....	7
2.2.3 偽差動輸入對.....	9
2.2.4 操作在三極區且固定 V_{ds} 之差動輸入對.....	11
2.2.5 浮置閘極的轉導器.....	12
第三章 所實現之高線性度轉導式運算放大器.....	14
3.1 簡介.....	14
3.2 源極退化電流鏡轉導調整機制之雙差動輸入對轉導式運算放大器.....	15
3.2.1 轉導式運算放大器的主電路與其運作原理.....	15
3.3.2 雜訊分析.....	19
3.3.3 共模回授電路.....	19
3.3 操作在飽和區且固定 V_{ds} 之差動輸入對的高速轉導運算放大器.....	21
3.3.1 轉導式運算放大器的主電路與其運作原理.....	21
3.3.2 雜訊分析.....	26
3.3.3 共模回授電路與共模前授電路.....	27
第四章 轉導式電容濾波器.....	29
4.1 簡介.....	29
4.2 Gm-C 積分器.....	30
4.2.1 理想積分器模型.....	30
4.2.2 積分器的非理想效應.....	31
4.3 電阻與電感.....	33

4.3.1 電阻.....	33
4.3.2 電感.....	34
4.4 雙二階架構.....	35
4.5 四階濾波器.....	37
4.6 輸出緩衝器.....	38
第五章模擬與量測結果.....	39
5.1 簡介.....	39
5.1.1 共模排斥比(CMRR)	39
5.1.2 電源排斥比(PSRR).....	39
5.1.3 總諧波失真(THD).....	40
5.1.4 第三諧波失真(HD3).....	40
5.1.5 三階互調(IM3).....	41
5.1.6 功率.....	42
5.2 源極退化電流鏡轉導調整機制之雙差動輸入對轉導式運算放大器與其 四階濾波器的效能.....	42
5.2.1 轉導式運算放大器模擬結果.....	43
5.2.2 四階濾波器模擬結果.....	46
5.2.3 佈局與量測結果.....	47
5.2.4 效能總結.....	52
5.3 操作在飽和區且固定 V_{ds} 之差動輸入對的高速轉導運算放大器的效能..	54
5.3.1 模擬結果.....	54
5.3.2 佈局與量測結果.....	57
5.3.3 效能總結.....	61
第六章結論.....	63
6.1 結論.....	63
6.2 未來發展.....	64
參考書目.....	65

圖表目錄

第一章

圖 1.1 濾波器應用在不同操作頻率.....	3
-------------------------	---

第二章

圖 2.1 差動輸入對.....	5
圖 2.2 源極退化差動輸入對.....	7
圖 2.3 偽基本差動對.....	9
圖 2.4 共模前饋電路.....	10
圖 2.5 操作在三極區且固定 V_{DS} 之差動輸入.....	11
圖 2.6 輸入衰減架構示意圖.....	12
圖 2.7 MIFG NMOS	12

第三章

圖 3.1 雙差動輸入對.....	16
圖 3.2 源極退化電流鏡.....	17
圖 3.3 源極退化電流鏡轉導調整機制之雙差動輸入對轉導式運算放大器.....	18
圖 3.4 共模回授電路.....	20
圖 3.5 在同樣的電流下 V_{DS} 與 g_m 關係.....	21
圖 3.6 改良式的 feedforward regulated cascode 轉導式運算放大器電路.....	23
圖 3.7(a) 基本的偽差動輸入對.....	25
圖 3.7(b) 移動補償的偽差動輸入對.....	25
圖 3.8 以實現之轉導式運算放大器.....	26
圖 3.9 共模回授和前授電路.....	27

第四章

圖 4.1 全差動積分器.....	30
圖 4.2 單端積分器.....	30
圖 4.3 非理想單端積分器.....	31
圖 4.4 理想與非理想積分器增益與相位圖.....	32
圖 4.5 利用轉導式運算放大器的電阻(a)單端(b)雙端.....	33
圖 4.6 利用轉導式運算放大器的電感(a)單端(b)雙端.....	34
圖 4.7 (a)二階 RLC 濾波器電路(b)二階 RLC 濾波器.....	35
圖 4.8 二階 G_m -C 低通濾波器架構.....	36

圖 4.9 二階 Gm-C 帶通濾波器架構.....	37
圖 4.10 Gm-C 四階低通濾波器.....	38
圖 4.11 當作輸出緩衝器的源極隨耦器.....	38

第五章

圖 5.1 轉導式運算放大器在不同調整電壓下的轉導值.....	43
圖 5.2 轉導式運算放大器頻率響應.....	43
圖 5.3 轉導式運算放大器相位的頻率響應.....	44
圖 5.4 轉導式運算放大器在 $0.4-V_{PP}$ 、15MHz 的 FFT 分析.....	44
圖 5.5 共模排斥比的頻率響應.....	45
圖 5.6 電源排斥比的頻率響應.....	45
圖 5.7 四階濾波器的頻率響應.....	46
圖 5.8 四階濾波器在 $0.4-V_{PP}$ 、5MHz 的 FFT 分析.....	46
圖 5.9 佈局圖.....	47
圖 5.10 晶片圖.....	47
圖 5.11 轉導式放大器晶片圖.....	48
圖 5.12 四階低通濾波器晶片圖.....	48
圖 5.13 轉導式運算放大器在 $0.4-V_{PP}$ 、15MHz 輸入訊號下第三諧波失真測量結果.....	49
圖 5.14 濾波器截止頻率為 6MHz 的頻率響應圖.....	50
圖 5.15 濾波器截止頻率為 10MHz 的頻率響應圖.....	50
圖 5.16 濾波器截止頻率為 15MHz 的頻率響應圖.....	51
圖 5.17 四階濾波器在 $0.4-V_{PP}$ 、5MHz 輸入訊號下第三諧波失真測量結果.....	51
圖 5.18 轉導值.....	54
圖 5.19 轉導式運算放大器頻率響應.....	54
圖 5.20 轉導式運算放大器相位的頻率響應.....	55
圖 5.21 轉導式運算放大器在 $0.4-V_{PP}$ 、15MHz 的 FFT 分析.....	55
圖 5.22 共模排斥比的頻率響應.....	56
圖 5.23 電源排斥比的頻率響應.....	56
圖 5.24 佈局圖.....	57
圖 5.25 晶片圖.....	57
圖 5.26 無移動補償在 $0.4-V_{PP}$ 、10MHz 輸入訊號下第三諧波失真測量結果.....	58
圖 5.27 無移動補償在 $0.4-V_{PP}$ 、50MHz 輸入訊號下第三諧波失真測量結果.....	59
圖 5.28 無移動補償在 $0.4-V_{PP}$ 、90MHz 輸入訊號下第三諧波失真測量結果.....	59
圖 5.29 有移動補償在 $0.4-V_{PP}$ 、10MHz 輸入訊號下第三諧波失真測量結果.....	60
圖 5.30 有移動補償在 $0.4-V_{PP}$ 、50MHz 輸入訊號下第三諧波失真測量結果.....	60
圖 5.31 有移動補償在 $0.4-V_{PP}$ 、90MHz 輸入訊號下第三諧波失真測量結果.....	61

表格清單

表4.1 雙二階轉移函數分母式.....	37
表5.1 轉導式運算放大器的效能.....	52
表5.1 四階低通濾波器的效能.....	52
表5.3 與其它論文比較.....	53
表5.4 轉導式運算放大器的效能.....	62
表5.5 與其它論文比較.....	62



第一章

簡介

1.1 動機

對於所有與真實世界溝通的系統中，接收訊號的品質通常會被雜訊與週遭的干擾降低。雖然我們生活於數位的世代，但任何想與真實世界溝通的系統還是需要經由類比訊號的處理。因此在現今的通訊系統以及 SOC，類比濾波器占著很重要的地位。而其中連續時間的類比濾波器更是現今被注重議題之一。連續時間的類比濾波器往往被用來限定訊號的頻帶達到去除雜訊的效果，以及用來去除假頻的訊號，或者是用來使增益和延遲時間相同等等的用途。其中高頻的連續時間類比濾波器在近年來廣泛的被使用，特別是對於較中值動態範圍需求，像是高速與低消耗功率應用。這些應用包含了視訊訊號處理、硬碟讀取通道、應用於鎖相處理的迴路濾波器與無線通訊系統等等。

而類比濾波器的架構大致上能分成主動 RC 濾波器、切換式電容濾波器、MOSFET-C 濾波器、以及 Gm-C 濾波器等四種種類。主動 RC 濾波器中需要 OPamp，而 OPamp 往往會限制住濾波器的頻率，而且電路中需要被動元件電阻 R 與電容 C，往往會需要較大面積，且 R 值的準確度在 CMOS 中也是一個挑戰。而切換式電容濾波器則是利用不停的開關電容來取代電阻，而這個電阻會跟電容大小與切換頻率的比率有關，但此種架構也不適用於較高頻率的應用。而 MOSFET-C 濾波器架構的設計如主動 RC 濾波器一般，但是它利用 MOSFET 運作在三極區來取代 R，但是必須注意到 MOSFET 運作在三極區的 R 值是非線性的，這在設計時會有一些非理想效應。而 Gm-C 濾波器，因為電路架構簡單且是操作在開路迴路下，往往能

有最佳的頻率響應，更適合用在高速的類比濾波器，但決定 Gm-C 濾波器效能的往往是裡面的轉導式運算放大器。

轉導式運算放大器在類比電路裡是一個電壓-電流轉換器。在理想狀態下，能執行線性的輸入電壓對輸出電流的轉換並同時擁有無限的頻寬以及輸出電阻。但是隨著製程技術的發展，CMOS 製程已經由深次微米朝向奈米技術的發展，由於奈米技術的使用，短通道效應影響轉導放大器的線性度效能越來越明顯，而電晶體飽和區的公式將會受到短通道效應的嚴重影響，因此許多由理想電流公式所衍伸出的傳統轉導放大器架構在先進的製程中所受到的非理想效應，比起過去製程將會更多。此外製程的偏差以及溫度的變化也往往轉導式運算放大器的整體效能。而相較於其他種運算器，轉導式運算放大器的優點是能適應較低電源電壓的製程、能應用在高速電路並擁有較佳的動態範圍以及電路結構較簡單等等。轉導式運算放大器的缺點是往往在線性度的表現較差，因此在本次的研究中，轉導式運算放大器的設計將會著重在如何提升線性度上。而事實上，轉導式運算放大器不僅僅使用在 Gm-C 濾波器 [1]-[2]，在其他類比電路如運算放大器(OP)、乘法器 [3]-[4]、混頻器(mixer)、和連續時間 Δ - Σ 調製器(continuous-time delta-sigma modulators) [5]中也被廣泛的使用。

1.2 應用

類比濾波器在很多系統上都會用到。而依照不同的頻率，類比濾波器能應用在不同的地方。如圖 1.1 所示。在類比濾波器頻率約在 100Hz~1KHz，能運用在語音處理、感測器(sensor)方面。在頻率為 1KHz~50MHz，能運用在影像處理、無線通訊方面。在頻率為 50MHz~10GHz，能運用在硬碟讀取通道(Hard-Disk Drives)、超寬頻(ultra wideband) 系統等方面。因此我們可以藉由所要應用的系統，來決定所設計類比濾波器的頻率。

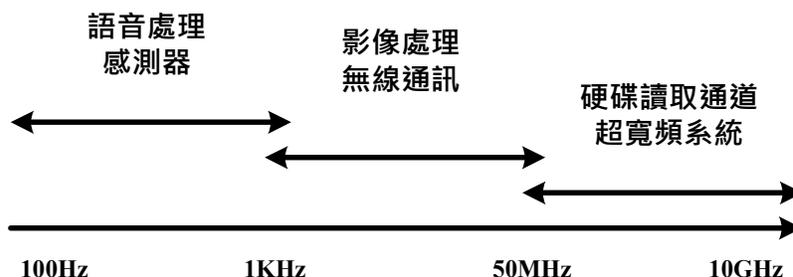


圖 1.1 濾波器應用在不同操作頻率

1.3 論文概述

在本篇論文一開始將在第二章介紹一些增加基本轉導式運算器的架構，詳細的介紹不同架構之間的優缺點，以及一些能使轉導式運算器的線性度增加的方法。而在第三章中，我將會介紹我利用不同方法所實現的兩種高線性度轉導式運算器，其中不只會仔細介紹我實現的轉導式運算器的電路運作原理，也會一併的分析所實現的轉導式運算器所會用到的共模回授以及共模前授電路，另外還會分析雜訊對我的轉導式運算放大器的影響。而在第四章中則會介紹並實現一個四階 Gm-C 低通濾波器。而第五章則會說明我所實現電路的模擬以及量測結果。而第六章則會將我的研究做個總結。

第二章

轉導式運算放大器

2.1 簡介

在第二章中，將會介紹幾種較常見的轉導式運算放大器 (Operational Transconductance Amplifier) 的運作原理。在近幾年中，轉導式運算放大器通常在類比電路裡被當作一個電壓-電流轉換器來使用，因為轉導式運算放大器在理想狀態下，能執行線性的輸入電壓對輸出電流的轉換並同時擁有無限的頻寬以及輸出電阻。在超大型積體電路中 (VLSI) 中，轉導式運算放大器經常被用來取代被動元件的電阻，因為轉導式運算放大器所需要的面積遠比被動式電阻來的小。另外在隨著 CMOS 製程的進步，類比電路往往被要求能運作在更低的供應電壓以及更小的功率下，轉導式運算放大器往往較其他電路元件更適合運作在這些條件之下。而轉導式運算放大器更是許多不同種類比電路的基本元件，它被廣泛的運作在運算放大器 (OP)、混頻器 (mixer)、連續時間的轉導電容濾波器 (continuous time GM-C filter) [1]-[2]、和連續時間 Δ - Σ 調製器 (continuous-time delta-sigma modulators) [3] 等等方面。

但是在奈米等級的 CMOS 電路中，短通道效應和一些其他非理想效應會明顯的影響到轉導式運算放大器的線性度。因此，已經有很多的研究在增進轉導式運算放大器的線性度上 [6]-[7]。而在設計轉導式運算放大器時，製程的偏差以及溫度的變化也往往轉導式運算放大器的整體效能，因此如何在設計轉導式運算放大器時加入調整轉導值的電路，並確保在調整轉導值時，不會去影響到整體的線性度，也是一個重要的課題。

2.2 基本的轉導式運算放大器

轉導式運算放大器的架構有非常多種。在這個章節將會介紹幾種轉導式運算放大器的基本架構，而在轉導式運算放大器的基本架構中，往往會使用差動輸入的方式去減少共模雜訊跟偶次項的諧波失真。

2.2.1 差動輸入對

一個基本的 CMOS 差動輸入對如圖 2.1 所示

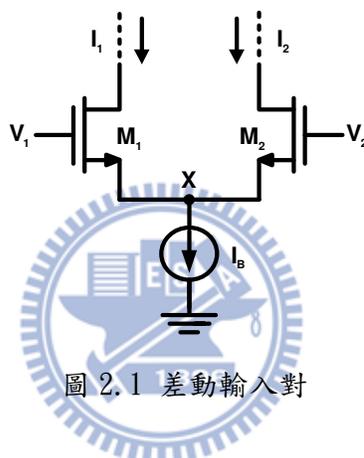


圖 2.1 差動輸入對

在圖 2.1 中，如果輸入的 M1、M2 兩顆 MOS 操作在飽和區，且電流源 I_B 為一理想電流源，則汲極輸出電流 I_1 、 I_2 ，可以由 MOS 的電壓-電流公式所推得：

$$\begin{aligned} I_1 &= \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_1 (V_1 - V_x - V_{thn})^2 \\ I_2 &= \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_2 (V_2 - V_x - V_{thn})^2 \end{aligned} \quad (2.1)$$

其中 V_{thn} 是 MOS M1 與 M2 的臨限電壓(threshold voltage)，且 $(W/L)_1 = (W/L)_2$ 。則

差動輸出電流 I_O 為

$$I_O = I_2 - I_1 = \mu_n C_{OX} \left(\frac{W}{L} \right)_{1,2} (V_2 - V_1)(V_{CM} - V_x - V_{thn}) \quad (2.2)$$

其中 V_{CM} 是 M1、M2 的共模電壓，它是一個固定的共模電壓值。由於 V_{CM} 與

V_{thn} 都是固定值，由式子(2.2)我們可以發現若 V_X 為一固定值，則輸出電流 I_O 與輸入電壓 $V_2 - V_1$ 成比例關係。而 V_X 可由電流源 I_B 推導得

$$V_X = \sqrt{\frac{2I_B}{\mu_n C_{ox} \left(\frac{W}{L}\right)}} \quad (2.3)$$

因此若電流源 I_B 是一個固定的值，則 V_X 也會被固定成一定值。因此整個電路的輸入電壓與輸出電流成一線性關係。因此轉導值 G_m 可以寫成

$$G_m = \frac{I_O}{V_2 - V_1} = \mu_n C_{ox} \left(\frac{W}{L}\right)_{1,2} (V_{CM} - V_X - V_{thn}) \quad (2.4)$$

從上式中我們可以發現我們可以藉由改變 V_X (等同於改變 I_B)，來調整 G_m 值的大小。但在實際的電路中 V_X 會受到輸入信號和通道長度調變效應(channel-length modulation)的影響，而難以維持一個定值，進而降低整個電路的線性度，因此如何想辦法去固定 V_X 的電壓，也是在差動式轉導運算放大器的設計中，一項受到注意的課題。

而接下來將推導出差動輸入對的總諧波失真的大小，將式子(2.1)用泰勒展開式展開，可推得

$$i_{1,2} = \frac{G_{m1}}{(1 + G_{m1}R)} v_{in} - \frac{G_{m3}}{(1 + G_{m1}R)^3} v_{in}^3 - \frac{G_{m5}}{(1 + G_{m1}R)^5} v_{in}^5 \quad (2.5)$$

其中 G_{m3} 、 G_{m5} ... 分別表示每個次方的諧波對輸入信號的增益係數，其值如下

$$G_{m1} = \sqrt{2\mu_n C_{ox} I_D (W/L)}$$

$$G_{m3} = \frac{1}{8v_{DS}^2} G_{m1} \quad G_{m5} = \frac{1}{128v_{DS}^4} G_{m1} \quad (2.6)$$

令 $v_{in} = V_{amp} \cos(\omega t)$ 帶入即可以得到每個諧波的係數如下

$$i_{1,2} = H_1 \cos(\omega t) + H_3 \cos(3\omega t) + H_5 \cos(5\omega t) \quad (2.7)$$

$$\begin{aligned}
H_1 &= \frac{G_{m1}}{(1+G_{m1}R)}V_{\text{amp}} - \frac{3G_{m3}}{4(1+G_{m1}R)^4}V_{\text{amp}}^3 \\
&\quad - \frac{5G_{m5}}{8(1+G_{m1}R)^7}V_{\text{amp}}^5 \\
H_3 &= -\frac{G_{m3}}{4(1+G_{m1}R)^4}V_{\text{amp}}^3 - \frac{5G_{m5}}{16(1+G_{m1}R)^7}V_{\text{amp}}^5 \\
H_5 &= -\frac{G_{m5}}{16(1+G_{m1}R)^7}V_{\text{amp}}^5.
\end{aligned} \tag{2.8}$$

由總諧波失真的定義，THD 可近似為 HD3

$$\begin{aligned}
\text{THD}_{1,2} &= \frac{\sqrt{H_3^2 + H_5^2 + \dots}}{H_1} \approx \frac{H_3}{H_1} \\
&\approx \frac{G_{m3}}{4G_{m1}(1+G_{m1}R)^3}V_{\text{amp}}^2.
\end{aligned} \tag{2.9}$$

由以上推導可知對差動輸入對的線性度影響最大的即為 HD3，因此將 HD3 降低將會是在設計差動輸入對時主要的設計目標。

2.2.2 源極退化差動輸入對

圖 2.2 是兩種不同形式的源極退化差動輸入對的架構，這種架構比起傳統的差動輸入對的架構，能提供更高的線性度。從圖 2.2 可以發現，此架構中有一電阻 $2R$ 將輸入對的源極接在一起，因此從 M1 的源極到 M2 的源極的總電阻為 $\frac{1}{g_{m1}} + 2R + \frac{1}{g_{m2}}$ 。若 R 為一個很大的值，則 $\frac{1}{g_{m1,2}}$ 可以被省略。因此可以維持 M1、M2 的源極電壓為一固定值。而我們已在 2.2.1 中討論過，若輸入對源極電壓可以保持固定，則能提升電路的線性度。而源極退化差動輸入對的輸出電流 I_o 對入電壓 V_{id} 的關係式為

$$i_o = \sqrt{1 - \left(\frac{v_{id}}{2(1+N)V_{DS(\text{sat})}} \right)^2} \times \left(\frac{\sqrt{2K_{1,2}I_b}}{1+N} \right) v_{id} \tag{2.10}$$

其中 K_n 式製程函數 $\mu_n C_{ox}$ ，而 $V_{id} = V_{i+} - V_{i-}$ ， $V_{DS(1,2)(\text{sat})} = V_{GS(M1, M2)} - V_{tn}$ ，而

$N = g_{m(1,2)}R$ 為源極降低因素 (Source Degeneration Factor)，而全部的 G_m 為

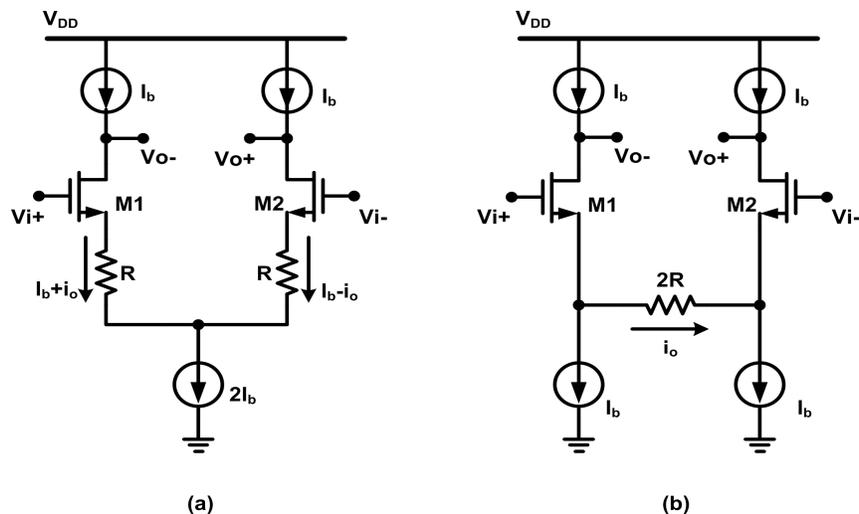


圖 2.2 源極退化差動輸入對

$$G_m = \frac{1}{R} \left(\frac{N}{1+N} \right) \quad (2.11)$$

而如果將(2.10)式用泰勒展開式展開，我們可以將得到 HD3(The third order harmonic distortion)為

$$HD3 = \frac{1}{32} \left(\frac{I}{1+N} \right)^2 \left(\frac{v_{id}}{V_{DS(sat)}} \right)^2$$

(2.12)

從式子(2.11)中我們可以發現 G_m 與 N 成反比，在式子(2.12)中 $HD3$ 則與 G_m 平方成反比。因此我們可以藉由增加 N 的值，使整個電路的線性度提升。但必須要注意的是若藉由增加電阻 R 的大小來增加 N 時，會導致 G_m 值的下降，造成電路運作的速度變慢的後果。

而現在觀察圖 2.2 (a)、(b)兩種架構之間的差別。我們可在架構(a)中， $M1$ 、 $M2$ 的輸出雜訊電流會叫架構(b)減少 R 倍，並且電阻 R 也能屏蔽電流源所產生的雜訊但付出的代價是要犧牲一個 $R \times I_b$ 大小的輸入電壓擺幅。而在架構(b)中雖然雜訊會較大，但電路所需要的電源電壓較低。而在近年隨著製程的演進，往往需要低電壓的電路，因此圖(b)的電路往往更符合現在的需求使用在現今的電路

中。

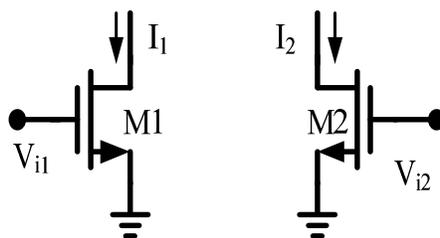


圖 2.3 偽基本差動對

2.2.3 偽差動輸入對

圖 2.3 偽差動輸入對(Pseudo-differential input pair)的基本架構，它的架構與一般差動輸入對不同的地方在於它沒有尾電流源(tail current)。我們已在 2.2.1 中講過輸入端的源極電壓在實際的電路中是會變動的。而偽基本差動對的架構會使此電壓永遠保持遠地一樣，因此能將電路的線性度加以提升。另外因為偽基本差動對較一般輸入差動對少了一個電流源，因此它的輸入電壓擺幅往往能較一般差動來的高，有更容易被使用在低電壓的製程。而它的架構也往往較簡單，這也代表著它往往被應用在需要被高速運作的電路中。

現在來推導偽差動輸入的輸出電流與輸入電壓的比值，因為 M1、M2 操作在飽和區，因此 I_1 、 I_2 可以寫成

$$I_1 = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_1 (V_{i1} - V_{thn})^2$$

$$I_2 = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_2 (V_{i2} - V_{thn})^2$$
(2.13)

則輸出電流 I_O 會為(2.8)中的兩式相減為

$$I_O = \mu_n C_{OX} \left(\frac{W}{L} \right)_{1,2} (V_{i1} - V_{i2})(V_{CM} - V_{thn})$$
(2.14)

其中 V_{CM} 為輸入訊號的共模電壓，與式(2.2)比較可發現 V_X 在式子(2.14)中不存在。而偽差動輸入對的 G_m 可以表示為

$$G_m = \frac{I_O}{V_2 - V_1} = \mu_n C_{OX} \left(\frac{W}{L} \right)_{1,2} (V_{CM} - V_{thn})$$
(2.15)

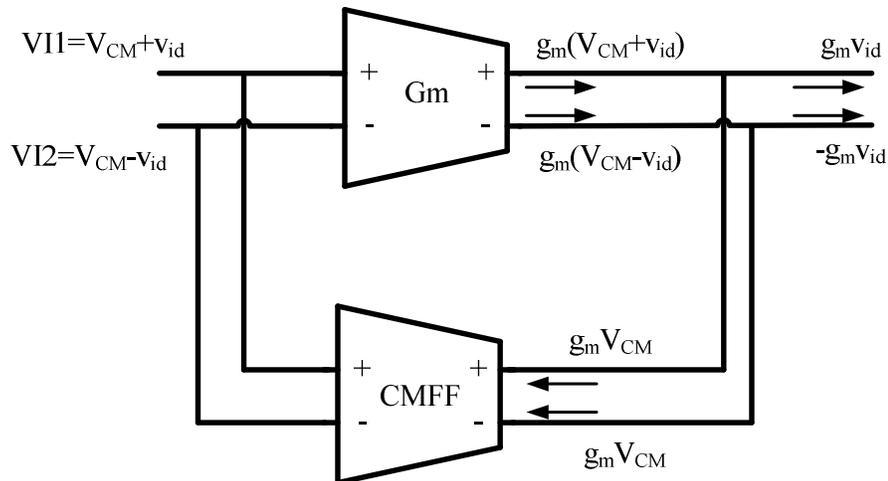


圖 2.4 共模前饋電路

而從式(2.15)中,我們發現要調整偽差動輸入對的 G_m 只能改變輸入過模電壓 V_{CM} , 但改變 V_{CM} 往往會以想整個電路的偏壓,也受限於輸入電壓擺幅,往往會造成整體電路的線性度下降的結果。因此在設計為差動輸入對的電路時,需要學找另外一個可以調整 G_m 的方式。

然而偽差動輸入對在共模排斥比(common mode rejection ratio)上表現得很差,共模排斥比是輸入訊號的差動訊號的增益 A_D 除以輸入訊號的共模訊號的增益 A_C 。而在理想狀況下,差動輸入對的 A_C 為零,因此共模排斥比無限大。

讓我們觀察圖 2.3,可發現因為沒有尾電流源的關係,在分析輸入訊號的差動訊號與共模電壓時的電路會是一樣的,因此偽差動輸入對的共模排斥比會是 0dB。因此使用偽差動輸入對的電路架構時,必須加入一個共模前饋電路(common mode feedforward)來增加電路的共模排斥比。

共模前饋電路的運作方法已經表示在圖 2.4 中,共模前饋電路運作的基本理念是另外製造一個提供訊號共模電壓的路徑到輸出端消去訊號的共模電壓,確保輸出端只會輸出差動訊號,因此可以有效的提升電路的共模排斥比。而從圖 2.4 可以簡單的看出共模前饋電路的運作方式,在圖 2.4 上面的路徑為輸入訊號,包含了差動與共模訊號,而下面的路徑則只包含了共模訊號,而將兩路徑的訊號在輸出端相減,最後只會有差動訊號流出輸出端。

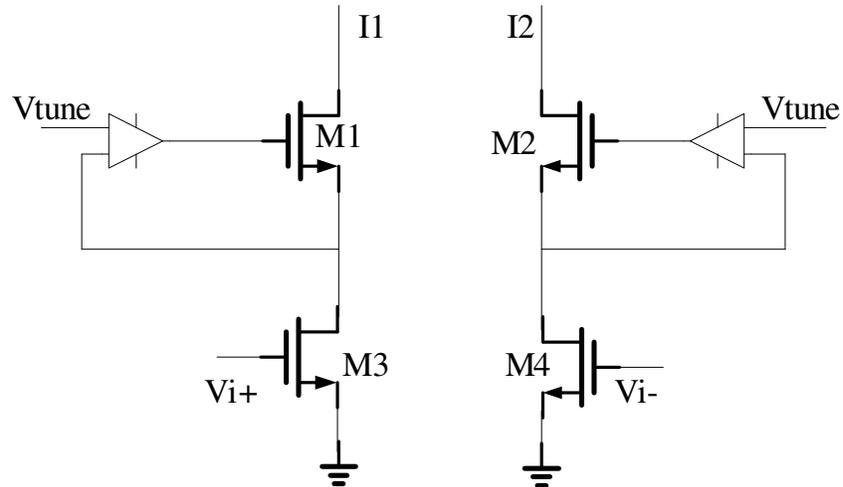


圖 2.5 操作在三極區且固定 Vds 之差動輸入對

2.2.4 操作在三極區且固定 Vds 之差動輸入對

在這小節將介紹一個將差動輸入對操作在三極區的架構。而此架構如圖 2.5 所示。而這個架構的輸入端也是偽差動輸入對，但 M3、M4 操作在線性區，而其中 V_{tune} 將會是 M3、M4 的 V_{DS} 電壓，因為在 M1、M2 閘極端的運算放大器，將會強迫 M1、M2 的源極電壓與 V_{tune} 相同。因此我們可以利用 NMOS 的電流公式將 I_1 、 I_2 表示成

$$I_1 = \mu_n C_{ox}' \left(\frac{W}{L} \right) [(V_{i+} - V_T) V_{tune} - \frac{V_{tune}^2}{2}] \quad (2.16)$$

$$I_2 = \mu_n C_{ox}' \left(\frac{W}{L} \right) [(V_{i-} - V_T) V_{tune} - \frac{V_{tune}^2}{2}] \quad (2.17)$$

而輸出電流 I 為式子(2.11)、(2.12)相減，則輸出電流 I 為

$$I = I_1 - I_2 = \mu_n C_{ox}' \left(\frac{W}{L} \right) (V_{i+} - V_{i-}) V_{tune} \quad (2.18)$$

我們可以從式子(2.13)中看出，如果 V_{tune} 可以為一定值時，則輸入電壓將會正比輸出電流 I ，因此操作在三極區且固定 Vds 之差動輸入對這個架構能提升我們差動輸入對的線性度。而從式子(2.18)也可以知道，可以簡單的利用調整 V_{tune} ，來調整電路的 G_m 值。

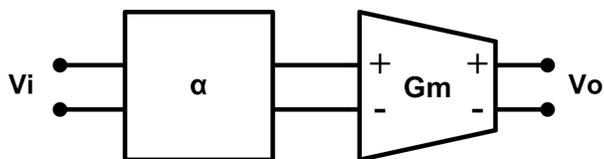


圖 2.6. 輸入衰減架構示意圖

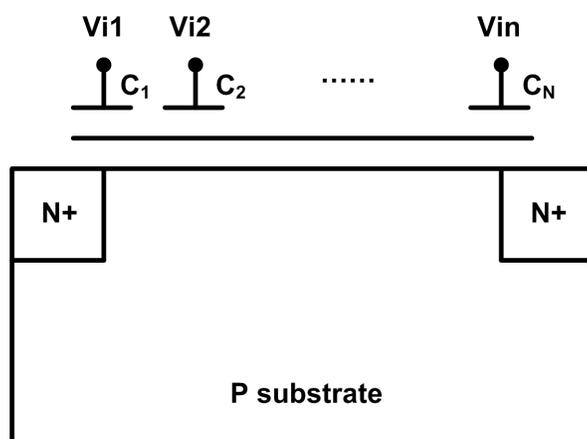


圖 2.7. MIFG NMOS 的架構圖。

2.2.5 浮置閘極的轉導器

現在來介紹另外一種利用衰減來設計線性轉導的架構。圖 2.6 為此種設計理念的區塊圖。其中係數 α 是一個小於一的值。我們可以從圖 2.6 看出系統的輸入電壓被衰減了 α 倍，因此輸出電流 i_o 可以被寫成

$$i_o = a_1(\alpha v_i) + a_2(\alpha v_i)^2 + a_3(\alpha v_i)^3 + \dots \quad (2.19)$$

從式子(2.19)中我們可以發現第三諧波失真會比沒有加入 α 被衰減的原始電路小了 α^2 倍。而這種架構會有兩種主要的缺點，一個是電路的轉導值會下降，另一個則是如何實現一個完美的衰減電路。

而一個高效能的訊號衰減器可以由浮置閘極(floating gate)來達成。在這個技術中，我們使用多重輸入的浮置閘極 MOS 元件。MIFG(multiple input floating gate)MOS 元件是由一個浮置閘極且有均勻間隔輸入所組成的、一個基本的 MIFG NOMS 的架構如圖 2.7 所示。這種架構能被有雙層多晶矽柵金屬氧化物的製程所

實現。而浮置閘極則是透過電容來連接到 input。等效的浮置閘極電壓可以寫成

$$V_{FG} = \frac{C_{GS}V_S + C_{GD}V_D + C_{GB}V_B + \sum_{i=1}^n C_i V_i}{C_{GS} + C_{GD} + C_{GB} + \sum_{i=1}^n C_i} \quad (2.20)$$

其中 V_S , V_D , 根 V_B 為源極、汲極、與基板在 MOS 中的電壓。從這個式子中可以看出，寄生電容將會稍微的影響浮置閘極的電壓，而成為此種架構電路運作時的一項需要被考慮的非理想效應。



第三章

所實現之高線性度轉導式運算放大器

3.1 簡介

在上一章節中，我們已經介紹了數種不同的轉導式運算放大器的基本架構和幾種能增進線性度的方法。另外在前面的章節中，我們也已經討論過轉導式運算放大器與其他運算放大器相比的最大缺點就是線性度往往較低。而隨著製程的進步，短通道效應與其他非理想效應會越來越明顯，因此如何更進一步的提升轉導式放大器的線性度是現今設計轉導式放大器的一個重要課題。因此在本章中我會使用一個叫做雙差動輸入對(Double Differential Pair)的技術，設計出一個擁有可調式轉導之高線性度的轉導式運算放大器的架構。

另外隨著 CMOS 的尺寸縮小，和在現今 SOC 系統的需求上，往往會要求較低的電源供應電壓，以及較小的功率消耗。因此有些增進轉導式運算放大器線性度的架構，並不適合運用在這上面。因此接下來在本章中，我會提出一個以偽插動輸入對為基本架構的高速轉導式運算放大器。因為偽差動輸入對的架構中不需要尾電流源，因此較其它的轉導式運算放大器架構而言，更適用於低電源供應電壓的應用上。然而偽差動輸入對往往受困於較小的轉導值，因此我將在本章中提出一個改良式的偽差動輸入對的電路架構，使得偽差動輸入對更能被適用於高速電路之中。

在上一章節中我們也已經講過，偽差動輸入放大器電路需要一個共模電壓回授來穩定輸出端的共模電壓，而這個共模電壓回授電路也會在這章中實現。另外我們也以講解過偽差動輸入對的架構需要一個共模電壓前授來增加 CMRR 的值，而這個共模電壓前授電路也會在這章節中實現。

3.2 源極退化電流鏡轉導調整機制之雙差動輸入對轉導式運算放大器

在本節中，將會實現一個擁有可調式轉導之高線性度轉導式運算放大器。這次所實現的轉導式運算放大器將會結合兩個電路技設計巧，一個是雙差動輸入對，另一個是源極退化電流鏡，我們在下面的章節中將會先分別介紹這兩種電路的運作原理與好處，並利用 TSMC CMOS 0.18 μm 製成實現一個 1.8V 工作電壓的高線性度轉導式運算放大器。

3.2.1 轉導式運算放大器的主電路與其運作原理

a. 雙差動輸入對

在前面的章節中已經討論過，在差動輸入對中第三項諧波失真將會支配總諧波失真的大小，而雙差動輸入對是一種有效消除 HD3 的方法。雙差動輸入對的架構圖如圖 3.1 所示，此雙差動輸入對是用兩組源極退化差動輸入對所組成。其中電晶體 M1~M2、M3~M4 的大小分別為 $(\frac{W}{L})_1$ 與 $(\frac{W}{L})_2$ ，而根據第二章所提到的源極退化差動輸入對的電壓對電流的關係式每一個 M1~M4 的電流可寫為

$$i_{o1,2} = G_{m1,2} V_i \sqrt{1 - \left(\frac{V_i}{2V_{dsat}}\right)^2} \quad (3.1)$$

我們將(3.1)以泰勒展開式展開後可得

$$i_{o1,2} = G_{m1,2} \left(V_i - \frac{1}{8V_{dsat}^2} V_i^3 - \frac{1}{128V_{dsat}^4} V_i^5 \dots \right) \quad (3.2)$$

由圖 3.1 可得知輸出電流可以寫成

$$I_{out} = I_{o+} - I_{o-} = (I_{o2+} - I_{o1+}) - (I_{o2-} - I_{o1-}) \quad (3.3)$$

將式子(3.2)帶入(3.3)前兩項中可得式子(3.4)

$$I_{o2+} - I_{o1+} = G_{m2} \left(V_{i+} - \frac{1}{8V_{dsat2}^2} V_{i+}^3 - \frac{1}{128V_{dsat2}^4} V_{i+}^5 \dots \right) - G_{m1} \left(V_{i+} - \frac{1}{8V_{dsat1}^2} V_{i+}^3 - \frac{1}{128V_{dsat1}^4} V_{i+}^5 \dots \right) \quad (3.4)$$

由(3.4)式可以觀察出若電路有(3.5)式的關係，3次方的雜訊則會為零，因此不理想效應所產生的三次項理想上會消失，而三次項越小也就代表THD越小，所以

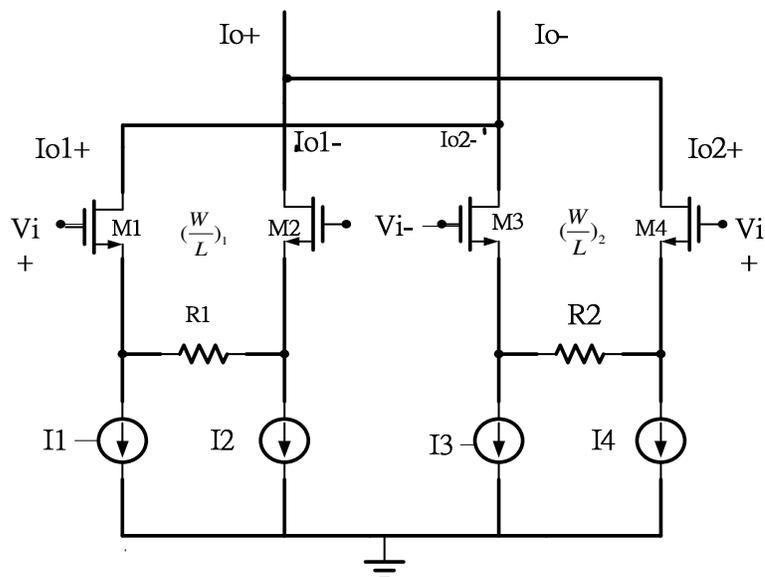


圖3.1 雙差動輸入對

使用 DDP 的架構可以比單獨的源極退化差動輸入對更有效的改善線性度。

$$\frac{G_{m1}}{(V_{dsat1})^2} = \frac{G_{m2}}{(V_{dsat2})^2} \quad (3.5)$$

$$\frac{I_{1,2}}{I_{3,4}} = \frac{(W/L)_1^3}{(W/L)_2} \quad (3.6)$$

而(3.5)式經過推導後能寫成(3.6)式，從(3.6)式能發現，我們在設計時可以藉由設計兩組差動輸入對的大小與尾電流源的比例，來使電路第三斜坡失真的係數為零，此設計方法能使電路的線性度增加超過 20dB。

b. 源極退化電流鏡

理想上轉導式運算放大器的頻寬將會與 $\frac{Gm}{C_L}$ 成正比，因此調整轉導值可以調整轉導式運算放大器頻寬，透過這種機制電路能有效抵抗製程飄移，並能藉由調整轉導值來達到實際應用所需的頻寬。因此如何擁有大的調整範圍又不影響整體電路的效能也是設計轉導式運算放大器很重要的課題。

而從第二章我們可以知道源極退化差動輸入對的電阻值與轉導值有反比關係，因此傳統上可以藉由調整電阻值的方式來調整轉導值。但是這種方式有兩種

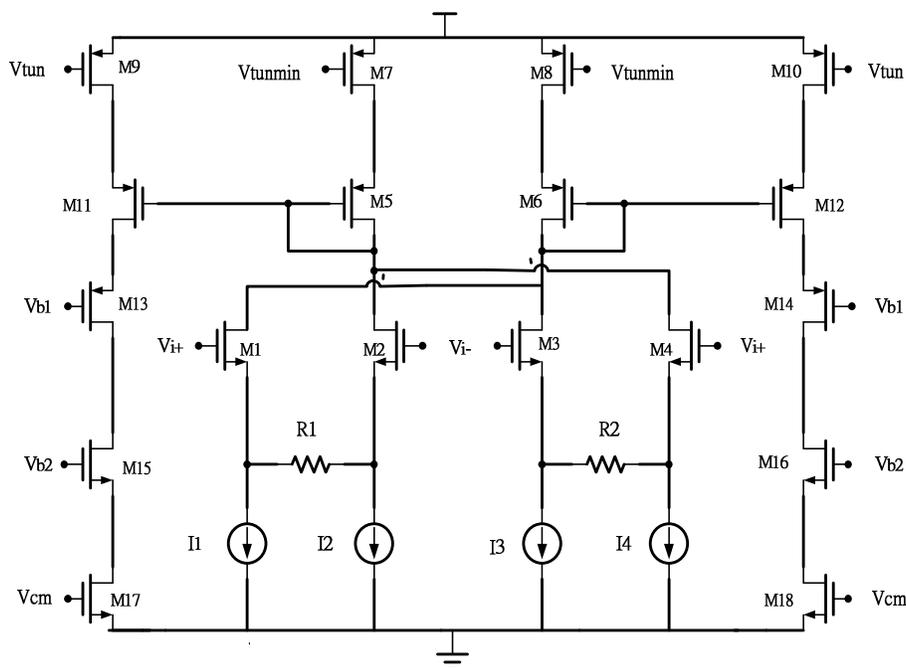


圖3.3源極退化電流鏡轉導調整機制之雙差動輸入對轉導式運算放大器

C. 轉導值

一個擁有可調式轉導之高線性度轉導式運算放大器已經實現在圖3.3中，而其中M1~M2、M3~M4的大小分別為 $(\frac{W}{L})_1$ 與 $(\frac{W}{L})_2$ ，而 I_1 等於 I_2 且 I_3 等於 I_4 ，M5、M6、M11、M12大小相等，M7~M10相同。因此整個電路的轉導值可以藉由(3.1)推導成(3.7)式，其中 β 與 V_{tunmin} 和 V_{tun} 的關係式為(3.8)式

$$G_m = \beta \left[\frac{1}{R_2} \left(\frac{gm_{3,4} R_2}{1 + gm_{3,4} R_2} \right) - \frac{1}{R_1} \left(\frac{gm_{1,2} R_1}{1 + gm_{1,2} R_1} \right) \right] \quad (3.7)$$

$$\beta \propto \frac{(V_{tunmin} - V_{th})^2}{(V_{tun} - V_{th})^2} \quad (3.8)$$

從(3.7)與(3.8)中，可以發現此轉導式運算放大器確實可以透過源極退化電流鏡來調整轉導值。並且也能發現在雙差動輸入對的架構下，兩組差動輸入對的轉導值為相減，造成轉導值的下降，這也就是雙差動輸入對通常不會運用在較高速的電路中的原因。

3.2.2 雜訊分析

雜訊是在設計電路過程中一個非常重要的一個課題。在設計電路過程必須仔細計算雜訊的影響以確保能正確的傳輸訊號。在 CMOS 電路中主要有兩種雜訊，一種叫做閃爍雜訊(flicker noise)或稱為頻率雜訊，它的大小會與頻率成反比。而另一種稱為熱雜訊(thermal noise)，且熱雜訊式由於隨機的電子移動所造成的與直流電流無關。當運作頻率低於轉折頻率(corner frequency)時，閃爍雜訊為電路中主要的雜訊來源。相反的當運作頻率高於轉折頻率時，熱雜訊將會為電路中主要的雜訊來源。奈米電路的轉折頻率大小通常在幾百 k 赫茲左右，因此在我的電路中，熱雜訊將為主要的雜訊來源。熱雜訊可以被表示為一個連結 MOS 汲極與源極的電流源，此電流源的強度密度可以表示為

$$\overline{I_n^2} = 4kT \delta g_m \quad (3.9)$$

其中 k 波茲曼常數(Boltzmann constant)， T 是絕對溫度， g_m 是雜訊來源的轉導值，而 δ 是雜訊相關係數與基板有關。我們定義 $g_{m(n)} = g_{m(n+1)}$ ， n 為偶數 (ex: $g_{m1} = g_{m2}$)。因此圖 3.3 中的輸出熱雜訊強度經過計算可以寫成

$$\overline{I_n^2} = 8kT \left\{ \begin{array}{l} \left[g_{m1} \left(\frac{R_1}{2} + \delta \right) + g_{m1} R_1^2 \right] \times \left(\frac{1}{1+R_1^2} \right)^2 + \delta g_{m5} \\ + \left[g_{m3} \left(\frac{R_2}{2} + \delta \right) + g_{m3} R_2^2 \right] \times \left(\frac{1}{1+R_2^2} \right)^2 + \delta g_{m7} \end{array} \right\} \left(\frac{g_{m5}}{g_{m7}} \right)^2 + 8kT \delta g_{m7} \quad (3.10)$$

3.2.3 共模回授電路

在主要電路之外，在設計差動輸入對時外部的輔助電路來維持電路的輸出的共模電壓，因為差動輸入對的輸出共模電壓可能會因為一些電流鏡的不匹配造成飄移。而當轉導式運算放大器運用在 Gm-C 轉導電容式濾波器時，輸出點會當作下一級的輸入點。而電路在設計時，是針對一個假定的 V_i 的共模電壓值來設計，若輸出點的共模電壓值與輸入點不同，便有可能使得下一級的轉導式運算放

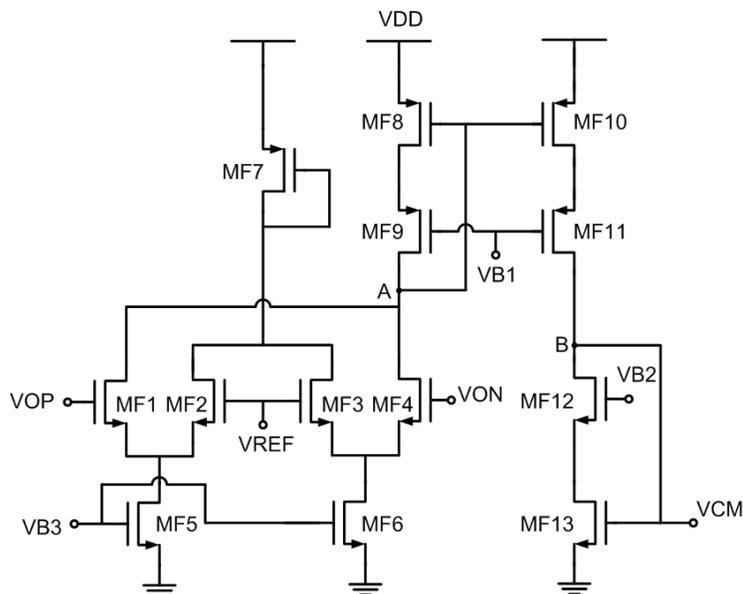


圖 3.4 共模回授電路

大器沒辦法正常運作，因此我們需要一個共模電壓電路來鎖定住輸出的電壓點。而所採用的電路如圖 3.4。

在共模電壓回授的電路中，將會在整的迴路中形成負回授，以圖 3.3 與圖 3.4 為例，當輸出電壓的共模電壓(VON 或 VOP)上升大於電壓 VREF 時，經由 MF1~MF4 將會使 A 節點的電壓下降，接著 A 節點電壓下降，流經 MF10 的電流會上升，使得 B 點的電壓上升，也就是使得節點 VCM 的電壓上升，而此處的 VCM 接回到圖 3.3 主電路之後，便能使得原本已經上升的輸出共模電壓下降到我們預設的電壓 VREF，反之亦然。

而當轉導式運算放大器運作在較高的頻率時，共模回授電路必須要能確保穩定。而圖 3.4 共模回授電路的開路增益可以寫成

$$A_{CMFB}(s) \cong g_{CMFB}(s) \times R_{out} = \frac{g_{mf1,mf4} \times R_{out}}{\left(1 + s \frac{C_A}{g_{mf8}}\right) \left(1 + s \frac{C_B}{g_{mf13}}\right) (1 + s C_L \times R_{out})} \quad (3.11)$$

其中 C_A 和 C_B 是點 A 和點 B 的總電容值。從 (3.11) 式，主要極點位置在 $1/(C_L \times R_{out})$ 而兩個次要極點分別位在 g_{mf8}/C_A and g_{mf13}/C_B 。而這兩個次要極點

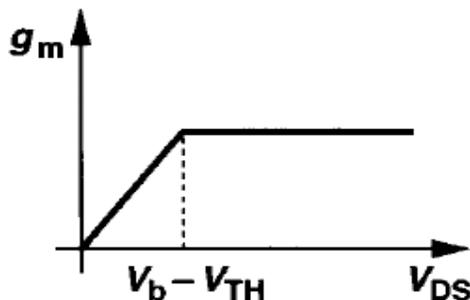


圖 3.5 在同樣的電流下 V_{DS} 與 g_m 關係圖

在設計轉導式運算放大器時，因該將它們的位置設計成遠離電路的單增益頻率點 (unit gain frequency)，以增加轉導式運算放大器電路的相位安全邊限 (phase margin)，使整個電路系統更穩定。

3.3 操作在飽和區且固定 V_{DS} 之差動輸入對的高速轉導運算放大器

在本節中將實現一個擁有不錯的線性度且高速的轉導式運算放大器。為了讓轉導式運算放大器能操作在較高的速度中，這次我設計的電路將使用偽差動輸入對，並提出一個操作在飽和區且擁有固定 V_{DS} 的電路來提升偽差動輸入對的線性度。而且為了更進一步提升電路的線性度，將會加進一個移動補償 (Mobility compensation) 的電路。這個高速轉導式運算放大器將利用 TSMC CMOS $0.18 \mu\text{m}$ 來實現，它的工作電壓為 1.5V 。

3.3.1 轉導式運算放大器的主電路與其運作原理

a. 操作在飽和區且固定 V_{DS} 之偽差動輸入對

我們已經在 2.2.4 小節討論過了傳統的操作在三極區且固定 V_{DS} 之差動輸入對的電路。從式 (2.18) 中我們可以發現圖 2.5 中的 V_{tune} 必須要保持定值才能使輸入電壓對輸出電流保持線性關係。式子 (2.16)、(2.17) 是 CMOS 在三極區的電流公式。我們知道為了要讓式子 (2.16)、(2.17) 更符合現實情況的話，則圖 2.5 中的 $M3$ 、 $M4$ 則必須操作在深三極區，也就是 $M3$ 、 $M4$ 的 $V_{DS}(V_{\text{tune}})$ 要越低越好。

也就是說操作在三極區且擁有固定 V_{ds} 之差動輸入對電路的線性度跟 V_{ds} 大小有關， V_{ds} 越小則此架構的線性度就會提高，在[7]這篇文獻中以證明了這件事。從圖 3.5 我們可以發現深三極區時， g_m 會非常的小。而轉導式運算放大器的單位頻寬大約正比 $\frac{G_m}{C_L}$ ，也就是說傳統的三極區且擁有固定 V_{ds} 之差動輸入對電路要操作在高頻時需要很大的電流 I 去達成。而從圖 3.5 中我們可以發現在同樣的電流下當 MOS 操作在飽和區時的 g_m 值將會遠大於操作深三極區，因此將圖 2.5 中的 M3、M4 操作在飽和區能使 OTA 比 M3、M4 操作在線性區在損耗同等的功率時，能運作在更高頻。因此我將實現一個將操作在飽和區且固定 V_{ds} 的偽差動輸入對的電路。現在唯一的問題在於當圖 2.5 的電路操作在飽和區時是否能使電路的輸入電壓與輸出電流仍然保持線性關係，由 CMOS 飽和區的電壓-電流可以將圖 2.5 中輸出電流 I 寫成(3.12)式(考慮通道調變效應)

$$I = I_1 - I_2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [(V_{i+} - V_{th})^2 - (V_{i-} - V_{th})^2] (1 + \lambda V_{tune}) \quad (3.12)$$

$$\text{而} \quad V_{i-} = V_{cm} - \frac{1}{2} V_{in} \quad V_{i+} = V_{cm} + \frac{1}{2} V_{in} \quad (3.13)$$

將(3.13)式帶入(3.12)是可以得到(3.14)式

$$I = \mu_n C_{ox} \left(\frac{W}{L}\right) V_{in} (V_{cm} - V_{th}) (1 + \lambda V_{tune}) \quad (3.14)$$

從(3.14)式我們可以發現保持 $V_{tune}(V_{ds})$ 的固定時，可以維持 $(1 + \lambda V_{tune})$ 定值，而 V_{cm} 信號的共模電壓也為一定值，因此輸入電壓 V_{in} 對輸出電流 I 仍然成線性關係。操作在飽和區且擁有固定 V_{ds} 的偽差動輸入對的電路，仍然可以有效增進轉導式運算放大器電路的線性度。

另外在圖 2.5 中可知，必須要有一個運算放大器去鎖住 M3 跟 M4 的 V_{ds} 的電壓，然而若是用一個運算放大器來做這個動作可能會產生一個低頻的極點。因此，一些其他的電路就被提出來取代運算放大器去作鎖定的動作，而這些電路的架構是越簡單越好，才不會產生低頻的極點使相位增益變小。[8]就提出 Feedforward

在之前已經講過對操作在三極區而言，輸入對的V_{ds}要越低線性度才會越好，因此為了追求線性度，他們需要一個有參考電壓且較複雜的偏壓電路來把V_{ds}的直壓得很低來增加操作在三極區電路的線性度。像是在[7]、[9]中就提出了兩種不同的偏壓電路來鎖定並壓低V_{ds}的值。而操作在飽和區，對V_{ds}的大小較不在意，因此我可以利用像圖3.5中一個簡單的回授電路去鎖定V_{ds}即可。也較是說在設計鎖定V_{ds}的電路時，操作在飽和區往往比在三極區中來的簡單且節省功率。

B. 移動補償

為了更進一步的提高線性度，我將在轉導式運算放大器中加入移動補償的電路，使用移動補償的好處除了可以增加轉導式運算放大器的線性度，另外因為多增加的電路操作在次臨界區(subthreshold region)，所以電路所使用的功率不會增加太多。在下面圖 3.7(a)、(b)分別為一般的偽差動輸入對跟加入移動補償的偽差動輸入對架構。

當M1a and M1b 運作在飽和區時考慮非理想效應電流I_D可表示成式子(3.15)

$$I_{D,sat} = \frac{\mu_n C_{ox} \left(\frac{W_s}{L_s}\right) (V_{GS} - V_{thn})^2}{2 [1 + \theta (V_{GS} - V_{thn})]} (1 + \lambda V_{DS}) \quad (3.15)$$

其中C_{ox} 是單位面積之閘氧化層電容，μ_n 是電子遷移率，θ 是遷移減少常數，V_{thn} 是NMOS臨界電壓，λ 是輸出阻抗常數。而差動輸出電流可以經由泰勒展開式展開寫成

$$I_O = I_{D1} - I_{D2} = a_1 V_{in} + a_3 V_{in}^3 + a_5 V_{in}^5 + a_7 V_{in}^7 + \dots \quad (3.16)$$

其中。而操作在飽和區中的第三項諧波失真係數可寫為(3.17)

$$a_{3,sat} = - \frac{\mu_n C_{ox} \left(\frac{W_s}{L_s}\right) \theta}{32 [1 + \theta (V_{cm} - V_{thn})]^4} \quad (3.17)$$

而當M1a 和 M1b 運作在次臨界區時考慮非理想效應電流I_D可表示成式子(3.18)

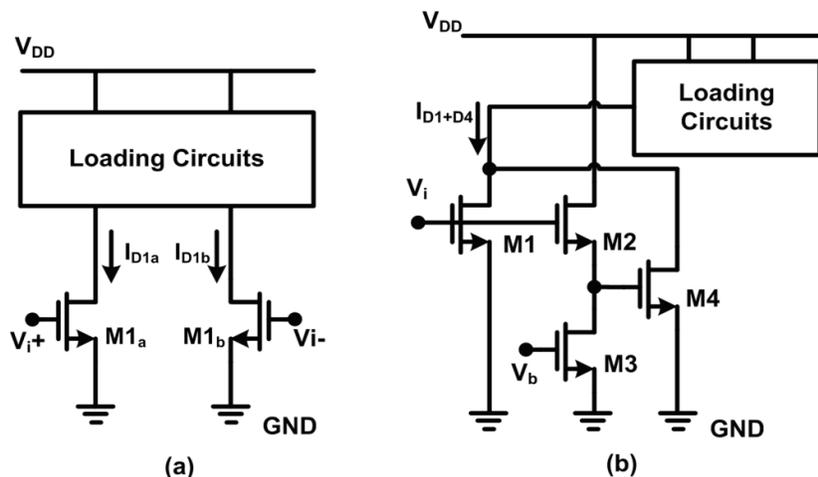


圖3.7 (a)基本的偽差動輸入對. (b)移動補償的偽差動輸入對

$$I_{D,sub} = I_0 \left(\frac{W_w}{L_w} \right) e^{\frac{V_{GS}}{\xi V_T}} \left(1 - e^{-\frac{V_{DS}}{V_T}} \right) \quad (3.18)$$

\$I_0\$ 是製程相關係數, \$\xi\$ 是次臨界斜率係數, and \$V_T\$ 是臨界電壓。而由式(3.18)可得當 \$M1a\$ 和 \$M1b\$ 操作在次臨界區時, 它的第三諧波失真係數為(3.19)

$$a_{3,sub} = \frac{I_0}{24 (\xi V_T)^3} \left(\frac{W_w}{L_w} \right) e^{\frac{V_{cm}}{\xi V_T}} \quad (3.19)$$

我們可以從式(3.17)跟式(3.19)發現, 第三諧波失真項如果符合(3.20)的條件時, 第三諧波失真項會被消掉, 達到增加線性度的目的。

$$a_{3,sat} + a_{3,sub} = 0 \quad (3.20)$$

而整個移動補償的架構如圖3.6(b)所示, 其中 \$M1\$ 運作在飽和區、\$M4\$ 運作在次臨界區。而 \$M2\$、\$M3\$ 為一源極隨耦器, 目的是讓 \$M4\$ 正確操作在次臨界區。

C. 轉導值

一個擁有高線性且高速度轉導式運算放大器已經實現在圖3.8中, 其中 \$M1 \sim M6\$ 為一組操作在飽和區且擁有固定 \$V_{ds}\$ 之差動輸入對, 而 \$M17 \sim M22\$ 是當作移動

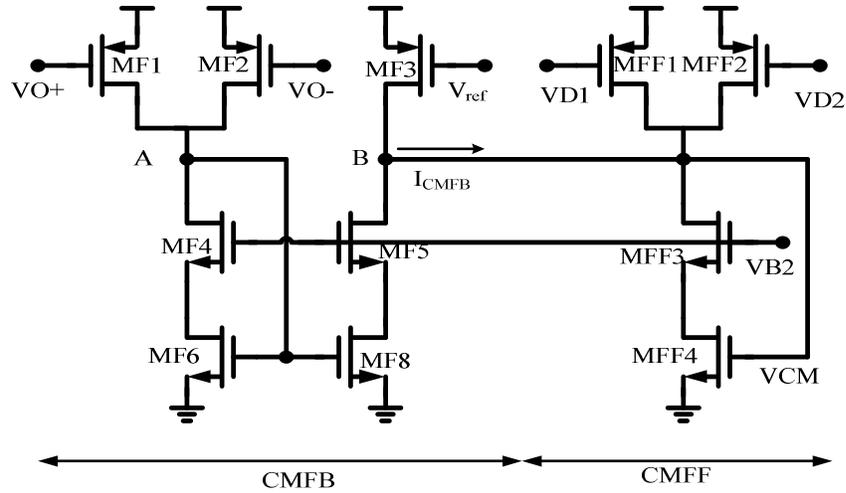


圖 3.9 共模回授和前授電路

$$\overline{I_n^2} = 8kT\delta \left\{ g_{m1} + \frac{g_{m3}}{(1 + g_{m3}r_{ds3})^2} + g_{m7} \left(\frac{g_{m7}}{g_{m11}} \right)^2 + g_{m15} \right\} \quad (3.22)$$

從(3.22)式中可以發現用來鎖定輸入對 Vds 的 M5、M6 並不會影響输出的熱雜訊的大小。而雜訊主要來源為差動輸入對 M1、M2。有就是說要使電路越快，付出的代價就是熱雜訊越高。

3.3.3 共模回授電路與共模前授電路

我們已經在 3.2.3 中說明為何差動輸入對電路需要共模回授電路的原因。但對於偽差動輸入對的電路來說，它的共模控制電不僅僅需要共模回授電路，還需要一個共模前授電路來抵抗由輸入共模訊號所引起之輸出共模電壓。而共模前授電路的運作原理我們已經在 2.2.3 節中講解過了。而為了使電路簡單化，我將使用在一個同時包含共模前授與回授的電路。此電路如圖 3.9 所示。此共模回授電路將經由輸出共模電壓產生回授電流並流經共模前授電路，且 MF1、MF2 的大小將為 MF3 的一半。現在假設 VO+ 上升，則流經 A 點的電流會下降，而因為 MF3 的電流大小不變，因此將會有一電流 I_{CMFB} 流到共模前授的電路，導致 VCM 電壓上升，最後接回圖 3.8，則使 VO+ 下降回到 V_{ref} 為止，達到共模回授的目的。而共模前

授電路將由圖 3.8 的 M7，M8 跟圖 3.9 的 MFF1、MFF2 之電流鏡組成。而 MFF1、MFF2 的大小將為 M7，M8 的一半。由圖 3.8 和圖 3.9 我們可以發現流經 MFF1 的訊號為 $\frac{1}{2}V_{cm} + \frac{1}{4}V_{in}$ ，而流經 MFF2 訊號為 $\frac{1}{2}V_{cm} - \frac{1}{4}V_{in}$ 。因此流經 MFF4 的訊號只剩下共模電壓 VCM。此訊號將被複製到轉導式運算放大器的輸出點的下方，如此一來能強迫輸出點 V_{O+} 與 V_{O-} 只輸出小訊號，如此一來圖 3.8 中的轉導式放大器的共模排斥比就能提升。

而同樣的我們必須要保證圖 3.9 的電路在高頻運作的時候仍然能保持穩定，因此必須確保安全相位在高頻時仍然足夠。而圖 3.9 電路的開路增益可以寫成

$$\begin{aligned}
 A_{CMFB}(s) &\cong g_{CMFB}(s) \times R_{out} \\
 &= \frac{g_{mf1,mf2} \times R_{out}}{\left(1 + s \frac{C_A}{g_{mf6}}\right) \left(1 + s \frac{2C_B}{g_{mff4}}\right) (1 + sC_L \times R_{out})} \quad (3.23)
 \end{aligned}$$

其中 C_A 和 C_B 是點 A 和點 B 的總電容值。從 (3.11) 式，主要極點位置在 $1/(C_L \times R_{out})$ 而兩個次要極點分別位在 g_{mf8}/C_A and g_{mf13}/C_B 。而這兩個次要極點在設計轉導式運算放大器時，因該將它們的位置設計成遠離電路的單增益頻率點，以增加轉導式運算放大器電路的相位安全邊限，使整個電路系統更穩定。

第四章

轉導式電容濾波器

4.1 簡介

在現今的通訊系統以及 SOC，類比濾波器佔著很重要的地位。而其中連續時間的類比濾波器更是現今被注重議題之一。連續時間的類比濾波器往往被用來限定訊號的頻帶達到去除雜訊的效果，以及用來去除假頻的訊號，或者是用來使增益和延遲時間相同等等的用途。

而類比濾波器的架構大致上能分成主動 RC 濾波器、切換式電容濾波器、MOSFET-C 濾波器、以及 Gm-C 濾波器等四種種類。主動 RC 濾波器中需要 OPamp，而 OPamp 往往會限制住濾波器的頻率，而且電路中需要被動元件電阻 R 與電容 C，往往會需要較大面積，且 R 值的準確度在 CMOS 中也是一個挑戰。而切換式電容濾波器則是利用不停的開關電容來取代電阻，而這個電阻會跟電容大小與切換頻率的比率有關，但此種架構也不適用於較高頻率的應用。而 MOSFET-C 濾波器架構的設計如主動 RC 濾波器一般，但是它利用 MOSFET 運作在三極區來取代 R，但是必須注意到 MOSFET 運作在三極區的 R 直是非線性的，因此在設計差動輸入電路時要非常小心，因為這非線性的 R 值可能會使正向訊號與反向訊號在路徑中相消，而造成非理想效應。

而 Gm-C 濾波器則是由轉導式運算放大器與電容所組成。在類比電路與系統中，轉導式運算放大器是一個重要的電流式基本元件。而 Gm-C 濾波器相較於主動 RC 濾波器和切換式電容濾波器能操作在更高的頻率，它能操作在 kHz~幾百 MHz 而它相較於主動 RC 濾波器和 MOSFET-C 濾波器架構而言，因為電路架構簡單且是操作在開路迴路下，往往能有更佳的頻率響應。但是不管是在操作頻率與

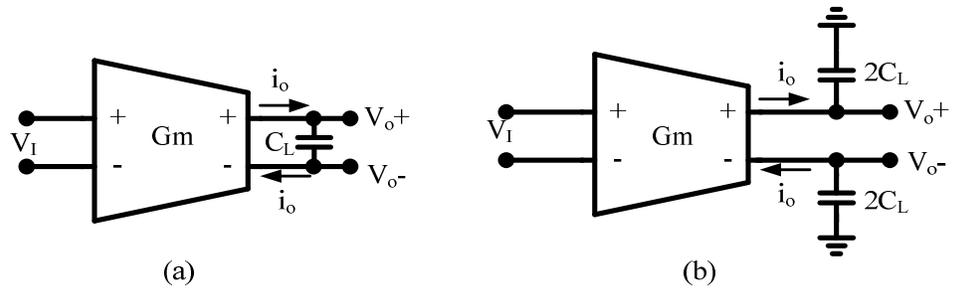


圖 4.1 全差動積分器

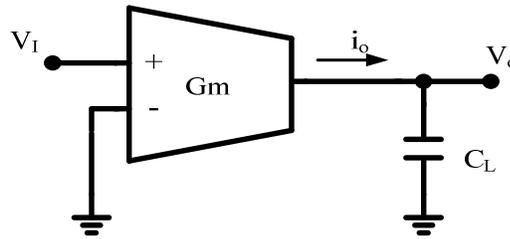


圖 4.2 單端積分器

線性度上， G_m - C 濾波器的效能會高度的受到轉導式運算放大器的影響。因此近年來有非常多的研究致力於如何增加轉導式運算放大器上，來提升 G_m - C 濾波器的效能[15]-[16]。

4.2 G_m - C 積分器

積分器是在連續時間濾波器中的基本架構。因此在 4.2.1 中，我們將會介紹基本的 G_m - C 積分器的架構。在理想的狀態中，此積分器將會有無限的輸出阻抗、輸入阻抗、頻寬、並且它的輸出電流將和輸入電壓成線性關係。而在 4.1.2 中我們將介紹 G_m - C 積分器的非理想效應。

4.2.1 理想積分器模型

圖 4.1、4.2 分別為差動和單端 G_m - C 積分器的基本模型。因為在理想的積分器中，輸入電阻與輸出電阻都為無限大。因此，不管是單端或差動積分器我們可以由圖中導出它們的輸出電壓與輸入電壓關係式都為

$$V_o = \frac{i_o}{sC_L} = \frac{g_m V_i}{sC_L} \quad (4.1)$$

若將 $s=j\omega$ 帶入(4.1)式，此理想積分器的轉移函數可以寫成(4.2)

$$H(j\omega) = \frac{V_i(j\omega)}{V_o(j\omega)} = \frac{g_m}{j\omega C_L} = \frac{1}{R(j\omega) + jX(j\omega)} \quad (4.2)$$

由(4.2)式我們可以發現它的安全相位 $=-180^\circ + \tan^{-1}(X(j\omega)/R(j\omega))$ ，當一個轉導式運算放大器為理想時，因為 DC 增益無限大則它的安全相位將為 -90° 。而我們定義品質係數(quality factor)為(4.3)式，因此當積分器為理想時，品質係數為無限大。

$$Q(j\omega) = \frac{X(j\omega)}{R(j\omega)} \quad (4.3)$$

4.2.2 積分器的非理想效應

在非理想的轉導式運算放大器中，因為有一些寄生的電容電阻所產生的零點與極點，因此將產生一些非理想項與延遲在積分器的轉移函數中。而我們可將這些高頻的零點與極點等效成一個極點。此極點若位在右半邊複數平面(RHP)，將會造成相位的延遲。反之將會造成相位的提前。

一個非理想的積分器模型圖以表示在圖 4.3，而它的轉移函數可以寫(4.4)

$$H_{nonideal} = \frac{V_{out}(s)}{V_{IN}(s)} = \frac{g_m}{g_o} \frac{1-s\tau_2}{1+s\frac{C_L}{g_o}} = A \frac{1-s\tau_2}{1+s\tau_1} \quad (4.4)$$

而有限的主極點 τ_1 和有限的 DC 增益可以寫成(4.5)式

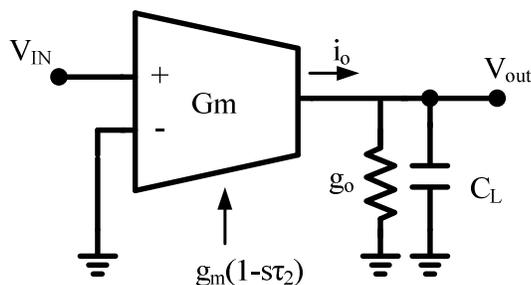


圖 4.3 非理想單端積分器

$$\tau_1 = \frac{C_L}{g_o}, A = \frac{g_m}{g_o} \quad (4.5)$$

由(4.2)和(4.4)式我們可以將理想與非理想積分器增益與相位圖表示如圖 4.4

通常 $1/\tau_1 \ll \omega_T \ll 1/\tau_2$ 。而從圖 4.4 可知有限的 DC 增益以及寄生極點將使安全相位發生誤差再也非 -90° 。此誤差可以寫成(4.6)式

$$\Delta\phi(\omega) = \arg[H_{nonideal}(\omega)] + 90^\circ \quad (4.6)$$

而品質係數將重新寫為(4.7)式

$$Q_{nonideal}(\omega) = \frac{X(\omega)}{R(\omega)} = \tan(-\arg(H_{nonideal}(j\omega))) \quad (4.7)$$

從(4.3), (4.6), and (4.7), 可以導出品質係數約為(4.8)式, 而非理想的無限大。

$$\frac{1}{Q_{nonideal}(\omega)} \approx \frac{1}{\omega\tau_1} - \omega\tau_2 \quad (4.8)$$

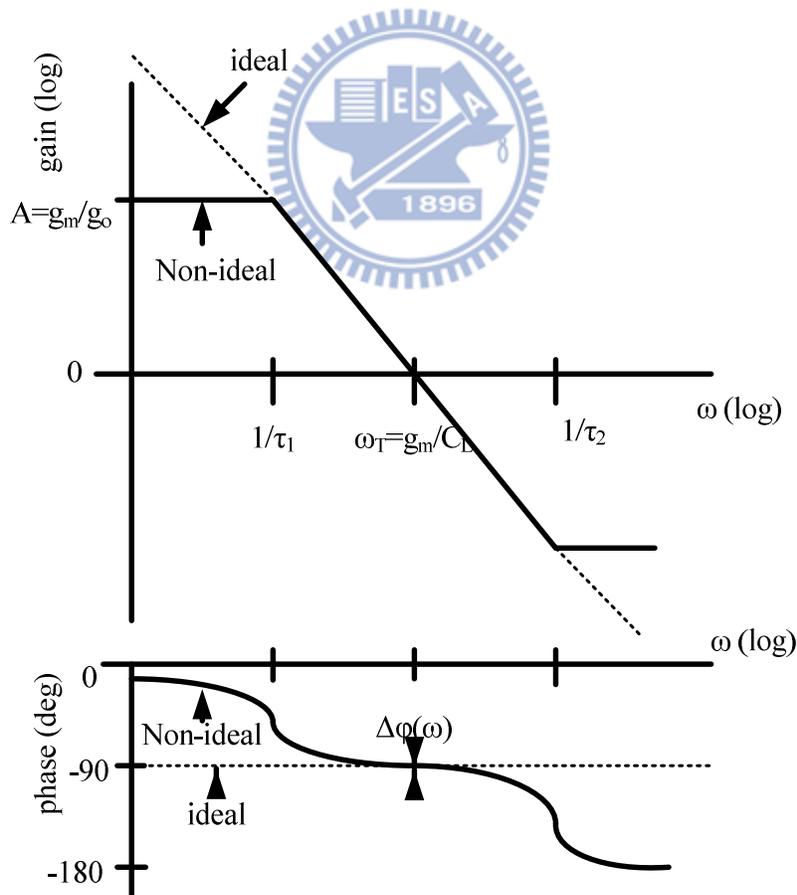


圖 4.4 理想與非理想積分器增益與相位圖

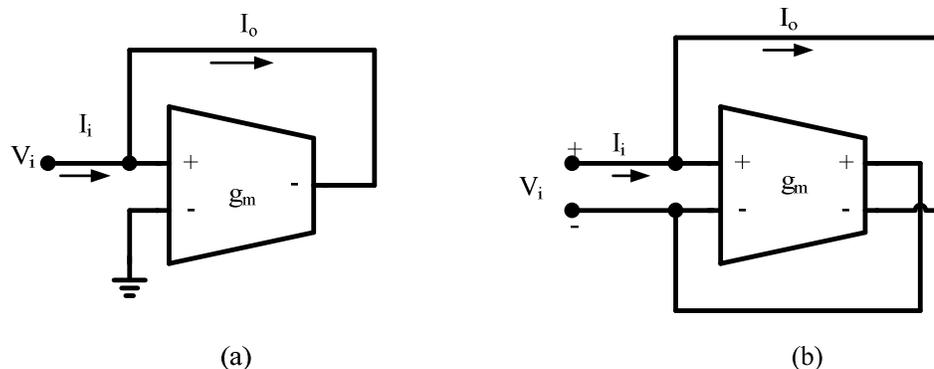


圖 4.5 利用轉導式運算放大器的電阻(a)單端(b)雙端

4.3 電阻與電感

在被动滤波器的设计中，将会使用到电阻、电容与电感。而我们知道主动滤波器的设计原理是源自于被动滤波器的是设计原理。也就是在主动式滤波器的设计中就会利用一些较特殊的电路接法来取代被动滤波器里的被动元件。在这个小节中，我们将分别介绍如何利用转导式运算放大器来取代电阻与电感。

4.3.1 电阻

电阻是滤波器中一个基本的元件。而图 4.5 为利用转导式运算放大器来兜成单端或双端输入电阻的电路图。从 4.5(a) 图上可以注意到，转导式运算放大器的输出负端将会接回输入正端。也就是说在理想的状况下，转导式运算放大器的输入电阻无限大，输入电流将会等于输出电流。也就是说输出与输入电流将会与输入电压有(4.9)这个关系式

$$I_i = I_o = g_m V_i \quad (4.9)$$

所以它的等效电阻 R 会为

$$R = \frac{V_i}{I_i} = \frac{1}{g_m} \quad (4.10)$$

而在双端输入的接法中，必须注意到的是转导式运算放大器的输入与输出的接法必须为正负反接，否则我们将会推导出一个负的电阻值。而如同推导(4.9)式，我们将可以同样推导出图 4.6(b)的接法将会等效为一电阻 R 与(4.10)式同。

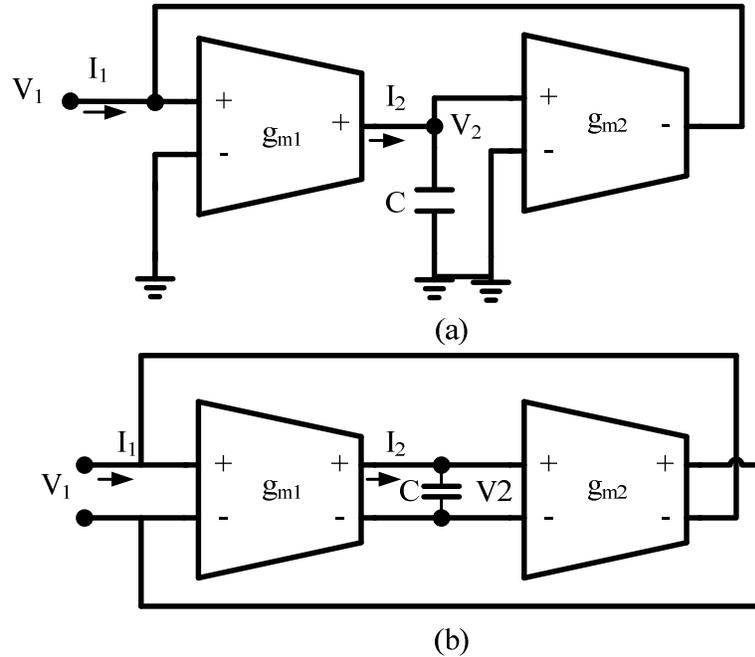


圖 4.6 利用轉導式運算放大器的電感(a)單端(b)雙端

$$R = \frac{V_+ - V_-}{I_i} = \frac{V_i}{I_o} = \frac{1}{gm} \quad (4.11)$$

4.3.2 電感

電感也是一個在RLC濾波器的基本元件。圖4.6(a)、(b)為轉導式運算放大器所等效的單端和雙端電感。它的電路理念是利用一個迴轉電路(gyrator)來使負載電容C等效成一個電感L。

從圖4.6(a)中，我們可以把電流 I_1 、 I_2 分別表示為

$$I_1 = g_{m2} V_2 \quad (4.12)$$

$$I_2 = g_{m1} V_1 \quad (4.13)$$

而 V_2 的電壓可以利用流過電容C的電流表示為

$$V_2 = I_2 \times \frac{1}{sC} \quad (4.14)$$

將(4.14)式中的 I_2 、 V_2 以(4.12)、(4.13)取代，則輸入等效阻抗可以表示為

$$Z_1 = \frac{V_1}{I_1} = \frac{1}{g_{m1}g_{m2}} \frac{I_2}{V_2} = \frac{1}{g_{m1}g_{m2}} sC \quad (4.15)$$

從(4.15)可以發現此時輸入阻抗 Z_1 ，就好像等效成一個電感，而此等效電感值 L 的大小為

$$L_{eq} = \frac{C}{g_{m1}g_{m2}} \quad (4.16)$$

我們已經從(4.10)與(4.16)分別證明了電阻與電感的電路模型，可以用轉導式運算放大器與電容來建立，我們將利用這兩個模型與前面所介紹的積分器模型來實現 Gm-C 濾波器的電路。

4.4 雙二階(biquad)架構

在本節中將利用轉導式運算放大器來建立一個二階濾波器的架構。我們將從被動式的 GIC 雙二階架構開始討論起，在這個被動二階濾波器中 RLC 的電路圖如圖 4.7(a)，而圖 4.7(a)我們可以將它等效成圖 4.7(b)。利用克希赫夫電流公式能將 V_1 與 V_x 的關係式表示為

$$\frac{V_2}{V_1} = \frac{G}{G + sC + \frac{1}{sL}} \quad (4.17)$$

其中 G 是 R 的電導，大小為 $1/R$ 。而我們將利用在 4.2、4.3 小節中所介紹的轉導式運算放大器的電路架構來等效圖 4.7(b)電路。在這個等效電路中將會用用到四個轉導式運算放大器與兩個電容來構成一個雙階式濾波器的架構。而圖 4.8 就為利用轉導式運算放大器等效圖 4.7(b)的電路圖。

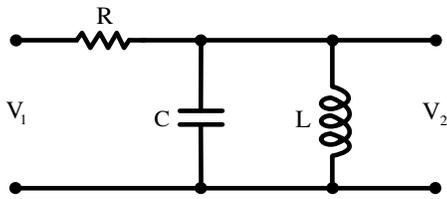


圖 4.7 (a) 二階 RLC 濾波器電路

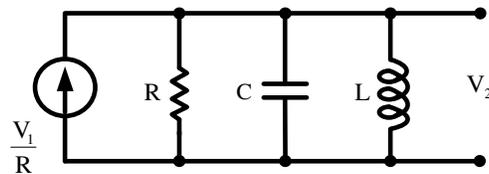


圖 4.7(b) 二階 RLC 濾波器電路

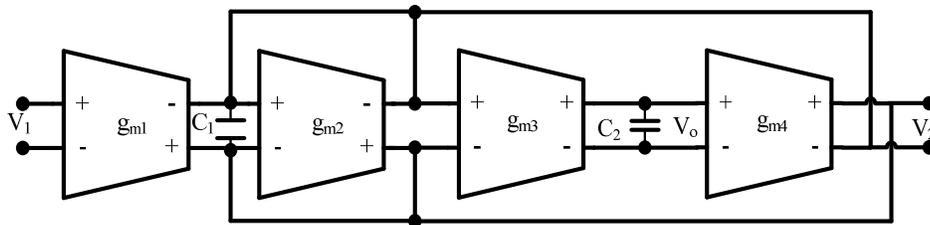


圖 4.8 二階 Gm-C 低通濾波器架構

在圖 4.8 中第一個轉導式運算放大器 g_{m1} 將會將輸入電壓訊號轉成電流訊號，而電容 C_1 將作為圖 4.7(b) 中的 C 用。而轉導式運算放大器 g_{m2} 就如我們在 4.3.1 中所介紹的接成了一個等效電阻的架構，此等效電阻值為 $1/g_{m2}$ 。而轉導式運算放大器 g_{m3} 、 g_{m4} 與 C_2 就如我們在 4.3.2 中所推導的為一等效電感 L 。此等效電感值為 $C_2/g_{m3}g_{m4}$ 。而將這些等效值帶入(4.17)式中可以得

$$\frac{V_2}{V_1} = -\frac{g_{m1}}{g_{m2} + sC_1 + \frac{g_{m3}g_{m4}}{sC_2}} = -\frac{sC_2g_{m1}}{s^2C_1C_2 + sC_2g_{m2} + g_{m3}g_{m4}} \quad (4.18)$$

而 V_2 和 V_0 的關係式可以透過轉導式運算放大器 g_{m3} 寫成

$$V_o = -\frac{g_{m3}}{sC_2} V_2 \quad (4.19)$$

因此將(4.19)式帶入(4.18)式後可推得整個 Gm-C 濾波器的轉移函數為

$$\frac{V_2}{V_i} = \frac{g_{m1}g_{m3}}{s^2C_1C_2 + sC_2g_{m2} + g_{m3}g_{m4}} \quad (4.20)$$

由(4.20)中我們可以看出這是一個二階低通濾波器的轉移函數。事實上轉導式運算放大器能夠滿足任一種濾波器的轉移函數。圖 4.9 為一 Gm-C 帶通濾波器的架構。他的轉移函數為

$$\frac{V_2}{V_1} = \frac{sC_2g_{m1}}{s^2C_1C_2 + sC_2g_{m2} + g_{m3}g_{m4}} \quad (4.21)$$

而雙二階架構的好處是它是一個能疊接的元件，因此利用此種架構能簡單的做出穩定的高階濾波器電路。而它的缺點在於一些非理想的附載效應，以及如果雙二階架構裡的元件出現誤差會影響到整個濾波器的表現。

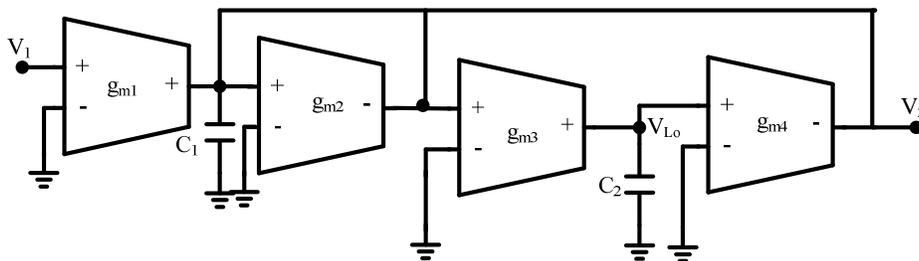


圖 4.9 二階 Gm-C 帶通濾波器架構

4.5 四階濾波器

我們已經在 4.4 節中講過我們可以利用多級的雙二階架構來構成一個高階的濾波器架構。因此在本節中我們將利用二級雙二階架構來構成一個四級的低通 Gm-C 濾波器。而要實現一個低通濾波器，首先我們必須要選擇使用那種型式的濾波器，而現今有幾種常見的濾波器型態，像是 Butterworth、Chebyshev、Elliptic、Equal-Ripple delay 等等。而每個濾波器形態各有自己的優缺點。而我本次在實現此四階低通濾波器時，將會選用 Equal-Ripple delay 這個形式的濾波器，因為它在所有的濾波器型態中，擁有最小的群延遲 (group delay)。而群延遲太大將會增加訊號傳輸中的失真程度。而此 Equal-Ripple delay 的四階轉移函數的分母如表 4.1 所示，而此四階濾波器的截止頻率與品質係數 Q 可以分別利用 (4.22) 式與 (4.23) 式來得到

$$\omega_0 = \frac{g_{m1}}{C} \quad (4.22)$$

$$Q = \frac{g_{m1}}{g_{m2}} \quad (4.23)$$

表 4.1 雙二階轉移函數分母式

Filter order N	E(s) for $\Delta\theta = 0.05^\circ$
4	$(s^2 + 1.929s + 1.156) \times (s^2 + 1.489s + 2.57)$

而圖 4.10 為一個完整的 Gm-C 四階低通濾波器完整的電路圖，從電路圖中可以發現在雙二階架構中，每二階中可以減少二個共模回授電路的使用。

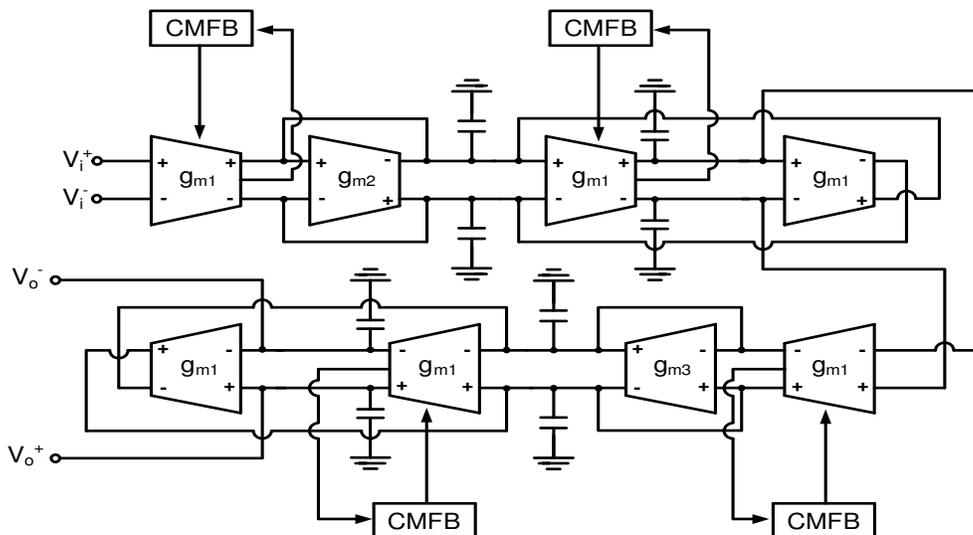


圖 4.10 Gm-C 四階低通濾波器

4.6 輸出緩衝器

為了在實際量測時的需求，我們必須在濾波器外加入緩衝器的架構。在我們的設計中輸出將會是電壓訊號，然而網路分析儀的輸入訊號點並非擁有無限的阻抗，因此電流有可能會流進測試機器，造成不可預測的附載效應。因此我們必須利用一個緩衝器去避免策是一器的附載效應。而在這裡我使用了一個源極隨耦器來當作輸出緩衝器，而當此源極隨耦器電流夠大時，它的 DC 曾為趨近於一，因此不會衰減我們的輸出訊號。而一個源極隨耦器當作濾波器的輸出緩衝器的電路示意圖如圖 4.11 所表示

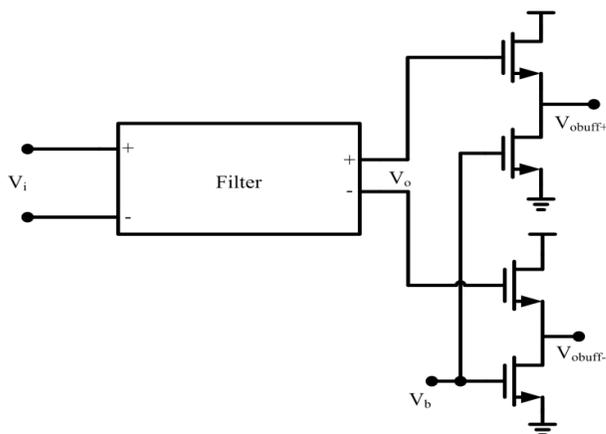


圖 4.11 當作輸出緩衝器的源極隨耦器

第五章

模擬與量測結果

5.1 簡介

在這小節中將會定義幾種一般量測轉導式運算放大器效能時，所會量測的一些效能數據。例如，共模排斥比(common-mode rejection ratio)、電源排斥比(power supply rejection ratio)、第三諧波失真(third-order harmonic distortion)、總諧波失真(third-order intermodulation)、三階互調(Third-order intermodulation)功率等等。



5.1.1 共模排斥比

一個電路能抵抗共模訊號干擾的能力就叫做共模排斥比。如(5.1)式所示，共模排斥比會是差動訊號的增益 A_{DM} 與共模訊號對差動輸出造成的增益 A_{CM-DM} 的比例。而在完美的差動電路中 A_{CM-DM} 將為零，所以在差動電路共模排斥比將會是無限大。

$$CMRR = \left| \frac{A_{DM}}{A_{CM-DM}} \right| \quad (5.1)$$

5.1.2 電源排斥比

因為當一個電路在實際運作時，現實中將無法提供一個完美的直流 DC 電壓給我們的電路。在實際生活中，電源往往還包含了一些小的 AC 雜訊，而這些雜訊也會影響整了電路運作的效能。而電源排斥比是一個用來量測一個電路對於來自電源雜訊抵抗能力的數據。電源排斥比的定義如(5.2)式

$$PSRR = \frac{V_{out}/V_{in}}{V_{out}/V_{DD}} = \frac{A_{DM}}{A_{PS-DM}} \quad (5.2)$$

它的分子會是電路從輸出到輸出的差動增益，而分子是從電源到輸出的增益，因此當電源排斥比越大時，代表這個電路將更不容易遭到電源裡的雜訊所影響。

5.1.3 總諧波失真

若當電路是理想狀況時，當一個弦波進到此電路後所輸出的訊號，將會是一個與輸入訊號同樣頻率的弦波。然而在實際的電路中，除了原本訊號頻率的訊號之外，還會有其他的諧波項產生，這些諧波的頻率將會是原本訊號的倍頻。因此將總諧波失真定義為從第二諧波到更高次諧波的功率總和和原訊號功率之比例。因此，總諧波失真可以定義為(5.3)式，而(5.4)式為總諧波失真在 dB 單位時的一般定義。而 H_{Dn} 為每一項諧波的振幅。

$$THD = \sqrt{\frac{H_{D2}^2 + H_{D3}^2 + \dots + H_{Dn}^2}{H_{D1}^2}} \quad (5.3)$$

$$THD = 10 \log \left(\frac{H_{D2}^2 + H_{D3}^2 + \dots + H_{Dn}^2}{H_{D1}^2} \right) \quad (5.4)$$

5.1.4 第三諧波失真

我們已在前面的章節提過，在差動電路中，偶次項的諧波將會消失。而高次項的諧波的值會很小，因此第三諧波的大小幾乎了決定總諧波失真大小。因此，若我們假設一個非線性系統的輸入為 $v_i(t)$ 而輸出為 $v_o(t)$ ，則他們兩者的關係式

大約可以寫成如(5.5)式

$$v_o(t) \cong a_1 v_i(t) + a_3 v_i^3(t) \quad (5.5)$$

而 a_1 和 a_3 分別為主訊號項與第三諧波項的係數。若我們假設輸入訊號為 $v_i(t) = A \cos(\omega t)$ 這個弦波訊號，則輸出訊號可以寫成

$$v_o(t) \cong \left[a_1 A + \frac{a_3}{4} 3A^3 \right] \cos(\omega t) + \frac{a_3}{4} A^3 \cos(3\omega t) \quad (5.6)$$

通常 $\frac{a_3}{4} 3A^3 \ll a_1 A$ ，因此我們可以把主訊號項與第三諧波項的振幅寫成

$$H_{D1} = a_1 A \quad (5.7)$$

$$H_{D3} = \frac{a_3}{4} A^3 \quad (5.8)$$

所以由上兩式，我們可以將第三諧波失真寫成如(5.9)式

$$HD3 = \frac{H_{D3}}{H_{D1}} = \left(\frac{a_3}{4a_1} \right) A^2 \quad (5.9)$$

5.1.5 三階互調

由於非線性電容或是非線性的差動訊號，濾波器的線性度在高頻往往會比低頻來的糟糕。因此測量一個濾波器在它高頻頻寬邊界的線性度，是一個測試濾波器的效能的方法。然而若使用前面量測諧波失真的方法來量測時，它的諧波失真項振幅的大小將會受到濾波器阻帶(stop band)所抑制，而使總諧波失真的大小降低，會使我們在量測線性度得到錯誤的答案。因此我們將使用三階互調(IM3)的方式量測像是濾波器這種電路的線性度。

現在來考慮一個互調的量測方式，項在輸入一個包含兩個同樣大小的弦波訊號，這個輸入訊號可以寫成如下式

$$V_{in}(t) = A \cos(\omega_1 t) + A \cos(\omega_2 t) \quad (5.10)$$

而在此輸入訊號下，由(5.5)與(5.10)式輸出訊號可以寫成如(5.11)式

$$\begin{aligned} V_o(t) \cong & \left(a_1 A + \frac{9a_3}{4} A^3 \right) [\cos(\omega_1 t) + \cos(\omega_2 t)] \\ & + \frac{a_3}{4} A^3 [\cos(3\omega_1 t) + \cos(3\omega_2 t)] \\ & + \frac{3a_3}{4} A^3 [\cos(2\omega_1 t + \omega_2 t) + \cos(2\omega_2 t + \omega_1 t)] \\ & + \frac{3a_3}{4} A^3 [\cos(\omega_1 t - (\omega_2 - \omega_1)t) + \cos(\omega_2 t + (\omega_2 - \omega_1)t)] \end{aligned} \quad (5.11)$$

在(5.11)中可以發現，第二項與第三項的訊號將會落在濾波器的阻帶上而被抑制，因此它的值將會很小。所以我們可以把輸出訊號看成第一項與第四項的組成。而第四項表式著兩個離輸入訊號非常近的互調失真項。因此輸出的主要訊號項與因互調機制所產生的訊號項的大小可以分別表示為

$$I_{D1} = a_1 A \quad (5.12)$$

$$I_{D3} = \frac{3a_3}{4} A^3 \quad (5.13)$$

其中假設 $a_1 A \gg \frac{9a_3}{4} A^3$ 。而三階互調定義為(5.12)與(5.13)式的比例，可寫為

$$IM3 = \frac{I_{D3}}{I_{D1}} = \left(\frac{a_3}{a_1}\right) \left(\frac{3A^2}{4}\right) \quad (5.14)$$

5.1.6 功率

功率是在一定時間內所消耗的能量比例。在電子領域中我們將一個電路的功率定義為



$$P = I \cdot V$$

(5.15)

在這裡 V 為電源供應器的電壓， I 則為整個電流供應器所流出的電流。

5.2 源極退化電流鏡轉導調整機制之雙差動輸入對轉導式運算放大器與其四階濾波器的效能

在這個章節中，我們將會展示源極退化電流鏡轉導調整機制之雙差動輸入對轉導式運算放大器與其四階濾波器效能模擬與測量結果。其中模擬結果包括了轉導式運算放大器的轉導值大小與調整範圍、頻率和相位響應、諧波失真、共模排斥比與電源排斥比。而濾波器則包含了頻率響應、諧波失真與群延遲(group delay)的模擬結果。而後則會有這兩電路的佈局圖以及他們的晶片照片。而最後則會有他們的第三諧波失真的量測結果，以及濾波器的頻率響應量測結果。

5.2.1 轉導式運算放大器模擬結果

圖 5.1 為此轉導式運算放大器在不同調整電壓下的轉導值。將調整電壓從 0.1V 改變到 0.9V 時，可以從圖看出在 $V_{\text{peak-peak}}$ 為 400mV 時，轉導值仍保持平坦而此時轉導式運算放大器的轉導值可以從 60us 調整到 180us。

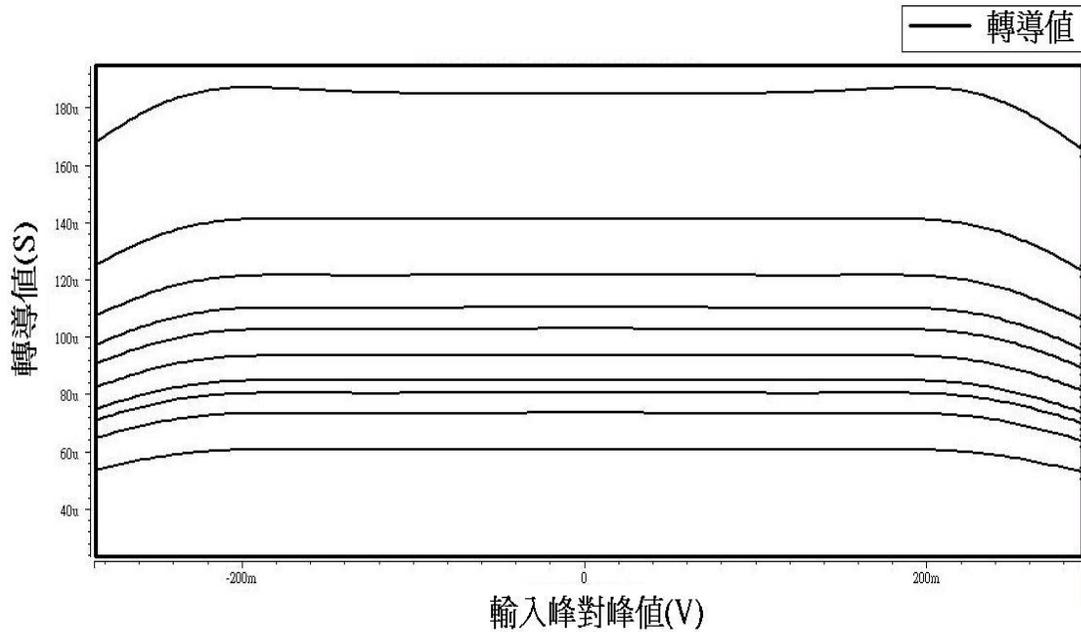


圖 5.1 轉導式運算放大器在不同調整電壓下的轉導值

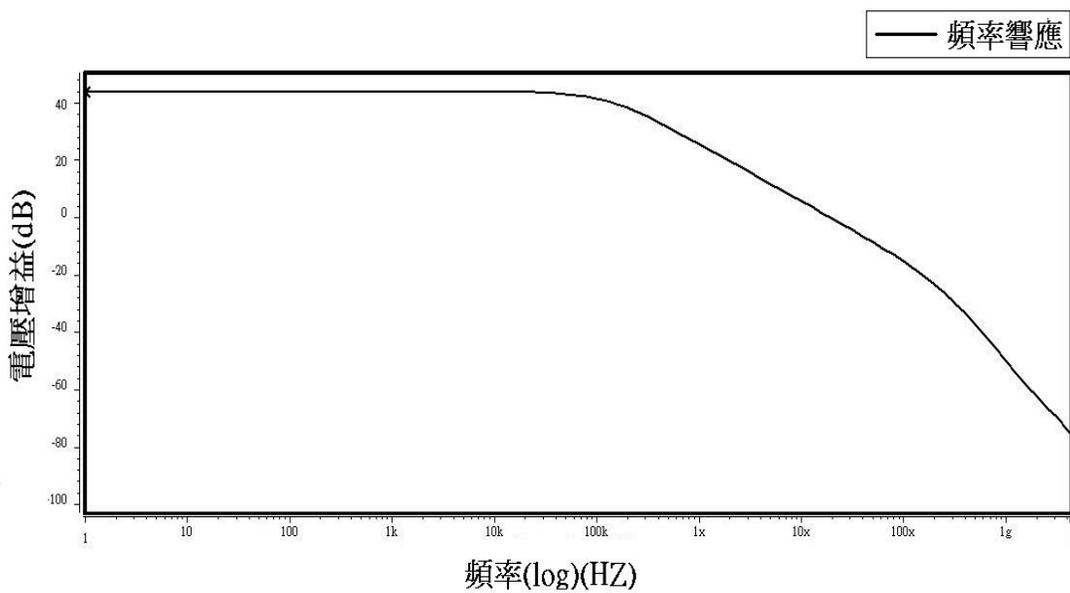


圖 5.2 轉導式運算放大器頻率響應

圖 5.2 和圖 5.3 分別為轉導式運算放大器頻率響應與相位響應圖。從模擬結果可知而此轉導式運算放大器有 43.8dB 的 DC 增益，而他的單位頻寬為 19MHz，而此時的相位安全邊限為 84° 。

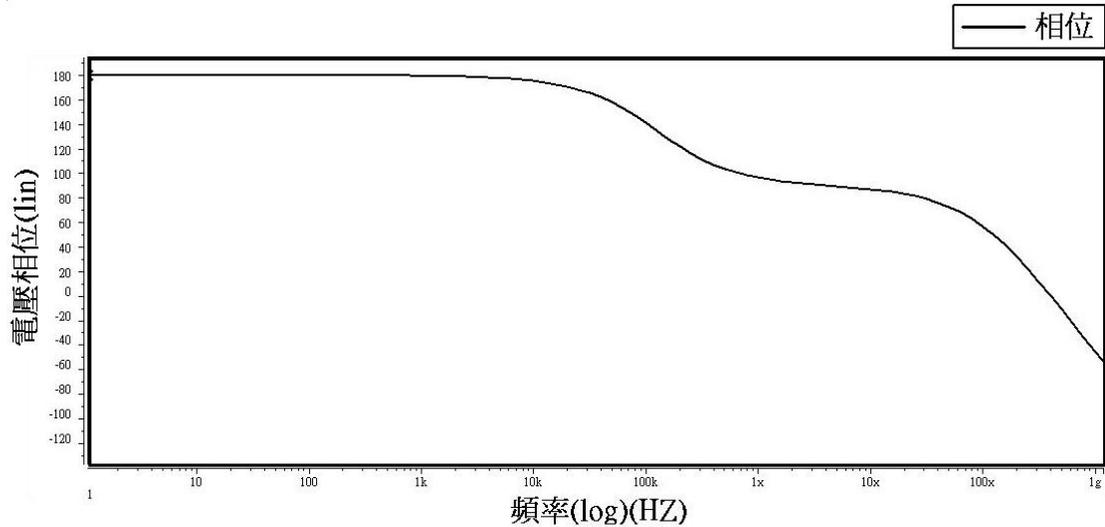


圖 5.3 轉導式運算放大器相位的頻率響應

圖 5.4 為此轉導式運算放大器在輸入訊號頻率為 15MHz，大小為 $0.4-V_{PP}$ 時 FFT 的模擬圖。在布局過後的模擬下，第三諧波失真的大小為 -73.1dB。

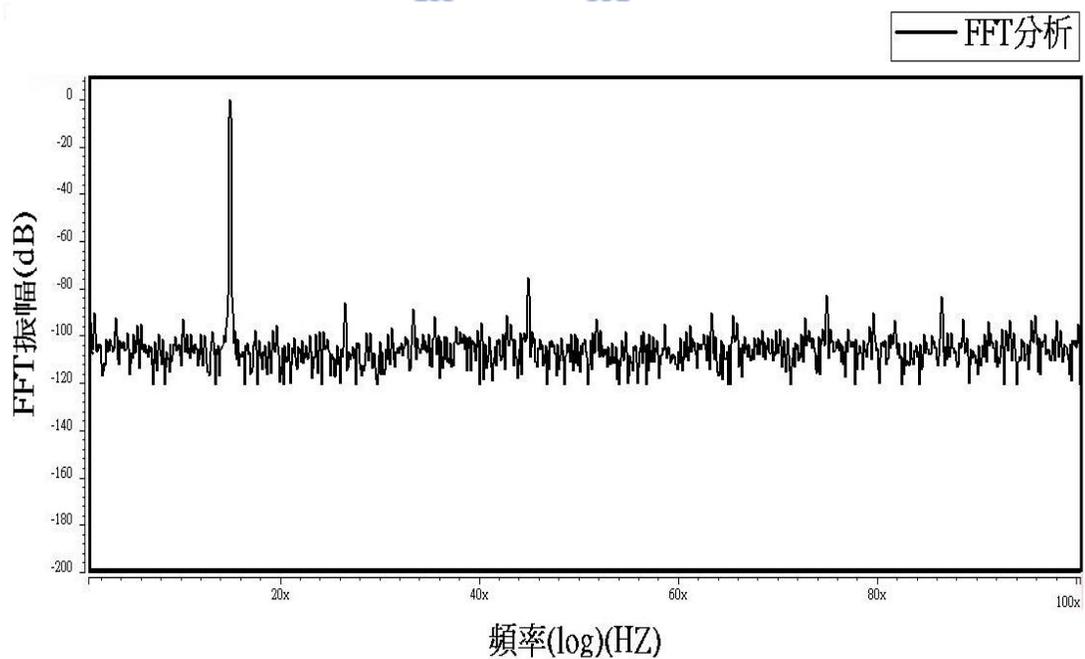


圖 5.4 轉導式運算放大器在 $0.4-V_{PP}$ 、15MHz 的 FFT 分析

而共模排斥比與電源排斥比的頻率響應已分別表示在圖 5.5 和圖 5.6，而共模排斥比在 DC 時有 80dB，一個非常不錯的數值。而電源排斥比在 DC 時也有 83.2dB。

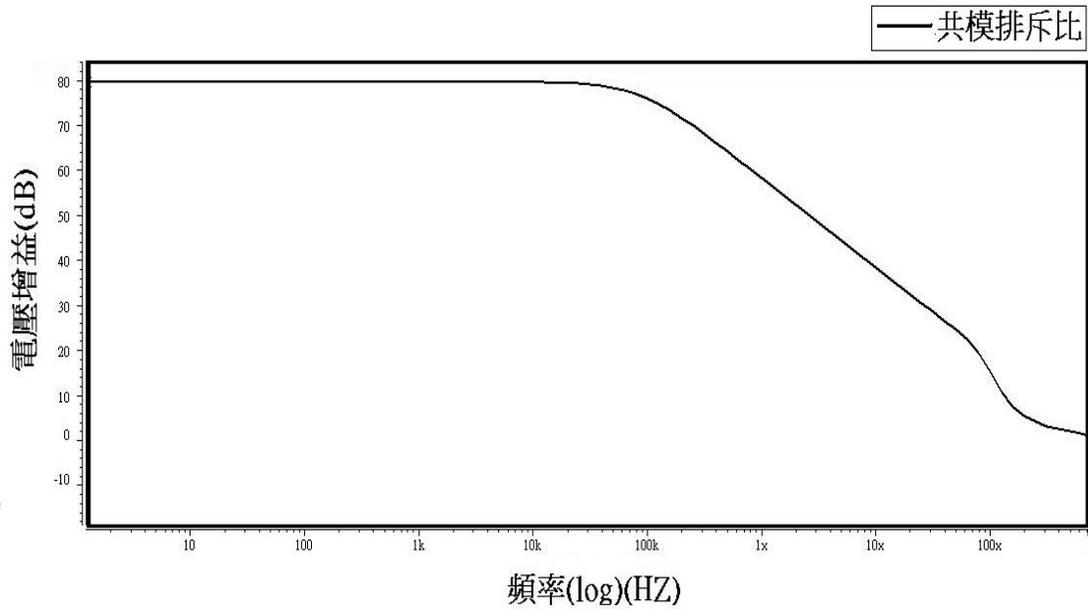


圖 5.5 共模排斥比的頻率響應

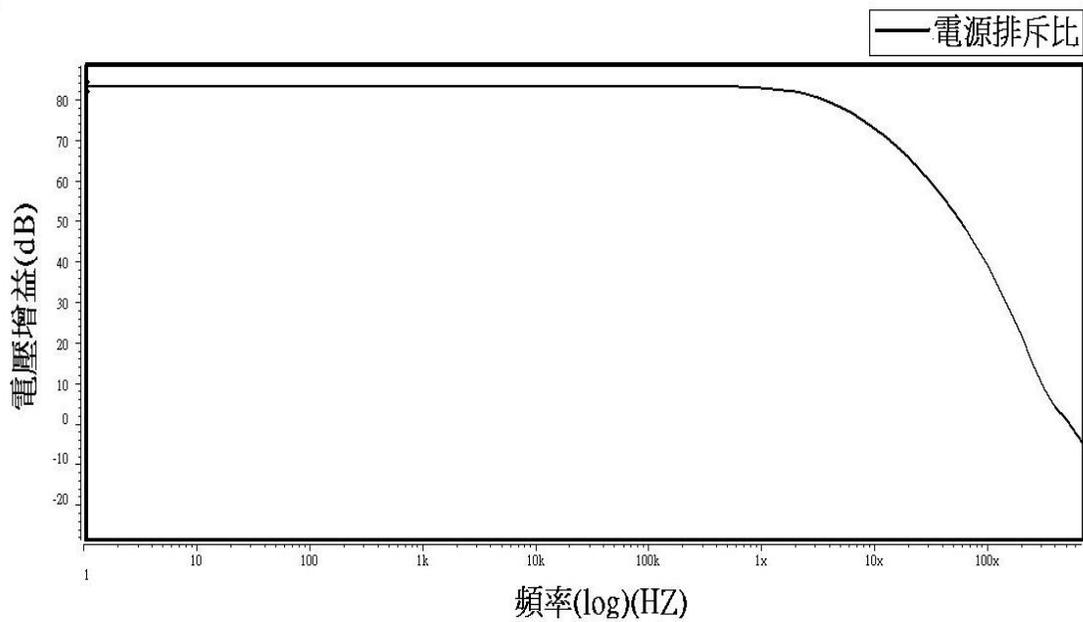


圖 5.6 電源排斥比的頻率響應

5.2.2 四階濾波器模擬結果

圖 5.7 為此四階濾波器的頻率響應圖，截止頻率-3dB 點為 15MHz。而經由我們所設計的轉導值調整機制可以使-3dB 點的位置由 5MHz~15MHz。

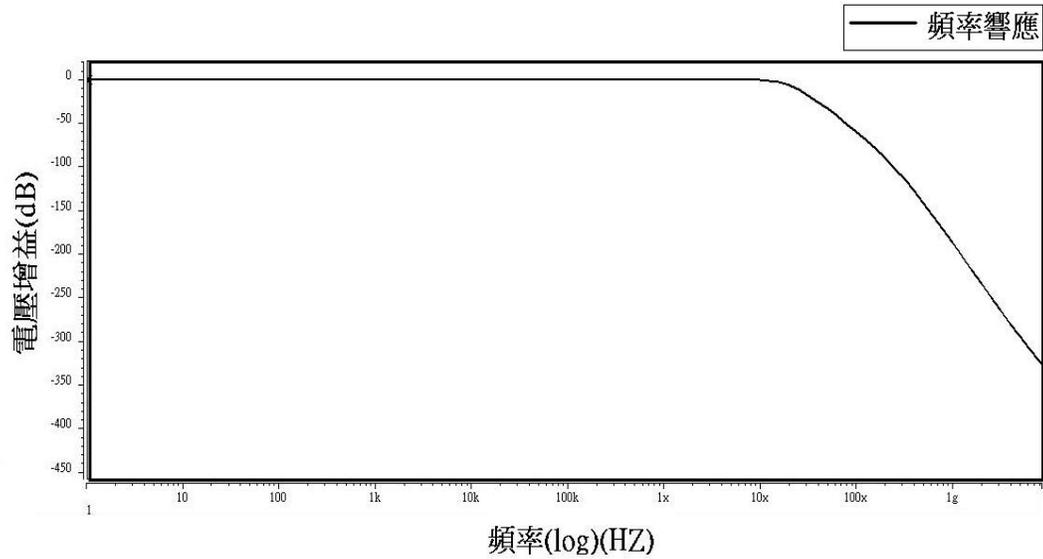


圖 5.7 四階濾波器的頻率響應

圖 5.8 為四階濾波器的在輸入訊號頻率為 5MHz，大小為 $0.4-V_{PP}$ 時 FFT 的模擬圖。在布局過後的模擬下，第三諧波失真的大小為 -61.3dB。

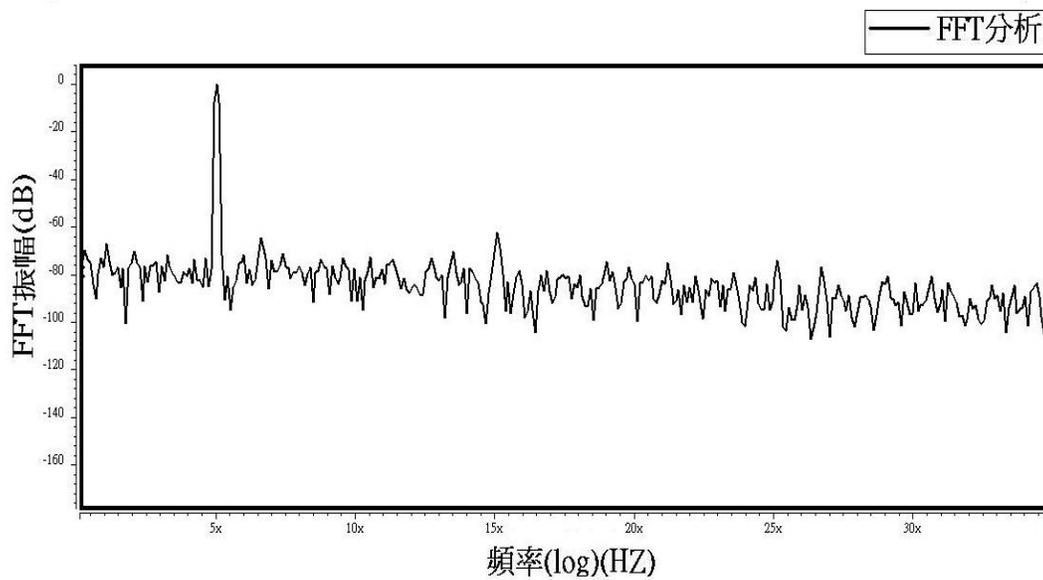


圖 5.8 四階濾波器在 $0.4-V_{PP}$ 、5MHz 的 FFT 分析

5.2.3 佈局與量測結果

圖 5.9 為此顆晶片的佈局圖。而圖 5.10 為此顆晶片的下線回來後用顯微鏡所照的晶片圖。在這顆晶片包含了一個單獨的轉導式運算放大器的電路和一個此轉導式運算放大器成的四階運算放大器電路。而此顆晶片包含 pad 的面積為 $0.811 \times 0.8210 \text{ mm}^2$ 。

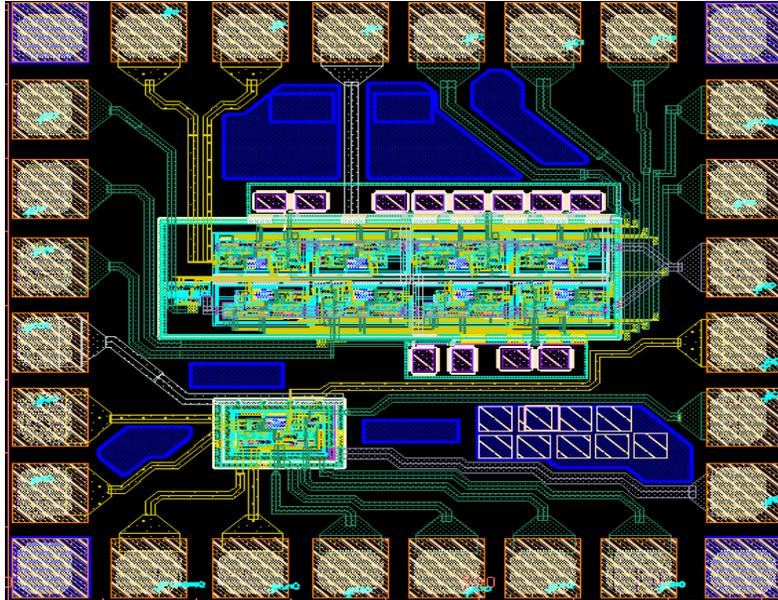


圖 5.9 佈局圖

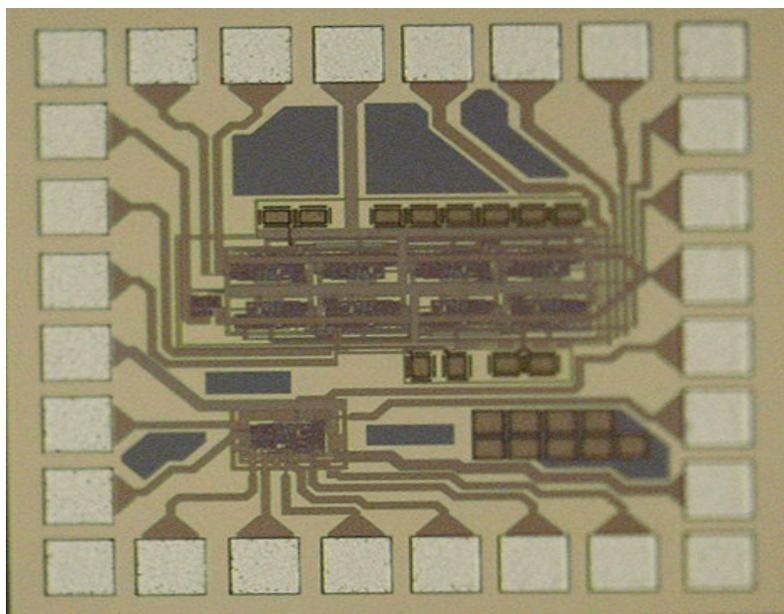


圖 5.10 晶片圖

圖 5.11 為圖 5.10 中的轉導式放大器放大圖，圖 5.12 則為四階低通濾波器的細部晶片放大圖

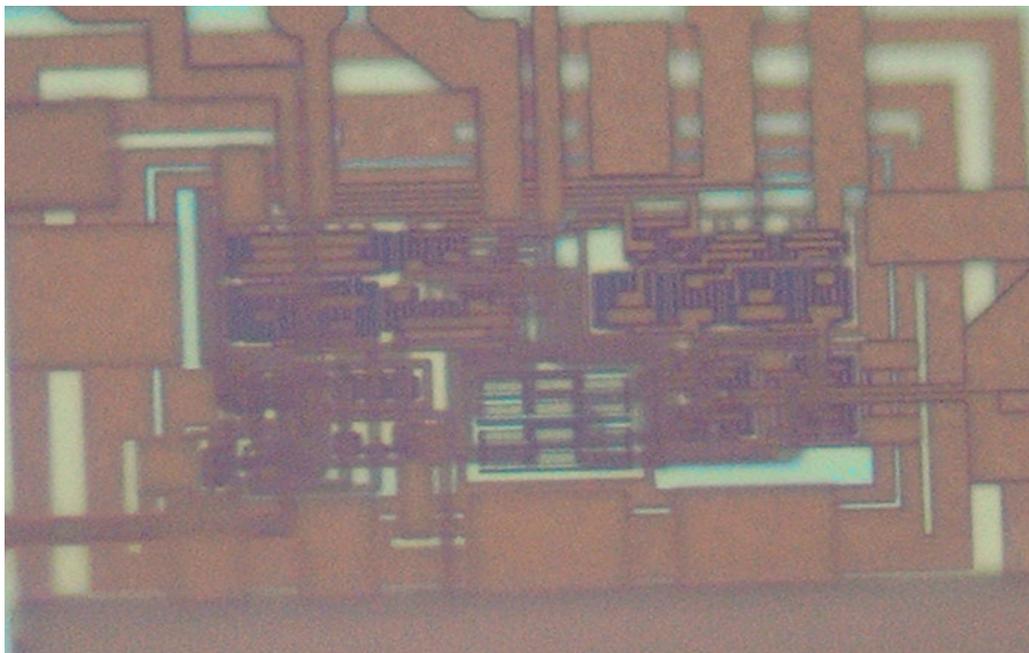


圖 5.11 轉導式放大器晶片圖

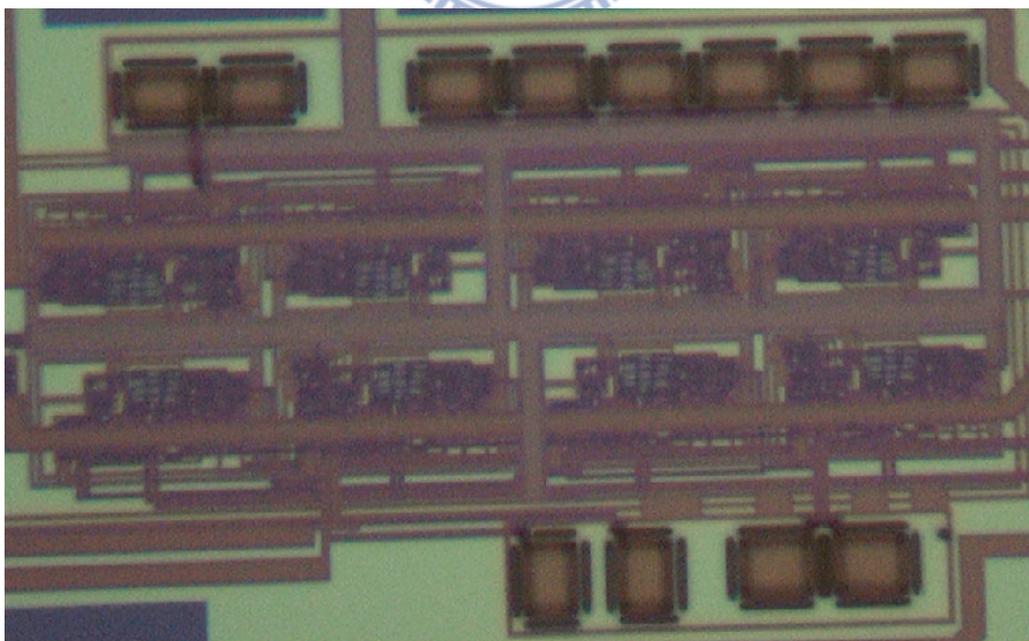


圖 5.12 四階低通濾波器晶片圖

在轉導式放大器的效能中，最被看重的就是線性度，而我們已經在前面論過差動電路的線性度往往使用總諧波失真或者是第三諧波失真來表示。而圖 5.13 是此類晶片中轉導式放大器的第三諧波失真的測量結果。他在輸入訊號為 $0.4-V_{PP}$ 、15MHz 時，第三諧波失真為 -68.94dB，但第二諧波失真約為 -62dB，而理想上在差動電路中第二諧波失真應為零。造成此現象發生原因可能是，在製程跟佈局時所造成元件不匹配有關。

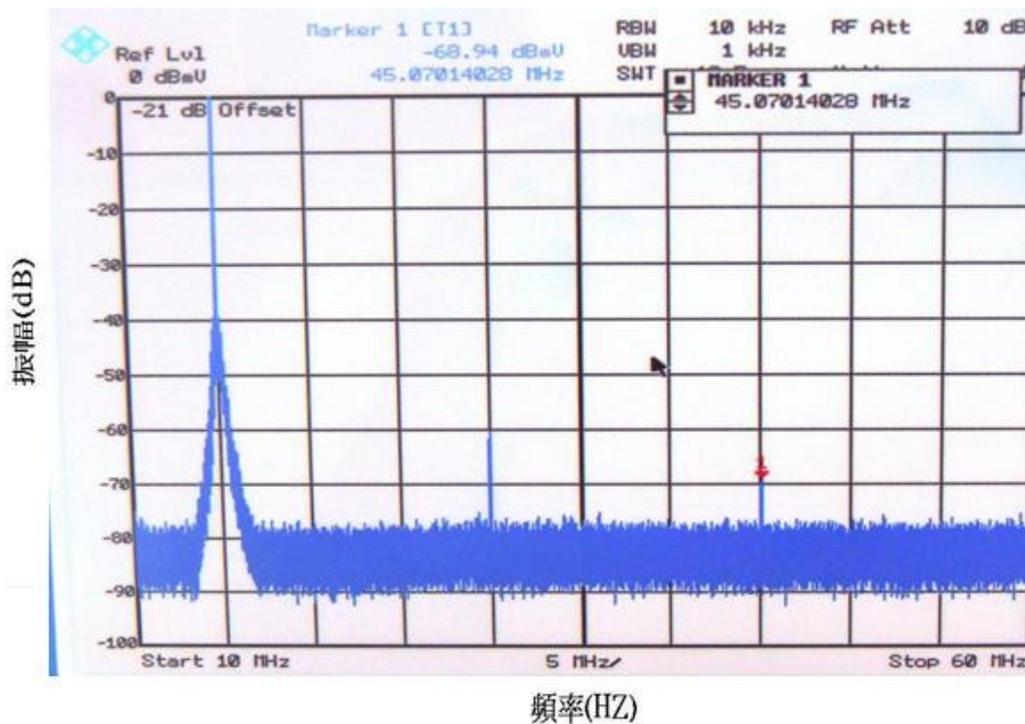


圖 5.13 轉導式運算放大器在 $0.4-V_{PP}$ 、15MHz 輸入訊號下第三諧波失真測量結果

而圖 5.14、圖 5.15、圖 5.16 分別為我們所實現的四階低通濾波器的在不同截止頻率的頻率響應圖，三張圖的截止頻率分別為 6MHz、10MHz、15MHz。而圖 5.17 第三諧波失真的量測結果。從圖 5.14 到圖 5.16 可得知，此四階低通濾波器可藉由調整轉導值來改變截止頻率的值(範圍為 6MHz~15MHz)。而圖 5.15 所顯示的 HD3 值為 -53.11dB、HD2 約為 -45dB。而此濾波器在模擬時，HD3 值為 -61.3dB。造成 HD2 如此大與 HD3 誤差的原因，我們可從圖 5.13 觀察得知。在測量單一顆

轉導式運算放大器下，第二諧波失真就為-62dB了。而從第四章得知，一個四階低通濾波器，是由八個轉導式運算放大器所構成，因此每個轉導式運算放大器的不匹配效應將會被放大到下一級，因此使的最後整體濾波器的不匹配效應遠大於單個轉導式運算放大器。所以造成一個極大的HD2在圖 5.17 中，而此效應也影響到 HD3 的效能。

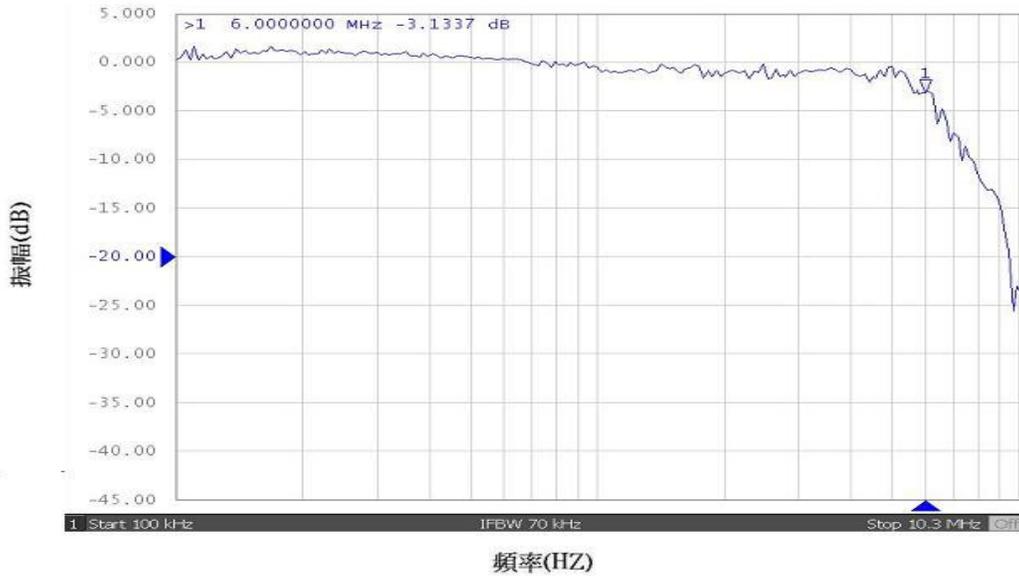


圖 5.14 濾波器截止頻率為 6MHz 的頻率響應圖

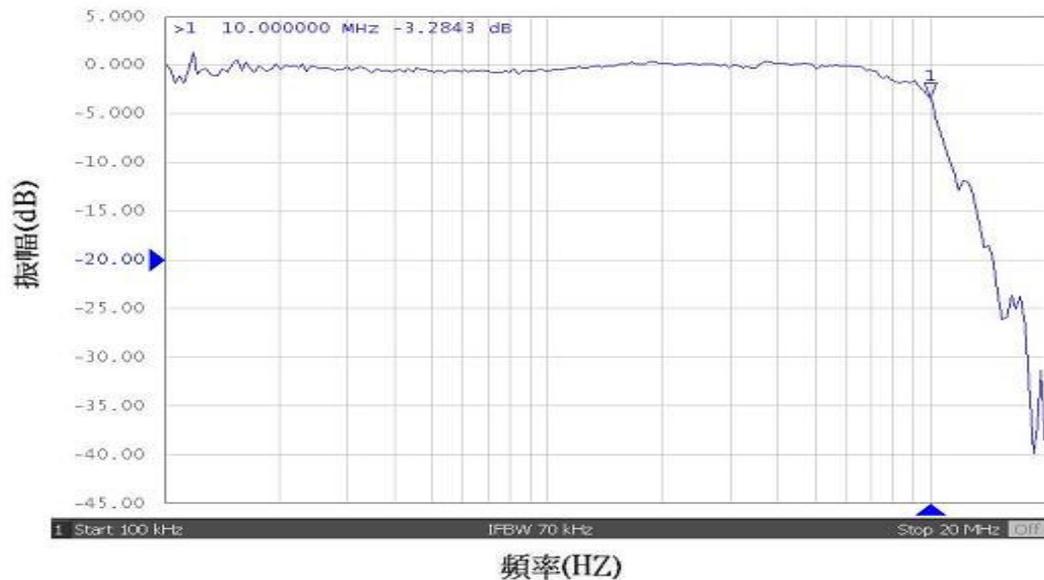


圖 5.15 濾波器截止頻率為 10MHz 的頻率響應圖

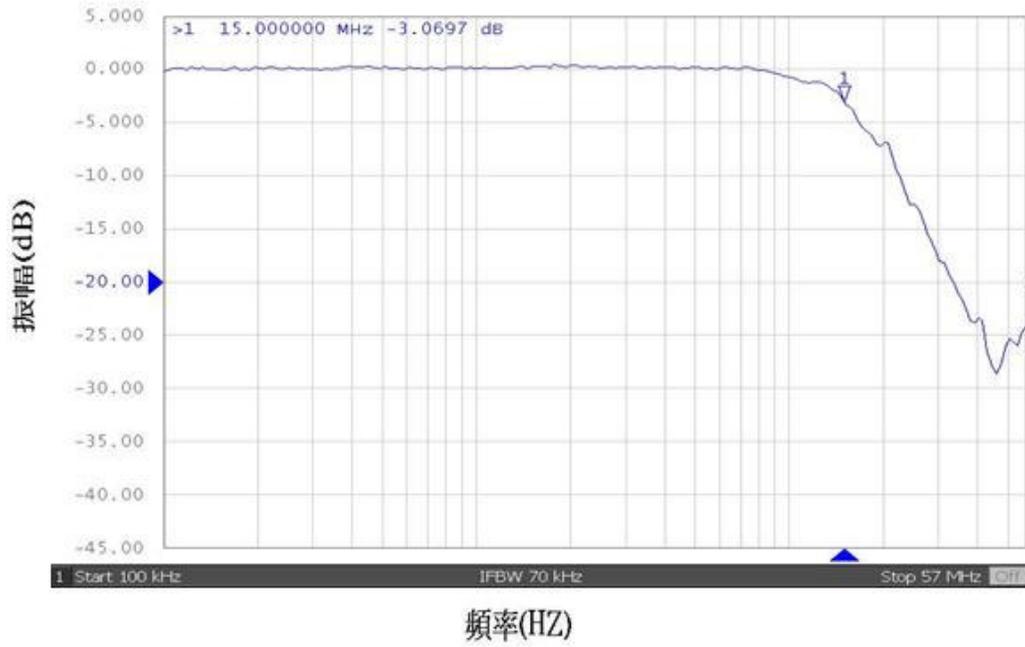


圖 5.16 濾波器截止頻率為 15MHz 的頻率響應圖

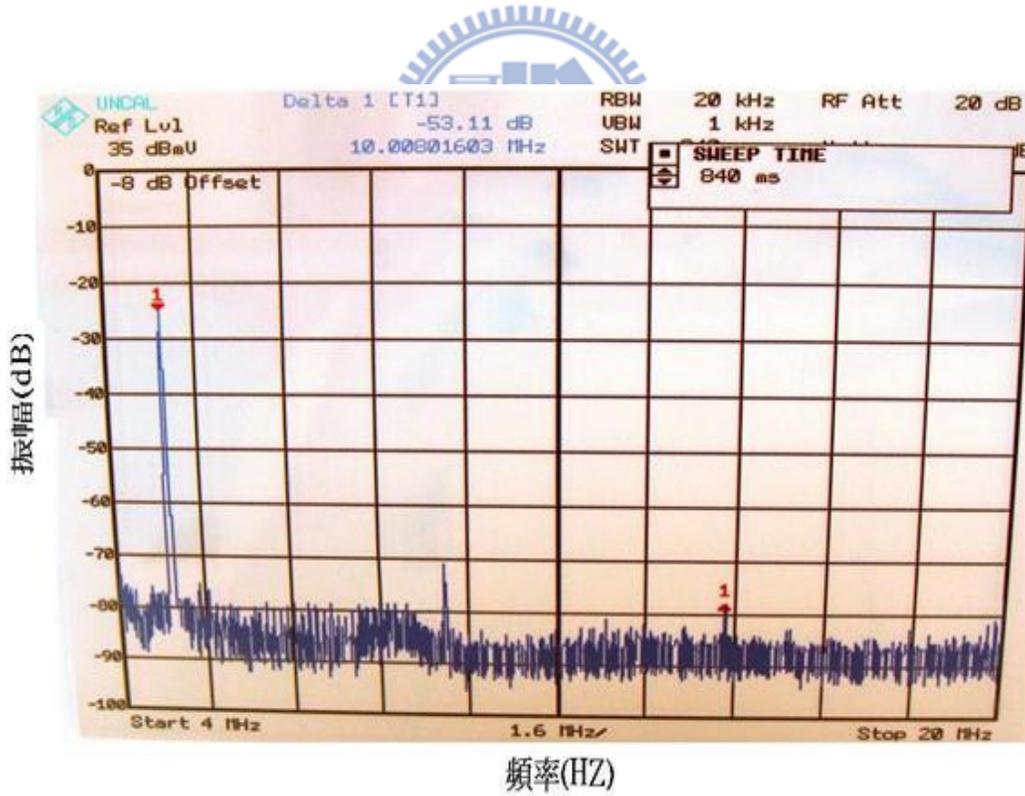


圖 5.17 四階濾波器在 $0.4-V_{PP}$ 、5MHz 輸入訊號下第三諧波失真測量結果

5.2.4 效能總結

表 5.1 為所實現的轉導式運算放大器的效能表。而表 5.3 則是所實現的轉導式運算放大器與其他一些已經發表過的論文作效能比較後，可以發現這次設計的源極退化電流鏡轉導調整機制之雙差動輸入對轉導式運算放大器效能還算不錯。而缺點在於佈局或製程所造成的不匹配效應嚴重的影響所設計四階濾波器的效能，這部分可能在模擬電路時要更加小心，並利用一些佈局技巧來加以改善。表 5.2 則為為所實現的四階低通濾波器的效能表

表 5.1 轉導式運算放大器的效能

Parameter	Value
Power supply	1.8V
Power dissipation	1.21mW
DC gain	43.8dB
GM value	180uS
HD3	-68.94dB
V _{in} (peak-peak)	0.4V
@Frequency	15MHz
CMRR	80dB
PSRR	83.2dB
Phase margin	84°

表 5.2 四階低通濾波器的效能

Parameter	Value
Power supply	1.8V
-3dB Frequency	15MHz
Power dissipation	9.41mW
HD3	-53.11dB
V _{in} (peak-peak)	0.4V
@Frequency	5MHz
Chip size	0.811 x 0.8210 mm ²

表 5.3 與其它論文比較

Referance	2004 TCAS-II [9]	2008 ISCAS[10]	2003 JSSC[11]	This work
Technology	0.35- μm CMOS	0.35- μm CMOS	0.35- μm CMOS	0.18- μm CMOS
Harmonic distortion	IM3 =-65dB	HD3=-53.3B	HD3 =-66.5dB	HD3 =-68.94dB
@Frequency	20MHz	10MHz	100kHz	15MHz
Input swing Range	1.3 Vpp	0.5Vpp	2Vpp	0.4Vpp
Trans-Conductance	140 μs	64.5 μs	90 μs	180 μs
Supply	3.3V	3V	2.6V	1.8V
Power consumption	10.5mW	0.76mW	1.7mW	1.21mW
FoM	87.8	77.9	73.5	89.2

為了去比較不同的的OTA的完成度,我們定義FoM如下式,其中包括了轉導、線性度、速度、輸入範圍、所耗功率。

$$FoM = 10 \log \left(\frac{G_m \times V_{id} \times IM3_{linear} \times f_o}{power} \right)$$



5.3 操作在飽和區且固定 V_{ds} 之差動輸入對的高速轉導運算放大器的效能

在這個章節中我們將如 5.2 節一般展示操作在飽和區且固定 V_{ds} 之差動輸入對的高速轉導運算放大器的模擬以及測量結果。

5.3.1 模擬結果

圖 5.18 為此轉導式運算放大器在的轉導值，在 $V_{peak-peak}$ 為 400mV 時，其大小為 1.38ms。

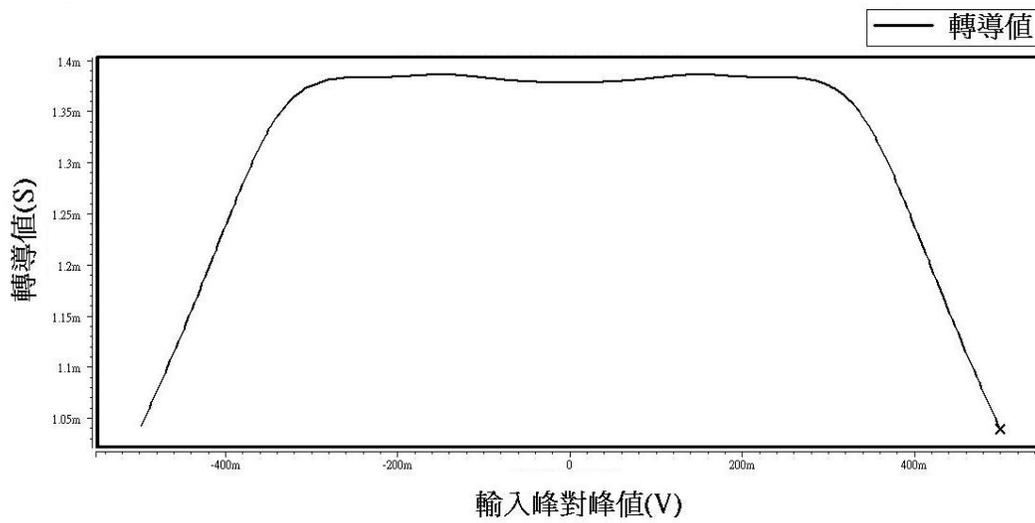


圖 5.18 轉導值

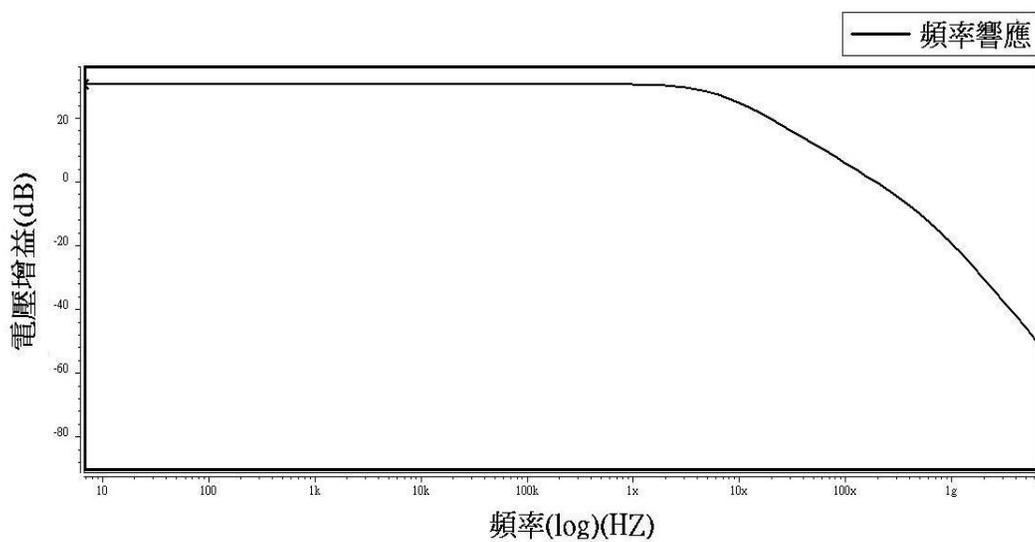


圖 5.19 轉導式運算放大器頻率響應

圖 5.19 和圖 5.20 分別為轉導式運算放大器頻率響應與相位響應圖。從模擬結果可知而此轉導式運算放大器有 30.7dB 的 DC 增益，而他的單位頻寬為 190MHz，而此時的相位安全邊限為 75.1°

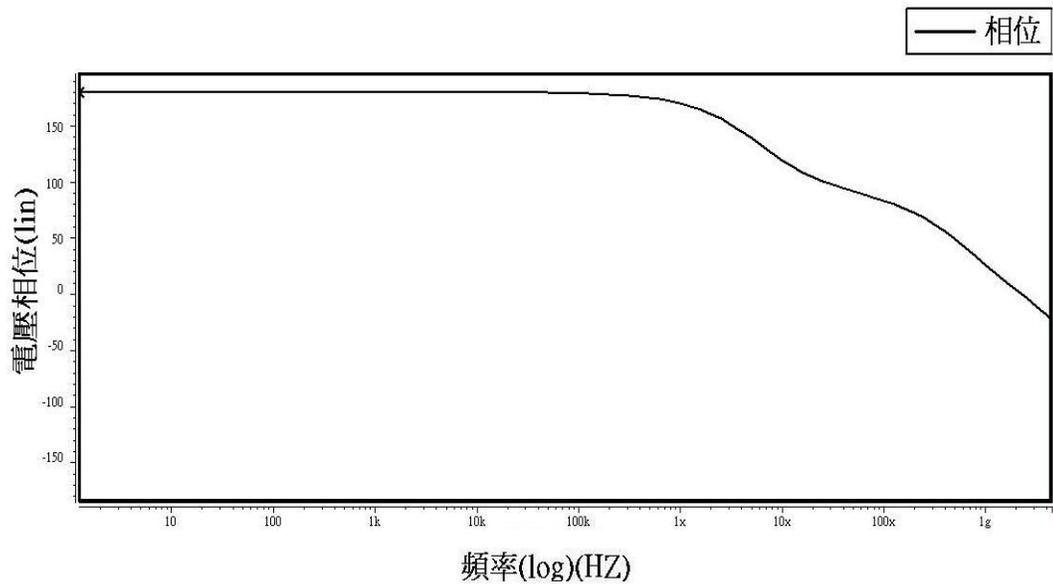


圖 5.20 轉導式運算放大器相位的頻率響應

圖 5.21 為此轉導式運算放大器在輸入訊號頻率為 105MHz，大小為 $0.4-V_{PP}$ 時 FFT 的模擬圖。在布局過後的模擬下，第三諧波失真的大小為 -61.2dB

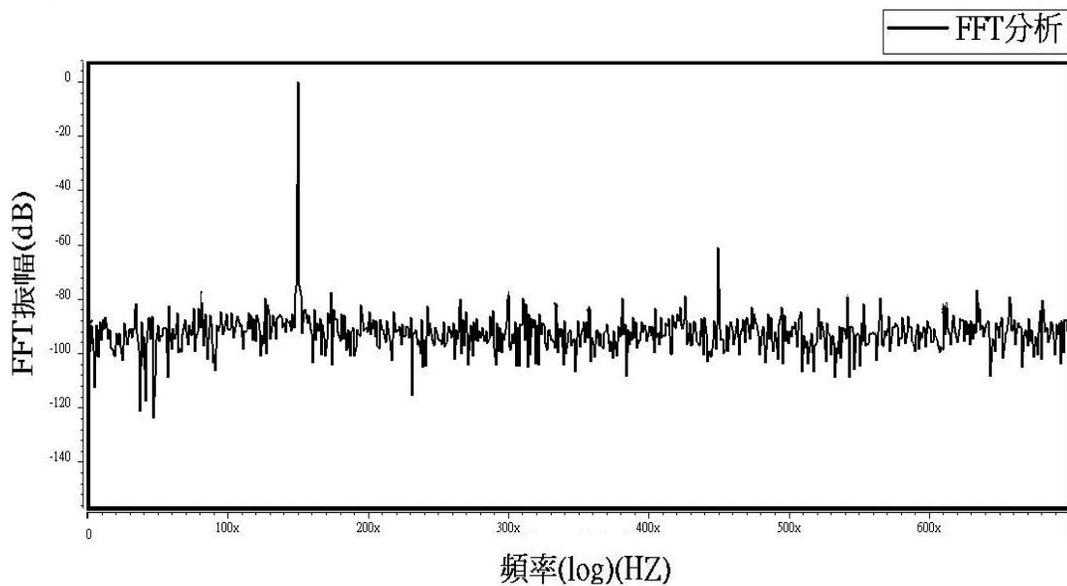


圖 5.21 轉導式運算放大器在 $0.4-V_{PP}$ 、15MHz 的 FFT 分析

而共模排斥比與電源排斥比的頻率響應已分別表示在圖 5.22 和圖 5.23。而此轉導式運算放大器雖然是偽差動輸入對，但應有加入共模前授的電路，因此將共模排斥比在 DC 時提升到 61.9dB。而電源排斥比在 DC 時則有 44.3dB。

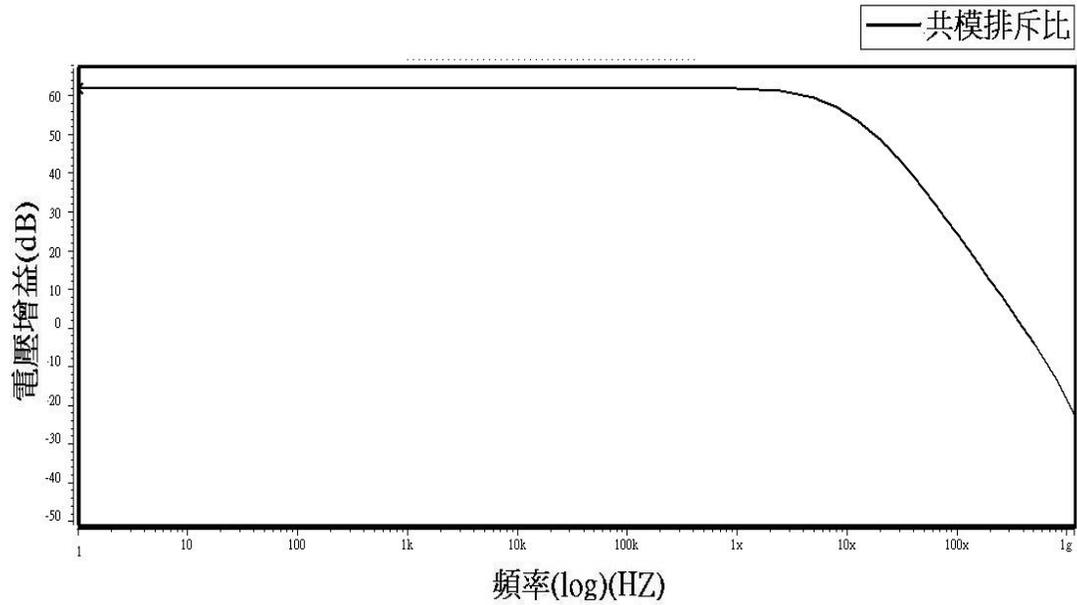


圖 5.22 共模排斥比的頻率響應

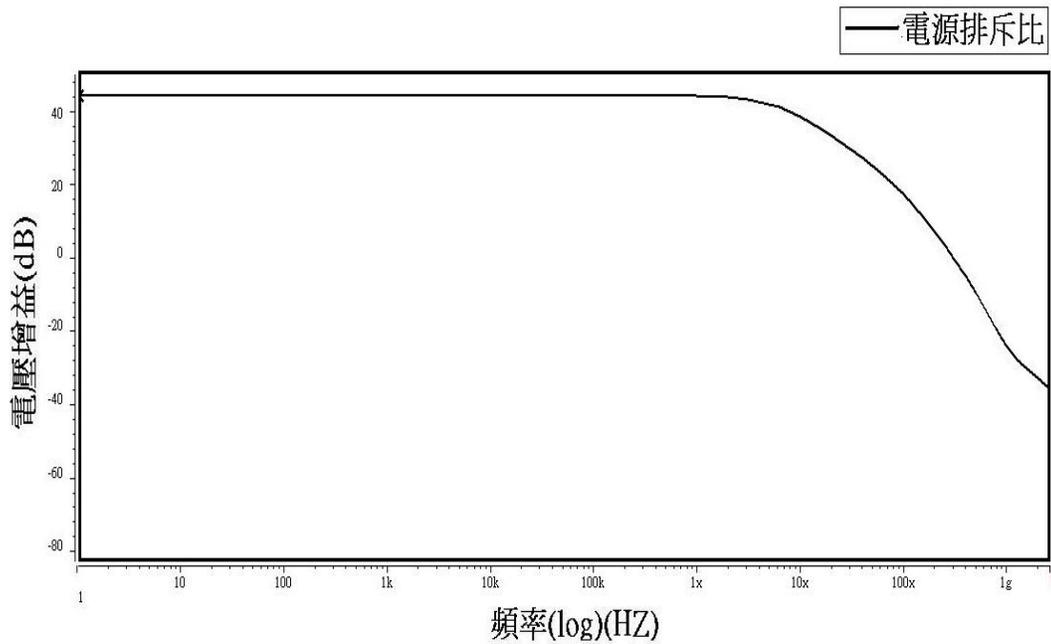


圖 5.23 電源排斥比的頻率響應

5.3.2 佈局與量測結果

圖 5.20 為此顆晶片的佈局圖。而圖 5.21 為此顆晶片的下線回來後用顯微鏡所照的晶片圖。而此顆晶片包含 pad 的面積為 $0.444 \times 0.401 \text{mm}^2$ 。

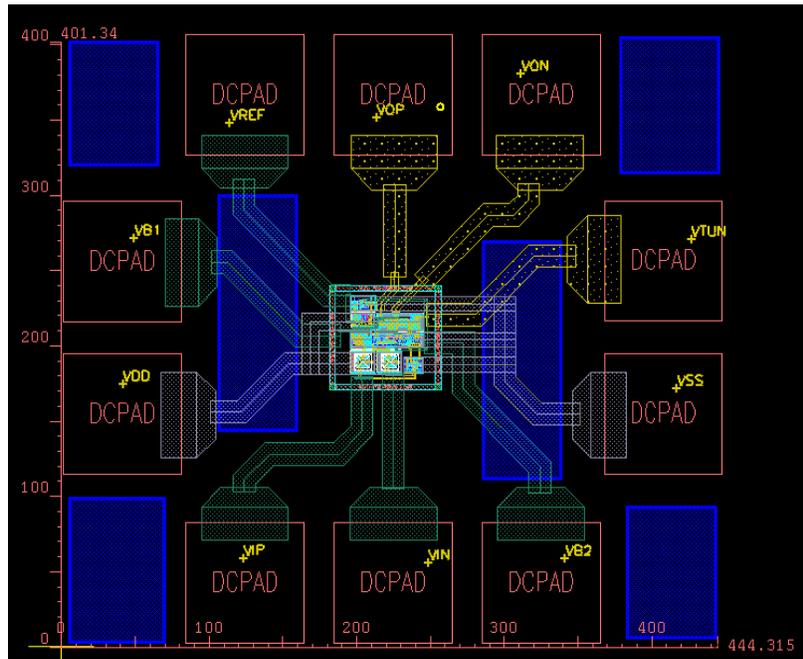


圖 5.24 佈局圖

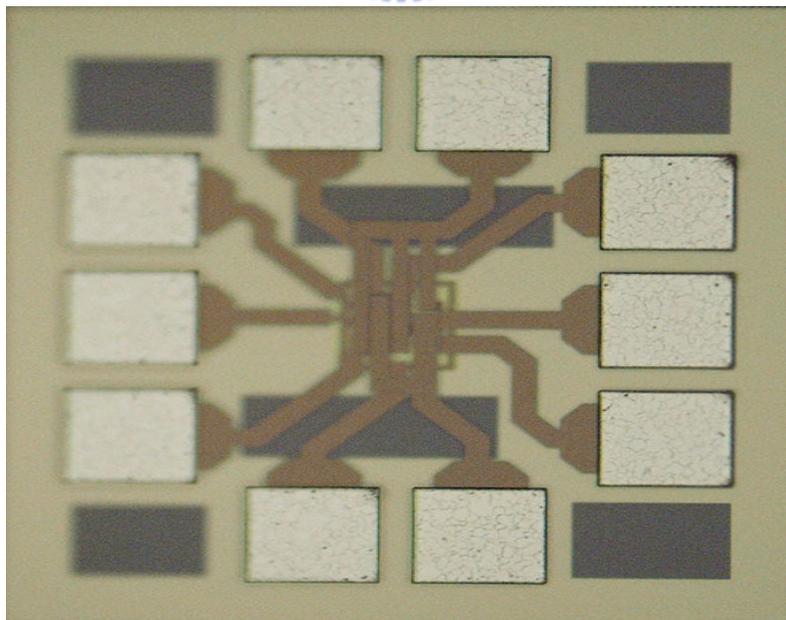


圖 5.25 晶片圖

在轉導式放大器的效能中，最被看重的就是線性度，而我們已經在前面討論過差動電路的線性度往往使用總諧波失真或者是第三諧波失真來表示。而下面我將先測量尚未加入移動補償電路時的線性度。圖 5.26、5.27、5.28 分別此顆晶片的第三諧波失真在 10MHz、50MHz、90MHz 的測量結果。在輸入訊號為 $0.4-V_{PP}$ 時，第三諧波失真分別為 -54.31dB 、 -52.46dB 、 -52.53dB 。而在加入移動補償電路後，同樣在輸入訊號為 $0.4-V_{PP}$ 時，第三諧波失真在 10MHz、50MHz、90MHz 的測量結果分別提升為 -62.87dB 、 -58.1dB 、 -59.2dB ，此量測結果分別展示在圖 5.29、5.30、5.31。這些結果顯現出不管是操作在飽和區且固定 V_{ds} 之差動輸入對或移動補償這兩種架構都能有效的提升轉導式運算放大器的線性度。

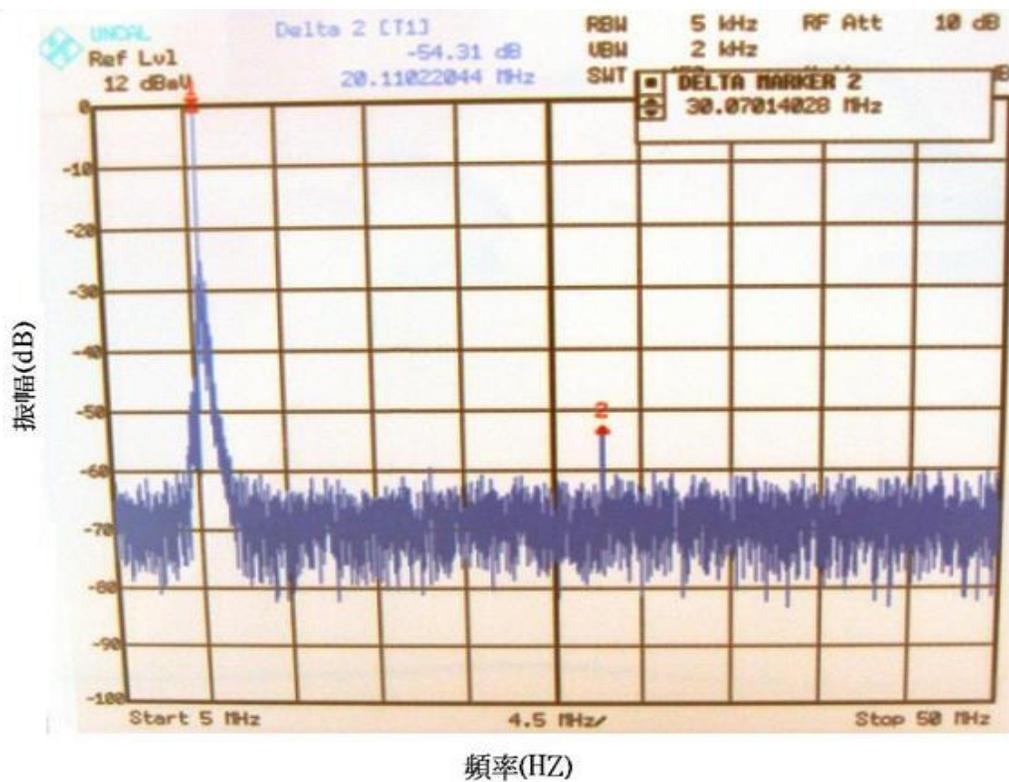


圖 5.26 無移動補償在 $0.4-V_{PP}$ 、10MHz 輸入訊號下第三諧波失真測量結果

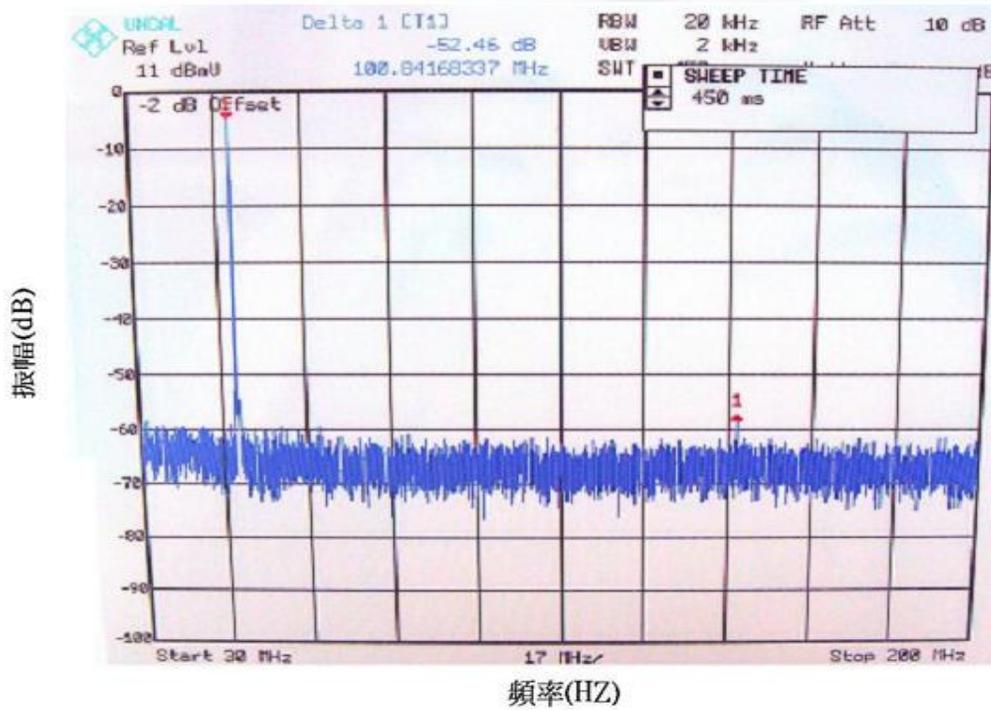


圖 5.27 無移動補償在 $0.4-V_{PP}$ 、50MHz 輸入訊號下第三諧波失真測量結果

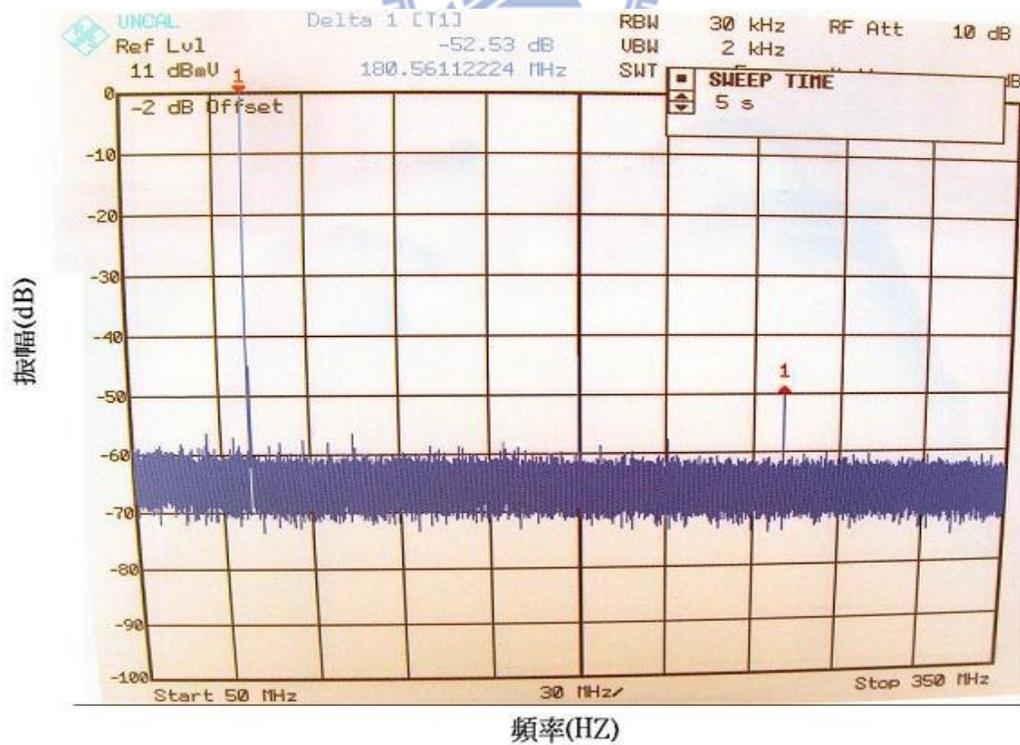


圖 5.28 無移動補償在 $0.4-V_{PP}$ 、90MHz 輸入訊號下第三諧波失真測量結果

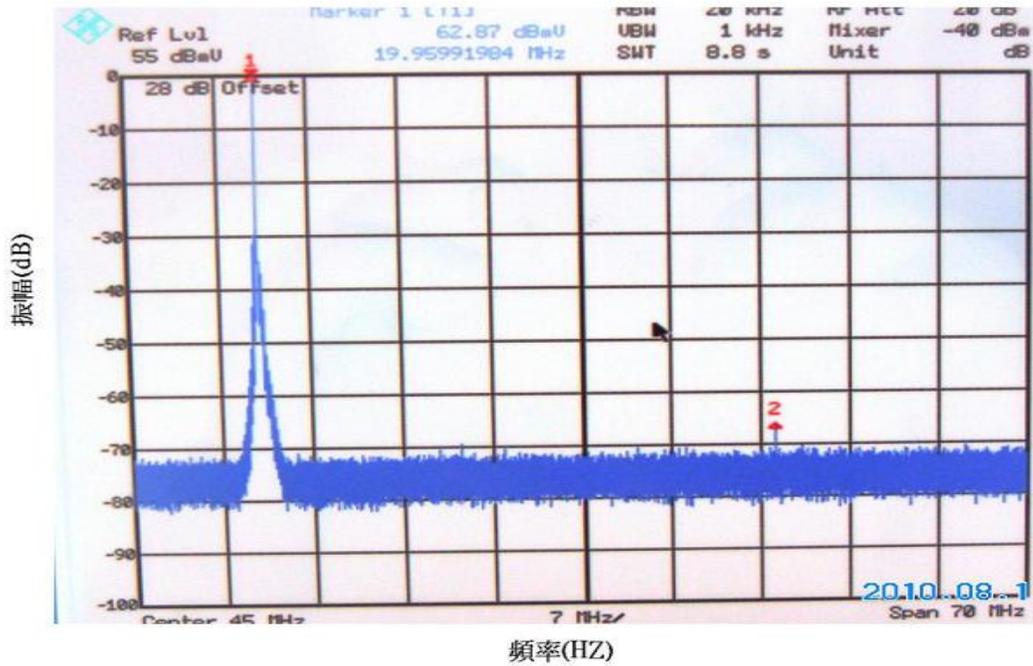


圖 5.29 有移動補償在 $0.4-V_{PP}$ 、10MHz 輸入訊號下第三諧波失真測量結果

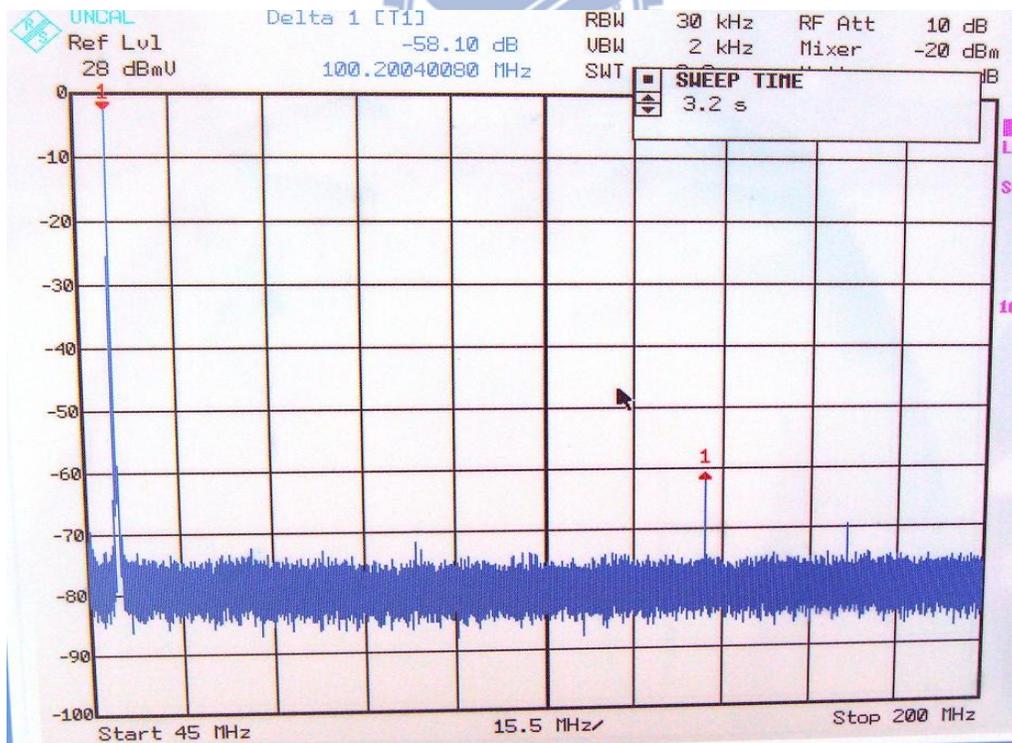


圖 5.30 有移動補償在 $0.4-V_{PP}$ 、50MHz 輸入訊號下第三諧波失真測量結果

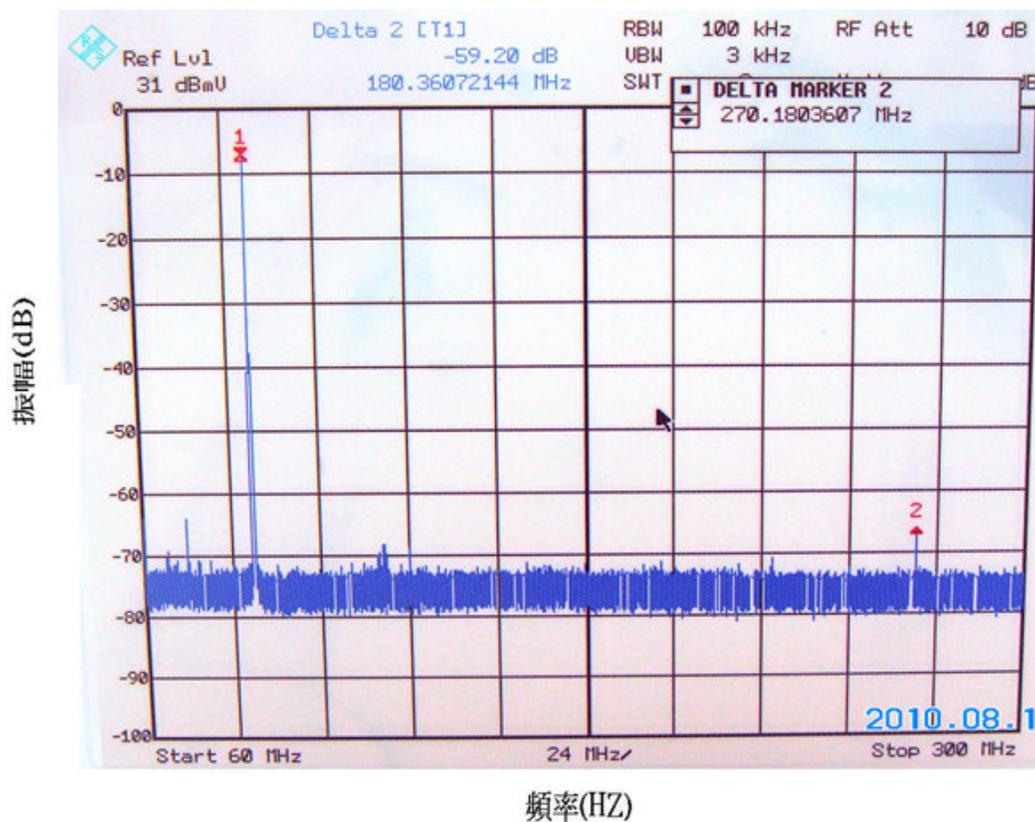


圖 5.31 有移動補償在 $0.4-V_{PP}$ 、90MHz 輸入訊號下第三諧波失真測量結果

5.3.3 效能總結

表 5.4 為此次實現的轉導式運算放大器的效能表，在表中所列的效能為尚未加入移動補償電路的情況下所測得的，在加入移動補償電路後，能將第三諧波失真提升到 -59.2dB 。而表 5.5 則是與其他一些已經發表過的論文作效能比較。我們可以發現操作在飽和區且固定 V_{ds} 之差動輸入對的架構的確較傳統運作在三極區的架構更適合應用在較高速的頻率，經過計算飽和區且固定 V_{ds} 之差動輸入對的架構相較於傳統的架構有著更大的 FoM 值。而若在移動補償電路的情況下，將使本次所設計的轉導式運算放大器擁有更好的效能，此時所計算出的 FoM 值將提升到至 98.1，這是一個非常棒的數值。

表 5.4 轉導式運算放大器的效能

Parameter	Value
Power supply	1.5V
Power dissipation	2.34mW
DC gain	30.7dB
GM value	1.38mS
HD3	-52.53dB
V _{in} (peak-peak)	0.4V
@Frequency	90MHz
CMRR	61.9dB
PSRR	44.3dB
Phase margin	85°

表 5.5 與其它論文比較

Referance	2010 ISCAS [12]	2008 ISCAS [13]	2003 JSSC [14]	This work I	This work II
Technology	0.18- μ m CMOS				
Harmonic distortion	HD3 =-67dB	IM3=-71.9B	HD3 =-75dB	HD3=-52.5dB	HD3=-59.2dB
@Frequency	1MHz	2MHz	20kHz	90MHz	90MHz
Input swing Range	1 V _{pp}	1 V _{pp}	N/A	0.4V _{pp}	0.4V _{pp}
Transconductance	165 μ s	300 μ s	N/A	1.38ms	1.38ms
Supply	1.8V	3.3V	1.5	1.5V	1.5V
Power consumption	0.36mW	5mW	240u	2.25mW	2.34mW
FoM	85.3	86.7	N/A	94.8	98.1

註:在 This work I 為無移動補償電路下的效能，This work II 中則有加入移動補償電路。同樣的為了去比較不同的的 OTA 的完成度，我們定義 FoM 如下式，其中包括了轉導、線性度、速度、輸入範圍、所耗功率。

$$FoM = 10 \log \left(\frac{G_m \times V_{id} \times IM3_{linear} \times f_o}{power} \right)$$

第六章

結論

6.1 結論

我們已經在前面的章節說明過，轉導式運算放大器的效能往往受限於線性度。而隨著製程的進步，短通道效應與其他非理想效應會越來越明顯，而製程與溫度的偏移也會影響轉導式運算放大器的效能。另外隨著 CMOS 的尺寸縮小，和在現今 SOC 系統的需求上，往往會要求較低的電源供應電壓，以及較小的功率消耗。上述的種種條件的限制增加了設計轉導式運算放大器的困難度。

而在本論文中實現了兩種不同架構的轉導式運算放大器。第一種架構利用雙差動輸入對架構來大幅提升轉導式運算放大器的線性度，並利用一個源極退化電流鏡來確保在調整轉導式運算放大器的轉導值時，轉導式運算放大器的線性度不會大幅下降。而第二種為改良式的固定 V_{ds} 電壓的偽差動輸入對電路架構，有別於傳統將差動輸入對操作在三極區，我將使差動輸入對操作在飽和區，如此一來在相同的功率消耗下，能使固定 V_{ds} 電壓的偽差動輸入對運作在更高速的頻寬。另外我也將加進一個移動補償的電路，讓此轉導式運算放大器的線性度更進一步的提升。而根據模擬與量測結果，上述兩種電路架構在線性度都有著非常不錯的表現，而與其它論文的轉導式運算放大器做比較，也有著不錯的整體效能。另外在本論文中也介紹並實現一個利用轉導式運算放大器和電容所構成的四階低通濾波器。

6.2 未來發展

本論文實現了兩種不同增進轉導式運算放大器線性度的架構。第一種是源極退化電流鏡轉導調整機制之雙差動輸入對轉導式運算放大器，此種架構或許可以往如何增加輸入擺幅作努力。而操作在飽和區且固定 V_{ds} 之差動輸入對的架構能往更高頻的電路來發展，並思考如何再增進此架構的線性度。



參考書目

- [1] C. C. Hung, K. A. Halonen, M. Ismail, V. Porra and A. Hyogo, "A low-voltage, low-power CMOS fifth-Order elliptic GM-C filter for baseband mobile, wireless communication," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 7, pp. 584-593, Aug., 1997.
- [2] T. Y. Lo and C. C. Hung, "A wide tuning range Gm-C continuous-time analog filter," *IEEE Trans. Circuits Syst. I, Reg. Papers.*, vol. 54, no. 4, pp. 713-722, Apr. 2007.
- [3] M. Ismail and T. Fiez, *Analog VLSI Signal and Information Processing*. New York: McGraw-Hill, 1994.
- [4] S. R. Zarabadi, M. Ismail, and C. C. Hung, "High performance analog VLSI computational circuits," *IEEE J. Solid-State Circuits*, vol.33, no.4, pp. 644-649, Apr. 1998
- [5] J. van Engelen, R. van de Plassche, E. Stikvoort, and A. Venes, "A sixth-order continuous-time bandpass sigma-delta modulator for digital radio IF," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1753-1764, no.12, Dec. 1999.
- [6] Y. Tsvividis, Z. Czarnul, and S. C. Fang, "MOS transconductors and integrators with high linearity," *Electronics Letters*, vol. 22, pp. 245-246, 1986
- [7] A. Worapi shet and C. Naphaphan, "Current-feedback source-degenerated CMOS transconductor with very high linearity," *Electronics Letters*, vol. 39, pp. 17-18, 2003
- [8] You Zheng; Saavedra, C.E., "A Microwave OTA Using a Feedforward Regulated Cascode Topology", IEEE International Symposium on Circuits and Systems, ISCAS pp. 1887 – 1890, May, 2007.

- [9] A. Lewinski, and J. Silva-Martinez, "OTA Linearity Enhancement Technique for High Frequency Applications With IM3 Below -65dB," *IEEE Trans. on Circuits and Systems-II: Express Brief*, vol. 51, no. 10, pp. 542-548, October 2004
- [10] Szczepanski, S. Pankiewicz, B. Koziel, S. , "Programmable linearized CMOS OTA for fully differential continuous-time filter design" Information Technology, 2008. IT 2008. 1st International Conference on Publication Date: 18-21 On page(s): 1-4, May 2008
- [11] Lopez-Martin, A.J.; Jaime Ramirez-Angulo; Durbha, C.; Carvajal, R.G." A CMOS transconductor with multidecade tuning using balanced current scaling in moderate inversion "Solid-State Circuits, IEEE Journal of Volume 40, Page(s):1078 – 1083, May 2005
- [12] Galán, J.; Pedro, M.; Rubia-Marcos, C.; Carvajal, R.G.; Luján-Martínez, C.; López-Martín, A.; , "A low-voltage, high linear programmable triode transconductor," *Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on* , vol., no., pp.221-224, May 2010.
- [13] Lujan-Martinez, C.; Torralba, A.; Carvajal, R.G.; Ramirez-Angulo, J.; Lopez-Martin, A." A -72 dB @ 2 MHz IM3 CMOS Tunable Pseudo-Differential Transconductor" Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on 18-21, Page(s):73 - 76 ,May 2008.
- [14] Yodpravit, U.; Enz, C.C.; , "A 1.5-V 75-dB dynamic range third-order G_m -C filter integrated in a 0.18- μ m standard digital CMOS process," *Solid-State Circuits, IEEE Journal of* , vol.38, no.7, pp. 1189- 1197, July 2003
- [15] S. R. Zarabadi, M. Ismail, and C. C. Hung, "High performance analog VLSI computational circuits," *IEEE J. Solid-State Circuits*, vol.33, no.4, pp. 644-649, Apr. 1998.
- [16] S. Hori, T. Maeda, N. Matsuno, and H. Hida, "Low-power widely tunable gm-C filter with an adaptive DC-blocking, triode-biased MOSFET transconductor," in *Proc. ESSCIRC*, pp. 99-102, , Sep. 2004.

- [17] E. Sanchez-Sinencio and J. Silva-Martínez, “CMOS transconductance amplifiers, architectures and active filters: a tutorial”, *Proc. IEE Circuit Devices Systems*, vol. 147, no. 1, pp. 3-12, Feb. 2000
- [18] Baruqui, F.A.P.; Petraglia, A “A Linearly Tunable CMOS OTA With Constant Dynamic Range Using Source-Degenerated Current Mirrors” *Circuits and Systems II: Express Briefs*, IEEE Transactions on Volume 53, Issue 9 Page(s):797 – 801, , Sept. 2006
- [19] T. Y. Lo, and C. C. Hung, “A 1 GHz OTA-Based Low-Pass Filter with A High-Speed Automatic Tuning Scheme,” *IEEE Asian Solid-State Circuits conference (ASSCC)*, pp. 12-14, November 2007.
- [20] T. Y. Lo, C. S. Kao, and C. C. Hung, “A Gm-C Continuous-time Analog Filter for IEEE 802.11 a/b/g/n Wireless LANs,” *International Symposium on Signals, Circuits and Systems (ISSCS)*, vol. 1, pp. 1-4, July 2007.
- [21] Tien-Yu Lo, Chung-Chih Hung, “A 1-V 50-MHz Pseudo-differential OTA With Compensation of the Mobility Reduction,” *IEEE Trans Circuits Syst.*, vol. 54, no. 12, Dec. 200.
- [22] You Zheng; Saavedra, C.E., “A Microwave OTA Using a Feedforward Regulated Cascode Topology”, *IEEE International Symposium on Circuits and Systems, ISCAS* pp. 1887 – 1890, May, 2007.
- [23] Ko-Chi Kuo and Hsing-Hui Wu, “A low voltage, high linear, and tunable triode transconductor”, *IEICE Electron. Express*, Vol. 6, No. 14, pp.1039-1044, (2009)
- [24] Yaohui Kong; Shuzheng Xu; Huazhong Yang, “a highly linear low voltage CMOS triode transconductor”, *Circuit Theory and Design*, 2007. ECCTD 2007. 18th European Conference on Page(s): 739 – 742, 2007
- [25] Lopez-Martin, A.J.; Jaime Ramirez-Angulo; Durbha, C.; Carvajal, R.G.” A CMOS transconductor with multidecade tuning using balanced current scaling in moderate inversion “*Solid-State Circuits*, IEEE Journal of Volume 40, Issue 5 ,Page(s):1078 – 108,May 2005.