

應用於硬碟讀取通道技術
及液晶顯示器源極驅動器之資料轉換器

Data Converters for PRML Read Channel
and LCD Column Driver Applications

研究生：李人維

Student : Ren-Wei Li

指導教授：洪崇智 博士

Advisor : Dr. Chung-Chih Hung



A Thesis
Submitted to Institute of Computer and Information Science
College of Electrical Engineering and Computer Science
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master
in
Computer and Information Science
October 2010
Hsinchu, Taiwan, Republic of China

中華民國 九十九 年 十 月

應用於硬碟讀取通道技術

及液晶顯示器源極驅動器之資料轉換器

研究生：李人維

指導教授：洪崇智 教授

國立交通大學

電信工程研究所



系統中，類比數位轉換器的效能與功率消耗對整體系統的效率具有重要的影響。本篇論文著重於極高速類比數位轉換器的設計考量，並提出一個六位元之快閃式類比數位轉換器的設計，其使用電阻式平均網路技巧去除輸入偏差。此電路包含了一個追蹤保持電路來消除因為時脈訊號及輸入訊號傳遞到眾多比較器所造成的取樣時間誤差，以提高其動態效能。另外，針對數位編碼器在高速下的穩定操作，我們也做了精密的考量。

傳統上，液晶顯示器的源極驅動器都是採用非線性電阻串式數位類比轉換器。本篇論文是採用切換電容式數位類比轉換器，其每一位元的轉換時間為五微秒，以及僅僅消耗不到兩微安培的電流量。在面積方面，與傳統電阻式數位類比轉換器比較之下，更是有著大幅度的縮減，也不會因解析度的提高而使面積成指數型式成長。

Data Converters for PRML Read Channel and LCD Column Driver Applications

Student : Ren-Wei Li

Advisor : Prof. Chung-Chih Hung

Department of Communication Engineering

National Chiao Tung University

Hsinchu, Taiwan

Abstract

Performance and power consumption of analog-to-digital converters (ADCs) affect the efficiency of an entire system. In this thesis, we focus on the development of the design techniques for high speed ADCs, and propose a 6-bit high speed ADC design using resistive averaging techniques. The ADC includes an on-chip Track/Hold circuit to eliminate the sampling time skews resulted from the fact that the clock and input signal are transmitted to numerous comparators, and further enhance the dynamic performance. In addition, there are elaborated considerations made for enabling digital encoders to be operated stably at high speed.

LCD column drivers have traditionally used the nonlinear R-string style digital-to-analog converter (DAC). This thesis describes a switch capacitor digital-to-analog converter, which transfers one bit within 5 μ s and consumes less than 2 μ A. Compared with the traditional digital-to-analog converter, there is a substantial reduction on areas. And when the resolution increases, the area does not grow exponentially.

誌謝

隨著這份碩士論文的完成，兩年來在交大的求學生涯也跟著告一個段落，往後迎接著我的，又是另一段嶄新的人生旅程。本論文得以順利完成，最先要感謝的，當然是我的指導教授洪崇智老師。這兩年的研究生涯中，給予我無微不至的指導與照顧，且讓我在研究主題上有無限的發展空間。而類比積體電路實驗室所提供完備的軟硬體資源，讓我在短短兩年碩士班研究中，學習到如何開始設計類比積體電路，乃至於量測電路，甚至單獨面對及思考問題的所在。此外要感謝李育民教授和溫宏斌教授撥冗擔任我的口試委員並提供寶貴意見，使得本論文更為完整。也感謝國家晶片系統設計中心提供先進的半導體製程，讓我有機會將所設計的電路加以實現並完成驗證。

另一方面，要感謝所有類比積體電路實驗室的成員兩年來的互相照顧與扶持。首先，感謝博士班的學長薛文弘、周芳鼎、陳家敏、陳宗益、蘇俊仁和廖德文以及已畢業的博士班學長羅天佑以及碩士班學長許新傑、簡兆良、黃聖文和李尚勳在研究上所給予我的幫助與鼓勵。特別是薛文弘學長，由於他平時不吝惜的賜教與量測晶片時給予的幫助，使我的論文研究得以順利完成。對於他的無私幫助，我深深表示感謝。另外也要感謝林均曄、陳伽維、許凱修、鄭世東和蔡湯唯諸位同窗，透過平日與你們的切磋討論，使我不論在課業上，或研究上都得到了不少收穫。尤其是工四 718 實驗室的同學們，兩年來陪我一起努力奮鬥，一起渡過那段同甘共苦的日子，也因為你們，讓我的碩士班生活更加多采多姿，增添許多快樂與充實的回憶。此外也感謝學弟們蘇啓仁、陳瑞明、郭駿逸、和張維修的熱情支持，因為你們的加入，讓實驗室注入一股新的活力與朝氣，祝福你們研究順利。

此外，特別要致上最深的感謝給我的父母及家人們，感謝你們從小到大所給予我的栽培、照顧與鼓勵，讓我得以無後顧之憂地完成學業，朝自己的理想邁進，謝謝你們給我那麼多的愛和付出，我會銘記在心。以及我也要感謝女友錦秋在研究生涯中給予我支持與動力，使我遇到困難亦無所畏懼。

最後，所有關心我、愛護我及曾經幫助過我的人，願我在未來的人生能有一絲的榮耀歸予你們，謝謝你們！

李人維 于 交通大學工程四館 718 實驗室
2010.09.27

目錄

摘要.....	I
Abstract.....	II
誌謝.....	III
目錄.....	IV
圖目錄.....	VIII
表目錄.....	XII
第一章 緒論.....	1
1.1 研究動機.....	1
1.2 論文架構.....	2
第二章 高速類比數位轉換器架構.....	3
2.1 介紹(Introduction).....	3
2.2 二階快閃式類比數位轉換器(Two-step Flash ADC).....	4
2.3 摺疊和插入類比數位轉換器(Folding and Interpolating ADC).....	5
2.4 快閃式類比數位轉換器(Flash ADC).....	8
第三章 電阻式平均技巧與位元錯誤率.....	10
3.1 電阻式平均技巧(Resistive averaging).....	10
3.1.1 偏移誤差(Offset).....	10
3.1.2 靜態偏移誤差(Static Offset).....	11
3.1.3 動態偏移誤差(Dynamic Offset).....	12
3.1.4 電阻式平均技巧(Resistive Averaging).....	12
3.1.5 最佳化電阻式平均網路設計流程.....	17
3.2 位元錯誤率(Bit Error Rate).....	18
第四章 快閃式類比數位轉換器的實現.....	21

4.1 電路細部說明	22
4.1.1 取樣保持電路(Track and Hold circuit)	22
4.1.2 前置放大器(Preamplifier).....	23
4.1.3 第一級比較器(First Comparator).....	25
4.1.4 第二級比較器(Second Comparator)	26
4.1.5 數位編碼器(Digital Encoder)	28
4.1.6 時脈訊號產生器(Clock Generator).....	28
4.1.7 16X 時脈除頻器(16x Clock Divider).....	29
4.2 模擬結果.....	30
4.3 總結.....	32
第 五 章 液晶螢幕顯示器的基本介紹	33
5.1 液晶螢幕顯示器的起源與原理	33
5.2 液晶螢幕之伽瑪校正與面板極性變換方式	34
5.2.1 伽瑪校正(Gamma correction).....	34
5.2.2 面板的各種極性變換方式	35
5.2.3 各種面板極性變換的比較	37
5.3 薄膜電晶體液晶顯示器(TFT-LCD).....	38
5.3.1 薄膜電晶體液晶顯示器之系統方塊	38
5.3.2 面板內之電路架構.....	38
5.3.3 源極驅動器(Source Driver)	40
第 六 章 數位類比轉換器的基本介紹	41
6.1 理想的數位類比轉換器.....	41
6.2 數位類比轉換器之規格.....	42
6.2.1 靜態參數	42
6.2.1.1 偏移誤差(Offset Error).....	42
6.2.1.2 增益誤差(Gain Error).....	42

6.2.1.3 微分非線性誤差(Differential Nonlinearity Error, DNL)	43
6.2.1.4 積分非線性誤差(Integral Nonlinearity Error, INL).....	44
6.2.1.5 單調性(Monotonic)	44
6.2.2 動態參數	45
6.2.2.1 穩定時間(Setting Time)	45
6.2.2.2 突波(Glitch)	46
6.2.2.3 時脈饋入(Clock Feedthrough).....	47
6.3 應用在液晶螢幕上之數位類比轉換器	48
6.3.1 電阻式數位類比轉換器	48
6.3.2 開關-電容式數位類比轉換器	49
6.4 總結.....	50
第七章 在液晶顯示器源極驅動器內之切換電容式數位類比轉換器的實現.	52
7.1 電路架構介紹	52
7.2 電容不匹配.....	57
7.3 切換電容式數位類比轉換器之實現.....	58
7.3.1 高位準-數位類比轉換器和低位準-數位類比轉換器	58
7.3.2 高位準-數位類比轉換器和低位準-數位類比轉換器內之低耗能放 大器(Weak inversion region OP Amplifier).....	59
7.3.3 位準抬升電路(Level shift circuit).....	60
7.3.4 時序控制電路(Timing Control circuit)	61
7.3.5 緩衝電路(Buffer).....	63
7.4 模擬結果.....	65
7.5 晶片佈局	69
第八章 量測環境設定和量測結果	70
8.1 量測環境.....	70
8.2 穩壓器介紹.....	75

8.3 測試板規劃和封裝腳位.....	75
8.4 量測圖形.....	78
8.5 量測結果.....	79
8.6 總結.....	82
第九章 結論和未來工作	93
9.1 結論.....	93
9.2 未來工作.....	94
參考文獻	95



圖目錄

圖 2.1	二階快閃式類比數位轉換器方塊圖	4
圖 2.2	使用二階快閃式類比數位轉換器之粗略和精確轉換.....	5
圖 2.3	一個三位元插入式類比數位轉換器	6
圖 2.4	插入式表示圖	6
圖 2.5	摺疊類比數位轉換器架構.....	7
圖 2.6	摺疊輸入輸出轉換圖，其中 $N_1=2$ ， $N_2=3$	7
圖 2.7	快閃式類比數位轉換器.....	8
圖 3.1	製程變異下輸入對產生的偏差	11
圖 3.2	電阻式平均技巧連接方式.....	12
圖 3.3	電阻式平均技巧示意圖.....	13
圖 3.4	輸入對的轉導圖	13
圖 3.6	R_1/R_0 對於 b 的圖形.....	15
圖 3.7	INL 和 DNL 減小因子.....	16
圖 3.8	邊界連接狀況	16
圖 3.9	氣泡錯誤.....	20
圖 4.1	使用取樣保持電路和電阻平均化技巧之快閃式類比數位轉換器	21
圖 4.2	取樣保持電路	23
圖 4.3	有重置開關的前置放大器	24
圖 4.4	第一級比較器	25
圖 4.5	過載恢復測試.....	26
圖 4.6	第二級比較器	26
圖 4.7	(1)重置模式.....	27
圖 4.9	數位編碼器	28

圖 4.10	時脈訊號產生器	29
圖 4.11	時脈除頻器	29
圖 4.12	DNL 和 INL 效能圖	30
圖 4.13	取樣頻率在 600MHz 且輸入頻率在 225MHz 時的動態效能圖	30
圖 4.14	取樣頻率在 600MHz 且輸入頻率	31
圖 4.15	取樣頻率在 800MHz 且輸入頻率在 300MHz 時的動態效能圖	31
圖 5.1	(a)液晶穿透率(T)對電壓曲線圖 (b)理想的數位資料對液晶穿透率示意圖	34
圖 5.2	四種型態反轉法	36
圖 5.3	TFT-LCD 系統方塊圖	38
圖 5.4	TFT-LCD 面板等效電路	39
圖 5.5	源極驅動器架構圖	40
圖 6.1	N 位元的數位類比轉換器	41
圖 6.2	偏移誤差示意圖	42
圖 6.3	增益誤差示意圖	43
圖 6.4	微分非線性誤差	43
圖 6.5	積分非線性誤差	44
圖 6.6	單調性.....	45
圖 6.7	穩定時間示意圖	46
圖 6.8	四位元數位類比轉換器之突波示意圖.....	47
圖 6.9	使用樹狀解碼器的電阻式數位類比轉換器	48
圖 6.10	使用數位解碼器的電阻式數位類比轉換器	49
圖 6.11	開關-電容式數位類比轉換器	49
圖 7.1	數位類比轉換器系統圖.....	52
圖 7.2	切換電容式數位類比轉換器	53
圖 7.3	時序圖.....	54

圖 7.4	數位類比轉換器之操作時序圖 (a)1a (b)1b (c)2a (d)2b	54
圖 7.5	數位類比轉換器輸出圖	55
圖 7.6	輸入對輸出圖(SIGN=1)	56
圖 7.7	輸入對輸出圖(SIGN=0)	56
圖 7.8	2.4%電容誤差下且經過電容交換後的 INL 結果	57
圖 7.9	數位類比轉換器系統架構圖	58
圖 7.10	數位類比轉換器架構圖	58
圖 7.11	低功耗放大器	59
圖 7.12	位準抬升電路	60
圖 7.13	時序電路	61
圖 7.14	時序之產生方式	61
圖 7.15	時序圖	62
圖 7.16	緩衝電路連接方式	63
圖 7.17	作為緩衝器之兩級放大器架構	63
圖 7.18	電壓偏移誤差圖	67
圖 7.19	數位類比轉換圖	67
圖 7.20	微分非線性誤差	68
圖 7.21	積分非線性誤差	68
圖 7.22	數位類比轉換器之佈局圖	69
圖 8.1	量測架構圖	70
圖 8.2	穩壓器連接圖	75
圖 8.3	數位類比轉換器測試板	76
圖 8.4	(a)封裝腳位 (b)接腳對應圖	76
圖 8.5	晶片圖	77
圖 8.6	數位類比轉換器量測圖形(一)	78
圖 8.7	數位類比轉換器量測圖形(二)	78

圖 8.8	每一位元需要五微秒時間轉換之量測表示圖	79
圖 8.9	低位準-數位類比轉換曲線[x-axis~ digital code, y-axis~(volts)].....	80
圖 8.10	低位準-積分非線性誤差[x-axis~ digital code, y-axis~(LSB)]	80
圖 8.11	低位準-微分非線性誤差[x-axis~ digital code, y-axis~(LSB)]	80
圖 8.12	高位準-數位類比轉換曲線[x-axis~ digital code, y-axis~(volts)].....	81
圖 8.13	高位準-積分非線性誤差[x-axis~ digital code, y-axis~(LSB)]	81
圖 8.14	高位準-微分非線性誤差[x-axis~ digital code, y-axis~(LSB)]	81
圖 8.15	低位準-數位類比轉換曲線[x-axis~ digital code, y-axis~(volts)].....	83
圖 8.16	低位準-積分非線性誤差[x-axis~ digital code, y-axis~(LSB)]	83
圖 8.17	低位準-微分非線性誤差[x-axis~ digital code, y-axis~(LSB)]	83
圖 8.18	第一種電容交換方式表式圖	85
圖 8.19	經過第一種電容交換方式後之低位準-數位類比轉換曲線.....	86
圖 8.20	經過第一種電容交換方式後之低位準-積分非線性誤差.....	86
圖 8.22	電容誤差 0.6%且經第一種電容交換之低位準-數位類比轉換曲線	87
圖 8.23	電容誤差 0.6%且經第一種電容交換之低位準-積分非線性誤差	87
圖 8.24	電容誤差 0.6%且經第一種電容交換之低位準-微分非線性誤差	87
圖 8.25	第二種電容交換方式表式圖(一).....	88
圖 8.26	第二種電容交換方式表式圖(二).....	88
圖 8.27	分別由 C_x 和 C_y 當積分電容之低位準-數位類比轉換曲線	89
圖 8.28	分別由 C_x 和 C_y 當積分電容之低位準-積分非線性誤差	89
圖 8.29	分別由 C_x 和 C_y 當積分電容之低位準-積分非線性誤差	90
圖 8.30	電容誤差 2.4%且經第二種電容交換之低位準-數位類比轉換曲線	90
圖 8.31	電容誤差 2.4%且經第二種電容交換之低位準-積分非線性誤差	91
圖 8.32	電容誤差 2.4%且經第二種電容交換之低位準-積分非線性誤差	91

表目錄

表 4.1	快閃式類比數位轉換器效能表	32
表 6.1	各型態數位類比轉換器面積評估表(以 Typical 8-bit RDAC 為基準)	51
表 7.1	數位類比轉換器中的放大器效能表	65
表 7.2	緩衝器內之放大器效能表	66
表 8.1	效能表	82
表 8.2	電容誤差百分率相對於最大微分非線性誤差量大	84
表 8.3	比較規格列表	92



第一章

緒論

1.1 研究動機

在很多應用中，一般都有類比和數位的介面，資料必須做一些轉換才得以應用，例如錄音機、錄影機、通訊系統以及液晶螢幕等。通常，輸入和輸出訊號都是為類比訊號，但訊號處理的過程卻是以數位訊號為主。因此，類比數位轉換器(ADCs)和數位類比轉換器(DACs)皆為系統中極為重要的介面電路。

快閃式類比數位轉換器為現代系統中不可或缺的電路，也因其高速低解析度的特性，傳統上主要應用於硬碟讀取通道(PRML read channel)。隨著製程的演進，使得快閃式類比數位轉換器更能突顯其高速的特點，因而被廣泛的應用在無線通訊、高速的傳送介面等。值得注意的是，在設計此種形式的類比數位轉換器時，動態和靜態的偏差量要如何縮小將會是主要的議題，也是我們設計的重點。其中，面積和速度以及功率消耗是設計時緊緊相扣的三個要素，必須要做些取捨才能達到良好的效能。

傳統上，液晶螢幕源極驅動器內的數位類比轉換器(Digital-to-Analog Converter, DAC)使用非線性電阻串數位類比轉換器(Resistor-string DAC)，但電阻串數位類比轉換器有下列幾項缺點：

- (1) 必須因應不同的液晶螢幕面板，去設計所需要的伽瑪(Gamma)校正曲線；
- (2) 電阻容易隨製成偏移，使電阻串不夠精確；
- (3) 流過電阻串的電流過大，造成功率消耗；
- (4) 當解析度增加時，晶片面積變得過大而增加成本；

(5) 為了校正每個顏色的伽瑪校正曲線，將會增加晶片面積。

為了因應電阻串式數位類比轉換器(Resistor-string DAC)的缺點，我們使用了線性的切換電容式數位類比轉換器(Switch-capacitor DAC)來完成 LCD 源極驅動器的數位類比轉換器，切換電容式數位類比轉換器擁有較小的面積以及許多優點，所以我們使用此架構來改善傳統上使用電阻串式數位類比轉換器(Resistor-string DAC)的缺點。

1.2 論文架構

一開始會在第一章中講述到我們研究的動機以及其應用層面。因本論文主要分為兩個部分，其中第二到四章為快閃式類比數位轉換器部份，而第五到八章為切換電容式數位類比轉換器部分。第二章我們會介紹一些基本的高速類比數位轉換器的架構以及其操作方式，到了第三章，我們將會提出快閃式類比數位轉換器偏移誤差的解決方案，主要使用的技巧為電阻式平均誤差量。而後，我們也提出了位元錯誤率的避免方式。第四章我們實現了一個快閃式類比數位轉換器，且清楚介紹了所有的細部電路運作方式以及需注意的地方。第五、六章為一些基本的液晶顯示器和數位類比轉換器架構的介紹。第七章為實際去實現一個應用在液晶螢幕源極驅動器的數位類比轉換器，其中有系統層面操作方式以及細部電路的詳細描述。第八章為晶片實際下線製作後的量測結果。第九章為結論與未來工作。

第二章

高速類比數位轉換器架構

2.1 介紹(Introduction)

在很多的應用中，類比數位轉換器有速度方面的考量，甚至有些應用面需要極為高速的類比數位轉換器，因而導致高速類比數位轉換器的蓬勃發展。為了要達成極高速，轉換時間通常都在一個時脈下就必須要完成轉換。但達成極高速必須付出代價的，主要是與其面積來做些取捨。其他種改善速度的方法為增加在類比數位轉換器中的每一個單一方塊的速度。通常，取樣時間為速度考量之主要限制因素。而取樣時間主要是由取樣維持電路以及比較器電路來決定。

接下來我們將討論高速類比數位轉換器一些效能的取捨。由[1]可以得知為速度-能量消耗-解析度必須做些取捨之表示式：

$$\frac{Speed \times Accuracy^2}{Power} \approx \frac{1}{C_{ox} \cdot A_{vt}^2} = \text{常數 (與製程相關)} \quad (2.1)$$

其中 A_{vt} 為製程相關參數。

由(2.1)式我們可以知道這三個參數是環環相扣，無法將效能同時提昇，因此必須要做一些取捨。例如，為了要得到高速的類比數位轉換器，則要付出的代價是解析度變小以及能量消耗變大才能夠達到高速。

現在我們來介紹兩種可以應用在高速的類比數位轉換器之方法：1. 類比處理技術（例如摺疊和插入）。2. 平均技巧-不用消耗大的面積就可以減少偏差的方法。這兩種方法主要都可以減少輸入電容以及減少前置放大器和比較器之數量，進而增加速度以及減少面積。

高速的類比數位轉換器主要是由兩階快閃式類比數位轉換器(Two-step Flash ADC)和摺疊和插入類比數位轉換器(Folding and Interpolating ADC)以及快閃式類比數位轉換器(Flash ADC)所組成，以下我們為這三種型態的類比數位轉換器作一些簡單的介紹。

2.2 二階快閃式類比數位轉換器(Two-step Flash ADC)

基本的二階快閃式類比數位轉換器如圖 2.1 中所示[2]。這種型態的類比數位轉換器比單純快閃式類比數位轉換器好的地方在於可以節省許多面積，因其比較器的數量可以減少掉很多。例如，對於一個八位元的類比數位轉換器而言，其中我們假設 $M=4$ 、 $N=4$ ，因此我們只需要 $2*(2^4-1)=30$ 個比較器，但對於一般的快閃式而言，需要 $2^8-1=255$ 個比較器。然而對於取樣保持電路也是有益處，這種形態的類比數位轉換器能減小取樣保持電路其後所看到的負載，亦即能使取樣保持電路頻寬比較大。但二階快閃式類比數位轉換器也是有其缺點，即速度無法像快閃式類比數位轉換器一樣快，需要二到三個時脈才能轉換出來一筆資料。

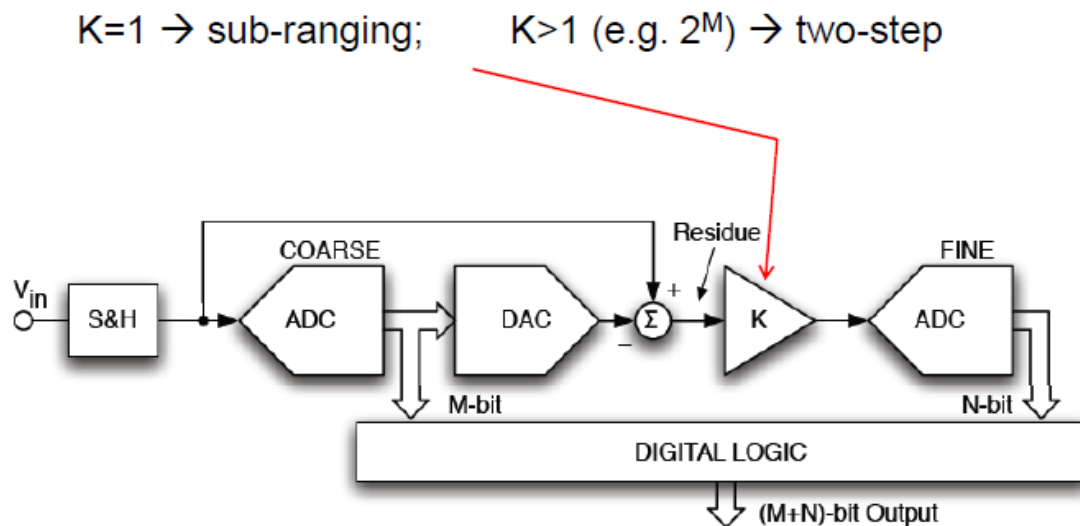


圖 2.1 二階快閃式類比數位轉換器方塊圖

它的操作方式如圖 2.1 所示，先由一個粗略的類比數位轉換器(Coarse ADC)轉換出粗略的位元 (Coarse Bits)，然後再經由數位類比轉換器轉換後之值與取樣保持電路輸出之值做相減，接下來再放大 K 倍，而後再經過一個精確度較高的類比數位轉換器 (Fine ADC) 做轉換，即可以得到精確的位元 (Fine Bits)，轉換示意圖如圖 2.2 所示。

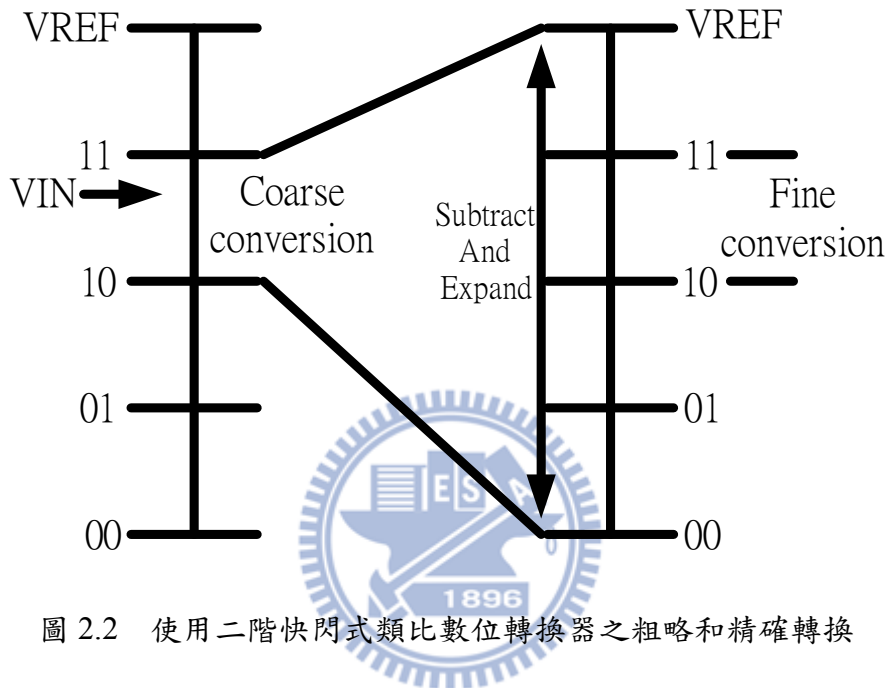


圖 2.2 使用二階快閃式類比數位轉換器之粗略和精確轉換

2.3 摺疊和插入類比數位轉換器(Folding and Interpolating ADC)

一開始會使用插入的技巧主要是因為想要減少從輸入端看到的比較器和放大器個數，如圖 2.3 所示[2]，表示一個 3 位元的插入類比數位轉換器，其中放大器在中段為線性以及在邊界為飽和。其中電源供應器的 V_{DD} 要大於 V_{REF} ，以及所有的比較器的 V_{TH} 都設定為一樣的。如圖 2.4 所示，兩個放大器之輸出以及電阻之分壓。因為有放大器的增益，所以比較器可以很簡單的執行，使用閘鎖器 (latch) 即可。

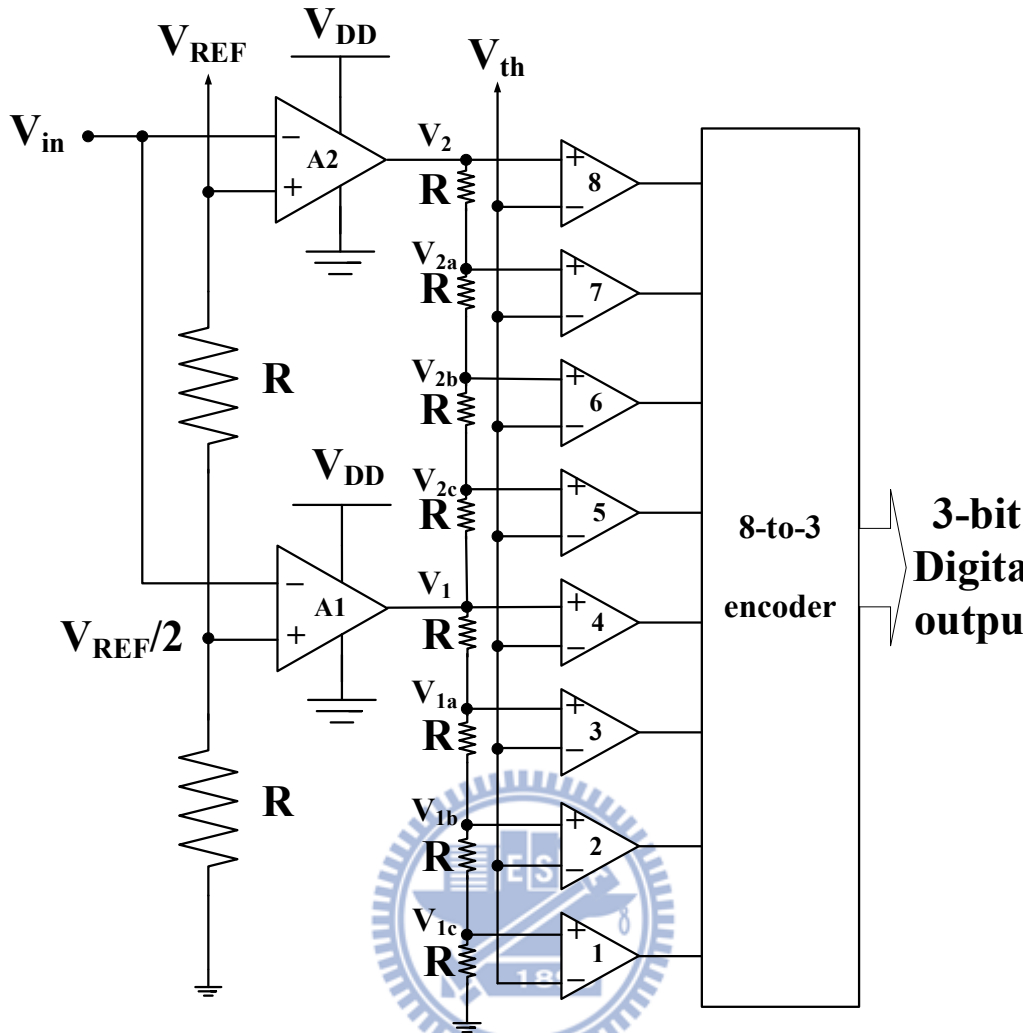


圖 2.3 一個三位元插入式類比數位轉換器

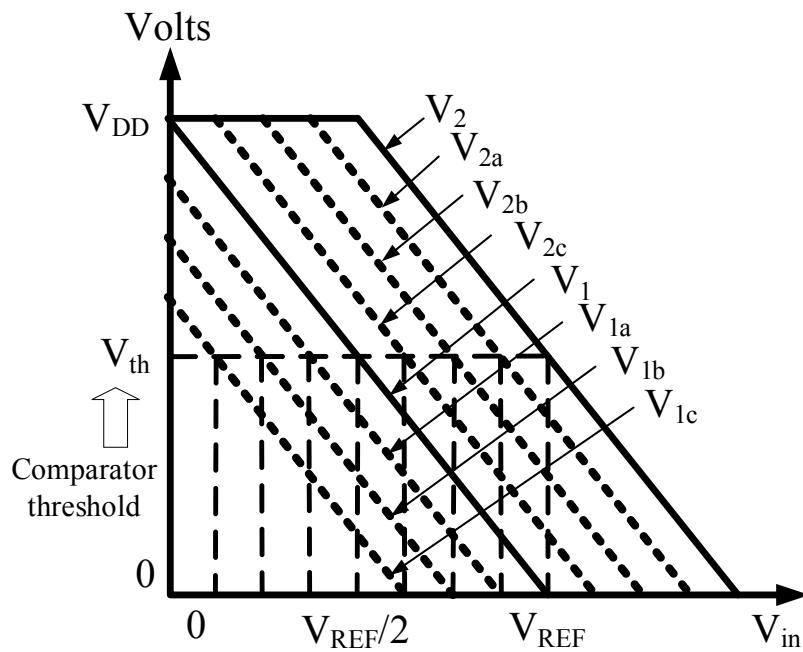


圖 2.4 插入式表示圖

一般快閃式類比數位轉換器需要用到 2^N-1 個比較器，因此，使用摺疊的目的為減少比較器的數量，進而減小面積以及能量消耗。摺疊的架構如圖 2.5 所示，輸入端分成兩個平行的路徑，一個處理粗略位元 (Coarse Bits) 部分，一個處理精確位元 (Fine Bits) 部分，因此所有的比較器的數量為 $2^{N_1}-1$ 加上 $2^{N_2}-1$ 。換句話說，如果 $N_1=2$ 和 $N_2=3$ ，則這個摺疊類比數位轉換器需要 10 個比較器，而一般的快閃式類比數位比較器需要 31 個比較器，就比較器數量而言，有很顯著的差距。其操作方式如圖 2.6 所示，先解析出粗略的位元，之後再解析出精確位元。

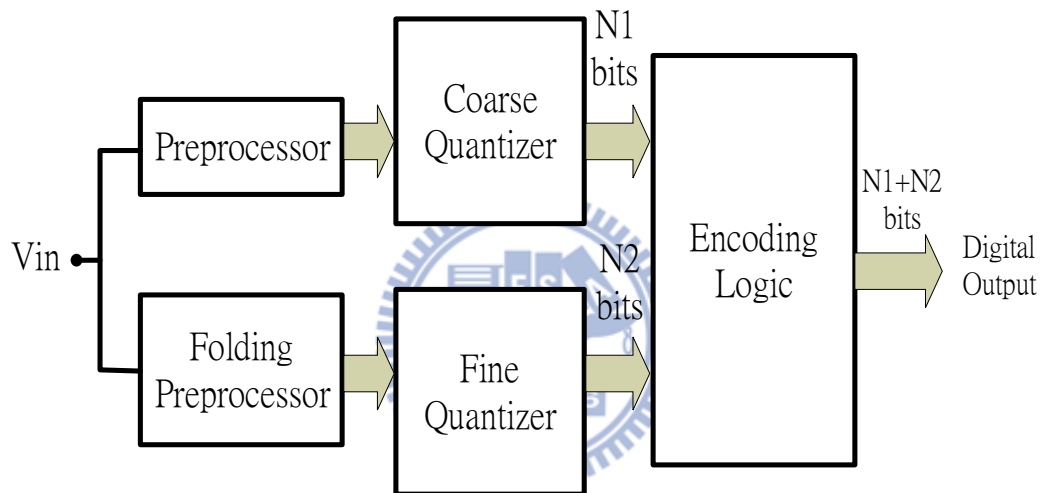


圖 2.5 摺疊類比數位轉換器架構

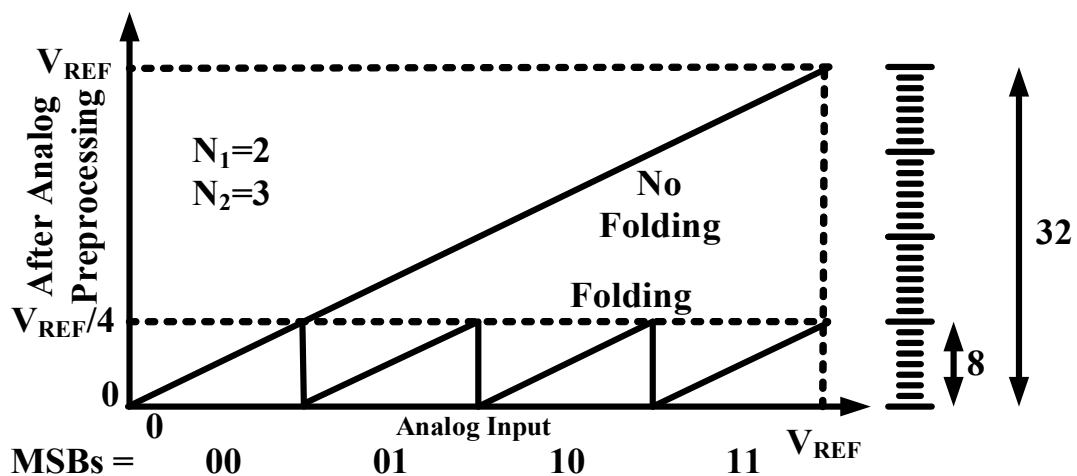


圖 2.6 摺疊輸入輸出轉換圖，其中 $N_1=2$ ， $N_2=3$

因此，將這兩種形式的類比數位轉換器結合在一起可以得到高的解析度以及高速的需求。但摺疊(Folding)和插入(Interpolating)類比數位轉換器在粗略(Coarse)和精確(Fine)量化器的輸出有著時間上的不一致，因此需要一個高速的取樣維持電路去減輕對於頻寬的需求。有了取樣維持電路後，所有的輸入都可以同時到達每一個摺疊電路，而後，頻寬主要被取樣維持電路之頻寬以及摺疊和插入電路之穩定時間(setting time)所決定。

2.4 快閃式類比數位轉換器(Flash ADC)

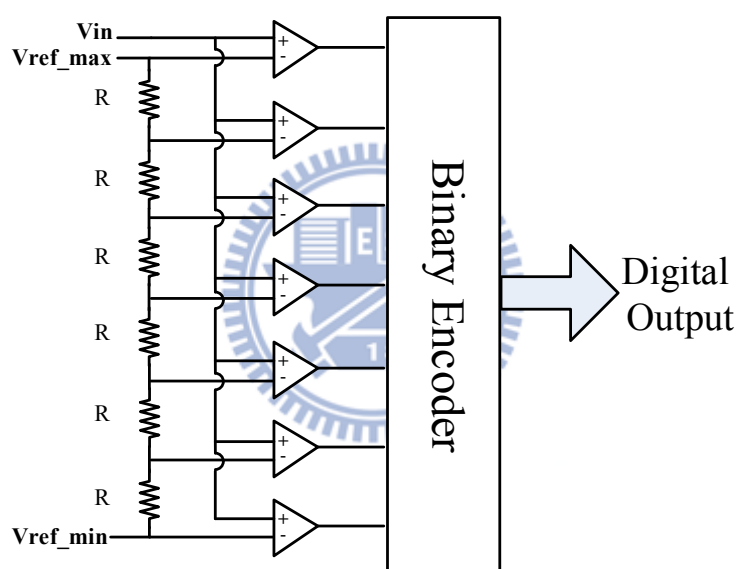


圖 2.7 快閃式類比數位轉換器

快閃式類比數位轉換器的架構很單純，適合應用在及高速的類比數位轉換器的設計，也是許多種高速類比數位轉換器架構的基礎。

快閃式類比數位轉換器主要架構是由比較器 (Comparator)，用來供應電阻串產生參考電壓的參考電壓源 (Reference ladder)，以及編碼器 (Binary Encoder) 這三個主要部分所組成，如圖 2.7 所示。類比輸入訊號直接與各個參考電壓經由比較器去做比較，之後再由比較器的輸出就可以判斷輸入訊號是位於哪兩個數位間隔之間。比較器的輸出訊號就像一個水銀溫度計，因此這種輸出訊號的形式通

常也可稱為溫度計碼 (Thermometer Code)，最後經由編碼器編碼就可以得到相對應的數位輸出。而快閃式類比數位轉換器的比較器是由並列的方式去做連結的，所以也可以稱為並列式 (Parallel) 的類比數位轉換器。因為並列式的特性，基本上，類比輸入只需要一個時脈的處理時間即能完成數位輸出。

然而，快閃式類比數位轉換器存在一個嚴重的缺點。若要完成一個 N 位元的快閃式類比數位轉換器，至少使用 2^N-1 個比較器以及 2^N-2 個電阻，如圖 2.7 所示。比較器的個數會隨著解析度增加而隨指數的關係暴增，同時功率消耗及晶片的面積也會以驚人的速率成長。

在比較器的設計方面，由於快閃式類比數位轉換器通常被用於高速的應用，所有的比較器也會以高速操作，如此一來便會造成很大的功率消耗。而當比較器的解析度必須增加時，每個比較器的複雜度也會增加。一些技巧如自動歸零

(Auto-Zeroing) 或是平均 (Averaging) 的設計技巧，也被用來改善比較器低頻雜訊和偏移誤差 (Offset) 的問題。這是因為對一個 n 位元的類比數位轉換器而言，每一個比較器都必須達到 N 位元的精確度。

除此之外，輸入訊號和時脈訊號送達每一個比較器的時間誤差，而導致個別比較器對輸入訊號作量化動作的時間點不同，也會影響到系統的動態效能。這是會隨操作速度增加而更加嚴重，所以在一般高速的類比數位轉換器中，通常會在前端加入一個取樣保持電路來改善這個現象。

第三章

電阻式平均技巧與位元錯誤率

3.1 電阻式平均技巧(Resistive averaging)

快閃式類比數位轉換器之設計重點為如何將偏移誤差量縮小到可以接受的範圍內，但又不會讓面積以及功率消耗變大。因此，我們在電路中加入了電阻串，其作用為平均偏移誤差量，使效能達到改善，以下我們將探討如何實現它。

3.1.1 偏移誤差(Offset)

一個 N 位元的類比數位轉換器，把整個輸入範圍平均分成 2^N 等分，然後把類比訊號對應到最接近的數位區間內將之數位化。N 位元類比數位轉換器的最低有效位元(LSB)定義為鄰近的兩個數位理想值的間隔大小：

$$1LSB = \frac{InputFullScale}{2^N} \quad (3.1)$$

積分非線性誤差(Integral nonlinearity error, INL)和微分非線性誤差(Differential nonlinearity error, DNL)為一個類比數位轉換器的靜態效能表現，若是微分非線性誤差或積分非線性誤差任一個大於 $\pm 0.5LSB$ ，但小於 $\pm 1LSB$ ，則此 N 位元的類比數位轉換器就等同於少一位元，即變成(N-1)位元的類比數位轉換器。因此，在設計類比數位轉換器時，積分非線性誤差和微分非線性誤差必須設計在 $\pm 0.5LSB$ 內，這是必要的。至於什麼原因會使快閃式類比數位轉換器之靜態效能大於 $\pm 0.5LSB$ ，主要就是電路在設計的時候產生了不必要的偏移誤差(offset)，我們必須想辦法克服這些偏移誤差，找出造成偏移誤差的原因，將之一一去除，才

能完成高效能的快閃式類比數位轉換器。

我們談論到偏移誤差的問題，在快閃式類比數位轉換器中，主要包含了兩種偏移誤差，一種為靜態偏移誤差(static offset)，另一種為動態偏移誤差(dynamic offset)。

3.1.2 靜態偏移誤差(Static Offset)

兩個相同的電晶體經過製程出來後會有一定程度的變異，這就是常見電晶體的製程變異，且電晶體的 V_{th} 和 β 參數也會隨之變化。接下來讓我們討論製程變異對放大器輸入對造成的影響，它會造成放大器輸入對的偏移誤差，可由圖 3.1 得知。

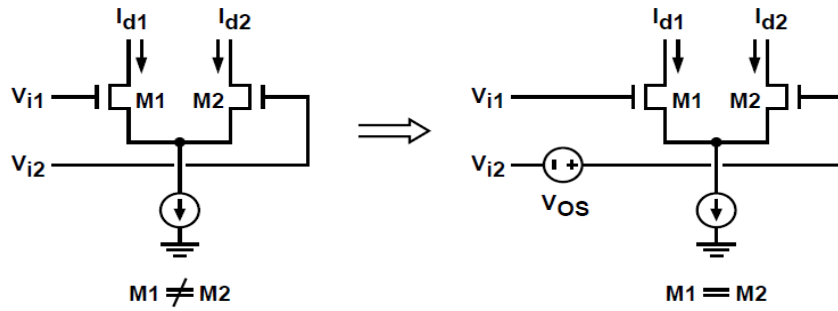


圖 3.1 製程變異下輸入對產生的偏差

若是輸入對電晶體經過了製程變異後，即造成 V_{th} 和 β 變動，會產生一個偏移量 V_{os} ， V_{os} 經過推導後得到之式子如下

$$\sigma^2(V_{os}) = \sigma^2(\Delta V_t) + \left(\frac{V_{ov}}{2}\right)^2 \times \frac{\sigma^2(\Delta\beta)}{\beta^2} = \frac{1}{WL} \left(A_{V_t}^2 + \frac{V_{ov}^2}{4} \times A_{\beta}^2 \right) \quad (3.2)$$

其中 $\beta = \mu C_{ox} \frac{W}{L}$ ， $\sigma^2(\Delta V_t) = \frac{A_{V_t}^2}{WL}$ ， $\frac{\sigma^2(\Delta\beta)}{\beta^2} = \frac{A_{\beta}^2}{WL}$ 。由(3.2)式可以得知，要克

服靜態偏移誤差可用的方法為加大電晶體的尺寸，但卻會帶來大的輸入電容和面積，導致頻寬減少，所以顯然這不是一個好方法，我們必須尋求其他方法來克服。

當然，我們把將前置放大器放在比較器前面，可以使比較器之偏移誤差被增益所除，如下式所示

$$\sigma^2(V_{OS}) = \sigma^2(V_{OS,Preamp}) + \frac{\sigma^2(V_{OS,Comp})}{A^2} \quad (3.3)$$

如此一來，可以使比較器的靜態偏移誤差減少，但前置放大器的增益又不可以太大，因為頻寬會減小，必須做些取捨。而後，我們要考慮的重點就是如何將前置放大器的 V_{OS} 減小，然而加大輸入對電晶體尺寸已經不為我們考慮的解決方案，必須想其他方式來克服偏移誤差。

3.1.3 動態偏移誤差(Dynamic Offset)

動態偏移誤差主要的形成原因是比較器動態的操作。其中因素包含：時脈饋入(clock feedthrough)，偏壓點的跳動， $V_{DD}-V_{SS}$ 的雜訊，前置放大器和比較器之頻寬不足。這些動態因素和電晶體的不匹配形成了動態偏差。電容的不匹配，使時脈饋入後對輸出電容儲存的電壓有一定程度的影響，會造成輸出值的偏移誤差。



3.1.4 電阻式平均技巧(Resistive Averaging)

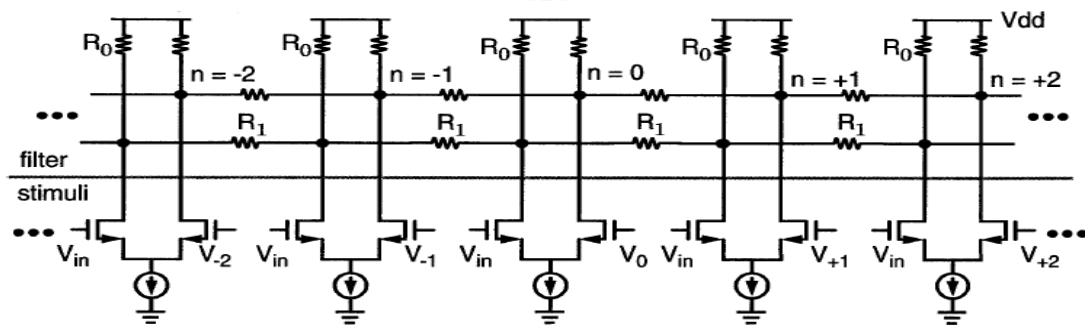


圖 3.2 電阻式平均技巧連接方式

由前面可以知道，如果把前置放大器和比較器的輸入對尺寸做些放大，即可以減少偏移誤差。但此種方法不可行，因為會造成大的輸入對尺寸、電容以及能量消耗。因此，我們採用電阻式平均技巧來解決此問題，其連接方法可由圖 3.2 所示[3]，即為將每條前置放大器的輸出端用 R_1 連接起來，使得偏移誤差被 R_1 所平均，達到好的效能。但 R_1/R_0 之比例關係該如何訂定呢?之後將會做些探討。

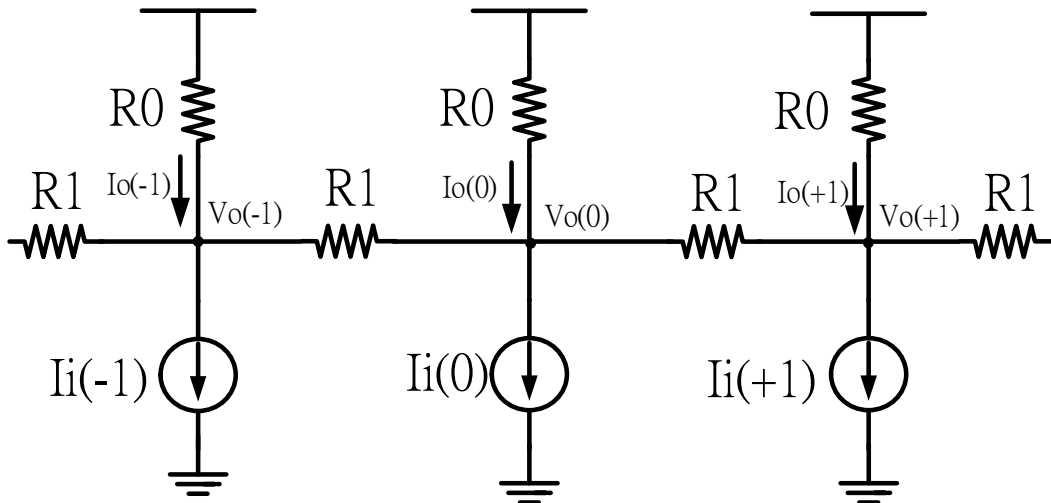


圖 3.3 電阻式平均技巧示意圖

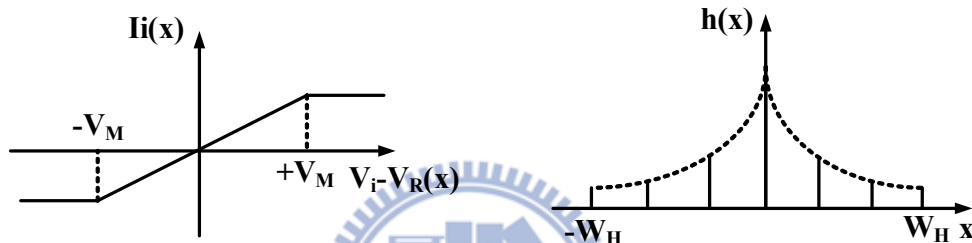


圖 3.4 輸入對的轉導圖

圖 3.5 脈衝響應

一開始我們先從前置放大器輸入對著手，由 V_i 和 V_R 之差產生 I_i 的電流，如

圖 3.4 所示，我們可以假設(3.4)、(3.5)並且寫出(3.6)、(3.7)：

$$V_R(x) = \Delta V \cdot x \quad (3.4)$$

$$W_M = \frac{V_M}{\Delta V} \quad (3.5)$$

$$I_i(x) = G_m [V_i - V_R - V_{OS}(x)] \quad \text{if } |V_i - V_R - V_{OS}(x)| \leq V_M \quad (3.6)$$

$$I_i(x) = \pm G_m V_M \quad \text{if } |V_i - V_R - V_{OS}(x)| > V_M \quad (3.7)$$

其中 V_M 代表輸入對飽和時電壓值。如圖 3.5 所示， I_i 再經由脈衝響應

$h(x) = I_o(x)/I_i(0)$ 分配到周圍的負載阻抗，如下式所示：

$$I_o(x) = \sum_{y=-W_H}^{+W_H} I_i(x-y)h(y) \quad (3.8)$$

再將以上(3.6)式、(3.7)式帶入(3.8)式後可以求得：

$$\frac{I_o(x)}{G_m} = [V_i - V_R(x)] \sum_{y=-WH}^{+WH} h(y) - \sum_{y=-WH}^{+WH} V_{OS}(x-y)h(y) \quad \text{if } W_M \geq W_H \quad (3.9)$$

$$\frac{I_o(x)}{G_m} = [V_i - V_R(x)] \sum_{y=-WM}^{+WM} h(y) - \sum_{y=-WM}^{+WM} V_{OS}(x-y)h(y) \quad \text{if } W_M \leq W_H \quad (3.10)$$

其中 $\sum_{y=-WH}^{+WH} h(y) = 1$ ， W_H 代表脈衝響應之具影響力範圍。

由以上之結果可以分為兩部分來分析。第一部分為增益部分，即為(3.9)、(3.10)的前半部，前置放大器經過電阻串平均網路後增益變為

$$A_V = G_M R_O \times \sum_{-W_n}^{+W_n} h(y) \quad \text{其中 } W_n = \min(W_M, W_H) \quad (3.11)$$

若是 $\sum_{-W_n}^{+W_n} h(y) < 1$ ，代表流出電阻串平均網路之電流並不等於流入之電流，會導致增益減少，但若想由增加 R_O 來提高它的增益卻是不可行的，因頻寬會被限制住。

接下來，我們來看第二部份偏移誤差部分，即為(3.9)、(3.10)的後半部，前置放大器經過電阻串平均網路後偏移誤差變為

$$V_{OS}^i(x) = \frac{\sum_{-W_n}^{+W_n} V_{OS}(x-y)h(y)}{\sum_{-W_n}^{+W_n} h(y)} \quad \text{其中 } W_n = \min(W_M, W_H) \quad (3.12)$$

除此之外， V_{OS} 也會被尾電流(tail current)的匹配程度所影響，必須要仔細考量尾電流的佈局問題。由以上增益和偏移誤差可以知道，必須要 $W_M \geq W_H$ 才不會使增益受影響以及偏移誤差才會平均的比較好。

接下來 $V_{OS}(x)$ 假設為平均值 0 且變異數 $\sigma(V_{OS})$ 的不相依的高斯變數，則 INL 減小因子可以被表示為：

$$\frac{\sigma(V_{OS}^i)}{\sigma(V_{OS})} = \left[\frac{\sum_{-W_n}^{+W_n} h^2(y)}{\left[\sum_{-W_n}^{+W_n} h(y) \right]^2} \right]^{\frac{1}{2}} = R_{INL} = \text{INL 減小因子} \quad (3.13)$$

以及微分非線性誤差為 $\Delta V_{OS}^i = V_{OS}^i(x) - V_{OS}^i(x+1)$ 也是高斯變數。則 DNL 的減小因子可以被表示為：

$$R_{DNL} = \frac{\sigma(\Delta V_{OS}^i)}{\sigma(\Delta V_{OS})} = \frac{1}{\sqrt{2}} \times \left[\frac{\sum_{y=-Wn}^{+Wn} [h(y) - h(y-1)]^2}{\left[\sum_{y=-Wn}^{+Wn} h(y) \right]^2} \right]^{\frac{1}{2}} = \text{DNL 減小因子} \quad (3.14)$$

推導到此，我們必須知道在電路中影響脈衝響應 $h(y)$ 的是什麼，接下來我們來討論脈衝響應的部分。前段說脈衝響應的響應圖是由 R_1/R_0 來決定的。我們現在來分析 R_1/R_0 與脈衝響應的關係，由[3]可以知道，當 R_1/R_0 的比值越大，它的平均效果越不好， $h(x)$ 圖型也越陡峭；但當 R_1/R_0 的比值越小，平均的效果越好， $h(x)$ 圖型也越平緩，以下是經由分析後所得到的算式與圖形：

$$h(x) = h(0) \cdot b^{|x|} \quad (3.15)$$

$$b = 1 + \frac{1}{2} \frac{R_1}{R_0} - \sqrt{\left(1 + \frac{1}{2} \frac{R_1}{R_0}\right)^2 - 1} \quad (3.16)$$

$$h(0) = \frac{b \cdot \frac{R_1}{R_0}}{1 - b^2} \quad (3.17)$$

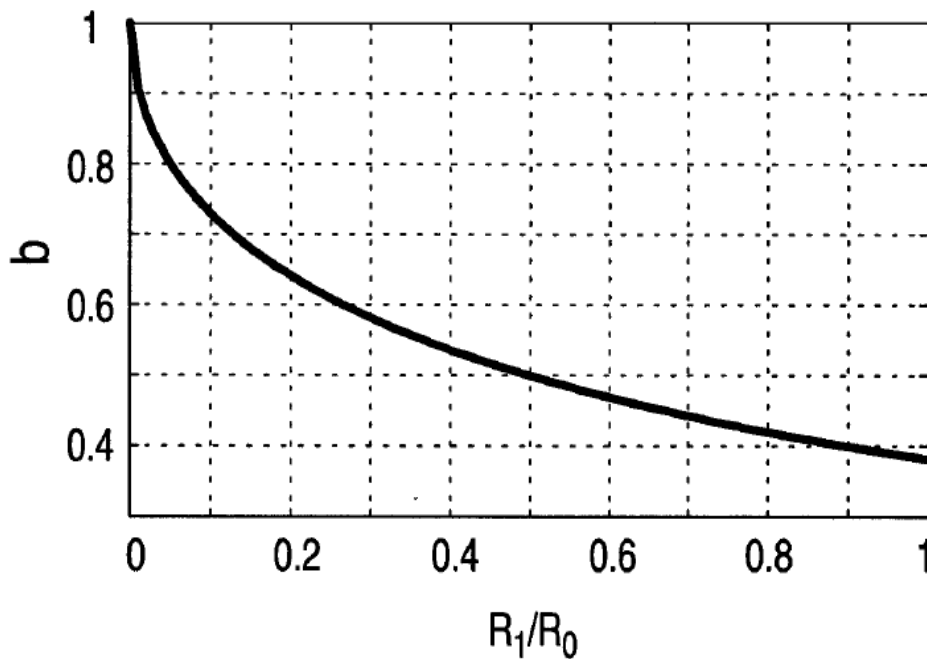


圖 3.6 R_1/R_0 對於 b 的圖形

其中 $\sum_{x=-\infty}^{+\infty} h(x) = 1$ 。

我們再回到 INL 減小因子和 DNL 減小因子部分，將(3.15)帶入(3.13)、(3.14)後可以得到圖 3.7。

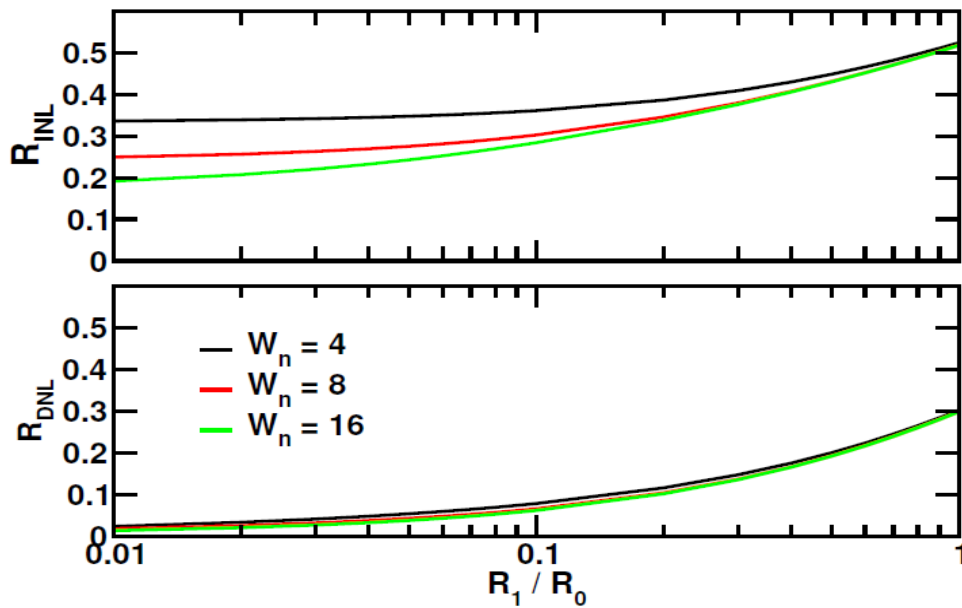


圖 3.7 INL 和 DNL 減小因子

但是到目前為止我們才知道 $W_M \geq W_H$ 為首要條件，但還需要其他的條件才足以完整的設計整個電路。我們現在想要知道的是需要與周圍多少比較器來平均才能夠使偏移誤差縮到可以接受的範圍呢？

現在我們先來考慮邊界會遇到的狀況，因為位於邊界的前置放大器以及比較器也需要與周圍做平均，如圖 3.8 可以得知，邊界需要加入一些模仿前置放大器以及比較器，然後在用電阻串將之串起來，形成圓環，如此一來，不管在中間或是在邊界看到的環境都能維持一樣，邊際效應即可消除。

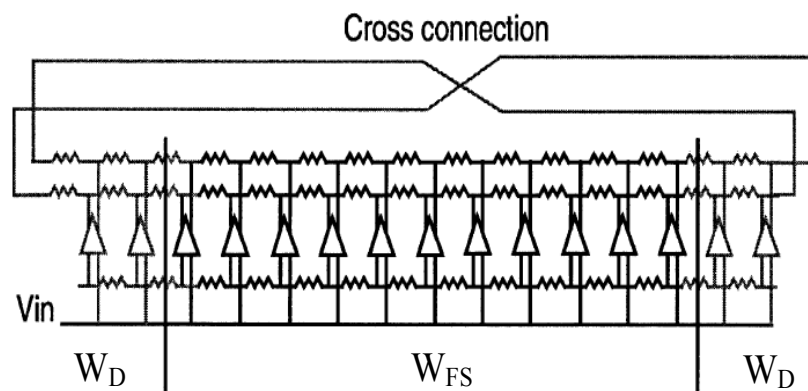


圖 3.8 邊界連接狀況

現在，我們想知道需要與旁邊多少做平均才能將偏移誤差縮減到最小，由[3]可以得知，我們先令

$$W_T = \text{全部的前置放大器數量} \quad (3.18)$$

$$W_H = W_M = W_D \quad \text{又} \quad W_T = W_{FS} + 2W_D, \quad k = 2W_D/W_T \quad (3.19)$$

$$V_{FS} = (V_{RT} - V_{RB}) \times \frac{W_{FS}}{W_T} = V_R \times (1 - k) \quad (3.20)$$

$$A_T = \text{Total Device Area} = W_T \times WL \quad (3.20)$$

現在我們來考慮偏移誤差(offset)，並且將偏移誤差量設定為小於 1/4LSB，如下式所示：

$$\sigma(V_{OS}^i) = \sigma(V_{OS}) \times R_{INL} = \frac{A_{Vt}}{\sqrt{WL}} \times \frac{1}{\sqrt{\epsilon W_D}} = \frac{A_{Vt}}{\sqrt{\epsilon A_D}} \quad A_D = A_T \times k \quad (3.22)$$

$$4\sigma(V_{OS}^i) \leq \frac{V_{FS}}{2^N} \quad \Rightarrow \quad 2^N \leq \frac{1}{4} \frac{V_R}{A_{Vt}} \cdot \sqrt{\epsilon A_T} \cdot \sqrt{k} (1 - k) \quad (3.23)$$

由(3.23)式，若給定 V_R 和 A_T ，為了求得最大的 2^N ，我們可以求得 k 可以接受的範圍為(1/6)~(1/2)，我們將之選取為(1/3)。帶回去原式可以求得 $W_H = W_M = W_D = 9$ ，也就是說把旁邊的九個，即左邊九個，右邊九個做平均，可以使偏移誤差(offset)小於四分之一最低有效位元(1/4LSB)。

3.1.5 最佳化電阻式平均網路設計流程

由[3]，接下來我們要來講述實際去設計一個使用電阻式平均網路的快閃式類比數位轉換器流程：

步驟一：

我們先定義出全擺幅範圍， V_{FS} ，參考電壓範圍， V_R ，我們可以得到

$$k = \frac{V_R - V_{FS}}{V_{FS}} \quad (3.24)$$

$$\Delta V = \frac{V_R}{2^N} \quad (3.25)$$

$$W_T = \frac{V_R}{\Delta V} \quad (3.26)$$

$$2W_D = \frac{V_R - V_{FS}}{\Delta V} = k \cdot W_T \quad (3.27)$$

由[3]可以得知，將 k 設計為(1/6)~(1/2)都是其可以接受的範圍。

步驟二:

設計前置放大器的變數 V_M ，使得

$$W_M = \frac{V_M}{\Delta V} \quad (3.28)$$

$$W_M \geq W_D = k \cdot W_T / 2 \quad (3.29)$$

以及選擇 R_1 和前置放大器的尾電流(tail current)， I_S ，去滿足電壓增益和頻寬的需求。

步驟三:

加入 W_D 模仿階層，並且將電阻式平均 R_1 接上去，接成圓環狀來克服邊界效應，並且選取 R_1 之值使得

$$W_H = W_D \quad (3.30)$$

步驟四:

使用模擬的方式來看加上平均電阻串 R_1 後，造成對前置放大器效能的影響，以及系統 INL 的狀況，如果前置放大器的電壓增益和頻寬減少到不符合規格，即增加 R_1 之值，使其符合規格，但會導致平均效果變差。

步驟五:

如果平均效果變差，導致 INL 變差以至於超出我們的規格時，即放大(scale)前置放大器的尺寸，主要為所有前置放大器的輸入電容值和其 INL(由偏移誤差所造成)的取捨。

3.2 位元錯誤率(Bit Error Rate)

位元錯誤率是指資料有可能會產生錯誤的機率，通常以百分比來表示。在快

閃式類比數位轉換器中，會造成錯誤的原因主要是比較器輸出之不穩定 (meta-stability) 和氣泡錯誤 (bubble error) 所導致的。因此，要能有效的降低位元錯誤率必須將以上兩種情況解決。

(一) 比較器輸出之不穩定 (meta-stability) [4]

在高速類比數位轉換器中，比較器輸出之不穩定意味著當輸入訊號非常接近某一個參考電壓時，比較器會比較沒有辦法迅速比較出高或低準位，也就是說還沒完全穩定住，導致判斷錯誤，使數位碼出現嚴重錯誤。通常遇到比較器的不穩定最常使用的解決方法為串接兩個比較器，也就是說，減少比較器輸出的穩定時間，如此一來，若輸入訊號非常接近某一個參考電壓時，第二個比較器的輸出依然可以達到軌對軌 (rail-to-rail)，去除掉不穩定的現象。

(二) 快閃式類比數位轉換器可能會造成氣泡錯誤 (bubble error) 的因素有三種：

(1) 因製程變異所造成的輸入對不匹配，而導致偏移誤差的產生。

解：使用平均電阻串的方式，將偏移誤差降到可以接受的範圍內即可。

(2) 若沒有使用取樣保持電路，導致輸入訊號到每一個輸入對的時間不一樣。

解：使用取樣保持電路，但設計取樣保持電路也必須小心設計，理想是設計在八位元的解析度，才不會因為沒設計好，進而影響整個電路的效能。

(3) 前置放大器之頻寬不足。

解：在前置放大器輸出兩端加入重置開關 (reset switch)，速度將會有顯著的提升。

以上為介紹快閃式類比數位轉換器可能會導致氣泡錯誤的原因，以及講述到如何避免此情況的發生，但若是無法完全避免的話，可以在編碼器那邊使用三個輸入的 NAND 閘，亦對於除去氣泡錯誤很有幫助。如圖 3.9 所示，可以由此架構中看出來，只有當連續三個比較器輸出為 0、0、1 時 (即為圖 3.8 所示，由上到下出現 0、0、1 時)，才會被 AND 閘徵測到，然後在 AND 輸出端呈現 1，至於連續三個比較器出現的其它序列，一律都以 0 為 AND 輸出，如此一來，若是溫度碼出現氣泡錯誤，即可用此方式將之避免。值得注意的是，此種方式僅限於處

理一階氣泡錯誤，兩階以上則無法去除，但兩階以上之氣泡錯誤是幾乎很少出現的，可以將之忽略。

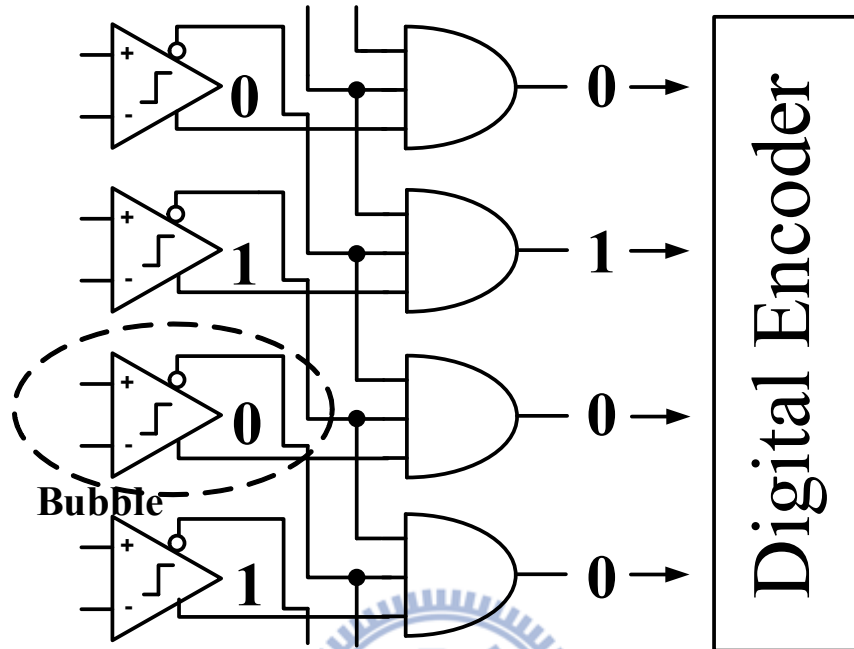


圖 3.9 氣泡錯誤

第四章

快閃式類比數位轉換器的實現

圖 4.1 為本篇論文的快閃式類比數位轉換器系統架構圖[5]。其中包含了取樣保持電路，前置放大器，兩次的電阻式平均網路（一個在前置放大器，一個在第一級比較器），串接的兩個比較器，以及數位解碼器。取樣保持電路確實舒緩了對前置放大器的頻寬需求，以及抵抗了因為時脈到達時間不同所造成的時脈誤差 (clock skew)。除此之外，取樣保持電路必須設計在八位元的線性度，才能使整個電路能有六位元的解析度。且此前置放大器設計增益約為二點五，這樣可以使比較器的輸入參考偏移(input referred offset)被二點五所除，而後，主要的輸入參考偏移來源主要是從前端放大器所造成。因此，如何去克服前端放大器的輸入參考偏移就成為我們的主要議題。

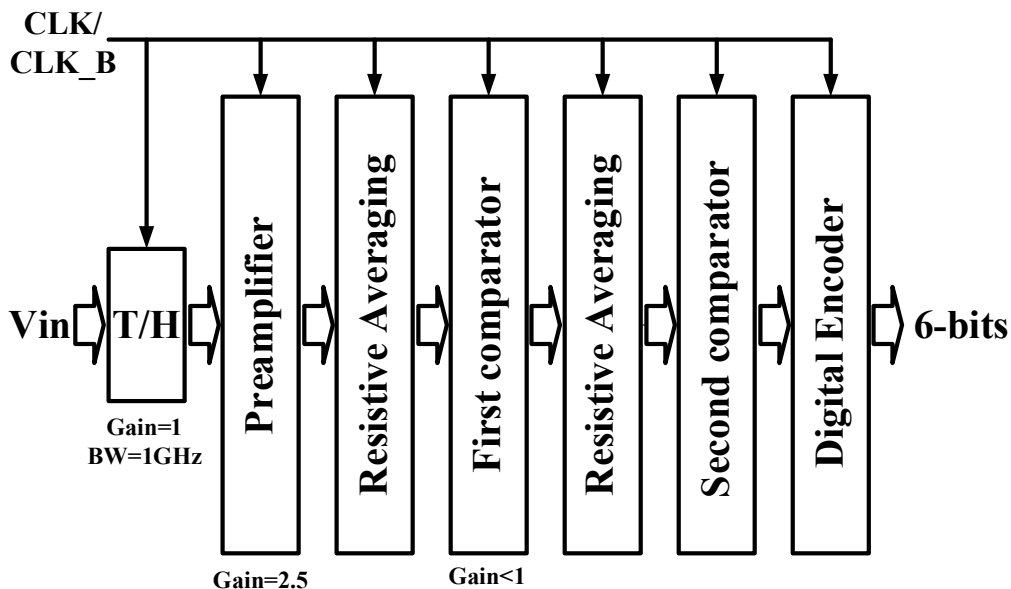


圖 4.1 使用取樣保持電路和電阻平均化技巧之快閃式類比數位轉換器

我們所使用克服前端輸入參考偏移的方法是用電阻式平均網路(Resistive Averaging)的方法，它的連接方式為將前置放大器的輸出用電阻串連接起來，使前置放大器的靜態偏移誤差量降低，改善了快閃式類比數位轉換器的精確度，且沒有損失頻寬。當輸入和電阻參考電壓從很大的差距降為接近比較器門檻(threshold)電壓時，比較器要能很快的從過驅動(overdrive)中恢復。因為速度的需求，比較器的輸入差動對增益設計大約為一，以及在前面使用前置放大器，且增益設計為二點五，然而對於六位元的解析度而言，此增益對於比較器動態偏移誤差依然無法有效克服。因此，我們也在第一級比較器輸出端使用電阻式平均網路來降低偏移誤差的影響。而且，我們也加入了第二級比較器來提供軌對軌(rail to rail)擺幅給後面數位區塊。

4.1 電路細部說明

以下將作細部電路描述，其內容包含：(1) 取樣保持電路

(2) 前置放大器 (3) 第一級比較器 (4) 第二級比較器

(5) 數位編碼器 (6) 時脈訊號產生器 (7) 16X 時脈除頻器

4.1.1 取樣保持電路(Track and Hold circuit)

對於要操作在極高速下，取樣保持電路變成相當重要。使用追蹤保持電路改善了類比數位轉換器的動態效能，藉由維持類比值，追蹤保持電路大幅改善了因時脈到達比較器路徑長短不同所造成的時間偏移(skew)，亦不會被動態訊號的頻率所影響，而造成的動態非線性情況。

圖 4.2 為我使用的取樣保持電路架構[6]。它是使用 NMOS 來做為取樣開關，來執行追蹤和維持的行為。此架構不同於一般的取樣保持電路，因為它多出了一組複製的源極隨耦器(Source Follower)，這組電路主要的目的是提供給主電路基底(body)的電壓，使主要的源極隨耦器電路的源極不會看到自己的基底端寄生電容，因其非線性特性，往往會造成非線性失真，使取樣保持電路的線性度下降。

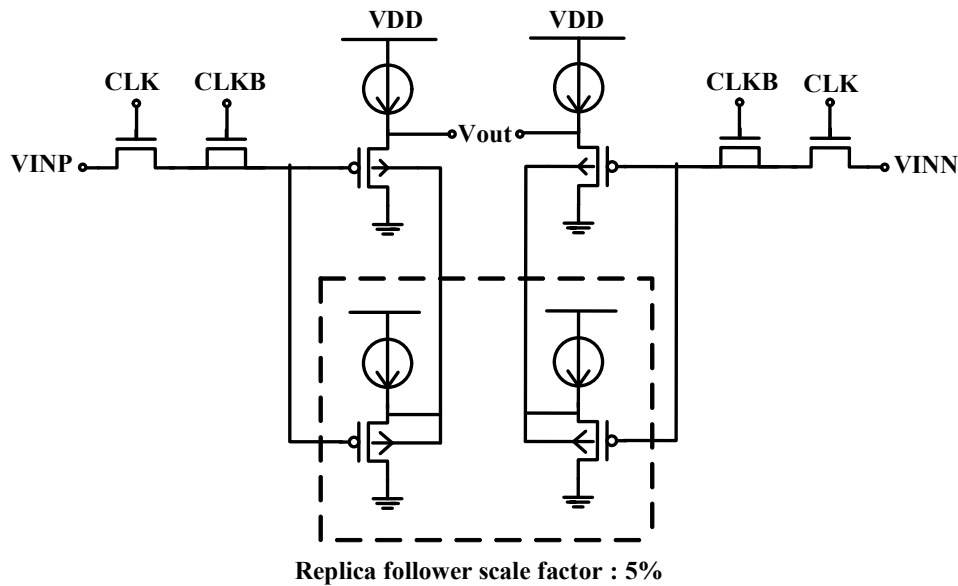


圖 4.2 取樣保持電路

取樣保持電路主要的失真源有三個：（1）開關的電荷注入（2）源極隨耦器的非線性（3）因為大訊號擺幅造成輸入電容和輸入訊號相關。

其中開關的電荷注入的問題，此架構是使用放置模仿開關(dummy switch)來抑制。模仿開關是把汲極和源極接在一起，放置在取樣開關和取樣電容中間，如此一來，就可以有效的抑制電荷注入和時脈饋入(clock feedthrough)所造成的電位偏差。至於源極隨耦器的非線性現象克服方法是提供基底端一個跟源極一樣的電位，此架構亦能達到此需求。而由第三個所引起的非線性現象克制的方法則是盡量將輸入對的尺寸盡量縮小，而達到有效的抵制大訊號造成的輸入電容變化。

取樣保持電路為快閃式類比數位比較器設計的重要一環，以上所造成的失真現象必須謹慎的考量，才能實現出效能良好的類比數位轉換器

4.1.2 前置放大器(Preamplifier)

前置放大器必須加在比較器前面有提供了類比數位轉換器許多優點，有共模電壓抑制的效果，踢回雜訊(kick-back noise)的縮減，以及可以進行類比訊號處理，如除去偏移誤差，電阻平均效果等。

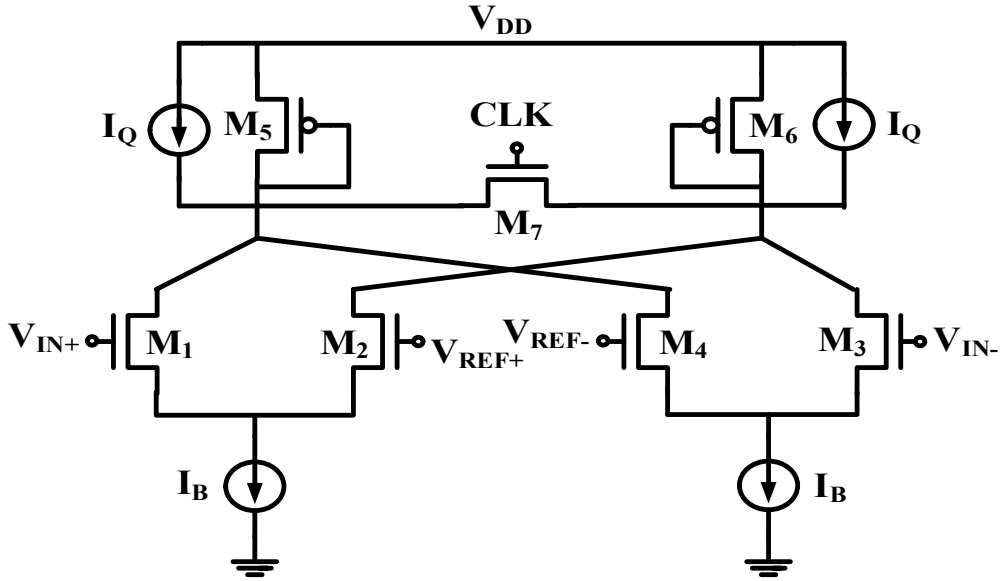


圖 4.3 有重置開關的前置放大器

如圖 4.3 所示[7]，兩對輸入對 M_1 - M_2 和 M_3 - M_4 被使用作為差動輸入與差動參考電壓相減，然後再將之乘以一個增益。然而，此架構不僅僅使用二極體形式 (diode-connected) 電晶體來做為負載，其中還加入了電流源與之並聯，因而使放大器的增益變大。放大器增益推導式如下：

$$A_{DC} = -\frac{g_{m1}}{g_{m5}} = -\frac{\sqrt{2k'_n(W/L)_1 0.5I_B}}{\sqrt{2k'_p(W/L)_5 (I_B - I_Q)}} \quad (4.1)$$

其中 k'_n 和 k'_p 為製程參數， (W/L) 為電晶體的尺寸比例。

如果沒有電流源並聯二極體形式 (diode-connected) 負載，大的電流將會流入 M_5 ，導致大的電壓降，使輸入對容易進入三極管區，我們嘗試加大 M_5 電晶體的大小，使電壓降變小，但又會有額外的效應出現，即增益也隨之變小。因此，二極體形式負載處並聯一個電流源不僅可以使輸入對不易進入三極管區，也能使增益有一定程度的放大。

此架構在輸出兩端加入了重置開關 (reset switch) M_7 來加快速度。若無加入此開關，這個前置放大器將沒辦法從大的過載恢復 (overdrive recovery) 中恢復，使得無法順利進行下一筆資料的處理。

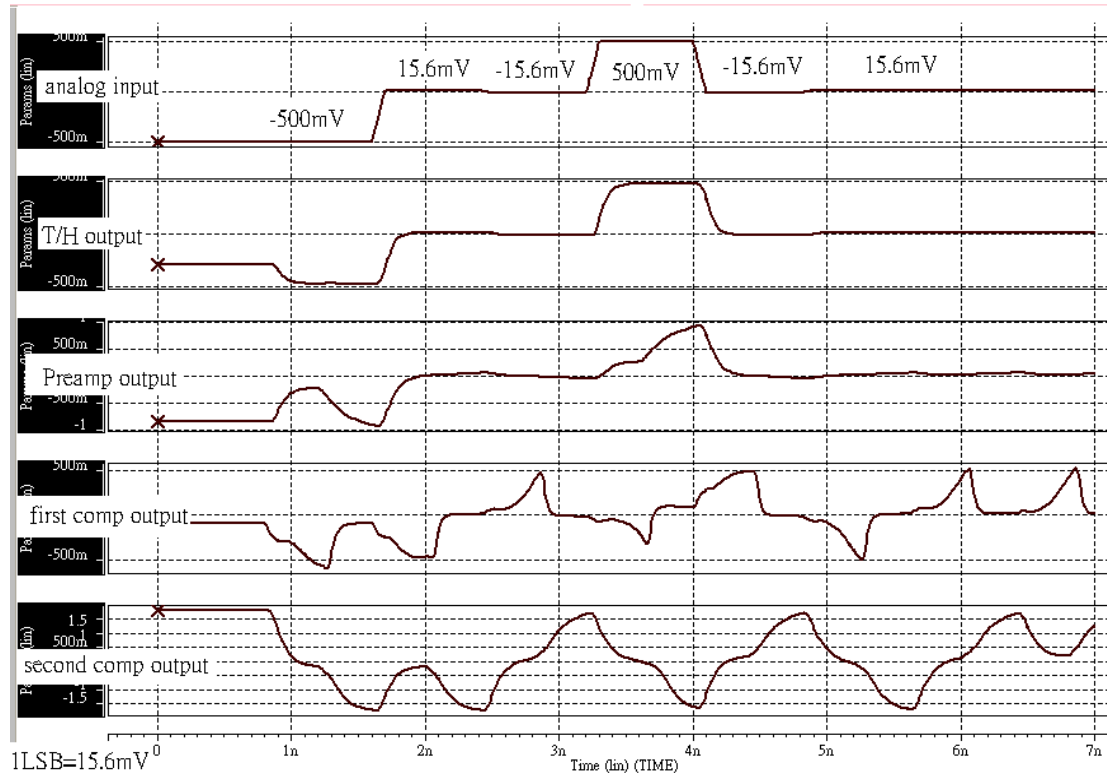


圖 4.5 過載恢復測試

4.1.4 第二級比較器(Second Comparator)

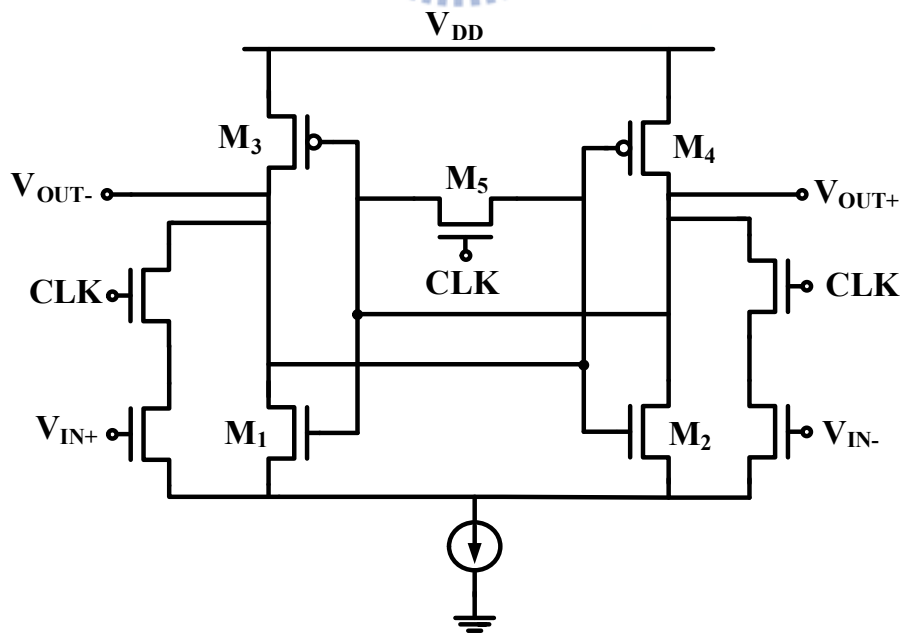


圖 4.6 第二級比較器

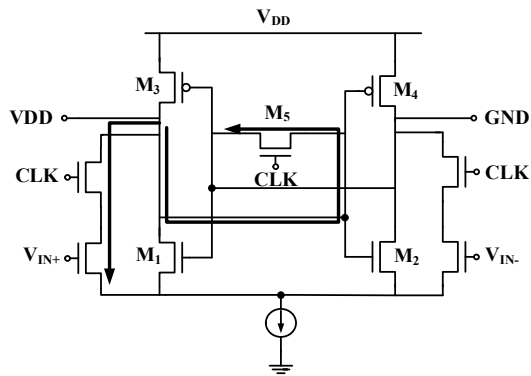


圖 4.7 (1)重置模式

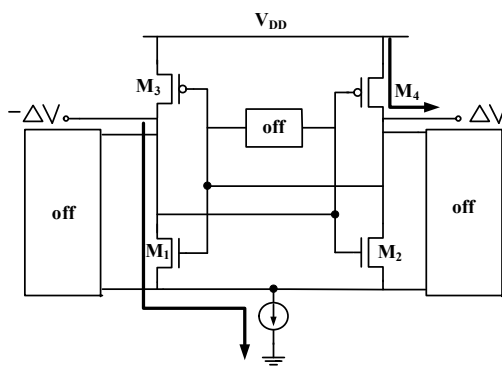


圖 4.8 (2)正反饋模式

圖 4.6 為我所使用的第二級比較器架構圖。就如同前置放大器和第一級比較器一樣，過載恢復(overdrive recovery)限制了高速類比數位轉換器的效能，所以也是有使用重置開關加在其輸出的兩端。它的操作模式有兩種，一種為重置模式(reset mode)，另一種為正反饋模式(regeneration mode)。在重置模式的時候，如圖 4.7 所示，它的放電比一般的比較器還要快，因它有兩條放電路徑。然而，在正反饋模式的時候，如圖 4.8 所示，雖然它看起來像是只有一條路徑，但此路徑之電流為電流源的所有電流（ M_1 流經電流源的所有電流），所以它正反饋的速度能夠很快。

因為第一級比較器的輸出最小擺幅夠大，所以第二級比較器的輸入參考偏移就沒有那麼重要了，其目的主要在於把第一級的輸出拉到更為軌對軌(rail-to-rail)，才不會有比較器輸出之不穩定(meta-stability)的問題發生。

4.1.5 數位編碼器(Digital Encoder)

[溫度碼(thermometer code) => 葛雷碼(gray code) => 二進位碼(binary code)]

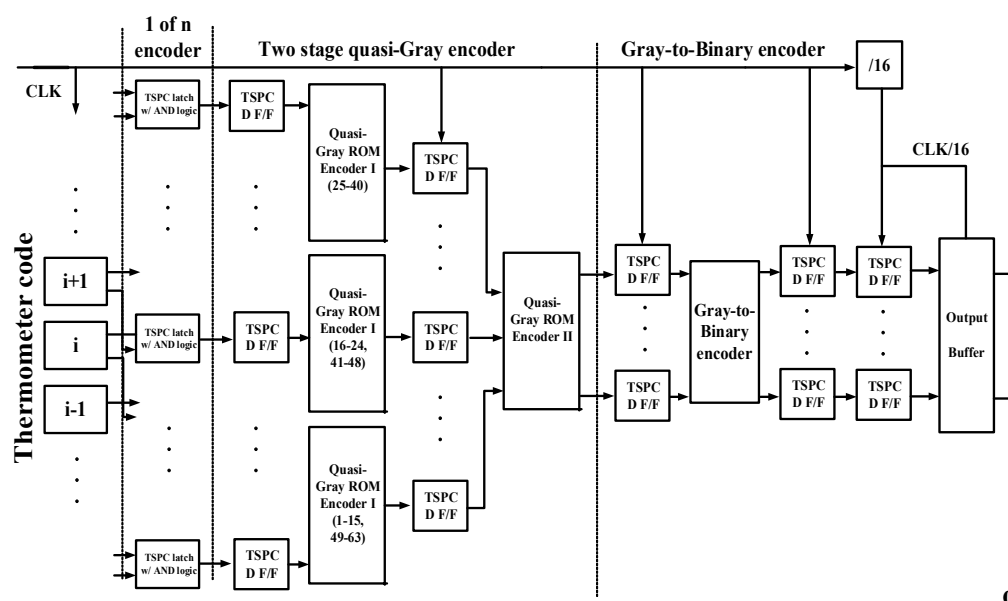


圖 4.9 數位編碼器

圖 4.9 為我們所使用的數位編碼器架構。從比較器產生出來的數位碼是溫度碼，必須轉換為二進位碼作為輸出，但又不可以直接轉為二進制，因為若是溫度碼有氣泡錯誤，直接轉為二進位制會有嚴重的錯誤，所以必須先轉為葛雷碼再轉為二進位碼，這樣一來，若是有氣泡錯誤也不會對輸出造成很大的影響，因為葛雷碼每一個鄰近的數位碼只相差一個位元，所以若是兩個碼同時跳起，也只是取其中一個當作其輸出，不像如果是二進位制碼若是 011111 和 100000 同時跳起，可能會判斷為 111111，造成嚴重的突波(glitch)，對於效能會大打折扣。

4.1.6 時脈訊號產生器(Clock Generator)

在快閃式類比數位轉換器的操作下，時脈到達每區塊的時間盡量要一樣，所以時脈訊號產生器最好能放置在晶片中間的位置，才能將延遲縮到最小。因為高速，訊號產生器無法產生如此快速的時脈訊號，所以必須設計在晶片上由內部產生。

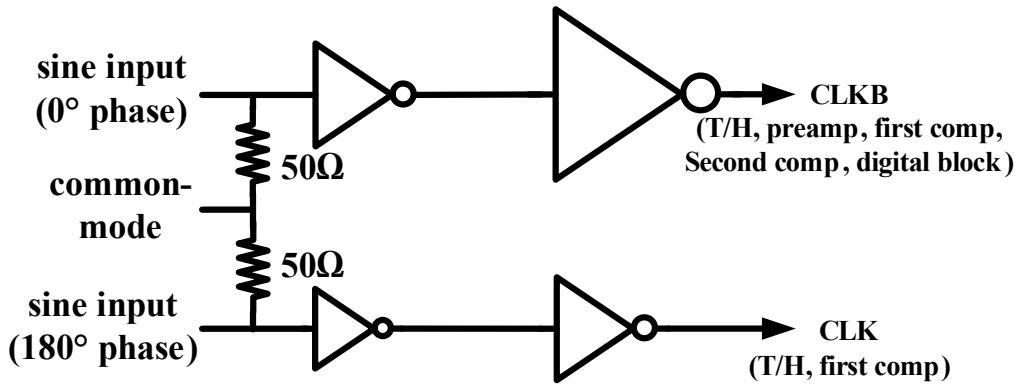


圖 4.10 時脈訊號產生器

圖 4.10 為我們所使用的時脈訊號產生器，由相位 0 度以及 180 度正弦波灌入以及，經由兩次的反向器可以得到時脈訊號 CLK 和 CLKB。反向器的尺寸決定是由看要推多少負載而決定的。而圖 4.10 內之電阻五十歐姆主要是防止訊號反射的發生。

4.1.7 16X 時脈除頻器(16x Clock Divider)

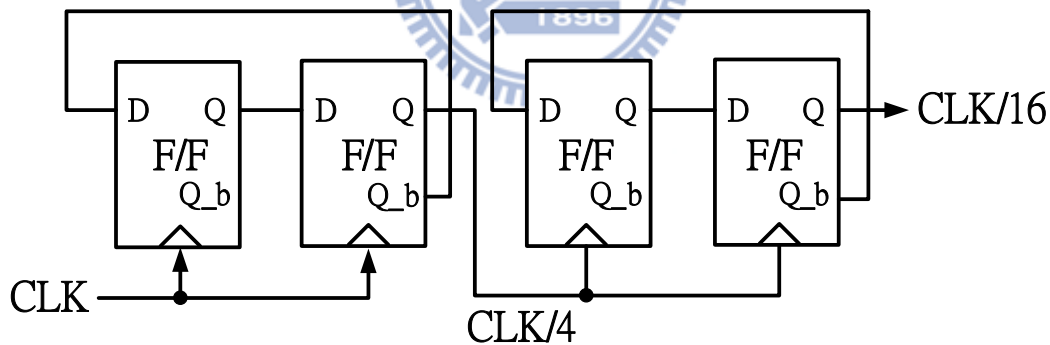


圖 4.11 時脈除頻器

因為是高速類比數位轉換器的設計，輸出數位訊號頻率非常高，然而在量測上卻必須推動很大的負載，如果直接把高速數位輸出接出來勢必是無法推動儀器，導致無法判斷出正確數位碼。因此，必須把最後的輸出處的時脈降為十六分之一原頻率。此時，我們就需要一個時脈除頻器，如圖 4.11 所示，其目的為將時脈除頻，除頻後的時脈 CLK/16 是接在最後一級的觸發器(flip-flop)。此架構亦可以最小化 CLK 和 CLK/16 之間的延遲。

4.2 模擬結果

電路結果分析的可分為靜態效能和動態效能兩部分。首先是靜態效能部分，

圖 4.12 為 DNL 和 INL 的結果，顯示 $DNL=+0.14/-0.05\text{LSB}$ ， $INL=+0.34/-0.48\text{LSB}$ 。

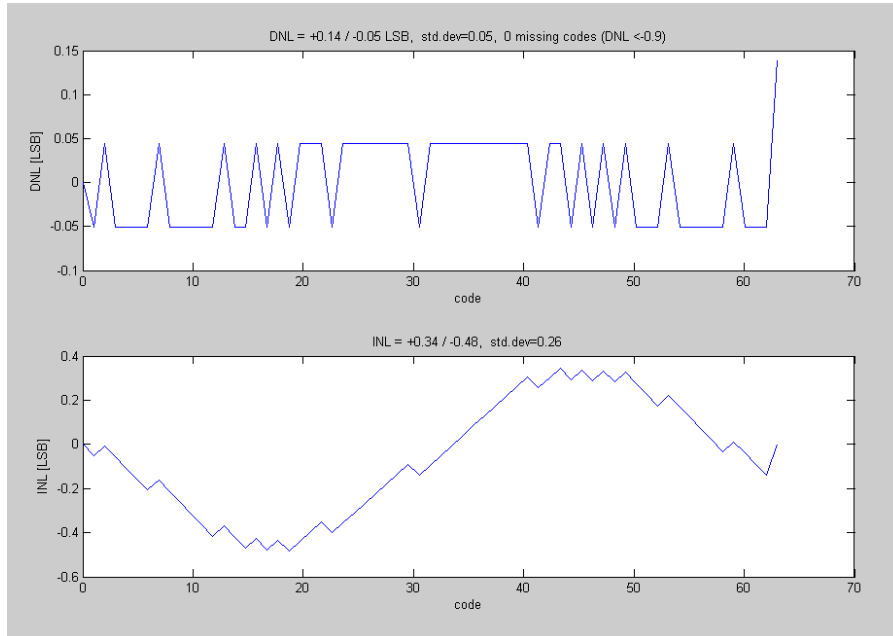


圖 4.12 DNL 和 INL 效能圖

動態效能結果如圖 4.13 所示，其中取樣頻率為 600MHz，輸入頻率為 225MHz。

由圖可以知道 $SFDR=48.7261\text{dB}$ ，有效位元為 5.7838 位元。

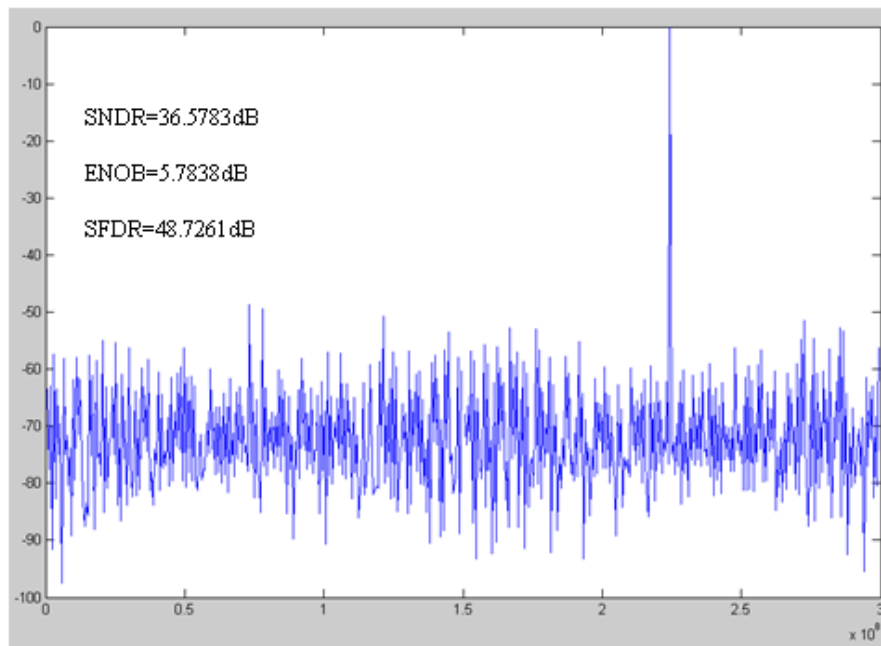


圖 4.13 取樣頻率在 600MHz 且輸入頻率在 225MHz 時的動態效能圖

如圖 4.14 所示，其中取樣頻率為 600MHz，輸入頻率為 290MHz(即接近 Nyquist input frequency)。由圖可以知道 SFDR=46.7862dB，有效位元為 5.5783 位元。

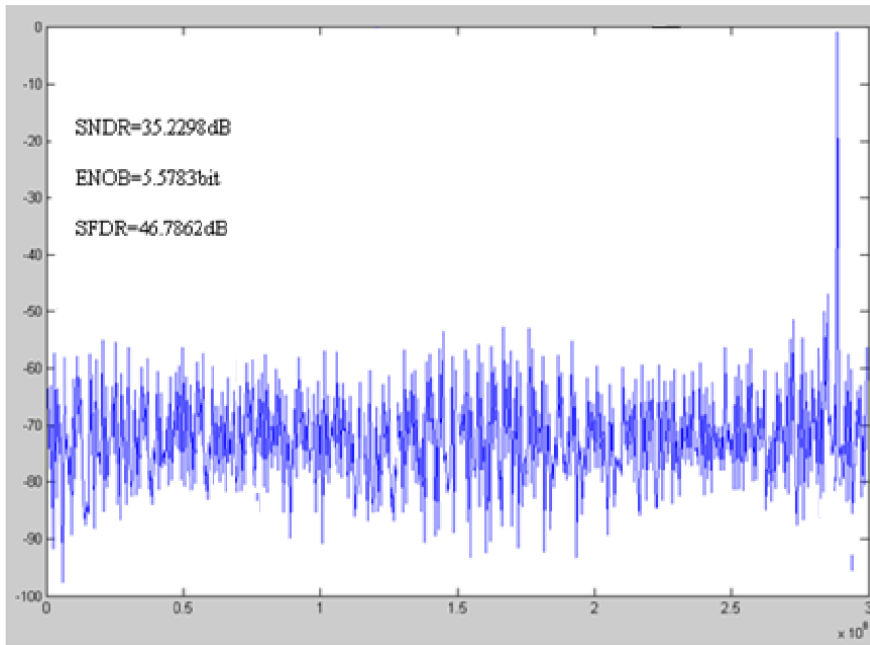


圖 4.14 取樣頻率在 600MHz 且輸入頻率在 290MHz(near Nyquist input frequency)時的動態效能圖

如圖 4.15 所示，其中取樣頻率為 800MHz，輸入頻率為 300MHz。由圖可以知道 SFDR=33.5562dB，有效位元為 4.9742 位元。

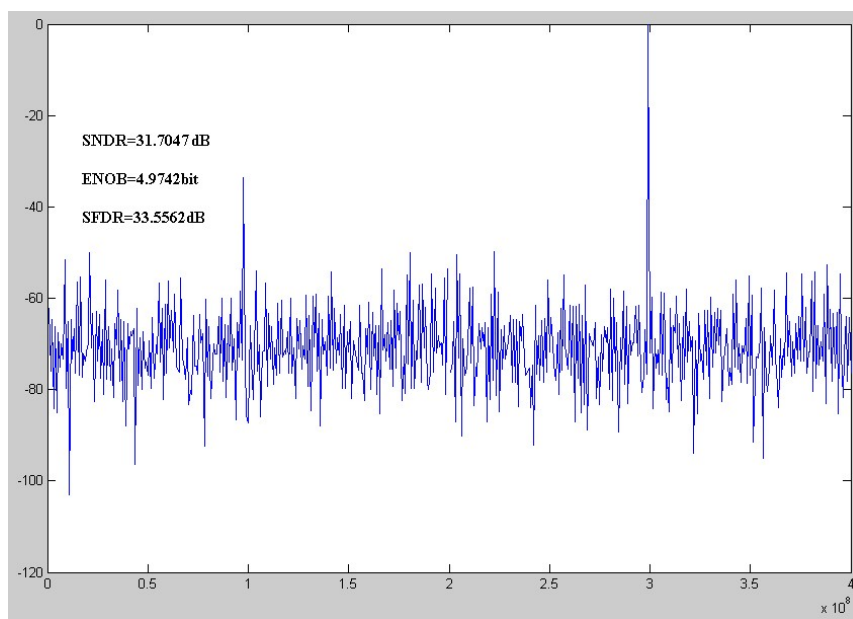


圖 4.15 取樣頻率在 800MHz 且輸入頻率在 300MHz 時的動態效能圖

4.3 總結

表 4.1 為快閃式類比數位轉換器效能表，在速度方面還沒能達到極高速，在未來如能改採用更高階的製程，或許能在速度方面有很大的突破。

表 4.1 快閃式類比數位轉換器效能表

Technology	0.18um CMOS
Resolution	5.5783 (bits)
Conversion Rate	600 (MS/s)
Power Supply	1.8 (V)
Input Range	1 V _{p-p} differential
SFDR@Fin=290MHz	46.7862 (dB)
SNDR@Fin=290MHz	35.2298 (dB)
DNL	-0.05/+0.14 (LSB)
INL	-0.48/+0.34 (LSB)

第五章

液晶螢幕顯示器的基本介紹

5.1 液晶螢幕顯示器的起源與原理

一般物質都有固態、液態和氣態共三種型態，但是液晶卻是介於固態和液態中間位置，同時擁有固態的光學特性和液態的流動特性，所以可以說液晶為中間相物質。

液晶的起源是在 1888 年時，由奧地利植物學家萊尼茲發現了一種特殊的混合物質，此一物質在常態下是處於固態和液態之間，而且還兼具固態物質和液態物質的雙重特性。在當時沒有給定一個特有名詞來稱呼它，因此就稱之為液晶 (Liquid Crystal)，也就是液態的晶體的直接翻譯。而液晶的組成物質是一種有機化合物，也就是以碳為中心所構成的化合物。

後來在 1963 年時，美國 RCA 公司的威廉發現了液晶會受到電器的影響而產生偏轉的現象，也發現光線射入到液晶中會產生折射。所以就在 1968 年，也就是威廉發現光會因液晶產生折射後的 5 年，RCA 的 Heil 震盪器開發部門發表了全球首台利用液晶特性來顯示畫面的螢幕。所以到了 1968 年，萊尼茲發現液晶物質後整整 80 年後，「液晶」和「顯示器」兩個專有名詞才連結在一起，「液晶顯示器 (LCD)」成為後來大家常用的專業名詞。

當然，1968 年所發表的液晶顯示器就如同大多數新發明的科技一樣，新科技的首次發表並未象徵能立即量產出貨，距離實際應用在日常生活還有一段路要走。再經過 5 年的光陰，到了 1973 年時一位英國大學教授葛雷先生發現了可以利用聯苯來製作液晶，聯苯所製作的液晶顯示器十分安定，解決了以往所使用的

液晶材料較不穩定的問題，因此造就了在 1976 年時有關於液晶顯示器的產品正式量產出貨，此產品為日本 SHARP 的以液晶做為螢幕的 EL-8025 電子計算機。從此以後，開啟了液晶多方面的應用，也逐漸促成液晶顯示器產業的興起。

一般來講液晶運用在顯示器上，主要靠液晶的電光效應和偏光的特性。偏光的涵義是指光波只會一個平面上震動，主要是靠偏光濾光器（濾光器是由兩塊互相成為九十度的單一濾光鏡片構成）。而液晶顯示器是以兩塊玻璃片中填滿液晶材料所構成，由於液晶擁有黏性、彈性和極化性的性質，因此當電極通過就會改變偏光的特性。為了使液晶顯示器能顯示影像，在液晶顯示器的兩塊玻璃片中間的頂部和底部排列互相成為九十度的導體，每一個交叉點就是一個單元，透過訊號輸入至每一單位，因此就能控制影像的顯示[8][9][10]。

5.2 液晶螢幕之伽瑪校正與面板極性變換方式

5.2.1 伽瑪校正(Gamma correction)

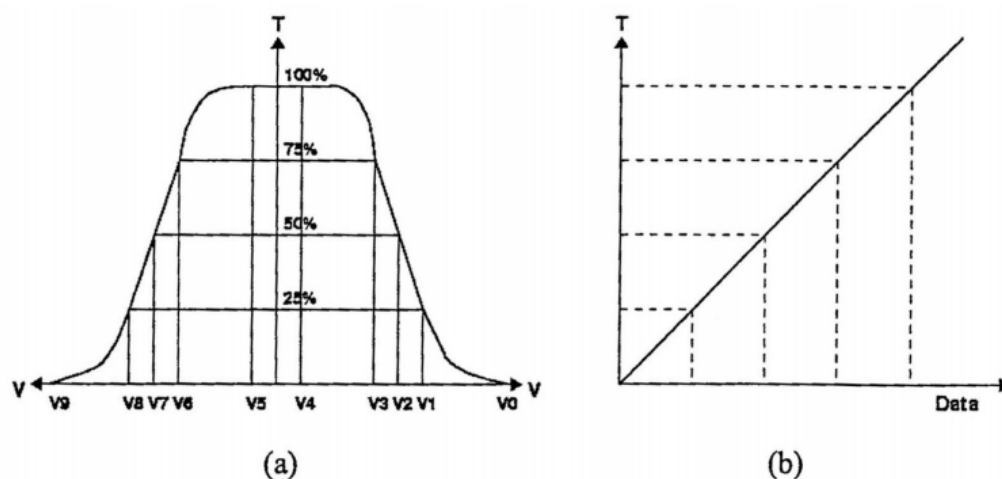


圖 5.1 (a)液晶穿透率(T)對電壓曲線圖 (b)理想的數位資料對液晶穿透率示意圖

液晶螢幕顯示器之所以能夠顯示我們所要的顏色，其原理是藉著外加資料電壓來改變背面照明經過液晶的穿透率，不同亮度的光線經過彩色濾光層轉成紅、綠、藍信號，合成我們所要的顏色。然而，一般液晶具有如圖 5.1(a)所示的 V-T

曲線。由線可以看出，液晶的穿透率 and 外加資料電壓在兩端的位準特別呈現非線性。為了修正此現象使能達到如圖 5.1(b) 所示，數位顯示資料對應液晶穿透率呈現一線性關係，則需要作伽瑪校正。

5.2.2 面板的各種極性變換方式

由於液晶分子還有一種特性，就是不能夠一直固定在某一個電壓不變，否則時間久了，即使將電壓取消掉，液晶分子會因為特性的破壞而無法再因應電場的變化來轉動，以形成不同的灰階，最後使液晶顯示元件的壽命大幅縮減。因此，液晶顯示器的驅動電壓必須每隔一定週期作電壓極性反轉，以避免液晶分子的特性遭到破壞。

液晶顯示器內的顯示電壓就分成了兩種極性，一個是正極性，而另一個是負極性。當顯示電極的電壓高於共模(common)電極電壓時，就稱之為正極性。而當顯示電極的電壓低於共模電極的電壓時，就稱之為負極性。不管是正極性或是負極性，都會有一組相同亮度的灰階。所以當上下兩層玻璃的壓差絕對值是固定時，不管是顯示電極的電壓高，或是共模電極的電壓高，所表現出來的灰階是一模一樣的。不過這兩種情況下，液晶分子的轉向卻是完全相反，也就可以避免掉上述當液晶分子旋轉方向一直固定在一個方向時，所造成的特性破壞。當您所看到的液晶顯示器畫面雖然靜止不動，其實裡面的電壓正在不停的作更換，也就是說裡面的液晶分子正不停的一次往這邊轉，另一次則往反方向轉。

圖 5.2 就是面板各種不同極性的變換方式，雖然有這麼多種的轉換方式，它們有一個共通點，都是在下一次更換畫面資料的時候來改變極性。以 60Hz 的更新頻率來說，亦即每 16.67ms 更改一次畫面的極性。也就是說，對於同一點而言，它的極性是不停的變換的。而相鄰的點是否擁有相同的極性，那可就依照不同的極性轉換方式來決定了。首先是面反轉型(frame inversion)，其整個畫面所有相鄰的點，都是擁有相同的極性；而列反轉型(row inversion)與行反轉型(column

inversion)則各自在相鄰的行與列上擁有相同的極性；另外在點反轉型(dot inversion)上，則是每個點與自己相鄰的上下左右四個點，是不一樣的極性。

	1	2	3	4	5	6
1	+	+	+	+	+	+
2	+	+	+	+	+	+
3	+	+	+	+	+	+
4	+	+	+	+	+	+
5	+	+	+	+	+	+

⇒

	1	2	3	4	5	6
1	-	-	-	-	-	-
2	-	-	-	-	-	-
3	-	-	-	-	-	-
4	-	-	-	-	-	-
5	-	-	-	-	-	-

Frame inversion

	1	2	3	4	5	6
1	+	+	+	+	+	+
2	-	-	-	-	-	-
3	+	+	+	+	+	+
4	-	-	-	-	-	-
5	+	+	+	+	+	+

⇒

	1	2	3	4	5	6
1	-	-	-	-	-	-
2	+	+	+	+	+	+
3	-	-	-	-	-	-
4	+	+	+	+	+	+
5	-	-	-	-	-	-

Row inversion

	1	2	3	4	5	6
1	+	-	+	-	+	-
2	+	-	+	-	+	-
3	+	-	+	-	+	-
4	+	-	+	-	+	-
5	+	-	+	-	+	-

⇒

	1	2	3	4	5	6
1	-	+	-	+	-	+
2	-	+	-	+	-	+
3	-	+	-	+	-	+
4	-	+	-	+	-	+
5	-	+	-	+	-	+

Column inversion

	1	2	3	4	5	6
1	+	-	+	-	+	-
2	-	+	-	+	-	+
3	+	-	+	-	+	-
4	-	+	-	+	-	+
5	+	-	+	-	+	-

⇒

	1	2	3	4	5	6
1	-	+	-	+	-	+
2	+	-	+	-	+	-
3	-	+	-	+	-	+
4	+	-	+	-	+	-
5	-	+	-	+	-	+

Dot inversion

圖 5.2 四種型態反轉法

5.2.3 各種面板極性變換的比較

現在常見使用在個人電腦上的液晶顯示器，所使用的面板極性變換方式大部分都是點反轉型，原因無它，主要為點反轉型的顯示品質相對於其他的面板極性變換方式好太多了，以下將作一些探討。

一開始先談到閃爍(flicker)現象，就是當你看液晶顯示器的畫面上時，畫面會有閃爍的感覺。它並不是故意讓顯示畫面一亮一滅來做出閃爍的視覺效果，而是因為顯示的畫面灰階在每次更新畫面時，會有些微的變動，讓人眼感受到畫面在閃爍。這種情況最容易發生在使用面反轉型的極性變換方式，因為面反轉型整個畫面都是同一極性，當這次畫面是正極性時，下次整個畫面就都變成了是負極性。假若使用共模(common)電壓固定的方式來驅動，而共模電壓又有了一點誤差，這時候正負極性的同一灰階電壓便會有差別，當然灰階的感覺也就不一樣。在不停切換畫面的情況下，由於正負極性畫面交替出現，就會感覺到閃爍的存在。而其它面板的極性變換方式雖然也會有此閃爍的現象，但由於不像面反轉型是同時整個畫面一齊變換極性，只有一行或是一列，甚至是一個點變化極性而已，以人眼的感覺來說，比較不明顯。

至於串音干擾(crosstalk)的現象，就是相鄰的點之間要顯示的資料會影響到對方，以致於顯示的畫面會有不正確的狀況。雖然串音干擾的現象成因有很多種，只要相鄰點的極性不一樣，便可以減低此一現象的發生。綜合這些特性可知，為何大多數人都使用點反轉型了。

5.3 薄膜電晶體液晶顯示器(TFT-LCD)

5.3.1 薄膜電晶體液晶顯示器之系統方塊圖

如圖 5.3 所示為薄膜電晶體液晶顯示器系統方塊圖，其中包含液晶面板(LCD Panel)、源極驅動器(Source Driver)(或稱為 Column Driver)、閘極驅動器(Gate Driver)(或稱為 Row Driver)、時序控制電路(Timing Controller)及直流-直流轉換器(Power Supply)。液晶面板顯示是由源極驅動器和閘極驅動器驅動，而時序控制電路主要是產生時序控制信號，用來控制源極驅動器和閘極驅動器之動作，除此之外，因為內部電路需要很多組電壓源，輸入的電壓只有一種，藉由直流-直流轉換器來產生多組電壓源供給其它電路使用。

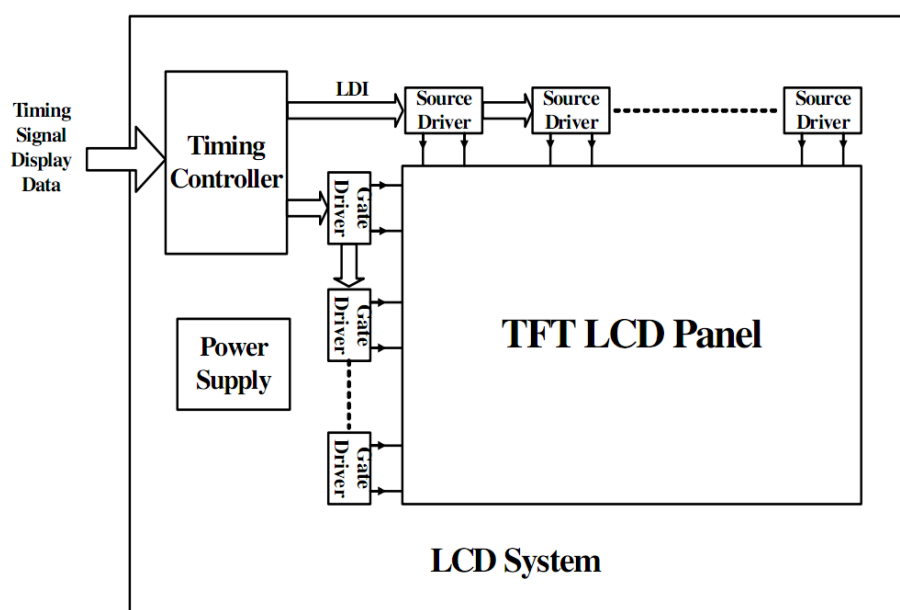


圖 5.3 TFT-LCD 系統方塊圖

5.3.2 面板內之電路架構

從圖 5.4 中可以看到整片面板的等效電路，其中每一個薄膜電晶體(TFT)與液晶跟 Cs 所並連的電容代表一個顯示的點。而一個基本的顯示單元 pixel 則需要三個這樣顯示的點，分別代表紅綠藍三原色。以一個 1366 x 768 解析度的薄膜電

晶體液晶顯示器(TFT-LCD)來說，共需要 1366 x 768 x 3 個這樣的點組合而成。整片面板的大致結構就是這樣，然後再藉由如圖 5.4 中閘極驅動器所送出的波形，依序將每一行的薄膜電晶體(TFT)打開，好讓整排的源極驅動器同時將一整行的顯示點充電到各自所需的電壓，以顯示不同的灰階。當這一行充好電時，閘極驅動器便將電壓關閉，然後下一行的閘極驅動器便將電壓打開，再由相同的一排源極驅動器對下一行的顯示點進行充放電。如此依序下去，當充好了最後一行的顯示點，便又回過來從頭從第一行再開始充電。以一個 1366x 768 SVGA 解析度的液晶顯示器來說，總共會有 768 行的閘極(gate)走線，而源極(Source)走線則共需要 $1366 \times 3=4098$ 條。以一般的液晶顯示器多為 60Hz 的更新頻率來說，每一個畫面的顯示時間約為 $1/60=16.67\text{ms}$ 。由於畫面的組成為 768 行的閘極走線，所以分配給每一條閘極走線的開關時間約為 $16.67\text{ms}/768=21.7\mu\text{s}$ 。

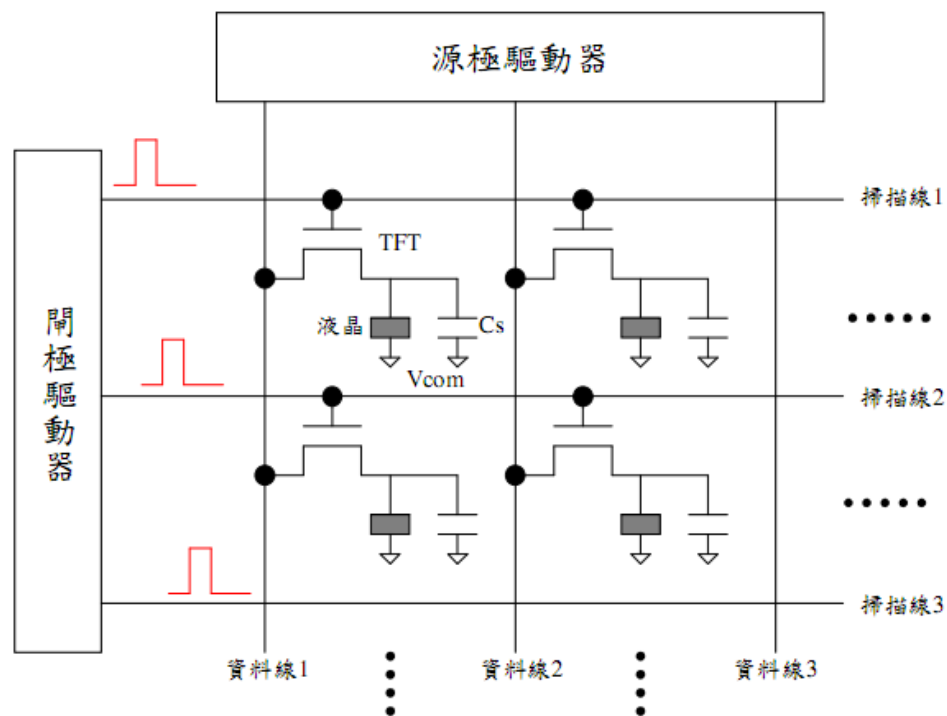


圖 5.4 TFT-LCD 面板等效電路

5.3.3 源極驅動器(Source Driver)

液晶顯示器的驅動晶片中，以源極驅動器(Source Driver)(或稱為行驅動器 Column Driver)為其重要的一環，其架構如圖 5.5 所示[11][12]，包含了位移暫存器(Shift Register)、輸入暫存器(Input Register)、資料閃鎖器(Data Latch)、位準轉換器(Level Shifter)、數位類比轉換器(DAC)以及緩衝器(Buffer)。源極驅動器應該要供給高電位的類比電壓給 LCD 面板，以及為了減少功率消耗，數位電路的供應電壓為低電位。數位顯示資料由 RGB 灌入並且暫存在輸入暫存器內。至於位準轉換器主要是將數位訊號提升到高電位才能送入數位類比轉換器。而數位類比轉換器則是將數位資料轉換成相對應的類比值，也因為要做正負極性的轉換的關係，十位元的源極驅動器需要十一位元的數位類比轉換器。最後，輸出緩衝器主要被用來驅動高電容性液晶螢幕面板負載。在源極驅動器內之電路，數位類比轉換器更是大家研究的重點，它的好壞決定了液晶顯示器解析度和功率消耗的特性。因此，我們這論文主要是設計一個應用在液晶螢幕的數位類比轉換器以及其後的緩衝器。

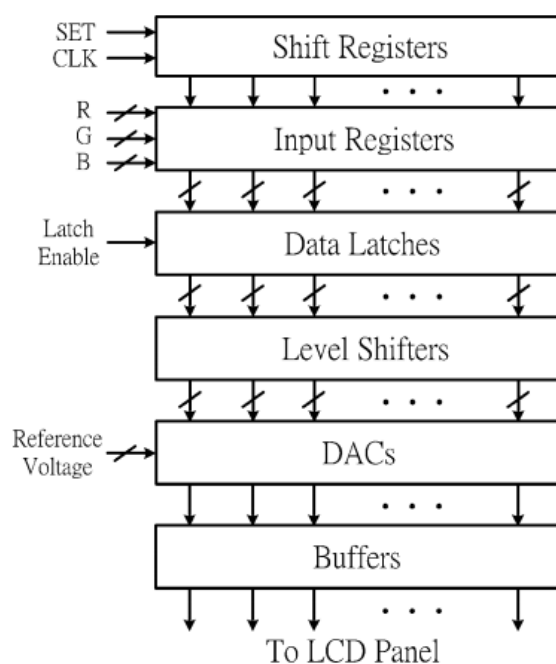


圖 5.5 源極驅動器架構圖

第六章

數位類比轉換器的基本介紹

數位類比轉換器在資料傳輸系統中扮演重要角色。數位類比轉換器是數位訊號轉換為適合類比世界使用的訊號之主要介面，並且把數位訊號重建成為連續性的類比訊號。

6.1 理想的數位類比轉換器

圖 6.1 為一個理想的數位類比轉換器架構圖，其主要功能為轉換一個數位碼成為一個類比值。對於一個 N 位元的數位類比轉換器而言，可以以下式表示：

$$V_{out} = V_{ref} \times (D_0 2^0 + D_1 2^1 + \dots + D_{n-2} 2^{n-2} + D_{n-1} 2^{n-1}) \quad (6.1)$$

其中 D_i 為 0 或 1。我們也定義 D_0 為最低有效位元(Least Significant Bit, LSB)， D_{n-1} 為最高有效位元(Most Significant Bit, MSB)。數位類比轉換器主要有三種分類方式，分別是電流、電壓以及電荷縮放(Scaling)。

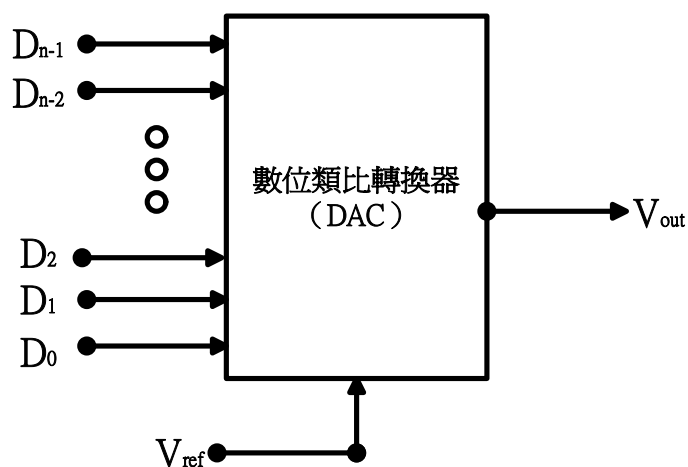


圖 6.1 N 位元的數位類比轉換器

6.2 數位類比轉換器之規格

6.2.1 靜態參數

靜態參數是比較實際數位類比轉換器在直流下量測類比輸出曲線與理想類比輸出曲線偏差值，常見的靜態參數包含偏移誤差(Offset Error)、增益誤差(Gain Error)、微分非線性誤差(Differential Nonlinearity Error, DNL)、積分非線性誤差(Integral Nonlinearity Error, INL)、單調性(Monotonic)[13]。

6.2.1.1 偏移誤差(Offset Error)

如圖 6.2 所示，理想的數位類比轉換器當數位輸入碼為 0 時，其相對應的類比電壓為 0V。但是實際上的數位類比轉換器，當數位輸入碼為 0 時，其對應的電壓卻不是 0V。其之間的誤差稱為偏移誤差(offset error)。

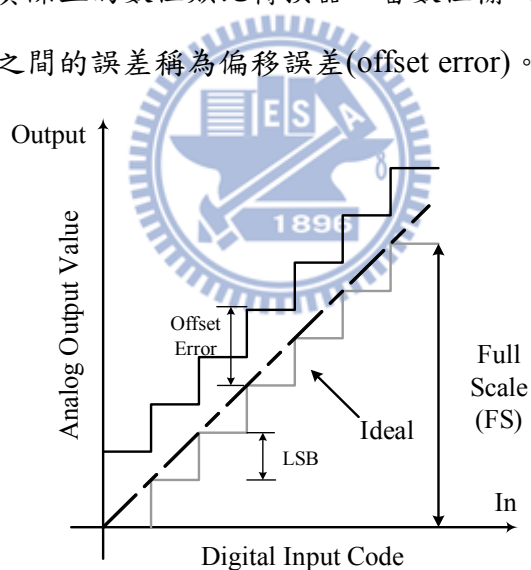


圖 6.2 偏移誤差示意圖

6.2.1.2 增益誤差(Gain Error)

如圖 6.3 所示，增益誤差之定義為當偏移誤差被修正為零以後，理想的數位類比轉換器其斜率與實際上的數位類比轉換器斜率不同，之間的斜率差稱為增益誤差，如下列公式所式。產生的原因主要是參考電壓(reference voltage)或者是階梯係數(scale factor)的不精確有關。其增益誤差表示式為：

$$E_{Gain} = \left(\frac{G_{actual}}{G_{ideal}} - 1 \right) \times 100\% \quad (6.2)$$

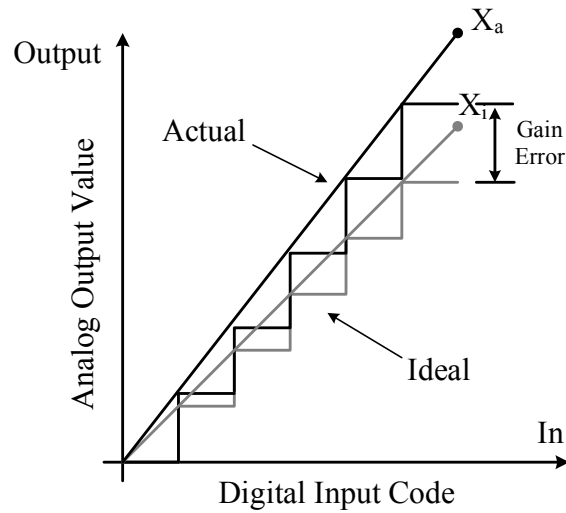


圖 6.3 增益誤差示意圖

6.2.1.3 微分非線性誤差(Differential Nonlinearity Error, DNL)

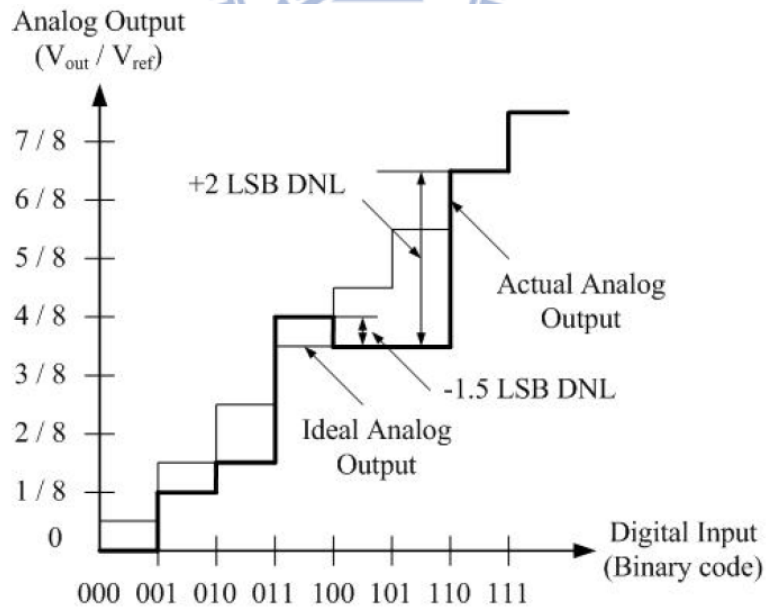


圖 6.4 微分非線性誤差

微分非線性用於測量小信號非線性誤差。輸入碼和其前一輸入碼之間隔量的變化減去一個最小有效位元(1LSB)大小，如圖 6.4 所示。因此，若階梯寬度或高度正好是一個最小有效位元(1LSB)，則微分非線性誤差就等於零，倘若微分非線

性大於一個最小有效位元(1LSB)，則轉換器有可能成為非單調(non-monotonic) 函數。這表示當輸入的振幅增加時，輸出的振幅會變小。其微分非線性誤差表示式為：

$$DNL(i) = \frac{V_{actual}(i+1) - V_{actual}(i) - V_{LSB}}{V_{LSB}} (LSB) \quad (6.3)$$

6.2.1.4 積分非線性誤差(Integral Nonlinearity Error, INL)

積分非線性誤差是實際轉換函數與理想直線之間的偏差值，如圖 6.5 所示。此直線是增益誤差與偏移誤差被消除時，連接理想轉換函數零點與頂點兩端點之間的直線，此種方式稱為端點直線(end-point line)，積分非線性誤差表示式為：

$$INL(i) = \frac{V_{actual}(i) - V_{ideal}(i)}{V_{LSB}} (LSB) \quad (6.4)$$

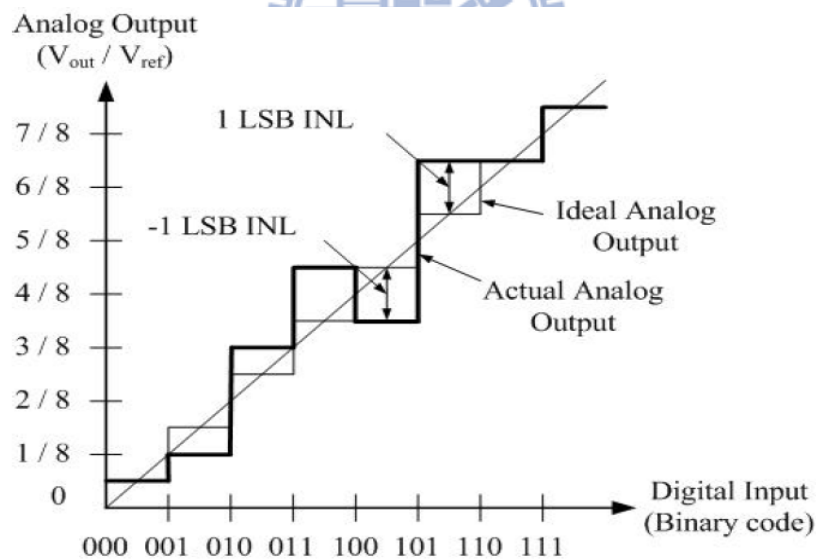


圖 6.5 積分非線性誤差

6.2.1.5 單調性(Monotonic)

如圖 6.6 所示，當數位輸入碼增加時，其對應的輸出電壓也是增加的，稱此數位類比轉換器為單調性。通常數位類比轉換器其最大的微分非線性誤差(DNL)

小於一個最小有效位元(LSB)的話，其保證為單調。相反的，當數位輸入碼增加時，其對應的輸出電壓卻是下降的，稱為非單調性(non-monotonic)。

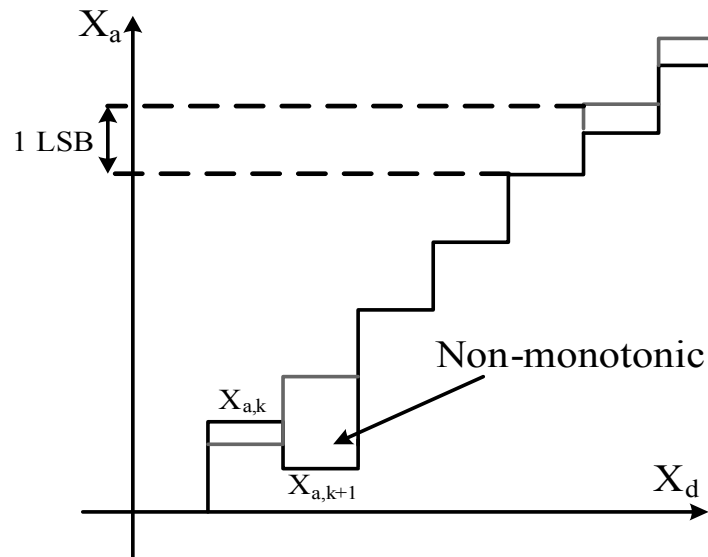


圖 6.6 單調性



6.2.2 動態參數

當數位類比轉換器操作在較高頻率上會產生動態誤差，而動態誤差是隨著訊號大小與頻率而變。基本的動態參數有穩定時間(Setting Time)、突波(Glitch)、時脈饋入(Clock Feedthrough)。

6.2.2.1 穩定時間(Setting Time)

穩定時間是指輸出從開始變動到穩定至某一可忍受區間內所需的時間。對於數位類比轉換器速度方面而言，穩定時間是個重要的變數，也就是數位類比轉換器之操作頻率。然而，決定穩定時間的好壞主要是由數位類比轉換器的增益頻寬和放大器的 slew rate 以及輸出端的寄生電容所決定。圖 6.7 即為描述穩定時間之圖形。

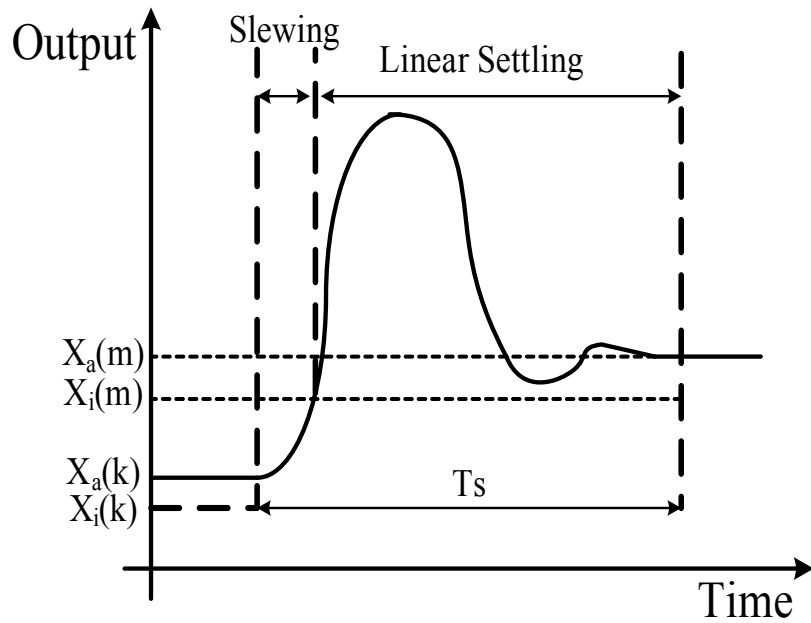


圖 6.7 穩定時間示意圖

6.2.2.2 突波(Glitch)

突波在數位類比轉換器是一項非常重要的規格，其會影響數位類比轉換器的穩定時間，進一步影響到數位類比轉換器的操作速度。突波的最大值通常發生在中間碼轉換時，如圖 6.8 所示為四位元數位類比轉換器中間碼轉換時的突波，產生突波的原因非常多將歸納成以下幾點：

- [1] 輸入訊號之間的不同步，而造成突波現象。
- [2] 接地線的電壓變動，而造成突波現象。
- [3] 輸入訊號在轉換時，電流源的寄生電容被充放電，而造成突波現象。
- [4] 數位輸入訊號耦合到電流源輸出，而造成突波現象。
- [5] 電流源上的開關同時在關閉狀態，而造成突波現象。

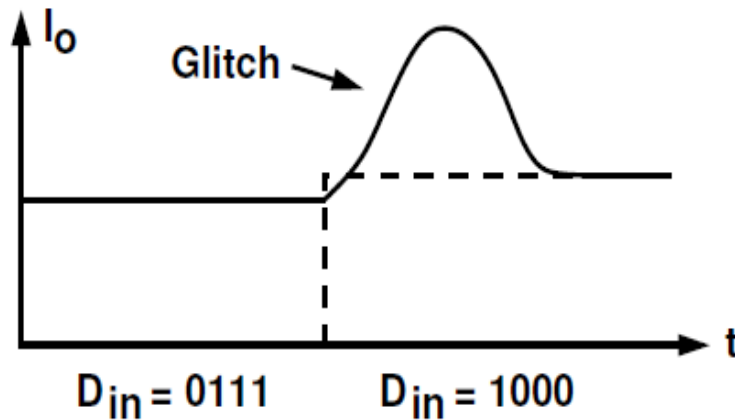


圖 6.8 四位元數位類比轉換器之突波示意圖

上述的原因中，第一項產生的原因是，如果輸入到電流源開關的訊號不同步，則會造成輸出電流訊號的不同步，而產生突波現象。第二項產生的原因是，由於地線的佈局過細，使得地線上呈現較大的電阻與電感效應，而產生突波現象。第三項產生的原因是，因為電流源輸出阻抗不夠高所引起的突波現象。第四項產生的原因是，電流源上的開關電晶體會有關汲極寄生電容，而驅動開關電晶體導通與關閉的訊號會經由寄生電容耦合到輸出端。第五項產生的原因是，當電流源上的開關同時關閉，電流源之輸出點將被迅速地放電，然後電流源便會關閉，若再打開電流源，需要有一段恢復期，如此不但降低電路操作速度，也會使得輸出端產生突波。

6.2.2.3 時脈饋入(Clock Feedthrough)

由於開關上的電容耦合造成時脈影響類比輸出訊號。其解決方案有兩種，第一種為減小開關電晶體尺寸降低寄生電容耦合，但小尺寸電晶體會使通道電阻值增加而使穩定時間增加。第二種為設計時脈相位，使時脈先後順序不同，如此一來，即可以利用電荷抵銷的方式將時脈饋入的電荷去除掉。

6.3 應用在液晶螢幕上之數位類比轉換器

6.3.1 電阻式數位類比轉換器

電阻式數位類比轉換器依照解碼器的不同來分類，可將其分為樹狀解碼器 [14] 和數位解碼器 [2] (如圖 6.9 和圖 6.10 所示)，各有其優缺點，以下為我們將這兩種比較後的結果：

◎使用樹狀解碼器的電阻式數位類比轉換器

- 速度被切換開關串長度所限制住
- 面積比使用數位解碼器的電阻式數位類比轉換器還小

◎使用數位解碼器的電阻式數位類比轉換器

- 速度比使用樹狀解碼器的電阻式數位類比轉換器還快
- 微分非線性誤差(DNL)比較好
- 當解析度上升，會導致繞線複雜，面積也會隨之變大

因此，我們可以說，這兩種都適合做伽瑪校正(Gamma correction)，主要是因為它們都可以很輕易的從電阻值部分來做調整。此外，在操作速度方面，使用數位解碼器比使用樹狀解碼器的數位類比轉換器還要快，但必須付出面積作為交換。

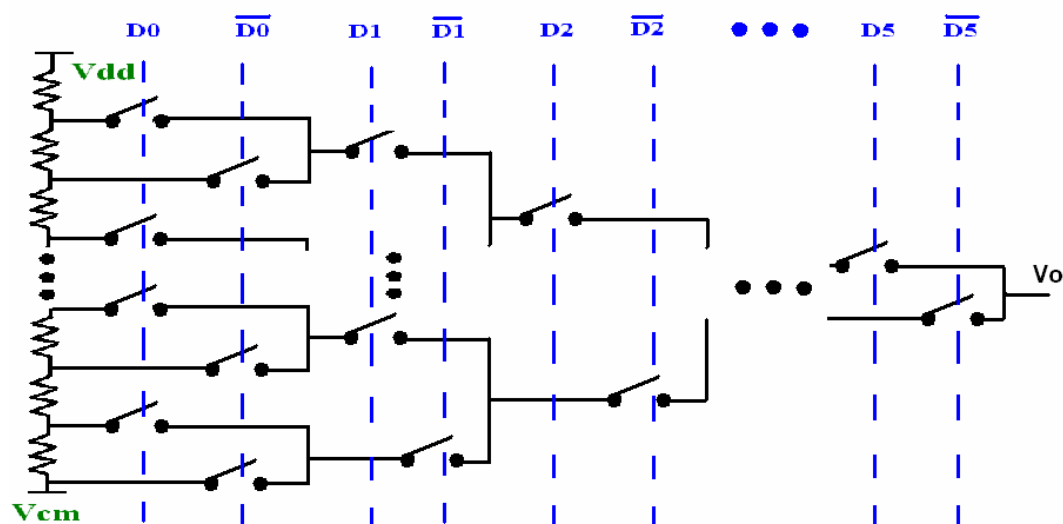


圖 6.9 使用樹狀解碼器的電阻式數位類比轉換器

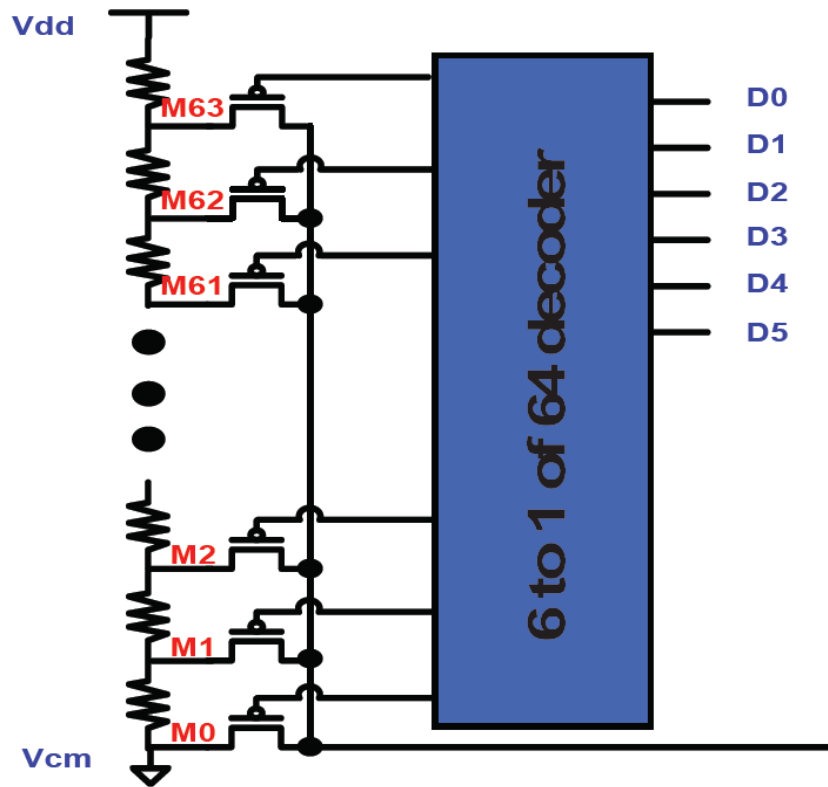


圖 6.10 使用數位解碼器的電阻式數位類比轉換器

6.3.2 開關-電容式數位類比轉換器

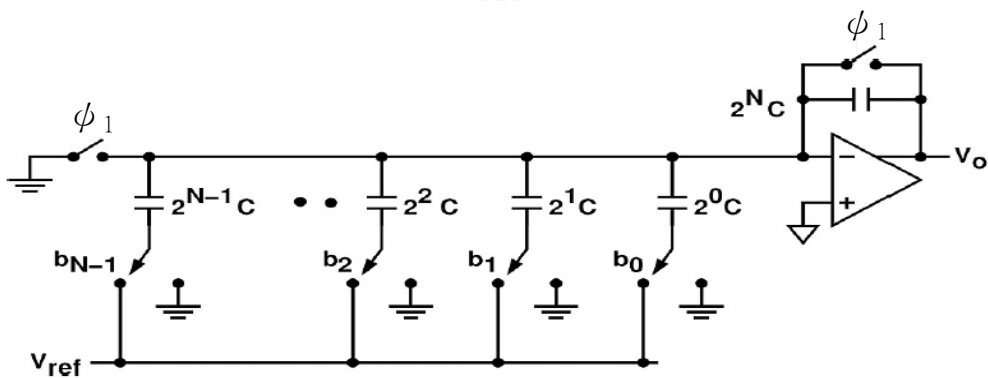


圖 6.11 開關-電容式數位類比轉換器

如圖 6.11 所示，這是一種傳統的開關-電容式數位類比轉換器[14]，它主要是利用電容以二進制值分割方式，然後在作開關切換即可以將數位碼切換成類比值。在 ϕ 為 1 時，所有電容放電至 0V。在 ϕ 為 0 時，輸入的數位碼控制 $b_{N-1} \dots b_1 b_0$ 開關，進而對二進制電容充電，然後再將 $b_{N-1} \dots b_1 b_0$ 全部同時接至地，即可以將

二進制電容之電荷皆灌入 $2^N C$ 電容內，即可以得到以下方程式：

$$V_o = \frac{1}{2^N C} (b_0 2^0 C + b_1 2^1 C + b_2 2^2 C + \dots + b_{N-1} 2^{N-1} C) \times V_{ref} \quad (6.5)$$

這種電路架構跟電阻式數位類比轉換器比較下有一些優點。第一，電容的匹配比電阻還要好。第二，開關-電容式因為沒有直流電流，都是瞬間暫態電流，所以可以比較省電。然而，這種電路架構用在液晶顯示器下還是有個大問題，即為無法像電阻式的數位類比轉換器作伽瑪校正(Gamma correction)。因此，目前業界在液晶顯示技術上依然沿用電阻式數位類比轉換器。

6.4 總結

這個章節中，我們介紹了一些基本的數位類比轉換器效能參數，以及幾種適合液晶顯示器技術應用的數位類比轉換器架構，我們知道在業界一般都還是以電阻式數位類比轉換器為主，但其損耗之能量太大，位元數增加面積也隨之成指數性成長，電阻的匹配不像電容來的好，都是其缺點。

單純就面積考量方面，由[22]可以知道，此篇論文詳述了目前各型態的數位類比轉換器架構圖，並且對各型態的數位類比轉換器進行面積的評估，如表 6.1 所示，以 Typical 8-bit R-DAC 為基準來評估各種數位類比轉換器的面積。

因此，根據面積考量下，我們採用輸入數位資料為序向式型態、開關-電容式數位類比轉換器，它有別於傳統平行式架構，即為電容個數和面積不會隨著位元數增加而增加，又保有傳統式的優點，第一，電容匹配佳，第二，沒有直流電流使功率消耗減少。這些優點都非常適合應用在液晶螢幕顯示技術上，達到小面積且低耗能的液晶顯示器。

表 6.1 各型態數位類比轉換器面積評估表(以 Typical 8-bit RDAC 為基準)

DAC type	Area (DAC+OPamp)
10-bit RDAC	400%
8-bit RDAC + 2-bit RDAC	129%
8-bit RDAC + 2-bit DAC embedded OPAMP	105%
Multiplexed DAC	120%
Cyclic DAC	35%
Typical 8-bit RDAC	100%



第七章

在液晶顯示器源極驅動器內 之切換電容式數位類比轉換器的實現

7.1 電路架構介紹

首先介紹整個數位類比轉換器系統架構圖，如圖 7.1 所示，包含了時序控制電路(Timing Control circuit)、位準校正電路(Level shifter circuit)、兩個數位類比轉換器(DAC)和兩個驅動電路(Buffer)。為了應用在液晶顯示器面板上，需要符合液晶顯示器面板的反轉特性，故必須讓此系統操作在兩個電壓區間內，且台積電 0.18 μm 最高電壓到 3.3V，所以我們選定兩個電壓區間為 0V~3.3V 和 3.3V~6.6V。因其輸入電壓均為 0V~3.3V，所以再進入高位準-類比數位轉換器之前，必須先經過位準校正電路來提高電壓位準，才能夠將電壓灌入。另外，在數位類比轉換器之輸出端，因要驅動很大的液晶負載，所以必須在其後面加入緩衝器才足以驅動。

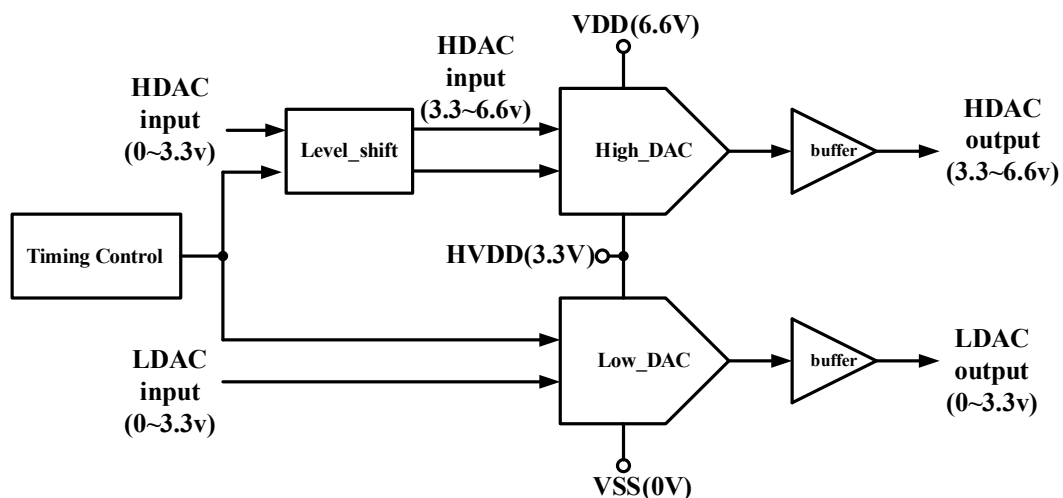


圖 7.1 數位類比轉換器系統圖

其中數位類比轉換器部份，採用了 Bell 發表切換電容式數位類比轉換器之架構[15][16]，如圖 7.2，我們修改了一些切換開關來達成更好得訊號傳遞途徑，配合圖 7.3 的時序圖，來達成數位轉類比的功能，操作的時序如圖 7.4 所示，週期 1a，先將 C_x 放電，並且對 C_y 進行取樣，週期 1b 將 C_x 和 C_y 並聯，得到輸出，週期 2a 將 C_x 浮接來維持輸出值，並且在利用 C_y 取樣下一個位元資料，週期 2b 再將 C_x 和 C_y 並聯，得到輸出，如此重複 2a-2b 週期，得到最後的輸出。而此輸出(低位準-數位類比轉換器)可以於下列式子來表示：

$$V_{OUT,L} = V_{midL} + (\bar{S} \cdot V_{REFLL} + S \cdot V_{REFLH} - V_{midL}) \times \sum_{n=0}^{N-2} \frac{b_n}{2^{N-n-1}} = V_{midL} + V_{REF} \times \sum_{n=0}^{N-2} \frac{b_n}{2^{N-n-1}} \quad (7.1)$$

其中 N 是位元數， b_n 代表每個輸入。

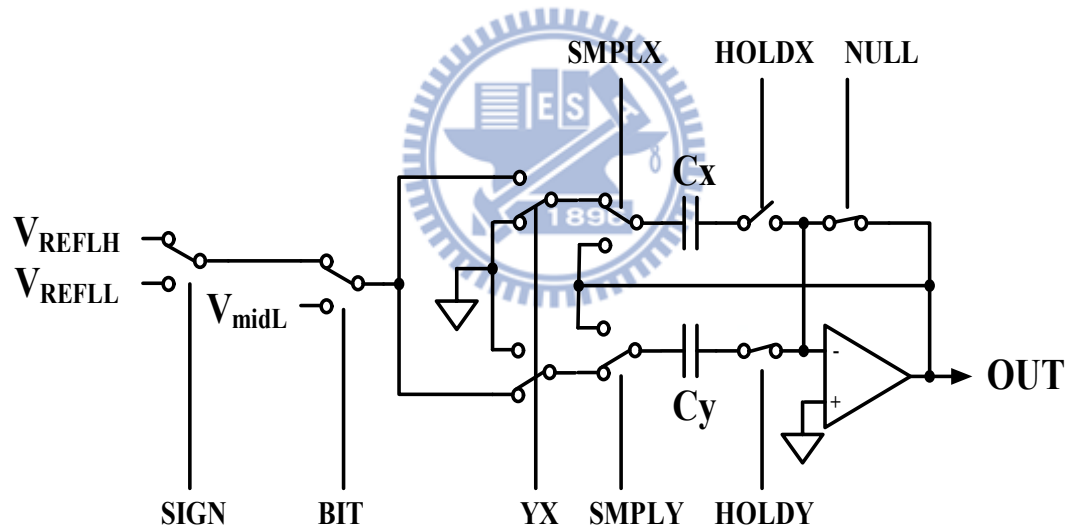


圖 7.2 切換電容式數位類比轉換器

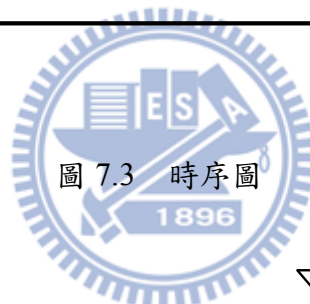
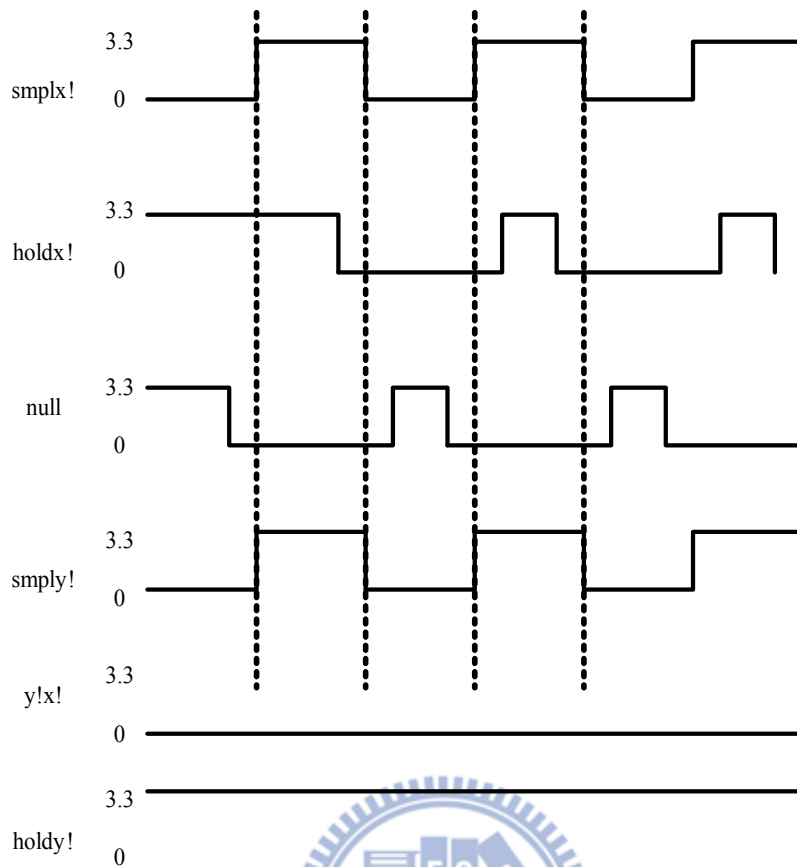


圖 7.3 時序圖

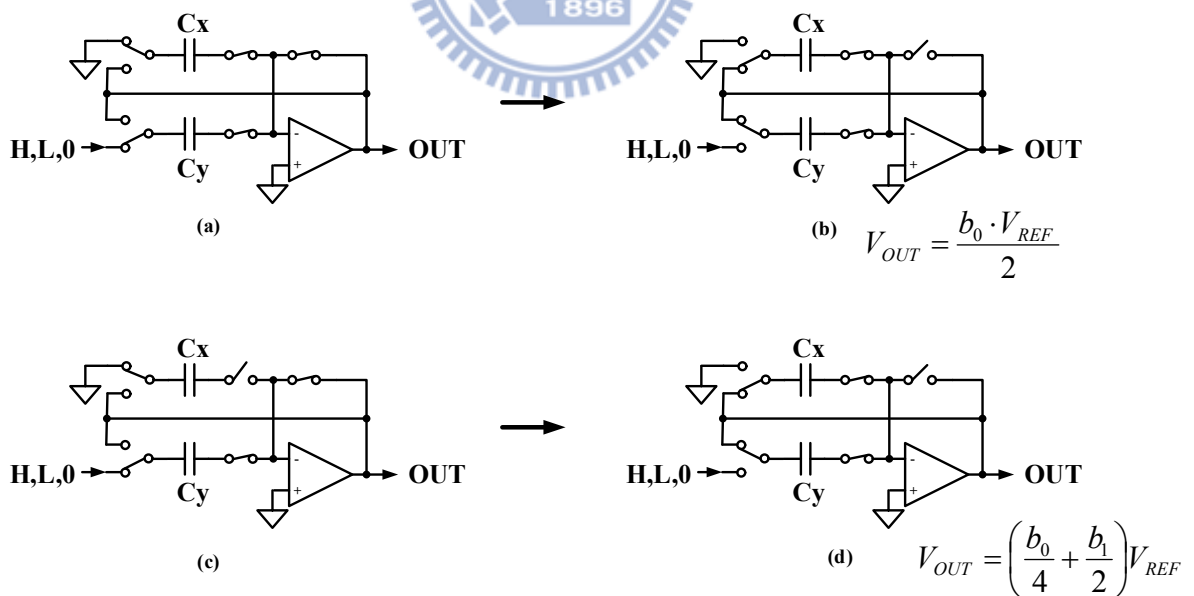


圖 7.4 數位類比轉換器之操作時序圖 (a)1a (b)1b (c)2a (d)2b

為了因應液晶顯示器反轉特性，必須讓高位準-類比數位轉換器和低位準-類比數位轉換器操作在反向特性，如圖 7.5 所表示，兩個數位類比轉換器會呈現反向特性。而兩組數位類比轉換器之推導式如下：

$$V_{OUT,H} = V_{midH} + (S \cdot V_{REFHL} + \bar{S} \cdot V_{REFHH} - V_{midH}) \times \sum_{n=0}^{N-2} \frac{b_n}{2^{N-n-1}} = V_{midH} + V_{REF} \times \sum_{n=0}^{N-2} \frac{b_n}{2^{N-n-1}} \quad (7.2)$$

$$V_{OUT,L} = V_{midL} + (\bar{S} \cdot V_{REFLL} + S \cdot V_{REFLH} - V_{midL}) \times \sum_{n=0}^{N-2} \frac{b_n}{2^{N-n-1}} = V_{midL} + V_{REF} \times \sum_{n=0}^{N-2} \frac{b_n}{2^{N-n-1}} \quad (7.3)$$

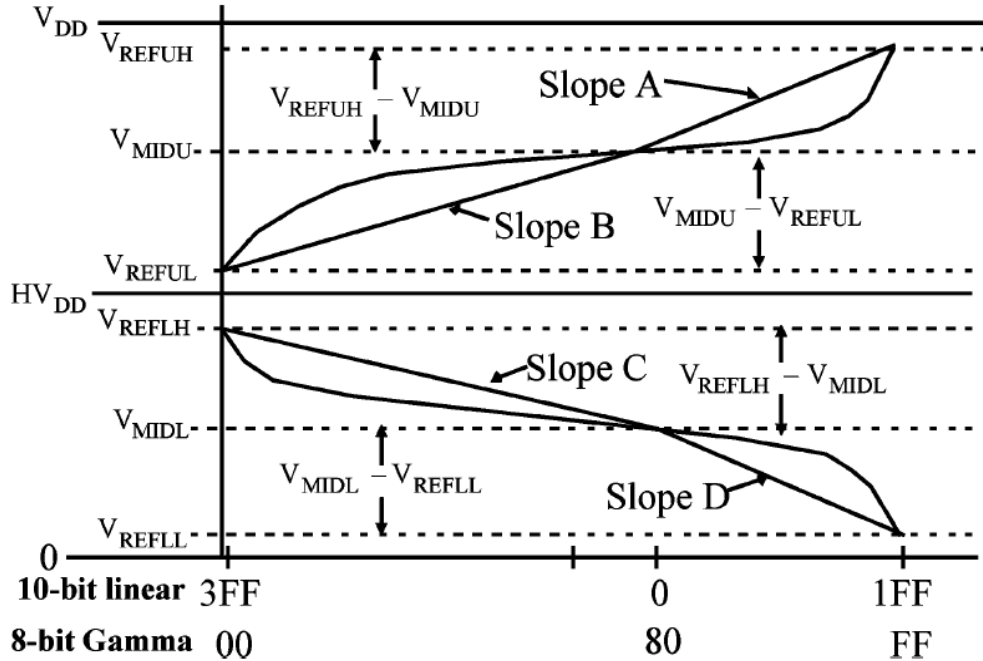


圖 7.5 數位類比轉換器輸出圖

再由圖 7.5 中可以看出此種轉換為線性的數位類比轉換器，如果設計為十位元的線性數位類比轉換器，必須再經由伽瑪校正(Gamma correction)，校正成為符合液晶特性的曲線，然後再灌入液晶，即可以得到輸入數位碼和液晶透射率的線性關係。

在此數位類比轉換器中，SIGN 代表最高位元，也就是數位資料裡面的 MSB，它僅僅被用來選擇參考電壓。除此之外，因為沒有電荷被加入，所以此轉換器在 V_{MIDL} 處非常準確，也就是說，當只有 SIGN 變動時，其餘位元都是 0 時，誤差是很小的。除了 SIGN 位元外，其餘資料都以 BIT 表示，而且是以串列的方式將資料灌入，由最低位元開始灌入，再慢慢灌到 N-1 位元，其後就可以進行讀取類比值。

以九位元數位類比轉換器為例，假設輸入資料為 1-1001-0011，即為 SIGN=1，BIT=1001-0011，我們從類比輸出端讀取到的圖形如圖 7.6 所示。

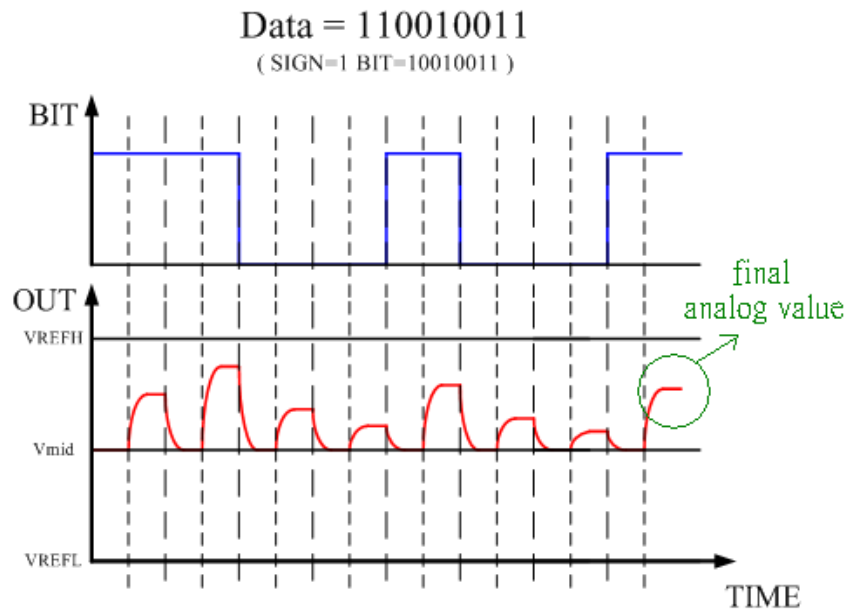


圖 7.6 輸入對輸出圖(SIGN=1)

然而，若九位元輸入資料為 0-1001-0011，即為 SIGN=0，BIT=1001-0011，我們從類比輸出端讀取到的圖形如圖 7.7 所示。此兩張圖的主要差別為 SIGN 位元的不同，可以看出因 SIGN 的不同而選取的參考電壓不同，使得一個偏向 V_{MID} 上方，一個偏向 V_{MID} 下方。

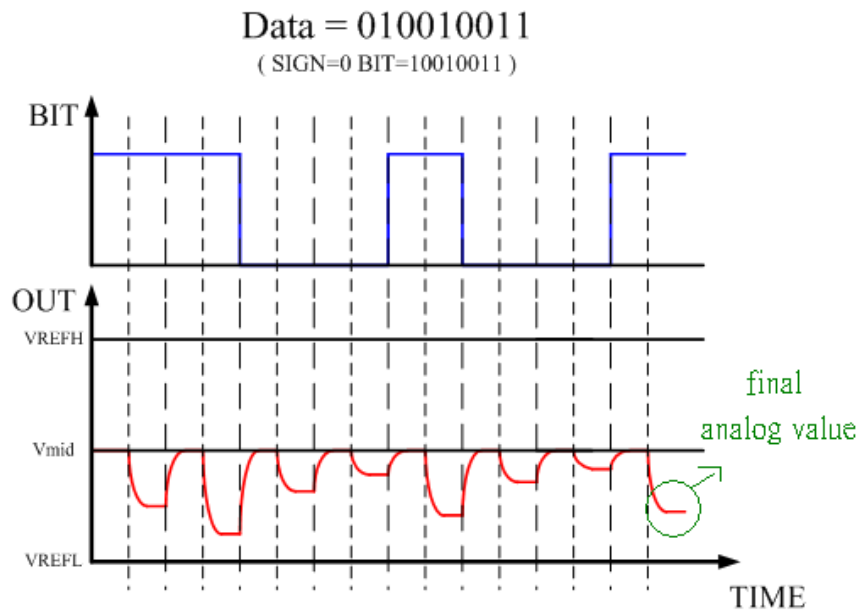


圖 7.7 輸入對輸出圖(SIGN=0)

7.2 電容不匹配

這種架構的電路最大的錯誤源在於電容的不匹配，如今我們將(7.3)式忽略 sign 這位元，可以寫出兩個電容如果不匹配下會產生的式子：

$$V_{out} = V_{REF} \sum_{n=1}^{N-2} \frac{b_n}{\left(1 + \frac{C_X}{C_Y}\right)^{N-n-1}} \quad (7.4)$$

由上式可以知道，若是兩個電容出現誤差，會造成數位類比轉換器的靜態效能變差很多，因此，必須想辦法解決電容不匹配的問題。第一，要將電容盡量佈局匹配，使用中心軸對稱的方式並且佈局成盡量正方形，可以將製程後會造成誤差量降低。第二，我們是想說使用平均輸出的方式，也就是說，將兩顆液晶擺放在一起，一個數位類比轉換器為 C_X 作為積分電容， C_Y 作為取樣電容，另一個數位類比轉換器為 C_X 變為取樣電容， C_Y 則變為積分電容，利用光學特性，擺放在一起會有光混合效果，即可作平均，因此可以將(7.4)式改寫成：

$$V_{out} = \frac{V_{REF}}{2} \sum_{n=1}^{N-2} \frac{b_n}{\left(1 + \frac{C_X}{C_Y}\right)^{N-n-1}} + \frac{V_{REF}}{2} \sum_{n=1}^{N-2} \frac{b_n}{\left(1 + \frac{C_Y}{C_X}\right)^{N-n-1}} \quad (7.5)$$

如圖 7.8 所示，為在 2.4% 電容誤差下且經過電容交換後的 INL 結果。若純粹只有 2.4% 電容不匹配，最大 INL 約為 14LSB，但經過電容交換後之結果卻變為約 0.8LSB，算是 INL 有一個數量級之改善，DNL 亦是如此。因此， C_X 、 C_Y 電容交替變化確實對靜態效能改善很多。

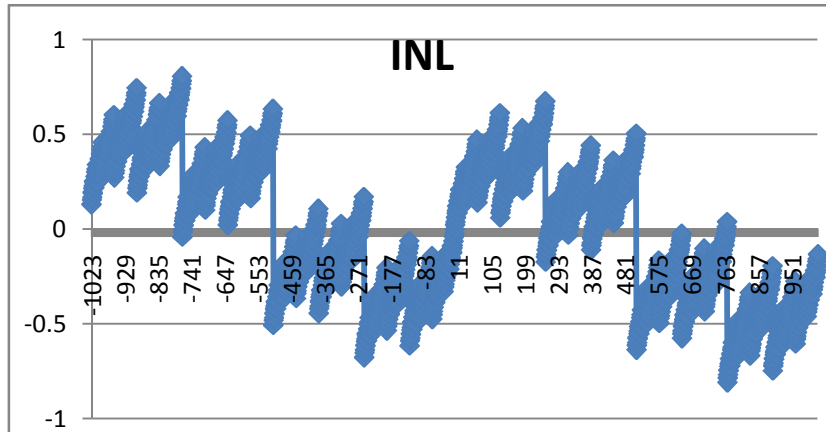


圖 7.8 2.4% 電容誤差下且經過電容交換後的 INL 結果

7.3 切換電容式數位類比轉換器之實現

系統架構如圖 7.9 所示，其內主要有五個子電路 (1) 高位準-類比數位轉換器和低位準-類比數位轉換器(High-DAC and Low-DAC) (2) 高位準-類比數位轉換器和低位準-類比數位轉換器內之低耗能操作放大器 (3) 位準抬升電路(Level shifter circuit) (4) 時序控制電路(Timing Control circuit) (5)緩衝電路(Buffer)。

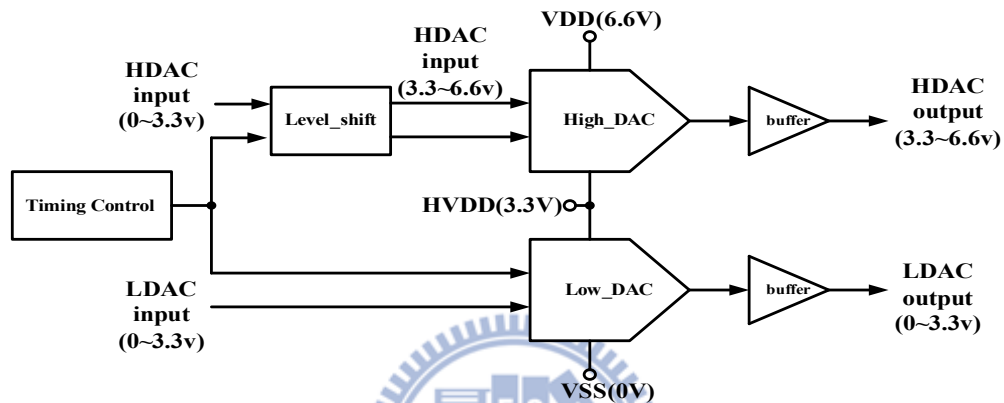


圖 7.9 數位類比轉換器系統架構圖

7.3.1 高位準-數位類比轉換器和低位準-數位類比轉換器

如圖 7.10 即為我們所使用的數位類比轉換器架構圖，其操作方式已在本章前面介紹過，至於高位準和低位準的差別在於高位準數位類比轉換器的 $V_{DD}=6.6V$ ， $V_{SS}=3.3V$ ，而低位準數位類比轉換器的 $V_{DD}=3.3V$ ， $V_{SS}=0V$ 。為了節省功率消耗，其內之放大器我們將之設計在弱反向區(in weak inversion region)。

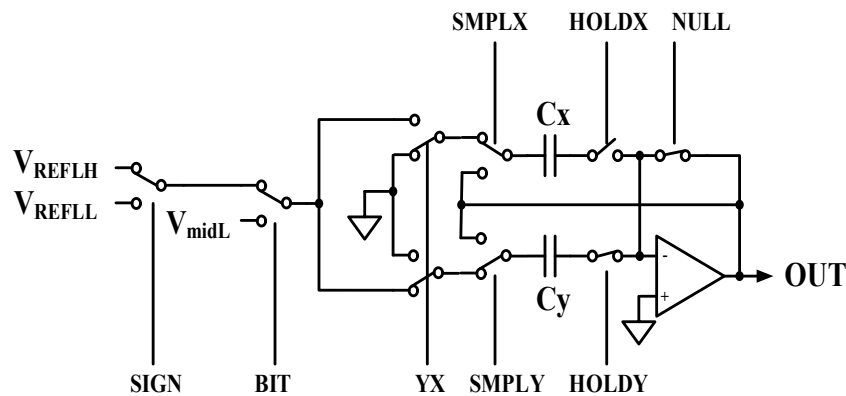


圖 7.10 數位類比轉換器架構圖

7.3.2 高位準-數位類比轉換器和低位準-數位類比轉換器內之低耗能

放大器(Weak inversion region OP Amplifier)

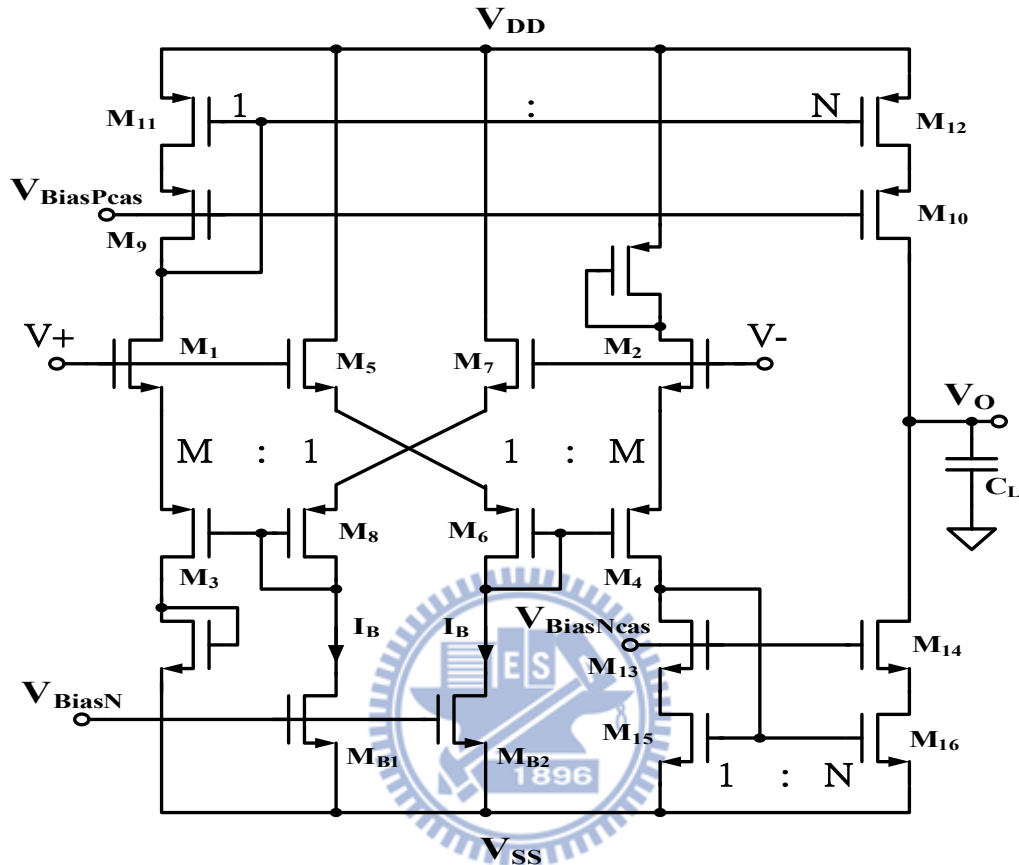


圖 7.11 低耗能放大器

如圖 7.11 所示，為在數位類比轉換器內我們所使用的放大器 [17]，此放大器所有的電晶體(MOSFET)均操作在弱反向區(in weak inversion region)，用來節省功率消耗。但也因為如此，在弱反向區內之電流非常微小，導致迴轉率(slew rate)也變的很小，因此使用交叉(cross couple)架構並且在電路設計上我們利用 1:N 的比例讓迴轉率增加，才能解決高負載問題。且此架構有較好的單位增益頻寬(unit gain bandwidth)與不需要補償電容，算是此電路優勢所在。整得放大器的轉導(G_m)和頻寬(GBW)如下式：

$$G_m = \frac{2Ng_{m1,2}}{1 + \frac{g_{m1,2}}{g_{m3,4}}} \quad (7.6)$$

$$\omega_{GBW} = \frac{G_m}{C_L} = \frac{2Ng_{m1,2}}{\left(1 + \frac{g_{m1,2}}{g_{m3,4}}\right)C_L} \quad (7.7)$$

其中在考慮相位邊界方面，必須要考量到第二個極點位置，並且盡量將極點位置移到頻率比較高的地方，才能有好的相位邊界。(7.8)式為第二極點位置，應謹慎考量之。

$$\omega_2 = g_{m11} / (C_{GS11} + C_{GS12}) \quad (7.8)$$

7.3.3 位準抬升電路(Level shift circuit)

利用源極隨耦器來達到電壓提升，並且使用兩組反相器來讓訊號呈現完整的 3.3V 至 6.6V 的訊號，如圖 7.12 所示。

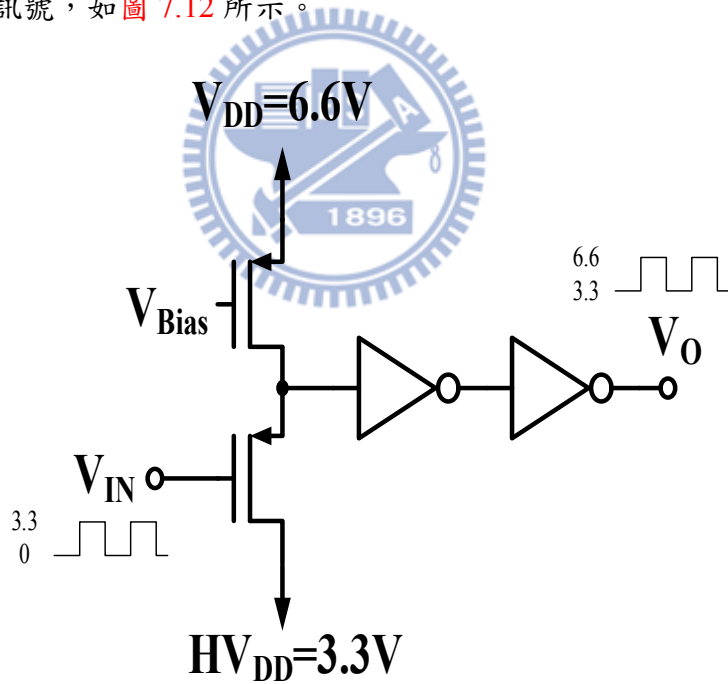


圖 7.12 位準抬升電路

7.3.4 時序控制電路(Timing Control circuit)

為了從一組輸入時脈產生六組我們需要的時序相位，我們需要一個時序電路來產生。圖 7.13 為我們所設計的時序電路，利用無交疊時脈 (non-overlap clock) 的電路的概念設計而成。圖 7.14 為由 CLK 當輸入產生出無交疊時脈，即為 holdx! 和 null 兩個相位，然後再將 CLK 相位作些微延遲即可以產生出 smplx! 相位(smply! 亦為同樣相位)，如此一來，就可以產生出圖 7.15 之時序圖。

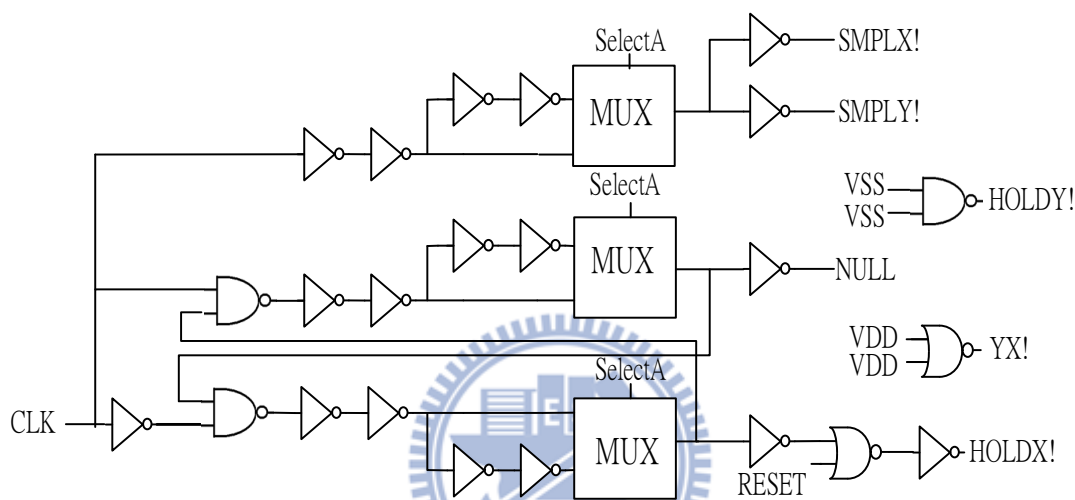


圖 7.13 時序電路

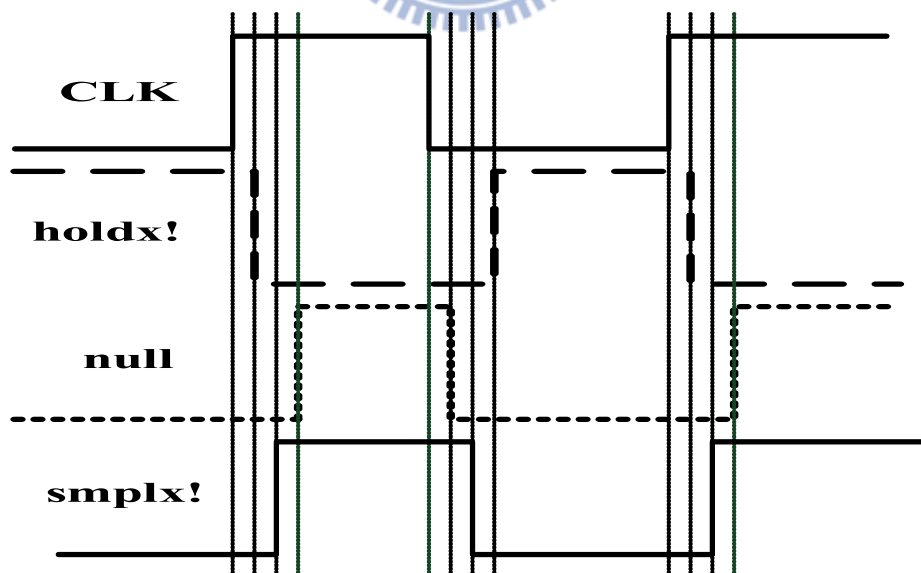


圖 7.14 時序之產生方式

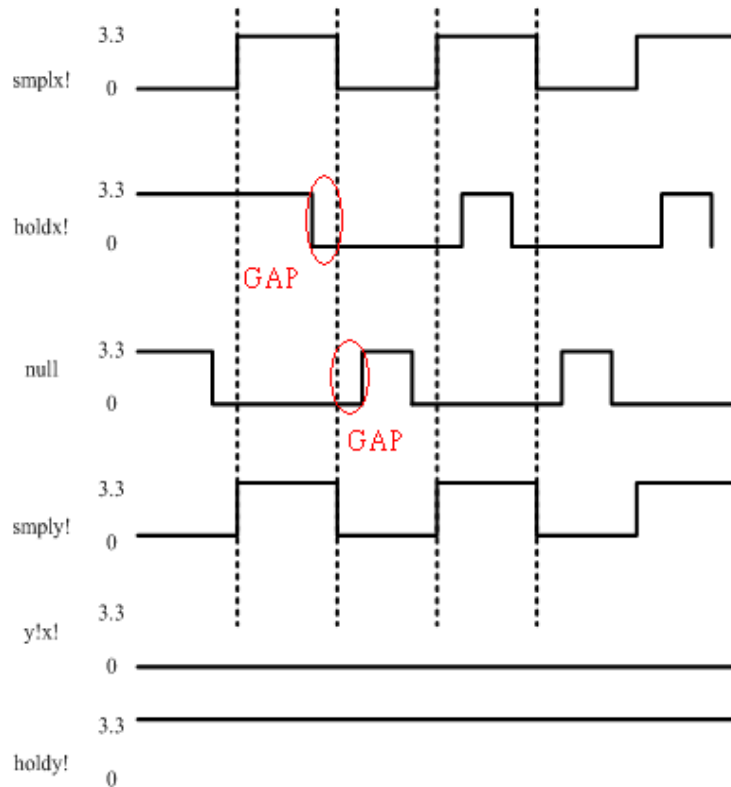


圖 7.15 時序圖

Corner 時間差異

	FF(-20)	TT(50)	SS(120)
Gap(selectA=0)	4.49ns	6.07ns	8.03ns
Gap(selectA=1)	7.73ns	10.54ns	14ns

由以上可以得知，在此種時序電路下，corner 的變化是不會造成交疊(overlap)的相位出現。我們為了確保電路確實操作在無交疊的相位下，所以設計了一個選擇器，來選取 gap 的大小，如圖 7.13 所示，當 selectA=0 時，是選取一個較短的路徑，所以 gap 會比較小，當 selectA=1 時，則會選取一個較長的路徑，所以 gap 會比較大，以確保電路必定操作在無交疊下。

7.3.5 緩衝電路(Buffer)

因為液晶顯示器的負載很大，所以需要一組輸出驅動電路來驅動液晶負載。因此，我們利用放大器接成單增益電路當作緩衝器使用，如圖 7.16 所示[18]。為了符合數位類比轉換器輸出的大擺幅(約 2.7V)，故使用軌對軌(rail-to-rail)放大器來達到比較大的輸入範圍，如圖 7.17。而使用架構上會使用兩級操作放大器(Two-stage OP Amplifier)主要是因為可以增加它的增益(Gain)和輸出擺幅(Output swing)，使緩衝器的電壓偏移誤差(offset)縮減到可以接受的範圍內，大約為數位類比轉換器的四分之一最低有效位元 (1/4LSB)。

在設計時，若是增益頻寬太大或是輸出級的轉導(g_{m15})太小，皆有可能導致右半平面零點的發生，因此，為了避免出現右半平面零點，此兩級放大器中有加入與補償電容串聯的調零電阻(Nulling resistor) (M_{17})。除此之外，因使用電晶體當作電阻使用，必須要有偏壓點供給其閘極電壓，我們使用疊接兩個二極體型式電晶體來提供此電壓，如此一來，當製程偏移後亦可以維持適當之值。

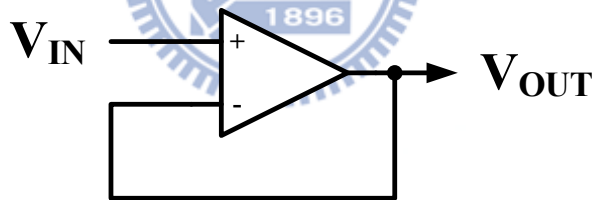


圖 7.16 緩衝電路連接方式

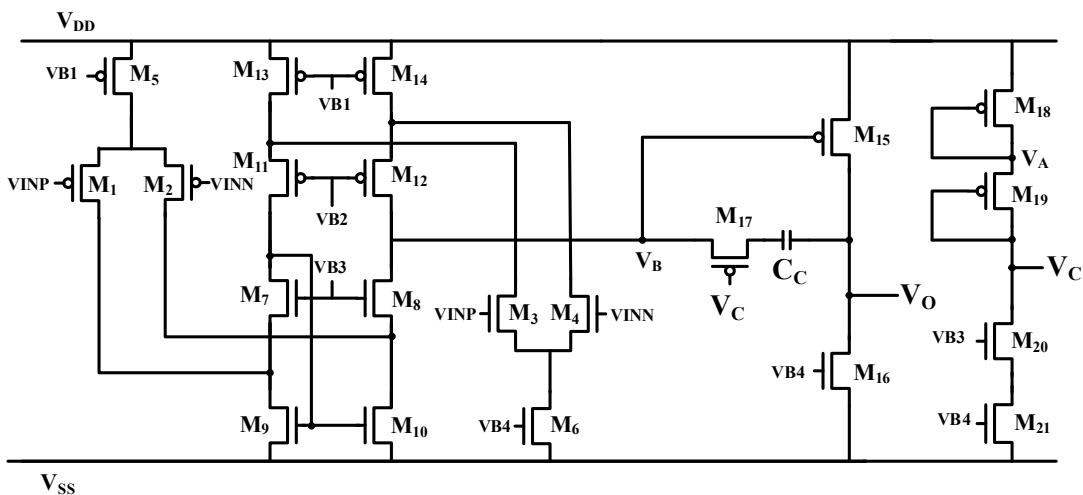


圖 7.17 作為緩衝器之兩級放大器架構

因為使用電阻補償技巧過後[2]，使得極點和零點的位置為：

$$p_1 = -\frac{g_{m2}}{A_V C_C} = -\frac{g_{m1}}{A_V C_C} \quad (7.9)$$

$$p_2 = -\frac{g_{m15}}{C_L} \quad (7.10)$$

$$z_1 = \frac{-1}{R_Z C_C - C_C / g_{m15}} \quad (7.11)$$

其中 $A_V = g_{m1} g_{m15} R_I R_{II}$ 。然後我們想要將零點放置在第二個極點的位置來抵消掉極點，即為 $z_1 = p_2$ ，可得下列算式：

$$R_Z = \frac{1}{g_{m15}} \left(\frac{C_L + C_C}{C_C} \right) = \left(\frac{C_L + C_C}{C_C} \right) \frac{1}{\sqrt{2K'_p S_{15} I_{15}}} \quad (7.12)$$

其中 $S_x = \left(\frac{W}{L} \right)_x$ ，接下來我們使用操作在三極管區的電晶體 M_{17} 來取代此調零電阻。因此， R_Z 可以這樣表示：

$$R_Z = \frac{1}{K'_p S_{17} (V_{GS17} - |V_{TP}|)} \quad (7.13)$$

以及將偏壓電路之 V_A 偏壓點設計與 V_B 電壓點相等，因此

$$|V_{GS19}| - |V_T| = \sqrt{\frac{2I_{19}}{K'_p (W_{19}/L_{19})}} = |V_{GS17}| - |V_T| \quad (7.14)$$

將之代入上式可得：

$$R_Z = \frac{1}{K'_p S_{17}} \sqrt{\frac{K'_p S_{19}}{2I_{19}}} = \frac{1}{S_{17}} \sqrt{\frac{S_{19}}{2K'_p I_{19}}} \quad (7.15)$$

將此操作在三極管區的電阻代回補償須使用到的電阻中可得：

$$S_{17} = \left(\frac{C_C}{C_L + C_C} \right) \sqrt{\frac{S_{19} S_{15} I_{15}}{I_{19}}} \quad (7.16)$$

為了設計出良好的補償電路，以上算式必須被遵守。以及 M_{18} 和 M_{15} 之對應的 V_{SG18} 和 V_{SG15} 必須設計為相等，可得：

$$\left(\frac{W}{L} \right)_{18} = \left(\frac{I_{18}}{I_{15}} \right) \left(\frac{W}{L} \right)_{15} \quad (7.17)$$

7.4 模擬結果

此小節主要是呈現數位類比轉換器電路佈局後之模擬結果。一開始我們會先把工作在弱反向區操作放大器的效能表以及緩衝器內操作放大器的效能表和偏差圖呈現出來，接下來就會列出數位類比轉換器系統模擬的圖形，其中包含數位轉類比的轉換曲線，以及靜態效能中的微分非線性誤差(Differential nonlinearity error, DNL)、積分非線性誤差(Integral nonlinearity error, INL)。

表 7.1 為數位類比轉換器中的操作放大器之效能，其中比較重要的效能參數為增益(Gain)、輸出擺幅(Output swing)、相位邊界(Phase margin)、迴轉率(Slew rate)，這四個參數對於整個系統上扮演著重要角色，若是其中某個參數沒有達到應有的效能，則會對整個數位類比轉換器效能有顯著的影響。

表 7.1 數位類比轉換器中的放大器效能表

OP corner	TT(50)	SS(120)	FF(-20)
Gain	95.1dB	96.0dB	90.0dB
Input swing	-0.1V~+0.1V	-0.1V~+0.1V	-0.1V~+0.1V
Output swing	0.2V~3.2V	0.2V~3.2V	0.2V~3.2V
GBW	2.77MHz	2.52MHz	2.86MHz
PM	54°	53°	57°
PSRR (dB)@ 100Hz	78	67	70
Slew Rate	(25.6/-11.4)V/μs	(23/-11.5)V/μs	(32/-13.7)V/μs
POWER	7.62μW	7.89μW	7.24μW
C _L	0.5pF	0.5pF	0.5pF
FOM _S	213	182	235
FOM _L	1160	1003	1337

表 7.2 為緩衝器內之放大器效能表，其中比較值得關切的效能參數為增益 (Gain)、輸入擺幅(Input swing)、輸出擺幅(Output swing)、相位邊界(Phase margin)、迴轉率(Slew rate)，這五個參數對於緩衝器的設計非常重要，若是其中某個參數沒有達到應有的效能，會沒辦法真實反映出數位類比轉換器之類比輸出，因此，也是影響效能的重要區塊。

表 7.2 緩衝器內之放大器效能表

OP corner	TT(50)	FF(-20)	SS(120)
Gain	126dB	116dB	130dB
Input swing	0.1V~3.2 V	0.1 V ~3.2 V	0.1 V ~3.2 V
Output swing	0.1 V ~3.2 V	0.1 V ~3.2 V	0.1 V ~3.2 V
GBW	18.6MHz	22.3MHz	16.3MHz
PM	57.5°	57°	58.4°
Slew Rate	26/-5.5 V/ μ s	27/-5.7 V/ μ s	25.6/-5.5 V/ μ s
POWER	1.33mW	1.34mW	1.33mW
C _L	10pF	10pF	10pF
Input capacitance	0.06pF	0.06pF	0.06pF

圖 7.18 為緩衝電路之電壓偏移圖，因我們所設計的數位類比轉換器之最低有效位元(Least Significant Bit, LSB)為 1.318mV。因此，為了使緩衝器能夠真實反映數位類比轉換器之真實類比輸出，我們必須將緩衝器之偏移誤差量降到比最低有效位元還要小很多，我們將之設定為：

$$\text{buffer offset} \leq \frac{1}{4} \text{LSB} \quad (7.18)$$

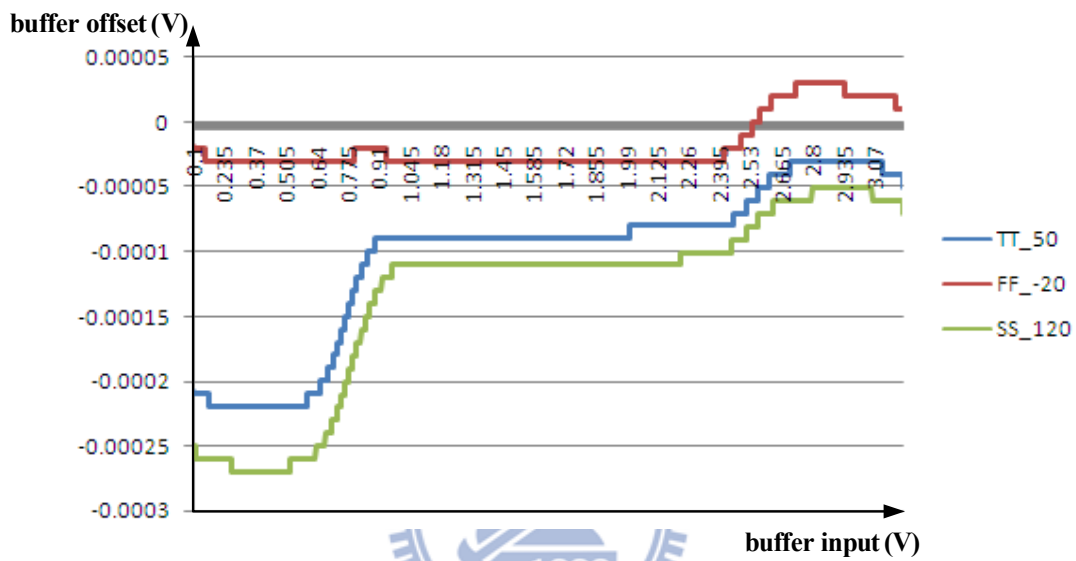


圖 7.18 電壓偏移誤差圖

圖 7.19 為數位類比轉換圖，因數位類比轉換器為十一位元，所以數位碼是從-1023 到 0 到 1023，共 2047 碼，而類比輸出範圍設定為 0.295V 到 2.95V。

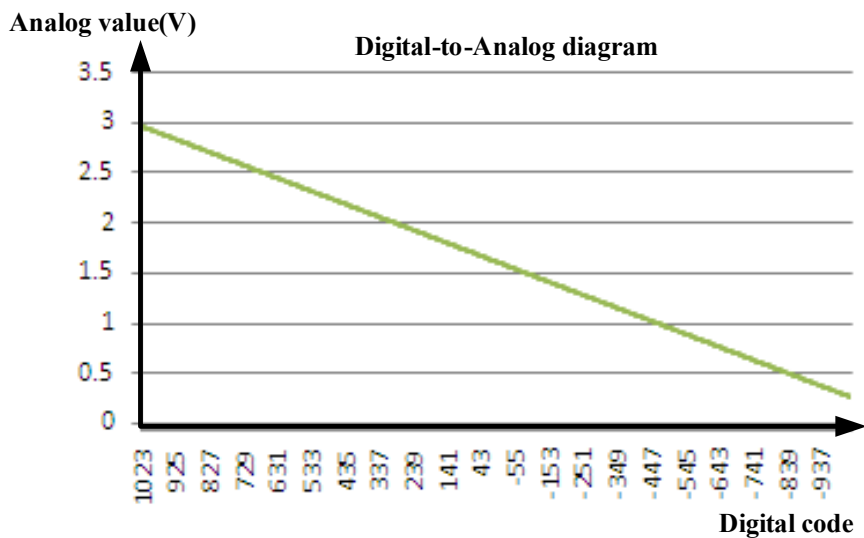


圖 7.19 數位類比轉換圖

圖 7.20 為靜態效能中的微分非線性誤差(DNL)曲線，由圖可以看出來其最大值不超過 ± 0.15 最低有效位元(LSB)。

X 軸：digital code Y 軸：DNL (LSB)

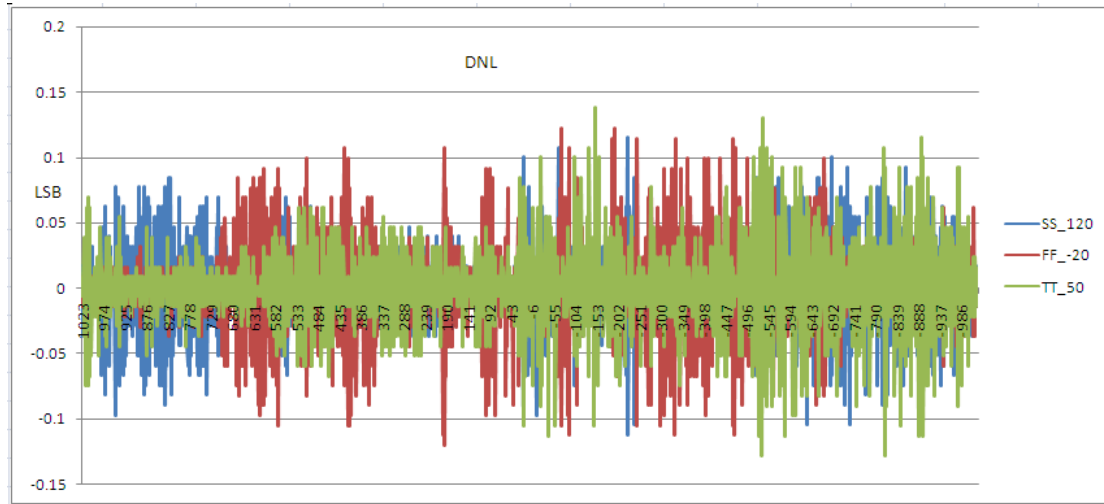


圖 7.20 微分非線性誤差

圖 7.21 為靜態效能中的積分非線性誤差(INL)曲線，由圖可以看出來其最大值不超過 ± 0.5 最低有效位元(LSB)。

X 軸：digital code Y 軸：INL (LSB)

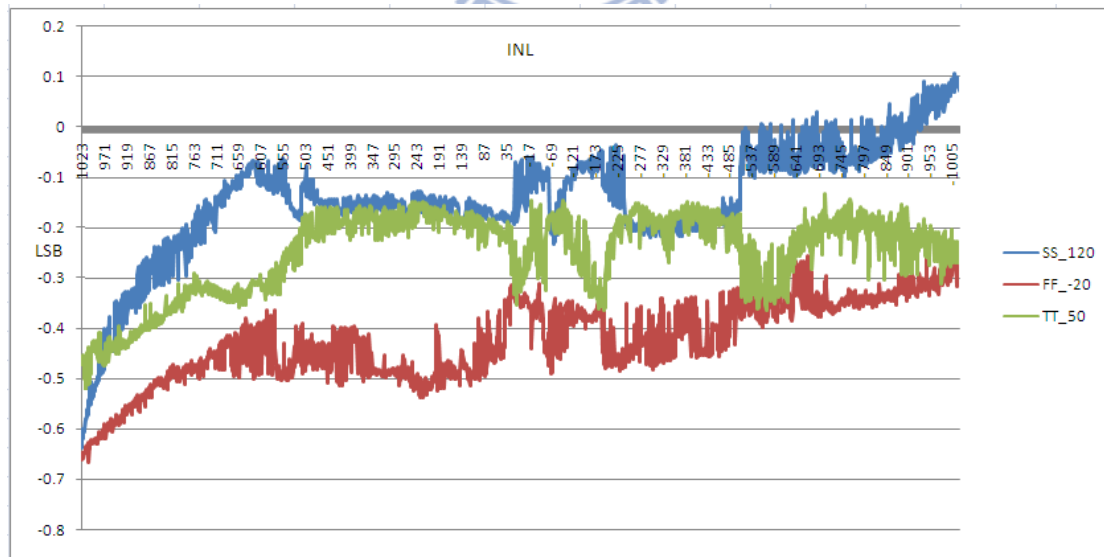


圖 7.21 積分非線性誤差

7.5 晶片佈局

數位類比轉換器的佈局圖如圖 7.22 所示。對於混合信號而言，佈局技巧是非常重要的，若是沒有謹慎考慮，會使電路效能受影響。因此，像是數位訊號要盡可能的避免干擾到類比訊號，我們是使用將數位與類比的電源線分開且加入去耦合電容(decouple capacitance)，以及盡可能將類比訊號與數位訊號隔開。除此之外，當佈局時也要十分注意製程偏移對於效能的影響，像是佈局輸入對時要使用共質心(common-centroid)方式，以及佈局兩個必須相等元件時也是要一維或二維交錯耦合的方式，都可以將製程偏移所造成的誤差減小。必要時，要加入一些模仿電晶體或是一些模仿元件，如此一來，可以使對稱軸兩邊維持相同的環境，亦是抵抗製程偏移可以使用的方法。

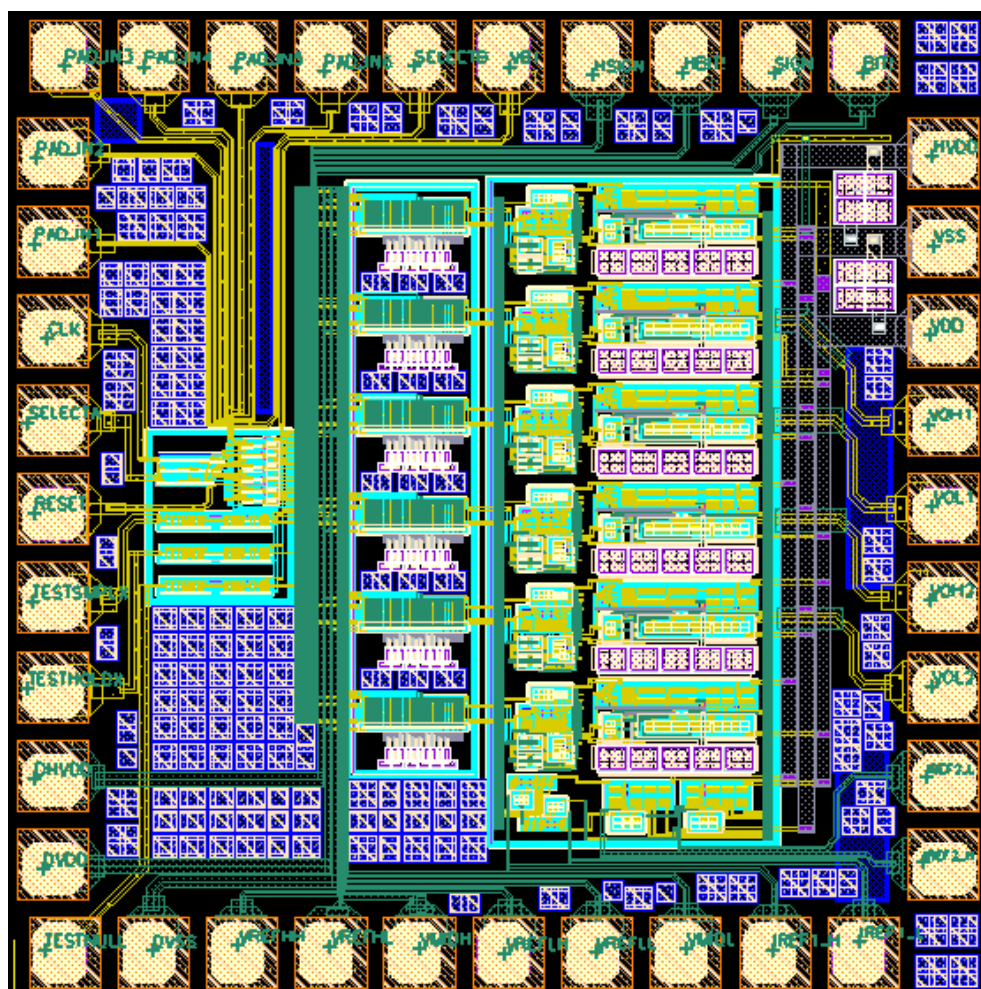


圖 7.22 數位類比轉換器之佈局圖

第八章

量測環境設定和量測結果

8.1 量測環境

圖 8.1 為量測架構圖，我們是使用 9V 電池來做為電源供應器，邏輯分析儀作為數位類比轉換器的數位和控制時序訊號的供給，而示波器是用來讀取類比輸出，並且使用電腦來與示波器做連結使讀取更為快速。這種類型的數位類比轉換器不同於一般的量測方式，一般都是使用多功能電表(multi-meter)來讀取數位類比轉換器的輸出，然而因為這種類型的類比輸出是屬於動態的，比較難用一般的方式讀取，因此，我們是使用示波器來讀取資料。

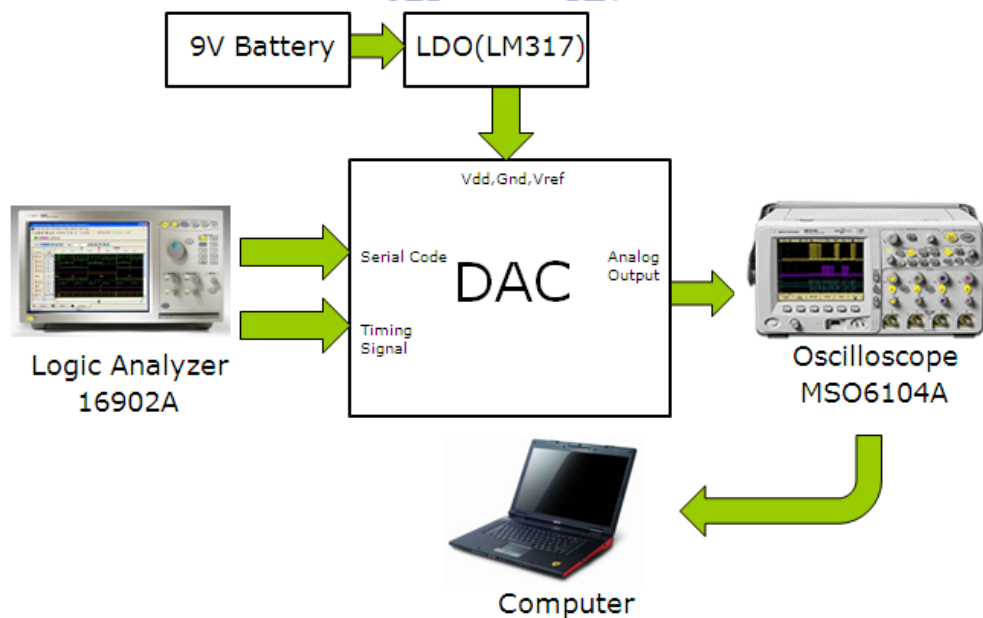


圖 8.1 量測架構圖

下面為電腦與示波器連接所撰寫的 Visual Basic 程式碼，若為動態訊號想要在固定間隔抓取一次，即可以使用此程式來抓取。首先，先去安捷倫的網站抓取連接電腦與儀器的界面軟體，安裝過後，記得要將儀器插上網路線，然後使用網路來將示波器與電腦連結，再將此程式存在 EXCEL 巨集中，即可使用。使用方式為先將示波器要抓取的圖形先存取下來，即按 stop，然後跑此程式即可。

```
Option Explicit
```

```
Public myMgr As VisaComLib.ResourceManager
```

```
Public myScope As VisaComLib.FormattedIO488
```

```
Public varQueryResult As Variant
```

```
Public strQueryResult As String
```

```
,
```

```
' MAIN PROGRAM
```

```
' -----
```

```
Sub Main()
```

```
On Error GoTo VisaComError
```

```
' Create the VISA COM I/O resource.
```

```
Set myMgr = New VisaComLib.ResourceManager
```

```
Set myScope = New VisaComLib.FormattedIO488
```

```
Set myScope.IO = myMgr.Open("TCPIP0::192.168.236.83::inst0::INSTR")
```

```
On Error GoTo VisaComError
```

```
CheckForInstrumentErrors
```

```
Dim strPath As String
```

```
Dim strOutput As String
```



```
strPath = "c:\scope\data\dump.csv"
```

```
' Remove file if it exists.
```

```
If Len(Dir(strPath)) Then
```

```
Kill strPath
```

```
End If
```

```
Close #1 ' If #1 is open, close it.
```

```
Dim i As Double
```

```
Dim toffset As Double
```

```
Dim tstep As Double
```

```
Dim vscale As Double
```

```
Dim Vavg As Double
```

```
Dim pts As Double
```

```
Dim tpos As Double
```



```
toffset = 0.01169 '設定開始點
```

```
tstep = 0.0002 '每隔多少時間取一次值
```

```
' vscale = 0.2
```

```
pts = 256 '抓取幾點資料
```

```
myScope.WriteString ":MEASURE:SOURCE CHANNEL3"
```

```
For i = 0 To (pts - 1) Step 1
```

```
    tpos = (toffset + i * tstep)
```

```
    myScope.WriteString ":TIM:POSition " + CStr(toffset + i * tstep)
```

```

myScope.WriteString ":MEASure:VAverage?"

Vavg = myScope.ReadNumber

strOutput = strOutput + FormatNumber(Vavg, 5) + " V, " + FormatNumber((toffset + i * tstep) *
1000000) + " us" + vbCrLf

Next i

MsgBox "Done!"

' Open file for output.
Open strPath For Binary Access Write Lock Write As #1

Put #1, , strOutput ' Write data.

Close #1 ' Close file.

Exit Sub

VisaComError:

MsgBox "VISA COM Error1:" + vbCrLf + Err.Description

End Sub

Private Sub CheckForInstrumentErrors()

On Error GoTo VisaComError

Dim strErrVal As String

Dim strOut As String

myScope.WriteString "SYSTEM:ERROR?" ' Query any errors data.

strErrVal = myScope.ReadString ' Read: Errnum,"Error String".

While Val(strErrVal) <> 0 ' End if find: 0,"No Error".

strOut = strOut + "INST Error: " + strErrVal

```



```
myScope.WriteString ":SYSTEM:ERROR?" ' Request error message.
```

```
strErrVal = myScope.ReadString ' Read error message.
```

```
Wend
```

```
If Not strOut = "" Then
```

```
MsgBox strOut, vbExclamation, "INST Error Messages"
```

```
myScope.FlushWrite (False)
```

```
myScope.FlushRead
```

```
End If
```

```
Exit Sub
```

```
VisaComError:
```

```
MsgBox "VISA COM Error5: " + vbCrLf + Err.Description
```

```
End Sub
```



8.2 穩壓器介紹

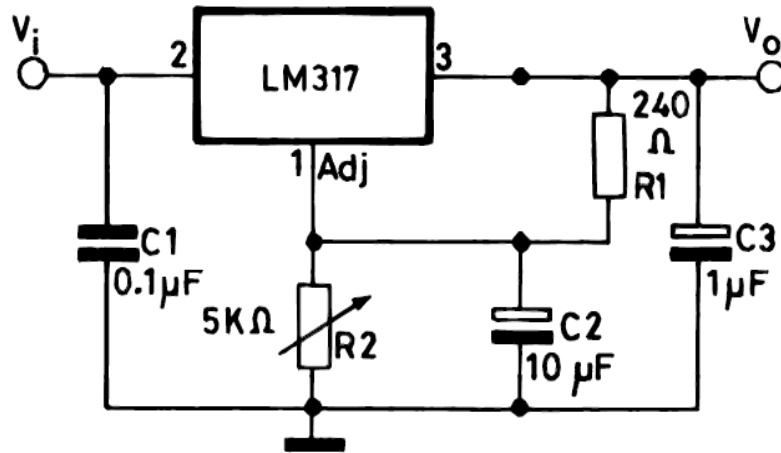


圖 8.2 穩壓器連接圖

電源訊號和偏壓點是由電池經過穩壓器供給，我們是希望能使供給的訊號更為穩定，盡量將雜訊干擾降到最低。穩壓器我們主要是使用 LM317，其連接方式如圖 8.2 所示[19]。其中 C1 是旁通(bypass)電容，C3 是改善它的暫態效應，C2 則是使用來增加它的雜訊抑制比。它的輸出範圍是在 1.25V 至 37V，負載電流最大為 1.5A。使用方式很簡單，只需要調整外接電阻就可以設定其輸出電壓。下式即為輸出電壓公式：

$$V_o = 1.25V(1 + R_2 / R_1) + I_{adj}R_2 \quad (8.1)$$

其中的 I_{adj} 是直流電流從 Adj 端流出。但通常 I_{adj} 之值小到足以被忽略，因此輸出電壓主要是被 R_2/R_1 比例所決定。

8.3 測試板規劃和封裝腳位

測試板的製作與晶片效能息息相關，必須要慎重考量之。如圖 8.3 所示為我們所設計的測試板，我們將需注意的地方分成以下幾個重點：

1. 類比輸出我們使用 SMA 接頭，使輸出訊號比較不受高頻效應所影響。
2. IC 外部連線盡量短，以免訊號受干擾而失真。
3. 類比和數位的地要分開，而且只用一條細線將它們連接起來，使數位雜訊不

容易影響類比訊號。

4. 電源供應或是參考電壓都由穩壓器(LM317)所供給，提供更穩定的電壓。
5. 整塊測試板都要鋪銅，可以減少 EMI 的效應。

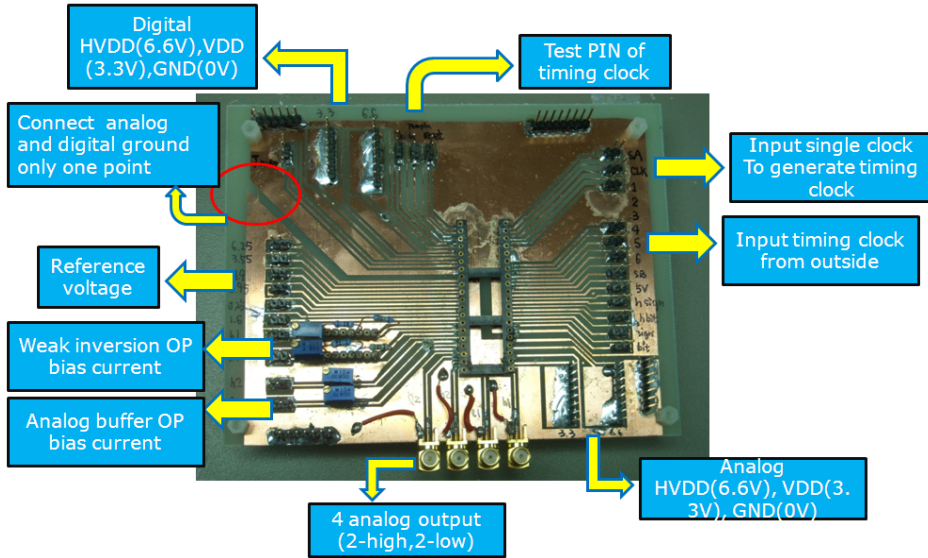


圖 8.3 數位類比轉換器測試板

1	RESET	SELECTA	40
2	TESTSMPLX	CLK	39
3	TESTHOLDX	PAD_IN1	38
4	DHVDD	PAD_IN6	37
5	DVDD	PAD_IN5	36
6	TESTNULL	PAD_IN4	35
7	DVSS	PAD_IN3	34
8	VREFHH	PAD_IN2	33
9	VREFHL	SELECTB	32
10	VMIDH	VB1	31
11	VREFLH	HIGH	30
12	VREFLL	HEAT	29
13	VMIDL	SIGN	28
14	IREF1_H	BIT!	27
15	IREF1_L		26
16	IREF2_H		25
17	IREF2_L	HVDD	24
18	VOL2	VSS	23
19	VOH2	VDD	22
20	VOL1	VOH1	21

1	RESET	Input reset	21	VOH1	High_dac1 output
2	TESTSMPLX	Test smplx	22	VDD	3.3V
3	TESTHOLDX	Test holdx	23	VSS	0V
4	DHVDD	6.6V	24	HVDD	6.6V
5	DVDD	3.3V	25	XXXXXXXX	No connection
6	TESTNULL	Test null	26	XXXXXXXX	No connection
7	DVSS	0V	27	BIT!	Low data input
8	VREFHH	6.25V	28	SIGN	Low data input
9	VREFHL	3.55V	29	HBIT!	High data input
10	VMIDH	4.9V	30	HSIGN	High data input
11	VREFLH	2.95V	31	VB1	5V
12	VREFLL	0.25V	32	SELECTB	0-inner 3.3-outer
13	VMIDL	1.6V	33	PAD_IN6	Input holdx!
14	IREF1_H	140nA	34	PAD_IN5	Input null
15	IREF1_L	140nA	35	PAD_IN4	Input holdy!
16	IREF2_H	25~50uA	36	PAD_IN3	Input yx!
17	IREF2_L	25~50uA	37	PAD_IN2	Input smply!
18	VOL2	Low_dac2 output	38	PAD_IN1	Input smplx!
19	VOH2	High_dac2 output	39	CLK	Input clock
20	VOL1	Low_dac1 output	40	SELECTA	0-short 3.3-long

圖 8.4 (a) 封裝腳位

(b) 接腳對應圖

如圖 8.4 所示，為封裝腳位和接腳對應圖。如圖 8.5 所示，為顯微鏡下的晶片圖。

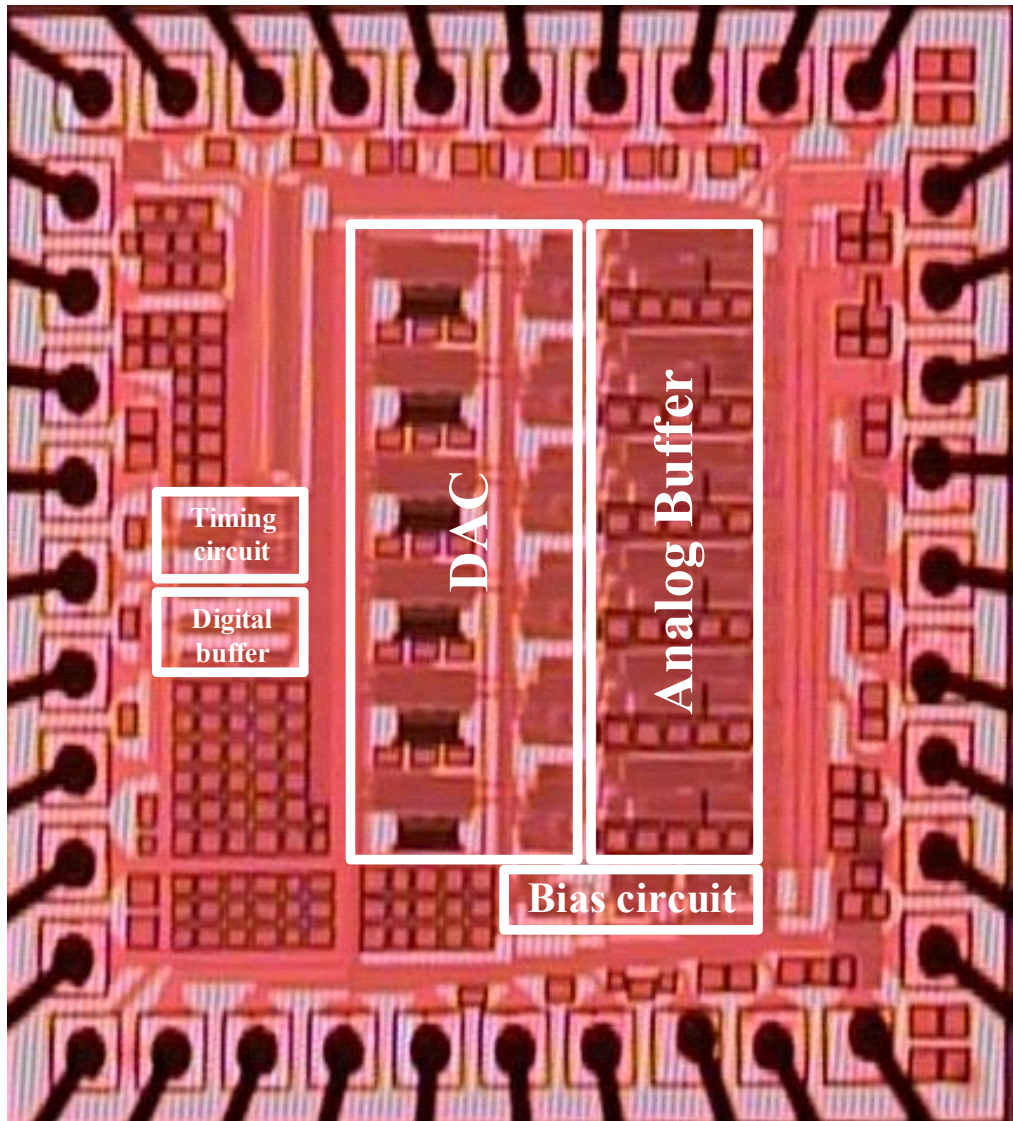


圖 8.5 晶片圖

8.4 量測圖形

圖 8.6 是量測時由示波器讀取出來的圖形，此時為 $sign=1$ ， $bit=11-1111-1111$ ，因此共為 $11bit=111-1111-1111$ ，圖 8.6 上面那個訊號為時序控制訊號，中間的為類比輸出訊號，下面的為數位輸入訊號。經過十一次電荷分配後進行讀取類比值，再作一些運算，即可得到靜態效能 INL 和 DNL。

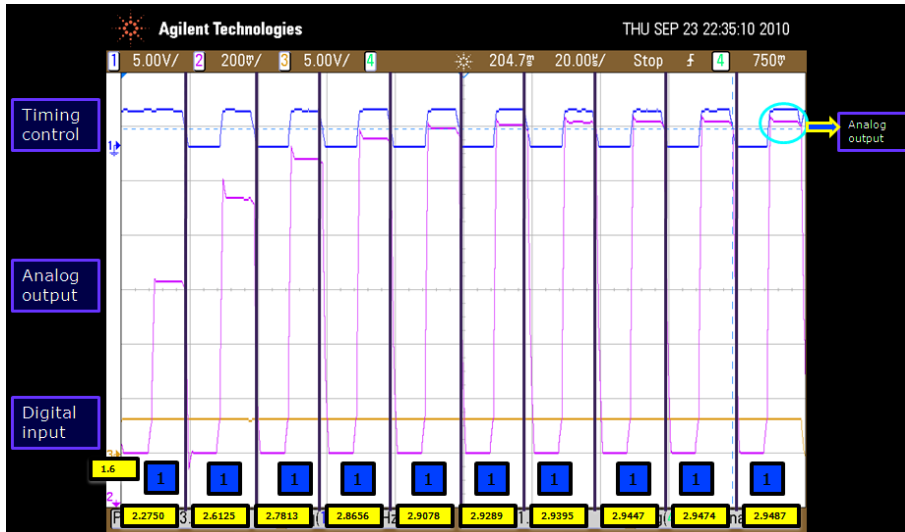


圖 8.6 數位類比轉換器量測圖形(一)

圖 8.7 為另一組的結果，此時為 $sign=0$ ， $bit=11-0110-1101$ ，因此共為 $11bit=011-0110-1101$ ，圖 8.7 上面那個訊號為時序控制訊號，中間的為類比輸出訊號，下面的為數位輸入訊號。

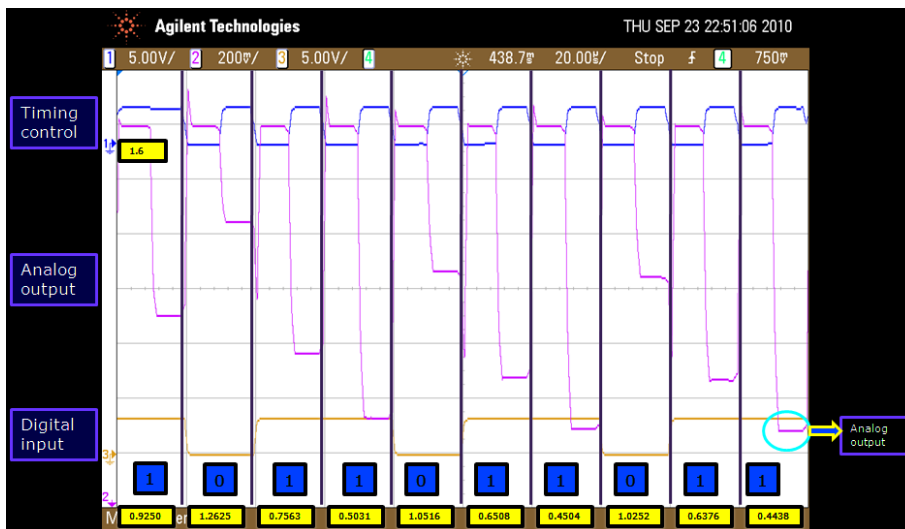


圖 8.7 數位類比轉換器量測圖形(二)

8.5 量測結果

此顆晶片為設計十一位元且每一位元需要五微秒(原設計為兩微秒，下段會解釋速度變慢的原因)的數位類比轉換器。這是應用在液晶螢幕顯示器上的數位類比轉換器，對於動態效能部分比較沒有那麼在乎，因此，在量測方面，我們只量測靜態效能部分。因液晶顯示器應用需求，有分為低位準-數位類比轉換器以及高位準-數位類比轉換器部分，所以我們分為兩個部分來量測。

速度考量方面，原本設計之速度為每一位元需要兩微秒時間轉換，但因為輸出緩衝器在模擬時錯估負載值，原本為預估為 10pF，在真實量測環境時，示波器有 14pF 的負載，在加上一些寄生效應進來，大約有 30-40pF 的負載，因而導致沒能在應有的時間內穩定下來，使速度降為每一位元需要五微秒時間轉換。如下圖 8.8 所示，可以看出，確實每一位元需要五微秒時間轉換。

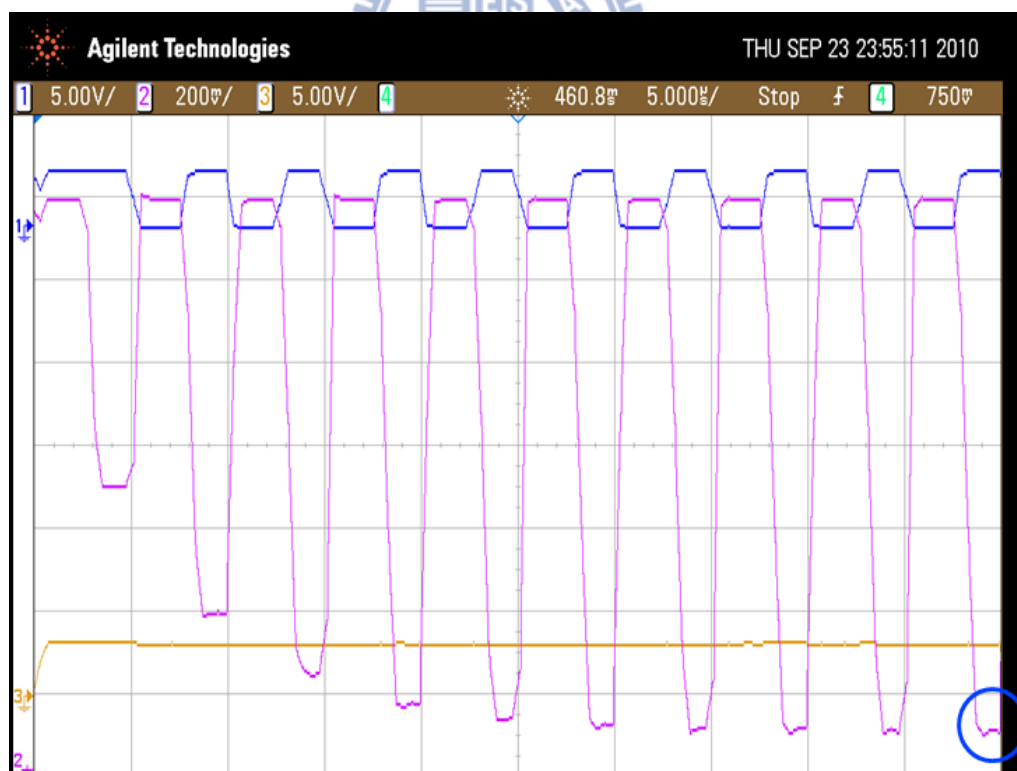


圖 8.8 每一位元需要五微秒時間轉換之量測表示圖

以下為我們所量測低位準-數位類比轉換器之數位類比轉換曲線和靜態效能。

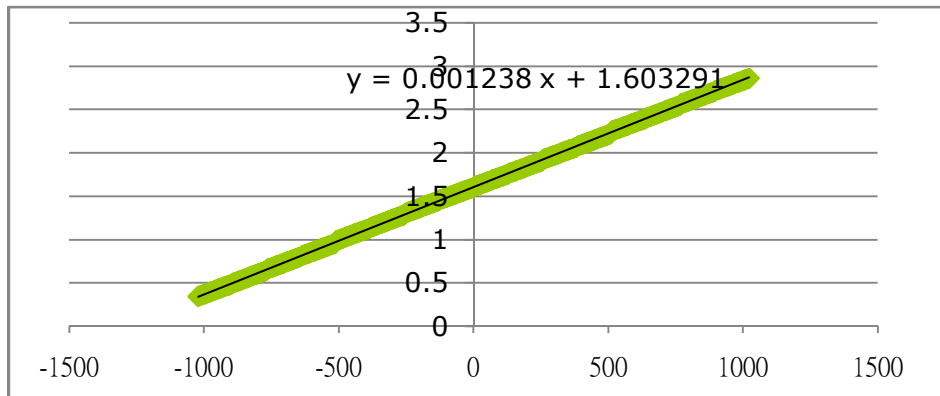


圖 8.9 低位準-數位類比轉換曲線[x-axis~ digital code, y-axis~(volts)]

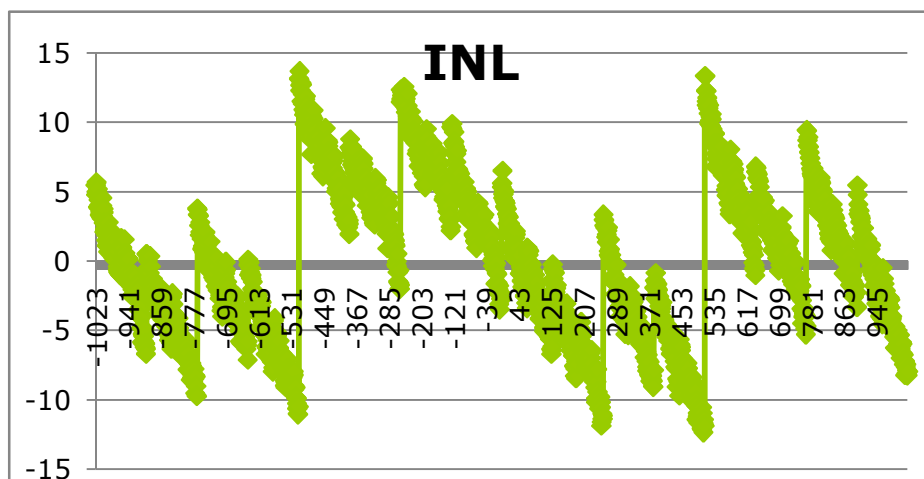


圖 8.10 低位準-積分非線性誤差[x-axis~ digital code, y-axis~(LSB)]

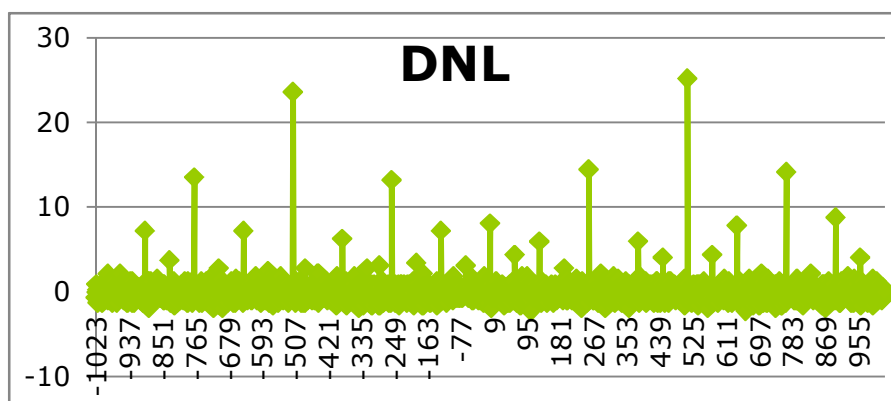


圖 8.11 低位準-微分非線性誤差[x-axis~ digital code, y-axis~(LSB)]

以下為我們所量測高位準-數位類比轉換器之數位類比轉換曲線和靜態效能。

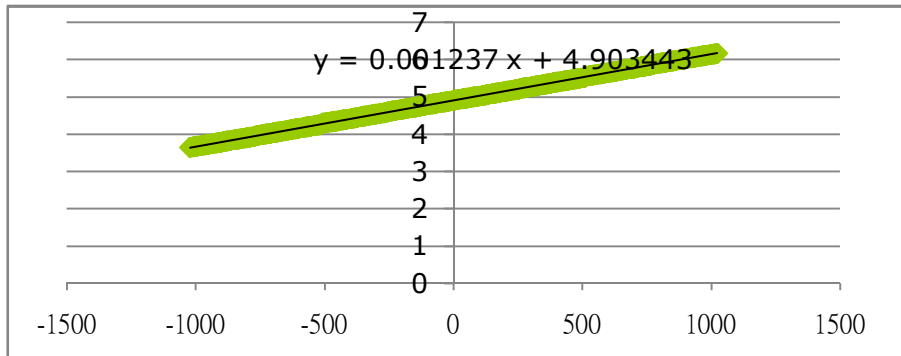


圖 8.12 高位準-數位類比轉換曲線[x-axis~ digital code, y-axis~(volts)]

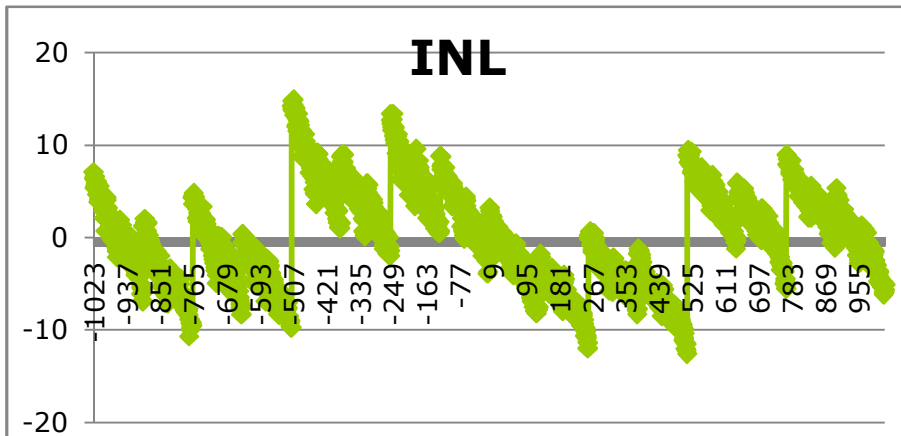


圖 8.13 高位準-積分非線性誤差[x-axis~ digital code, y-axis~(LSB)]

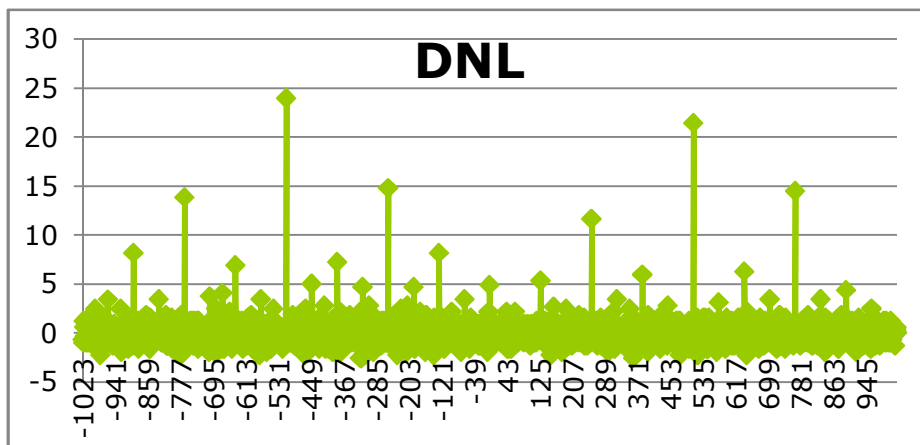


圖 8.14 高位準-微分非線性誤差[x-axis~ digital code, y-axis~(LSB)]

表 8.1 效能表

Parameter	Performance
L-DAC's INL	$-13 \leq \text{INL} \leq 15$ (LSB)
L-DAC's DNL	$-3 \leq \text{DNL} \leq 25$ (LSB)
H-DAC's INL	$-13 \leq \text{INL} \leq 15$ (LSB)
H-DAC's DNL	$-3 \leq \text{DNL} \leq 25$ (LSB)
Speed	5(us/bit)
Power	9.563uW/channel ~DAC (no buffer and timing circuit) 1.815mW/channel ~buffer OP 4.158uW/channel ~weak inversion OP 2.856mW ~timing circuit
Area	1.09*1.09 (mm ²)

8.6 總結

由以上結果可以看出來，最大的積分非線性為 15LSB，最大的微分非線性為 25LSB。表 8.1 即為十一位元且每一位元需要五微秒的數位類比轉換器之量測結果。因晶片量測結果不如模擬時的情況，我們設法由量測結果靜態效能圖形去找出會造成此現象的主要原因，發現可能為電容匹配的情況有關，然後我們有由 MATLAB 程式來驗證此情形，證實確實如此，以下我們將驗證是否真的為電容不匹配而使效能變差。

首先我們先由 MATLAB 跑出低位準-數位類比轉換器之數位類比轉換曲線和靜態效能，其中只有假設電路中電容沒有匹配，並且設定不匹配誤差量為 2.4%，其他之效應不加入考慮。

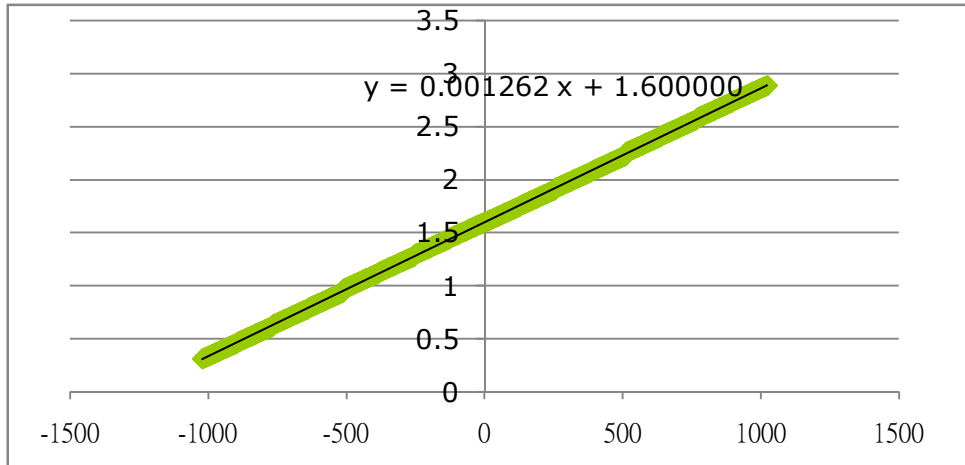


圖 8.15 低位準-數位類比轉換曲線[x-axis~ digital code, y-axis~(volts)]

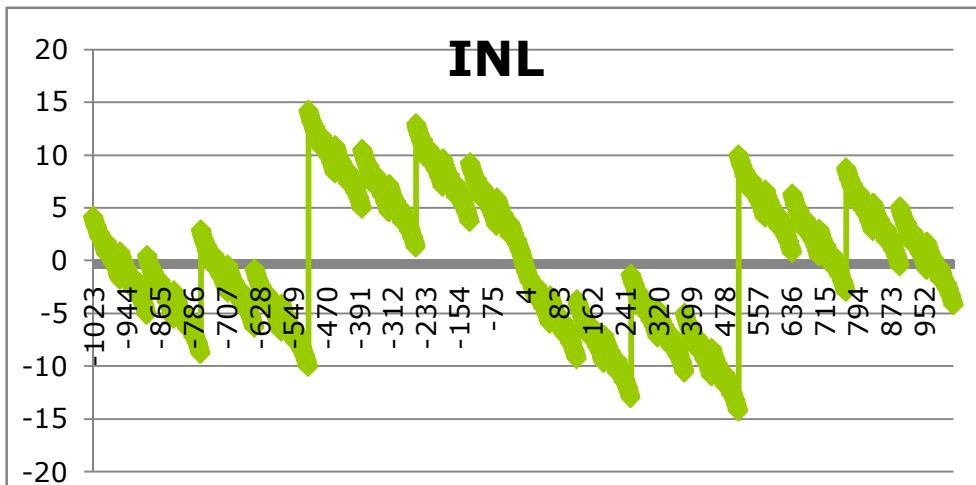


圖 8.16 低位準-積分非線性誤差[x-axis~ digital code, y-axis~(LSB)]

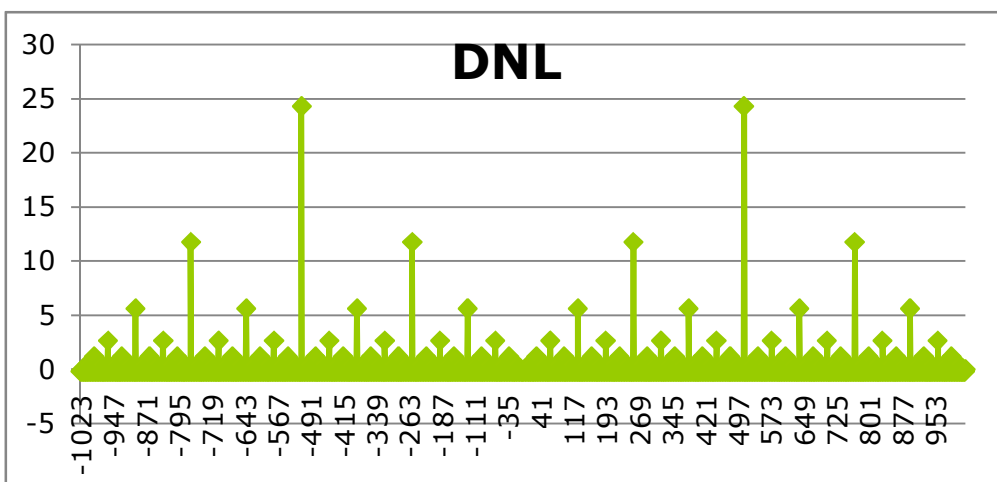


圖 8.17 低位準-微分非線性誤差[x-axis~ digital code, y-axis~(LSB)]

由以上圖 8.15、圖 8.16、圖 8.17 跟前面量測的效能比較後，可以發現我所設計的數位類比轉換器電路會造成效能不好的原因確實主要為電容的匹配問題。十一位元解析度的數位類比轉換器之電容匹配必須在約 0.1% 以內，如表 8.2 所示，其中表 8.2 也是由 MATLAB 設定其誤差量所跑出來的結果。電容不匹配主要由製程變異所造成的，最好的克服製程變異的方式是從佈局方面著手，盡量都佈局成為中心對稱的方式，以及必須要匹配的元件也盡量拉近，如此一來，可以將製程變異造成的影響降至最低，達成良好的設計。

表 8.2 電容誤差百分率相對於最大微分非線性誤差量大

Two Capacitors difference	Maximum DNL (LSB)	Two Capacitors difference	Maximum DNL (LSB)
3.0%	28.6250	1.4%	13.7847
2.8%	26.8219	1.2%	11.8618
2.6%	25.0041	1.0%	9.9237
2.4%	23.1716	0.8%	7.9701
2.2%	21.3242	0.6%	6.0011
2.0%	19.4619	0.4%	4.0164
1.8%	17.5846	0.2%	2.0161
1.6%	15.6922	0.0%	0

當然，想要將兩個電容做到 0.1% 的誤差量是非常不容易的，我們必須想其他辦法克服此問題。我們使用了取樣和積分電容在固定時間進行電容交換來克服此問題，設法將兩個電容不匹配的誤差量平均掉，我們將這種方式分為兩種形態，以下將作詳細說明。

(電容交換 - 方法一)

第一種電容交換方式為每次電容積分都交換一次，如圖 12.14 所示，也就是說，11 位元的數位類比轉換器一筆資料轉換出來必須將電容切換 11 次。

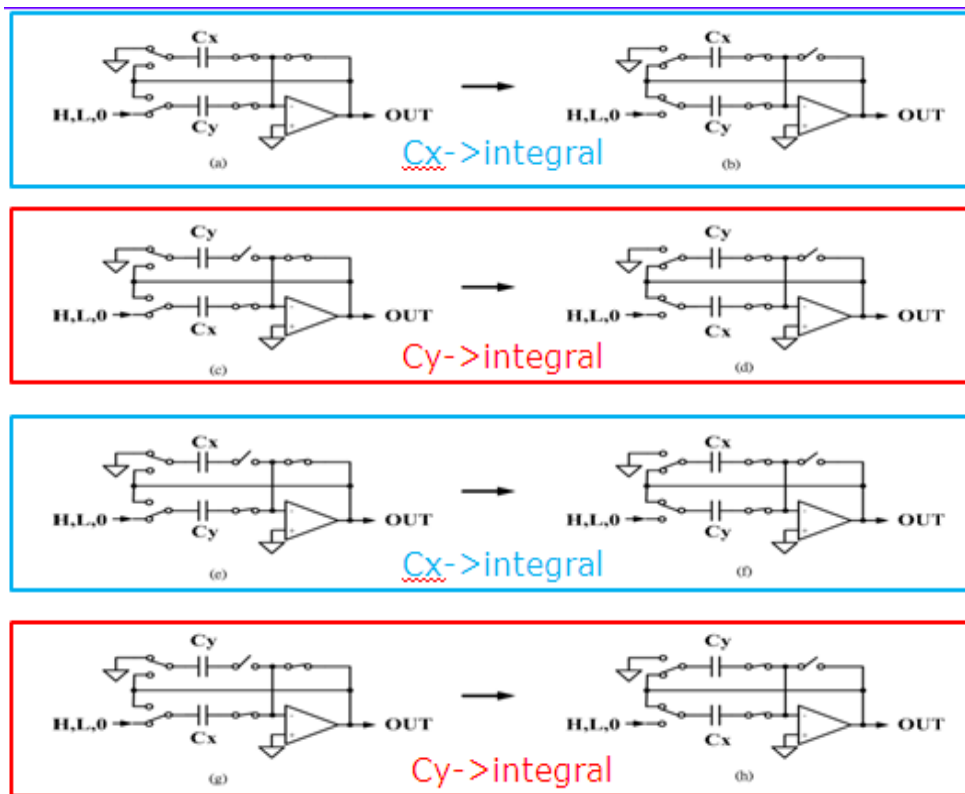


圖 8.18 第一種電容交換方式表式圖

使用第一種電容交換方式，由 MATLAB 運算過後，2.4% 誤差電容使用此電容交換方式之數位類比轉換曲線(如圖 8.19 所示)和靜態效能 INL(如圖 8.20 所示)和 DNL(如圖 8.21 所示)。由靜態效能圖可以知道，原本最大之 INL 為 15LSB 降為 6LSB，最大之 DNL 為 25LSB 降為 7LSB。可以得知，第一種方式確實對效能有改善，但改善程度不是很大。

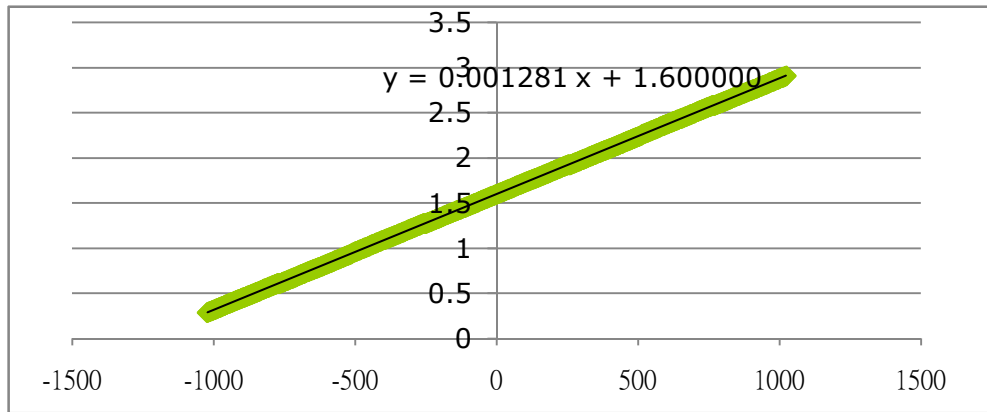


圖 8.19 經過第一種電容交換方式後之低位準-數位類比轉換曲線

[x-axis~ digital code, y-axis~(volts)]

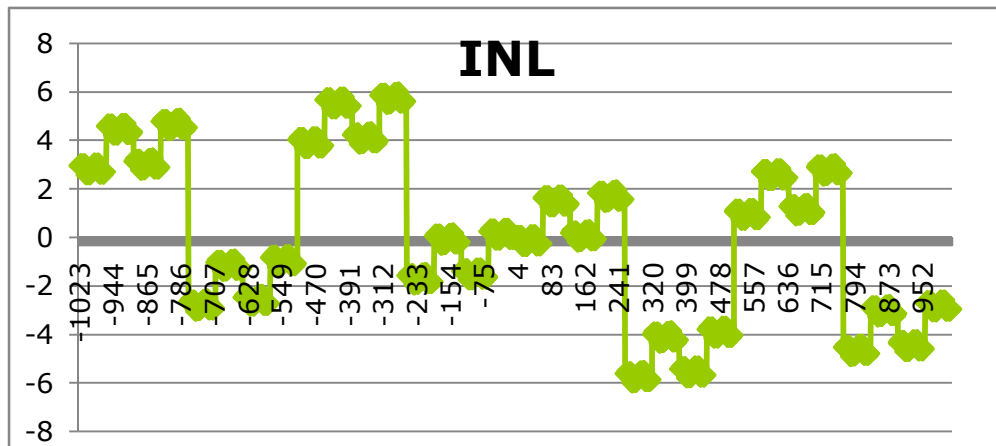


圖 8.20 經過第一種電容交換方式後之低位準-積分非線性誤差

[x-axis~ digital code, y-axis~(LSB)]

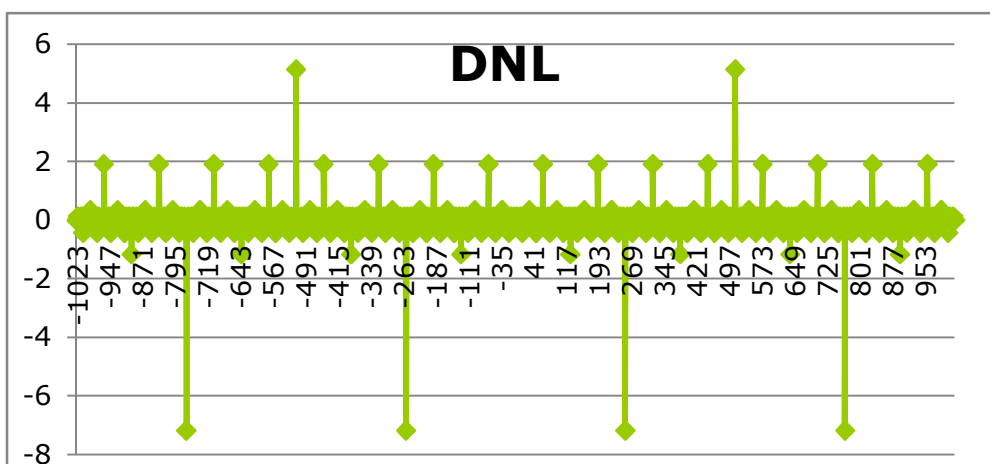


圖 8.21 經過第一種電容交換方式後之低位準-微分非線性誤差

[x-axis~ digital code, y-axis~(LSB)]

若是能將佈局技巧改善，也就是說使匹配誤差量降到 0.6%左右，並且使用第一種電容交換方式，即可以得到以下的結果圖。由靜態效能圖可以知道，最大之 INL 為 1.4LSB，最大之 DNL 為 1.8LSB。

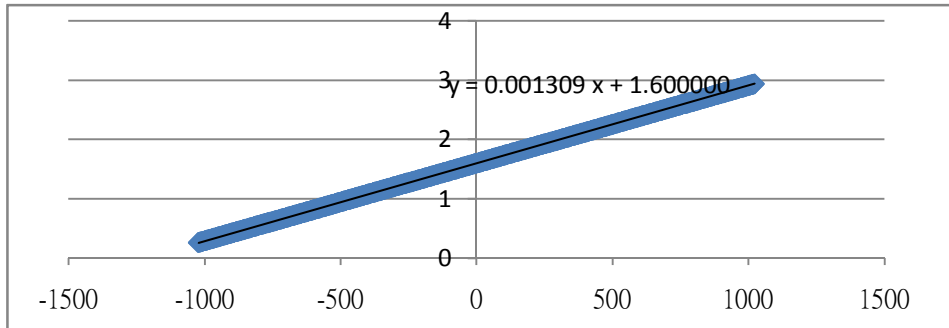


圖 8.22 電容誤差 0.6%且經第一種電容交換之低位準-數位類比轉換曲線

[x-axis~ digital code, y-axis~(volts)]

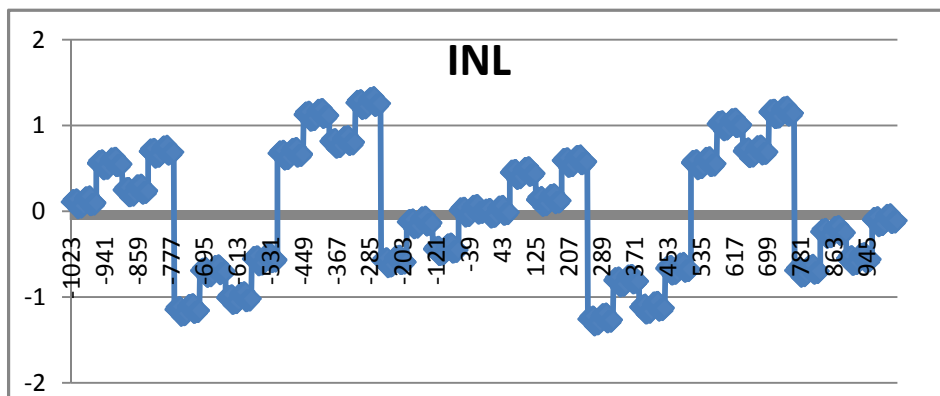


圖 8.23 電容誤差 0.6%且經第一種電容交換之低位準-積分非線性誤差

[x-axis~ digital code, y-axis~(LSB)]

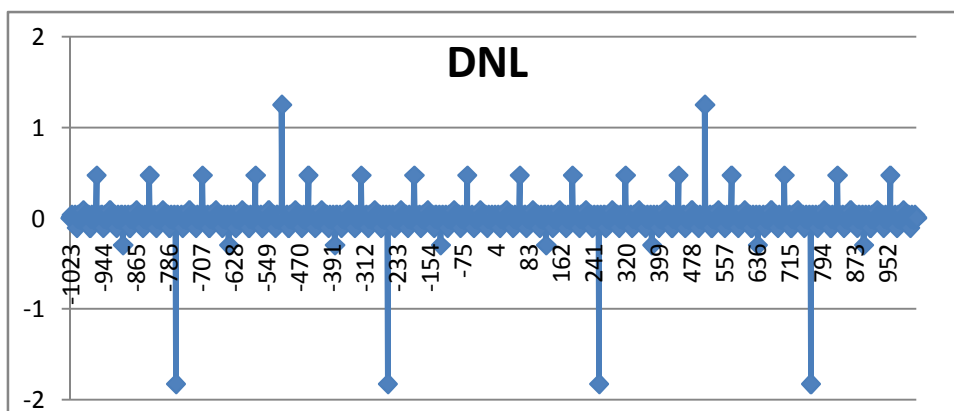


圖 8.24 電容誤差 0.6%且經第一種電容交換之低位準-微分非線性誤差

[x-axis~ digital code, y-axis~(LSB)]

(電容交換 - 方法二)

第二種電容交換方式為將同一筆資料在相鄰兩個液晶中呈現，不同點在於這兩次畫面使用的積分電容是不一樣的(如圖 8.25 所示)，利用兩光線相鄰會有混合的效果(如圖 8.26 所示)，使電容不匹配得到平均。這種電容交換方式為此種形態數位類比轉換器克服電容不匹配的最好方式，能夠將靜態效能改善達到一個數量級。

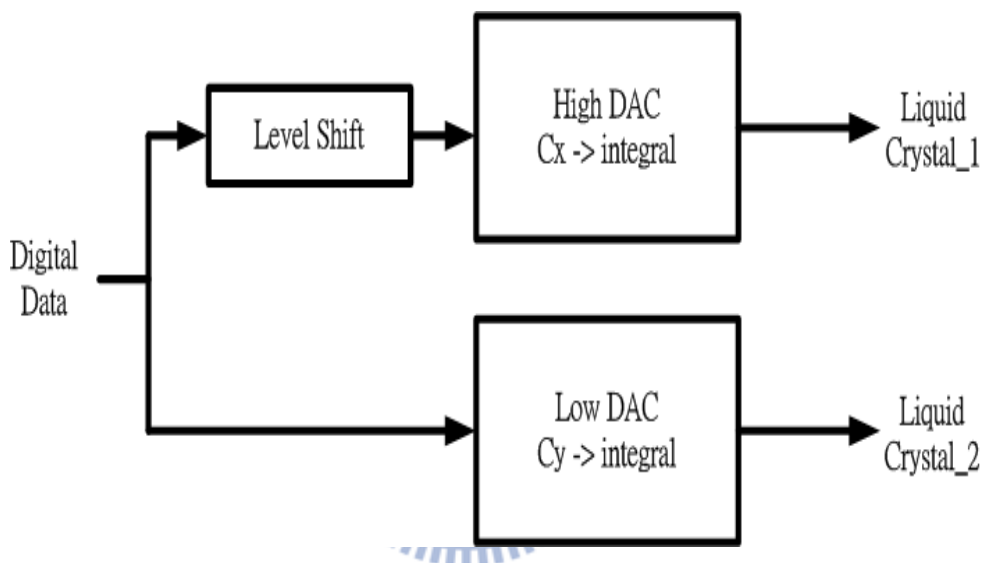


圖 8.25 第二種電容交換方式表式圖(一)

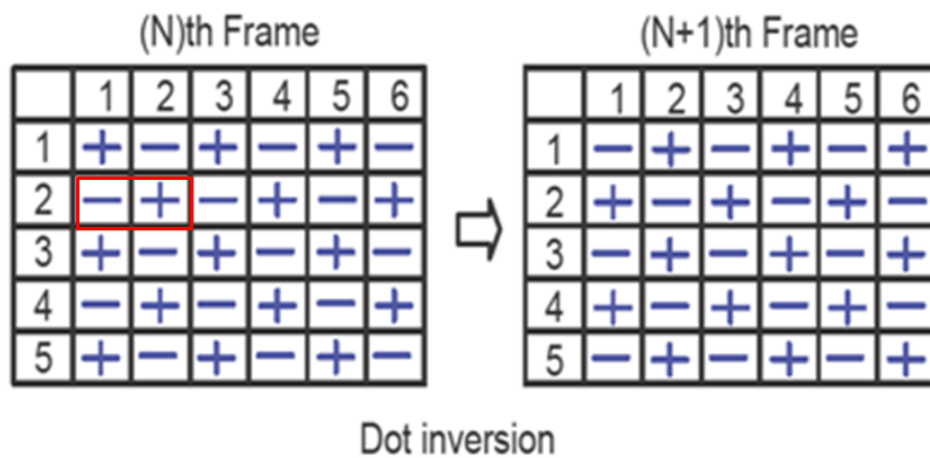


圖 8.26 第二種電容交換方式表式圖(二)

為了使用第二種電容交換方式，我們先呈現電容誤差量為 2.4% 時，分別由 C_X 和 C_Y 當積分電容之靜態效能圖。

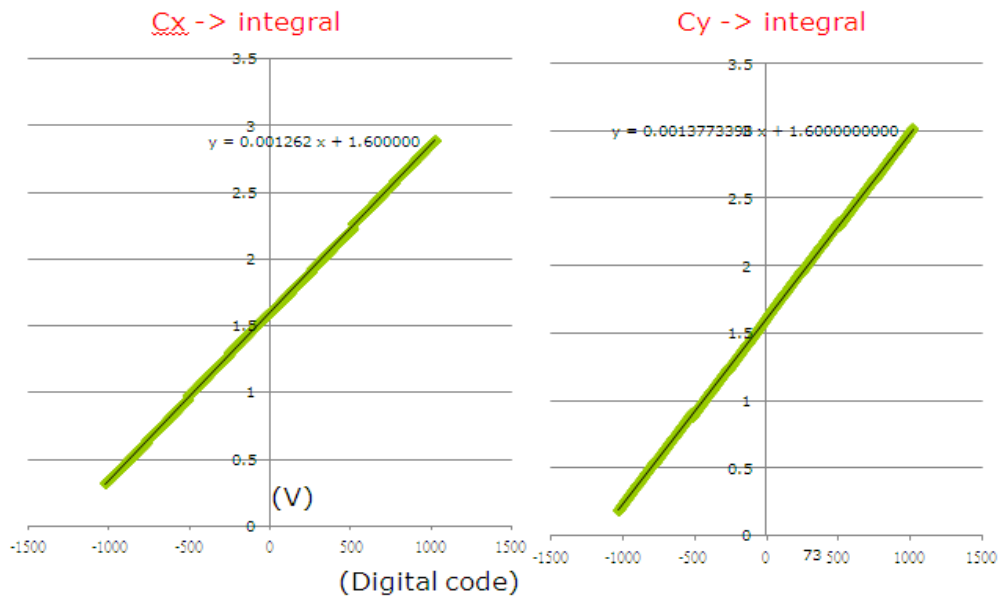


圖 8.27 分別由 C_X 和 C_Y 當積分電容之低位準-數位類比轉換曲線

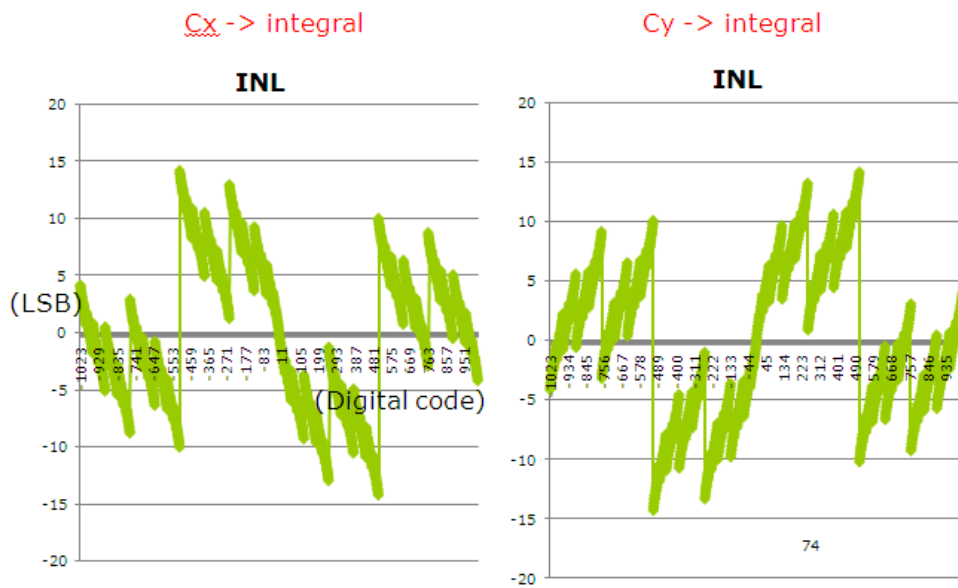


圖 8.28 分別由 C_X 和 C_Y 當積分電容之低位準-積分非線性誤差

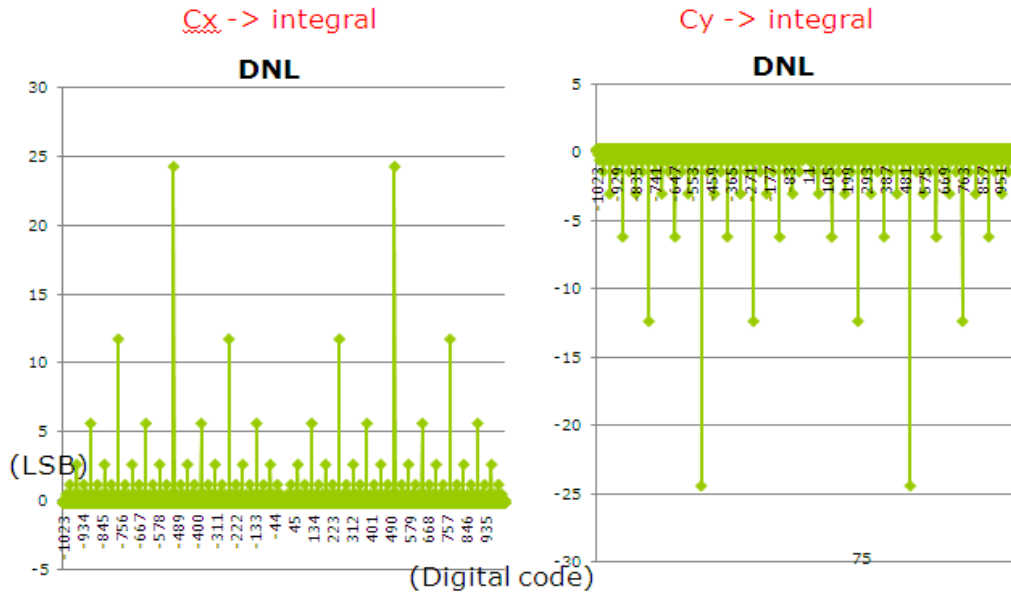


圖 8.29 分別由 C_X 和 C_Y 當積分電容之低位準-積分非線性誤差

將上面之兩種資料做結合，由 MATLAB 運算過後，2.4% 誤差電容使用此電容交換方式之數位類比轉換曲線(圖 8.30)和靜態效能 INL(圖 8.31)和 DNL(圖 8.32)。由靜態效能圖可以知道，原本最大之 INL 為 15LSB 降為 0.8LSB，最大之 DNL 為 25LSB 降為 1.2LSB。可以得知，第二種方式確實對效能有顯著的改善，約改善了一個數量級的誤差。

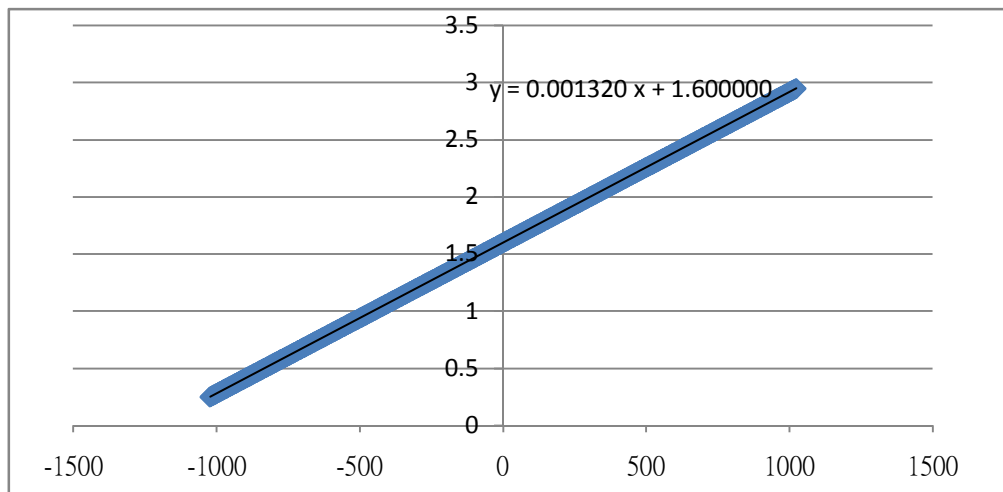


圖 8.30 電容誤差 2.4% 且經第二種電容交換之低位準-數位類比轉換曲線

[x-axis~ digital code, y-axis~(volts)]

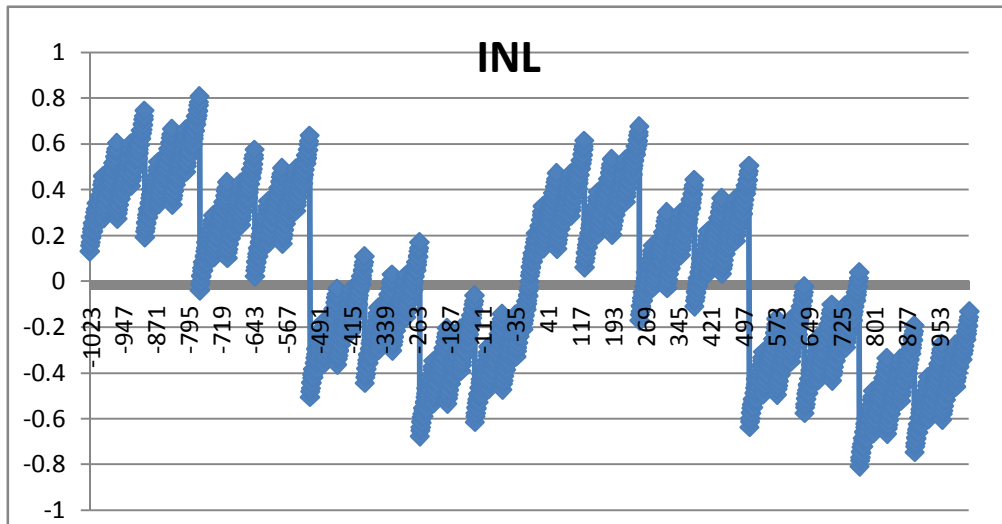


圖 8.31 電容誤差 2.4%且經第二種電容交換之低位準-積分非線性誤差

[x-axis~ digital code, y-axis~(LSB)]

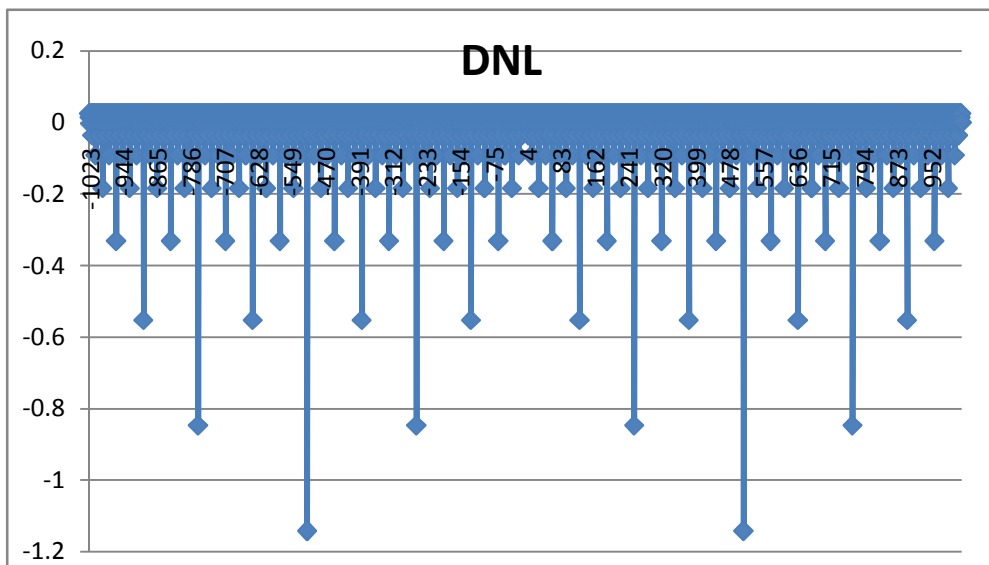


圖 8.32 電容誤差 2.4%且經第二種電容交換之低位準-積分非線性誤差

[x-axis~ digital code, y-axis~(LSB)]

表 8.3 為比較規格列表，其中[20]為最近提出的片段線性數位類比轉換器，[21]、[12]為電阻串式數位類比轉換器。可以看出面積都比其他的還要小，解析度也比較高，雖然穩定時間比較長一些，但對於液晶顯示器而言，速度考量不是那麼重要，是此設計負出的代價。

表 8.3 比較規格列表

	This work	[20]JSSC2008	[21]JSSC2003	[12]JSSC2000
Process technology	0.18umCMOS	0.35um CMOS	0.6um CMOS	0.8um CMOS
Power supply	3.3V	5V	5V	10V
Number of bits	11	10	6	6
Maximum DNL	25 LSB	3.83 LSB	N/A	N/A
Maximum INL	15 LSB	3.84 LSB	N/A	N/A
Settling time	55us	3us	8.3us	2us
Power	9.563uW/channel DAC	N/A	N/A	N/A
Silicon area (per channel)	0.025mm ²	0.063 mm ²	0.101 mm ²	11.111 mm ²

第九章

結論和未來工作

9.1 結論

我們針對高速類比數位轉換器，設計了一個六位元每秒六億次取樣的類比數位轉換器。採用的架構是適合運用在高速條件下的快閃式架構，並使用了全差動模式來消除共模雜訊，以及增加了輸入電壓範圍。在本電路的前端加入了取樣保持電路，以消除時脈訊號到比較器時間的不同所造成的動態效能的降低。為了使比較器擁有好的過載恢復能力和低的輸出不穩定，我們分別採用在輸出端加上重置開關以及串接兩級比較器來解決這兩個問題。以及採用電阻式平均的方式，在不用耗費多餘的面積和功率消耗下，確實有效的減少動態和靜態的偏差。

我們討論了應用於液晶顯示器的數位類比轉換器。傳統液晶螢幕的源極驅動器一般使用非線性的電阻串形式的數位類比轉換器，但卻包含了以下缺點：(1)電阻串的精確度不夠高。(2)流經電阻串的電流太大，以致於消耗過大的能量。(3)在實現高解析度的數位類比轉換器時，會造成面積過大。然而這篇論文主要是描述使用開關-電容式數位類比轉換器來取代傳統式的數位類比轉換器，然而它跟傳統式最大的差別在於其節省了很大的面積以及能量，進而可以省成本的支出。其中數位類比轉換器中所使用的放大器為操作在弱反向區(weak-inversion region)，其目的是讓此數位類比轉換器的功率消耗降到最低，但會造成其輸出推動力不夠，因此，其後還需要一個有著高迴轉率(slew rate)的緩衝器來推動高負載的液晶。

我們使用台積電 0.18um CMOS 製程來實現此電路，供應電壓為 3.3V。數位類比轉換器整體的面積為 1.188mm²。量測結果，十一位元且每一位元需要五微秒的數位類比轉換器的最大的積分非線性誤差為 15LSB，最大的微分非線性誤差為 25LSB。因會造成效能不好的原因主要為電容的不匹配，所以必須使用電容交換技巧來將電容誤差量平均掉，使靜態效能提升。其中，我們還有發現若是將電容不匹配的效應去除過後，仍然有大約兩個 LSB 之 DNL 跳動，這可能為電荷注入(clock feedthrough)所造成，或許必須要加入模仿開關(dummy switch)來將此現象作有效的抑制。

9.2 未來工作

我們實現了一個六位元每秒六億次取樣的快閃式類比數位轉換器，但對於靜態和動態效能方面，還是沒有達到極佳的成果。因此，我們會嘗試多加思考以及多看些參考文獻，盡力去找出方法來使效能提昇，也就是說，使偏差有效的克制住，實現出更好的快閃式類比數位轉換器。

我們實現了一個應用在液晶螢幕的數位類比轉換器。我們發現對於靜態效能方面有很大的改善空間，而改善的著重點在於電容的匹配，因佈局的技巧能使電容匹配有限，未來可以加入電容交換技巧來平均電容的誤差量，以及在開關處加入模仿開關來抵制電荷注入，達到效能良好的數位類比轉換器。

參考文獻

[1] K. Uyttenhove and M. Steyaert, “Speed-power-accuracy tradeoff in high-speed CMOS ADCs,” *IEEE Trans. Circuits Syst. II: Analog Digit. Signal Process.*, vol. 49, no. 4, pp. 280–287, Apr. 2002.

[2] Phillip E. Allen, Douglas R. Holberg, *CMOS Analog Circuit Design, 2nd Edition*, Oxford University Press, Inc., 2002.

[3] H. Pan and A. A. Abidi, “Spatial filtering in flash A/D converters,” *IEEE Trans. Circuits Syst. II: Analog Digit. Signal Process.*, vol. 50, no. 8, pp. 424–463, Aug. 2003

[4] C. L. Portmann and T. H. Y. Meng, “Power-efficient metastability error reduction in CMOS flash A/D converters,” *IEEE J. Solid-State Circuits*, vol. 31, pp. 1132–1140, Aug. 1996.

[5] M. Choi and A. A. Abidi, “A 6 b 1.3 Gsample/s A/D converter in 0.35 μm CMOS,” *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1847–1858, Dec. 2001.

[6] X. Jiang, Z. Wang, and M. F. Chang, “A 2 GS/s 6b ADC in 0.18 μm CMOS,” in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2003, pp. 322–323.

[7] 洪健凱, “改良平均網路邊界問題之高速快閃式類比數位轉換器,” 國立台灣大學電子工程研究所碩士學位論文, 2006.

[8] T. Tsukada, *Liquid-Crystal Displays Addressed by Thin-Film Transistors*, Gordon and Breach Publishers, 1996.

[9] E. Lueder, *Liquid Crystal Displays Addressing Schemes and Electro-Optical Effects*, John Wiley and Sons, Inc., 1996.

[10] L. W. MacDonald and A. C. Lowe, *Display Systems Design and Applications*, John Wiley and Sons, Inc., 1997.

[11] C.-W. Lu and K. J. Hsu, "A high-speed low-power rail-to-rail column driver for AMLCD application," *IEEE J. Solid-State Circuits*, vol. 39, no. 8, pp. 1313–1320, Aug. 2004.

[12] J.-S. Kim, D.-K. Jeong, and G. Kim, "A multi-level multi-phase charge recycling method for low-power AMLCD column drivers," *IEEE J. Solid-State Circuits*, vol. 35, no. 1, pp. 74–84, Jan. 2000.

[13] R. JACOB BAKER, "CMOS: CIRCUIT DESIGN, LAYOUT, AND SIMULATION," NJ:IEEE Press, 2005.

[14] A. Johns and K. Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, Inc., 1997.

[15] M. Bell, "An LCD column driver using a switched capacitor DAC," in *IEEE Int. Solid State Circuits Conf. Dig. Tech. Papers*, San Francisco, CA, 2005, pp. 556–557

[16] M. J. Bell, "An LCD Column Driver Using a Switch Capacitor DAC," *IEEE J. Solid-State Circuits*, vol. 40, no.12, pp. 2756–2765, Dec. 2005.

[17] Di Fazio S, Pulvirenti F, Signorelli T, Lao C, Pennisi S, "Low Quiescent Current High Speed Amplifier for LCD Column Driver," in *2007 European Conference on Circuit Theory and Design*, VOLS 1-3, pp. 523-526, 2007.

[18] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, Inc., 2001.

[19] STMicroelectronics, *LM217, LM317, Low Current, 1.2V to 37V Adjustable Voltage Regulator*, STMicroelectronics, 2005.

[20] C.-W. Lu and L.-C. Huang, "A 10-bit LCD column driver with piecewise linear digital-to-analog converters," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 371–378, Feb. 2008.

[21] T. Itaku, H. Minamizaki, T. Satio, and T. Kuroda, "A 402-output TFT-LCD driver IC with power control based on the number of colors selected," *IEEE J. Solid-State Circuits*, vol. 38, no. 3, pp. 503–510, Mar. 2003.

[22] J.-H. Kim, B.-D. Choi, and O.-K. Kwon, "1-Billion-Color TFT-LCD TV with Full HD Format," *IEEE Transactions on Consumer Electronics*, Vol. 51, No. 4, pp. 1042–1050, 2005.