

國立交通大學

電信工程研究所

碩士論文

應用於 24 GHz 連續調頻雷達之

低功耗壓控振盪器與

低閃爍雜訊次諧波混頻器

Low Power VCO and Low Flicker Noise

Sub-Harmonic Mixer

for 24GHz FMCW Radar Applications

研究生：林郁凱

(Yu-Kai Lin)

指導教授：鍾世忠 教授

(Dr. Shyh-Jong Chung)

中華民國九十九年七月

應用於 24 GHz 連續調頻雷達之
低功耗壓控振盪器與低閃爍雜訊次諧波混頻器

Low Power VCO and Low Flicker Noise Sub-Harmonic Mixer
for 24GHz FMCW Radar Applications

研究生：林郁凱

Student: Yu-Kai Lin

指導教授：鍾世忠 教授

Advisor: Dr. Shyh-Jong Chung



A Thesis

Submitted to Institute of Communication Engineering
College of Electrical and Computer Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
For the Degree of
Master of Science
In
Communication Engineering
July 2010
Hsinchu, Taiwan, Republic of China

中華民國 九十九年七月

應用於 24 GHz 連續調頻雷達之 低功耗壓控振盪器與低閃爍雜訊次諧波混頻器

研究生：林郁凱 指導教授：鍾世忠 博士

國立交通大學電信工程研究所

碩士論文

中文摘要

本論文提出兩個應用在 24 GHz 車用雷達系統收發機中的射頻前端電路：8 GHz 新式壓控振盪器與 16 GHz 低閃爍雜訊次諧波混頻器，均以 TSMC 0.18 μm 1P6M CMOS 製程實現。

8 GHz 新式壓控振盪器，是以電流再利用為主要架構，透過串疊型式的交連耦合對以及額外引入的可調式小尺寸交連耦合對，將差動兩端的電晶體各別給予不同的偏壓電壓以及偏壓電流，藉此平衡差動兩端不匹配的電晶體轉導，改善原本電流再利用架構之差動兩端輸出振幅不匹配的問題，可以將差動振幅精準匹配至僅有 0.15% 的誤差。其相位雜訊在 1 MHz 位移時為 -114 dBc/Hz，輸出功率最高為 -2 dBm，調頻範圍從 7.707 GHz 至 8.047 GHz，功耗為 2.995 mW，FoM 可達 -187.1 dBc/Hz。

16 GHz 低閃爍雜訊次諧波混頻器，以水平式次諧波混頻器為基礎電路架構，採取大尺寸 PMOS 電晶體組成開關級，並利用折疊架構將轉導級與開關級之偏壓電流分開設計，得以降低次諧波混頻器中開關級電晶體的直流電流大小，最後再加入電流補償技術，使開關級直流電流可以進一步縮小，將閃爍雜訊轉角頻率由原本 8 MHz 降低至 200 KHz。其轉換增益為 6.573 dB， IP_{1dB} 為 -14 dBm， $IIP3$ 為 -4.08 dBm，白色雜訊指數為 12.7 dB，直流功耗 17.02 mW。

Low Power VCO and Low Flicker Noise Sub-Harmonic Mixer for 24GHz FMCW Radar Applications

Student : Yu-Kai Lin

Advisor : Dr. Shyh-Jonh Chung

Institute of Communication Engineering

National Chaio Tung University

Abstract

The thesis proposes two RF front-end circuits: a 8GHz novel VCO and a 16 GHz low flicker noise sub-harmonic mixer (SHM). Both can apply to 24GHz FMCW radar applications and were fabricated with TSMC 0.18 μ m 1P6M process.

The proposed VCO adopts current-reused structure with a cascode cross-coupled pair and an additional tunable small size cross-coupled pair, giving different bias voltage and current to the differential MOSFETs, to reduce the inherently differential transconductance mismatch with current-reused VCO. This strategy can exactly balance the differential amplitude with only 0.15% error. The phase noise equals to -114 dBc/Hz at 1MHz offset while consuming 2.995 mW and achieving a tuning range from 7.707 to 8.047GHz.

The proposed SHM is based on SHM structure with PMOS switch stage, applying folded skill to separately design the DC current in switch stage form transconductance stage, to reduce the DC current in switch stage. In the end, this chip uses the current bleeding technique to more reduce the DC current. The flicker noise corner then could be restrained to 200 kHz from original 8 MHz. The Conversion Gain is 6.573 dB with IP_{1dB} of -14 dBm, $IIP3$ of -4.08 dBm and White Noise Figure of 12.7 dB while consuming 17.02 mW.

誌謝

首先，也是最重要的，我要感謝我的家人，不遺餘力地栽培我，亦毫無怨言。在大學過後加上研究所，我已離家七年了，七年的外地生活讓我知道想念家鄉的滋味，辛苦爸媽了！也非常感謝弟弟承軒替我分擔家務，爸媽不時的關心，妹妹師岑的問候，外婆的慈藹，再再讓我能夠無所旁顧的努力於課業。

感謝鍾世忠博士，我的指導教授，在他嚴格的要求下，讓學生能夠了解老師對學術的堅持，進而能以老師為模範來學習，使學生受益良多。進入老師麾下後，電資 810 即是我在交通大學的家。佩宗淺淺微笑地引領，使我萌發出國念雙聯學位的動機，沒有佩宗，我也許就沒有這麼精采的碩士第三年生活。專業方面，清標不遺餘力地傾囊相授，使我順利下出兩顆晶片，更帶我量測出相當美好的晶片量測結果。健談的峻義一直為我人生解惑，上至找工作，下至紓壓閒聊，峻義都是我第一個想到的學長。實驗室伙伴，明緯，從一進實驗室的業界計畫，到論文的研究主題，一起合作努力，謝謝他的耐心以及專業，是我研究上的榜樣。

在宜蘭的麻吉們，阿斗，阿博，宇倫，康馬，謝謝你們在我回鄉時的陪伴，為我加油充電打氣，受用無窮。永遠不會忘記的還有不離不棄 2611 群，雲天、韶麟、宗龍，我好懷念與你們大學四年的相處，那段時光總是鼓舞我激勵我，謝謝你們帶給我的美好大學回憶。

另外感謝交通大學給我機會，讓我能夠到比立時魯汶大學念雙聯學位，我們一起奮鬥的魯汶幫，博堯小客恕平水哥小米吃吃要加，感謝你們在異國生活對我的照顧，每次的旅行每堂的授課，都留下我們八人的蹤跡。感謝我的指導學長，皓名，嚴格且耐心的指正使我能夠完成第二次論文口試。還要感謝親切的璋智所帶領的台灣魯汶同學會，以及 TSAL 幹部們：達叔、欣儀、宛稚等等，謝謝你們對新生的照顧，就好像顧小孩一樣的體貼。

最後謹以此論文，獻給宜娟，一個最了解林郁凱這個小孩的人。

2011 年 7 月 26 日 郁凱，於新竹真摯感謝各位

目錄

中文摘要.....	i
Abstract.....	ii
誌謝.....	iii
目錄.....	iv
表目錄.....	vii
圖目錄.....	viii
第一章.....	1
序論.....	1
1.1 研究動機.....	1
1.2 研究方法與成果.....	2
1.3 章節概述.....	3
第二章.....	4
24 GHz 車用雷達系統接收機.....	4
2.1 車用雷達系統.....	4
2.2 車用雷達接收機文獻回顧.....	6
2.3 新式 24 GHz 車用雷達接收機.....	7
第三章.....	10
射頻晶片設計基礎.....	10
3.1 壓控振盪器.....	10
3.1.1 壓控振盪器基本操作原理.....	10
3.1.1.1 LC 共振腔振盪器.....	11
3.1.1.2 環形振盪器.....	14
3.1.1.3 注入鎖定式振盪器.....	15
3.1.2 壓控振盪器參數介紹.....	17
3.1.2.1 相位雜訊.....	17
3.1.2.3 調頻範圍.....	19
3.1.2.4 功率消耗.....	20
3.1.3 相位雜訊模型.....	21
3.1.3.1 非時變模型.....	22
3.1.3.2 時變模型.....	24
3.2 混頻器.....	30
3.2.1 混頻器基本操作原理.....	30
3.2.1.1 單平衡式吉伯特混頻器.....	31
3.2.1.2 雙平衡式吉伯特混頻器.....	32

3.2.2 混頻器參數介紹.....	34
3.2.2.1 轉換增益.....	34
3.2.2.2 線性度.....	35
3.2.2.3 隔離度.....	36
第四章.....	37
新式壓控振盪器設計.....	37
4.1 新式壓控振盪器電路簡介.....	37
4.2 電流再利用壓控振盪器.....	38
4.3 振幅輸出不對稱之影響.....	40
4.4 文獻回顧.....	42
4.4.1 三頻器應用時振幅不對稱之錯誤累積.....	42
4.4.2 源級退化電流再利用壓控振盪器.....	43
4.5 差動振幅平衡設計.....	44
4.6 低電壓操作設計.....	45
4.6.1 轉導提升設計.....	45
4.6.2 額外交連耦合對.....	46
4.7 電路新穎性與全電路架構.....	47
4.8 模擬與量測結果.....	48
4.8.1 電路佈局與晶片照片.....	48
4.8.2 振幅精準匹配.....	49
4.8.3 低電壓操作模擬.....	50
4.8.4 相位雜訊.....	51
4.8.4.1 轉導提升的相位雜訊改善.....	51
4.8.4.2 相位雜訊量測與模擬.....	52
4.8.5 輸出功率.....	53
4.8.6 調頻範圍.....	53
4.8.7 直流功率消耗.....	54
4.9 電流再利用壓控振盪器之比較.....	55
第五章.....	56
低閃爍雜訊次諧波混頻器之設計.....	56
5.1 低閃爍雜訊次諧波混頻器電路簡介.....	56
5.2 次諧波混頻器.....	57
5.2.1 堆疊式次諧波混頻器.....	57
5.2.2 並列式次諧波混頻器.....	58
5.3 閃爍雜訊成因.....	59
5.4 文獻回顧.....	59
5.4.1 閃爍雜訊與混頻器.....	59
5.4.2 閃爍雜訊轉角頻率 5 MHz 的接收機.....	61

5.4.3 靜態電流補償.....	62
5.4.4 動態電流補償.....	63
5.5 低閃爍雜訊次諧波混頻器設計.....	64
5.5.1 電晶體與電路架構之選擇.....	64
5.5.2 提升轉換增益.....	65
5.5.3 電流補償.....	66
5.6 電路新穎性與全電路架構.....	67
5.7 模擬數據.....	68
5.7.1 電路佈局.....	68
5.7.2 雜訊指數與閃爍雜訊轉角頻率.....	69
5.7.3 轉換增益.....	70
5.7.4 返回損耗.....	70
5.7.5 隔離度.....	71
5.7.6 線性度.....	71
5.7.7 直流功率損耗.....	72
5.8 次諧波混頻器之比較.....	73
第六章.....	74
壓控振盪器與混頻器整合設計.....	74
6.1 壓控振盪器與混頻器整合設計.....	74
6.2 模擬數據.....	76
第七章.....	79
結論.....	79
參考文獻.....	81

表目錄

表 1.1 本論文之研究成果.....	2
表 4.1 理想移相器輸入與輸出整理.....	41
表 4.2 相移器不匹配輸入與誤差輸出整理.....	41
表 4.3 低系統電壓下各電路起振電壓及相位雜訊(dBc/Hz @1MHz offset).....	50
表 4.4 相位雜訊與消耗功率整理.....	51
表 4.5 近年國際期刊電流再利用壓控振盪器效能比較表.....	55
表 5.1 100 KHz 以及 1MHz 時的雜訊指數整理	69
表 5.2 各端隔離度整理.....	71
表 5.3 線性度整理.....	72
表 5.4 直流功率損耗.....	72
表 5.4 混頻器效能比較表.....	73
表 6.1 新式振盪器電路特性.....	75
表 6.2 低閃爍雜訊次諧波混頻器電路特性.....	75
表 6.3 壓控振盪器與次諧波混頻器整合設計之電路特性比較.....	78



圖目錄

圖 2.1 雷達裝置圖.....	4
圖 2.2 雷達感應器模組的 Functional Diagram	5
圖 2.3 直接降頻接收機架構圖.....	6
圖 2.4 雙降頻式超外差接收機架構圖.....	7
圖 2.5 單一本地振盪源之雙降頻接收機.....	7
圖 2.6 單一本地振盪源之雙降頻式接收機產生問題示意圖.....	8
圖 2.7 本論文提出之新式單一振盪源之雙降頻接收機架構圖.....	9
圖 3.1 壓控振盪器於 24GHz 車用雷達系統中之角色示意圖.....	10
圖 3.2 使用負阻消除 LC tank 的寄生電阻示意圖.....	11
圖 3.3 電感串並聯轉換.....	11
圖 3.4 LC 共振腔等效模型	11
圖 3.5(a) NMOS Cross-Coupled Pair	12
圖 3.5(b) 計算圖 3.5(a) 阻抗之等效電路	12
圖 3.6 NMOS LC 共振腔振盪器.....	12
圖 3.7 PMOS 交聯耦合對.....	13
圖 3.8 互補式交聯耦合對.....	13
圖 3.9(a) 基本五級環型振盪器示意圖.....	14
圖 3.9(b) 四級差動環型振盪器.....	14
圖 3.10 注入鎖定式振盪器(以三頻器為例).....	16
圖 3.11(a) 理想振盪器輸出頻譜.....	17
圖 3.11(b) 實際振盪器輸出頻譜.....	17
圖 3.12(a) 受干擾訊號之示意圖.....	18
圖 3.12(b) 混頻器降頻後結果.....	18
圖 3.13 偏壓電流與相位雜訊及輸出振幅關係.....	20
圖 3.14 實際電路之相位雜訊頻譜.....	23
圖 3.15 在無損共振腔中注入脈衝雜訊電流.....	24
圖 3.16 雜訊脈衝電流注入時相位不同之影響.....	25
圖 3.17 閃爍雜訊與白色高斯雜訊貢獻至相位雜訊示意圖.....	29
圖 3.19 單平衡式吉伯特混頻器及其工作原理.....	31
圖 3.20 雙平衡式吉伯特混頻器.....	33
圖 3.21 IP_{1dB} 示意圖.....	35
圖 3.22 $IIP3$ 示意圖.....	35
圖 4.1 本論文所提出之新式壓控振盪器.....	37
圖 4.2(a) 互補式交連耦合對壓控振盪器.....	38
圖 4.2(b) 互補式壓控振盪器演化.....	39
圖 4.3 電流再利用壓控振盪器.....	39

圖 4.4 電流再利用 VCO 之輸出差動振幅不匹配.....	39
圖 4.5 RC-CR 四相位 Poly Phase Filter	40
圖 4.6(a) 理想的相移器輸入	40
圖 4.6(b) 理想的相移器輸出	40
圖 4.7(a) 不匹配的相移器輸入	41
圖 4.7(b) 嚴重誤差的相移器輸出	41
圖 4.8 需高度匹配本地振盪源訊號之三頻器架構與子電路圖.....	42
圖 4.9 不匹配的本地振盪源累積放大於輸出端程度.....	42
圖 4.10 源極退化電流再利用壓控振盪器與其差動輸出.....	43
圖 4.11 本論文應用的調整差動轉導之電路架構.....	44
圖 4.12 利用耦合電容提升轉導能力之電路架構.....	45
圖 4.13 額外交連耦合對.....	46
圖 4.14 新式壓控振盪器電流流向示意圖.....	47
圖 4.15 新式壓控振盪器電路佈局圖.....	48
圖 4.16 新式壓控振盪器電路照片圖.....	48
圖 4.17 萃取電路佈局走線.....	48
圖 4.19 新式壓控振盪器差動振幅輸出波形.....	49
圖 4.20 Normal Cascode Type 在 1.5V 以及 1.3V 系統電壓之相位雜訊	50
圖 4.21 具耦合電容 C_2 之電路在 1.5V 以及 1.2V 系統電壓之相位雜訊	50
圖 4.22 具耦合電容 C_2 及 M_5M_6 電路在 1.5V 以及 1V 系統電壓之相位雜訊.....	50
圖 4.23 提升轉導能力可改善相位雜訊.....	51
圖 4.24 相位雜訊量測圖.....	52
圖 4.25 相位雜訊模擬與量測比較圖.....	52
圖 4.26 輸出功率實測圖以及與模擬比較圖.....	53
圖 4.27 調頻範圍的最低頻率與最高頻率輸出.....	53
圖 4.28 調頻範圍量測與模擬比較表.....	54
圖 5.1 低閃爍雜訊次諧波混頻器.....	56
圖 5.2(a) 傳統式吉伯特混頻器	57
圖 5.2(b) 堆疊式次諧波混頻器	57
圖 5.3 堆疊式次諧波混頻器等效開關轉換方程.....	57
圖 5.4 水平式次諧波混頻器.....	58
圖 5.5 水平式次諧波混頻器等效電路.....	58
圖 5.6 CMOS 製程之 Dangling Bonds 示意圖	59
圖 5.7 包含閃爍雜訊與本地振盪源的開關轉換方程.....	60
圖 5.8 [19]中接收機以及其次諧波混頻器架構.....	61
圖 5.9 [19]接收機之雜訊指數.....	62
圖 5.10 靜態電流補償混頻器.....	62
圖 5.11 動態電流補償混頻器.....	63

圖 5.12 PMOS 折疊水平式次諧波混頻器.....	65
圖 5.13 使用電感抵消開關級共源點寄生電容.....	66
圖 5.14 引入電流補償機制.....	66
圖 5.15 低閃爍雜訊次諧波混頻器全電路圖.....	67
圖 5.16 低閃爍雜訊次諧波混頻器電路佈局圖.....	68
圖 5.17 萃取電路佈局走線.....	68
圖 5.18 匯入走線效應後的電路設計圖.....	68
圖 5.19 閃爍雜訊轉角頻率改善圖.....	69
圖 5.20 IF 頻率與轉換增益.....	70
圖 5.21 本地振盪源功率與轉換增益.....	70
圖 5.22 射頻端返回損耗.....	70
圖 5.23 中頻端返回損耗.....	70
圖 5.24 IP_{1dB} 模擬圖.....	71
圖 6.1 新式壓控振盪器.....	74
圖 6.2 低閃爍雜訊次諧波混頻器.....	74
圖 6.3 緩衝放大器與相移器設計.....	76
圖 6.4 整合設計後 8 GHz 之相位雜訊.....	76
圖 6.5 緩衝放大器之輸入與輸出功率.....	77
圖 6.5 Transient 模擬後時域轉頻域之頻譜圖.....	78



第一章

序論

1.1 研究動機

世界各國科技的進步伴隨著快速龐大的交通網絡演化，道路複雜度提升的同時，各國車輛數也相對應地急速成長，車用道路逐漸變得壅塞以及混亂，使得大小車輛交通意外頻傳。交通安全的議題在世人心目中越來越被重視，同時也凸顯出安全可靠的車輛安全系統研發的急迫性與必要性。

幸運的是，近年電子與通訊等科技的高度發展，恰恰媒合車輛安全系統的研發條件，使得車輛安全系統可以達到監控駕駛人精神狀態、加強用路人行車時之視野、防止車輛碰撞等特定功能，以增進交通安全性。在車輛安全系統中，汽車防撞雷達即為一非常重要的部分，在瞬息萬變的道路上，汽車防撞雷達可以強化駕駛員原本薄弱的感測能力，提供駕駛員雷達所偵測到的車輛周遭動態狀況，包含駕駛之汽車與其他車輛、行人、障礙物的相對位置、速度、加速度等訊息，並且防撞雷達還可以適時警示駕駛人採取必要措施，例如加速、減速或保持車身於相同車道等，避免車輛碰撞意外發生，增加車輛駕駛員的安全性與舒適性。

汽車防撞雷達系統的作用，即為利用雷達偵測技術配合先進的電子設備，為駕駛員爭取意外發生時的反應時間。研究指出，駕駛員如能多 0.5 秒反應時間則車輛追撞意外的發生機率可以降低 60%；而如能再多出 0.5 秒反應時間，則追撞機率可減少至 10%。根據美國聯絡車隊(US fleets of tractor-trailers)的四年資料，Eaton-Vorad 的防撞警告系統總計降低了可防止事故平均值的 50%(美國國家高速交通安全管理局，National Highway Safety Administration, NHTSA)，甚至可達 70%(Eaton-Vorad 資料)。

汽車防撞雷達系統若要更進一步達到面積微型化、省電以及高效能，勢必需要將防撞雷達系統 SoC(System on a Chip)化，也就是將原本 PCB 板的各別電路

設計，微型縮小整合至單晶片。目前最適當也最有希望達到省電、低成本及高效能，則非互補金氧半導體(Complementary Metal Oxide Semiconductor, CMOS)製程莫屬。縱然相較於其他先進製程而言，CMOS 製程目前依舊有較高基板雜訊、低電流驅動轉導等缺點[1]，但國際晶圓大廠對 CMOS 製程研發的快速縮小化使得操作頻率及效能節節向上攀升，且與數位電路的高整合度也是其最大優勢之一。

本論文即提出利用台灣積體電路公司(Taiwan Semiconductor Manufacturing Company, TSMC) 0.18 μm CMOS 製程，設計操作於射頻(Radio-Frequency, RF)頻率之前端電路(Front-End)之兩關鍵電路：

1. 電壓控制振盪器(Voltage Control Oscillator, VCO)。
2. 混頻器(Mixer)。

並將此二關鍵電路應用在本論文提出的單本地振盪源之雙降頻接收機架構中，預期未來能進一步結合其他關鍵子電路，將 24 GHz 車用防撞雷達接收機完整以單晶片整合(SoC)實現。

1.2 研究方法與成果

本論文參考近幾年來發表有關 24GHz 以及 77GHz CMOS 雷達系統的期刊論文，提出一新式 24 GHz 車用雷達系統接收機架構。接著參考近年來發表有關壓控振盪器與混頻器兩關鍵電路的期刊論文，以 TSMC 0.18 μm RF CMOS Technology 為使用製程，利用安捷倫公司的電路模擬軟體 Advance Design System(ADS)，設計出適用於本論文提出之接收機架構的壓控振盪器與混頻器，並採用 Cadence Virtuoso 軟體進行晶片佈局。

研究成果如表一所示。

下線晶片名稱	晶片面積
新式壓控振盪器	0.63 x 0.57(mm ²)
低閃爍雜訊次諧波混頻器	0.99 x 0.87(mm ²)

表 1.1 本論文之研究成果

1.3 章節概述

本論文在第二章中會回顧適合應用在 24 GHz 雷達系統接收機架構文獻，並提出本論文預計採用的 24 GHz 雷達系統接收機架構，為一可將本地振盪源操作在較低頻率，8GHz，之 24 GHz 單一本地振盪源雙降頻接收機。

之後，在第三章會對壓控振盪器以及混頻器等二關鍵電路，做適合應用於 24 GHz 雷達系統接收機的文獻回顧，並從中探討壓控振盪器以及混頻器兩電路的基本操作原理，以及在各別電路設計時需特別考量的參數介紹、設計準則與取捨考量。

緊接著，在第四章中，本論文提出一新式電流再利用壓控振盪器。此一新式電流再利用壓控振盪器能改善傳統電流再利用壓控振盪器天生的差動振幅不匹配的問題，可透過電路技巧，將差動輸出的兩端振幅精準匹配，並且透過新式架構的優點，可以將系統電源 V_{DD} 降低，藉此達到低電壓操作、低功耗、高性能以及差動振幅匹配等優點。

而在第五章中，本論文提出一低閃爍雜訊之次諧波混頻器。透過引進並改良以往應用在傳統混頻器的電流補償技術(Current Bleeding)，以及將電流轉導放大級與開關級分離設計，得以有效抑制次諧波混頻器因 CMOS 矽製程而影響甚巨的閃爍雜訊(Flicker Noise)，使得混頻器在工作時，能確保由 RF 頻率降頻至直流附近的訊號，不被閃爍雜訊影響。

第六章中，本論文將上述二電路壓控振盪器與混頻器，進行整合成單晶片的模擬。在此章中，本論文著重於兩個子電路間的連接匹配以及壓控振盪器的緩衝放大器設計。在考量兩個子電路互相影響的部分並加以設計後，壓控振盪器與混頻器兩者皆能夠維持在單一電路設計時的電路特性。再透過時域模擬，觀察以壓控振盪器產生之本地振盪源訊號，經由混頻器來跟理想射頻訊號所混頻後得到之基頻訊號，由此驗證經由統整設計過後的兩電路皆可順利工作。

最後，第七章為本論文的結論。

第二章

24 GHz 車用雷達系統接收機

2.1 車用雷達系統

本論文所採用的車用雷達系統為短距雷達系統。當雷達所發射出的 FMCW (Frequency Modulation Continuous Wave) 調變波，碰到了前方或側後方的物體時，會產生反射、散射等現象，而車用雷達接收機會根據所接收到的回波，與發射初的 FMCW 調變波作比較，以得到我們想要的資訊。完整的車用雷達裝置共有三個車用雷達系統，如圖 2.1 所示。其中一個前視車用雷達系統在車體前方的保險桿內，用來偵測前方可能發生追撞的物體，另外兩個側視車用雷達系統將裝置在左右後照鏡的位置附近，分別傾斜往左右後方偵測，目的在於偵測旁邊車道較近距離的車輛，避免轉彎或變換車道時可能造成後方來車追撞。

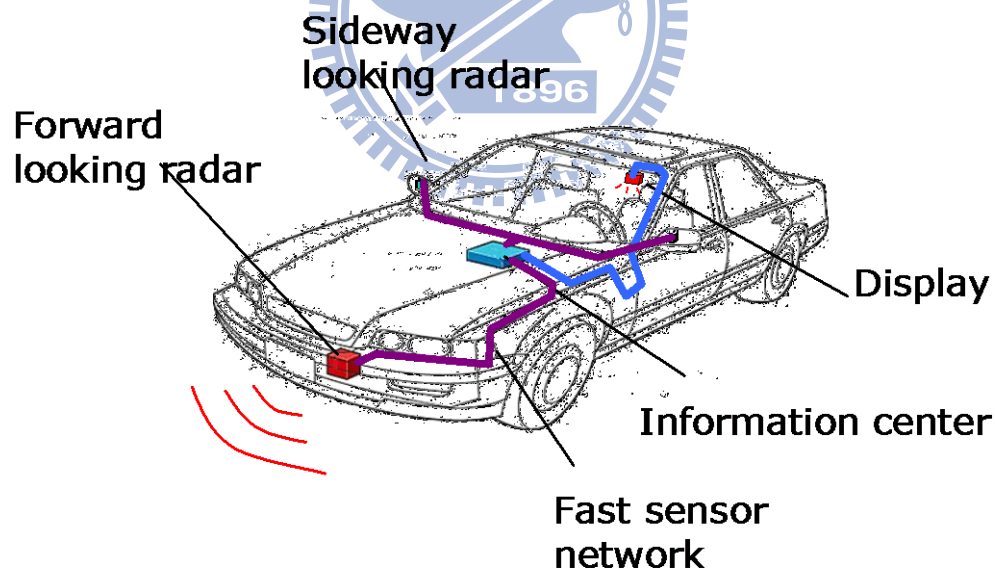


圖 2.1 雷達裝置圖

為了達到預防碰撞的功能，車用雷達系統必須能夠偵測出自身車體與周圍物體之間的距離以及相對速度，有時甚至需要能夠同時偵測多個物體。在目前所有的研究中，各個不同頻段的雷達（如 10, 18, 24, 38, 77 GHz）皆被採用在車輛不同

的應用領域中，其中短距離偵測的部份以 24 GHz 為主流，24 GHz 短距雷達感測器相較於其他較低頻的雷達系統 (如 10 GHz)，此頻率由於波長較短，射頻元件 (如天線)所需要的空間較小，所設計出來的雷達體積也較小，有機會裝置在小型車輛上；而相較於更高頻的系統(如 38 與 77 GHz)，此系統在電路設計製作上有相當低的成本以及技術門檻，且模組化後組裝良率較高，適合做一般大眾化的推廣。

24 GHz 車用雷達系統之系統方塊，可分成以下幾個部分：電源供應部份、雷達感應器模組 (Radar sensor)、數位信號處理器、記憶體以及其他介面。下圖是上述的雷達感應器模組的 Functional Diagram，主要是負責雷達波的產生發射與接收。其中包含了一個微控制器(MCU)、車用雷達射頻發射機(RF Transceiver)與車用雷達射頻接收機(RF Receiver)以及天線(Antenna)。MCU 接受數位信號處理器(DSP)的指令，產生一個隨著時間而改變的三角鋸齒波(Linear Ramp)，用來調變本地振盪源(Local Oscillator, LO)所振盪出來的頻率；車用雷達射頻發射機以及車用雷達射頻接收機則用來發射所應用的 24GHz FMCW 調變波形，並對所接受到的雷達回波做濾波、放大、降頻，最後將雷達回波送入 DSP 分析，產生所對應出的物體距離以及速度關係。24 GHz 車用雷達系統方塊圖如下圖 2.2 所示。

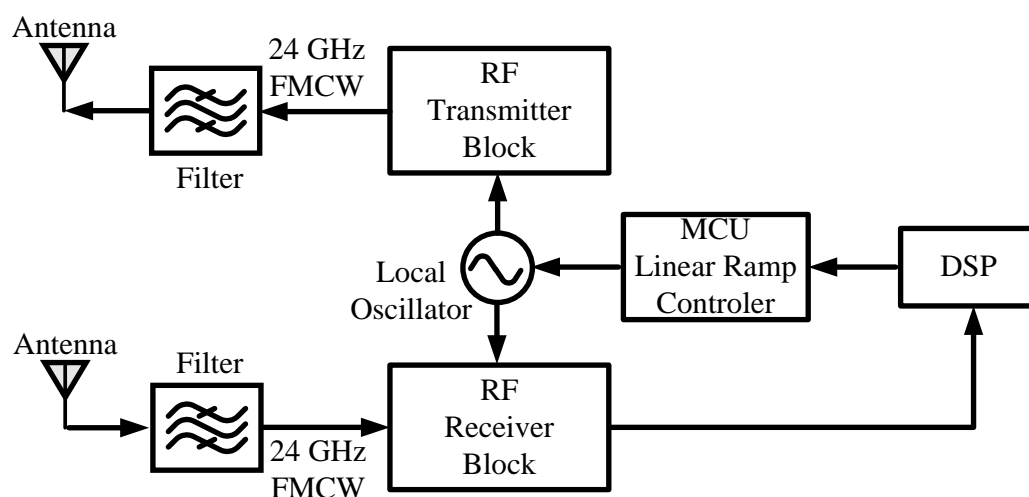


圖 2.2 雷達感應器模組的 Functional Diagram

2.2 車用雷達接收機文獻回顧

本論文以24 GHz車用雷達系統為設計方向，目標完成一可應用於本系統的24 GHz車用雷達接收機。此接收機可將物體所反射的FMCW調變回波，降頻至DC - KHz之附近頻帶，使回波訊號可進入ADC、DSP等後級數位電路做訊號分析。下述之文獻回顧，將探討兩種目前廣泛應用之接收機架構，一是直接降頻式(Direct-Conversion)接收機，一為雙降頻超外差式(Super Heterodyne)接收機[2]。本論文將透過分析此二種接收機架構優點與問題，於下一小節2.3來進一步提出本論文所要的設計24 GHz車用雷達接收機架構。

一、直接降頻式接收機

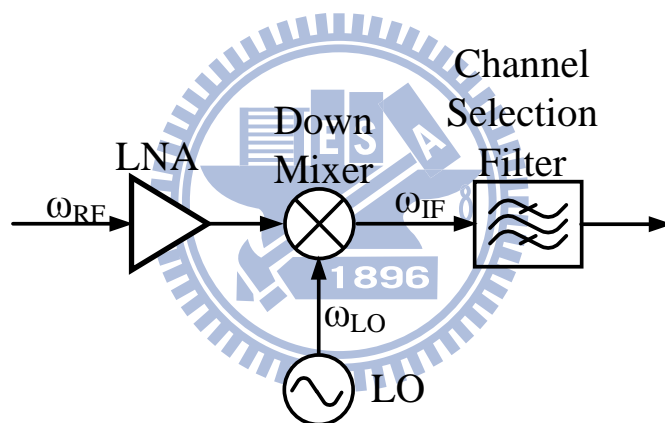


圖 2.3 直接降頻接收機架構圖

如圖 2.3 所示，直接降頻式接收機為迄今廣泛被應用的接收機架構之一，其最大優點是複雜度低，功率消耗也低。但是此電路架構存在本地訊號溢漏(LO Leakage)、直流偏移(DC Offset)等問題，會使後級 OP 放大器、ADC 與 DSP 等電路飽和，將會造成雷達系統距離偵測功能失準。基於以上考量，雖然複雜度與功率消耗表現良好，但雷達系統最重要的偵測，卻會因此架構的問題而被限制住偵測之最遠距離，故本論文不採用此架構來實現 24 GHz 車用雷達接收機。

二、雙降頻超外差式接收機

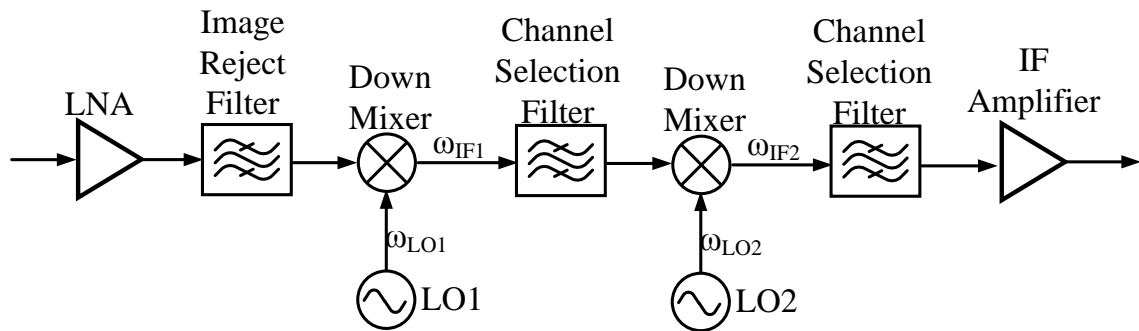


圖 2.4 雙降頻式超外差接收機架構圖

如圖 2.4 所示，雙降頻式超外差接收機為超外差接收機的進階版本。優點在於藉由兩次混頻，來減緩原本超外差接收機之鏡像濾波器與頻帶濾波器的衝突。雙降頻式超外差接收機可將 24 GHz FMCW 訊號，透過第一次混頻降至中頻，再將中頻訊號透過第二次混頻降至 IF 來使用。此接收機架構缺點是需要兩組本地振盪源與混頻器，造成系統複雜度提高，功率消耗也提高。

倘若透過適當的頻率選擇，以及利用一組二階諧波混頻器 (Sub-Harmonic Mixer)，則可以單獨使用一組本地振盪源來進行兩次混頻。本論文在下一小節將此想法具體化，提出一新式 24 GHz 車用雷達接收機。

2.3 新式 24 GHz 車用雷達接收機

根據上小節提出的想法，本論文將之具體化，提出一新式 24 GHz 車用雷達接收機，如圖 2.5 所示。

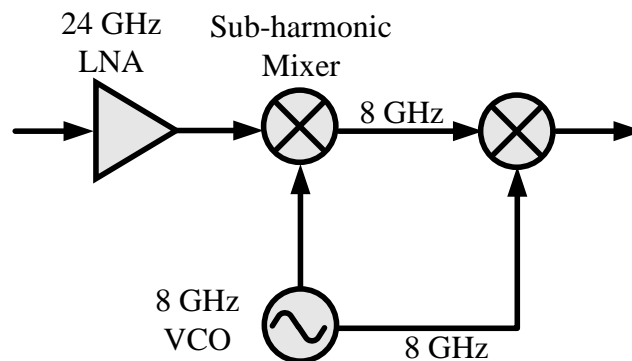


圖 2.5 單一本地振盪源之雙降頻接收機

本論文提出之接收機架構最大優點在於可以使用單一本地振盪源，進行兩次混頻，使得本地振盪源操作頻率可以從原本的 24 GHz 降至 8 GHz。由於 CMOS 製程關係，頻率越高時 VCO 所使用被動元件(LC tank)之 Q 值越差，所能振盪出來的本地振盪源之相位雜訊(Phase Noise)也隨之越差。反之，若將本地振盪源之操作頻率往低頻移動，如此一來可以提升本地振盪源的相位雜訊(Phase Noise)，使整體車用雷達系統可以偵測功率更小的訊號，提昇雷達偵測距離。

然而若接收機架構的子電路設計如圖 2.5 所示，則可能衍生出其他的問題。其衍生問題可能發生途徑，如圖 2.6 所示。

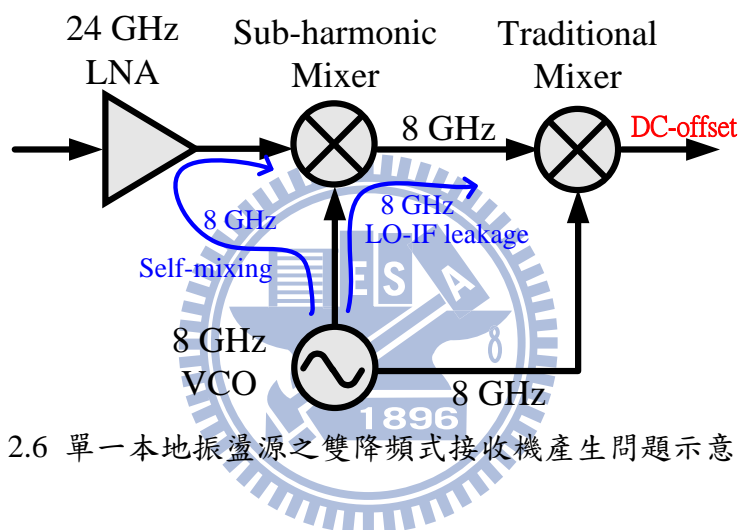


圖 2.6 單一本地振盪源之雙降頻式接收機產生問題示意圖

假使此處將二階諧波混頻器放在第一次混頻的地方，也就是第一次降頻後的中頻頻率即被選擇成為 8 GHz。故此處可以發現，接收機的第二次混頻機制，與直接降頻式接收機完全相同，同樣為 8 GHz RF 訊號與 8 GHz LO 訊號相混，將會有直流偏移(DC offset)的情形。第二個問題存在於第一次混頻時，本地訊號源之漏波(Leakage)至中頻 8 GHz 路徑時，由於 LO 頻率與中頻頻率太相近，將會直接干擾到所要解調的訊號。

故本論文提出將二階諧波混頻器放在第二次混頻的單一本地振盪源之雙降頻式接收機，如圖 2.7 所示。

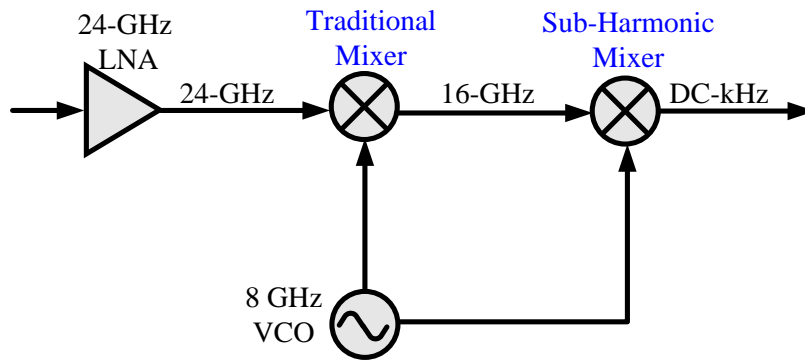


圖 2.7 本論文提出之新式單一振盪源之雙降頻接收機架構圖

此新式24 GHz車用雷達接收機，完整解決上述接收機之直流偏移(DC offset)以及本地振盪源漏波干擾中頻訊號等問題。可以使用操作在低頻的本地振盪源以獲取較佳相位雜訊表現本地訊號。種種考量皆優於之前所提出之電路架構。是故本論文將採用此架構來應用至24 GHz車用雷達系統。以下章節將針對應用在此新式24 GHz 車用雷達接收機架構之關鍵電路：壓控振盪器與次諧波混頻器，做更進一步的研究以及設計。

第三章

射頻晶片設計基礎

3.1 壓控振盪器

壓控振盪器(Voltage Control Oscillator, VCO)是一種電子式振盪器，乃藉由輸入直流電壓的改變，在輸出端產生可被控制的振盪頻率訊號。而在車用雷達系統應用裡，壓控振盪器在收發機中扮演本地振盪源(Local Oscillator)的角色。在車用雷達系統工作時，MCU對壓控振盪器的直流輸入的改變，促使本地振盪源訊號具有FMCW調變訊息，透過發射與接收機，讓FMCW調變波往返於車用雷達系統與雷達待測物之間，最後使DSP解出我們所要的避撞資訊，如圖3.1所示。

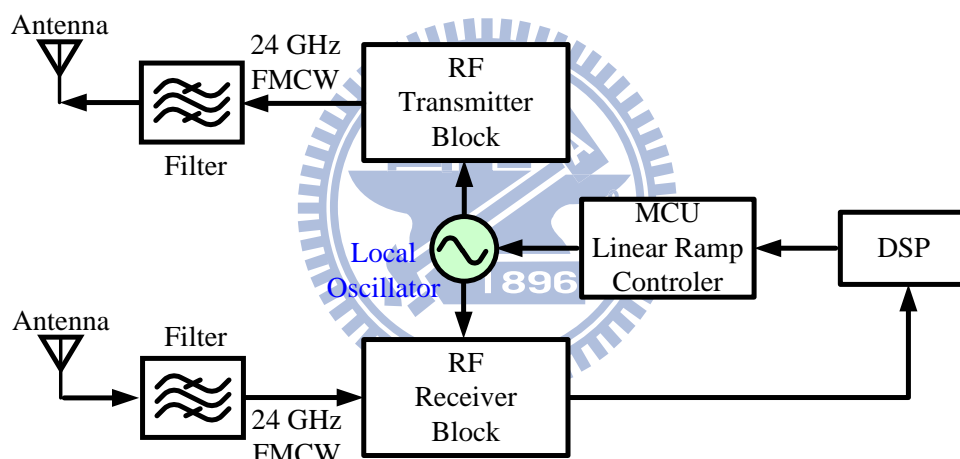


圖 3.1 壓控振盪器於 24GHz 車用雷達系統中之角色示意圖

3.1.1 壓控振盪器基本操作原理

一般分析振盪器的方式約略可分為：

- 一、 應用負電阻與頻率選擇觀點。
- 二、 符合巴克豪森準則(Barkhausen Criterion)之正回授觀點。

其中巴克豪森準則為滿足以下二條件：

- (a) 放大器與其回授電路之迴路增益(Loop Gain)等於 1。
- (b) 迴路整體之相位偏移為振盪頻率的 2π 整數倍。

當兩個條件同時滿足時，該迴路會產生振盪。以下小節分析時，將分別以直觀的原則各別採用之。

現今 CMOS RFIC 電路中常採用的兩種振盪器型式為 LC 共振腔(LC Tank)振盪器及環形振盪器(Ring Oscillator)。前者有較優之相位雜訊，但其可調頻率範圍較小；後者有較寬的可調頻率範圍且可產生多相位的功能，不過有較差的相位雜訊。進一步利用 LC 共振腔振盪器之架構，可發展出注入鎖定式振盪器，常應用於多接收機架構通訊系統或 N 倍頻器之使用中，使得輸出頻率得以準確與本地振盪源頻率匹配。

3.1.1.1 LC 共振腔振盪器

設計壓控振盪器(VCO)常使用負阻的概念來消除 LC 共振腔的寄生電阻，如圖 3.2 中的 R_1 所示。在振盪條件成立時，圖中之 $R_1 = -R_2$ ($R_2 < 0$)，寄生電阻被主動電路之負阻並聯後抵消掉，故 LC 共振腔可以持續振動產生訊號。而 LC 共振腔之電感電容與其寄生電阻，可由串並聯轉換(圖 3.3)等效成圖 3.4 之簡易型式。

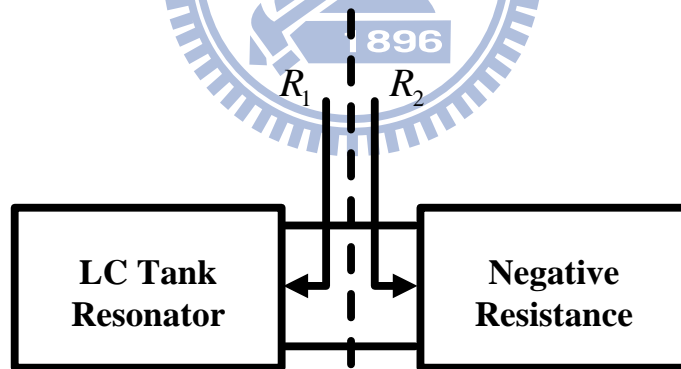


圖 3.2 使用負阻消除 LC tank 的寄生電阻示意圖

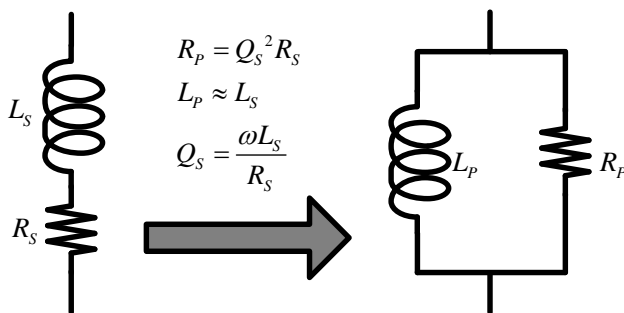


圖 3.3 電感串並聯轉換

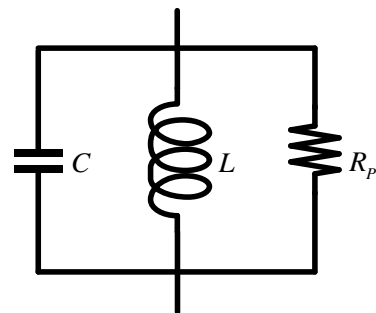


圖 3.4 LC 共振腔等效模型

負阻的產生，是利用電晶體交連耦合對(Cross-Coupled Pair)產生正回授迴路，圖 3.5(a)即為常使用的 NMOS 交連耦合對，其輸入阻抗為 $R_{IN} = \frac{-2}{gm}$ 。

推導電路圖如圖 3.5(b)所示。

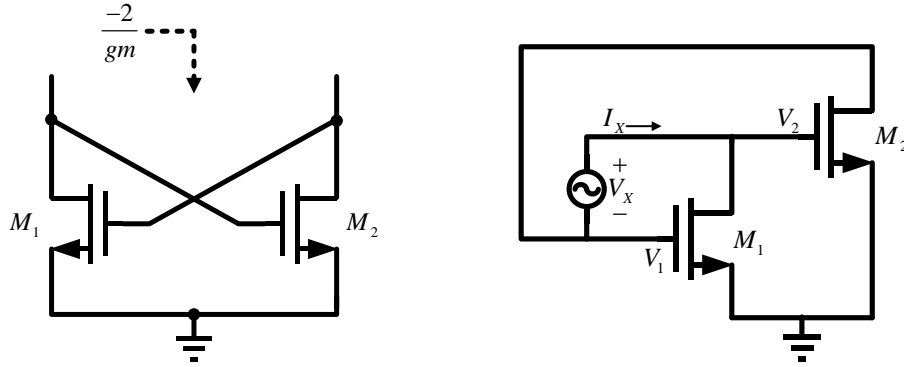


圖 3.5(a) NMOS Cross-Coupled Pair

圖 3.5(b) 計算圖 3.5(a)阻抗之等效電路

$$V_X = V_2 - V_1 \quad (3.1)$$

$$I_X = -V_2 g_{m2} = V_1 g_{m1} \quad (3.2)$$

$$R_{IN} = \frac{V_X}{I_X} = \frac{g_{m1} + g_{m2}}{g_{m1} g_{m2}} = -\frac{2}{g_m} \quad (3.3)$$

一般而言，NMOS 交連耦合對為容易實現的負阻(Negative Resistance)電路組態，具有電流轉導值大的優點，使得負阻值亦大。將其與 LC 共振腔並聯後，即成為一完整的 LC 共振腔振盪器，如圖 3.6 所示。

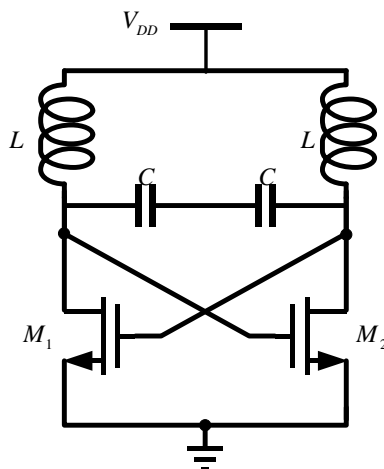


圖 3.6 NMOS LC 共振腔振盪器

而另一方面，使用 PMOS 交連耦合對所設計的壓控振盪器，如圖 3.7 所示，則因 PMOS 較 NMOS 電晶體具更低之閃爍雜訊(Flicker Noise)，其表現之相位雜訊的結果能優於 NMOS 交連耦合對。但若 PMOS 要維持高轉導值，則在設計上必須選取大尺寸之 PMOS，其寄生電容 C_{GS} 會較 NMOS 的來的大，不利於高頻使用。

此外，圖 3.8 為互補式交連耦合對(Complementary Cross-Coupled Pair)，相對於 NMOS 交連耦合對或 PMOS 交連耦合對而言，在相同電流消耗之下，互補式交連耦合對具有更大的轉導，可以等效出更大的負阻阻抗值。其觀念如同電流再利用，使得電晶體較快速的切換，輸出電壓波形的上升時間(Rising - Time)及下降時間 (Falling - Time)也較對稱，由於較對稱的波形有較低的 ISF 係數，因此能有更佳的相位雜訊(將於之後小節詳細討論)。缺點則為使用電晶體數量多，寄生電容不容忽視，較不利於高頻設計。

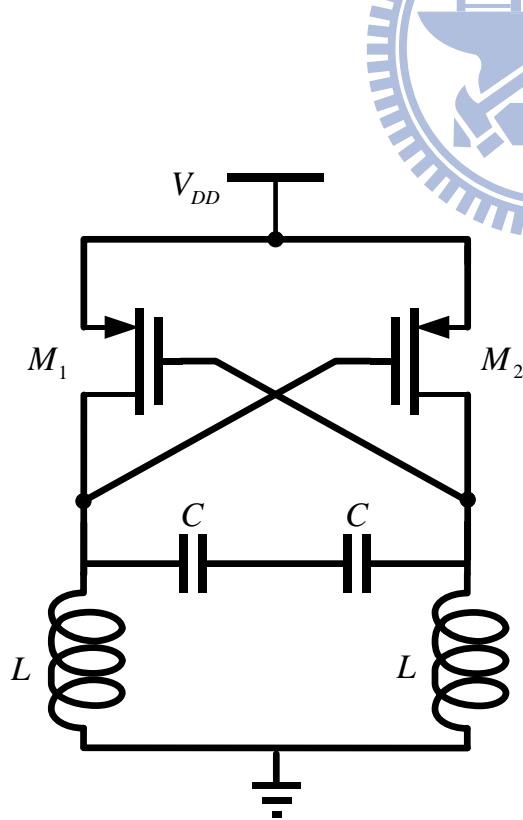


圖 3.7 PMOS 交聯耦合對

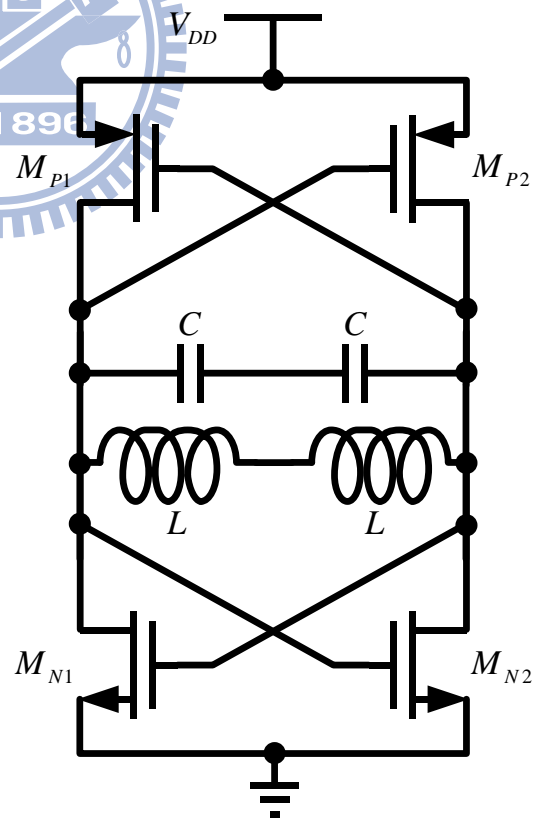


圖 3.8 互補式交聯耦合對

3.1.1.2 環形振盪器

環形振盪器(Ring Oscillator)[2]工作原理是利用奇數組反相器串接回授(如圖 3.8)，或是偶數級差動放大器最後一即反接回授(圖 3.9(a))造成振盪，振盪周期由總時間延遲來決定。如圖 3.9(b)所示，有奇數個反相器串接，振盪頻率為

$$f_0 = \frac{1}{2NT_D}$$

，因此透過改變單一級反相器之延遲時間 T_D ，即可改變振盪頻率，

進而達成電壓控制振盪頻率的功能。環型振盪器的好處在於電路需要的晶片面積較小，且易與鎖相迴路(Phase Locked Loop, PLL)電路整合。又因為直流準位相同，故輸出訊號振幅較大(Full Swing)。其缺點在於主動元件使用量較多，因此相位雜訊較大。不過在多相位的輸出上，環型振盪器顯得較有彈性，電路中一個迴圈為 360° ， N 級環形振盪器之中間每一級的輸出即為振盪頻率的 $360^\circ / N$ 相位。

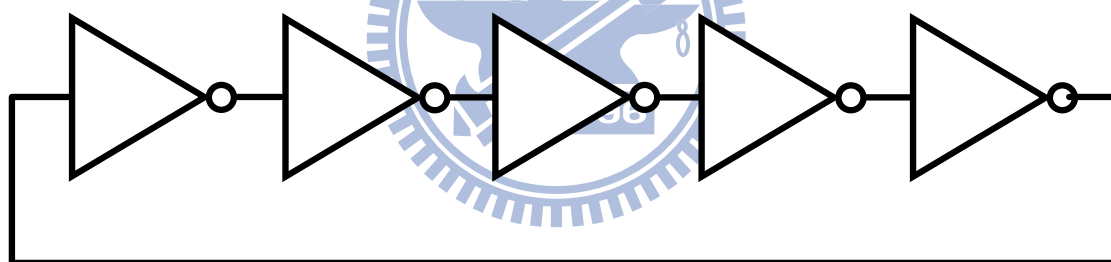


圖 3.9(a) 基本五級環型振盪器示意圖

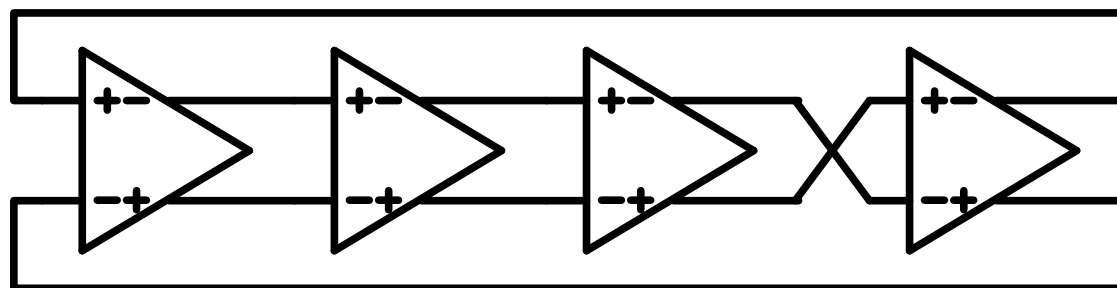


圖 3.9(b) 四級差動環型振盪器

3.1.1.3 注入鎖定式振盪器

在車用雷達系統設計考量中因應用所需，若欲設計出接收機含有兩套以上相同電路的接收機，低頻段時可以將之全部設計在同一晶片中，但在若頻率為 38GHz 或 77GHz 等高頻段使用時，多組接收機整合在同一晶片中是不明智的選擇。主因為在 77 GHz 此頻段中，電磁訊號在電路板中損耗極高，若是訊號在不同的天線接收下來後，還需經由傳輸線傳送訊號至單一接收機晶片，則訊號將在傳輸線上會有相當可觀的損耗。因此若有此應用考量，較佳做法應配合不同接收天線，在各別天線後端，立即接上一接收機晶片進行接收混頻。又，即便是先進製程，亦無法保證相同設計的 VCO 操作頻率特性會完全相同。因此，本地訊號源同步化的問題是一關鍵。透過注入式壓控振盪器(Injection-Locking Oscillator)，可有效解決此同步問題。我們可將單一本地振盪源訊號各別注入至各晶片中，使每一晶片中的本地振盪源頻率完全匹配相同。而諧波注入鎖定式振盪器(Sub-Harmonic Injection-Locking Oscillator)的使用，可將本地振盪源頻率設計成為原本射頻頻率的二分之一頻，甚至是四分之一頻率，因此在訊號電路板傳輸線輸時，衰減量遠遠低於高頻的訊號衰減。

如上所述，諧波注入鎖定式振盪器可以注入輸出頻率的諧波型式來鎖定，若注入訊號若是為輸出頻率的整數倍數，稱為注入鎖定式除頻器(Injection Locking Divider)；若是為輸出頻率的 $1/N$ 倍數，則可稱為注入鎖定式 N 倍頻器。而在未來考量中，由於本論文提出的新式 24GHz 車用雷達接收機架構，所使用的本地振盪源設計為 8 GHz，是故對應到未來要發展的 24 GHz 車用雷達收發機架構中，勢必需要一個 RF 三頻器(Tripler)，將本地振盪源 8 GHz 的訊號提升至 24 GHz，當作發射訊後由發射機端輸出。在此，我們可以利用注入鎖定式三頻器(Injection Locking Tripler)來達成這樣的功能。另外注入鎖定式三頻器的相位雜訊，是以注入訊號的相位雜訊，再扣上 $20\log N$ ， $N=3$ 的理論代價值[3]，約為 9.5dB。計算此代價後的相位雜訊，可以更優於傳統 LC 共振腔振盪器直接振在

3.1.2 壓控振盪器參數介紹

3.1.2.1 相位雜訊

壓控振盪器對於雜訊與溫度影響相當敏感，會使振盪器的輸出訊號在振幅、相位甚至頻率上產生改變，產生於振幅調變(Amplitude Modulation)、相位調變(Phase Modulation)及頻率調變(Frequency Modulation)中的雜訊。而振盪器輸出的振幅，被溫度以及雜訊的影響程度較小，並且會在非常短的時間之內趨於穩定，故在以下討論中，可忽略振幅調變雜訊。至於輸出相位的變動，會受相位調變雜訊及頻率調變雜訊所影響，此即定義為相位雜訊(Phase Noise)。圖 3.11 可以在頻譜上的看出相位雜訊對振盪器的影響。圖 3.11(a)為理想的振盪源輸出，即是一相當乾淨的單頻頻率訊號，但在實際振盪器情形中，如圖 3.11(b)所示，在以輸出頻率也就是載波頻率 f_c 為中心，隨著逐漸增大 Δf 位移量(Offset)，產生向下遞減的雜訊，最後趨於熱雜訊的雜訊階級，此「裙帶」狀的雜訊，即為相位雜訊貢獻。相位雜訊被定義成為「在 Δf 位移處，其 1 Hz 頻寬的雜訊量，除以輸出頻率功率」，如(3.4)所示[6]。

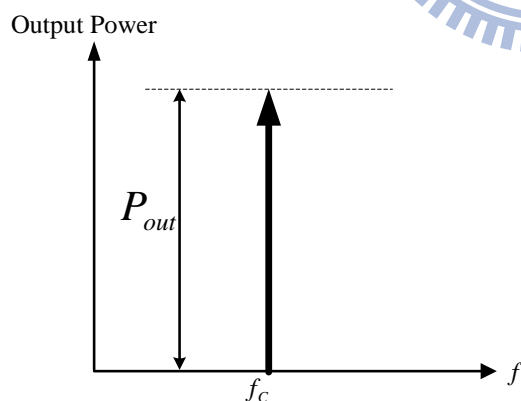


圖 3.11(a)理想振盪器輸出頻譜

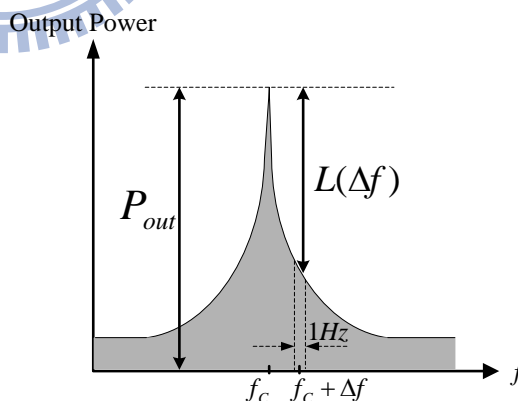


圖 3.11(b)實際振盪器輸出頻譜

$$L\{\Delta f\} = \frac{1\text{Hz Bandwidth Noise Power @ } f_{\text{Offset}}}{\text{Carrier Power}} \quad (3.4)$$

相位雜訊在接收機中的影響甚大，雷達接收機是利用混頻器，將物體反射之回波與本地振盪源混頻，將回波訊號降至低頻，以利 ADC 以及 DSP 電路處理。倘若在回波的頻率(f_o)附近，存在一功率極高的干擾訊號($f_{Interfere}$)，如圖 3.12(a)所示，如此一來在降頻之後，此干擾訊號因相位雜訊的裙帶，很有可能蓋過回波訊號，或是造成訊雜比(Signal to Noise Ratio, SNR)強烈惡化(圖 3.12(b))，將使車用雷達偵測功能受限。

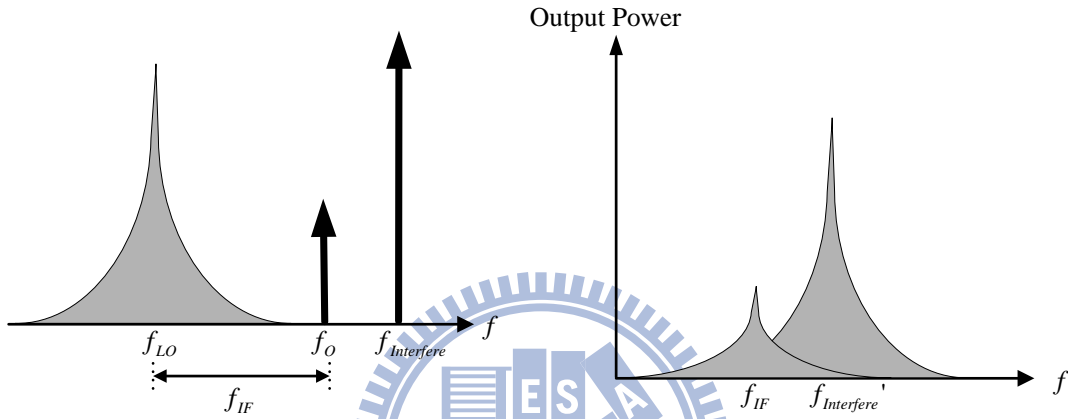


圖 3.12(a) 受干擾訊號之示意圖

圖 3.12(b) 混頻器降頻後結果

相位雜訊的分析，普遍來講有兩種經典模型，一為 Lesson 於 1966 年所提出的非時變模型[5]，如(3.5)所示。二為時變模型[6]，由 Hajimiri 於 1998 年提出，如(3.6)、(3.7)所示，分別對應到 $\frac{1}{f^2}$ 與 $\frac{1}{f^3}$ 之相位雜訊曲線。此二經典模型將在下一小節做深入的討論。

$$L(\Delta\omega) = 10 \log \left[\frac{2FKT}{P_s} \cdot \left\{ 1 + \left(\frac{\omega_o}{2Q_{Tank} \Delta\omega} \right)^2 \right\} \left(1 + \frac{\omega_{1/f^3}}{|\Delta\omega|} \right) \right] \quad (3.5)$$

$$L(\Delta\omega) \approx 10 \log \left(\frac{2kT}{P_s} \Gamma_{rms}^2 \left(\frac{\omega_o}{Q\Delta\omega} \right)^2 \right) \quad (3.6)$$

$$L(\Delta\omega) \approx 10 \log \left(\frac{\overline{i_n^2} c_0^2}{8q_{max}^2 \Delta\omega^2} \cdot \frac{\omega_{1/f}}{\Delta\omega} \right) \quad (3.7)$$

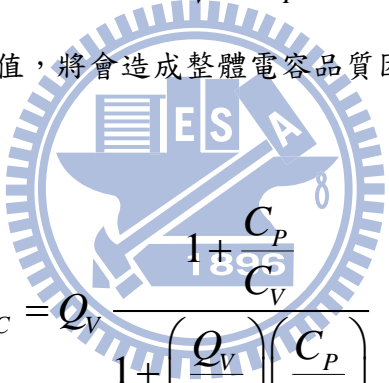
3.1.2.3 調頻範圍

LC 共振腔壓控振盪器的調頻範圍(Tuning Range)主要取決於變容二極體(Varactor)的大小，若是變容二極體尺寸挑選大尺寸，則可變電容值較大，可以調整的頻率範圍也越大。但不幸的是，LC 共振腔振盪器的可調範圍，往往被整體電路的寄生電容給限制住。如(3.8)所提，共振頻率 f_{LO} 與 LC 乘積根號成反比，但是其中的 C 值是可變電容容值與寄生電容容值總和(3.9)，故調頻比例被寄生電容限制，尤其越小的可變電容容值受限越大。

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (3.8)$$

$$C = C_V + C_P \quad (3.9)$$

但是過大的可變電容值，將會造成整體電容品質因素(Quality Factor, Q)下降 [7]，如(3.10)所示。


$$Q_C = Q_V \frac{1 + \frac{C_P}{C_V}}{1 + \left(\frac{Q_V}{Q_P}\right)\left(\frac{C_P}{C_V}\right)} \quad (3.10)$$

其中 Q_C 為整體電容 Q 值， Q_V 為可變電容 Q 值， Q_P 為寄生電容 Q 值， C_P 為寄生電容容值， C_V 為可變電容容值。通常 Q_P 遠高於 Q_V ，此時 Q_C 與 C_V 成反比關係，也就是 C_V 的增加將造成 Q_C 的下降。這樣的關係不利於整體 LC 共振腔品質因素(Q_{Tank})，如(3.11)所示。

$$Q_{Tank} = \frac{Q_L Q_C}{Q_L + Q_C} \quad (3.11)$$

而 Q_{Tank} 在 Lesson's 相位雜訊模型(3.12)中，為非常重要的關鍵因素，要有好的相位雜訊表現，必須要有高的共振腔品質因素。

$$L(\Delta\omega) = 10\log \left[\frac{2FKT}{P_s} \cdot \left\{ 1 + \left(\frac{\omega_o}{2Q_{Tank}\Delta\omega} \right)^2 \right\} \left(1 + \frac{\omega_{1/f^3}}{|\Delta\omega|} \right) \right] \quad (3.12)$$

因此可以得到調頻範圍的兩個結論：一為調頻範圍由可變電容大小決定，其會受到電路寄生電容的影響，縮小可調頻範圍；二為可變電容容值大小與電容品質因素成反比，造成調頻範圍與相位雜訊為互相取捨(Trade Off)的關係，在電路設計上必須以實際系統應用來考量。

調頻範圍尚會受其他因素影響，而這些影響是不被預期的，電路設計上希望能夠避免此類影響。其中一種因素是電路寄生電容的改變，當電晶體的直流偏壓改變，其寄生電容(主要為接面電容 C_{gs})大小也會跟著變動，此現象稱為推頻效應(Pushing Effect)。解決的方法可以使用較穩定的偏壓電路，如 Band-Gap 偏壓電路，讓直流偏壓穩定。第二種因素為負載拉頻效應>Loading Pulling Effect)，其負載電路若是改變的話，振盪器的核心共振腔所看到的阻抗也會跟著變化，故其振盪頻率會跟著改變。在實際應用上，振盪器與下級電路例如混頻器之間，必須要串接一級緩衝器，提高振盪器的共振腔與負載的隔離度，使振盪頻率不受影響。

3.1.2.4 功率消耗

在 Lesson's 模型中，如(3.12)所示，透過增大輸出訊號的振幅擺幅 P_s 即可有效改善相位雜訊的表現。而振幅擺幅與直流偏壓電流有正相關，但並非偏壓電流持續上升，就能讓相位雜訊不斷改善，而是如圖 3.13 所示，直流偏壓提高到一定程度之後，相位雜訊會開始變差[8]。主因為過大的電流會使雜訊惡化。

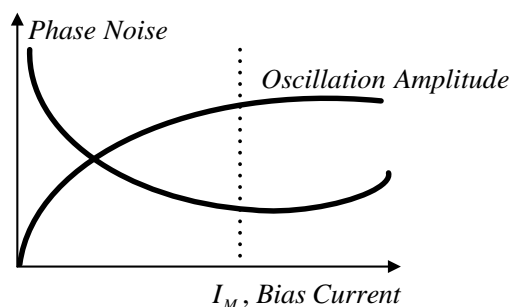


圖 3.13 偏壓電流與相位雜訊及輸出振幅關係

在由NMOS交連耦合對組成的LC共振腔振盪器中，其功率消耗可以如(3.13)表示之，為直流電晶體電流 I_M 與系統電壓 V_{DD} 的乘積。

$$P_{Diss} = 2I_M \times V_{DD} \quad (3.13)$$

其中 I_M 可表示成(3.14)之MOS電晶體在飽和區的電流公式。

$$I_M = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 = \frac{g_m^2}{2\mu_0 C_{ox} \frac{W}{L}} \quad (3.14)$$

在振盪時， g_m 與 R_P 關係如前所述，可表示為(3.15)；且 R_P 亦可表示為(3.16)。

其中 L 為LC共振腔電感值， Q_{Tank} 為共振腔 Q 值， C 為LC共振腔電容值。將(3.14)~(3.16)代入(3.13)後，可得到(3.17)，如下所示。

$$R_P = -R_{IN} = \frac{2}{g_m} \quad (3.15)$$

$$R_P = Q_{Tank}^2 R_S = Q_{Tank} \omega L = Q_{Tank} \sqrt{\frac{L}{C}} \quad (3.16)$$

$$P_{Diss} = \frac{4V_{DD}}{\mu_0 C_{ox} \frac{W}{L}} \cdot \frac{C}{Q_{Tank}^2 L} \quad (3.17)$$

故可知，在電晶體尺寸固定情形下，如要減少功率消耗，可以增加電感 Q 值，或者降低 C/L 的比例來設計低功率消耗的振盪器。亦可知道，當所要設計的振盪頻率逐漸增高時，在製程上無可避免地，共振腔 Q 值會惡化，隨之所要付出代價，除了相位雜訊變差之外，還有直流功率消耗向上攀升。

3.1.3 相位雜訊模型

相位雜訊是壓控振盪器設計中最重要之參數，要改善此參數特性，首先必須對於此參數做深入的探討。非時變模型[5]最早於1966年由Lesson提出，讓晶片設計者能夠有所依據地設計其壓控振盪器的各項參數。而時變模型[6]，由Hajimiri

於 1998 年提出，補足 Lesson 模型中 $1/f^3$ 區段的準確推導。以下將簡介此二種相位雜訊模型。

3.1.3.1 非時變模型

此小節中使用非時變模型來分析相位雜訊。非時變的定義為，不論雜訊何時注入振盪器之中，對壓控振盪器的相位雜訊影響皆為相同貢獻值。換句話說，雜訊所造成的振盪器相位位移量在任何時間點上都為相同，故無需考慮雜訊於何時注入，可使用非時變來簡化分析方法。假設振盪器由放大器負阻與共振腔所組成，其帶通轉換方程(Band-Pass Transfer Function)可以寫成如(3.18)所示。

$$H(j\omega) = \frac{j\omega(1/RC)}{(1/LC) + j\omega(1/RC) - \omega^2} \quad (3.18)$$

而通用的帶通轉換方程可以如(3.19)表示之。

$$H(j\omega) = \frac{j\omega(\omega_o/Q)}{\omega_o^2 + j\omega(\omega_o/Q) - \omega^2} \quad (3.19)$$

比較(3.18)及(3.19)後可發現如(3.20)所示。

$$\omega_o = \frac{1}{\sqrt{LC}} \quad \text{and} \quad Q = \omega_o RC \quad (3.20)$$

觀察一具微小頻率位移之頻率點 $\omega = \omega_o + \Delta\omega$ 時，若 $\Delta\omega \ll \omega_o$ 時，則可將上式(3.18)以泰勒展開式展開，並且忽略一階與二階以上的項，如(3.21)所示。

$$H(j\omega) \approx 1 + \frac{2}{j(\omega_o/Q)} \cdot \Delta\omega \quad (3.21)$$

因此可得振盪器的閉迴路(Close-Loop)響應，如(3.22)所示

$$G(j\omega) = \frac{1}{1 - H(j\omega)} \approx \frac{-j(\omega_o/Q)}{2 \cdot \Delta\omega} \quad (3.22)$$

當輸入雜訊密度為 $S_i(\omega)$ 時，則經過此振盪器系統，亦即經過振盪器的閉

迴路響應後，其輸出雜訊密度表示式如(3.23)。

$$S_o(\omega) = S_i(\omega) |G(\omega)|^2 = FkT \left(\frac{\omega_o}{2Q\Delta\omega} \right)^2 \quad (3.23)$$

上式(3.23)為雙邊帶(Double Sideband)雜訊頻譜密度，因此距離振盪頻率 $\Delta\omega$ 處之單邊帶(Single Sideband)之訊雜比，以dB型式表示後，即為相位雜訊，如(3.24)所示。

$$L(\Delta\omega) = 10 \log \left[\frac{2FkT}{P_s} \cdot \left(\frac{\omega_o}{2Q\Delta\omega} \right)^2 \right] \quad (3.24)$$

其中 P_s 為振盪器之輸出功率。透過觀察(3.24)可知，提升輸出功率以及共振腔的Q值，可以改善相位雜訊的表現。而增加輸出功率同時意味著增加負阻放大器的功率，將降低放大器的雜訊指數(Noise Figure)，故可以另一直觀的觀點來解釋相位雜訊的降低現象。

由(3.24)可對相位雜訊得到初步的了解，但此式的描述與實際電路的量測結果存在一定的差異，如圖3.14所示。

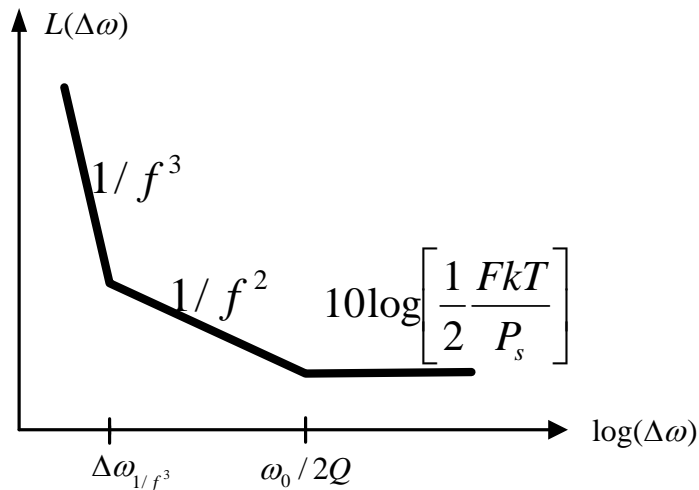


圖 3.14 實際電路之相位雜訊頻譜

在極小的頻率位移處，相位雜訊以 $1/f^3$ 下降；在極大的頻率位移處，相位

雜訊將趨於水平降至熱雜訊等級，而非如(3.24)所述持續以 $1/f^2$ 下降。

因此相位雜訊公式(3.24)必須配合實際量測壓控振盪器頻譜後，做曲線上的趨近調整(Curve Fitting)，修正成為(3.25)所示，即為Lesson模型，其式中的F需要經由量測才能得到。

$$L(\Delta\omega) = 10 \log \left[\frac{2FKT}{P_s} \cdot \left\{ 1 + \left(\frac{\omega_o}{2Q\Delta\omega} \right)^2 \right\} \left(1 + \frac{\omega_{1/f^3}}{|\Delta\omega|} \right) \right] \quad (3.25)$$

此模型對於振盪器電路設計時雖然有極大的幫助，但卻無法精準解釋 $1/f^3$ 區域的成因為何。並且在實際量測中，頻譜 $1/f^2$ 轉為熱雜訊水平的頻率轉角亦

常非為式中所描述的 $\frac{\omega_o}{2Q}$ 。下一小節將以時變分析方法來得到相位雜訊時變模

型，可以解釋 $1/f^3$ 區域的成因，並能應用其結論，除了增進Q值以及輸出功率大小能改善相位雜訊表現，尚有其他方法亦可優化相位雜訊。

3.1.3.2 時變模型

在本小節中，利用Hajimiri模型[6]來解釋相位雜訊。首先，假設一個雜訊脈衝電流 $i(t)$ ，注入一個理想無損 LC共振腔，如圖3.15所示。若雜訊電流恰於共振腔振盪電壓擺幅至最高點時注入，如圖3.16(a)所示，則共振腔的振幅將會增加 $\Delta V = \Delta Q / C$ ，但是振幅與時間軸上的零交點(Zero-Crossing)不會改變，也就是相位不會變動。而雜訊脈衝 $i(t)$ 若在其他任何時間注入的話，對共振腔的影響則如圖3.16(b)所示，僅對零交點，也就是相位有影響。因此，脈衝注入時的影響與相位息息相關，故此系統必須使用時變的觀點來分析。

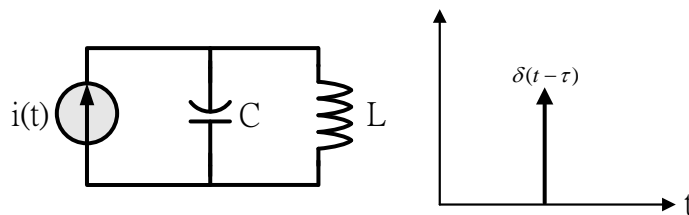


圖 3.15 在無損共振腔中注入脈衝雜訊電流

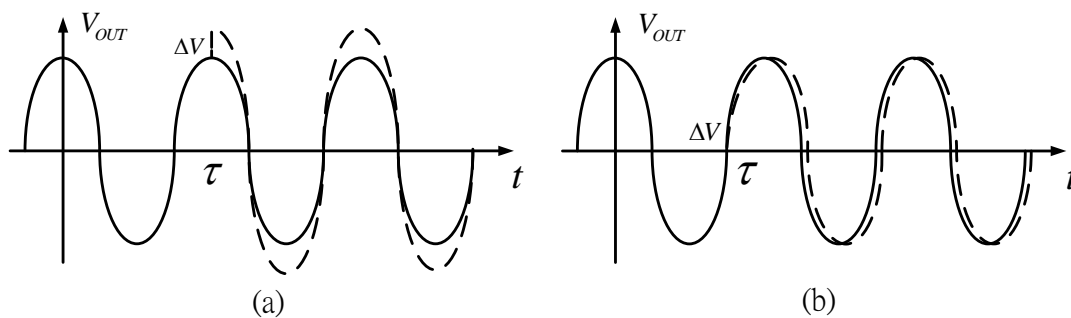


圖 3.16 雜訊脈衝電流注入時相位不同之影響

有鑑於此，於是Hajimiri提出了一個與Lesson截然不同的線性時變相位雜訊模型。其脈衝響應可寫成如(3.26)所示，表示脈衝訊號於 $\omega_o\tau$ 注入時的振盪器相位偏移量。

$$h_\phi(t, \tau) = \frac{\Gamma(\omega_o\tau)}{q_{\max}} u(t - \tau) \quad (3.26)$$

其中 q_{\max} 為LC共振腔所儲存的最大電荷量； $u(t)$ 為單位步階函數(Unit Step Function)； $\Gamma(x)$ 脈衝靈敏度方程(Impulse Sensitivity Function)，周期為 2π ，與訊號頻率及最大振幅無關，但與訊號的時域波形有重大的相依性。

假使其ISF為已知，則可推導出脈衝注入後的相位改變量，如(3.27)所示。

$$\phi(t) = \int_{-\infty}^{\infty} h_\phi(t, \tau) i(\tau) d\tau = \frac{1}{q_{\max}} \int_{-\infty}^t \Gamma(\omega_o\tau) i(\tau) d\tau \quad (3.27)$$

又因ISF為一周期性函數，可由傅立葉級數展開成(3.28)。

$$\Gamma(\omega_o\tau) = \frac{c_0}{2} + \sum_{n=1}^{\infty} c_n \cos(n\omega_o\tau + \theta_n) \quad (3.28)$$

其中 C_N 為ISF的實數傅立葉係數， θ_n 為ISF之N次諧波相位。根據雜訊源的不相依性(uncorrelated)，每一雜訊源的相位不互相干擾，故以下推導可將(3.28)中的 θ_n 省略以簡化分析。將(3.28)代回(3.27)後可重寫成為(3.29)如下所示。

$$\phi(t) = \frac{1}{q_{\max}} \left[\frac{c_0}{2} \int_{-\infty}^t i(\tau) d\tau + \sum_{n=1}^{\infty} c_n \int_{-\infty}^t i(\tau) \cos(n\omega_o \tau) d\tau \right] \quad (3.29)$$

至此，若(3.29)中的傅立葉係數已知，則可計算出任意雜訊脈衝電流注入時，所造成相位位移量。

現在考慮一注入雜訊電流源為弦波形式，頻率與共振腔之振盪頻率的整數倍相當靠近，為 $m\omega_o + \Delta\omega$ ，如(3.30)。

$$i(t) = I_m \cos[(m\omega_o + \Delta\omega)t] \quad (3.30)$$

將(3.30)代入(3.29)中，並假設 $\Delta\omega \ll \omega_o$ ，則相位輸出可寫成(3.31)形式。並令輸出電壓為(3.32)所示。

$$\phi(t) \approx \frac{I_m c_m}{2q_{\max} \Delta\omega} \sin(\Delta\omega t) \quad (3.31)$$

$$V_{out}(t) = \cos[\omega_o t + \phi(t)] \quad (3.32)$$

假設 $\frac{I_m c_m}{2q_{\max} \Delta\omega} < 1$ ，並將(3.31)代入至(3.32)中，可以推算出此輸出訊號的頻

譜，將在 ω_o 附近，也就是 $\omega + \omega_o$ 頻率處以及 $\omega - \omega_o$ 頻率處，產生二個等功率大小的雜訊干擾頻譜，大小如(3.33)所示。

$$P_{SBC}(\Delta\omega) \approx 10 \log \left(\frac{I_m c_m}{4q_{\max} \Delta\omega} \right)^2 = 10 \log \frac{I_m^2 c_m^2}{16q_{\max}^2 \Delta\omega^2} \quad (3.33)$$

一般而言，電流雜訊源可分為兩種型式：一為白色高斯雜訊(White Noise)，另一為閃爍雜訊(Flicker Noise)，也就是 $1/f$ 雜訊源。首先若電流雜訊源為白色

高斯雜訊。其功率頻譜密度為 $\frac{\overline{i_n^2}}{\Delta f} = \frac{I_m^2}{2}$ ，代入(3.33)後，即為白色高斯雜訊之

貢獻頻譜，將之積分後，即為由白色高斯雜訊貢獻的壓控振盪器相位雜訊。如(3.34)

所示。

$$L(\Delta\omega) \approx 10 \log \left(\frac{\overline{i_n^2} \sum_{m=0}^{\infty} c_m^2}{8q_{\max}^2 \Delta\omega^2} \right) \quad (3.34)$$

根據Parseval原理(頻域與時域的能量守恆互換式)

$$\sum_{m=0}^{\infty} c_m^2 = \frac{1}{\pi} \int_0^{2\pi} |\Gamma(x)|^2 dx = 2\Gamma_{rms}^2 \quad (3.35)$$

故將(3.35)代入至(3.34)，可得到(3.36)如下所示。

$$L(\Delta\omega) \approx 10 \log \left(\frac{\Gamma_{rms}^2}{q_{\max}^2 4\Delta\omega^2} \cdot \frac{\overline{i_n^2}}{\Delta f} \right) \quad (3.36)$$

(3.36)式中 $q_{\max} = CV_{\max}$ ， V_{\max} 為壓控振盪器的最大振幅， C 為共振腔中的電

容值；又 $\frac{\overline{i_n^2}}{\Delta f} = \frac{4kT}{R_p}$ ；且 $P_s = \frac{V_{\max}^2}{2R_p}$ ，為振盪器輸出功率； $R_p = \frac{Q}{\omega_o C}$ ，

為共振腔之並聯寄生電阻；將數式代入(3.36)後，整理可得下式(3.37)。

$$L(\Delta\omega) \approx 10 \log \left(\frac{2kT}{P_s} \Gamma_{rms}^2 \left(\frac{\omega_o}{2Q\Delta\omega} \right)^2 \right) \quad (3.37)$$

此式(3.37)與Lesson非時變模型中提出的(3.24)式幾乎相同，唯一不同的為(3.24)中需經由量測才能得到的參數F，在(3.37)式中，卻可以藉由尋找輸出波形的ISF後，計算而得 Γ_{rms}^2 。且由(3.27)可知，要降低相位雜訊的方法，除了增加共振腔Q值以及加強輸出訊號的功率以外，還能藉由改變輸出訊號的波形，以降低ISF的 Γ_{rms} ，進而改善白色高斯雜訊所造成相位雜訊。

其次，若進入共振腔的電流雜訊為閃爍雜訊(1/f)，其功率頻譜密度為(3.38)

所示。其中 $\omega_{1/f}$ 為閃爍雜訊的轉角頻率。

$$\overline{i_{n,1/f}^2} = \overline{i_n^2} \frac{\omega_{1/f}}{\Delta\omega} \quad (3.38)$$

將上式代入至(3.33)式中，並經過分析知 $\omega_{1/f}$ 對於傅立葉係數僅影響其 C_0 項，於是閃爍雜訊對相位雜訊的影響，可以寫成如(3.39)型式。

$$L(\Delta\omega) \approx 10 \log \left(\frac{\overline{i_n^2} c_0^2}{8q_{\max}^2 \Delta\omega^2} \cdot \frac{\omega_{1/f}}{\Delta\omega} \right) \quad (3.39)$$

其中閃爍雜訊 $1/f$ 的轉角頻率，並非如預料中即為相位雜訊中的 $1/f^3$ 頻率。真實的 $1/f^3$ 位於(3.39)與(3.36)兩式相等之頻率位移處，可寫成(3.40)所示。

$$\omega_{1/f^3} = \omega_{1/f} \cdot \frac{c_0^2}{2E_{rms}^2} \approx \omega_{1/f} \cdot \left(\frac{c_0}{c_1} \right)^2 \quad (3.40)$$

由上式(3.40)可以得到一非常寶貴的結論：即便在具較差的閃爍雜訊表現的 CMOS 製程使用上，亦即其 $1/f$ 的轉角頻率較高，還是可以透過抑制傅立葉係數 C_0 ，將 $1/f$ 所造成的相位雜訊惡化情形降至最小，使得在極小頻率位移處得到相當好的相位雜訊表現。而 C_0 在 ISF 中所代表的意義為直流成分，故要降低 C_0 ，必須使得壓控振盪器輸出波形越奇對稱(Odd-Symmetry)，其 C_0 成分可以越低。

綜合以上兩種分析，各別以白色高斯雜訊電流源注入，以及閃爍雜訊電流源注入壓控振盪器的共振腔中，將對相位雜訊造成不同的影響。而相位雜訊的變化亦與壓控振盪器之輸出波形有關。由此二雜訊所造成的相位雜訊變化，會在壓控振盪器的輸出訊號頻譜週圍，形成裙帶狀的相位雜訊，如圖(3.17)所示意。

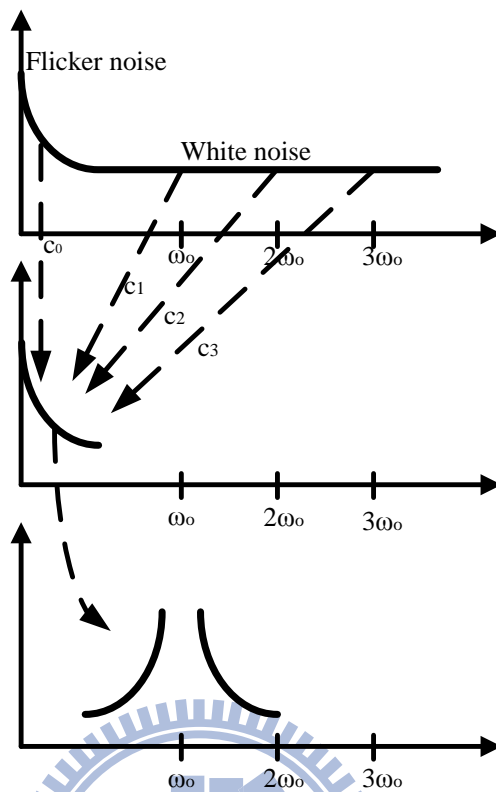


圖 3.17 閃爍雜訊與白色高斯雜訊貢獻至相位雜訊示意圖

在以上時變模型分析中，準確解釋了相位雜訊各區形成的原因，因此電路設計者可對相位雜訊做一精確的預測。對於壓控振盪器中任何一個雜訊源，設計者都可以依照各別的雜訊等效模型，以及其訊號波形，對應至其雜訊源的ISF方程，以求出相位雜訊。值得一提的是，要找出ISF方程，可以將雜訊源以一個脈衝訊號代替，並找出壓控振盪器對此脈衝訊號的脈衝響應，其即為壓控振盪器對應於此雜訊源的ISF。此外，若只是求直觀上的理解，一般將輸出的波形微分運算後，即可得到接近ISF的計算結果。

時變模型除了比非時變模型更準確的預測相位雜訊之外，更使得電路設計者理解到，在設計電路時除了要追求共振腔的Q值以及提升輸出訊號的功率，還必須考慮輸出波形的對稱程度以及該波形上升下降的快慢程度。尤其是對於具備較高閃爍雜訊的CMOS製程而言，壓控振盪器輸出波形必須要越奇對稱越好、波形上升下降時間越短越好。

3.2 混頻器

混頻器(Mixer)在接收機中，扮演著將射頻頻率降至基頻頻率的重要角色。同時也對整體接收機的線性度有著重大的影響。混頻器需高線性度的原因為前級電路通常為一低雜訊放大器(Low Noise Amplifier, LNA)已將射頻(Radio Frequency)頻率訊號放大，為了維持低的交互調變(Inter-Modulation)特性，而需要高輸入線性度。當電路不夠線性時會產生如交叉調變(Cross Modulation)、去靈敏化(Desensitization)、諧波項產生(Harmonic Generation)以及增益壓縮(Gain Compression)等等的問題。其中偶次階非線性(Even-Order)現象可經由差動雙平衡式架構來改善，但其中奇次(Odd-Order)非線性改善的困難度較高，尤其以三階交互調變失真(Third-Order Inter-Modulation Distortion, IMD3)挑戰最高，也是奇次非線性現象的主要來源。

3.2.1 混頻器基本操作原理

混頻器為三端元件，具有本地振盪端(LO Port)、射頻端(RF Port)以及中頻端(IF Port)。前級電路低雜訊放大器將射頻訊號放大後，由混頻器之射頻端進入；而本地振盪端則輸入由壓控振盪器輸出的訊號，當做本地振盪源使用。在射頻訊號與本地振盪源訊號相混之後的中頻訊號，從中頻端輸出至下級電路。

混頻器主要可以分為主動混頻器(Active Mixer)以及被動混頻器(Passive Mixer)兩種，在電路設計者中，各有其擁護者特別支持。以CMOS製程為例，使用電晶體式的主被動混頻器[2]可以如圖3.18所示。

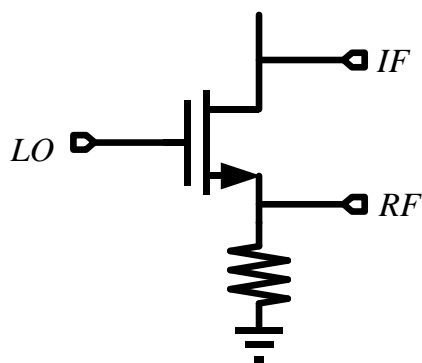


圖 3.18(a)主動式混頻器

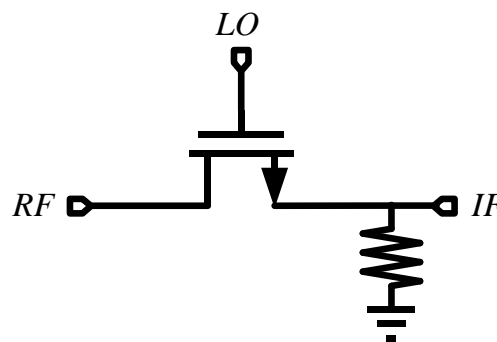


圖 3.18(b)被動式混頻器

被動式混頻器因為操作在非線性區域，故其電路具有很高的線性度與良好的輸入三階截止功率(Input Third-Order Intercept Power, IIP3)，以及具較低的閃爍雜訊轉角頻率。缺點是轉換增益(Conversion Gain)以及雜訊指數(Noise Figure, NF)相當的差，往往增益都為負值，亦稱為轉換損耗(Conversion Loss)。

想要讓混頻器此級電路有增益，那麼必定要使用主動混頻器來完成此目標。主動混頻器雖然具有較差的線性度，但提供了良好的轉換增益以及較佳的雜訊指數，以下小節即以目前主流的主動混頻器，吉伯特混頻器(Gilbert Mixer)，來討論混頻器的工作原理。

3.2.1.1 單平衡式吉伯特混頻器

主動混頻器中，架構簡單同時也是熱門的混頻器架構，即為此小節要介紹的單平衡式吉伯特混頻器(Single Balance Gilbert Mixer)。其架構如下圖3.19所示。此種混頻器的優點為高轉換增益、低本地振盪源功率需求。

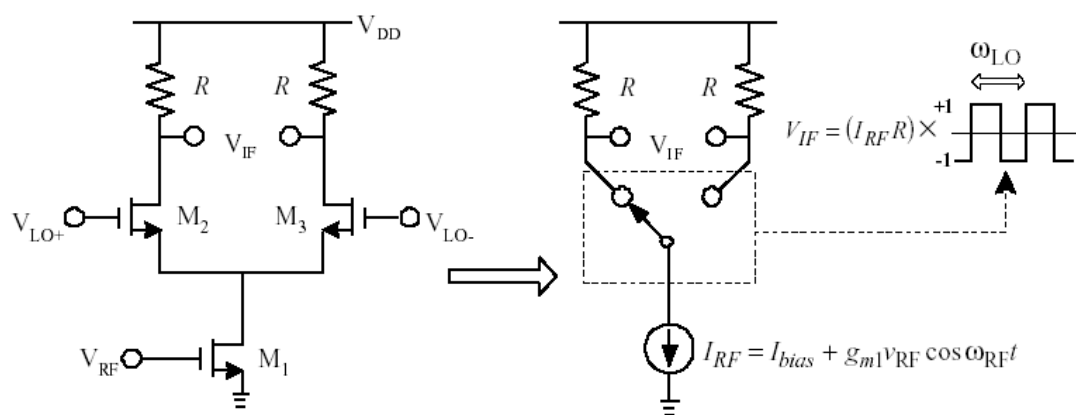


圖 3.19 單平衡式吉伯特混頻器及其工作原理

單平衡式吉伯特混頻器，由一轉導放大電晶體 M_1 ，以及一對開關電晶體 M_2 、 M_3 所組成。在混頻器工作時，本地振盪源訊號饋入至開關電晶體的閘極，使得開關電晶體以LO頻率，類似理想方波的交互開關，其轉換方程可以如(3.41)所示。

$$\text{sgn}[\cos \omega_{LO} t] = \frac{4}{\pi} \left[\cos \omega_{LO} t + \frac{1}{3} \cos 3\omega_{LO} t + \frac{1}{5} \cos 5\omega_{LO} t + \dots \right] \quad (3.41)$$

而轉導電晶體除了提供直流電流以外，還將射頻電壓訊號轉成電流訊號，如(3.42)所示。

$$I_{RF} = I_{BIAS} + g_{m1}v_{RF} \cos \omega_{RF}t \quad (3.42)$$

此射頻電流訊號，經過上面的開關電晶體後，即為乘上其開關轉換方程，形成中頻輸出電流，再乘上負載電阻，即為中頻輸出電壓，如(3.43)所示。

$$\begin{aligned} V_{IF} &= (I_{RF}R) \times \frac{4}{\pi} \left[\cos \omega_{LO}t + \frac{1}{3} \cos 3\omega_{LO}t + \frac{1}{5} \cos 5\omega_{LO}t + \dots \right] \\ &= (I_{bias} + g_{m1}v_{RF} \cos \omega_{RF}t)R \times \frac{4}{\pi} \left[\cos \omega_{LO}t + \frac{1}{3} \cos 3\omega_{LO}t + \frac{1}{5} \cos 5\omega_{LO}t + \dots \right] \\ &\approx \frac{4}{\pi} I_{bias} R \cos \omega_{RF}t + \frac{2}{\pi} g_{m1}v_{RF} \times [\cos(\omega_{RF} - \omega_{LO})t + \cos(\omega_{RF} + \omega_{LO})t] \end{aligned} \quad (3.43)$$

至此，(3.43)完成混頻器混頻的機制，其中中頻降頻項為 $\cos((\omega_{RF} - \omega_{LO})t)$ ，昇頻項為 $\cos((\omega_{RF} + \omega_{LO})t)$ ，由於兩者頻率差距甚遠，故可以輕易的以濾波器濾除掉昇頻項，保留住我們想要的中頻項。又此式可以看出單平衡式混頻器的

缺點，亦即 $\frac{4}{\pi} I_{bias} R \cos(\omega_{RF}t)$ 此項，顯露出非常強烈的射頻訊號至中頻端的

直接穿透量。這對直接降頻接收機架構來說，將使得二階失真問題造成影響。

故下一小節，將簡介雙平衡式吉伯特混頻器(Double Balance Gilbert Mixer)，透過差動的架構，可將射頻至中頻的直接穿透量藉由差動相減抵消掉，提高射頻端至中頻端的隔離度。

3.2.1.2 雙平衡式吉伯特混頻器

雙平衡式吉伯特混頻器，為單平衡式吉伯特混頻器的衍伸。採用兩套單平衡式吉伯特混頻器電路並列，提供差動的射頻訊號至射頻輸入端，並將兩套電路的中頻差動輸出端交互相接，即構成一雙平衡式吉伯特混頻器，如圖3.20所示。透

過此架構可有效改善射頻端至中頻端的隔離度。

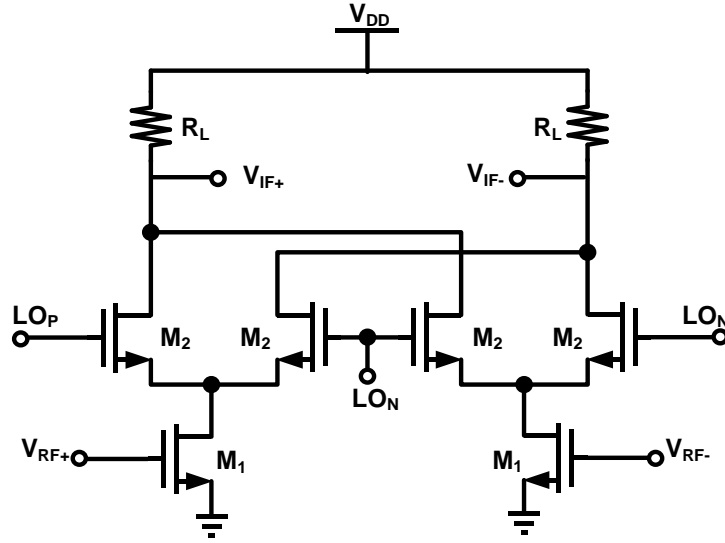


圖 3.20 雙平衡式吉伯特混頻器

此電路一樣可分為兩級不同功能的電路串接，M1M2組成差動的射頻轉導放大器，將射頻電壓訊號轉成電流訊號，其差動電流描述如(3.44)所示。

$$\begin{aligned} I_{M1} &= I_{BIAS} + g_m v_{RF} \cos \omega_{RF} t \\ I_{M2} &= I_{BIAS} - g_m v_{RF} \cos \omega_{RF} t \end{aligned} \quad (3.44)$$

開關級中的每一開關電晶體，其轉換方程因差動LO訊號，可表式成(3.45)的形式。

$$\begin{aligned} &0.5 - 0.5 \operatorname{sgn}[\cos \omega_{LO} t] \\ &0.5 + 0.5 \operatorname{sgn}[\cos \omega_{LO} t] \end{aligned} \quad (3.45)$$

是故流經每一開關電晶體的電流可以表式成(3.46)所示。

$$\begin{aligned} I_{M3} &= I_{M1} \times (0.5 - 0.5 \operatorname{sgn}[\cos \omega_{LO} t]) \\ I_{M4} &= I_{M1} \times (0.5 + 0.5 \operatorname{sgn}[\cos \omega_{LO} t]) \\ I_{M5} &= I_{M2} \times (0.5 + 0.5 \operatorname{sgn}[\cos \omega_{LO} t]) \\ I_{M6} &= I_{M2} \times (0.5 - 0.5 \operatorname{sgn}[\cos \omega_{LO} t]) \end{aligned} \quad (3.46)$$

進而導出中頻輸出電流IF如(3.47)。

$$\begin{aligned} I_F &= I_{F+} - I_{F-} = (I_{M4} + I_{M6}) - (I_{M3} + I_{M5}) \\ &= 2g_m v_{RF} \cos \omega_{RF} t \times \operatorname{sgn}[\cos \omega_{LO} t] \end{aligned} \quad (3.47)$$

又如上節所推導，將中頻輸出電流乘上輸出負載，即可得到中頻輸出電壓(3.48)

$$V_{IF} = I_{IF} R \approx \frac{4}{\pi} g_m v_{RF} \times [\cos(\omega_{RF} - \omega_{LO})t + \cos(\omega_{RF} + \omega_{LO})t] \quad (3.48)$$

至此，完成雙平衡式吉伯特混頻器的混頻機制，並可將(3.48)與(3.43)兩者比較，可以發現射頻直接穿透至中頻項已被相互抵消掉，確實達到提升射頻端與中頻端的隔離度，並且(3.48)也比(3.43)可以獲得更大的轉換增益，但也相對較耗電。

3.2.2 混頻器參數介紹

3.2.2.1 轉換增益

混頻器的其中一個重要參數即是轉換增益，其定義為期望中頻輸出功率除以輸入射頻功率，如(3.49)所示。在一般情況下，轉換增益混頻器的有兩種類型：一種是電壓轉換增益，另一種是功率轉換增益。

$$\text{Conversion Gain} = \frac{\text{The desired output IF power}}{\text{The input RF power}} \quad (3.49)$$

假設一個輸入信號為弦波輸入，則輸出訊號頻率，將含括整數倍數的輸入訊號頻率，如(3.50)所示。其中包含輸入頻率的項，稱為基礎訊號(Fundamental Signal)，而其它之高階項稱為諧波(Harmonic)。諧波的產生將導致轉換增益的效能降低。

$$\begin{aligned} V_{OUT}(t) &= \alpha_1 (A \cos \omega t) + \alpha_2 (A \cos \omega t)^2 + \alpha_3 (A \cos \omega t)^3 + \dots \\ &= \alpha_1 (A \cos \omega t) + \frac{\alpha_2 A^2}{2} (1 + \cos 2\omega t) + \frac{\alpha_3 A^3}{4} (3 \cos \omega t + \cos 3\omega t) + \dots \end{aligned} \quad (3.50)$$

混頻器的輸出電壓，為輸入電壓的壓縮方程，可以看見不同諧波頻率有著不同的壓縮係數。當輸入訊號的功率增加到一定的程度後，輸出訊號會開始飽和，造成轉換增益跟著開始下降，主因為輸入訊號已經夠大到影響電晶體的偏壓區域；若輸入訊號維持為小訊號輸入，則 α_2 可被忽略，並且能夠使增益保持定值。一般而言， α_3 為負值，在電晶體漸漸趨於飽和時， α_3 的值會逐漸變大。其轉換增益可由(3.51)表示之。

$$Gain = \alpha_1 + \frac{\alpha_3 A^2}{4} \quad (3.51)$$

3.2.2.2 線性度

一般理想情形時，混頻器被認為具備線性且非時變的特性。故線性度是一個設計時的重要參數。以下將介紹兩個線性度參數的指標：輸入1dB增益壓縮點 (Input 1dB Compression Point, IP_{1dB})和輸入三階截止點(IIP3)。

中頻輸出大小理論上是正比於射頻輸入訊號大小，然而，當輸入信號變大時，中頻的輸出信號卻不一定能完全線性正比於輸入訊號。此處以距離理想中頻輸出線性線1dB的地方為參考點，當做是否為線性的標準。如圖3.21所示，圖中的虛線代表理想中頻輸出線性線，實線顯示實際的中頻輸出曲線。1dB壓縮點，代表了當射頻的輸入功率為此點時，實際的中頻輸出功率會低於理想的輸出功率恰1dB。較高的1dB壓縮點代表較好的線性特性。

混頻器的線性度的指標，也可以由雙頻交互調變來參考，也就是IIP3。理想情形時，兩個不同頻率的射頻訊號在頻率轉換的過程中應為彼此獨立作用的，並且能期望在中頻端獲得兩個獨立的中頻輸出訊號。然而，真實的混頻器將會顯示出兩個頻率互調後的結果。這是因為兩個或兩個以上不同的射頻頻率輸入時，會降低系統對輸入信號的線性區容忍度。IIP3即是用來衡量兩個相當靠近的射頻頻率訊號注入時，系統的線性度指標。如圖3.22所示，以實際一階中頻輸出功率曲線做延伸，化成虛線型式，當與其三階中頻輸出功率曲線交會時，即為輸入三階截止點。一般而言 IP_{1dB} 與IIP3約會相差10dB左右。

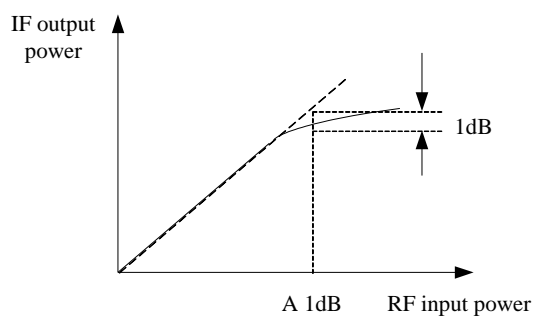


圖 3.21 IP_{1dB} 示意圖

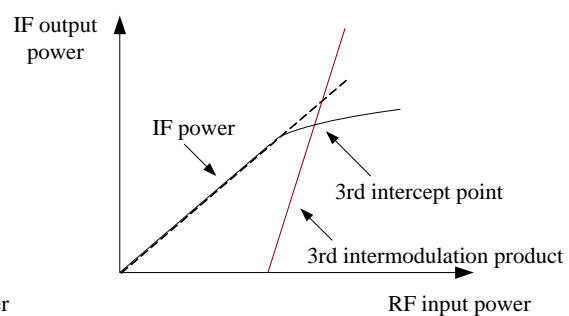


圖 3.22 IIP3 示意圖

3.2.2.3 隔離度

混頻器另外一個重要的參數為隔離度(Isolation)，代表本地振盪源與射頻及中頻三者之間的影响程度。若本地振盪端至射頻端的隔離度優良，代表本地振盪源訊號不會洩漏至低雜訊放大器(Low Noise Amplifier, LNA)或者天線端；若射頻端到本地振盪端的隔離度好，則確保外界的射頻干擾源不會造成本地振盪源的影响，上述二者對於直接降頻接收機而言為非常重要的參數，此二參數的最佳化，可以使得直流偏移(DC Offset)問題獲得改善。而本地振盪端至中頻的隔離度，則可避免後級電路靈敏度下降，如果混頻器架構採用雙平衡式(Double Balance)混頻器的話，相較於單平衡式混頻器而言，此項隔離度可以獲得相當大的改善。最後為射頻端到中頻的隔離度，當直接降頻接收機使用時，若是此項隔離度不良，其二階失真(IMD2)將會嚴重影响中頻輸出表現。



4.2 電流再利用壓控振盪器

互補式交連耦合對壓控振盪器(Complementary Cross-Coupled VCO)為相當常使用的壓控振盪器架構，如圖 4.2(a)所示，透過上方 PMOS 交連耦合對以及下方的 NMOS 交連耦合對，提供對稱且夠強大的負阻，使得壓控振盪器可以有優良的相位雜訊表現。

在低功耗的需求之下，過去晶片設計者為了節省電流，尋求電路架構上的可能性，其中發展出了電流再利用之壓控振盪器的架構，如圖 4.2(b)。此架構保留一組交連耦合對，但是是由一 PMOS 與一 NMOS 組成，讓此二電晶體互相提供反相放大至對方輸出的功能，維持抵消 LC 共振腔阻抗的負阻作用。其優點在於，保有電路正常工作的情況下，其直流電流路徑從原本的兩路電流，變成一路電流，電流直接降下一半，使得整體功率消耗變為原本一半，達成降低功率損耗的需求。

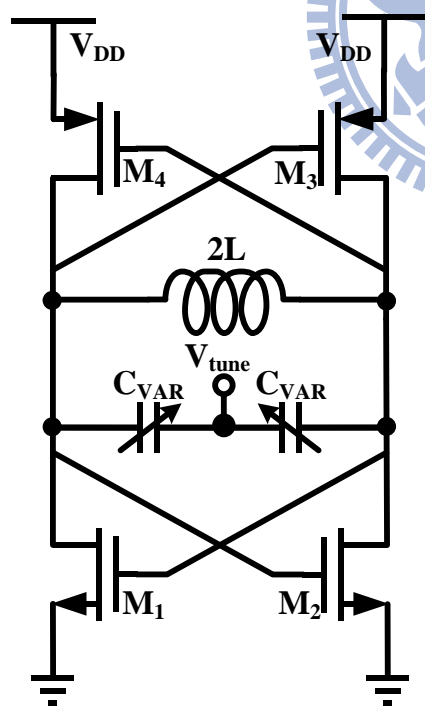


圖 4.2(a) 互補式交連耦合對壓控振盪器

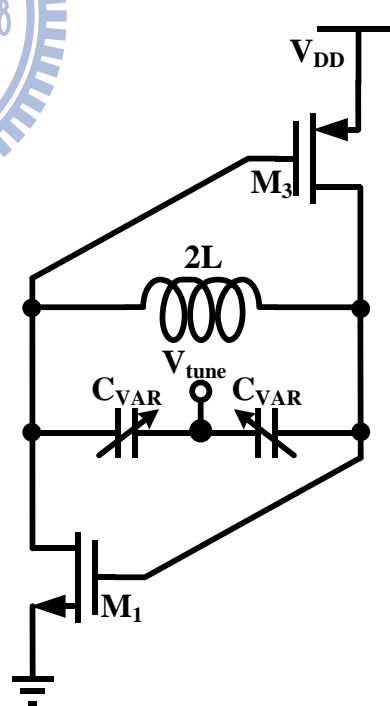


圖 4.2(b) 互補式壓控振盪器演化

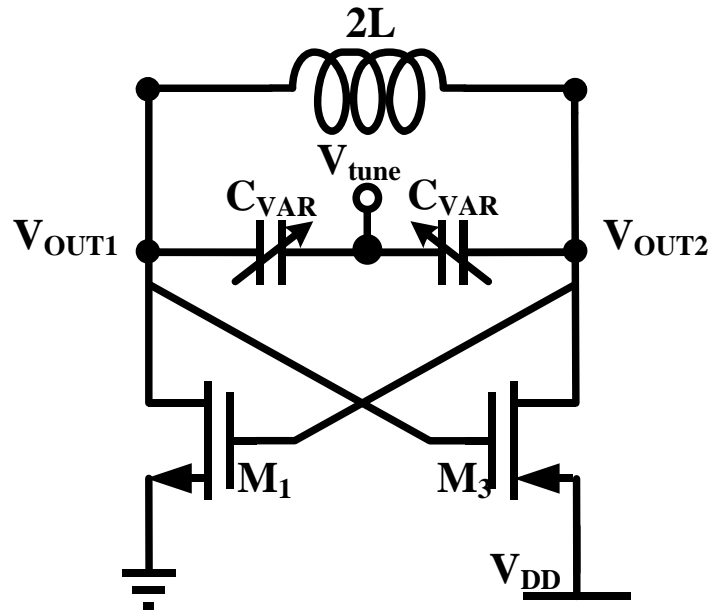


圖 4.3 電流再利用壓控振盪器

我們可將圖 4.2(b)重畫成上圖 4.3 的形式，可以更直接看出來交連耦合對的組成，以及其電路不對稱處：NMOS 電晶體不匹配於 PMOS 電晶體。NMOS 以及 PMOS 的先天上差異，造成此電路的不對稱，各自所能提供的轉導大小不對稱，使得差動兩端輸出點 V_{OUT}^+ 與 V_{OUT}^- 看到的輸出阻抗亦不同。在此情形底下所輸出的振盪訊號，將會是差動兩端振幅不對稱的波形，如圖 4.4 所示，為 8 GHz 傳統電流再利用壓控振盪器之差動輸出振幅，約有 2.3 dB(23%)的振幅誤差。

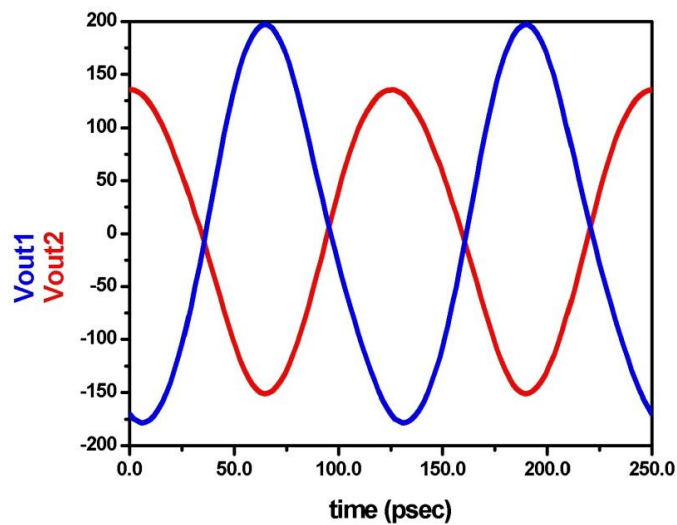


圖 4.4 電流再利用 VCO 之輸出差動振幅不匹配

4.3 振幅輸出不對稱之影響

在許多電路或系統應用中，若是要使用四相位的本地振盪源訊號，最直接的作法是使振盪器產生差動輸出後，在串接上由電阻電容所組成的四相位 RC-CR 相移濾波器(Poly Phase Filter, PPF)[9]，以產生四相位訊號。圖 4.5 即是一典型的相移濾波器，使用兩組 RC-CR 串接組態以達到準確的四相位輸出，使之受製程飄移影響較小。

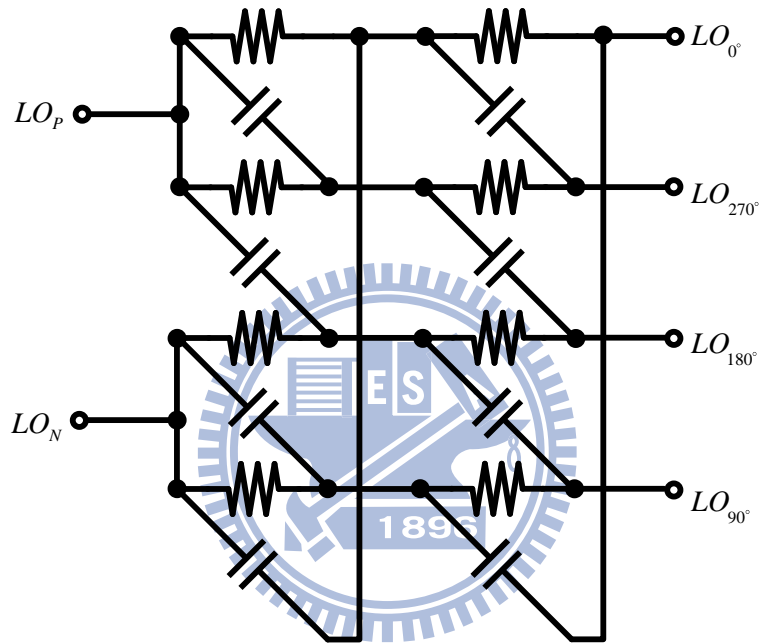


圖 4.5 RC-CR 四相位 Poly Phase Filter

理論上，完美匹配的差動訊號輸入此濾波器後，即可達到四相位輸出訊號，如圖 4.6 所示，為一 8 GHz 的差動訊號輸入相移器後，在四個輸出端的時域波形。

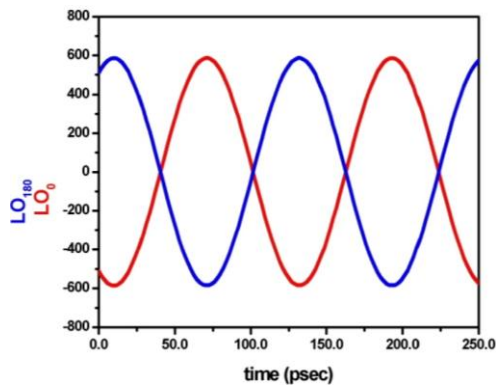


圖 4.6(a) 理想的相移器輸入

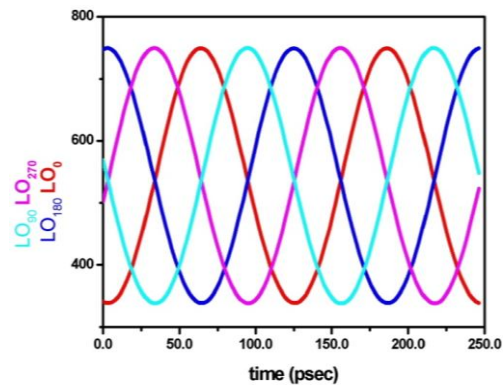


圖 4.6(b)理想的相移器輸出

	LOp	LOn	LO_0	LO_90	LO_180	LO_270
輸入功率(dBm)	5.365	5.365	-	-	-	-
輸出功率(dBm)	-	-	-3.714	-3.707	-3.714	-3.707
相位大小(°)	0	180	0	90.01	180	270.01

表 4.1 理想移相器輸入與輸出整理

將上述的四相位相移器之理想輸入輸出數據，整理成表 4.1，可從中看出，本論文利用 TSMC 0.18 μm 製程所設計的實際四相位相移器，可以準確的將理想差動訊號轉換成四項位輸出，且 IQ 訊號間彼此亦相當匹配，可提供給任何需要四相位本地振盪源的電路使用(本論文即應用此四相位相移器於次諧波混頻器設計中，詳見下章節)。

上述為振幅精準匹配的差動本地振盪源輸入的情形，倘若今使用未考量完整的傳統電流再利用壓控振盪器來當作差動本地振盪源輸入的話，會造成此四相位相移器非常嚴重的輸出誤差。此處以圖 4.7(a)的不匹配差動訊號當作相移器之輸入訊號，將會得到圖 4.7(b)的嚴重誤差的四相位輸出。此輸入輸出訊號特性整理成表 4.2，可以看到差動訊號的誤差，造成四相位輸出間振幅無法達到匹配的特性，並且也對原本近於理想的相位輸出造成影響。

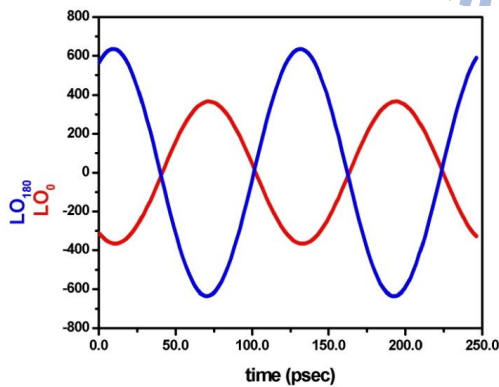


圖 4.7(a) 不匹配的相移器輸入

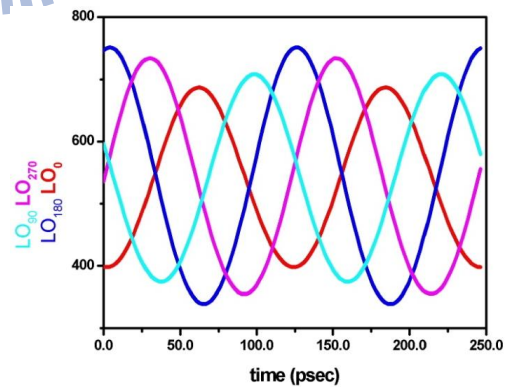


圖 4.7(b) 嚴重誤差的相移器輸出

	LOp	LOn	LO_0	LO_90	LO_180	LO_270
輸入功率(dBm)	6.069	1.271	-	-	-	-
輸出功率(dBm)	-	-	-6.775	-5.538	-3.675	-4.423
相位大小(°)	0	180	0	105.702	188.217	265.415

表 4.2 相移器不匹配輸入與誤差輸出整理

4.4 文獻回顧

4.4.1 三頻器應用時振幅不對稱之錯誤累積

為了完成未來收發機整合設計的需求，如前所述，必須在發射端，將 8 GHz 本地振盪源昇上 24 GHz 訊號，以成為發射訊號。假使使用的三頻器為注入鎖定式三頻器，以[4]中的三頻器為例，電路架構如圖 4.8 所示。透過兩個圖 4.8 右側的子電路注入鎖定式振盪器，組成圖 4.8 左側之整體架構，形成注入鎖定式之四相位振盪器。

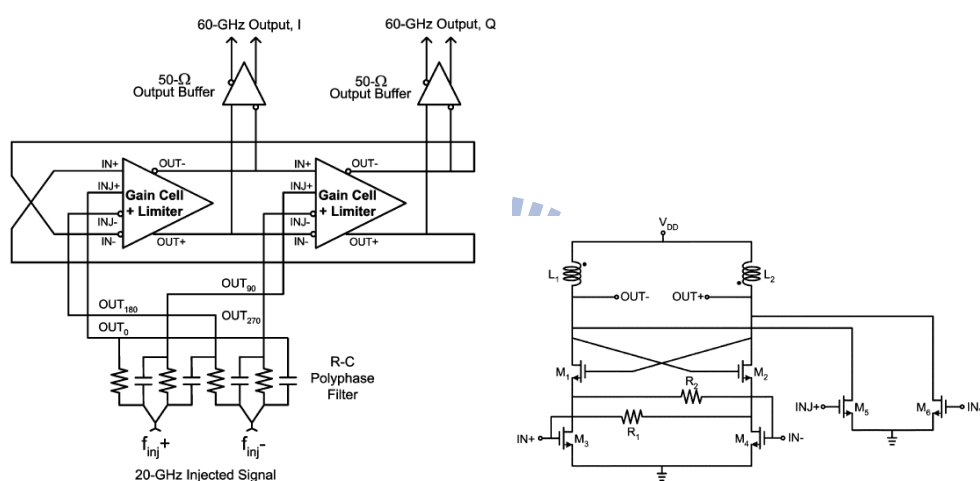


圖 4.8 需高度匹配本地振盪源訊號之三頻器架構與子電路圖

此三頻器的架構所需要的本地振盪源差動振幅，必須是非常匹配的。否則，若輸入的是不匹配的差動訊號，則此三頻器的輸出，會將不匹配的程度累積，放大成更嚴重的不匹配情形，其累積誤差整理如圖 4.9 所示。

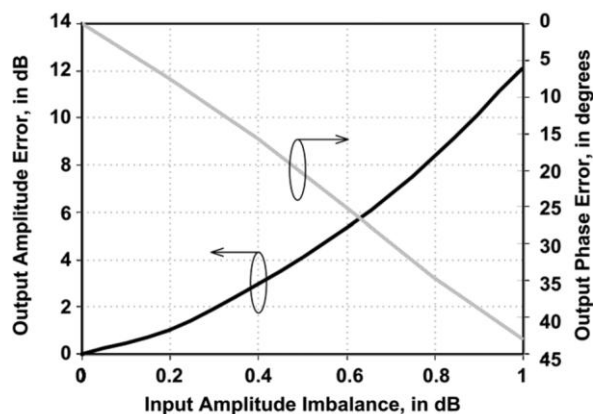


圖 4.9 不匹配的本地振盪源累積放大於輸出端程度

從上圖 4.9 可看到本地振盪源間僅 1dB 的振幅誤差，將會造成 40 度以上的相位誤差，以及 12dB 的振幅不匹配。在一般的通訊系統中，IQ 訊號必須要求振幅誤差在 1dB 以下[4]，又 IQ 訊號的匹配與差動訊號的匹配是完全相依的關係，故顯示出差動訊號必須要精準匹配的重要性。

4.4.2 源級退化電流再利用壓控振盪器

有鑑於電流再利用壓控振盪器的差動振幅不匹配的問題，在 2005 年 Seok-Ju Yun 提出了一個電路上的解決方法[10]，可以改善輸出電壓的波形，使波形更加對稱，並改善差動振幅不匹配的問題。其電路架構與輸出如下圖 4.10 所示。

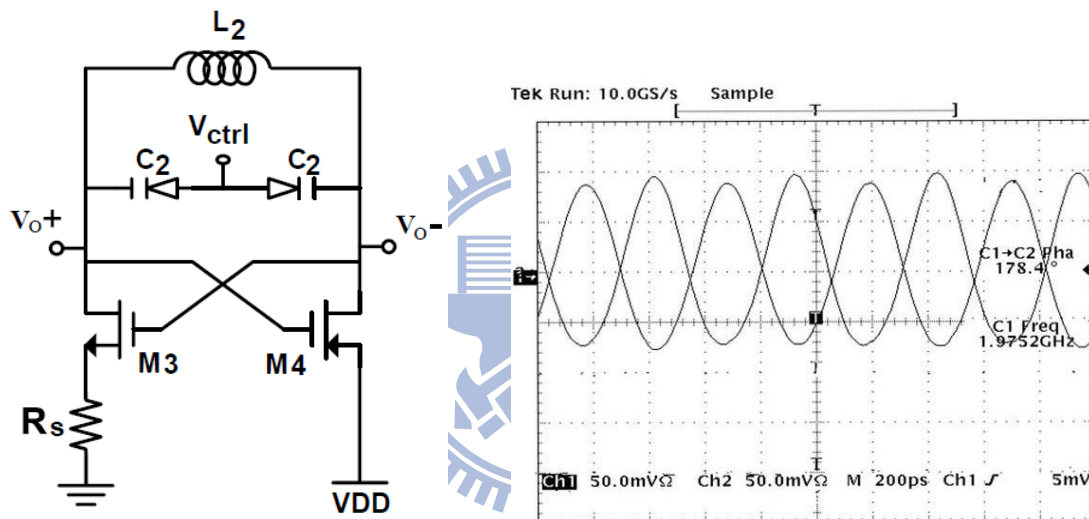


圖 4.10 源極退化電流再利用壓控振盪器與其差動輸出

其核心理念在於降低交連耦合對負阻中的 NMOS 轉導值，使之與 PMOS 所貢獻的轉導值匹配。並以源極退化的方法來實現此想法，利用 NMOS 源極串聯的電阻，可以有效的限制住 NMOS 的電流，換句話說即為限制住 NMOS 的轉導能力，不但能使波形對稱，也能使差動振幅更對稱。

但是很可惜的，這樣的架構浮現出兩個較大的問題，第一個為輸出擺幅過小。重新審視圖 4.10 的差動輸出圖，可以看到在 1.25V 的系統電壓 VDD 供給下，其輸出電壓的振幅大小僅有約 100mV，其主因為源極退化電阻 Rs 損耗過多的電流轉導能力。第二為差動輸出仍不完全匹配，主因為製程上的誤差，造成電阻與

電晶體特性並非能完全相同於模擬，故差動輸出振幅自然不能精準匹配。

4.5 差動振幅平衡設計

如同前面各小節所提，電流再利用壓控振盪器的差動輸出振幅不平衡的問題主因為，NMOS 與 PMOS 的轉導能力不對稱，使得差動兩端看到的阻抗不同。本論文主要應用的想法是，若是將 NMOS 與 PMOS 偏壓於不同的直流偏壓點的話，其轉導特性應能被調整[11]，是故可以將原本由單顆 PMOS 與單顆 NMOS 組成的交連耦合對，替換成串疊型式的交連耦合對，如圖 4.11 所示。

透過改變直流偏移(DC Shift)電晶體 M_2 、 M_3 的閘極偏壓，即可讓 M_2 、 M_3 的 V_{DS} 改變，進一步改變提供負阻的核心電晶體 M_1 、 M_4 的直流電壓偏壓點，以調整 M_1 、 M_4 兩個電晶體的轉導值，使得差動兩端可以匹配。並且左右路徑上各具有 C_1 耦合電容，在交流等效上，直流偏移電晶體 M_2 與 M_3 被短路並聯掉，讓 LC 共振腔直接可以看到負阻的核心 M_1 以及 M_4 ，可使電路架構維持如同傳統的電流再利用壓控振盪器一般，採取一 PMOS 與一 NMOS 當做其交連耦合對負阻，維持正常提供負阻的功能。

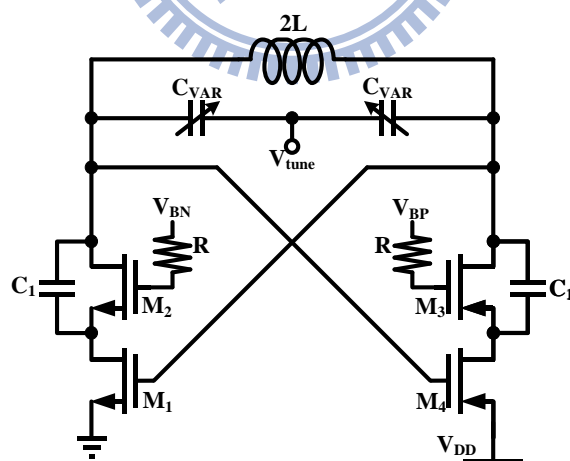


圖 4.11 本論文應用的調整差動轉導之電路架構

值得一提的是，雖然如此的電路架構可以解決差動振幅匹配的問題，但是觀察其直流電壓可以發現，在此種電路架構下，四顆電晶體必須同時偏壓在飽和區，卻只能共享一組系統電壓源 V_{DD} 。若是當 V_{DD} 下降時，電路會趨於不穩定。

4.7 電路新穎性與全電路架構

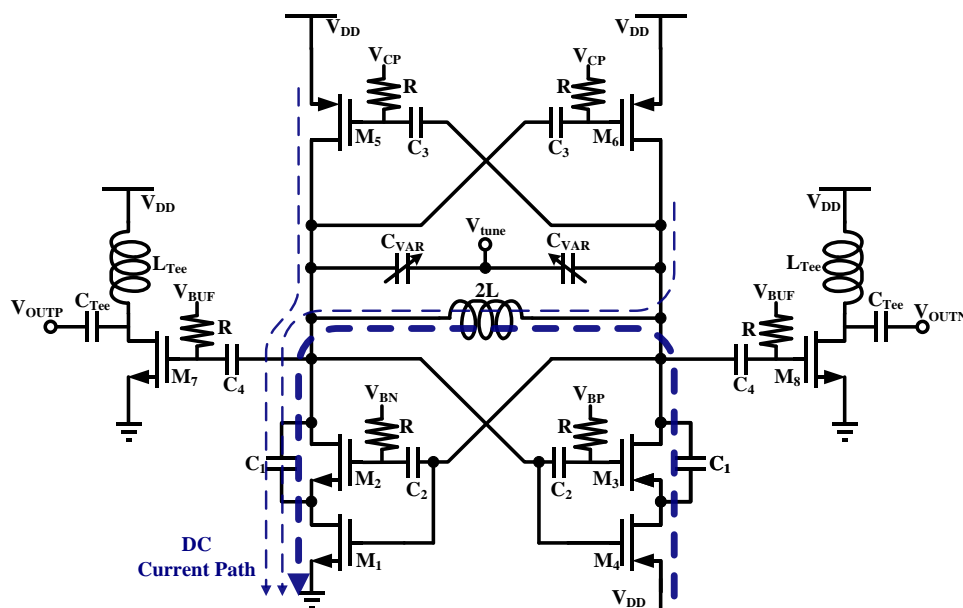


圖 4.14 新式壓控振盪器電流流向示意圖

至此，將上述章節的架構加上以 Off Chip 的 Bias Tee 電路為負載的 Common Source 組態的緩衝器 (Buffer) 後，即為本論文提出之嶄新的電流再利用壓控振盪器電路架構，如圖 4.14 所示。以傳統電流再利用壓控振盪器的概念為基礎，改採取使用串疊式電晶體交連耦合對，當作主要負阻來源，可改善電流再利用壓控振盪器的缺點，達成差動輸出兩端的轉導與輸出阻抗的匹配，

再藉由引進額外增加的可調整偏壓式 PMOS 負阻對，在不用更改電路的情形下，由於尺寸選擇非常小顆，僅損耗微小的電流，即可豁免原本需要較高系統電壓的電路需求，使得此新式壓控振盪器可應用至不同的低電壓系統中，包含 1.4V 以上、1.3V、1.2V 甚至 1V。

此電路的新穎性在於，不僅可用直流偏移電晶體 M_2 、 M_3 ，讓 PMOS (M_4) 與 NMOS (M_1) 的偏壓電壓不同，並且由於外掛的 PMOS 交連耦合對 (M_5 、 M_6) 為可調整偏壓型式，使得差動兩端之直流電流大小亦可由外界微調，如圖 4.14 中紅色箭頭為電流大小所示意，故可利用直流偏壓電流的微調，讓使用者更進一步微調差動兩端的 PMOS (M_4) 與 NMOS (M_1) 的轉導值，使振幅精準匹配達 0.15% 之內。

4.8 模擬與量測結果

4.8.1 電路佈局與晶片照片

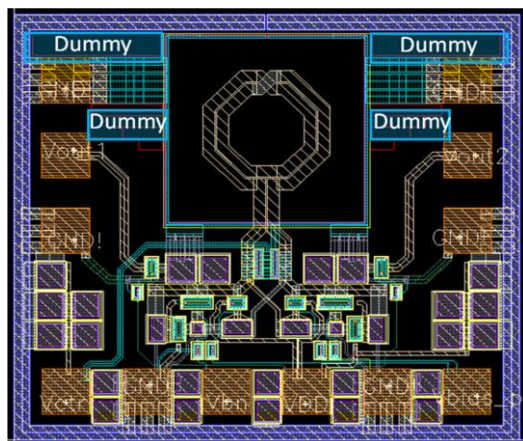


圖 4.15 新式壓控振盪器電路佈局圖

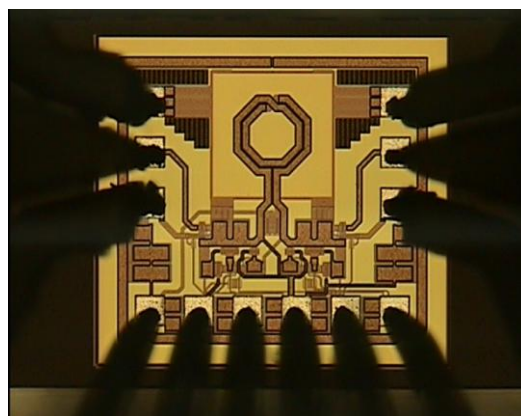


圖 4.16 新式壓控振盪器晶片照片圖

本論文提出之壓控振盪器的晶片大小約為 $0.632 * 0.565 \text{ mm}^2$ ，如圖 4.15 所示。之後通過國家晶片系統設計中心(CIC)的書面審查，以 TSMC $0.18 \mu\text{m}$ 1P6M 製程進行晶片的下線，其晶片成品如圖 4.16 所示。

以下小節的模擬方法，是採用 ADS 2009 配合 TSMC $0.18 \mu\text{m}$ 製程的 Process Design Kit(PDK)進行電路模擬，並萃取 Cadence Virtuoso 軟體電路佈局後的電路走線，如圖 4.17 所示，以 ADS Momentum 將走線效應以及耦合效應以 EM 模擬出來，並將結果匯回 ADS 電路設計圖中，如圖 4.18 所示，進行電路佈局後模擬(Post-Simulation)。最後感謝 CIC 提供 On-Wafer 量測服務。

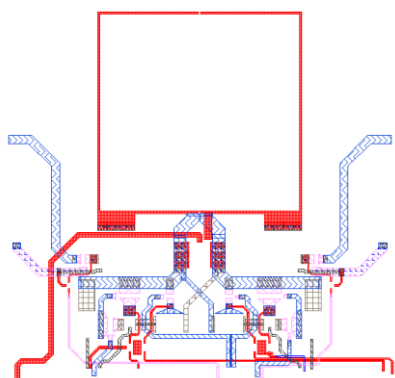


圖 4.17 萃取電路佈局走線

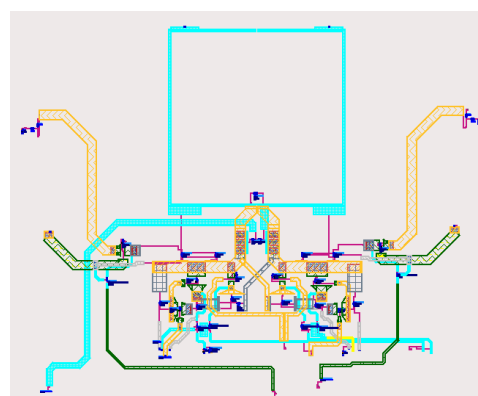


圖 4.18 匯入走線效應後的電路設計圖

4.8.2 振幅精準匹配

圖 4.19 為新式壓控振盪器的差動振幅時域量測波形。在量測時，利用實驗室中的示波器 Tektronix DPO 71254(12.5 GHz Oscilloscope)上的功能，將晶片的輸出差動訊號疊在一起，使之更加容易比對振幅差異。

從圖中觀察數據，Voutp 輸出振幅的 V_{PP} (Peak to Peak Voltage)為 223.2 mV，Voutn 輸出振幅 V_{PP} 為 222.9 mV，差動振幅相當匹配，誤差在可在 0.15% 以下。其中由於此時域量測是使用鏢線至 PCB 板後，再利用轉接頭接至實驗室的示波器中，故線材以及鏢線的效應皆會造成訊號衰減，故輸出振幅較小，但是晶片的功能還是可以使之精準匹配。

此時振盪頻率為 7.75 GHz，直流電流為 2.3mA，功率耗損約為 2.99 mW，相位雜訊表現約為 -114 dBc/Hz 左右。並且，調頻範圍內的其他頻率亦可準確的匹配。

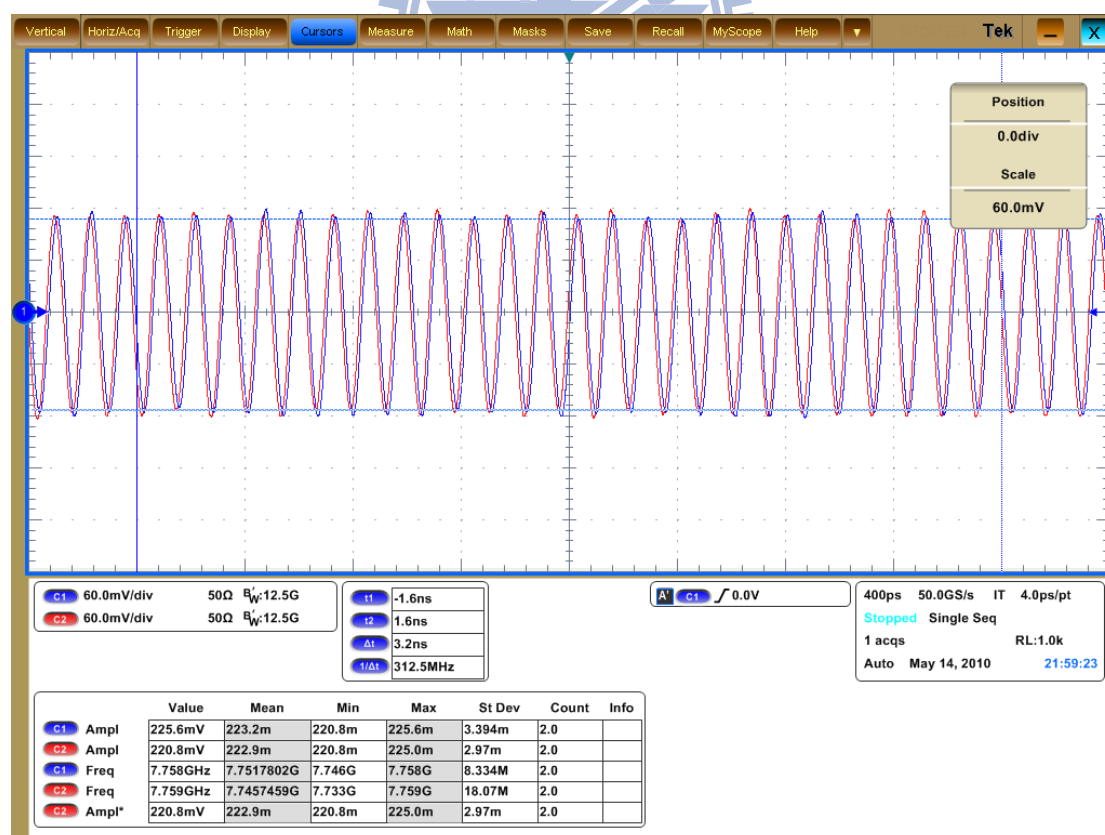


圖 4.19 新式壓控振盪器差動振幅輸出波形

4.8.3 低電壓操作模擬

此小節將 V_{DD} 從 1.5V 往下調，希望在最低 1V 的情況下，讓壓控振盪器仍然可以維持工作。比較在有無外掛式負阻以及有無耦合電容的情況下，討論相位雜訊的特性。如圖 4.20~圖 4.22 所示，最後整理如表 4.3。

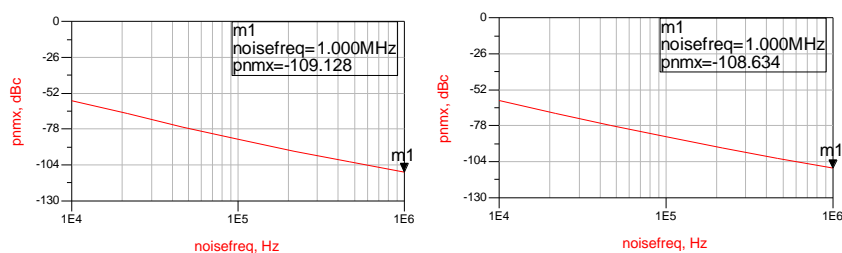


圖 4.20 Normal Cascode Type 在 1.5V 以及 1.3V 系統電壓之相位雜訊

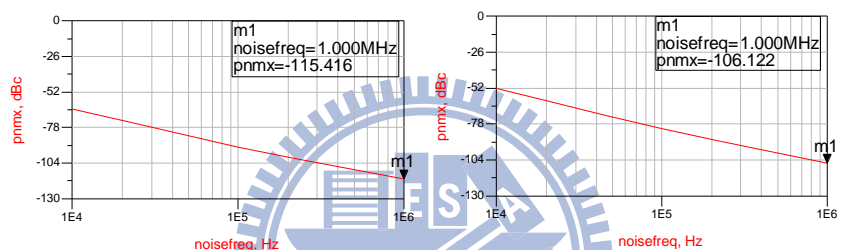


圖 4.21 具耦合電容 C_2 之電路在 1.5V 以及 1.2V 系統電壓之相位雜訊

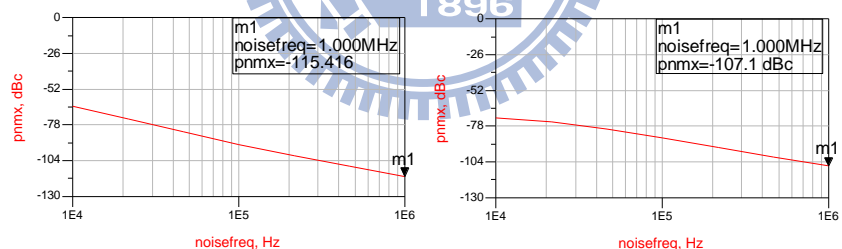


圖 4.22 具耦合電容 C_2 及 M_5M_6 電路在 1.5V 以及 1V 系統電壓之相位雜訊

V_{DD} (V)	1.5	1.4	1.3	1.2	1.1	1
Normal Cascode Type	-109.1	-109.5	-108.6	未振盪	未振盪	未振盪
With C_2	-115.2	-114.6	-113.1	-106.1	未振盪	未振盪
With C_2 & M_5M_6	-115.4	-115.2	-114.6	-111.5	-111.3	-107.1

表 4.3 低系統電壓下各電路起振電壓及相位雜訊(dBc/Hz @ 1MHz offset)

Normal Cascode Type 為未加入任何提升轉導技巧的電路；With M_5M_6 表示增加額外可調式負阻電路；With C_2 表示增加耦合電容；With C_2 & M_5M_6 With C_2 &

M_5M_6 及耦合電容。由以上模擬可知，本論文提出的兩種轉導提昇技巧，均可以成功地降低最低操作系統電壓，最低可降至 1V，達成低電壓操作的目標。

4.8.4 相位雜訊

4.8.4.1 轉導提升的相位雜訊改善

在此小節中，主要模擬本論文提出的增加轉導量(G_m Boosting)的方法，在相同的系統電壓 V_{DD} 操作下，對相位雜訊的表現是否有明顯改善。回顧前述章節，電路如圖 4.14 所示，本論文首先提出耦合電容 C_2 ，將直流電壓偏移電晶體 M_2M_3 增加貢獻轉導的功能。其次提出額外負阻 PMOS 交連耦合對 M_5M_6 ，使整體電路具有更多轉導能力。以下模擬條件為相同的系統電壓 1.3V，各別模擬不同的電路架構的相位雜訊，如圖 4.23 所示，並將消耗功率一起整理如表 4.4。

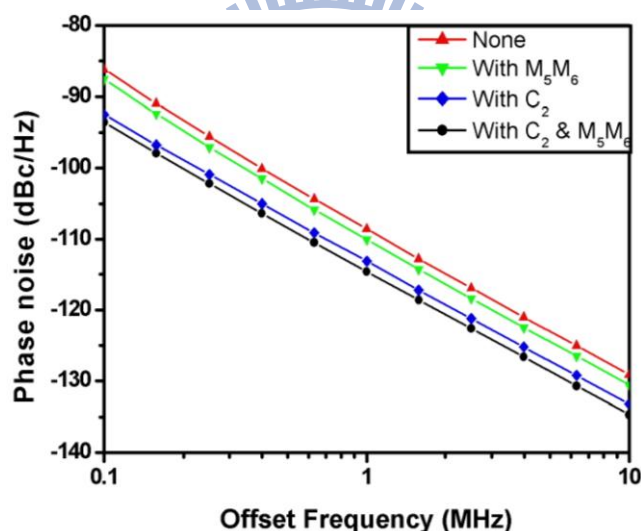


圖 4.23 提升轉導能力可改善相位雜訊

Case	Phase Noise @ 1 MHz Offset(dBc/Hz)	Power Consumption(mW)
Normal Cascode Type (None)	-108.6	1.264
With M_5M_6	-110.1	1.651
With C_2	-113.1	1.264
With C_2 & M_5M_6	-114.6	1.651

表 4.4 相位雜訊與消耗功率整理

由以上圖表可看出，多耗損極小功率後增加的轉導能力，確實能改善相位雜訊。

4.8.4.2 相位雜訊量測與模擬

本論文所提出之新式壓控振盪器的晶片 On-Wafer 量測相位雜訊圖，如下圖 4.24 所示。其振盪頻率為 7.78 GHz，系統電壓供給 1.3V，功率耗損 2.99 mW，相位雜訊在 1 MHz Offset 處表現為 -111.4 dBc/Hz。其中曲線上有些許雜訊，其主要因素應為量測環境引起。若在之後的量測，可能改採取以乾電池取代量測時用的電源供應器，以求最佳的量測環境。

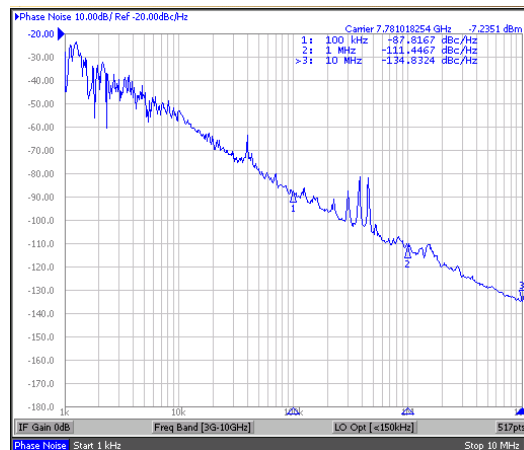


圖 4.24 相位雜訊量測圖

若能有良好的量測環境，相位雜訊量測應可到更貼近於模擬表現，圖 4.25 即為扣除量測曲線上的突波後，與模擬的相位雜訊比較圖。可以看到在 1 MHz Offset 處，模擬與量測十分貼近，故該處量測最佳值可推估為 -114 dBc/Hz。

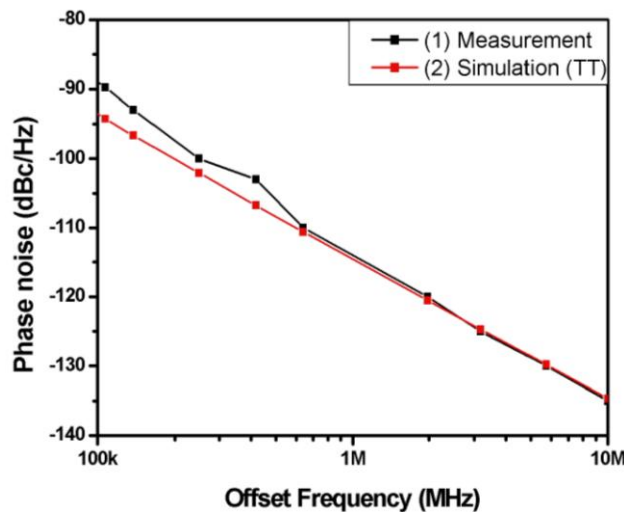


圖 4.25 相位雜訊模擬與量測比較圖

4.8.5 輸出功率

此晶片於 CIC On-Wafer 量測時，其線材與接頭的訊號損耗在 8 GHz 此頻段約為 1.7 dB，在將此損耗扣除前，所量到的功率輸出如圖 4.26 所示。其縱軸為輸出功率大小，約在 -4.5dBm ~ -7dBm 上下；橫軸為 0 ~ 1.8V 的調整電壓。此時的偏壓為 1.3V 的 V_{DD} 系統電壓。線材損耗扣除後，輸出為 -2.8dBm ~ -5.3dBm，與模擬比較，如圖 4.26 所示。輸出功率為模擬上較不能準確預測的參數，頂多僅能模擬輸出的最大值範圍。

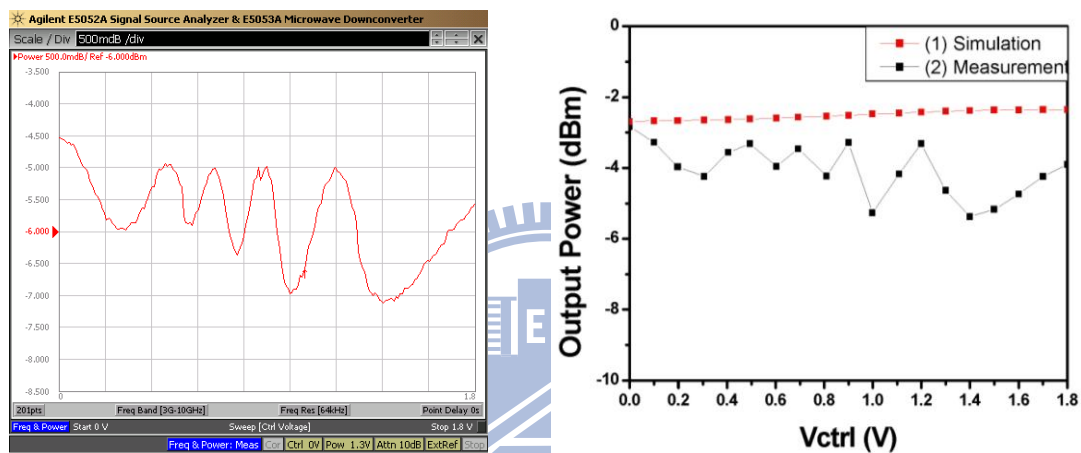


圖 4.26 輸出功率實測圖以及與模擬比較圖

4.8.6 調頻範圍

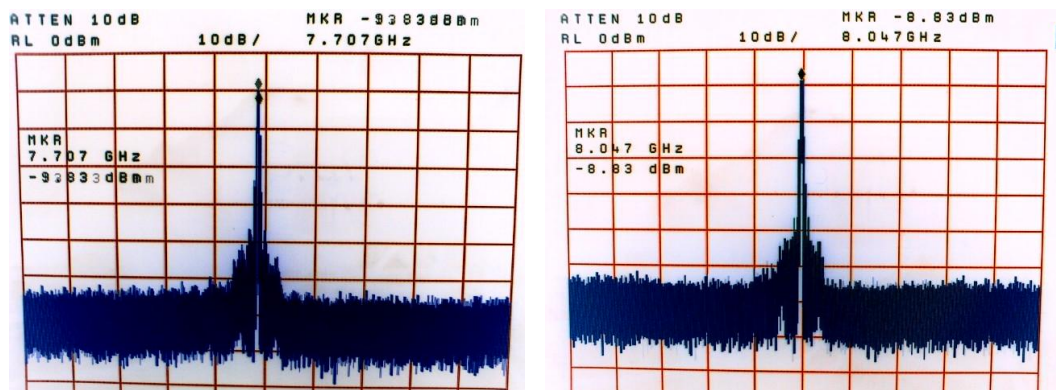


圖 4.27 調頻範圍的最低頻率與最高頻率輸出

如圖 4.27 所示，為新式振盪器晶片鏢線後，於實驗室量測之輸出頻率結果，

可以看出在控制電壓 0~1.8V 下，調頻範圍為 7.707 GHz ~ 8.047 GHz。

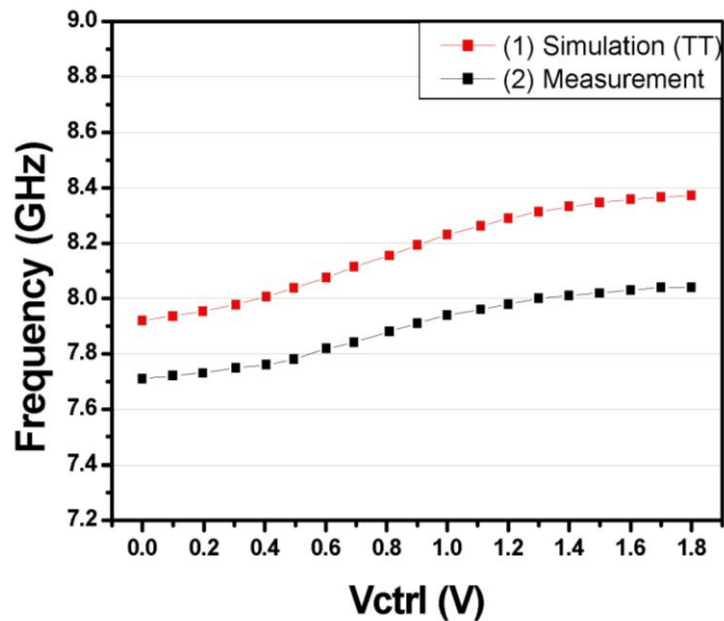


圖 4.28 調頻範圍量測與模擬比較表

其量測結果與模擬比較圖如圖 4.28 所示，約有 300 MHz 的頻率飄移，以模擬的中心頻來算，誤差大致為 3.6%，推測主要的原因乃是些微的製程漂移所導致之誤差。

4.8.7 直流功率消耗

本論文提出之新式壓控振盪器，在上述相位雜訊以及調頻範圍量測時使用的系統電壓為 1.3V，直流電流為 2.3 mA，直流功率消耗為 2.99 mW。另外，為了量測需要所使用的 Common-Source 緩衝器，其量測的直流電流為約 15 mA，模擬上此緩衝器的不具放大功能，具有近 6 dB 的衰減。

4.9 電流再利用壓控振盪器之比較

	Process (μm)	Freq (GHz)	DC power (mW)	Phase Noise @1MHz(dBc/Hz)	Output Power (dBm)	FOM (dBc/Hz)	Amplitude difference
This Work	0.18	8	2.995	-114	-2.8	-187.1	0.15%
2008 MWCL[12]	0.18	12	8.1	-110.8	-16.39	-183	-
2008 MWCL[11]	0.18	16	8.1	-111	-4.5	-186.8	-
2009 MWCL[14]	0.18	3.6	1.7	-122	-	-190.8	0.7%
2007 MWCL[15]	0.18	5	3.9	-116.7	-	-185	-
2007 MWCL[15]	0.18	5	2.59	-110	-	-180	-
2005 ISSCC[10]	0.18	2	1	-103*	-7	-189.3	1.4%

表 4.5 近年國際期刊電流再利用壓控振盪器效能比較表

$$FoM = L\{\Delta\omega\} + 10 * \log\left(\frac{P_{DC}}{1\text{mW}}\right) - 20 * \log\left(\frac{f_o}{1\text{MHz}}\right) \quad (4.1)$$

上表 4.5 為與近年國際期刊的壓控振盪器的比較表，其可以發現本論文提出的新式壓控振盪器的振幅匹配程度可達僅 0.15% 的誤差，優於目前現有的文獻，主因為此新式壓控振盪器，具有兩種調整轉導量的機制，一為粗調的直流電壓偏移機制，二為微調用的直流電流偏壓機制。因此在微調過後的輸出振幅，可以達到精準匹配。在具有這樣的振幅匹配功能之下，還能維持相位雜訊的表現，以及具低功耗的效能，使其 FoM 表現與文獻皆可相抗衡。FoM 公式如(4.1)所述，表中*符號代表為 100 kHz 位移處的相位雜訊。

第五章

低閃爍雜訊次諧波混頻器之設計

5.1 低閃爍雜訊次諧波混頻器電路簡介

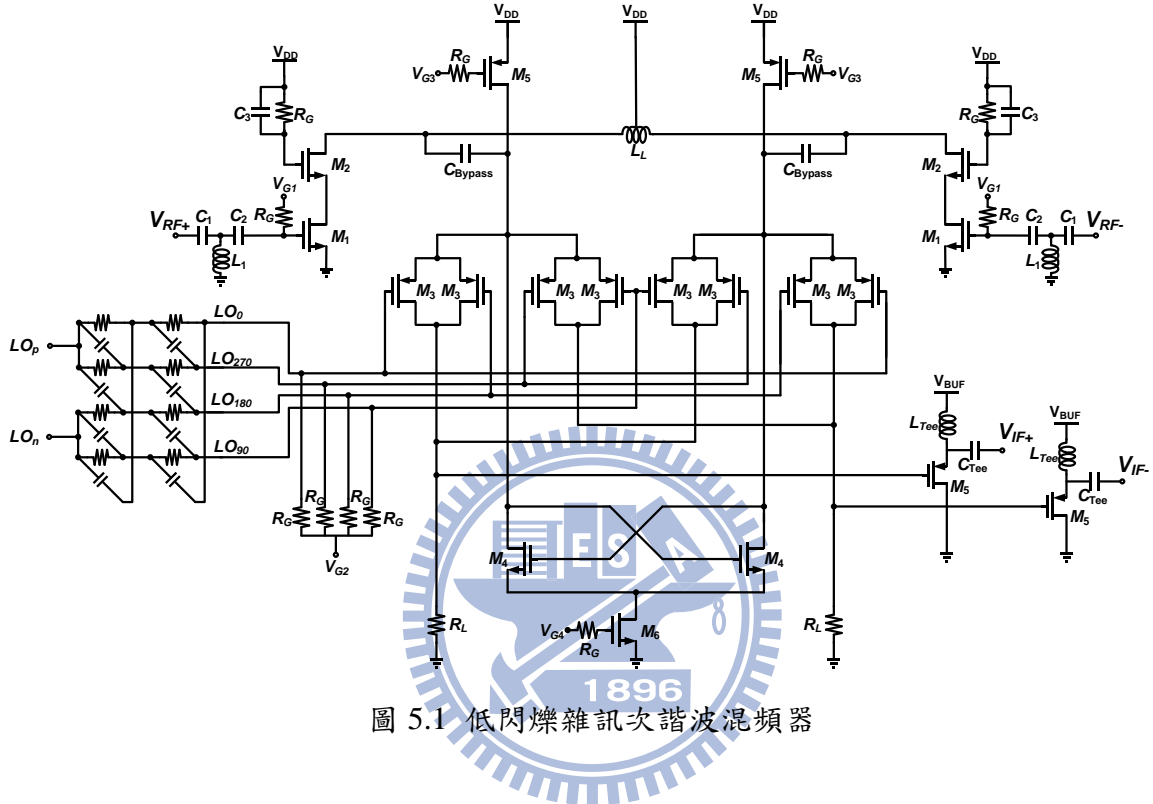


圖 5.1 低閃爍雜訊次諧波混頻器

如圖5.1所示，為本論文所提出16 GHz低閃爍雜訊次諧波混頻器。以水平式次諧波混頻器(Leveled-LO Sub-Harmonic Mixer)[16]為基礎，配合電路設計，可將傳統次諧波混頻器約5 MHz以上的閃爍雜訊轉角頻率，成功地降低至200 KHz。

此處引入一動態電流補償的機制，使得開關級的電晶體直流電流會被此補償電流限制，達到降低開關級電晶體偏壓電流的目標，以降低閃爍雜訊。另外，因轉導級需要較大的偏壓電流才能維持大的轉換增益，所以此處採取折疊式(Folded)架構，使轉導級與開關級的直流電流可以分開設計，且轉導級採串疊(Cascode)組態，提供較高的增益以及較佳的隔離度。並且使用中心抽頭電感，做為轉導級的負載，可以抵消開關級共源處的寄生電容，進一步提高增益。故此諧波混頻器可以在維持轉換增益等特性的情形下，有效降低閃爍雜訊。

5.2 次諧波混頻器

5.2.1 堆疊式次諧波混頻器

吉伯特混頻器(Gilbert Mixer)為相當常使用的射頻混頻器，其中可以進一步利用堆疊開關級的方式，並配合四相位的本地振盪源輸入，使得中頻端可以得到射頻頻率與兩倍本地振盪源頻率相混頻的中頻輸出，其稱為堆疊式次諧波混頻器(Stacked-LO Sub-Harmonic Mixer)[16]，如圖 5.2 所示。

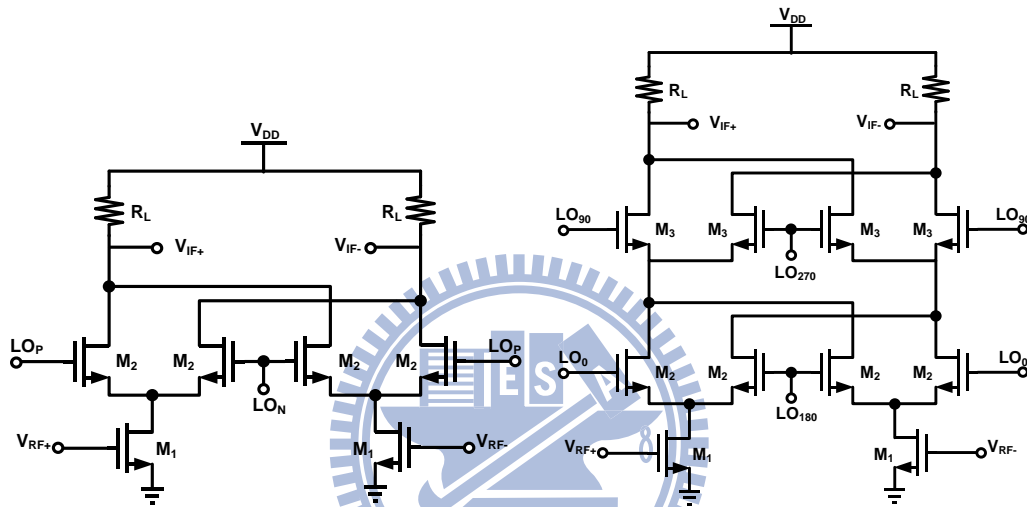


圖 5.2(a)傳統式吉伯特混頻器

圖 5.2(b)堆疊式次諧波混頻器

其工作原理如圖 5.3 所示，由 M_2 構成的開關級假設其轉換方程為頻率等於本地振盪源頻率的開關方波形式，如圖 5.3 中的 $S_1(t)$ 所表示； M_3 開極由與 M_2 開極相差 90 度本地振盪源所驅動，如圖 5.3 中 $S_2(t)$ 。又 $S_1(t)$ 與 $S_2(t)$ 為串疊型式，故每一路的轉導電流所需乘上的轉換方程 $S_T(t)$ ，可以等效成為與 $S_1(t)$ 、 $S_2(t)$ 相乘後的結果，亦即為兩倍本地振盪源頻率的方波轉換方程，達成次諧波混頻的機制。

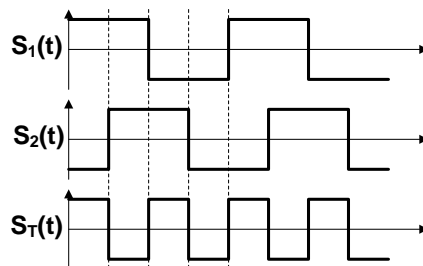


圖 5.3 堆疊次諧波混頻器等效開關轉換方程

但此種電路型態有其缺點，由於電晶體為串疊架構，偏壓問題亦會限制電晶體落在主動區以及三極管區的自由度，故不能提供太大的輸出訊號擺幅，同時也因為系統電壓每一路需要提供四顆電晶體導通，故不適用於低系統電壓操作。

5.2.2 並列式次諧波混頻器

第二種電路架構為水平式次諧波混頻器(Leveled-LO Sub-Harmonic Mixer)，[16]如圖 5.4 所示。此電路型態由於電晶體是並列的形式，在相同的系統電壓情形下，與上小節堆疊式次諧波混頻器相比，可提供較大的訊號輸出擺幅[17]，使得電晶體設計自由度增加。

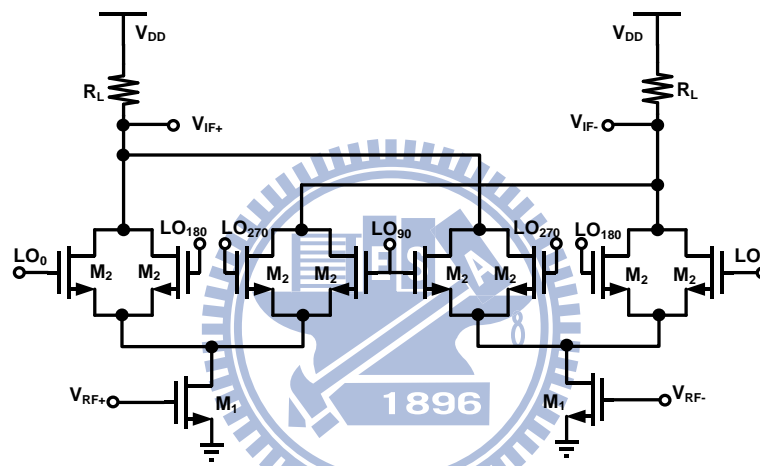


圖 5.4 水平式次諧波混頻器

其中的次諧波混頻機制，可以用圖 5.5 來表示，圖 5.5 中可以看到每一組對接 M_2 電晶體的開關級，由於差動本地振盪源的關係，可以等效為是將本地振盪源進行全波整流後的電壓來驅動單一顆電晶體開關。並且因為全波整流的電壓頻率為兩倍本地振盪源頻率，故可達成次諧波混頻的功能。

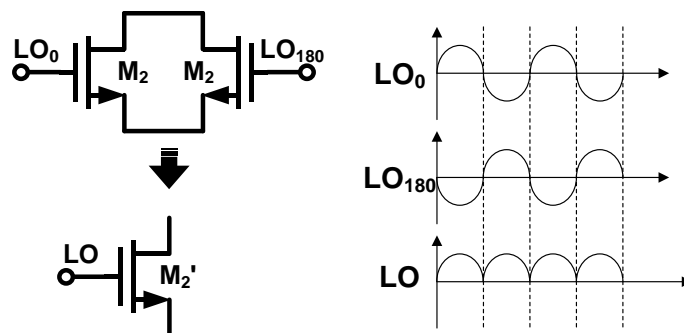


圖 5.5 水平式次諧波混頻器等效電路

本論文即採取水平式次諧波混頻器的基本電路精神，再賦予其可抑制閃爍雜訊的電路技術，降低此次諧波混頻器的閃爍雜訊轉角頻率，使得雷達接收機可以避免在中頻為低頻附近使用時，具高雜訊指數的風險。

5.3 閃爍雜訊成因

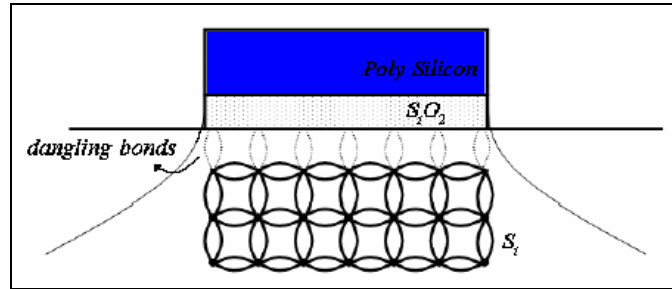


圖 5.6 CMOS 製程之 Dangling Bonds 示意圖

閃爍雜訊(Flicker Noise)一直以來是 CMOS 製程中相較於其他製程較劣勢的部分，相較於 SiGe、GaAs 等製程其閃爍雜訊轉角頻率(Flicker Noise Corner)小於 1 kHz 的情形而言，CMOS 的單一電晶體轉角頻率數百 kHz，整個混頻器，尤其是次諧波混頻器，由數顆電晶體組成，其過高的閃爍雜訊轉角頻率往往是低中頻接收機的最大隱憂。如上圖 5.6 所示，閃爍雜訊的成因之一為電子在矽基板中傳遞時，被二氧化矽(SiO₂)與矽(Si)之間隨機形成的懸吊鍵(Dangling Bonds)限制住 [1]，之後再被隨機的釋放出來，而這限制與釋放的行為造成電流流動的雜訊，又此行為的頻率不高，在低頻或直接降頻應用時被相當重視。

5.4 文獻回顧

5.4.1 閃爍雜訊與混頻器

閃爍雜訊與混頻器之間的轉換關係一直以來被認為是神祕的機制。2000 年 Hooman Darabi 打破了這樣的迷思，認為閃爍雜訊可以被等效為在 MOS 電晶體的閘極端的一低頻雜訊電壓源[18]。

在雙平衡式吉伯特混頻器電路型態的應用下，假設開關級的電晶體為理想開關，故輸入於開關閘極之本地振盪源，可以使得開關級電晶體轉換時為理想的方

波形式，進而達到與轉導電流相乘混頻的功能。此時等效在開關級電晶體閘極的閃爍雜訊源的存在，將會使得方波開關的時間隨機具有些許的提早或延遲。如此一來，考慮閃爍雜訊的開關轉換方程可以等效成理想的方波，加上閃爍雜訊所貢獻的雜訊脈衝。如圖 5.7 所示

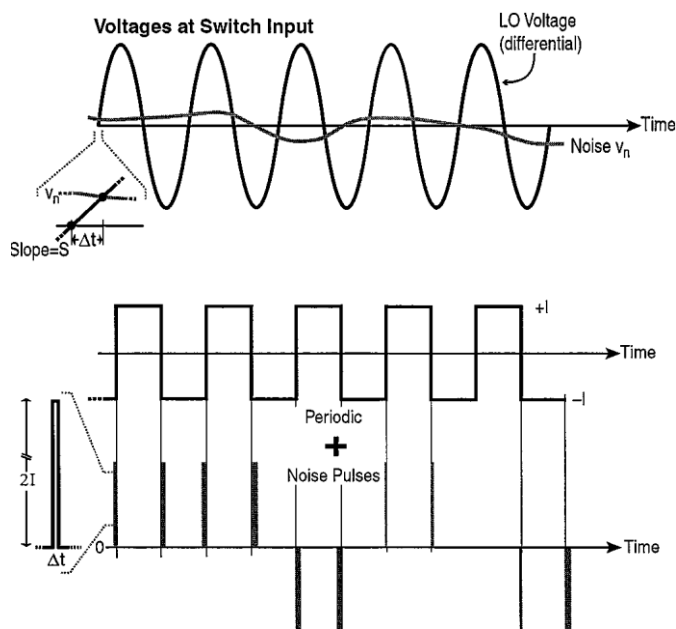


圖 5.7 包含閃爍雜訊與本地振盪源的開關轉換方程

閃爍雜訊即藉由這些不理想的脈衝，直接且強烈的進入到混頻器的轉換頻率行為中，其脈衝可以等效成平均的雜訊電流，如(5.1)所示。其中 V_n 為閃爍雜訊電壓源，為頻率的函數； I 為開關級於轉換交界時的電流，亦即為開關級為開狀態時的電流大小； T 為一個方波的週期， S 為本地振盪源在零交點(Zero Crossing)附近的斜率， Δt 為在閃爍雜訊源的影響下，方波延遲或提早轉換的時間。

$$i_{o,n} = \frac{2}{T} \times 2I \times \Delta t = \frac{4}{T} I \times \frac{V_n}{S} \quad (5.1)$$

由於此雜訊電流正比於 V_n ，故貢獻至混頻器的雜訊指數(Noise Figure)中，會使雜訊指數在低過某一特定低頻頻率時，會與頻率成反比地增長，則此一特定低頻頻率即定義為閃爍雜訊轉角頻率(Flicker Noise Corner)，理論上為熱雜訊大小與閃爍雜訊大小相等時的頻率點。

5.4.2 閃爍雜訊轉角頻率 5 MHz 的接收機

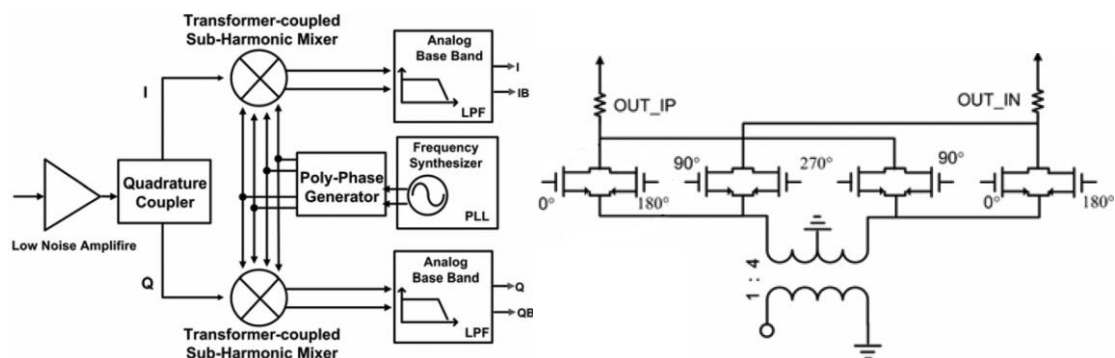


圖 5.8 [19]中接收機以及其次諧波混頻器架構

[19]中所提出的接收機架構為使用次諧波混頻器之直接降頻接收機，其次諧波混頻器的架構為水平式次諧波混頻器，以變壓器電路(Transformer)將射頻訊號輸入至次諧波混頻器中，如圖 5.8 所示。

圖 5.9 為此接收機量測的雜訊指數，可以看出此接收機的雜訊指數轉角頻率大約為 5 MHz。與 5.3 節所述之次諧波混頻器具有相當高的閃爍雜訊轉角頻率相符合。故若接收的訊號為較低頻訊號時，則閃爍雜訊將會對接收的訊雜比有非常強烈的影響。

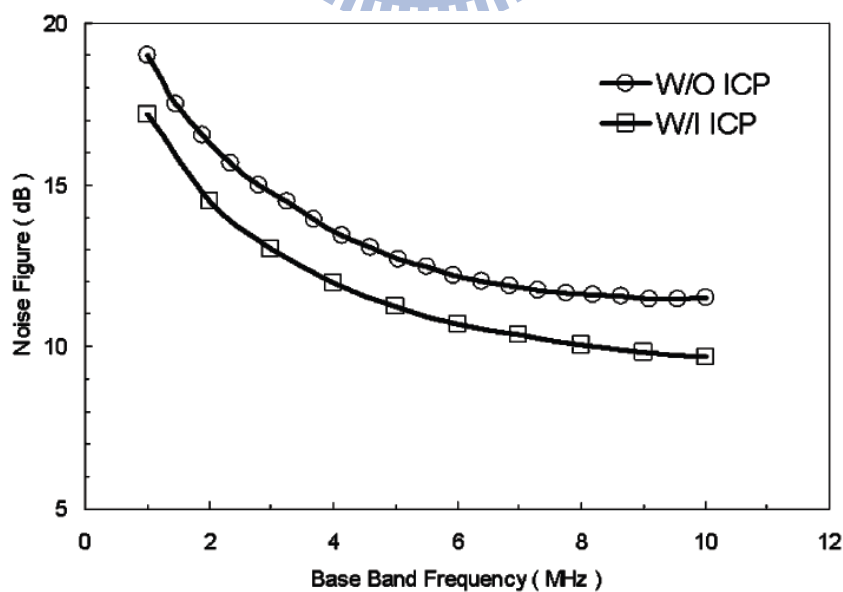


圖 5.9 [19]接收機之雜訊指數

5.4.3 靜態電流補償

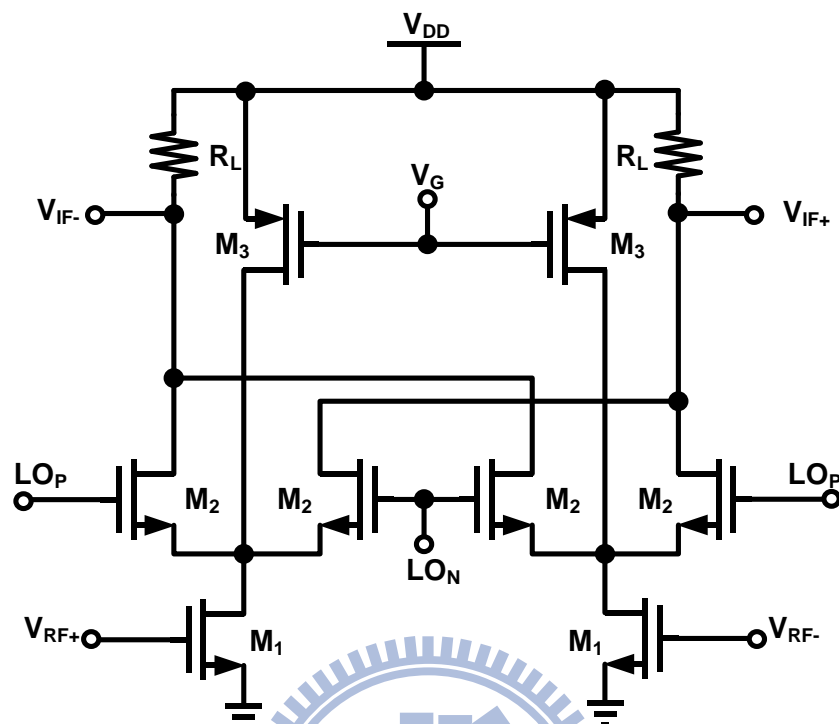


圖 5.10 靜態電流補償混頻器

如 5.4.1 小節所述，閃爍雜訊會在吉伯特混頻器之開關級切換過程中直接影響電路的雜訊指數，倘若開關級 M_2 的直流電流越大，則如(5.1)所示，進入到電路中的閃爍雜訊電流就會越大。相反地，若能將開關級的直流電流降低，則可以有效抑制閃爍雜訊進入。但是如果直流電流直接降低的話，將會縮小轉導級 M_1 電晶體的轉導能力，降低整體得電路增益。

若混頻器電路架構如上圖 5.10 所示[20]，引入靜態電流補償(Static Current Bleeding)的概念，則可以克服開關級需要小直流電流與轉導級需要大直流電流之間的矛盾。其工作原理可以視為轉導級電晶體 M_1 的直流電流來源可以有兩路，一路為傳統的開關級提供電流，另一路為新增的靜態電流補償電晶體 M_3 提供的電流。如此可以維持原有的轉換增益，又有效降低閃爍雜訊的轉角頻率。

5.4.4 動態電流補償

然而，上一小節之靜態電流補償有其缺點，它讓開關級的偏壓電流變小，同時意味著在開關級的共源極處電壓易受影響，使整體混頻器的線性度下降。若此處改採用動態電流補償(Dynamic Current Bleeding)[21]，其機制能保留靜態電流補償的優點，同時讓開關級維持良好線性度。如圖 5.11 所示。

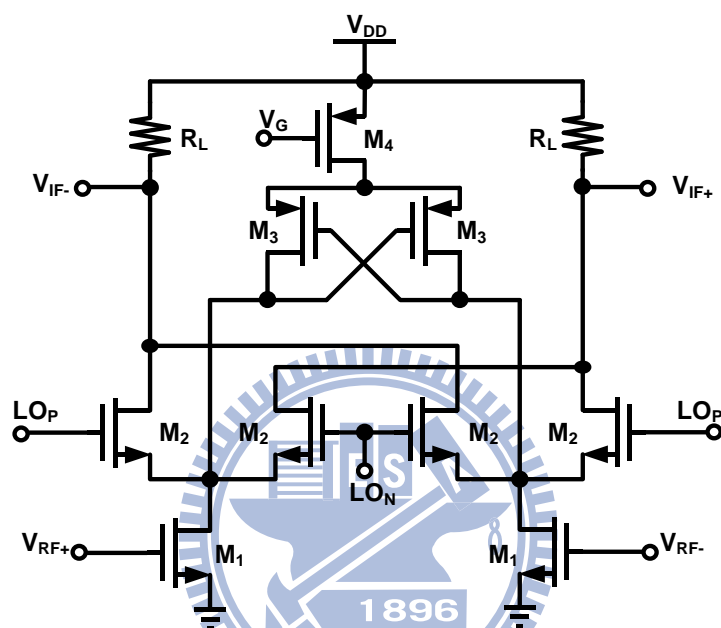


圖 5.11 動態電流補償混頻器

此電路之工作原理即是利用開關極的共源點，在開關切換時會有兩倍本地振盪源頻率的電壓擺幅，且此電壓擺幅在開關轉換之際有為低電壓之情形，若將 PMOS 交連耦合對(Cross-Coupled Pair)M₃ 引入，並做適當的尺寸設計，使開關級的共源點電壓擺幅直接偏壓給 M₃ 的閘極，如此一來 M₃ 在開關轉換之際，也就是共源點為低電壓時將會導通，進行電流補償。其它非開關轉換之際的正常開關情形時，由於開關級共源點為高電壓，故 PMOS，M₃ 處於無法導通的情形，可視可為開路。如此一來，可僅在需要補償電流的時候，也就是閃爍雜訊透過開關級開關轉換之際進入混頻器之時，進行電流補償，即能在保持混頻器良好的線性度情形下，有效降低閃爍雜訊的影響。

5.5 低閃爍雜訊次諧波混頻器設計

5.5.1 電晶體與電路架構之選擇

閃爍雜訊如上小節文獻回顧中所述，可以被等效成為一個位於電晶體閘極的雜訊電壓源，其雜訊功率大小可如(5.2)[1]所述，為一個與頻率成反比的函數，其中 W 與 L 為電晶體的長寬尺寸； KF 為常數，PMOS 與 NMOS 的 KF 常數不同； Δf 為頻寬； C_{ox} 為單位面積的閘極氧化電容； K' 為轉導參數，也等於 $\mu_0 C_{ox}$ 。

$$V_n^2 = \frac{(KF)}{2fC_{ox}WLK'} \Delta f \quad (5.2)$$

其中就經驗而言 PMOS 的閃爍雜訊大約會比 NMOS 的閃爍雜訊小二至五倍左右[1]，其主因為 PMOS 的 KF 較 NMOS 的 KF 值為低，故選擇 PMOS 可以有效降低閃爍雜訊，並且在相同的 L 底下，電晶體必須選擇尺寸較大，以提升 WL 乘積。

又此處將(5.1)重新寫下，如(5.3)所示，為閃爍雜訊造成的雜訊電流，從中可發現要降低閃爍雜訊對此雜訊電流的貢獻，必須要降低開關級的直流電流。

$$i_{o,n} = \frac{4}{T} I \times \frac{V_n}{S} \quad (5.3)$$

本論文可以水平式次諧波混頻器為基礎，再針對以上兩個結論，可以將閃爍雜訊 V_n 所在的開關級，改以 PMOS 來設計，同時將 PMOS 電晶體的尺寸在不影響其他特性的條件下盡可能的增大。接著將開關級與轉導級改以採取折疊式架構，使得轉導級與開關級的直流電流可以分開，增加電流設計的彈性，可以維持轉導級大電流，保持轉換增益，並且讓開關級直流電流縮小，降低閃爍雜訊的貢獻。最後再將轉導級，改採取串疊電晶體型式來設計，以取得更大的轉換增益以及良好的轉導級與開關級的隔離度，可以大幅降低兩級之間振盪的機會。其電路設計目前為止可以如圖 5.12 所示。

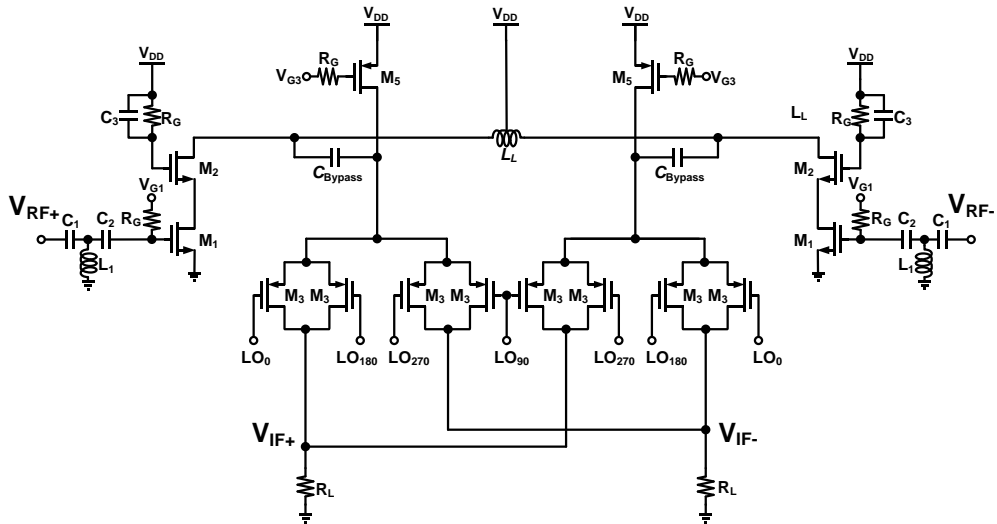


圖 5.13 使用電感抵消開關級共源點寄生電容

5.5.3 電流補償

上述討論已經以折疊式架構將轉導級與開關級的電流分開設計，以此為基礎，此處更進一步要抑制開關級的直流電流，將閃爍雜訊抑制到更小的情形，故引入由5.4小節文獻回顧中所提到的電流補償機制，在避免電路因電流過小而陷入工作不穩定的情形，維持電流源 M_5 電晶體一定量的電流輸出，再將此電流源以NMOS交連耦合對 M_4M_6 ，搶奪開關級的直流電流，使得開關級電流可以降至每路約僅有0.19 mA的直流電流，再度降低閃爍雜訊的影響，如圖5.14所示。

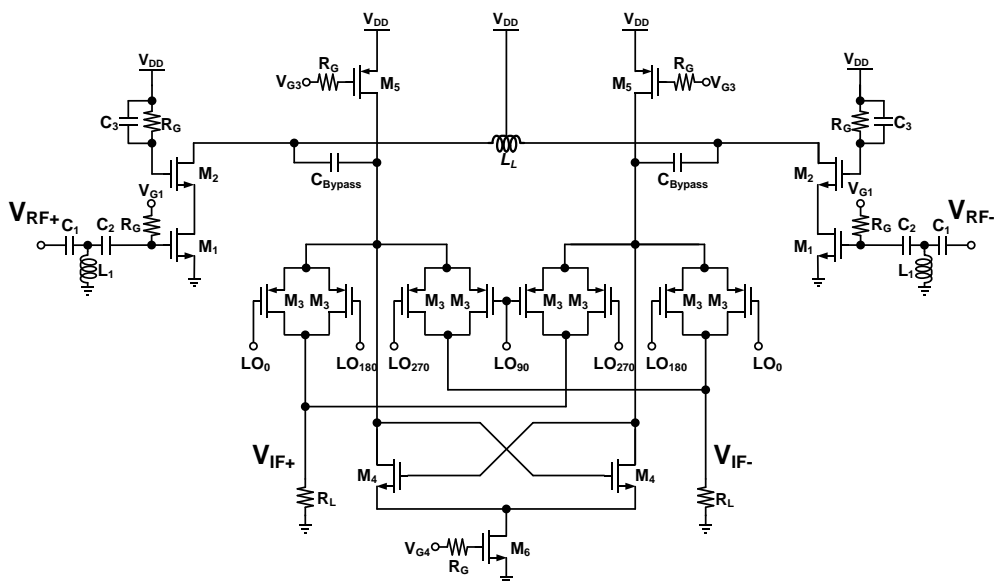


圖 5.14 引入電流補償機制

5.6 電路新穎性與全電路架構

由於次諧波混頻器需要四相位輸入的本地振盪源訊號，在此使用直觀的二級串接四相位 RC-CR 相移器，將差動輸入的本地振盪源輸入轉為四相位輸出。且二級串接的優點可以抵抗更多製程上的誤差，使相移器的輸出更加準確。另外為了量測需求，在混頻器的中頻輸出端必須加入緩衝器讓阻抗匹配為 50 歐姆，此處使用共閘組態之源極追隨器當作緩衝器使用，其中由於匹配需求，此緩衝器有先天的 6dB 損耗。加上以上兩組電路之後，即為本論文所提出的低閃爍雜訊次諧波混頻器，全電路架構如圖 5.15 所示。

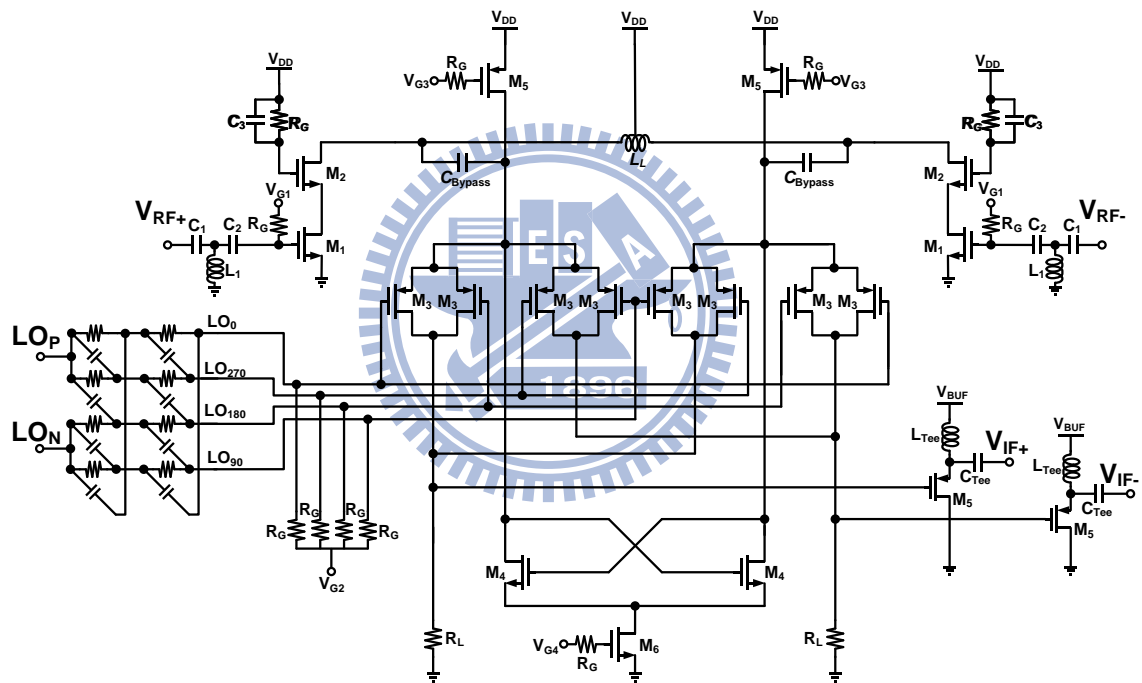


圖 5.15 低閃爍雜訊次諧波混頻器全電路圖

此電路新穎性在於次諧波混頻器討論其閃爍雜訊的文獻目前不常見，針對降低次諧波混頻器閃爍雜訊的研究亦不多。在研究閃爍雜訊的成因之後，本論文成功以電路技術將次諧波混頻器的閃爍雜訊轉角頻率由傳統的 5 MHz 以上，最低降至 200 KHz。且電路的轉換增益、線性度等重要特性，皆能維持與一般次諧波混頻器相同的水準。可以有效提升低頻中頻訊號的訊雜比。

5.7 模擬數據

5.7.1 電路佈局

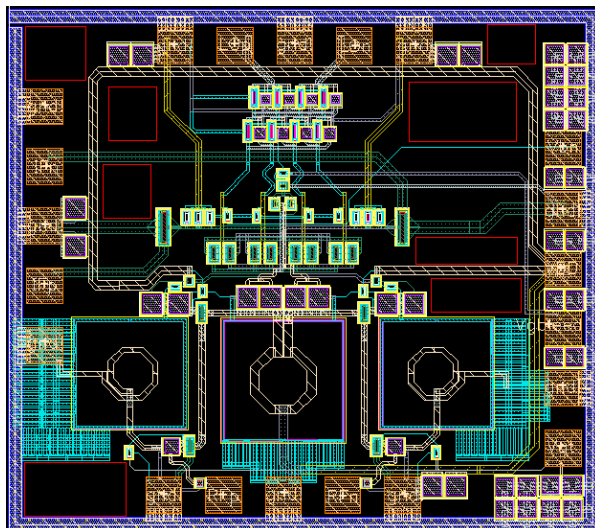


圖 5.16 低閃爍雜訊次諧波混頻器電路佈局圖

本論文提出之次諧波混頻器的晶片大小約為 $0.987 * 0.870 \text{ mm}^2$ ，如圖 5.16 所示。之後通過國家晶片系統設計中心(CIC)的書面審查，以 TSMC $0.18 \mu\text{m}$ 1P6M 製程進行晶片的下線。

以下小節的模擬方法，是採用 ADS 2009 配合 TSMC $0.18 \mu\text{m}$ 製程的 Process Design Kit(PDK)進行電路模擬，並萃取 Cadence Virtuoso 軟體電路佈局後的電路走線，如圖 5.17 所示，以 ADS Momentum 將走線效應以及耦合效應以 EM 模擬出來，並將結果匯回 ADS 電路設計圖中，如圖 5.18 所示，進行電路佈局後模擬 (Post-Simulation)。

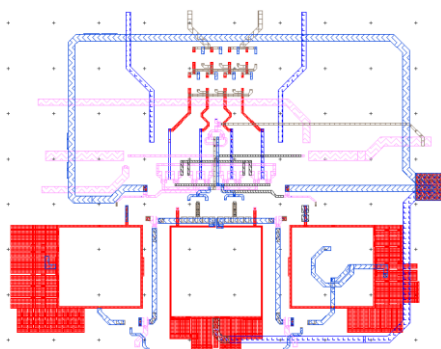


圖 5.17 萃取電路佈局走線

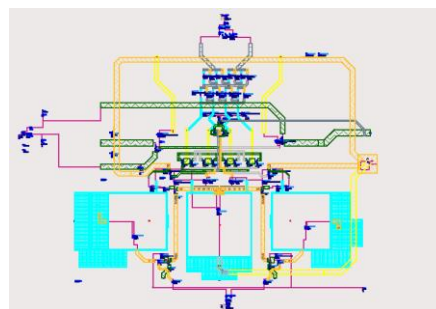


圖 5.18 匯入走線效應後的電路設計圖

5.7.2 雜訊指數與閃爍雜訊轉角頻率

圖 5.19 為本論文提出之低閃爍雜訊次諧波混頻器之雜訊指數模擬圖。圖中 Proposed SHM 代表本論文提出的低閃爍雜訊次諧波混頻器；Current Bleeding 代表電流補償技術；Traditional NMOS SHM 代表同樣採取水平注入式次諧波混頻器架構，以 NMOS 電晶體構成開關級電路，且轉導級與開關級為傳統式架構，共用直流電流。為了公平比較，此三種電路均設計在 16 GHz 頻率，轉換增益皆維持在 6 dB 左右來進行模擬。

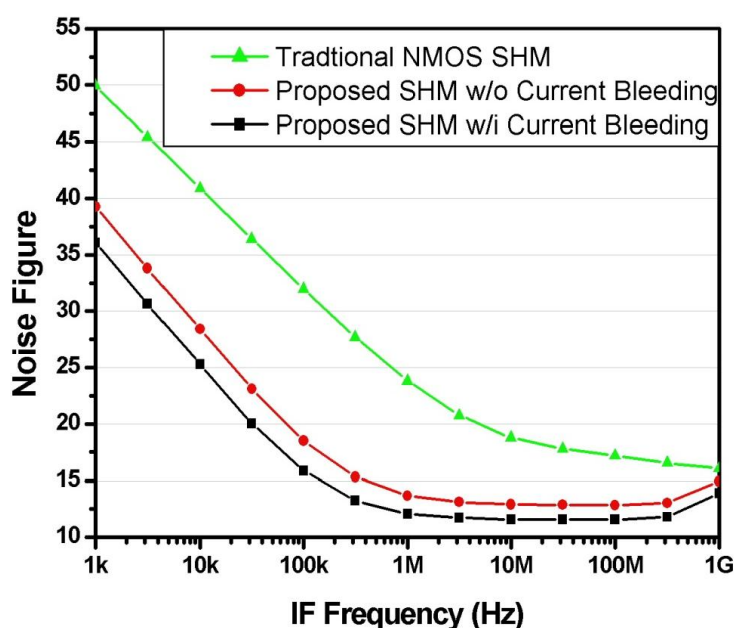


圖 5.19 閃爍雜訊轉角頻率改善圖

由圖中可以發現，傳統式的NMOS水平式次諧波混頻器的閃爍雜訊轉角頻率相當的高，約大於8 MHz以上。而本論文所提出的以PMOS為主的折疊水平式次諧波混頻器架構，因為直流電流已經分開設計，可以將轉角頻率降至300 KHz。在此架構上再加入電流補償技術，可以更進一步將轉角頻率降至200 KHz。此處將中頻為100 KHz以及1MHz時的三種電路架構的雜訊指數整理如下表5.1所示。

IF 頻率	100 KHz	1 MHz
Traditional	31.96 dB	23.83 dB
W/O Current Bleeding	18.52 dB	13.68 dB
W/I Current Bleeding	15.85 dB	12.09 dB

表 5.1 100 KHz 以及 1MHz 時的雜訊指數整理

5.7.3 轉換增益

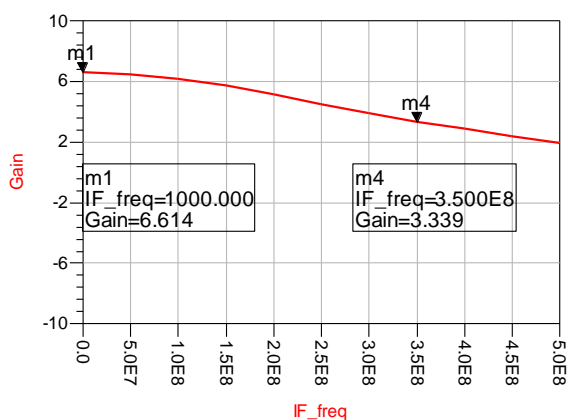


圖 5.20 IF 頻率與轉換增益



圖 5.21 本地振盪源功率與轉換增益

圖 5.21 為轉換增益與中頻頻率的相對關係圖，其本地振盪源頻率固定為 8 GHz，射頻訊號功率為 -30 dBm，射頻頻率為 16 GHz 掃頻至 16.5 GHz。可以看出在中頻頻率接近 DC 附近時，也就是射頻頻率為 16 GHz 時的轉換增益為最高，約有 6.7 dB。其 3 dB 頻寬約有 350 MHz。

圖 5.21 為本地振盪源功率大小與轉換增益的相對關係圖，其本地振盪源頻率固定為 8 GHz，功率大小從 -5 dBm 增加至 20 dBm。由於使用二級 RC-CR 四相位相移器的緣故，為了四相位輸出，消耗較多的本地振盪源功率於其上。故需較大的本地振盪源功率才能獲得較好的電路轉換增益。

5.7.4 返回損耗

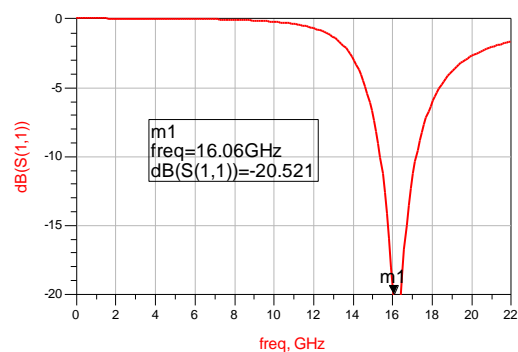


圖 5.22 射頻端返回損耗

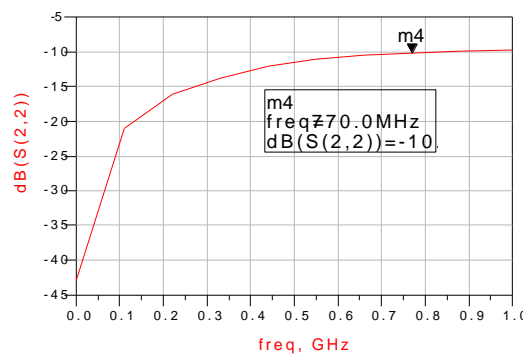


圖 5.23 中頻端返回損耗

如圖 5.22 所示為射頻端的返回損耗，以 16 GHz 中心，低於 10 dB 的頻寬約有 1 GHz。圖 5.23 為中頻端的返回損耗，最高低於 10 dB 的頻率點為 770 MHz。

5.7.5 隔離度

隔離度模擬於本地振盪源 8GHz，功率10dBm，且射頻訊號頻率為 16 GHz，功率-30 dBm之情形。並將結果整理為表5.2所示

Port to Port	Isolation
LO to IF	42.9 dB
2LO to IF	57.2 dB
LO to RF	88.7 dB
2LO to RF	101.5 dB
RF to IF	23.6 dB

表 5.2 各端隔離度整理

5.7.6 線性度

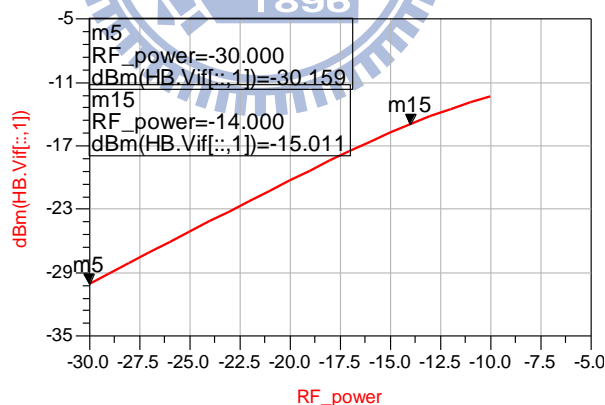


圖 5.24 IP_{1dB} 模擬圖

如圖 5.24 所示，縱軸為未扣除緩衝器損耗前的中頻輸出功率，橫軸為逐漸增大的射頻功率，當射頻功率與中頻功率的差值隨著射頻功率增大而縮小 1dB 的功率點為，-14 dBm，亦即為此電路的 IP_{1dB} 點。此模擬中的射頻訊號頻率為 16.1 GHz；本地振盪源頻率為 8 GHz，功率為 10 dBm。

Parameter	IP_{1dB}	IIP3
Simulation	-14 dBm	-4.33 dBm

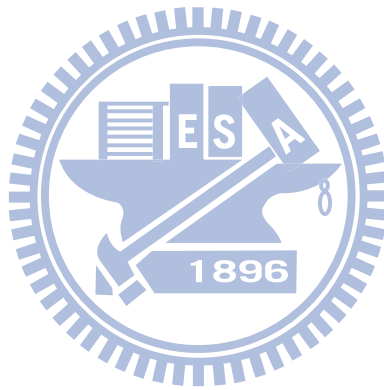
表 5.3 線性度整理

此處將 IP_{1dB} 與 IIP3 整理如表 5.3 所示，可看到兩者約差 10 dB，與理論值相符。

5.7.7 直流功率損耗

V_{DD}	DC Current	Power Comsumption
1.8 V	9.451 mA	17.02 mW

表 5.4 直流功率損耗



5.8 次諧波混頻器之比較

	Process (μ m)	Freq (Ghz)	Current Bleeding	Prototype	DC power (mW)	Gain (dB)	White NF (dB)	Flicker Corner (Hz)	IP _{1dB} (dBm)	IIP3 (dBm)
This work	0.18	16	W/I	Active SHM	17.026	6.7	12.7	200 k	-14	-4.08
2007 JSSC[24]	0.18	5.2	W/O	Active SHM	13.6	12.9	17	2000 k	-	-1.8
2007 APMC[33]	0.18	5.2	W/O	Active SHM	-	12.8	11.7	8000 k	-	-1.8
2005 TCS[34]	0.18	0.9	W/O	Active SHM	1.35	9.17	12	2500 k	-14.5	-5.01
2006 ISSCC[23]	0.18	2.2	W/O	Passive SHM	12.7	4.5	16.5	100 k	-13	0

表 5.4 混頻器效能比較表

上表 5.4 為與近年國際期刊的混頻器比較表，包含傳統式的次諧波混頻器，以及具較低閃爍雜訊的被動型次諧波混頻器。在維持住線性度以及白色雜訊指數(高於閃爍雜訊轉角頻率之雜訊指數)的效能情形下，將電流補償的技術應用在次諧波混頻器中。由模擬結果可以發現此本論文所提出之低閃爍雜訊次諧波混頻器的轉角頻率可以降低將近 40 倍左右，由此可看出此電路的新穎性與貢獻度。

由於本電路所設計的射頻頻率高於參考文獻至少三倍以上，當頻率操作越高頻時，混頻器的轉換增益天性上會較差。此外，由(5.3)知，當混頻器之操作頻率越高時，閃爍雜訊對電路的影響就越大，故在高頻操作中要達到抑制閃爍雜訊更屬不易，由此可以更顯現出本電路對閃爍雜訊的抑制程度。雖然被動式次諧波混頻器可達到較低的閃爍雜訊轉角頻率，但是其轉換增益是相對較小的。倘若射頻頻率操作在 16 GHz 此頻帶附近，被動式次諧波混頻器要達到高增益是相對困難許多的。故在取捨考量之後，使用主動式的次諧波混頻器架構，並搭配電流補償機制以及加入抵消寄生電容的諧振電感，可將閃爍雜訊轉角頻率抑制至最低，僅略次於被動式次諧波混頻器，可顯現出本電路之優異性能。

第六章

壓控振盪器與混頻器整合設計

6.1 壓控振盪器與混頻器整合設計

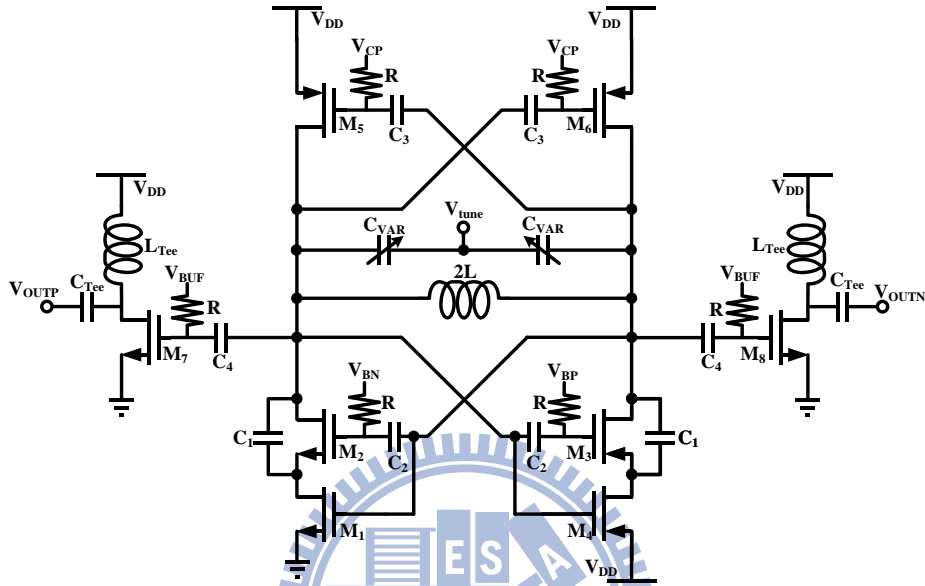


圖 6.1 新式壓控振盪器

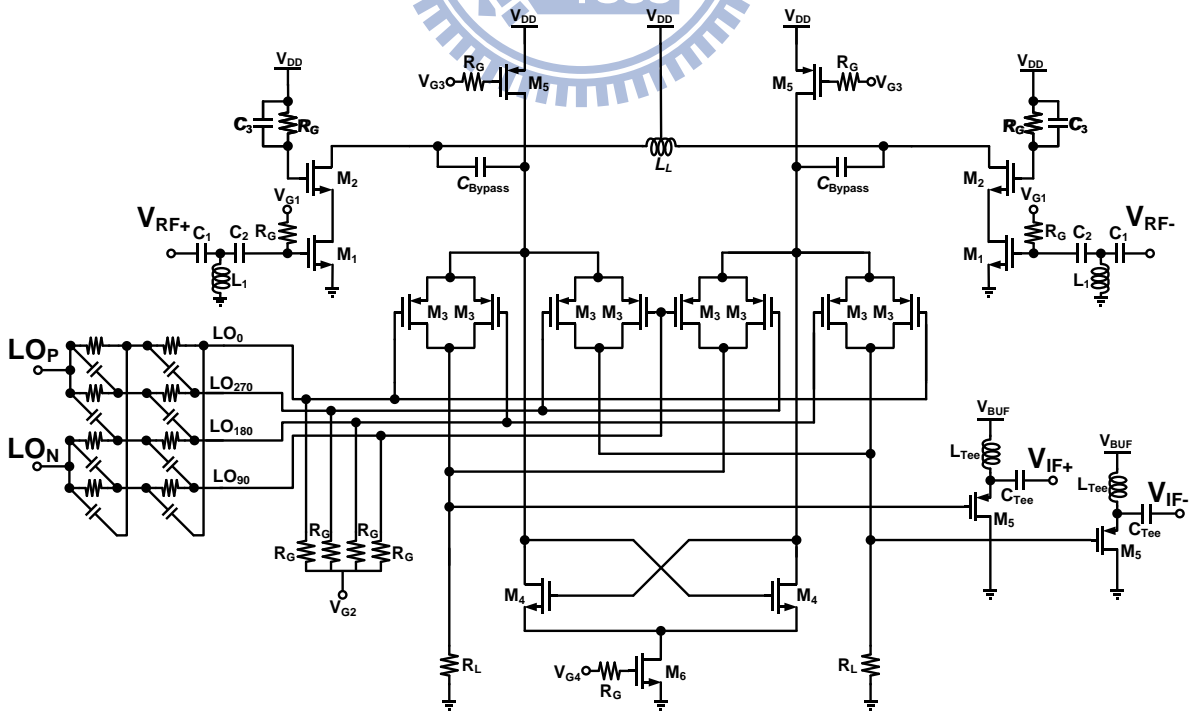


圖 6.2 低閃爍雜訊次諧波混頻器

本論文所提出之兩電路如圖 6.1 與圖 6.2 所示，在考慮兩個子電路的整合設計時，最重要的即為維持兩個電路的效能情形下，將此二電路聯結在一起。故其連接之介面為最重要的設計核心。此處先回顧新式壓控振盪器與低閃爍雜訊次諧波混頻器的電路效能，如表 6.1 與表 6.2 所示。

	Process (μm)	Freq (GHz)	DC power (mW)	Phase Noise @1MHz(dBc/Hz)	Output Power (dBm)	FOM (dBc/Hz)	Amplitude difference
This Work	0.18	8	2.995	-114	-2.8	-187.1	0.15%

表 6.1 新式振盪器電路特性

	Process (μm)	Freq (Ghz)	Current Bleeding	Prototype	DC power (mW)	Gain (dB)	White NF (dB)	Flicker Corner (Hz)	IP _{1dB} (dBm)	IIP3 (dBm)
This work	0.18	16.1	W/I	Active SHM	17.026	6.573	12.7	200 k	-14	-4.08

表 6.2 低閃爍雜訊次諧波混頻器電路特性

其中值得注意的是低閃爍雜訊次諧波混頻器的電路特性是處於具有 10 dBm 本地振盪源功率之下所模擬得之。但是表 6.1 可以看到新式壓控振盪器的輸出功率因配合量測所需，為具有損耗的緩衝器所推出的功率僅有最高-2.8 dBm 的輸出。因此為了使壓控振盪器的輸出功率足以推動次諧波混頻器，則必須將壓控振盪器的緩衝電路重新設計為可推出單端至少 7 dBm，使差動兩端可以推出 10 dBm 的本地振盪源功率。

第二個設計重點為四相位 RC-CR 相移器。此相移器在設計時是配合量測所需，一樣設計為 50 歐姆匹配情形下的最佳化設計。在壓控振盪器與次諧波混頻器的整合設計時，此相移器為壓控振盪器之緩衝放大器的負載，故若保持為小阻抗設計的話，將會拖累緩衝放大器的放大功能，造成損耗。

以上述兩重點為原則，將此壓控振盪器的輸出電路以及次諧波混頻器的本地振盪源輸入電路重新設計如下圖 6.3 所示。

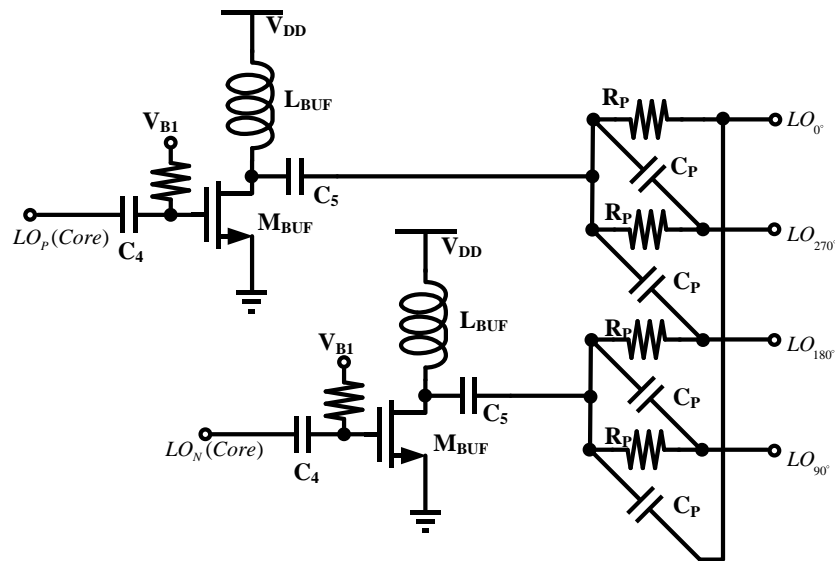


圖 6.3 緩衝放大器與相移器設計

圖 6.3 中之相移器改採取單級設計，並且因 R_P 尺寸大小已放大設計來增加阻抗值，故製程飄移的影響可以減緩。 M_{BUF} 電晶體也重新使用較大尺寸的電晶體來增加轉導能力，並且將 L_{BUF} 設計成為與 C_P 以及次諧波混頻器開關級電晶體之寄生電容並聯諧振的感值，使得此 M_{BUF} 可以看到較大的輸出負載，將壓控振盪器的核心電壓擺幅以略為放大的情形推出，使之單端輸出功率可達到設計要求。

6.2 模擬數據

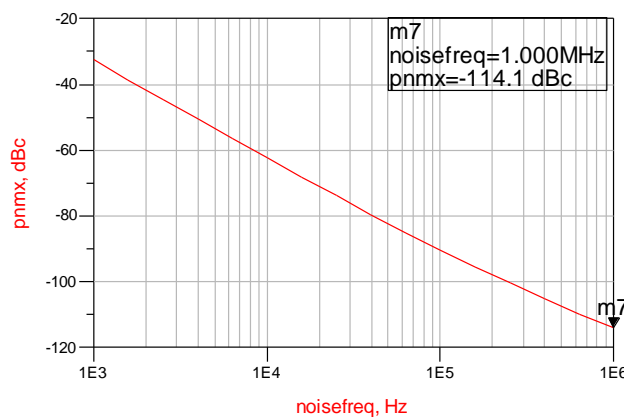


圖 6.4 整合設計後 8 GHz 之相位雜訊

圖 6.4 為將此二子電路相接後，壓控振盪器於緩衝放大器輸出端之相位雜訊，可以看出其相位雜訊依然保持良好，與原本比較僅約損失 1dB 左右。其振盪頻率為 8 GHz。

下圖 6.5 為緩衝放大器的輸入以及輸出訊號，在設定中 `harminde2` 為 2 的地方即為振盪頻率 8 GHz 的輸出。可以看到此緩衝放大器可提供約 2.76 dB 的增益，使本地振盪源之單端輸出達 7.527 dBm，足以推動下級次諧波混頻器。

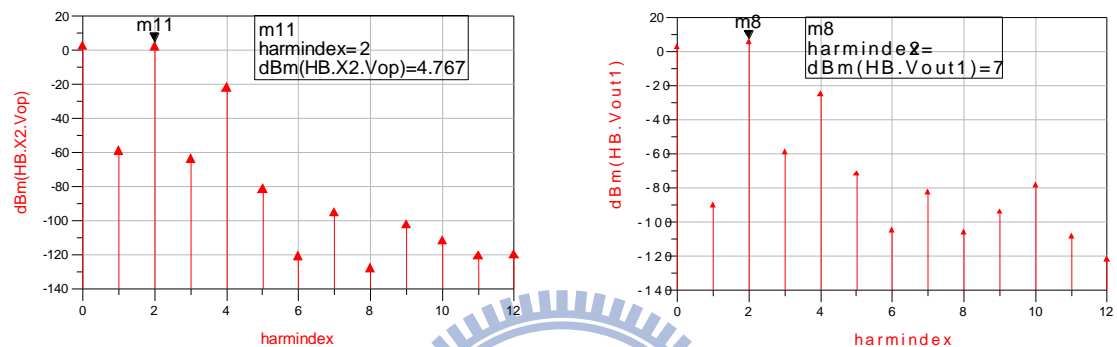


圖 6.5 緩衝放大器之輸入與輸出功率

在調整壓控振盪器輸出頻為準確的 8 GHz 後，可將此以連接的此二電路同時跑 Harmonic Balance 模擬，直接以壓控振盪器所輸出的本地振盪源與射頻訊號透過次諧波混頻器進行混頻，不過很可惜此種做法僅能得到圖 6.4 的壓控振盪器相位雜訊，無法得到雜訊指數的模擬值。並由此 HB 模擬中，在壓控振盪器振盪於 8GHz 情形下，輸出單端 7.527 dBm 功率的本地振盪源，與射頻 16.1 GHz，-30 dBm 功率相混，可以得到整合壓控振盪器以及次諧波混頻器設計的轉換增益為 7.92 dB。其中壓控振盪器的直流功率消耗為 1.35 mW；緩衝放大器的直流功率消耗為 16 mW；次諧波混頻器的直流功率消耗為 10.53 mW。故整體直流消耗功率為 27.88 mW。

進一步使用時域模擬此二電路的最後的中頻輸出功率，可以得到更貼近真實情形的波形圖，再利用傅立葉轉換將時域波形轉至頻域中，如圖 6.5 所示。可看出時域模擬中的中頻輸出功率以及本地振盪源功率。扣除掉混頻器的緩衝器大約 6 dB 的損失後，其轉換增益約為 7.905dB，與 HB 模擬中的相近，可相互呼應。

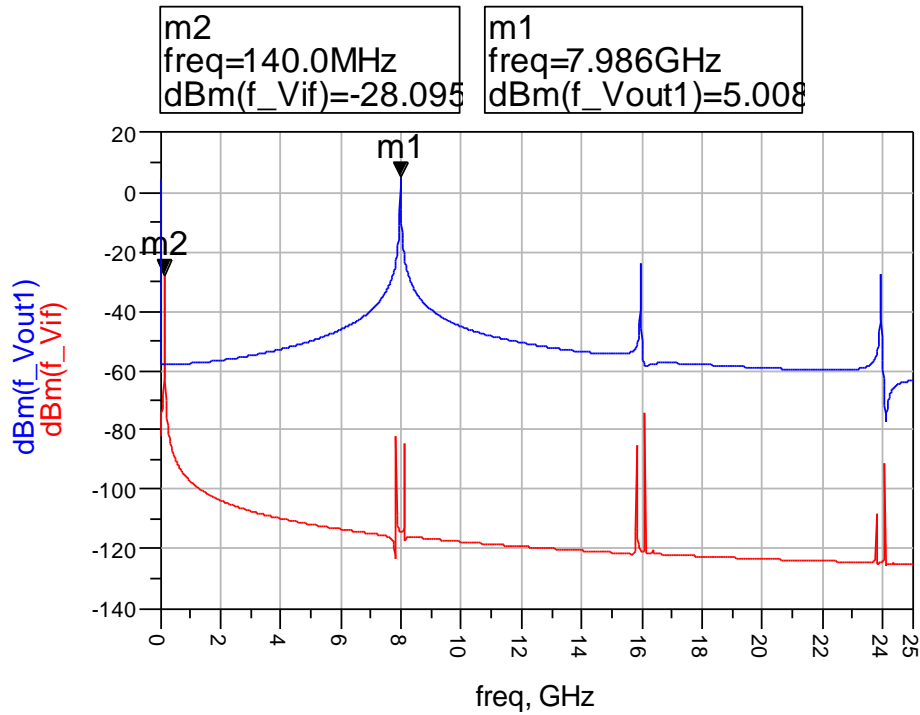


圖 6.5 Transient 模擬後時域轉頻域之頻譜圖

上述模擬結果整理後，如下表 6.3 所示。

	VCO (Measurement)	SHM (Post-Sim.)	VCO、Buffer、SHM (Pre-Sim.)
LO Frequency	8 GHz	8 GHz	8 GHz
RF Frequency	-	16.1 GHz	16.1 GHz
Phase Noise@1MHz	-114 dBc/Hz	-	-114 dBc/Hz
Input Return Loss	-	20.5 dB	-
Output Return Loss	-	25 dB	-
LO Output Power	-2 dBm	10 dBm	10.527 dBm
Conversion Gain	-	6.573 dB	7.92
Power Consumption	2.995	17.026	27.88 mW

表 6.3 壓控振盪器與次諧波混頻器整合設計之電路特性比較

第七章

結論

本論文提出新式壓控振盪器與低閃爍雜訊次諧波混頻器，皆為應用在本論文所提出的新式 24 GHz 車用雷達接收機架構中。此二電路均由國家晶片中心以及台灣積體電路公司提供 0.18 μm 1P6M CMOS 製程製造。

在第四章中，提出一 8 GHz 新式壓控振盪器，以電流再利用架構為出發點，針對電流再利用架構天生具有的差動兩端輸出振幅不平衡的問題提出改善，使差動輸出振幅可以精準匹配至僅有 0.15% 的誤差。其主要概念為克服電流再利用架構使用 PMOS 以及 NMOS 交連耦合對造成的轉導不匹配情形。透過偏壓電晶體的加入，使交連耦合對變成串疊型式，藉此改變 PMOS 與 NMOS 的直流電壓偏壓點，使其轉導可以被初步調整至大略相同的範圍。再利用額外引入小尺寸、可由外部電壓控制閘極電壓的可調式交連耦合對，藉此改變 PMOS 與 NMOS 些許的直流偏壓電流，使兩者的轉導可以進一步被微調，最後達到兩者轉導相當一致，使得差動兩輸出端的輸出電壓可以精準匹配，並且維持相當良好的 FoM。

在第五章中，提出一 16GHz 低閃爍雜訊次諧波混頻器，以水平式次諧波混頻器為基礎電路架構，在理解閃爍雜訊成因與相關參數後，將閃爍雜訊轉角頻率由原本 8 MHz 降低至 200 KHz。其主要的改善精神即為降低次諧波混頻器中開關級電晶體的直流電流大小，利用折疊架構將轉導級與開關級之偏壓電流分開設計，並採取具有較低閃爍雜訊的大尺寸 PMOS 當作開關級的組成電晶體。之後使用串疊架構的轉導級設計以及引入與寄生電容諧振的電感做為轉導級的負載，提昇混頻器的轉換增益。最後再加入電流補償技術，使得開關級直流電流可以進一步縮得更小，使得整體次諧波混頻器的閃爍雜訊轉角頻率有 200 KHz，僅略高於被動式次諧波混頻器的轉角頻率，並且能維持良好的轉換增益以及線性度。

在第六章中，將第四章與第五章所提出的壓控振盪器與次諧波混頻器整合設

計。其中最需考量的問題為次諧波混頻器需要相當大的本地振盪源功率來推動。故在整合設計中，對於兩子電路相接處的 RC-CR 四相位相移器與壓控振盪器中的緩衝放大器必須重新考量。將相移器的阻抗提昇，並加入負載電感至緩衝放大器的輸出端，使其與相移器及混頻器的開關極寄生電容能夠產生諧振，讓緩衝放大器能順利放大本本地振盪源訊號，推入次諧波混頻器使用。在時域以及頻域中的模擬結果，可以相互呼應，並且維持良好的相位雜訊及轉換增益等原本電路特性。



參考文獻

- [1] Phillip E. Allen, Douglas R. Holberg, CMOS Analog Circuit Design, Second Edition, New York Oxford, OXFORD UNIVERSITY PRESS, 2002.
- [2] 張盛富，張嘉展，無線通訊射頻晶片模組設計-射頻晶片篇，台北，全華圖書股份有限公司，民國九十七年。
- [3] Min-Chiao Chen, and Chung-Yu Wu, “Design and Analysis of CMOS Subharmonic Injection-Locked Frequency Triplers,” *IEEE Transaction on Microwave Theory and Techniques*, vol. 56, no. 8, August 2008, pp.1869-1878
- [4] Wei L. Chan, and John R. Long, “A 56–65 GHz Injection-Locked Frequency Tripler With Quadrature Outputs in 90-nm CMOS,” *IEEE Transaction on Microwave Theory and Techniques*, vol. 56, no. 8, August 2008, pp. 2739-2746.
- [5] D. B. Lesson, “A simple model of feedback oscillator noise spectrum,” *Proc.IEEE*, vol. 54, Feb. 1966, pp. 329-330.
- [6] Ali Hajimiri, and Thomas H. Lee, “A General Theory of Phase Noise in Electrical Oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 33, no. 2, February 1998, pp. 179-194.
- [7] Lianming Li, Patrick Reynaert, and Michiel S. J. Steyaert, ”Design and Analysis of a 90 nm mm-Wave Oscillator Using Inductive-Division LC tank,” *IEEE Journal of Solid-State Circuits*, vol. 44, no.7, July 2009, pp. 1950-1958.
- [8] J.J. Rael ,and A. A. Abidi, “Physical Processes of Phase Noise in Differential LC Oscillators,” in *Proc. IEEE Custom Integrated Circuits Conf.*, Orlando, FL, 2000, pp. 569-572.
- [9] Farbod Behbahani, Yoji Kishigami, John Leete, and Asad A. Abidi, “CMOS Mixers and Polyphase Filters for Large Image Rejection,” *IEEE Journal of Solid-State Circuits*, vol. 36, no. 6, June 2001, pp. 873-887.

- [10] Seok-Ju Yun, So-Bong Shin, Hyung-Chul Choi, and Sang-Gug Lee, "A 1mW Current-Reuse CMOS Differential LC-VCO with Low Phase Noise," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, vol.1, 2005, pp. 540–616.
- [11] Chin-Lung Yang , and Yi-Chyun Chiang, "Low Phase-Noise and Low-Power CMOS VCO Constructed in Current-Reused Configuration," *IEEE Microwave and Wireless Component Letters*, vol. 18, no. 2, February 2008, pp.136-138.
- [12] Bonghyuk Park, Seungsik Lee, Sangsung Choi, and Songcheol Hong, "A 12-GHz Fully Integrated Cascode CMOS LC VCO With Q-Enhancement Circuit," *IEEE Microwave and Wireless Component Letters*, vol. 18, no. 2, February 2008, pp. 133-135.
- [13] Hsieh-Hung Hsieh, Student Member, IEEE, and Liang-Hung Lu, Member, IEEE, "A High-Performance CMOS Voltage-Controlled Oscillator for Ultra-Low-Voltage Operations", *IEEE Transaction on Microwave Theory and Techniques*, vol. 55, no. 3, March 2007, pp. 467-473.
- [14] Muh-Dey Wei, Sheng-Fuh Chang, and Shih-Wei Huang, "An Amplitude-Balanced Current-Reused CMOS VCO Using Spontaneous Transconductance Match Technique", *IEEE Microwave and Wireless Component Letters*, vol. 19, no. 6, JUNE 2009, pp. 395-397.
- [15] Y. H. Chuang, S. L. Jang, S. H. Lee, R. H. Yen, and J. J. Jhao, "5-GHz Low Power Current-Reused Balanced CMOS Differential Armstrong VCOs," *IEEE Microwave and Wireless Component Letters*, vol. 17, no. 2, February 2007, pp. 139-141.
- [16] Tzung-Han Wu, Sheng-Che Tseng, Chin-Chun Meng, and Guo-Wei Huang, "GaInP/GaAs HBT Sub-Harmonic Gilbert Mixers Using Stacked-LO and Leveled-LO Topologies," *IEEE Transaction on Microwave Theory and Techniques*, vol. 55, no. 5, May 2007, pp. 880-889.

- [17] Hsiao-Chin Chen, Tao Wang, and Shey-Shi Lu, "A 5–6 GHz 1-V CMOS Direct-Conversion Receiver With an Integrated Quadrature Coupler," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 9, September 2007, pp. 1963-1975.
- [18] Hooman Darabi and Asad A. Abidi, "Noise in RF-CMOS Mixers: A Simple Physical Model," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 1, January 2000, pp. 15-25.
- [19] Hsiao-Chin Chen, Tao Wang, Hung-Wei Chiu, Yu-Che Yang, Tze-Huei Kao, Guo-Wei Huang, and Shey-Shi Lu, "A 5-GHz-Band CMOS Receiver With Low LO Self-Mixing Front End," *IEEE Transactions on Circuits and Systems—I: Regular Papers*, vol. 56, no. 4, April 2009, pp. 705-713.
- [20] Jinsung Park, Chang-Ho Lee, Byung-Sung Kim, and J. Laskar, "A Low Flicker Noise CMOS Mixer Using Two Resonating Inductors for Direct Conversion Receivers," *IEEE MTT-S International Microwave Symposium Digest*, 2006, pp. 1705-1708.
- [21] Hooman Darabi, and Janice Chiu, "A Noise Cancellation Technique in Active RF-CMOS Mixers," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, December 2005, pp. 544-616.
- [22] Jinsung Park, Chang-Ho Lee, Byung-Sung Kim, and Joy Laskar, "Design and Analysis of Low Flicker-Noise CMOS Mixers for Direct-Conversion Receivers," *IEEE Transaction on Microwave Theory and Techniques*, vol. 54, no. 12, December 2006, pp. 4372-4380.
- [23] Henry C. Jen¹, Steven C. Rose², and Robert G. Meyer¹ "A 2.2GHz Sub-Harmonic Mixer for Direct - Conversion Receivers in 0.13 μ m CMOS," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2006, pp. 1840-1849.
- [24] Hsiao-Chin Chen, Tao Wang, and Shey-Shi Lu, "A 5–6 GHz 1-V CMOS Direct - Conversion Receiver With an Integrated Quadrature Coupler", IEEE *IEEE*

- [25] 許敦智，〈0.18 μm 互補式金氧半導體高頻壓控振盪器與鎖相迴路設計〉，交通大學電信工程研究所碩士論文，2006年。
- [26] 黃天建，〈雙頻帶鏡像抑制混頻器與小型低功率低相位雜訊壓控振盪器設計〉，交通大學電信工程研究所碩士論文，2008年。
- [27] 饒佩宗，〈超寬頻射頻關鍵積體電路之設計與分析〉，交通大學電信工程研究所博士論文，2009年。
- [28] 梁清標，〈應用於多頻段與超寬頻通訊之射頻接收電路設計與分析〉，交通大學電信工程研究所博士論文，2010年。
- [29] 黃智偉，〈以電流再利用之 CMOS 射頻前端關鍵元件設計〉，交通大學電信工程研究所碩士論文，2008年。
- [30] 許少華，〈24-GHz 連續調頻單脈衝技術之雷達前端電路設計與整合〉，交通大學電信工程研究所碩士論文，2009年。
- [31] 賴皓宇，〈24-GHz 車輛前視防撞警示雷達之單脈衝透鏡天線系統設計與驗證〉，交通大學電信工程研究所碩士論文，2009年。
- [32] 張唐源，〈寬頻混頻器暨 24GHz 鎖相迴路之互補式金氧半導體射頻積體電路研製〉，交通大學電機學院 IC 設計產業研發碩士班碩士論文，2007年。
- [33] Win-Ming Chang, Hui-I Wu, and Christina F Jou, "A New Sub-harmonic Mixer Using Switched Gm Technique For 802.11 a/b/g Dual-Band Receivers," in *IEEE Asia-Pacific Microwave Conference*, 2007, pp.1-4.
- [34] Shuenn-Yuh Lee, Ming-Feng Huang, and Chung J. Kuo, "Analysis and Implementation of a CMOS Even Harmonic Mixer With Current Reuse for Heterodyne/Direct Conversion Receivers," *IEEE Transactions on Circuits and Systems—I: Regular Papers*, vol. 52, no. 9, September 2005, pp. 1741-1751.