

# 國立交通大學

## 機械工程學系

### 碩士論文

矽鍺薄膜高溫氧化處理與奈米機械特性之研究

A study of the high-temperature oxidation and nanoindentation  
behaviors of the SiGe thin film

研究生：朱貞慈

指導教授：周長彬 教授

中華民國九十九年六月

矽鍺薄膜高溫氧化處理與奈米機械特性之研究  
**A study of the high-temperature oxidation and  
nanoindentation behaviors of the SiGe thin film**

研究生：朱貞慈

Student：Chen-Tzu Chu

指導教授：周長彬

Advisor：Chang-Ping Chou

國立交通大學  
機械工程系  
碩士論文

A Thesis

Submitted to Department of Mechanical Engineering

College of Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Mechanical Engineering

June 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年六月

# 矽鍺薄膜高溫氧化處理與奈米機械特性之研究

學生：朱貞慈

指導教授：周長彬

國立交通大學機械工程學系

## 摘要

本論文針對矽鍺/矽之異質接面結構以虛擬基板(virtual substrate)方式做應用，探討其高溫氧化熱處理後矽鍺薄膜之材料特性以及機械特性。首先，利用超高真空化學氣相沈積矽鍺薄膜在矽基材上，接著進行高溫(800 °C-1000 °C)氧化熱處理；並以化學分析電子儀、二次離子質譜儀、X光散射分析儀以及原子力顯微鏡等分析儀器做材料分析。最後用奈米壓痕機測試薄膜之機械強度。當壓痕深度小於50 nm時，由於高溫氧化處理後之薄膜表面有鍺原子堆積以及較大之應變鬆弛之影響，故與未氧化處理之表面相較起來，其機械強度有下降低之趨勢。然而在壓痕深度於100至200 nm時，因高溫氧化下應變鬆弛所導致錯位差排之現象，造成機械強度上升。綜合材料分析與機械分析可以得知，此矽鍺薄膜可確實經由高溫氧化處理後形成一理想之虛擬機材。本論文研究結果期待可供未來矽鍺/矽虛擬基板在高溫氧化技術及機械可靠度上之應用參考。

# **A study of the high-temperature oxidation and nanoindentation behaviors of the SiGe thin film**

Student: Chen-Tzu Chu

Advisor: Chang-Pin Chou

Department of Mechanical Engineering  
National Chiao Tung University

## **Abstract**

The purpose of this study was to investigate the effect of high-temperature oxidation on the material and mechanical properties of SiGe/Si heterostructures which can serve as virtual substrates.

A homogeneous SiGe epilayer was deposited by ultrahigh vacuum-chemical vapor deposition (UHV/CVD) both with and without high-temperature oxidation treatments. Electron spectroscopy for chemical analysis (ESCA), secondary ion mass spectroscopy (SIMS), atomic force microscopy (AFM) and X-ray diffraction (XRD) analysis were conducted. The mechanical properties of SiGe thin film were determined using nanoindentation.

Mechanical properties of SiGe thin films were degraded after high temperature oxidation treatment followed by indentation depths of less than 50 nm due to the Ge pile-up and stain relaxation on the surface. However, high temperature oxidation treatments also lead to strain relaxation in the form of misfit dislocations, which can increase the hardness and modulus with indentation depths between 100 and 200 nm. Therefore, SiGe thin film can be treated as an ideal virtual substrate after appropriate high-temperature oxidation treatments.

## 致謝

本論文研究之完成，首先要感謝指導老師周長彬教授給予研究方向的指引以及教導，並感謝老師在除了在學術研究外，甚至人格養成上也給予許多的教誨，在此致上內心最誠摯的謝意。另外，也非常感謝鄭碧瑩副教授以及林金雄副教授擔任學生的口試委員，在此謹申謝意。

在完成論文研究的過程中，我要特別感謝何柏青學長的提攜以及幫助，使我的論文能夠更順利的完成，也謝謝林孟泓、劉佳杰、劉安祐、許正昇、李其澧、吳明璋學長們在實驗上以及生活上的幫忙。另外，也感謝許多實驗室的同窗蕭元駿、陳明良、徐肇鴻、葉吉修，還有治偉、彥彬、宏信、漢鵬、自勇、麟皓學弟們，謝謝你們豐富了我的研究生生活。

最後感謝我的家人以及朋友們，尤其是最敬愛的父母親，朱宗緯先生跟于莊女士，感謝他們不辭辛苦的教育我，並讓我無後顧之憂的完成學業，在此獻上我內心最深的謝意。

二年竹風握卷笑

舊雨新知齊聚交

師長恩澤盼反哺

展翅飛揚乘雲霄

# 目錄

摘要 .....	I
Abstract .....	II
致謝 .....	III
圖目錄 .....	VI
表目錄 .....	VIII
第一章 緒論 .....	1
1.1 矽鍺介紹 .....	1
1.2 矽鍺元件之應用 .....	2
1.3 研究動機 .....	3
1.4 論文架構 .....	4
第二章 基礎理論與文獻回顧 .....	6
2.1 矽鍺元件發展 .....	6
2.2 矽鍺薄膜合成方法 .....	8
2.2.1 化學氣相沈積成長系統 .....	8
2.2.2 分子束磊晶系統 .....	10
2.3 應變鬆弛矽鍺虛擬基材結構介紹 .....	11
2.4 虛擬基材製作 .....	12
2.4.1 漸變緩衝層製作法 .....	12
2.4.2 高溫氧化處理法 .....	13
2.5 高溫處理機制介紹 .....	13
2.5.1 傳統退火機制原理 .....	14
2.5.2 高溫氧化處理介紹 .....	16
2.6 壓痕量測系統介紹 .....	17
2.6.1 奈米壓痕技術背景 .....	18
2.6.2 硬度與彈性模數的量測原理 .....	19
2.7 奈米壓痕量測效應 .....	21
2.7.1 基材效應 .....	21
2.7.2 尺寸效應 .....	22
2.7.3 表面粗糙度效應 .....	22
2.7.4 熱漂移效應 .....	23
2.7.5 隆起和陷入效應 .....	23
第三章 實驗方法與分析 .....	28
3.1 實驗流程 .....	28
3.2 實驗與分析儀器 .....	28
3.2.1 X光繞射分析儀(XRD) .....	28
3.2.2 原子力顯微鏡(AFM) .....	29

3.2.3 化學分析電子儀(ESCA) .....	29
3.2.4 二次離子質譜儀(SIMS) .....	30
3.2.5 奈米壓痕測試系統 (Nanoindentation) .....	30
3.3 實驗分析與步驟 .....	30
3.3.1 試片製備 .....	31
3.3.2 高溫氧化處理以及去氧化層之處理 .....	32
第四章 實驗結果與討論 .....	37
4.1 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構研究摘要 .....	37
4.2 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構在高溫氧化處理前後之材料特性分析 .....	38
4.2.1 高溫氧化處理前後 ESCA 分析結果 .....	38
4.2.2 高溫氧化處理前後 SIMS 分析結果 .....	39
4.2.3 高溫氧化處理前後 X 光散射分析儀(XRD)分析結果 .....	40
4.2.4 高溫氧化處理前後原子力顯微鏡(AFM)分析結果 .....	41
4.3 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構在高溫氧化處理前後之機械性質分析 .....	41
4.3.1 力量控制模式下之負載-卸載曲線之分析 .....	42
4.3.2 原子力顯微鏡觀察 .....	43
4.3.3 連續勁度量測模式下之機械性質分析 .....	43
4.4 矽鍺薄膜經高溫氧化處理其材料和機械特性之綜合分析 .....	45
第五章 結論 .....	63
第六章 後續研究工作 .....	66
參考文獻 .....	67

## 圖目錄

圖 1-1 矽鍺層成長於矽基板上時之壓縮形變.....	5
圖 2-1 化學氣相沈積的五個步驟: (a)吸附 (b)晶粒成核 (c)晶粒成長 (d)縫道填補 (e)沈積薄膜的成長.....	25
圖 2-2 (a)典型的負載-位移曲線圖以及(b)薄膜經負載及卸載時壓痕形狀剖面圖.....	26
圖 2-3 試片表面(a)隆起和(b)陷入效應.....	27
圖 3-2 X 光繞射儀.....	34
圖 3-3 原子力電子顯微鏡.....	34
圖 3-4 化學分析電子儀.....	35
圖 3-5 二次離子質譜儀.....	35
圖 3-6 奈米壓痕測試系統.....	36
圖 4-1 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 (a)未高溫氧化處理前及(b)800 °C、(c)900 °C和(d)1000 °C氧化處理之 ESCA-Si 化學鍵結分析圖.....	48
圖 4-2 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 (a)未高溫氧化處理前及(b)800 °C、(c)900 °C和(d)1000 °C氧化處理之 ESCA-Ge 化學鍵結分析圖.....	49
圖 4-3 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構未高溫氧化處理前 (a)Si、(b)Ge 及(c)O 之縱深分析圖.....	49
圖 4-4 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構經 800 °C 氧化處理後之 SIMS 縱深分析圖.....	50
圖 4-5 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構經 900 °C 氧化處理後之 SIMS 縱深分析圖.....	50
圖 4-6 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構經 1000 °C 氧化處理後之 SIMS 縱深分析圖.....	51
圖 4-7 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構 (a)未高溫氧化處理前及(b)800 °C、(c)900 °C和(d)1000 °C氧化處理之 XRD 分析圖.....	51
圖 4-8 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構經 (a)未高溫氧化處理前以及(b)800 °C、(c)900 °C和(d)1000 °C氧化處理之 AFM 之 3D 形貌圖.....	52
圖 4-9 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構未經高溫氧化處理前在 10 mN 的負載下之卸負載曲線.....	53
圖 4-10 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構經 800 °C 高溫氧化處理於 10 mN 的負載下之卸負載曲線.....	53
圖 4-11 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構經 900 °C 高溫氧化處理於 10 mN 的負載下之卸負載曲線.....	54
圖 4-12 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構經 1000 °C 高溫氧化處理於 10 mN 的負載下之卸負載曲線.....	54
圖 4-13 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構未經高溫氧化處理前與高溫氧化處理於經 800 °C、900 °C、1000 °C 之 10 mN 的負載下之卸負載曲線.....	55
圖 4-14 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質界面結構未經高溫氧化處理前在 10 mN 的力道下之 AFM 橫切面.....	55



圖 4-15 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構經高溫氧化處理 800 °C 於奈米壓痕之 10 mN 力道下之 AFM 橫切面 .....	56
圖 4-16 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構經高溫氧化處理 900 °C 於奈米壓痕之 10 mN 力道下之 AFM 橫切面 .....	56
圖 4-17 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構經高溫氧化處理 1000 °C 於奈米壓痕之 10 mN 力道下之 AFM 橫切面 .....	57
圖 4-18 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構未經高溫氧化處理前在連續勁度模式 200 nm 的深度下之硬度變化 .....	57
圖 4-19 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構經 800 °C 高溫氧化處理在連續勁度模式 200 nm 的深度下之硬度變化 .....	58
圖 4-20 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構經 900 °C 高溫氧化處理在連續勁度模式 200 nm 的深度下之硬度變化 .....	58
圖 4-21 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構經 1000 °C 高溫氧化處理在連續勁度模式 200 nm 的深度下之硬度變化 .....	59
圖 4-22 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構未經高溫氧化處理前與高溫氧化處理於經 800 °C、900 °C、1000 °C 在連續勁度模式 200 nm 的深度下之硬度變化.....	59
圖 4-23 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構未經高溫氧化處理前在連續勁度模式 200 nm 的深度下楊氏模數之變化 .....	60
圖 4-24 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構經 800 °C 高溫氧化處理在連續勁度模式 200 nm 的深度下楊氏模數之變化 .....	60
圖 4-25 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構經 900 °C 高溫氧化處理在連續勁度模式 200 nm 的深度下楊氏模數之變化 .....	61
圖 4-26 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構經 1000 °C 高溫氧化處理在連續勁度模式 200 nm 的深度下楊氏模數之變化 .....	61
圖 4-27 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構未經高溫氧化處理前與高溫氧化處理於經 800 °C、900 °C、1000 °C 在連續勁度模式 200 nm 的深度下楊氏模數之變化 .....	62

## 表目錄

表 4-1 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 (a)未高溫氧化處理前及(b)800 °C、(c)900 °C和(d)1000 °C氧化處理後之粗糙度比較 .....	47
表 4-2 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 (a)未高溫氧化處理前及(b)800 °C、(c)900 °C和(d)1000 °C氧化處理後，於奈米壓痕機之連續勁度模式於 200 nm 的深度之硬度及楊氏模數比較 .....	47
表 4-3 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 異質接面結構 (a)未高溫氧化處理前及(b)800 °C、(c)900 °C和(d)1000 °C氧化處理後，經奈米壓痕實驗後 AFM 之堆積隆起之比較 .....	48



# 第一章 緒論

## 1.1 矽鍺介紹

半導體產業經過半個世紀的發展以來，由於矽材料因易取得且價廉，在半導體材料中所占高達 97 %，雖然應用在半導體技術上已臻成熟，但在現階段上，電性及光性不能向上提升，並限制了在光電及通訊產業上的應用，故找尋其他的材料替代之。矽鍺技術因可調變能隙之大小，相較於傳統以矽為基材，矽鍺異質接面結構之電洞遷移率增加以及易與矽材料相容之特點，已受到各界關注。

由於矽的晶格常數  $5.43 \text{ \AA}$  而鍺的晶格常數為  $5.66 \text{ \AA}$ ，彼此的晶格不匹配程度為 4.17 %，將矽薄膜成長於矽鍺層上，為了維持其晶格的完整性，純矽層需有所應變(strain)使其在平面(in-plane)方向的晶格常數放大以與矽鍺層相同。此種結構的形變的型式稱為拉伸應變(tensile strain)。此種結構係以矽基材為主體，以成長厚度為數微米矽鍺緩衝層(buffer layer)，鍺含量以漸進的方式增加，將形變能量控制在矽基材處釋放，並將產生的差排等缺陷侷限在基材內。能量釋放後的緩衝層在表面晶格常數呈現鬆弛(relaxed)時的狀態，但保持低缺陷密度之後，再於其上成長擴張形變的薄矽層，使應變矽鍺形成虛擬基材(virtual substrate)。其優點為應變矽鍺技術可使傳導載子之遷移率大幅增加，並使電子元件之特性以及電路應用效能都有所提升，因此應變矽鍺已在奈米微機電、高速元件等半導體皆有應用。

在矽基材上生長矽鍺薄膜之形變，稱之為壓縮應變(compressive strain)，如圖 1-1 所示，一般需控制成長的矽鍺薄膜層  $d$  於臨界厚度(critical thickness)  $h_c$  以下，其中  $a$  為薄膜的晶格常數， $m$  為基材與薄膜之晶格不匹配數。

$$d < h_c \quad (1.1)$$

$$h_c \approx \frac{a}{2m} \quad (1.2)$$

若控制在臨界厚度之內則可避免形變能量釋放而形成如差排(dislocation)的缺陷而影響後續薄膜生長的特性及品質。

## 1.2 矽鍺元件之應用

利用矽鍺半導體材料之技術除了具有傳統矽元件低成本、高整合性之優勢，另外也可藉由改變鍺含量調變其能隙大小。現今以矽為基礎之積體電路產業因擁有相當大的可容性，故矽鍺半導體已被廣泛的應用於許多光電元件上。然而，在半導體元件製造的過程中，生長品質佳的熱氧化應變矽鍺(strained SiGe)是相當關鍵的，例如閘極氧化、絕緣層、阻障層。故為了結合 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構中矽基材與矽鍺間的元件，必須提升更好的高溫之氧化品質。其應用包括：利用鬆弛高鍺濃度的矽鍺異質接面結構可做為高效能 P 型場效電晶體 (Modulation Doped Field-effect Transistor, MODFET) 傳導之通道、絕緣層上覆矽鍺 (SiGe On-insulator, SGOI) 的結構上

以氧氣在 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 的基材上做分散佈植(Separation By Ion Implantation of Oxygen, SIMOX)，或利用鍍擴散至絕緣層上覆矽鍍等。

### 1.3 研究動機

近年來，由於 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構廣泛在半導體元件的應用上，已在半導體產業上發展出嶄新的一面。對於矽鍍薄膜的研究在學術上已有不少的發表。由於在半導體元件製造的過程中，矽鍍異質接面結構由於晶格不匹配(4.17 %)之關係，往往會產生材料上的缺陷，且 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構在經過熱處理後， $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構會發生明顯的變化，例如：高溫氧化處理後，鍍原子堆積在氧化介面但同時也在經過氧化過程中向基材以及矽鍍表面擴散，使得鍍濃度降低，在介面層上會產生晶格缺陷，例如：差排(dislocation)現象以及較大的表面粗糙度(surface roughness)，而常壓高溫氧化處理後之氧化現象對於鍍含量的擴散也有著相當大的影響，且高溫氧化處理後的機械與材料性質皆有所影響。在初步分析中，高溫氧化作用於 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構介面上，鍍會被氧化層完全排斥產生鍍堆積(Ge pile-up)，而矽會選擇性地氧化生成二氧化矽( $\text{SiO}_2$ )，高含量的鍍堆積(Ge pile-up)在表面上，同時鍍也會向基材擴散，使鍍含量逐漸下降。但由於尚未有人探討 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 異質接面結構在高溫氧化處理後，結構組成改變之影響相對於結構強度上之變化，故藉此探討其機械性質之可靠度。

## 1.4 論文架構

本篇論文所針對高溫氧化處理後，矽基材上矽鍺薄膜的結構特性之變化探討。其大綱規劃如下：

第二章為文獻回顧，將針對矽鍺薄膜的特性、薄膜成長方式以及應用做文獻上的回顧；另外對於奈米壓痕相關之文獻探討。

第三章為實驗流程，利用超高真空在六吋矽晶圓上沈積矽鍺磊晶層，以備製  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  異質界面結構。此外，將使用化學分析電子儀(ESCA)觀察矽鍺薄膜之表面化學結構及使用二次離子質譜儀(SIMS)偵測縱深元素的分佈；利用 X 射線繞射光譜儀(XRD)觀察元素間的晶格結構；藉由原子力顯微鏡(AFM)觀看表面形貌；奈米壓痕機(Nanoindentation)測量其結構硬度及楊式模數。

第四章將討論第三章所做的實驗分析之結果，針對矽鍺薄膜的擴散及氧化現象之材料特性，搭配奈米壓痕機對機械特性的數據分析進行更深入的探討。

第五章將會所設計規劃之實驗做總結，並於第六章規劃未來進一步之研究方向及目標。

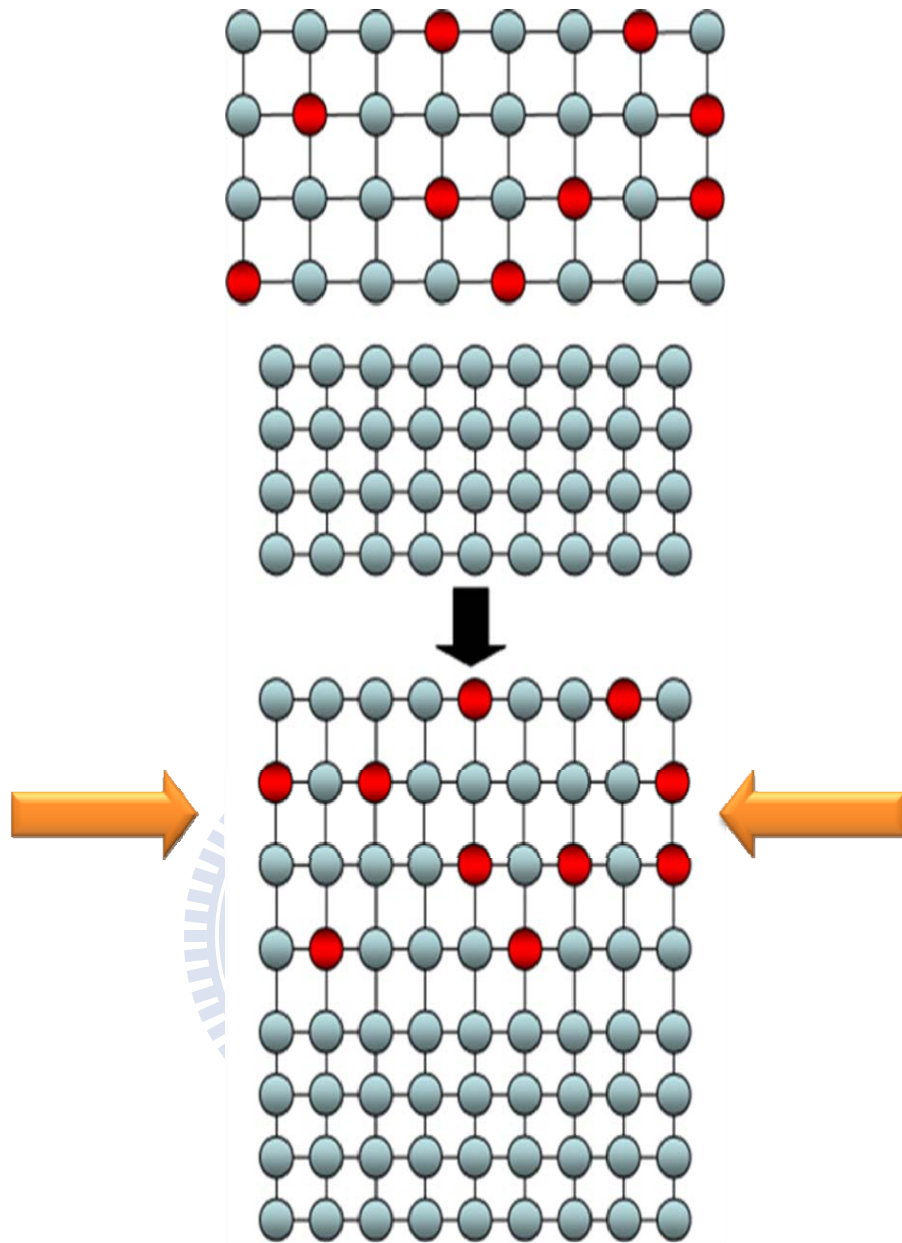


圖 1-1 矽鍺層成長於矽基板上時之壓縮形變



## 第二章 基礎理論與文獻回顧

1955年，Glickman M是最早將矽鍺合金發表出來的學者[1]。但過了20年後，1975年德國的AEG研究中心才成功以分子束磊晶(Molecular Beam Epitaxy, MBE)方式成長矽鍺磊晶研究出來。到了1980年代晚期，利用超高真空化學氣相沈積法(Ultra High Vacuum Chemical Vapor Deposition, UHV/CVD)薄膜成長技術已能掌握到矽鍺薄膜成長的溫度時間以及通氣量[2]。此後矽鍺領域蓬勃發展，並於1998年，矽鍺異質接面雙極性電晶體(SiGe HBT)首次在市場上亮相，其矽鍺市場在射頻的市場上被預期為每年成長30%。而在2002年，IBM公司發表高達350 GHz截止頻率的矽鍺異質接面雙極性電晶體[1]，更擁有操作速度、互導(Transconductance)、輸出阻抗及功率效能提升的優勢。

由於矽與鍺之間所存在的晶格不匹配(4.17%)，相較於傳統矽材料改變了應變及能帶結構，且矽鍺異質接合結構在結晶特性及電性上，皆優於傳統矽材料，故矽鍺異質接合結構至今已引起相當多學者的關注。

### 2.1 矽鍺元件發展

依材料特性來看，矽鍺高頻特性良好，材料安全性佳，導熱性好，而且製程成熟、整合度高，具成本較低之優勢，換言之，矽鍺不但可以直接利用半導體現有200 mm晶圓製程，達到高集成度，還有媲美GaAs的高速特



性。隨著近來IBM大廠的投入，矽鍺技術已逐步在截止頻率(cut-off frequency)與擊穿電壓(breakdown voltage)過低等問題獲得改善而日趨實用。

從1980年代開始，應變和應變鬆弛的技術應用在矽鍺異質結構，已可用於商業性元件[3]。在同時，IBM為改進矽材料而加入鍺以增加遷移率改進元件的效能。如今，許多半導體廠商過去十多年來對此矽鍺元件有所改進與提升。矽鍺半導體經常應用已在高速光纖系統與先進無線電話等通訊領域，以及系統的測試與測量。矽鍺電晶體在先進無線通訊行動電話的製造過程中扮演了重要角色。2005年，由IBM所開發出來的製程技術已整合了高效能的SiGe Heterojunction Bipolar Transistor (HBT) 3.3 V及0.5  $\mu\text{m}$ 的Complementary Metal Oxide Semiconductor (CMOS)技術，可以利用主動或被動組件，從事模擬、RF及混合信號方面的配置應用[4]。並可用0.18  $\mu\text{m}$ 的BiCMOS製程生產矽鍺的HBT元件，而在0.18  $\mu\text{m}$  BiCMOS製程下，矽鍺的最大震盪頻率( $F_{\text{max}}$ )可達到90 GHz，代表矽鍺已經可以應用於每秒10 Gb的SONET光纖傳輸及2.4 GHz以上頻帶的行動電話領域上。另外，IBM在當時也推出了高崩潰電壓的矽鍺HBT元件改善崩潰電壓過低的特性。

對於無線通信射頻IC應用而言，矽鍺半導體材料所應用的元件因具有良好的線性度、低噪聲、快速等特性，可適用於手機射頻前端，例如：LNA、Mixer等。因此，隨著矽鍺製程技術的性能日趨完善，再加上集成度高，使得全球射頻芯片大廠與晶圓代工廠商皆陸續投入此一技術的發展。

## 2.2 矽鍺薄膜合成方法

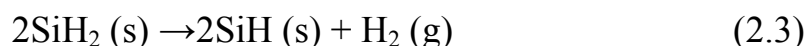
本節將介紹單晶矽鍺薄膜沈積部份，經由實驗調變系統的沈積環境，包含反應環境溫度、反應時間、反應氣體流量比。以下將詳細介紹其中較常見的三種矽鍺製程方法分別為超高真空化學氣相沈積法(Ultra High Vacuum Chemical Vapor Deposition, UHV/CVD)；超高真空化學分子磊晶法(Ultra High Vacuum Chemical Molecular Epitaxy, UHVCME)；和分子束磊晶法(Molecular Beam Epitaxy, MBE)。

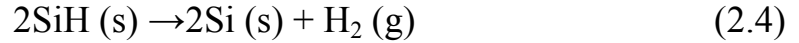
### 2.2.1 化學氣相沈積成長系統

化學氣相沈積(CVD)是最常用成長半導體、金屬、絕緣體薄膜之元件。此成長系統是將反應物分子通過加熱區發生化學反應，並在基材(substrate)表面沈積上薄膜之方法。由於化學氣相沈積系統成長的薄膜光滑緻密且均勻並不受基材形狀大小的限制，故可大量生產，是目前在半導體工業上常用之沉積薄膜的方法。其運用在矽鍺薄膜的生長方式有很多種，例如：常壓化學氣相沈積 (Atmospheric Pressure Chemical Vapor Deposition, APCVD)、低壓化學氣相沈積(Low Pressure Chemical Vapor Deposition, LPCVD)、低能量等離子體增強化學氣相(Low Energy Plasma Enhanced Chemical Vapor Deposition, LEPECVD)、快速升溫化學氣相沈積(Rapid Thermal Chemical Vapor Deposition, RTCVD)、超高真空化學氣相沈積(Ultra

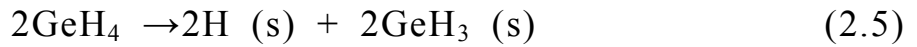
High Vacuum Chemical Vapor Deposition, UHV/CVD)、超高真空低壓化學氣相沈積(Ultra High Vacuum-Low Pressure Chemical Vapor Deposition, UHV-LPCVD)。而這些化學氣相沈積系統最主要的差異在於製程的溫度及壓力，系統原理則是大致相同。

超高真空化學氣相沈積(UHV/CVD)製程為低於 $10^{-6}$  Pa (約為 $10^{-8}$  torr)之低壓環境，薄膜成長的溫度大約在 $400\text{ }^{\circ}\text{C}$ - $500\text{ }^{\circ}\text{C}$ ，加熱方式為熱壁式(hot-wall)，由一種或一種以上的氣體在固體表面上反應而產生固態產物，以矽烷( $\text{SiH}_4$ )[\[5\]](#)為反應氣體在晶片上沈積多晶矽薄膜。晶片所生之薄膜，源於氣體分子或其他粒子，例如原子團(radical)和離子等佈滿在晶片上。這些粒子因為發生化學反應產生固態粒子，然後沈積在晶片的表面上，或經表面擴散作用而失去部份的動能後，被晶片表面所吸附而進行沈積。薄膜沈積的原理依發生的順序，如圖2-1所示可分為五個步驟：(a)原子吸附(adsorption)在基板上；(b)吸附原子間的遷徙(migration)，原子間彼此碰撞而形成核(nucleation)狀；(c)原子成核後逐漸從小晶粒成長到大晶粒；(d)晶粒間彼此聚集(coalescence)填補晶粒間的縫道；(e)沈積薄膜的成長。使用氣體矽烷( $\text{SiH}_4$ )與或鍺烷( $\text{GeH}_4$ )，在高溫下通入腔體，進行化學反應，其製程化學反應式如Gates等人在1990年所提出的矽(Si)反應式[\[5\]](#)

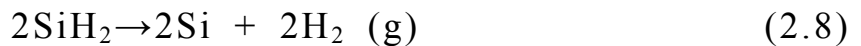




而 B. Cunningham 等人在 1991 年所提出的鍺(Ge)反應式[6]:



將上述矽與鍺兩反應式結合可得:



其中 S 為基材(substrate)表面反應點。其反應分解出的氣體  $\text{H}_2$ ，大部份會被真空系統抽離，留下矽與鍺反應物於晶片上。另外，低壓化學氣相沈積(LPCVD)方法之操作壓力範圍從 1 Torr 至 10 Torr 以上。通常成長 Si、SiGe 以及 SiGeC 薄膜時所通入的氣體為  $\text{SiH}_4$ 、 $\text{SiH}_2$ 、 $\text{Cl}_2$ 、 $\text{SiH}_3\text{CH}_3$ 、 $\text{GeH}_4$ 、 $\text{CH}_4$  以及  $\text{SiCH}_6$ 。

### 2.2.2 分子束磊晶系統

1969年，由 A. Y. Cho 和 J. R. Arthur [7] 率先發表分子束磊晶系統 (Molecular Beam Epitaxy, MBE) 之物理氣相磊晶的技術，此乃利用在超高真空的環境下，材料源所射出的分子與腔體內殘留氣體分子間的平均自由路徑大於材料源至基板之間的距離，可視為使材料源以分子束依直線行走而直接到達基板進行磊晶成長。由於分子束磊晶系統要求達到超高真空，對於材料源的純度也高，故具有防止其他雜質污染的最大優點。分子束磊晶

系統在磊晶過程中可利用反射式高能量電子繞射裝置(Reflected High Energy Electron Diffraction, RHEED)之繞射圖案以觀察磊晶層表面之平坦度與結晶狀態，因此可精準的控制各層磊晶層的厚度。

### 2.3 應變鬆弛矽鍺虛擬基材結構介紹

2006 年 IEEE 電子元件會議(IEDM)裡所提出的模型認為應變矽晶格所能夠提供的電洞遷移率是無應變矽的 4 倍，電子遷移率是無應變矽的 1.8 倍。且可改善 125 % 電子遷移率，以及 120 % 電洞遷移率[8]。隨著閘極長度縮小化之趨勢，遷移率工程已經變成 IC 性能改善的一個最重要貢獻者。

在 SiGe/Si 異質結構裡，如何調整能隙能量的可變性[9-11]和增強載子移動率的潛力[12-15]一直都是矽鍺材料研究關鍵的地方。在電性上兩個主要的決定因素是矽鍺合金的能隙能量隨著鍺在矽鍺合金中含量的增加而減少[9]和在異質接面處能帶發生的偏移[11]。應變矽鍺的技術主要目的為藉由調整能帶以提升半導體遷移率和漏電流。由於矽與矽鍺之間有 4.17 % 的晶格不匹配(lattice mismatch)故不易將不同的晶格常數的薄膜成長在基材上。且矽鍺的晶格常數比矽大，若以矽鍺成長於矽基材上，必須控制在臨界厚度(critical thickness)下，才不會產生缺陷。然而，若在矽基材上成長超過臨界厚度使其應變鬆弛形成的矽鍺虛擬基材(virtual substrate)，將產生應變鬆弛和缺陷效應，目的是為了在鬆弛層之上成長應變矽(strained Si)層或應變矽

鍺(strained SiGe)層以增加載子的遷移率(carrier mobility)提升元件之特性及電路應用效能。

一般利用製作矽鍺 p-MOSFET 結構時是將應變矽鍺材料成長於矽基材上或者成長於鬆弛矽鍺層上[16]。另外，也可利用分子束磊晶的方式將應變鍺應用在 P 型通道上的 MOSFET，室溫下遷移率可提高至  $3000 \text{ cm}^2/\text{Vs}$ [17-18]。以上這些應用足以說明應變矽鍺異質結構為相當具有潛力的高速度元件。

## 2.4 虛擬基材製作

### 2.4.1 漸變緩衝層製作法

傳統的方法得到矽鍺緩衝層是以小的漸變速率逐漸增加鍺含量，因此較厚的漸變層可得到較高的鍺含量。如此方法不僅費時而且增加熱消耗率以減低熱傳導效率。此外，表面粗糙度之增加需以機械研磨的方式去除。以下為傳統成長虛擬基材之步驟[19]：

1. 準備矽基材。
2. 生長大於臨界厚度之部份或完全鬆弛的矽鍺緩衝層伴隨在介面上。
3. 成長應變調整矽鍺層。

漸變緩衝層之做法是利用超高真空沉積且應變鬆弛的方法生長矽鍺



(SiGe)漸變層，隨著漸變層的厚度增加，鍍濃度隨之增加，故最頂層表面的部分會含有最高之鍍濃度。沉積在矽鍍(SiGe)應變層之上的矽元件層通常介於在 20-30 nm 之間，因此必須控制薄膜的厚度於此範圍內。如何控制表面粗糙度(surface roughness)以及貫穿性差排密度(threading dislocation density)是製作漸變緩衝層的關鍵。但要維持低貫穿性差排密度下所需要成長的薄膜相當厚，另外，製程的時間過長，更增加了材料的成本。

#### 2.4.2 高溫氧化處理法

近年來，許多學者對於矽鍍磊晶之氧化以得到均勻高鍍含量層在SOI或薄的矽基材上長矽鍍漸變層之研究極為廣泛。經過矽鍍磊晶的氧化作用後，鍍元素被氧化層完全排斥在外，矽元素會選擇性的生成SiO<sub>2</sub>，造成鍍堆積(pile-up)在表面上以及擴散至基材生成漸變矽鍍層[20]。以氧化方式獲得良好的應變釋放矽鍍薄膜之方式如下：

1. 準備矽基材。
2. 生長均勻成分之矽鍍薄膜層於基材上。
3. 利用高溫氧化方式在矽鍍薄膜層之上方形形成氧化層。

此法詳細過程將會於2.5.2節做完整的介紹。

### 2.5 高溫處理機制介紹

熱處理在半導體製程中扮演著重要的角色，其中也包含退火於矽鍍製

程中，由前述文獻介紹可知，矽鍺異質接合結構常被運用在HBT、MOSFET等半導體製程中[1, 16-18]。因此，熱處理的機制在製程整合技術中是必然的一道程序，然而不同熱處理製程技術也對矽鍺結構有不同的效果產生。以下將介紹熱處理的機制對於矽鍺結構產生的影響。

由於矽鍺合金相差 4.17 % 的晶格不匹配會導致高密度的晶格缺陷，當矽鍺厚度超過臨界值時，晶格的錯位差排(misfit dislocation)會在 SiGe/Si 之介面產生而伴隨著貫穿性現象(threading dislocations)一直延伸到矽鍺層以降低異質結構的因晶格不匹配所產生出來的應變能，因此，在矽鍺磊晶層上若形成高密度的貫穿性差排(threading dislocations)會降低元件的性能[20]。許多研究已探討如何改進矽鍺薄膜的材料性質，例：S. W. Lee 等人[21]加入矽的緩衝層以降低矽鍺的貫穿性差排，但不匹配差排之密度在介面之間增加。S. R. Sheng 等人[22]利用 UHV/CVD 生長單晶矽鍺在矽基材上可控制較少的缺陷產生，成為良好的虛擬基材。H. Watakabe 等人[23]利用電漿雷射退火(pulsed-laser annealing)以增加鍺含量，但卻無法降低缺陷之密度。

### 2.5.1 傳統退火機制原理

近年來，退火機制已經大量被探討在矽鍺結構的研究中[24-32]，其中影響矽鍺異質接合結構強度，最主要是觀察結構中的貫穿性差排密度(threading dislocation density)以及結構缺陷(structure defect)的分布以及應變



釋放(strain dislocation)的機制，而一般半導體退火製程中的熱應力(thermal stress)所產生的熱應變(thermal strain)勢必對矽鍺異質接合結構中原本已經存在的晶格的不匹配(lattice mismatch)產生決定性的影響。

Y. M. Chang 等人[25]之研究顯示退火處理對矽鍺異質接合結構在溫度 400 °C-1000 °C 之試片樣本中，其中 1000 °C 時矽鍺異質結合結構裡，矽鍺磊晶層(SiGe epilayer) 和矽基板之間發生層間擴散(interdiffusion)，並改變鍺含量濃度(Ge composition)。

S. Zheng 等人[26]以退火溫度為 600 °C 且退火時間為 30 分鐘，以 X 光繞射分析結果表示矽鍺波峰的半高寬(Full-Width at Half-Maximum, FWHM)隨著退火溫度上升以及延長退火時間，有變寬的現象，且矽鍺波峰會稍微偏移至低鍺含量濃度，此擴散作用造成鍺含量下降之缺點。

然而，由於矽鍺與矽有晶格不匹配之現象，因長時間退火以及增加退火溫度，差排產生在介面上並延伸至矽鍺磊晶層。其中，應變會釋放在矽鍺磊晶層以及基材介面的不匹配區域。當出現晶格間的滑移(gliding)現象時，不匹配的部分會彼此影響並生成新的差排，而成群的不匹配區域會有相同的 Burgers vector，此時錯位差排會生成方格圖形(cross-hatch patterns)。經過長時間的退火後，因方格圖形(cross-hatch patterns)變得更密，應變釋放的程度也會提升。若同時貫穿性差排出現在表面，則凹洞(pit)現象就會在表面上形成[27]，此會造成元件性能降低。因此，在下一節將介紹高溫氧化處理以

改進傳統高溫退火的缺點。

## 2.5.2 高溫氧化處理介紹

從 1970 年開始，許多學者開始探討矽鍺薄膜之氧化行為[28]。至今，應變矽鍺層利用高溫氧化處理之技術，已大量應用在光學以及電學之元件上[29]。高溫氧化處理可分為濕式氧化(H<sub>2</sub>O)以及乾式氧化(O<sub>2</sub>)兩種，而濕式氧化速率較乾式氧化速率快[30]。其中矽鍺薄膜之組成比例(composition)、應變程度(strain)、厚度(thickness)、成長溫度(growth temperature)等參數皆會影響氧化之動能(kinetic of oxidation)[28]。

對於矽鍺元件製造的過程中，如何生長品質佳之高溫氧化應變矽鍺磊晶層是相當關鍵的。當矽鍺應變層的鍺含量(x < 0.5)且溫度高達 700 °C 以上會呈現氧化之現象，由於在加熱的過程中所形成的二氧化矽(SiO<sub>2</sub>)會比二氧化鍺(GeO<sub>2</sub>)優先形成[29-32]。因此，當熱氧化所形成的二氧化矽(SiO<sub>2</sub>)時，鍺會被氧化層排斥在氧化層的底層堆積起來，反應式由(2.10)所示[30]:



K. Cai 等人[33]，以能量散射 X 光光譜分析(Energy-dispersive X-ray Spectroscopy, EDS)下，發現氧原子因層間的擴散作用而進入矽鍺磊晶層表面。另外，在高解析的 X 光繞射分析中(High-Resolution X-ray Diffraction, HRXRD)發現，隨著溫度的上升，矽鍺層的特性波峰會往高繞射角偏移(shift)的趨勢，此為擴散至矽基材之現象。

因此，為了製造出高鍺含量且具有應變鬆弛的矽鍺磊晶層，以增加載子的遷移率。並在高溫氧化的過程中，高濃度鍺原子堆積(pile-up)在氧化介面上，同時在高溫氧化的過程中鍺也會向基材擴散，藉此減少缺陷的產生，所得到的高品質應變鬆弛矽鍺層，可成為良好的虛擬基材。

## 2.6 壓痕量測系統介紹

在巨觀的尺度下，很多材料都利用硬度機以及拉伸試驗去測量待測物的彈性模數。一旦進入微觀的世界裡，許多材料之結構便有所改變，包括：比表面積大、表面能高、表面原子所佔比例大等特點，以及表面效應、小尺寸效應和量子隧道效應等三大效應。此時不能再以傳統的連體力學來評估，若要測量薄膜的機械性質如潛變(creep)、硬度(hardness)以及彈性模數(elastic modulus)等，則必須利用奈米壓痕、奈米刮痕、表面作用力量測法、原子力顯微鏡做為量測的工具。由於測量奈米壓痕之過程中，量測的速度很快且精準，現已廣泛的被多位學者針對機械性質之測量。

本論文乃探討利用奈米壓痕機測量矽鍺薄膜之機械性質，奈米壓痕技術(Nanoindentation)是利用原子力顯微鏡或光學顯微鏡做表面的掃描測量的區域後，是藉由極小的荷重來測量奈米尺度下，以連續的負載及卸載等過程得到楊式模數及硬度，並了解彈性以及塑性行為。

## 2.6.1 奈米壓痕技術背景

在 20 世紀初，Brinell 利用球狀探針對塑性變形之材料做壓痕測試。此後，Brinell 便發展出各種不同的壓痕微米壓痕測試，並迅速地被業界採用 [34]。傳統的壓痕測試是利用光學量測，但限制了奈米的尺寸。在過去二十幾年的時間，壓痕領域已經延伸到奈米的尺度範圍，其已經發展出能夠在壓痕過程中連續量測負載和位移的關係。現今負載可以精確地量測小至奈米牛頓以及最小位移趨近 0.1 nm 的尺度。1970 年，楊氏模數(Elastic modulus) 可以經由負載-位移曲線中所得，更大大地推進壓痕測試方法 [34]。近幾年來，由於材料在奈米尺度下所具有的尺寸效應(size effect)，機械性質的研究漸漸開始引起各方的注意。目前正朝向於奈米複合材料的發展和奈米厚度薄膜於微小化工程的應用，以及在小體積下新穎的探測機械性質方法的發展。

如今，奈米壓痕機漸漸成為小體積材料機械性質的探測工具。壓痕的負載-位移資料包含了大量的資訊例如硬度和彈性係數等機械性質，不用傳統的光學量測方法就可獲得。奈米壓痕機也可以估計傳統壓痕所量測不出的超薄膜之破裂韌性。在擁有切向力感測器下，奈米刮痕和磨耗測試可以在漸增負載下執行。壓痕探針頭則是由高硬度和彈性模數之鑽石所組成，因此可避免探針頭本身的形變導致量測誤差。對於在小尺寸下探測硬度和彈性模數等性質，因三角錐形狀所磨成尖端狀的 Berkovich 三角錐壓痕探針

較 Vickers 和 Koop 探針更為廣泛使用的。

## 2.6.2 硬度與彈性模數的量測原理

在壓痕技術下最常量測的機械性質就是硬度(Hardness, H)和彈性模數(Elastic, E)。一開始，探針壓入試片時彈性和塑性變形會同時發生，此為負載的過程，壓痕形狀類似於探針頭三角錐的形狀。經過卸載之後，壓痕機抬針，此時只有彈性位移的部份會恢復。圖 2-3[34]展示典型的負載-位移曲線圖以及薄膜經負載及卸載時的壓痕形狀剖面圖。圖中  $h_{\max}$  表示在最大負載  $P_{\max}$  時的深度， $h_c$  定義為壓痕探針在負載下與試片的接觸深度， $h_f$  是在完全卸載後的最終位移。 $S$  為卸載曲線上部實驗量測而得的勁度(stiffness)。奈米壓痕硬度是最大負載除以壓痕的投影接觸面積，也就是說材料在負載下所能支撐的平均壓力。從負載-位移曲線可以得到硬度為(2.11)式：

$$H = \frac{P_{\max}}{A} \quad (2.11)$$

$A$  為投影接觸面積。另外試片之彈性模數可以從初始卸載斜率，即勁度  $S=dP/dh$  中得到。而  $S$  可另外由 Sneddon[35]推導的(2.12)公式來表示：

$$S = 2\beta \sqrt{\frac{A}{\pi}} E_r \quad (2.12)$$

$\beta$  為根探針頭幾何形狀有關的常數(Berkovich 為 1.034)， $E_r$  為變形模數(reduced elastic modulus)，由於 Tabor 和 Stillwell 較早的的壓痕實驗觀察到，

非剛性壓痕器(non-rigid indenter)對於負載-位移行為的影響，可藉由定義一個變形模數，有效地加以考慮，方程式(2.13)為

$$E_r = \frac{1-\nu^2}{E} + \frac{1-\nu_i^2}{E_i} \quad (2.13)$$

$E$  和  $\nu$  分別為試片之彈性模數和浦松比(poisson ratio)， $E_i$  和  $\nu_i$  則為壓痕探針頭之彈性係數和浦松比。對於鑽石而言， $E_i=1141\text{GPa}$  且  $\nu_i=0.07$ [35-36]。

從(3.2)和(3.3)式中可得知，為了求出彈性模數( $E$ )，必須要先知道勁度( $S$ )和投影接觸面積( $A$ )。Oliver 和 Pharr[36]發現卸載曲線通常為 Doerner 和 Nix 所述為非線性[37]，可以用指數形式(2.14)來表示：

$$P = B(h - h_f)^m \quad (2.14)$$

在此  $B$  和  $m$  為經驗常數。而勁度( $S$ )可以將(4)式中最大深度  $h=h_{\max}$  對時  $h$  做微分可得到(2.15)式：

$$S = \left(\frac{dP}{dh}\right)_{h=h_{\max}} = Bm(h_{\max} - h_f)^{m-1} \quad (2.15)$$

另外在已知探針頭幾何形狀的情況下，投影接觸面積可以為壓痕接觸深度的函數。以 Berkovich 為例：

$$A_c = 24.56h_c^2 \quad (2.16)$$

但實際上探針頭並非是完美的形狀，因此必須有所修正為(2.17)式：

$$A_c = 24.56h_c^2 + C_1h_c^1 + C_2h_c^{1/2} + C_3h_c^{1/4} + \dots + C_8h_c^{1/128} \quad (2.17)$$

$C_1$  至  $C_8$  為常數，右式首項表示為完美之 Berkovich 探針，其他項則為



探針鈍化之修飾因子[36]。

接觸深度可以由(2.18)式得到：

$$h_c = h_{\max} - \varepsilon \frac{P_{\max}}{S} \quad (2.18)$$

$\varepsilon$  為根據探針幾何形狀而定的常數(Berkovich 為 0.75)。

另外，對於不均勻材料(例如：多層膜)，其微結構和機械性質隨壓痕深度而改變，故壓痕時連續地量測這些材料的機械性質是迫切需要的。利用連續勁度量測(continuous stiffness measurement, CSM)，在壓痕時連續地量測材料的接觸勁度，並配合壓痕器面積函數計算對應的接觸面積，便可決定奈米材料或薄膜的彈性模數與硬度，不受其微結構或塑性變形的影響。

## 2.7 奈米壓痕量測效應

### 2.7.1 基材效應

一般薄膜材料可分為軟膜硬基底和硬膜軟基底兩種。通常在軟膜硬基底的情況下，薄膜硬度值不易受基材影響。反之硬膜軟基底，例如：鋁在玻璃上做壓痕試驗時會有陷入現象(sink-in)現象，壓痕深度會隨著硬度而增加，所以為了避免此效應的發生，則需壓痕深度需遠小於膜厚之比例範圍約 30 % [38]。

## 2.7.2 尺寸效應

因接觸面的不確定性、薄膜表面氧化層的生成(thin oxide films)、試片表面因加工所造成的殘留應力(residual stresses)及應變硬化(strain-hardening)、或是薄膜受到極淺的壓痕深度使表面積內的差排密度極速增加，影響了材料的降伏強度以及硬度，此為壓痕尺寸效應(indentation size effect)。Nix and Gao[38]以塑性應變硬化的理論，得到硬度隨壓痕深度變化的特徵公式如下：

$$\frac{H}{H_0} = \sqrt{1 + \frac{h^*}{h}} \quad (2.19)$$

H 為測量的所得的硬度值， $H_0$  為無差排之硬度質， $h^*$  為相依深度的長度量， $h$  為量測時最大壓痕深度。

## 2.7.3 表面粗糙度效應

試片的表面非常粗糙時，因探針尖端與試片表面的接觸為多點的接觸非單一接觸之時，實際接觸的面積會較理想的面積小，所換算出來的實際值會有誤差，硬度及彈性係數值相對變小，此為表面粗糙度效應(surface roughness effect)。若要降低表面粗糙度效應對壓痕實驗的影響，應使試片表面平坦，J. Y. Kim 等人[40]指出表面粗糙度對實驗結果會有所影響。根據粗糙度理論，粗糙度必須小於壓痕深度的 20%，以避免粗糙度對材料機械性質的影響。



#### 2.7.4 熱漂移效應

在奈米壓痕量測系統中，造成熱漂移(thermal drift)效應的原因有兩種，一為材料塑性流動(plastic flow)造成的潛變(creep)效應，另一為環境的溫度與儀器本身因操作時發熱，都可能使系統的組件產生熱膨脹(thermal expansion)而會造成誤差，但操作時間越久，儀器溫度會趨於穩定。若實驗室備有空調設備，熱漂移現象便會減少。通常實驗儀器可在每次壓痕實驗時在施加荷重前，設定儀器量測之熱漂移率(thermal drift rate)，漂移距離與時間呈現線性的情形，其中  $t$  為經過時間， $D_0$  為未經過熱漂移修正之位移， $D$  為經熱漂移修正後之位移，若超過所預設值時則儀器便會不作動，以確保實驗的準確性，待到熱漂移率低於預設值才開始實驗。如不考慮熱漂移效應，許多儀器也提供設定等待時間，在等待時間過後才開始實驗。修正熱漂移位移公式如下：

$$D = D_0 \pm D_{rift} t \quad (2.20)$$

#### 2.7.5 隆起和陷入效應

使用 Oliver 和 Pharr[36]的理論作實驗，對大多數的材料來說，其精確度可達 10 %。但是做壓痕實驗時，常會發生隆起現象(pile-up)與陷入現象(sink-in)，如圖 2-4[41]所示。此兩種現象所造成接觸的面積計算誤差，最高可達 50 %。許多分析結果顯示，不論發生隆起現象或陷入現象，在硬度較

高的基材上生長硬度較低的薄膜，會有隆起現象(pile-up)，但在硬度較低的  
基材上生長硬度較高的薄膜，則會有陷入現象(sink-in)。



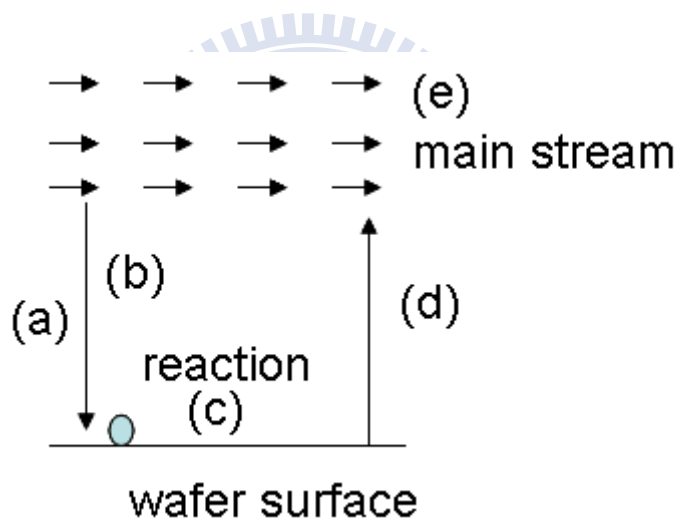
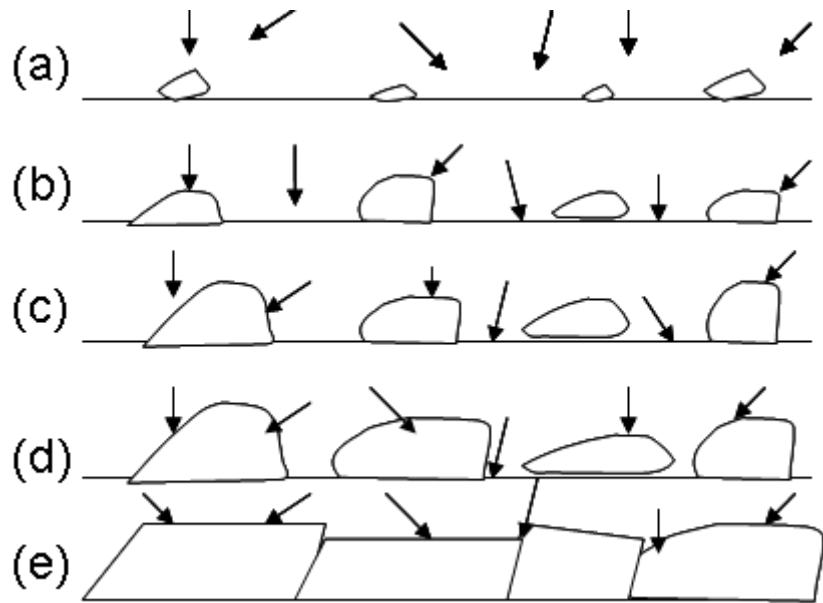


圖 2-1 化學氣相沈積的五個步驟: (a)吸附 (b)晶粒成核 (c)晶粒成長 (d)縫道填補 (e)沈積薄膜的成長

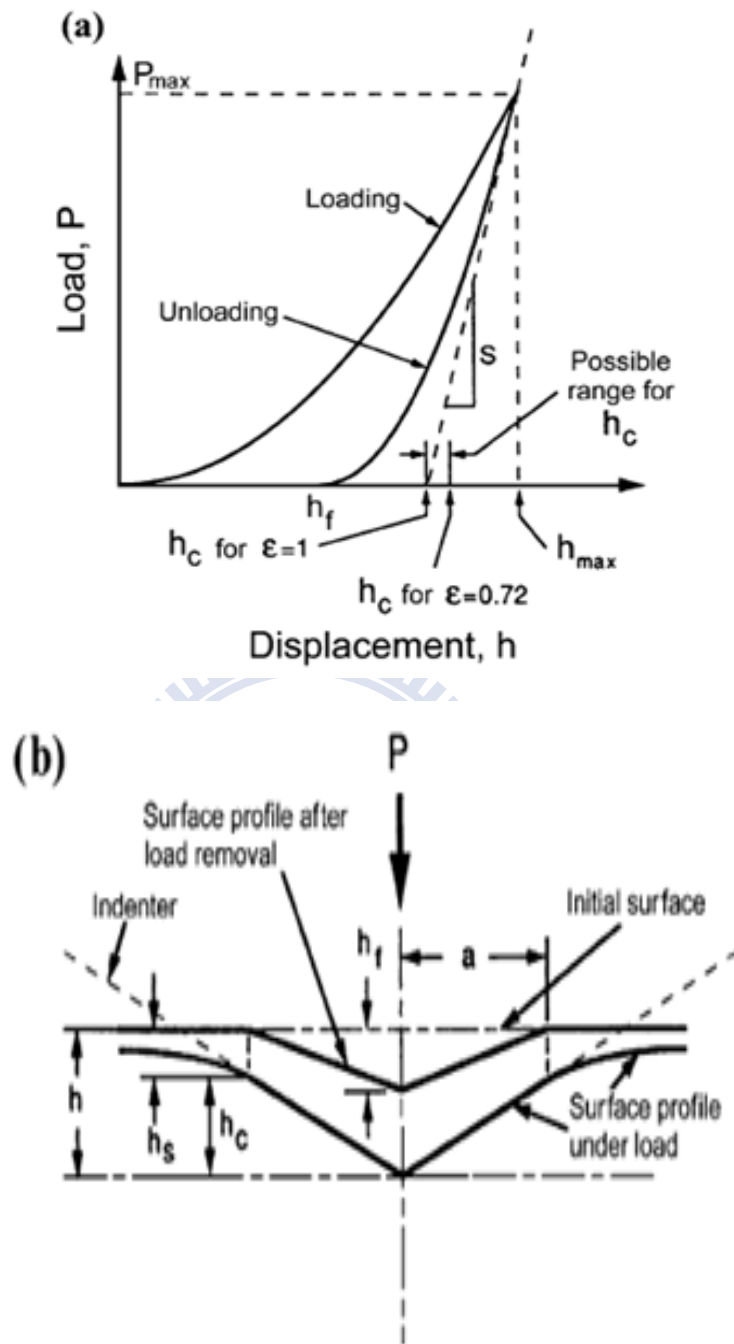


圖 2-2 (a)典型的負載-位移曲線圖以及(b)薄膜經負載及卸載時壓痕形狀剖面圖[34]

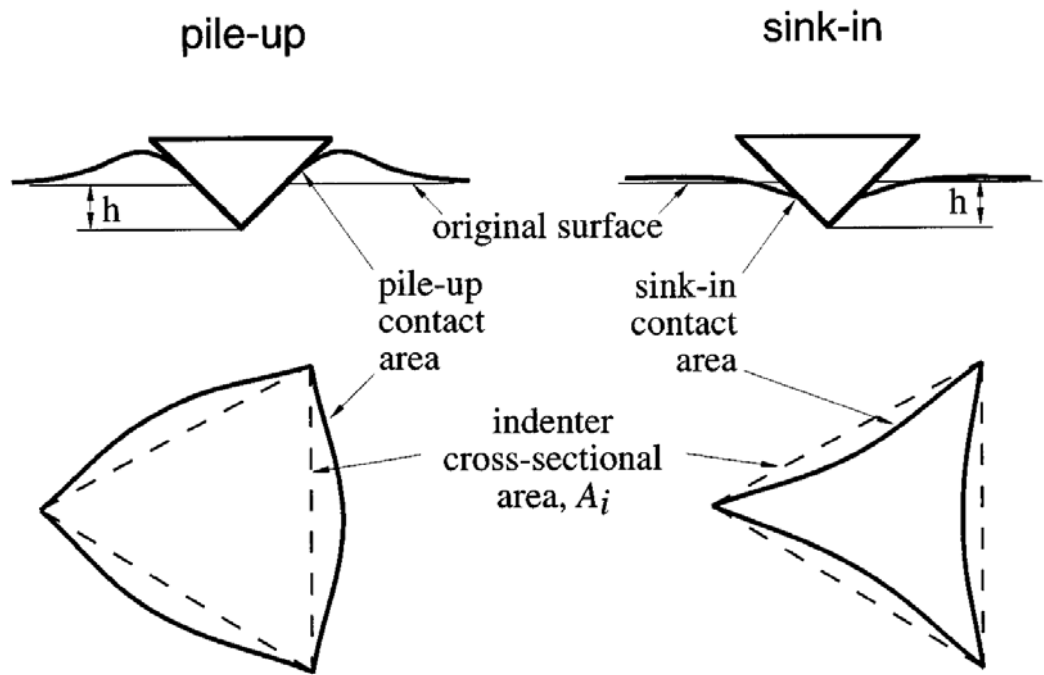


圖 2-3 試片表面(a)隆起和(b)陷入效應[41]



## 第三章 實驗方法與分析

### 3.1 實驗流程

本實驗探討的方向為在高溫氧化處理後，矽鍺異質接面結構之奈米材料與機械性質。首先利用超高真空化學氣相沉積系統(UHV/CVD)在矽基板上沉積厚度約 200 nm 的矽鍺薄膜。接著做常壓高溫氧化處理(800 °C、900 °C、1000 °C)，並探討矽鍺薄膜沉積在矽基材上，以不同溫度下探討其鍺擴散及高溫氧化之現象。為了進行材料分析，本論文使用多種分析儀器進行探討，以確定其準確性，實驗儀器包括 X 光散射分析儀(X-Ray Diffraction, XRD)、原子力電子顯微鏡(Atomic Force Microscope, AFM)、化學分析電子儀(Electron Spectroscopy for Chemical Analysis, ESCA)、二次離子質譜儀(Secondary Ion Mass Spectrometer, SIMS)。最後以奈米壓痕系統探討  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構之機械性質。實驗流程如圖 3-1。

### 3.2 實驗與分析儀器

$\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構材料:基材(substrate)為 P 型 Si(1 0 0)矽晶圓基板。生長  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構材料的儀器矽鍺超高真空化學氣相沉積系統(UNAXIS SiGe UHV/CVD)實驗設備。

#### 3.2.1 X 光繞射分析儀(XRD)

晶體是由原子或原子團在空間中以規則排列而成的固體，以 X-ray 打入

晶體時，會被原子散射，當存在某種相位關係(相位差)兩個或兩個以上散射波相互疊加後，就會產生繞射現象。X光繞射分析儀為非破壞性量測，利用偵測器收集繞射訊號強度，得到待測樣品的繞射圖譜(diffraction pattern)，接著以繞射強度得知待測樣品的結晶結構。X光繞射技術應用於晶相鑑定(phase identification)、優選方向(preferred orientation)判定、結晶度(degree of crystallinity)、晶粒度(crystallite size)量測及殘留應力檢測等分析上。(結構如圖3-2[42]所示)。

### 3.2.2 原子力顯微鏡(AFM)

探針貼近試片表面時，探針與試片之間的作用力大小反應於懸臂的形變上，藉由導入雷射光束並探測懸臂形變量，將訊號送至回饋控制電路處理並輸出至Z掃描器，可以得到等作用力的高度輪廓，加以X-Y掃描器做探針於試片間相對性位移，即描繪出試片微區的表面形貌，如圖3-3[42]。

### 3.2.3 化學分析電子儀(ESCA)

化學分析電子儀(ESCA)原理是以X光射線為激發源，採用鎂或鋁之 $K\alpha$ X光當激發源(其能量分別是 $Mg = 1253.6\text{ eV}$ ， $Al = 1486.6\text{ eV}$ )，照射樣品表面，使電子脫離軌域而游離成光電子，內層電子會吸收X光的能量而被激發並脫離材料表面，藉由光電子的動能推算該光電子的束縛能。由於電子束縛能與原子種類及周圍化學環境有關，故經由分析被激發出來的光電

子特性能量，可得到固態物體表面原子之組成元素的種類及表面化學結構，如圖 3-4[42]。

### 3.2.4 二次離子質譜儀(SIMS)

儀器為二次離子質譜儀，如圖 3-5[42]所示，藉由高能量之離子束撞擊試片表面，而激發出離子化的二次離子，再用質量分析儀器量測此二次離子之荷質比(M/e)值以鑑定其元素。並可將收集試片被撞擊出之離子，做表面元素的縱深分部情形及試片內部不同深度結構之分析。其偵測極限為百萬分之一原子密度(ppma)甚至可達十億萬分之一原子密度(ppba)。

### 3.2.5 奈米壓痕測試系統 (Nanoindentation)

儀器為MTS 奈米壓痕系統(Nano Indenter XPW SYSTEM)，如圖 3-6[42]所示。可針對 12 吋晶圓以下的試片進行奈米壓痕測試(Nanoindentation)以及表面形貌量測與磨耗測試，以及進行多種物理特性的量測，如硬度、彈性模數、斷裂韌性、試片表面摩擦係數，控制模式包含力道模式(Force Mode)以及連續勁度量測(Continuous Stiffness Mode)模式。功能可用於微電子元件檢測、半導體檢測、鍍層檢測、醫療儀器檢測、磁性儲藏介質檢測等。

## 3.3 實驗分析與步驟

藉由化學分析電子儀分析高溫氧化前後之矽鍍薄膜表面化學鍵結與元



素。然而，利用二次離子質譜儀藉離子分析矽鍺薄膜高溫氧化處理前後內部不同深度之結構變化。利用 X 光散射分析儀是觀察矽鍺薄膜經高溫氧化處理前後，進行晶格優選方向特性波峰、波長繞射強度、繞射圖譜和繞射位置等分析。原子力電子顯微鏡則用來分析矽鍺薄膜表面粗糙度，並比較經高溫氧化處理前後之差異。最後再以奈米壓痕量測系統比較不同溫度高溫氧化處理下的機械性質及可靠度。

### 3.3.1 試片製備

以 P 型(100)矽晶圓為基板，經 RCA 清洗流程後，以矽鍺超高真空化學氣相沈積系統(Ultra High Vacuum Chemical Vapor Deposition, UHV/CVD)長矽鍺薄膜後，再以高溫氧化的方式做熱處理，實驗之流程如下：

1. 首先，於 500 °C 生長 5 nm 厚的矽緩衝層長在矽基材上，通入氣體為矽化氫( $\text{SiH}_4$ )於 100 sccm 流量下成長 1 小時。
2. 其次，於 500 °C 生長 200 nm 厚度之  $\text{Si}_{0.8}\text{Ge}_{0.2}$  薄膜，其製程通入氣體為 100 sccm 流量下之矽化氫( $\text{SiH}_4$ )及 10 sccm 流量下之鍺化氫( $\text{GeH}_4$ )混合氣體。其間真空度維持在  $10^{-7}$  mbarr。
3. 最後於高溫爐內，分別對  $\text{Si}_{0.8}\text{Ge}_{0.2}$  薄膜進行 800 °C、900 °C、1000 °C 之高溫氧化處理。

### 3.3.2 高溫氧化處理以及去氧化層之處理

1. 首先將沉矽鍍薄膜的試片放入腔體(chamber)載台上，關閉反應室門與開通空氣閥門。
2. 設定高溫氧化處理所需溫度與時間，本實驗將進行不同溫度之高溫氧化處理，時間則固定為 30 分鐘。
3. 開啟電源供應器鈕進行加熱，當溫度到達指定溫度時，開始計時 30 分鐘，等所需時間到達時再將試片取出，即完成高溫氧化處理。
4. 將高溫氧化處理後的試片利用 BOE (二氧化矽蝕刻液)進行去氧化層之處理以確保奈米壓痕實驗之準確性。



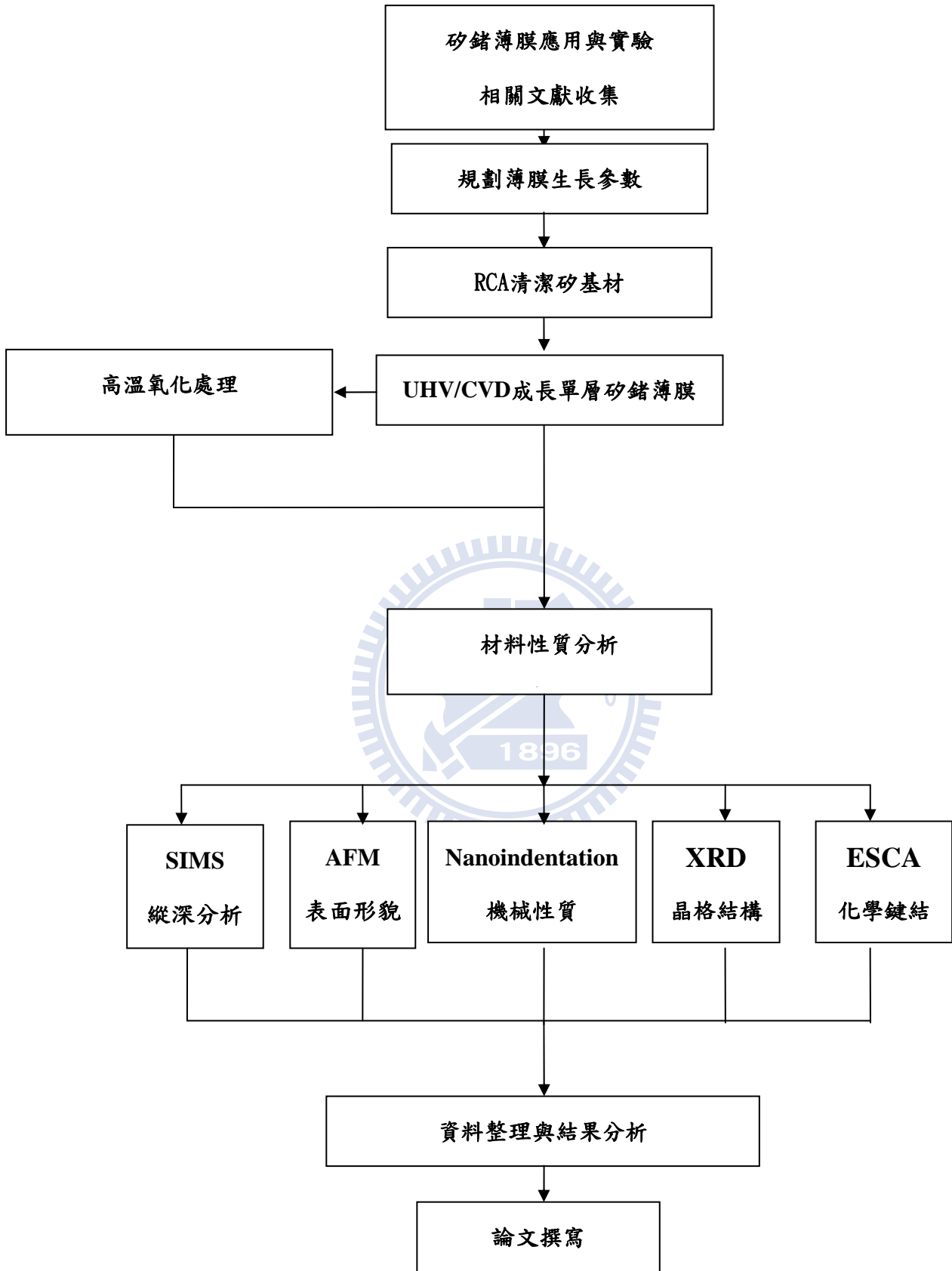


圖 3-1 實驗規劃流程圖



圖 3-2 X 光繞射儀[42]

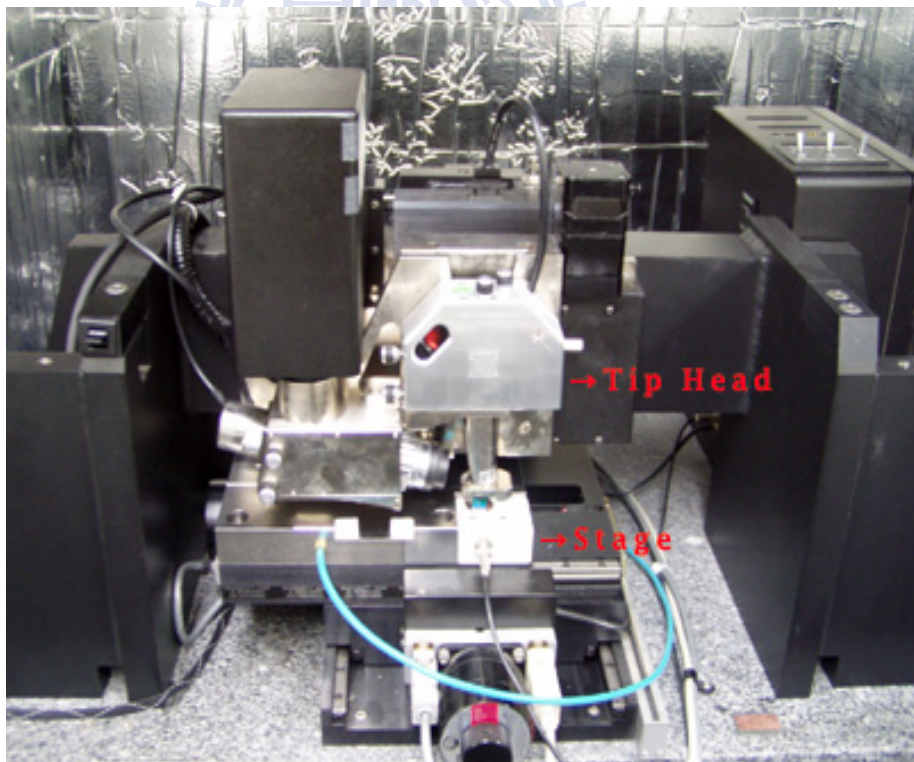


圖 3-3 原子力電子顯微鏡[42]

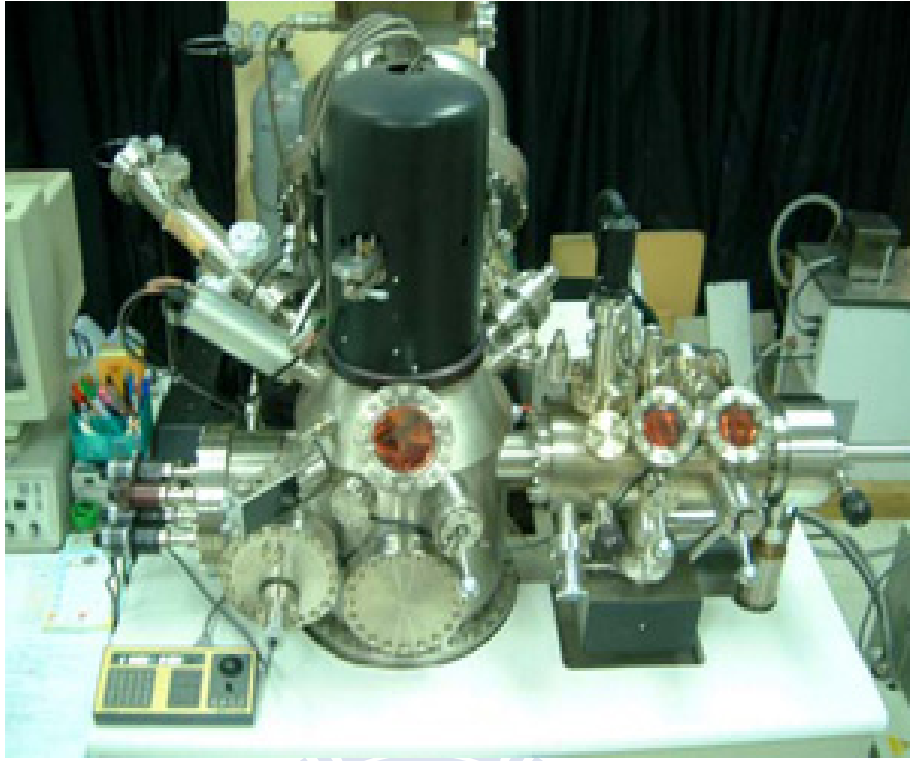


圖 3-4 化學分析電子儀[42]



圖 3-5 二次離子質譜儀[42]



圖 3-6 奈米壓痕測試系統[42]





## 第四章 實驗結果與討論

### 4.1 Si<sub>0.8</sub>Ge<sub>0.2</sub>/Si 質接面結構研究摘要

本論文乃利用超高真空氣相沈積法(UHV/CVD)在矽基板上沈積 200 nm 矽鍺磊晶層，並用不同的溫度做高溫氧化處理。化學分析電子儀(ESCA)藉由 X-Ray 光束照射在樣品表面，可收集到樣品表面數層原子內的光電子，分析此光電子的能量所得到相關的化學組態以及化學成分分析的資訊以得知材料化學鍵結。此分析方法於實驗中主要是分析結構表面經高溫氧化處理後的化學鍵結。此外，藉由二次離子質譜儀(SIMS)中利用一次離子所傳遞的能量激發到試片表面的單一或數原子層的物质而產生二次離子，再由能量分析儀或質荷分析儀後，在偵測器上產生縱深方向上的組成分佈。利用 X 光散射分析儀(XRD)進行材料晶格之探測分析，以觀察 Si<sub>0.8</sub>Ge<sub>0.2</sub>/Si 異質接面結構經高溫氧化作用後，材料布拉格角度的改變和材料特性波峰強度分析等來觀察晶格結構改變以及鍺原子的擴散程度。並用原子力顯微鏡(AFM)是藉由原子之間的凡得瓦力(Van Der Waals Force)作用來呈現試片的表面特性。最後，再以奈米壓痕機(Nanoindentation)利用力道控制模式以及連續勁度模式量測矽鍺薄膜之硬度以及楊式模數以分析機械特性。



## 4.2 Si<sub>0.8</sub>Ge<sub>0.2</sub>/Si 異質接面結構在高溫氧化處理前後之材料特性分析

### 4.2.1 高溫氧化處理前後 ESCA 分析結果

在此利用 ESCA 做高溫氧化處理前以及不同溫度下之表面化學鍵結分析討論。圖 4-1 為高溫氧化處理前後的矽(Si 2p)的 ESCA 化學鍵結顯示圖。從圖中可觀察出未做高溫氧化前有波峰鍵結能(binding energy)分別坐落於 100 eV 以及 106 eV。此兩個鍵結分別代表 Si 以及 SiO<sub>2</sub>。此 SiO<sub>2</sub> 峰值是由於試片在未高溫氧化前暴露於大氣環境下自行氧化所致。但在 800 °C-1000 °C 處理條件下所出現的波峰鍵結能為 105.7 eV、104.5 eV 及 105.4 eV。這些所對應出來之元素鍵結皆為 SiO<sub>2</sub>，由此可確定以高溫氧化處理的方式在 Si<sub>0.8</sub>Ge<sub>0.2</sub>/Si 異質接面結構上所生成的是二氧化矽之鍵結。

圖 4-2 為高溫氧化處理前後之鍺(Ge 3d)ESCA 化學鍵結顯示圖。從圖中可觀察出未高溫氧化處理前之鍵結能為 29.8 eV，其所對應的元素為鍺(Ge)。在高溫氧化處理後 ESCA 化學鍵結中則出現了兩個波峰。於 800 °C 時，所出現的鍵結能為 36 eV，其對應到的化學鍵結為二氧化鍺(GeO<sub>2</sub>)。於 900 °C 時所出現的波峰鍵結能為 34.4 eV，所對應到的化學鍵結為二氧化鍺(GeO<sub>2</sub>)。於 1000 °C 時所出現的波峰鍵結能為 35.4 eV，其對應到的化學鍵結為二氧化鍺(GeO<sub>2</sub>)。從實驗結果可以觀察出，鍺元素在高溫氧化處理後，會與氧元素做鍵結，最後生成為二氧化鍺(GeO<sub>2</sub>)**[20,28,32]**。

#### 4.2.2 高溫氧化處理前後 SIMS 分析結果

此部分是探討氧化前以及不同高溫氧化處理後之 SIMS 實驗結果做分析討論。圖 4-3 是未經氧化處理的矽(Si)、鍺(Ge)、氧(O)三元素之 SIMS 縱深分析，從圖 4-4 至 4-6 中可觀察氧化溫度在 800 °C、900 °C 及 1000 °C 時，矽(Si)、鍺(Ge)、氧(O)三元素之變化。在 800 °C 時，鍺元素因受高溫氧化作用，矽鍺薄膜與氧化層之介面移至 30.7 nm。於 900 °C 及 1000 °C 時，鍺元素因高溫氧化作用，矽鍺薄膜與氧化層之介面擴散至 47.5 nm 以及 98.7 nm。因此，矽鍺薄膜與矽基材的介面相對往後移動。故氧化溫度越高，則氧化速率越大而造成較厚之氧化層。矽鍺薄膜的厚度也相對的出現了變化，在未高溫氧化作用前矽鍺薄膜之厚度為 178.7 nm，而氧化溫度於 800 °C、900 °C 及 1000 °C 時的相對矽鍺薄膜厚度分別變為 167.9 nm、153.4 nm 以及 123.8 nm。故矽鍺薄膜隨著高溫氧化之作用，溫度越高薄膜層會變越薄。另外，以矽鍺高溫氧化的觀點觀察圖 4-5 和圖 4-6，發現鍺元素在高溫氧化處理下會產生變化。由於鍺元素在高溫氧化下，會被氧化層排斥到最上層堆積起來，故在氧化介面上形成鍺原子堆積(pile-up)現象[20,28,32]。此外，高溫氧化作用下形成的氧化層越厚，鍺元素從氧化層的排斥量也越多。

綜合以上的現象，可以歸納出當氧化溫度越高，氧化速率就越高，因此在相同時間處理下氧化層厚度越大，相對的矽鍺薄膜的厚度就越小。鍺元素因高溫氧化下之擴散現象[25-26,28]，隨著氧化溫度越高，鍺元素會擴散

至基材的厚度越多。整體而言，微量的鍺元素會擴散至矽鍺層之頂部堆積起來，而大部份鍺元素會往薄膜的介面堆積，故不影響整個機制作用。

#### 4.2.3 高溫氧化處理前後 X 光散射分析儀(XRD)分析結果

在此節探討未經高溫氧化處理以及不同氧化溫度的 XRD 之材料晶格分析。圖 4-7 為 4 個不同熱處理參數的  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質界面結構 XRD 分析圖。從 XRD 分析圖上可觀察到有兩個明顯的波峰(peak)，其中矽  $\text{Si}(001)$  的  $2\theta$  波峰位置為  $69.128^\circ$ 。而矽鍺( $\text{SiGe}$ )的  $2\theta$  波峰位置為  $67.925^\circ$ ，曲線中明顯的震盪特性代表原子間晶格排列相當規則，故擁有良好的結晶品質。此外，從未經高溫氧化處理的  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質界面結構分析數據(圖 4-8)中可觀察出本實驗試片材料的成分比例以及厚度，得出  $\text{SiGe}$  薄膜之厚度約 202 nm，其鍺含量約為 23%。

另外，也可從實驗數據了解矽鍺的應變釋放之情形。在高溫氧化處理後的 XRD 實驗數據中，隨著溫度上升，曲線震盪特性漸漸衰退(fade out)[26]。此現象代表著當試片遭受到高溫處理時，原子排列的規則性因外來能量的輸入遭受到破壞，此為應變鬆弛之現象。

從圖 4-7(b)-(d) 中，可看出高溫氧化處理後，矽鍺的波峰有明顯的向右偏移(shift)，且鍺含量下降之趨勢，可以解釋為鍺濃度擴散(diffusion)至矽基材[25-28]。此現象也可以從上節中之二次離子質譜儀可以觀察出。此外，

從 900 °C 以及 1000 °C 之氧化處理後的曲線中，在低繞射角處有一波峰產生，此為高鍺含量之矽鍺波峰。

#### 4.2.4 高溫氧化處理前後原子力顯微鏡(AFM)分析結果

在此分為兩部分分析，首先以未經高溫氧化處理的分析結果做探討，之後再將不同氧化溫度之 AFM 表面形貌影像做分析討論。圖 4-8(a) 為未高溫氧化處理之矽鍺薄膜之 3D 表面形貌。從圖中可觀察出未高溫氧化處理前的矽鍺薄膜層呈現平坦的表面，其相對之方均根粗糙度( $R_{ms}$ )為 0.467 nm。此代表矽鍺薄膜層在超高真空化學氣相沉積系統下能夠均勻的成長在表面且沒有缺陷產生。圖 4-8(b)-(d) 分別為矽鍺薄膜在氧化溫度 800 °C、900 °C 和 1000 °C 處理下之 AFM 表面形貌。以高溫氧化處理前後之方均根粗糙度做比較，高溫氧化處理前的方均根粗糙度為 0.467 nm，然而氧化溫度於 800 °C、900 °C 和 1000 °C 下之方均根粗糙度分別為 0.919 nm、1.498 nm、1.685 nm。從數據可觀察出，高溫氧化處理後的方均根粗糙度有明顯增加的趨勢。

#### 4.3 $Si_{0.8}Ge_{0.2}/Si$ 異質接面結構在高溫氧化處理前後之機械性質分析

$Si_{0.8}Ge_{0.2}/Si$  異質接面結構以奈米壓痕量測系統進行微結構之機械性質分析，施以負載 10 mN，卸負載次數一次，熱漂移率設定為 0.4 nm/s，每一負載設定壓印 10 個點後求其平均值，並以原子力顯微鏡觀察負載後之表面

壓痕之形貌。連續勁度量測模式是施以 200 nm 之壓痕深度，熱漂移率設定為 0.3 nm/s，每一負載設定壓印 15 個點後求其平均值。

#### 4.3.1 力量控制模式下之負載-卸載曲線之分析

圖 4-9 為矽鍺薄膜未經高溫氧化處理前的奈米壓痕力道為 10 mN 之卸負載曲線。圖 4-10 至圖 4-13 分別為矽鍺薄膜在氧化溫度為 800 °C、900 °C 和 1000 °C 處理下之奈米壓痕之卸負載曲線。

在卸負載的曲線可看到，未高溫氧化處理與高溫氧化處理後的曲線皆有不連續的現象，亦“pop in”的現象(圖 4-9 至圖 4-12 箭頭所指)，此在負載過程中產生斷裂之現象(“pop in”)，因負載突破彈性限所造成曲線之不連續，且不連續的負載-卸載曲線常出現在脆性半導體材料，例如：Si、Ge、InP 以及 GaAs 等材料。在塑性變形的過程中，不連續的負載曲線為重要的指標，象徵著差排的初始以及相變化[44]。此外，在壓痕負載的過程中，若探針碰到薄膜之缺陷處並跳躍，造成下壓後曲線也會出現不連續點之產生，此為塑性變形之開始[45]。

在原子力顯微鏡下也能看到壓痕滑移的痕跡在接觸的壓痕半徑之內有塑性變形[44]。圖 4-10 至圖 4-13 比較高溫氧化處理前後之呈現出來的奈米壓痕卸負載曲線中，最大負載所對應出來的壓痕深度大約一致為 199 nm 左右，且初始卸載曲線的斜率並沒有明顯的變化，這表示在高溫氧化下卸載



時探針所受之的回彈力並沒有太大的改變。

### 4.3.2 原子力顯微鏡觀察

從圖 4-14 至圖 4-17 原子力顯微鏡(AFM)橫切面(cross section)之結果可觀察到在高溫氧化處理前後的壓痕邊緣有明顯的隆起現象(pile-up)。此現象與基材和薄膜之間的硬度有關，在軟膜硬基材的情況下進行奈米壓痕之測試時，薄膜本身的硬度相對於基材的硬度較低，故在探針下壓後，壓痕邊緣會出現因塑性變形導致薄膜材料堆積隆起(pile-up)的現象[46]。另外，從高溫氧化處理前後之堆積隆起的程度觀察(如表 4-3)，未高溫氧化處理前的隆起高度為 12.5 nm，高溫氧化處理於溫度 800 °C、900 °C 以及 1000 °C 後，隆起高度降為 10.2 nm、7.2 nm、7.1 nm。此現象說明高溫氧化處理後，隆起的高度降低。從此可初步推測薄膜在高溫氧化後其抵抗塑性變形的程度增加，間接使薄膜硬度值相對地提高。

### 4.3.3 連續勁度量測模式下之機械性質分析

綜合原子力顯微鏡所得出的結果，接下來再搭配奈米壓痕之連續勁度量測模式能更精確地量測出矽鍺薄膜之硬度值和楊氏模數值。圖 4-18 至圖 4-21 為  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構未經高溫氧化與高溫氧化處理於 800 °C、900 °C 以及 1000 °C 時，奈米壓痕機以連續量測壓痕的接觸勁度，以 200 nm

壓痕之深度做硬度變化分析。於未經高溫氧化處理的硬度曲線(圖 4-18)觀察得知，當壓痕深度於 25 nm 之後，曲線停止上升而趨向穩定值，代表材料之變形行為開始以穩定的塑性變形為主且壓痕已排除尺寸效應之干擾，硬度幾乎保持穩定值，但由於壓痕深度超過薄膜厚度的 20 %，下壓到薄膜與基材之介面時，會有基材效應之產生。另外，從實驗結果可看出壓痕深度在 50 nm 以內，未經高溫氧化處理與高溫氧化處理後之試片比較下，高溫氧化處理後的所量測出來的硬度值較小，因鍺原子堆積(pile-up)在矽鍺薄膜的表面上，且鍺原子的結構比矽原子結構的硬度低且為不穩定的微結構，故高溫氧化處理所量測出來的硬度值較小[47]。T.Y. Tsui 等人[48]表示由於壓痕尖端對於材料所施加的力垂直下壓於表面，使尖端的剪應力消除。因此圖 4-22 可看到在從 0 至 50 nm 之曲線中可得知經高溫氧化處理後，矽鍺薄膜因受到應變鬆弛所生成之錯位差排之影響，所以未高溫氧化處理之試片所量測出來的硬度值較大。

為了求取薄膜試片之平均壓痕深度之準確性及穩定性，在此將量取範圍縮小至 100 到 200 nm 時之範圍可視為完整之塑性發展區域，可從此範圍求得整體  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構的硬度及楊氏模數。在經過奈米壓痕之卸負載之試驗後，歸納出在未高溫氧化處理前平均硬度為 13.8 GPa；而在高溫氧化處理於 800 °C、900 °C 以及 1000 °C 之後，平均硬度分別上升至 14.5 GPa、16.1 GPa、16.2 GPa。由此可看出， $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構後硬度



明顯增加，也就是抵抗塑性變形之程度增加。

圖 4-23 至圖 4-27 為  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構未經高溫氧化與高溫氧化後的楊氏模數之變化。在未經高溫氧化處理及高溫氧化處理後的結果，以連續勁度壓痕模式觀察壓痕深度至 200 nm 深度觀察其楊氏模數的變化。在未經高溫氧化處理前，平均楊氏模數為 198.5 GPa。經高溫氧化處理於溫度 800 °C、900 °C 以及 1000 °C 時，平均楊氏模數為 202.5 GPa、215.9 GPa、216.6 GPa，皆顯示矽鍺異質薄膜結構因氧化處理後，結構強度皆增加。由於矽鍺薄膜出現差排現象伴隨著機械彈性以及彈塑性之變形，因此，在高溫氧化處理下藉由應變鬆弛所導致錯位差排(misfit dislocation)的形成會造成硬度增加。故缺陷效應以及矽鍺薄膜的組成在硬度以及楊氏模數方面都有顯著的影響[47]。

#### 4.4 矽鍺薄膜經高溫氧化處理其材料和機械特性之綜合分析

綜合以上實驗之分析，首先可得知在 XRD 分析中，出現低角度之新波峰為高鍺濃度的波峰。此高鍺濃度的波峰是由於  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構之鍺在高溫氧化下，被氧化層排斥而堆積在氧化介面上形成鍺原子堆積(pile-up)現象，此現象也可從二次離子分析儀(SIMS)之縱深分析可得知。由於鍺原子堆積(pile-up)現象，在奈米壓痕的機械特性量測實驗中，我們發現  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構在壓痕深度於 50 nm 以內，矽鍺薄膜在 800 °C 至

1000 °C 氧化處理時硬度及楊氏模數較未高溫氧化處理之試片低，此現象可以由原子力顯微鏡觀察之 3D 表面形貌得知，當氧化溫度於 800 °C 至 1000 °C 時，由於高溫氧化處理後矽鍺薄膜產生應變鬆弛且因錯位差排(misfit dislocation)所引發的方格圖形(cross-hatch patterns)及表面有產生島狀物。此外， $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經 800 °C 至 1000 °C 氧化處理後，矽鍺薄膜皆有粗糙度增加、產生島狀物以及差排的現象，此造成矽鍺薄膜表面(奈米壓痕深度為 0 至 50 nm 之間)的硬度及楊氏模數較未高溫氧化處理之試片低。因此鍺原子堆積之現象造成矽鍺薄膜的表面機械性質較弱，抵抗塑性變形的能力較低。但在壓痕深度為 100 到 200 nm 之間， $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構在 800 °C 至 1000 °C 氧化處理時，薄膜之硬度及楊氏模數較未高溫氧化處理之試片高，且以原子力顯微鏡進行橫切面觀察壓痕隆起(pile-up)現象的狀況來看(如表 4-3 所示)，經高溫氧化處理後的矽鍺薄膜之鍺元素堆積的高度降低，皆可顯示高溫氧化後機械性質有所提升。

表 4-1  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構 (a)未高溫氧化處理前及(b)800 °C、  
(c)900 °C和(d)1000 °C氧化處理後之粗糙度比較

Sample	Root mean square roughness, $R_{\text{ms}}$ (nm)
As-grown	0.467
800 °C	0.919
900 °C	1.498
1000 °C	1.685

表 4-2  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構 (a)未高溫氧化處理前及(b)800 °C、  
(c)900 °C和(d)1000 °C氧化處理後，於奈米壓痕機之連續勁度模式於 200  
nm 的深度之硬度及楊氏係數比較

Sample	Hardness(Gpa)	Modulus(Gpa)
(a)As-grown	13.8±0.6	198.5±4.3
(b)800 °C	14.5±0.6	202.5±6.2
(c)900 °C	16.1±0.4	215.9±5.8
(d)1000 °C	16.2±0.5	216.6±4.3

表 4-3  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構 (a)未高溫氧化處理前及(b)800 °C、(c)900 °C和(d)1000 °C氧化處理後，經奈米壓痕實驗後 AFM 之堆積隆起之比較

Sample	Pile-up (nm)
(a)As-grown	12.5
(b)800 °C	10.2
(c)900 °C	7.2
(d)1000 °C	7.1

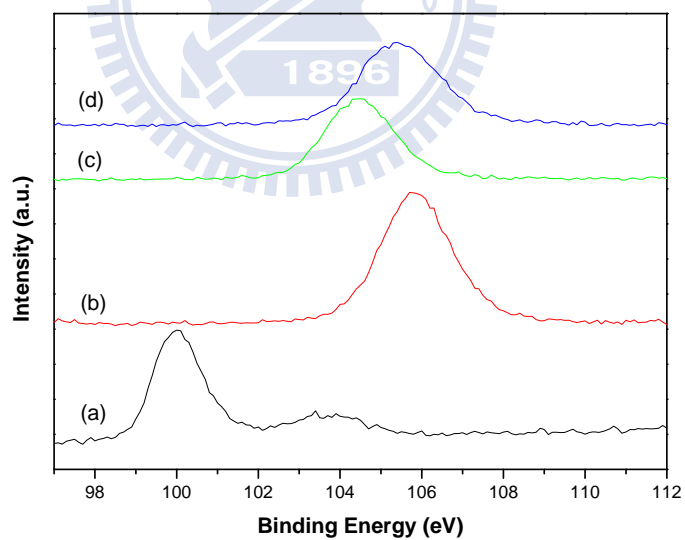


圖 4-1  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構 (a)未高溫氧化處理前及(b)800 °C、(c)900 °C和(d)1000 °C氧化處理之 ESCA-Si 化學鍵結分析圖

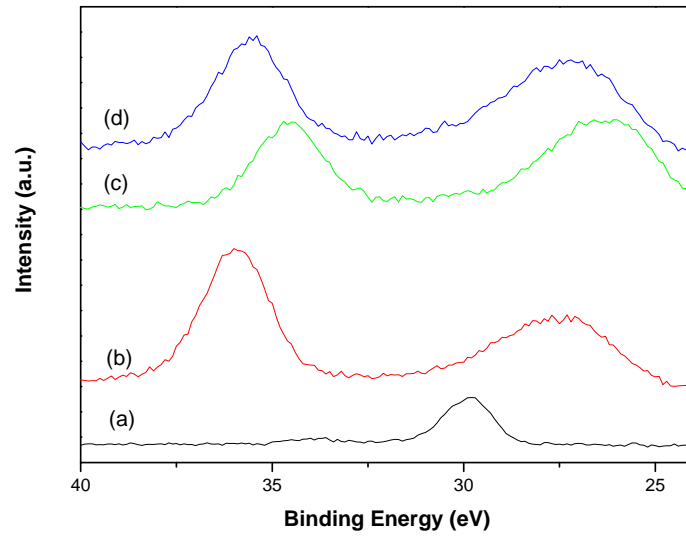


圖 4-2  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構 (a)未高溫氧化處理前及(b)800 °C、(c)900 °C和(d)1000 °C氧化處理之 ESCA-Ge 化學鍵結分析圖

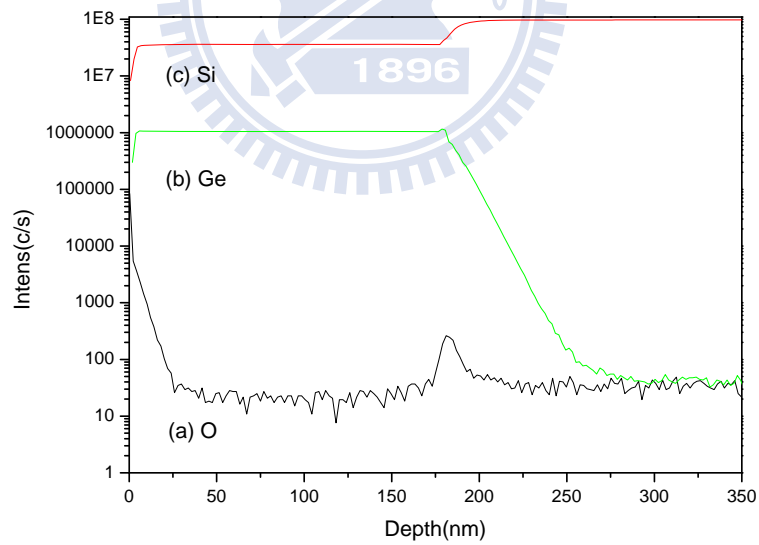


圖 4-3  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構未高溫氧化處理前 (a)Si、(b)Ge 及(c)O 之縱深分析圖

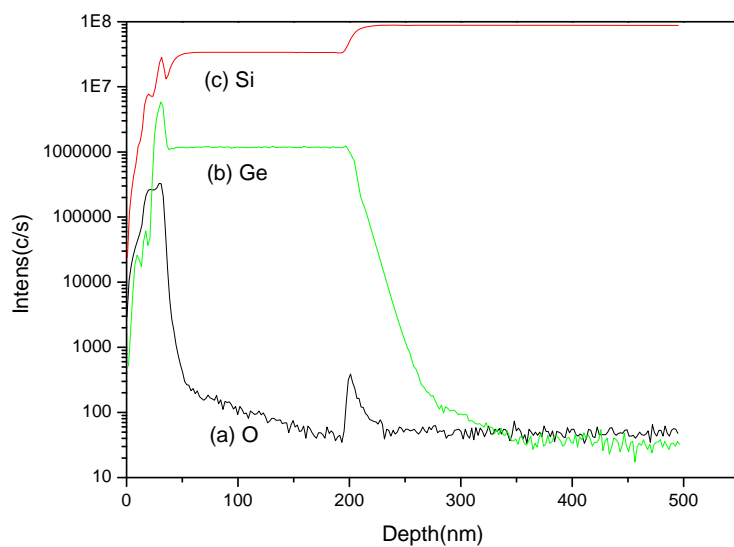


圖 4-4  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質界面結構經  $800^\circ\text{C}$  氧化處理後之 SIMS 縱深分析

圖

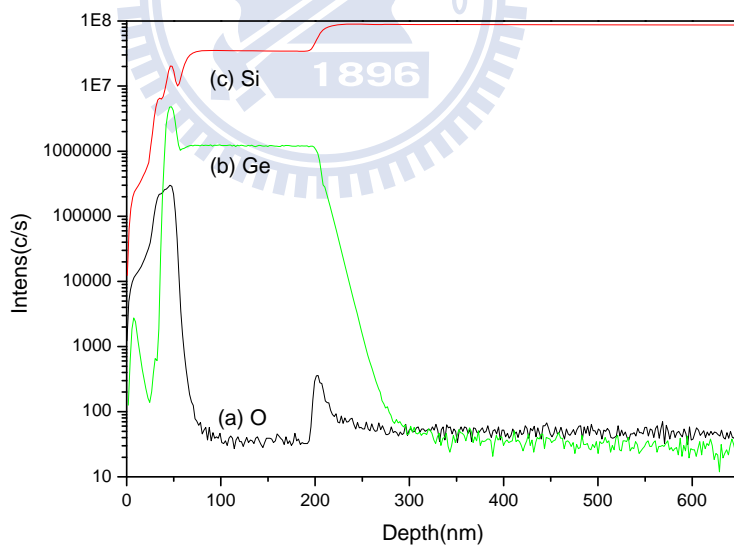


圖 4-5  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質界面結構經  $900^\circ\text{C}$  氧化處理後之 SIMS 縱深分析

圖

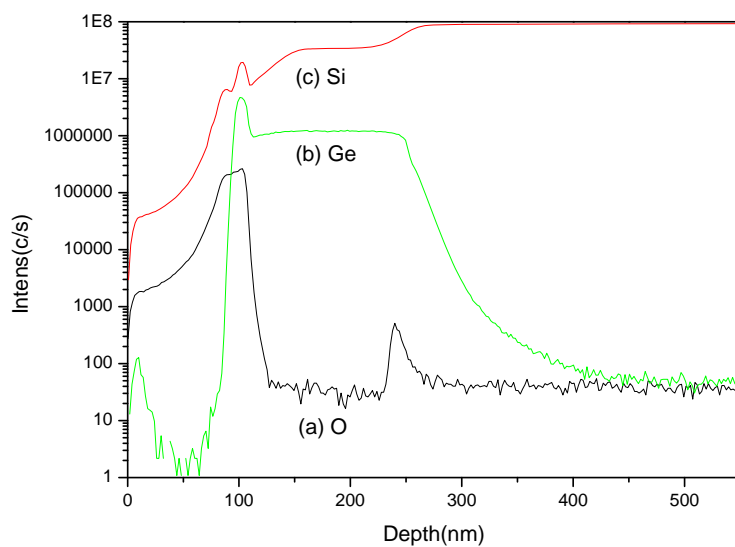


圖 4-6  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經  $1000\text{ }^{\circ}\text{C}$  氧化處理後之 SIMS 縱深分析圖

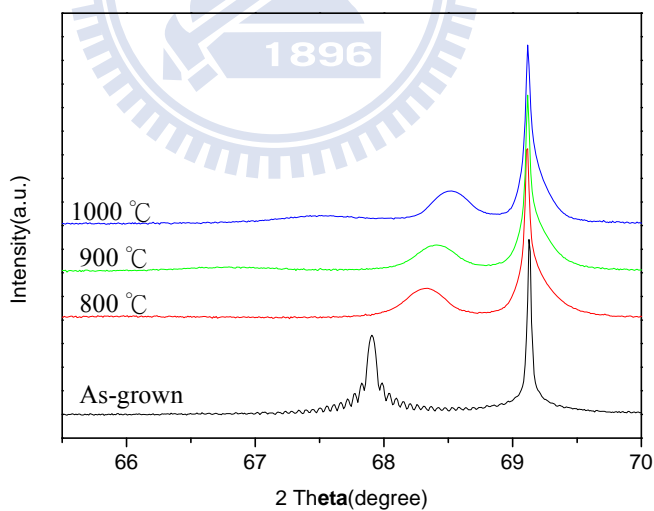


圖 4-7  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構 (a)未高溫氧化處理前及(b) $800\text{ }^{\circ}\text{C}$ 、(c) $900\text{ }^{\circ}\text{C}$ 和(d) $1000\text{ }^{\circ}\text{C}$ 氧化處理之 XRD 分析圖



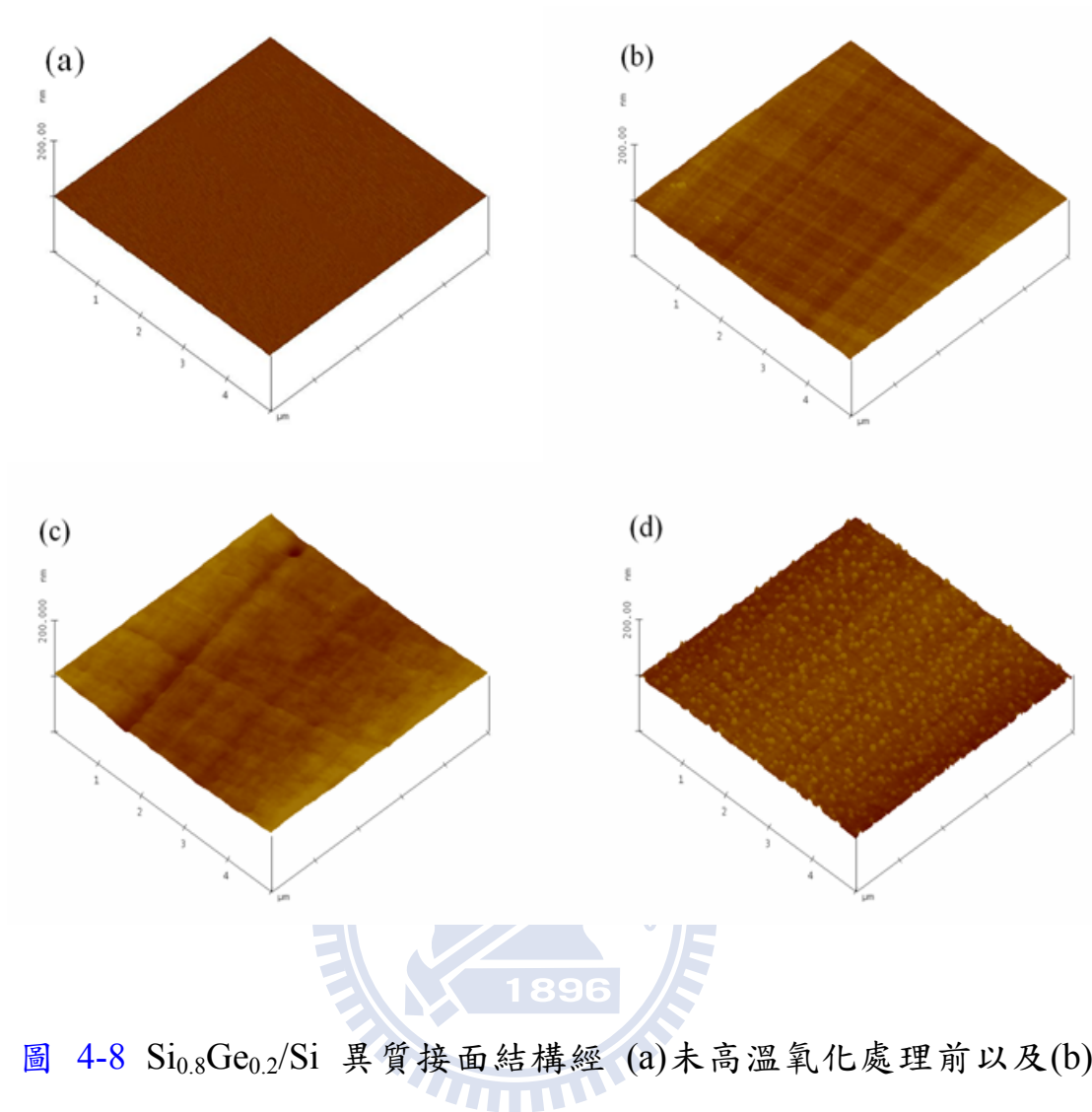


圖 4-8  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經 (a) 未高溫氧化處理前以及 (b) 800 °C、(c) 900 °C 和 (d) 1000 °C 氧化處理之 AFM 之 3D 形貌圖

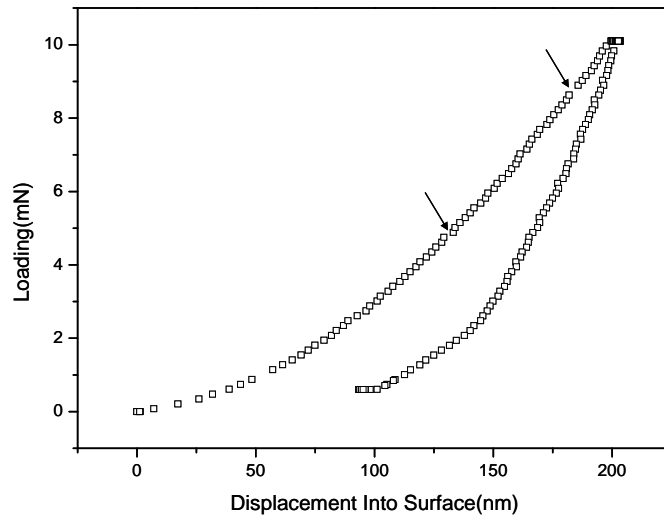


圖 4-9  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構未經高溫氧化處理前在 10 mN 的負載下之卸負載曲線

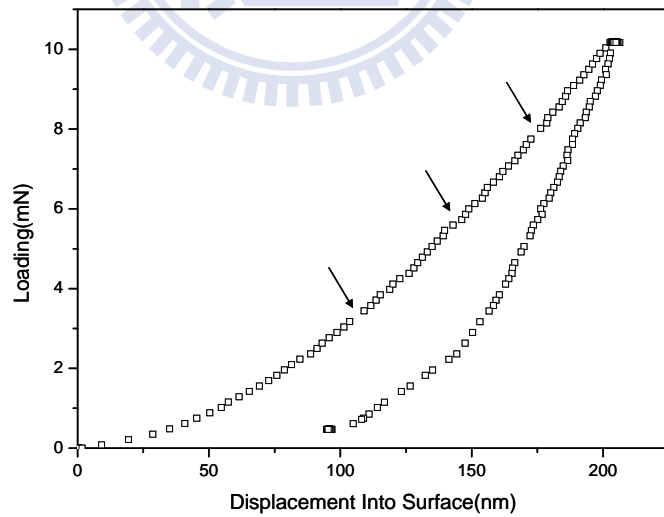


圖 4-10  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經 800 °C 高溫氧化處理於 10 mN 的負載下之卸負載曲線

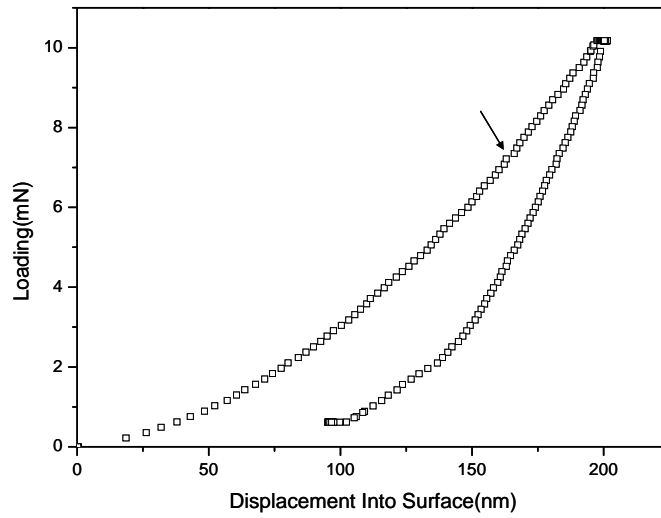


圖 4-11  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經 900 °C 高溫氧化處理於 10 mN 的負載下之卸負載曲線

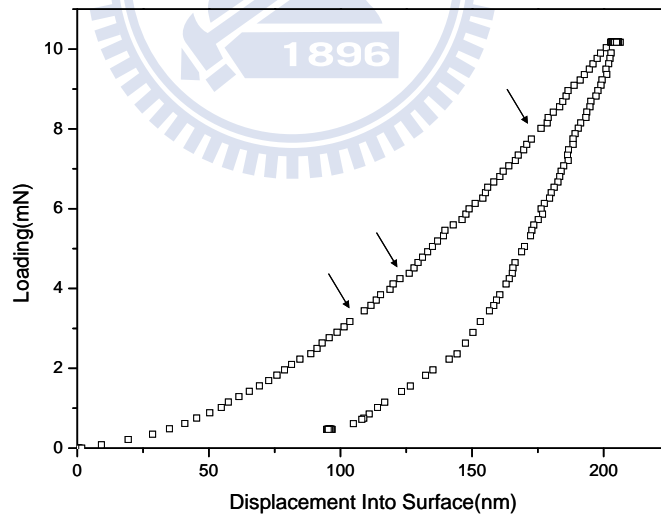


圖 4-12  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經 1000 °C 高溫氧化處理於 10 mN 的負載下之卸負載曲線

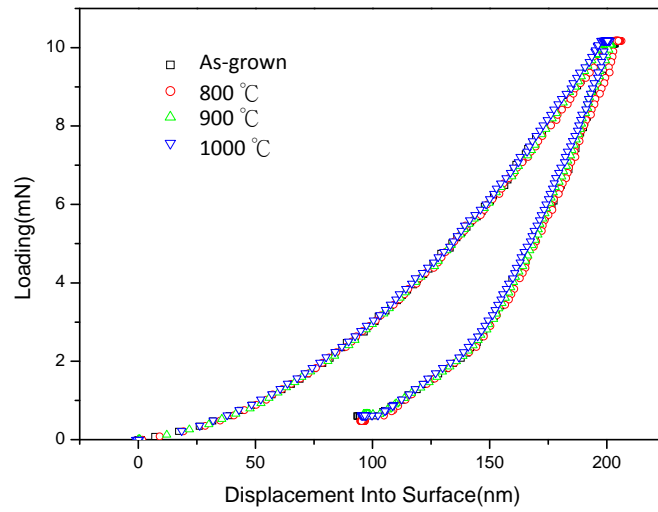


圖 4-13  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構未經高溫氧化處理前與高溫氧化處理於經  $800\text{ }^\circ\text{C}$ 、 $900\text{ }^\circ\text{C}$ 、 $1000\text{ }^\circ\text{C}$  之  $10\text{ mN}$  的負載下之卸負載曲線

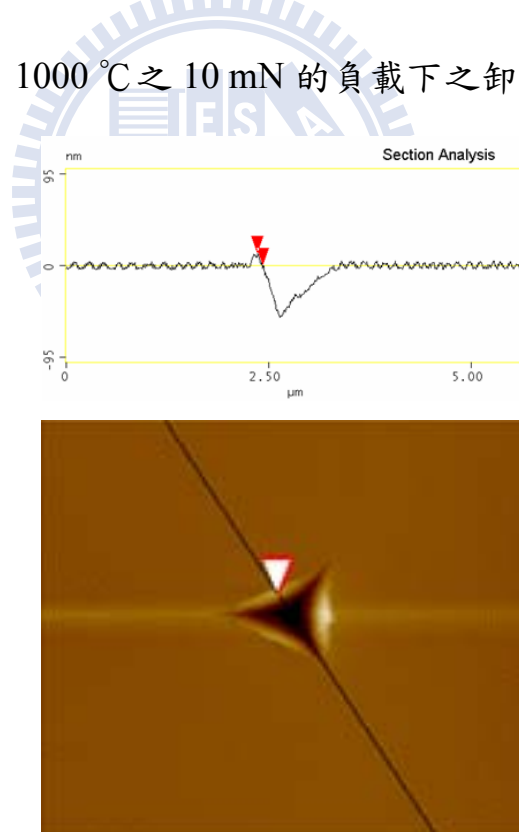


圖 4-14  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構未經高溫氧化處理前在  $10\text{ mN}$  的力道下之 AFM 橫切面

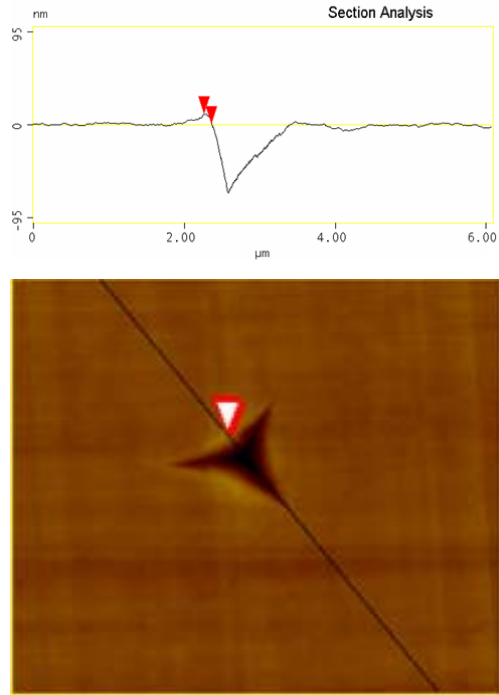


圖 4-15  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經高溫氧化處理  $800\text{ }^{\circ}\text{C}$  於奈米壓痕之  $10\text{ mN}$  力道下之 AFM 橫切面

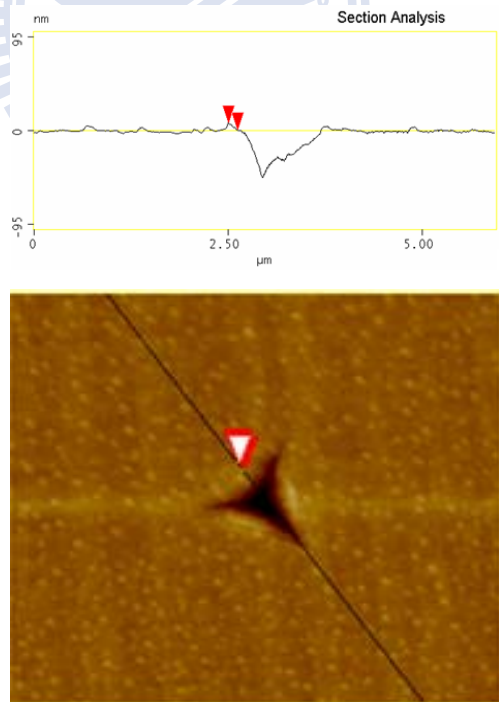


圖 4-16  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經高溫氧化處理  $900\text{ }^{\circ}\text{C}$  於奈米壓痕之  $10\text{ mN}$  力道下之 AFM 橫切面

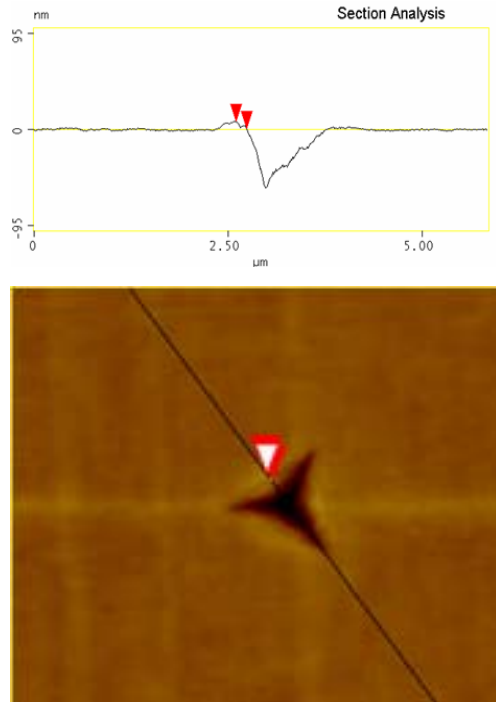


圖 4-17  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經高溫氧化處理  $1000\text{ }^{\circ}\text{C}$  於奈米壓痕之  $10\text{ mN}$  力道下之 AFM 橫切面

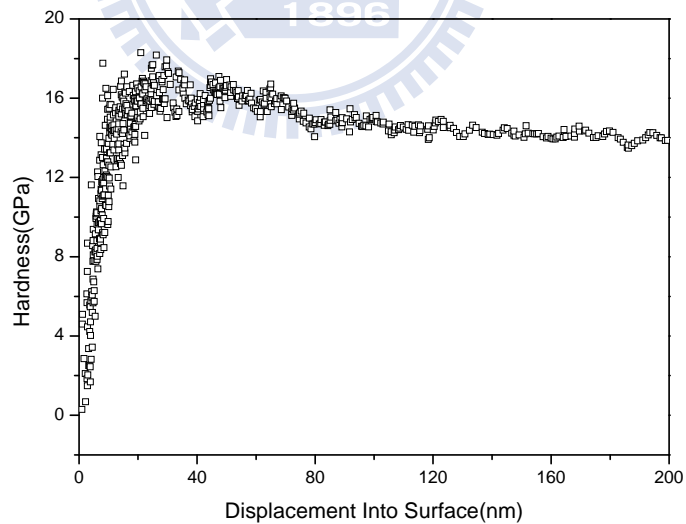


圖 4-18  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構未經高溫氧化處理前在連續勁度模式  $200\text{ nm}$  的深度下之硬度變化

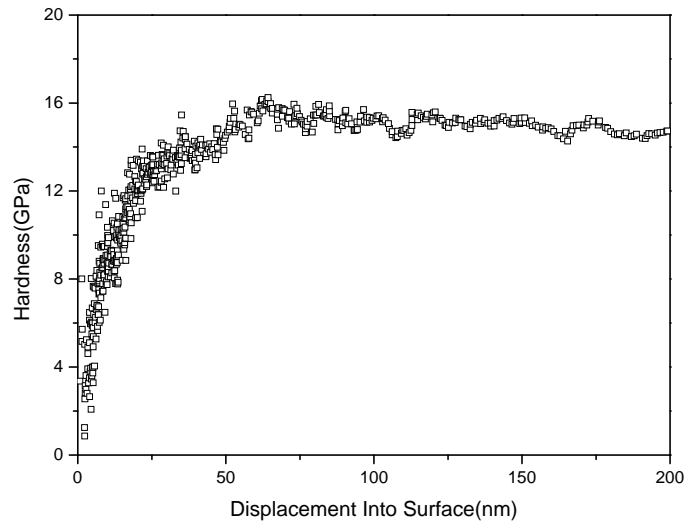


圖 4-19  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經  $800\text{ }^{\circ}\text{C}$  高溫氧化處理在連續勁度模式 200 nm 的深度下之硬度變化

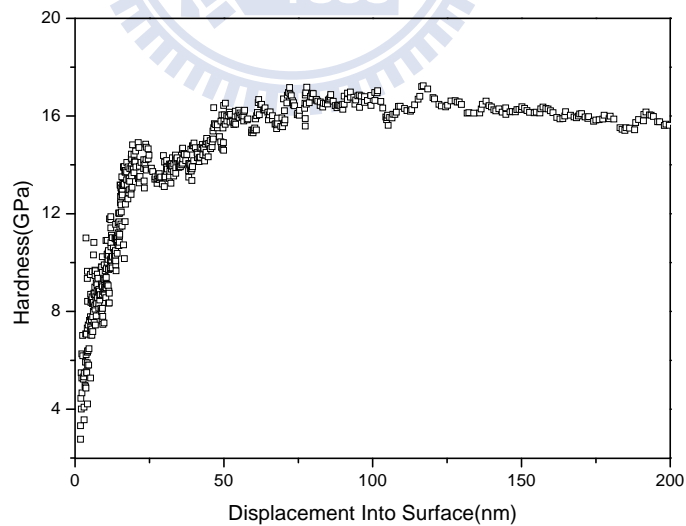


圖 4-20  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經  $900\text{ }^{\circ}\text{C}$  高溫氧化處理在連續勁度模式 200 nm 的深度下之硬度變化



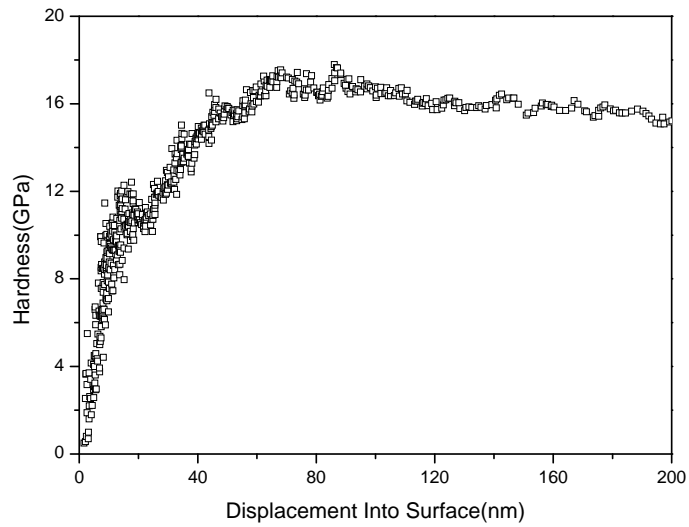


圖 4-21  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經  $1000\text{ }^{\circ}\text{C}$  高溫氧化處理在連續勁度模式  $200\text{ nm}$  的深度下之硬度變化

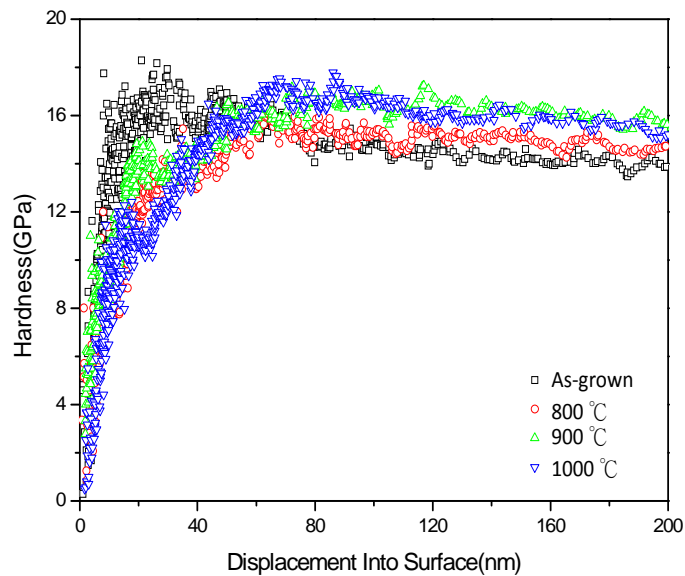


圖 4-22  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構未經高溫氧化處理前與高溫氧化處理於經  $800\text{ }^{\circ}\text{C}$ 、 $900\text{ }^{\circ}\text{C}$ 、 $1000\text{ }^{\circ}\text{C}$  在連續勁度模式  $200\text{ nm}$  的深度下之硬度變化

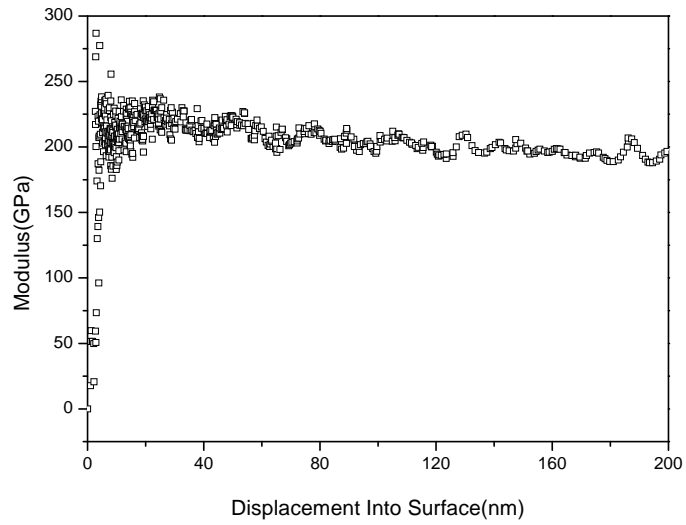


圖 4-23  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構未經高溫氧化處理前在連續勁度模式 200 nm 的深度下楊氏模數之變化

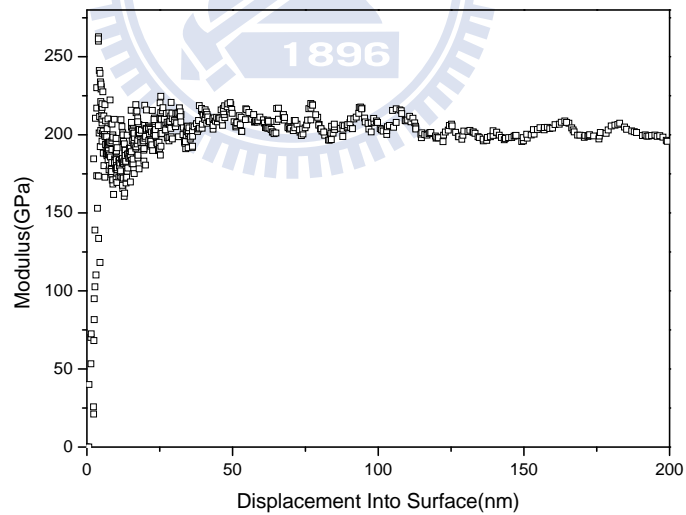


圖 4-24  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經 800 °C 高溫氧化處理在連續勁度模式 200 nm 的深度下楊氏模數之變化

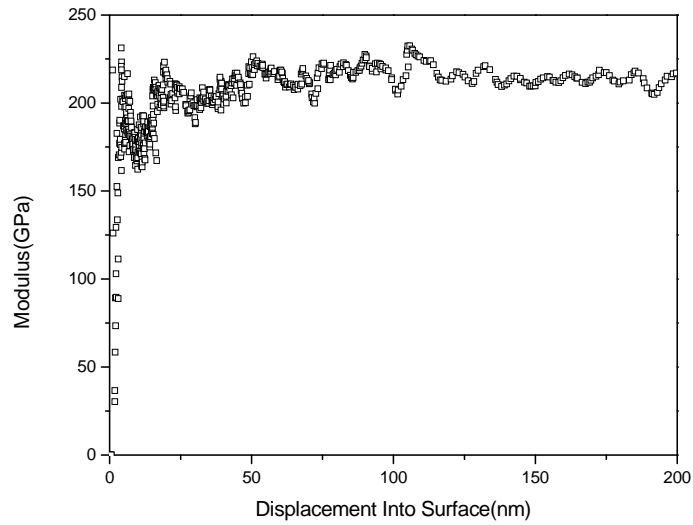


圖 4-25  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經  $900\text{ }^{\circ}\text{C}$  高溫氧化處理在連續勁度模式 200 nm 的深度下楊氏模數之變化

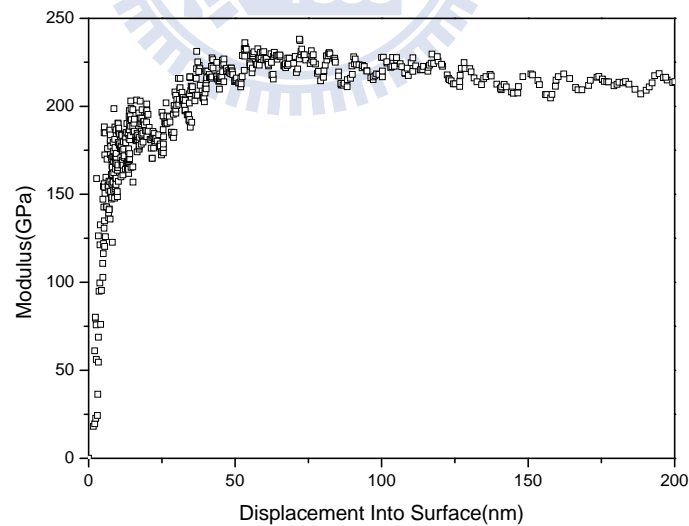


圖 4-26  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構經  $1000\text{ }^{\circ}\text{C}$  高溫氧化處理在連續勁度模式 200 nm 的深度下楊氏模數之變化

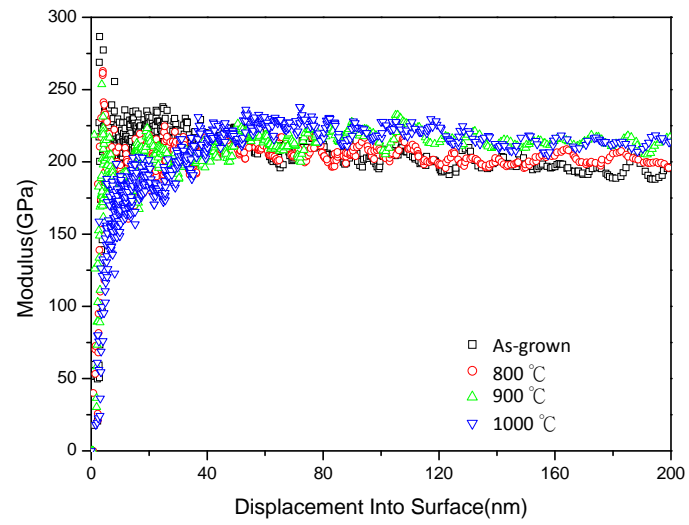


圖 4-27  $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$  異質接面結構未經高溫氧化處理前與高溫氧化處理於經 800 °C、900 °C、1000 °C 在連續勁度模式 200 nm 的深度下楊氏模數之變化



## 第五章 結論

本論文實驗主要探討矽鍺薄膜異質接合結構的材料性質與機械性質並進行高溫氧化處理加以分析。首先在矽基板上生長 200 nm 厚度的矽鍺薄膜，接著是使用 ESCA、SIMS、XRD、AFM 進行第一階段材料之分析，歸納的結論如下：

1. 在元素鍵結方面，從 ESCA 量測氧化層可觀察出矽鍺薄膜異質接合結構由於高溫氧化處理下，氧元素除了會與矽元素鍵結在表面形成二氧化矽( $\text{SiO}_2$ )之外，也發現二氧化鍺( $\text{GeO}_2$ )之鍵結形成。
2. 在元素分布方面，由 SIMS 分析可得知，鍺元素會與矽元素同時進行氧化作用。但由於矽之氧化能力相對於鍺來的高，因此氧化鍺最終會被矽還原成鍺原子而堆積(pile-up)在介面層形成高鍺濃度之矽鍺表面。
3. 在晶格組成結構方面，從 XRD 可觀察出，高溫氧化處理後的矽鍺薄膜異質接合結構中鍺的波峰有明顯的向右偏移，且鍺含量下降之趨勢，此為鍺濃度擴散至矽基材之現象。此外，並從曲線震盪特性中發現高溫導致應變鬆弛(strain relaxation)之現象發生。
4. 在表面變化方面，由 AFM 之 3D 表面形貌可觀察出高溫氧化處理後的矽鍺薄膜異質接合結構的表面粗糙度有明顯上升之現象，而且有方格圖形(cross-hatch patterns)等缺陷的產生。另外在 1000 °C 時也有島

狀物產生。從 AFM 可歸納出，高溫氧化處理後的矽鍺薄膜異質接合結構與高溫氧化處理前的試片相較之下有粗糙度增加、產生島狀物以及差排的現象。

第二階段利用奈米壓痕探討高溫氧化處理後做機械性質之分析。利用奈米壓痕的力道控制模式分析負載-卸載曲線特性，並搭配 AFM 觀察負載-卸載後壓痕型態的變化，最後再以奈米壓痕之連續勁度模式分析硬度以及楊氏模數做分析，可得知以下結論：

1. 在奈米壓痕之力量控制模式下，負載過程中產生曲線不連續之“pop in”之現象，此為矽鍺薄膜有差排產生及塑性變形之現象。
2. 在奈米壓痕之力量控制模式實驗後，再以 AFM 觀察未經高溫氧化處理之薄膜表面，出現堆積隆起(pile-up)的現象。但與高溫氧化處理後之試片做比較時，高溫氧化處理後試片之堆積隆起(pile-up)的程度變小(抵抗塑性變形的程度增加)，壓痕的彈性回復量增加(抵抗彈性變形機制方面增加)。
3. 在奈米壓痕之連續勁度模式下，以 200 nm 之壓痕深度觀察壓痕深度範圍於 0 至 50 nm 時，因為矽鍺表面有鍺隆起(pile-up)之緣故，高溫氧化處理後的所量測出來的硬度值及楊式模數較小。反之，壓痕深度在 100 到 200 nm 之間時，在高溫氧化處理下藉由應變鬆弛所導致錯位差排(misfit dislocation)的形成會造成硬度及楊式模數較大。因此，

必須特別注意矽鍍薄膜之表面經高溫氧化處理而產生結構性強度之下降，尤其在後續製程例如化學機械研磨、封裝等皆可能對薄膜表面產生破壞性的影響，進而使整體元件產生失效的可能性。





## 第六章 後續研究工作

在後續研究工作方面可以於矽鍺異質接面結構做進一步的製程參數以及後續處理的改變。相關研究工作如下：

1. 改變矽鍺薄膜中鍺摻雜濃度，探討相對應之結構強度。此外在高溫氧化處理方面，將嘗試不同之溫度處理及時間，使不同鍺摻雜濃度之矽鍺薄膜於相對應合適之氧化參數下使其形成一穩定之鍺元素漸變層，且於高應變鬆弛下保持低缺陷的結構特性。此外，矽鍺薄膜表面在經後續化學機械研磨時必須在研磨參數上做最佳化之處理，以在達成表面平坦化的同時，亦能維持穩定之結構強度、高應變鬆弛以及高鍺濃度堆積之理想虛擬基材。
2. 針對高溫氧化處理前後之矽鍺薄膜以有限元素法模擬壓痕試驗，模擬淺層壓痕以排除基材效應，量測薄膜在應變鬆弛前後其相對應硬度及楊式模數之變化關聯。
3. 在材料特性研究方面，利用穿透式電子顯微鏡(TEM)分析儀器直接觀察矽鍺異質接面結構於高溫氧化處理過後貫穿性差排以及錯位差排分布變化情形，探討不同鍺摻雜濃度下之薄膜在高溫氧化處理後應變鬆弛之機制與相對應缺陷產生情形。

## 參考文獻

1. M. Glickman, “Magnetoresistance of germanium-silicon alloys”, *Phys. Rev*, 100, pp. 1146, 1955.
2. D. L. Harnage and B. S. Meyerson, “The early history of IBM’s SiGe mixed signal technology”, *IEEE T. Electron Dev.*, 48, pp. 2555, 2001.
3. E.E. Haller, “Germanium: From its discovery to SiGe devices”, *Mat. Sci. Semicon. Proc.*, 9, pp. 408, 2006.
4. A. J. Joseph et al., “Status and direction of communication technologies SiGe BiCMOS and RF CMOS”, *Proc. IEEE*, 93, No. 9, pp. 1539, 2005.
5. S. M. Gates et al., “Decomposition of silane on Si(111)-(7×7) and Si(100)-(2×1) surfaces below 500 °C”, *J. Chem. Phys.*, 92, pp. 3144, 1990.
6. B. Cunningham et al., “Heteroepitaxial growth of Ge on (100) Si by ultrahigh vacuum, chemical vapor deposition”, *Appl. Phys. Lett.*, 59, pp. 3574, 1991.
7. A. Y. Cho and J. R. Arthur, “Molecular beam epitaxy”, *Prog. Solid State Ch.*, 10, pp. 157, 1975.
8. S.A. Scott and M.G. Lagally, “Elastically strain-sharing nanomembranes: flexible and transferable strained silicon and silicon–germanium alloys”, *J. Phys.*, D 40, pp. R75, 2007.
9. R. People, “Indirect band gap of coherently strained  $\text{Ge}_x\text{Si}_{1-x}$  bulk alloys on <001> silicon substrates”, *Phys. Rev. B* 32, pp. 1405, 1985.
10. C. G. Van de Walle and R. M. Martin, “Theoretical Calculations of heterojunction discontinuities in the Si/Ge system”, *Phys. Rev. B* 34, pp. 5621, 1986.

11. R. People and J. C. Bean, "Band alignments of coherently strained  $\text{Ge}_x\text{Si}_{1-x}/\text{Si}$  heterostructures on  $\langle 001 \rangle$   $\text{Ge}_y\text{Si}_{1-y}$  substrates", *Appl. Phys. Lett.*, 48, pp. 538, 1986.
12. A. Levitas, "Electrical properties of germanium-silicon alloys", *Phys. Rev.*, 99, pp. 1810, 1955.
13. M. Glicksman, "Mobility of electrons in germanium-silicon alloys", *Phys. Rev.*, 111, pp. 125, 1958.
14. J. A. Moriarty and S. Krishnamurthy, "Theory of silicon superlattices: Electronic structure and enhanced mobility", *J. Appl. Phys.*, 54, pp. 1892, 1983.
15. G. C. Osbourn, "Strained-layer superlattices: A brief review", *IEEE J. Quantum Elect.*, QE-22, pp. 1677, 1986.
16. P. W. Li et al. "SiGe pMOSFETs with gate oxide fabricated by microwave electron cyclotron resonance plasma", *IEEE Electr. Device L.*, 45, pp. 402, 1994.
17. T. Irisawa et al., "Ultrahigh Room-Temperature Hole Hall and Effective Mobility in  $\text{Si}_{0.3}\text{Ge}_{0.7}/\text{Ge}/\text{Si}_{0.3}\text{Ge}_{0.7}$  Heterostructures", *Appl. Phys. Lett.*, 81, pp. 847, 2002.
18. Y. Shiraki and A. Sakai, "Fabrication technology of SiGe hetero-structures and their properties", *Surf. Sci. Rep.*, 59, pp. 153, 2005.
19. E. Kasper et al., "New virtual substrate concept for vertical MOS transistors", *Thin Solid Films*, 336, pp. 319, 1998.
20. Y. Zhang et al., "Strain relaxation in SiGe layer during wet oxidation process", *Appl. Surf. Sci.*, 255, pp. 3701, 2009.
21. S. W. Lee et al., "Effects of low-temperature Si buffer layer thickness on

- the growth of SiGe by molecular beam epitaxy”, J. Appl. Phys., 92, pp. 6880, 2002.
22. S. R. Sheng et al., “Growth and characterization of ultrahigh vacuum/chemical vapor deposition SiGe epitaxial layers on bulk single-crystal SiGe and Si substrates”, J. Vac. Sci. Technol., 20, pp. 1120, 2002.
23. H. Watakabe et al., “Electrical and structural properties of poly-SiGe film formed by pulsed-laser annealing”, J. Appl. Phys., 95, pp. 6457, 2004.
24. A. M. P. dos Anjos et al., “Structural characterization of SiGe nanoclusters formed by rapid thermal annealing”, Appl. Surf. Sci., 254, pp. 3105, 2008.
25. Y. M. Chang et al., “Effect of annealing temperature for Si<sub>0.8</sub>Ge<sub>0.2</sub> epitaxial thin films Thin Solid Films”, Appl. Surf. Sci., 254, pp. 3105, 2008.
26. S. Zheng et al., “Interdiffusion at Si/SiGe interface analyzed by high-resolution X-ray diffraction”, J. Mater. Sci., 508, pp. 156, 2006.
27. S. Zheng et al., “The structural deformations in the Si/SiGe system induced by thermal annealing”, J. Mater. Sci., 42, pp. 5312, 2007.
28. M. Spadafora et al., “Oxidation rate enhancement of SiGe epitaxial films oxidized in dry ambient”, Appl. Phys. Lett., 83, pp. 2713, 2003.
29. J. H. Jang et al., “Fabrication of compositional graded Si<sub>1-x</sub>Ge<sub>x</sub> layers by using thermal oxidation”, Appl. Phys. Lett., 94, pp. 202104, 2009.
30. P. E. Hellberg et al., “Oxidation of silicon–germanium alloys. I. An experimental study”, J. Appl. Phys., 82, pp. 5773, 1997.
31. D. A. Abdulmalik et al., “The response of open-volume defects in

- Si<sub>0.92</sub>Ge<sub>0.08</sub> to annealing in nitrogen or oxygen ambient”, *J. Mater. Sci: Mater. Electron*, 18, pp. 753, 2007.
32. Y. S. Lim et al., “Dry thermal oxidation of a graded SiGe layer”, *Appl. Phys. Lett.*, 79, pp. 3606, 2001.
33. K. Cai et al., “Thermal annealing effects on a compositionally graded SiGe layer fabricated by oxidizing a strained SiGe layer”, *Appl. Surf. Sci.*, 254, pp. 5363, 2008.
34. X. Li and B. Bhushan, “A review of nanoindentation continuous stiffness measurement technique and its applications”, *J. Appl. Phys.*, 48, pp. 11, 2002.
35. I. N. Sneddon, “A study of turbulent combustion and its modeling using a diffusion reaction equation model”, *Int. J. Eng. Sci.*, 3, pp. 47, 1965.
36. J. B. Pethica et al., “Hardness Measurement at Penetration Depths as Small as 20 nm”, *Philos. Mag. A*, 48, pp. 593, 1983.
37. M. F. Doerner and W. D. Nix, “A method for interpreting the data from depth-sensing indentation instruments”, *J. Mater. Res.*, 1, pp. 601, 1986.
38. W. D. Nix and R. Saha, “Effects of the substrate on the determination of thin film mechanical properties by nanoindentation”, *Acta Mater.*, 50, pp. 23, 2002.
39. W. D. Nix, and H. Gao, “Indentation size effects in crystalline: a few for strain gradient plasticity”, *J. Mech. Phys. Solids*, 3, 46, pp. 411, 1998.
40. J. Y. Kim et al., “Surface roughness effect in instrumented indentation: A simple contact depth model and its verification”, *J. Mater. Res.*, 21, No. 12, pp. 2975, 2006.
41. K. W. McElhane et al., “Determination of indenter tip geometry and indentation contact area for depth-sensing indentation experiments”, *J.*

- Mater. Res., 13, pp. 1300, 1998.
42. 國家奈米元件實驗室(<http://www.ndl.org.tw>)
43. J.E. Bradby et al., “Indentation-induced damage in GaN epilayers”, Appl. Phys. Lett., 80, pp.383, 2002.
44. D.F. Bahr et al., “Non-linear deformation mechanisms during nanoindentation”, Acta Mater., 46, pp. 3605, 1998.
45. R. Navamathavan et al., “‘Pop-in’ phenomenon during nanoindentation in epitaxial GaN thin films on c-plane sapphire substrates”, Mater. Chem. Phys., 99, pp. 410, 2006.
46. R. Saha and W. D. Nix, “Effects of the substrate on the determination of thin film mechanical properties by nanoindentation”, Acta Mater., 50, pp. 23, 2002.
47. B.C. He et al., “Evaluation of the nanoindentation behaviors of SiGe epitaxial layer on Si substrate”, Microelectron Reliab., 50, pp. 63, 2010.
48. T.Y. Tsui et al., “Influences of stress on the measurement of mechanical properties using nanoindentation: Part I. Experimental studies in an aluminum alloy”, J. Mater. Res., 11, pp. 752, 1996.