

國立交通大學  
電機與控制工程研究所

碩士論文

具備 USB 介面之雙聲道全數位式音頻放大器設計

Design of a Dual-channel Full Digital Audio Amplifier  
with USB Interface

研究生：葉順智

指導教授：胡竹生 博士

中華民國九十三年七月

具備 USB 介面之雙聲道全數位式音頻放大器設計

Design of a Dual-channel Full Digital Audio Amplifier  
with USB interface

研 究 生：葉 順 智

Student : Shuen-Chih, Yeh

指 導 教 授：胡 竹 生 博 士

Advisor : Prof. Jwu-Sheng, Hu

國立交通大學  
電機與控制工程學系  
碩 士 論 文

A Thesis

Submitted to Institute of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical and Control Engineering

July 2004

Hsinchu, Taiwan, Republic of China

中 華 民 國 九 十 三 年 七 月

# 具備 USB 介面之雙聲道全數位式 音頻放大器設計

研究生：葉 順 智

指導教授：胡 竹 生 博士

國立交通大學電機與控制工程研究所碩士班

## 摘 要

本論文以數位 Sigma-Delta Modulator 為基礎設計 D 類音頻放大器。D 類音頻放大器，相對於 A 類或 AB 類放大器，有效率高、功率級設計較易的優勢。D 類放大器常以 Pulse-Width Modulator 產生切換式控制訊號，但有諧波失真的問題。相對的，Sigma-Delta Modulator 架構較 Pulse-Width Modulator 複雜，沒有固定的諧波干擾。其回授量化誤差，經過迴圈轉移函數，改變量化誤差能量分佈，得到更高的訊號雜訊比。設計高階 Sigma-Delta Modulator 有穩定性的問題。本論文將設計與實現穩定數位 Sigma-Delta Modulator、USB 介面與切換式功率放大器，完成一全數位式音頻放大器。

# Design of a Dual-channel Full Digital Audio Amplifier with USB Interface

Student : Shuen-Chih, Yeh

Advisor : Prof. Jwu-Sheng, Hu

Institute of Electrical and Control Engineering  
National Chiao-Tung University

## **ABSTRACT**

The objective of this thesis is to design a Class D audio amplifier based on digital Sigma-Delta Modulation. Comparing to the traditional Class A or Class AB amplifiers, audio amplifiers based on Class D topology are more efficient in terms of energy conversion and have low cost. Class D amplifiers commonly rely on Pulse-Width Modulation to generate the output switching waveforms which often result in problems such as harmonic distortions. On the other hand, using Sigma-Delta Modulation, it is possible to design the loop filter so that the harmonic distortion is reduced. However, stability problem occurs in designing a high order Sigma-Delta Modulator. This thesis will analyze and implement a stable digital Sigma-Delta Modulator, USB interfaces, and a switching power stage to complete a full digital audio amplifier.

# 誌 謝

感謝我的指導老師胡竹生教授，在這二年中不只給予我專業上的指導，也從他身上學到創新的思維，嚴謹的思考態度，讓我獲益匪淺。感謝余祥華學長，在實作、理論與觀念上指導我。

另外，感謝伯彥、立偉二位實作超強的學長、過著王子般生活的維瀚、風趣自信的宗敏、跟老師用火星話討論數學的价呈、溫柔細膩的憶如、青春活力迎向陽光的家瑋、有大甲媽祖保佑的康康、買了一個蘋果的春成、手工藝精湛的安喬、吃素敗家的俊德、好貨限定的岑思、可愛可愛的鏗元、有背景卻平易近人的佳興、衝衝衝沒在怕的士奇、低調有實力的群棋、上進的晏榮，因為有你們，在我研究所的生涯中，充滿歡樂。

最後我要感謝我的家人，讓我在身心俱疲的時候，可以回家休息再出發。謝謝你們，未來的日子裡，我會努力去實現我的目標。

# 目 錄

摘 要.....	i
ABSTRACT.....	ii
誌謝.....	iii
目 錄.....	iv
表 列.....	vi
圖 列.....	vii
第一章 序論.....	1
1.1 簡介.....	1
1.2 目標.....	2
1.3 章節概要.....	3
第二章 訊號調變.....	4
2.1 PULSE-WIDTH MODULATOR.....	4
2.2 SIGMA-DELTA MODULATOR.....	6
第三章 設計 Digital Sigma-Delta Modulator.....	12
3.1 架構分析.....	12
3.2 穩定性.....	15
3.3 設計範例.....	19
第四章 雜訊能量分析.....	25
4.1 量化誤差.....	25
4.2 OVERSAMPLING.....	27
4.3 NOISE SHAPING OF SDM.....	29
第五章 實現.....	33
5.1 USB 介面.....	34
5.1.1 硬體介紹.....	36
5.1.2 軟體介紹.....	37
5.1.3 USB 實作.....	39
5.2 FPGA.....	46
5.2.1 硬體介紹.....	46
5.2.2 軟體介紹.....	47
5.2.3 FPGA 實作.....	48
5.3 POWER STAGE.....	53
5.3.1 硬體介紹：optocoupler 6N137.....	54
5.3.2 硬體介紹：MOS driver ICL7667.....	55
5.3.3 硬體介紹：power MOS IRF630.....	56

5.3.4 POWER STAGE 實作.....	56
5.4 LOW PASS FILTER .....	64
5.4.1 LOW PASS FILTER 實作.....	65
5.5 實作結果.....	67
<b>第六章 結論.....</b>	<b>69</b>
<b>Reference.....</b>	<b>71</b>

# 表 列

表 3.3.1. 六階 SDM 設計係數.....	20
表 3.3.2. 四階 SDM 設計係數.....	23
表 5.1.1. USB 四種傳輸模式比較.....	35
表 5.1.2. USB 音效裝置輸出資料的時間關係.....	45
表 5.2.1. 實作四階 SDM 之 16BIT 係數.....	50



# 圖 列

圖 1.1.1	類比音響系統 .....	1
圖 1.1.2	全數位化音頻擴大器 .....	1
圖 2.1.1	PULSE-WIDTH MODULATOR 示意圖 .....	4
圖 2.1.2	NATURAL、UNIFORM、DI SAMPLING 之後作 PWM 結果的差異.....	5
圖 2.2.1	DELTA MODULATOR+功率放大 方塊圖 .....	6
圖 2.2.2	DELTA MODULATOR 演變為 SIGMA-DELTA MODULATOR .....	7
圖 2.2.3	一階與 N 階數位 SIGMA-DELTA MODULATOR .....	8
圖 2.2.4	THE OUTPUT SPECTRUM OF PWM FROM 0 TO 4MHZ.....	9
圖 2.2.5	THE OUTPUT SPECTRUM OF SDM FROM 0 TO 4MHZ.....	10
圖 2.2.6	THE OUTPUT SPECTRUM OF PWM FROM 0 TO 40KHZ .....	10
圖 2.2.7	THE OUTPUT SPECTRUM OF SDM FROM 0 TO 40KHZ .....	11
圖 3.1	N 階 SIGMA-DELTA MODULATOR .....	12
圖 3.1.1	化簡後的 N 階 SIGMA-DELTA MODULATOR 方塊圖.....	13
圖 3.1.2	ADDITIVE NOISE MODEL 線性化 N 階 SIGMA-DELTA MODULATOR .....	14
圖 3.2.1	一階 SIGMA-DELTA MODULATOR .....	15
圖 3.2.2	二階 SIGMA-DELTA MODULATOR .....	17
圖 3.2.3	N 階 SDM 等效為 CASCADED N SUBSYSTEMS .....	18
圖 3.3.1	NTF 的 FREQUENCY RESPONSE .....	19
圖 3.3.2	設計完成的六階 SDM MATLAB MODEL .....	21
圖 3.3.3	SINGLE BIT 數位訊號的頻譜圖.....	21
圖 3.3.4	NTF 的 FREQUENCY RESPONSE .....	22
圖 3.3.5	設計完成的四階 SDM MATLAB MODEL .....	23
圖 3.3.6	SINGLE BIT 數位訊號的頻譜圖.....	24
圖 4.1.1	ADDITIVE NOISE MODEL FOR QUANTIZER.....	25
圖 4.1.2	EXAMPLE OF QUANTIZATION .....	26
圖 4.1.3	量化誤差的機率分佈 .....	26
圖 4.2.1	ADDITIVE NOISE MODEL .....	27
圖 4.2.2	POWER SPECTRUM DENSITY OF QUANTIZATION ERROR.....	28
圖 4.2.3	POWER SPECTRUM OF THE OUTPUT .....	29
圖 4.3.1	ADDITIVE NOISE MODEL WITH NOISE TRANSFORM FUNCTION .....	30
圖 4.3.2	POWER SPECTRUM DENSITY OF QUANTIZATION ERROR WITH NTF.....	30
圖 4.3.3	THE POWER SPECTRUM OF THE OUTPUT .....	31
圖 5.1	全數位化的音頻放大器系統方塊圖 .....	33
圖 5.1.1	USB 匯流排結構是階梯式拓僕結構 .....	34

圖 5.1.2	DMA- CYPRESS USB AN2131 控制單板.....	36
圖 5.1.3	KEIL uVISION2 使用介面.....	37
圖 5.1.4	EZ-USB 使用介面.....	38
圖 5.1.5	USB AUDIO DESCRIPTOR 架構圖.....	40
圖 5.1.6	USB 單板以 USB AUDIO CLASS 描述元裝置列舉.....	41
圖 5.1.7	主程式流程圖.....	43
圖 5.1.8	中斷服務程式流程圖.....	44
圖 5.1.9	USB 傳送資料速度與 SDM 消耗資料速度.....	45
圖 5.2.1	ALTERA FLEX10K EMULATION BOARD.....	46
圖 5.2.2	MAX PLUSII 使用介面.....	47
圖 5.2.3	FIFO 內部基本方塊圖.....	48
圖 5.2.4	BUFFER 方塊的 I/O.....	49
圖 5.2.5	空、滿的 BUFFER 方塊示意圖.....	49
圖 5.2.6	四階 SDM 架構圖.....	50
圖 5.2.7	一階 SDM 運作示意圖.....	51
圖 5.2.8	1 CHANNEL SIGMA-DELTA MODULATOR 方塊的 I/O.....	52
圖 5.2.9	FPGA 實現 2 CHANNEL SDM 之 VHDL 架構圖.....	52
圖 5.2.10	MAX+PLUS II COMPILER REPORT.....	53
圖 5.3.1	6N137 腳位圖與測試電路.....	54
圖 5.3.2	ICL7667 腳位圖與測試電路.....	55
圖 5.3.3	IRF630 腳位圖.....	56
圖 5.3.4	光耦合器、MOS DRIVER 與 POWER MOS 連接關係.....	57
圖 5.3.5	POWER STAGE 的 DELAY TIME.....	58
圖 5.3.6	FPGA 的輸出訊號.....	59
圖 5.3.7	光耦合器的輸出訊號.....	60
圖 5.3.8	MOS DRIVER 的輸出訊號.....	61
圖 5.3.9	POWER MOS 的輸出訊號.....	62
圖 5.3.10	POWER STAGE 輸入功率.....	63
圖 5.3.11	POWER STAGE 輸出功率.....	63
圖 5.4.1	LOW PASS FILTER 電路圖.....	64
圖 5.4.2	實作二階 BUTTERWORTH 低通濾波器.....	65
圖 5.4.3	LOW PASS FILTER 輸出訊號的 FFT 圖(輸入 1KHz 的數位訊號).....	65
圖 5.4.4	LOW PASS FILTER 輸出訊號的 FFT 圖(輸入 10KHz 的數位訊號).....	66
圖 5.5.1	音箱的輸入訊號.....	67
圖 5.5.2	ORIGINAL OUTPUT WAVEFORM FROM OSCILLOSCOPE.....	68
圖 5.5.3	INPUT AND NORMALIZED OUTPUT SIGNAL WAVEFORM.....	68
圖 6.1	具 USB 介面之雙聲道全數位式音頻放大器.....	69

# 第一章 序論

## 1.1 簡介

目前的音響系統，大部分都是以數位儲存媒體作為音源(數位輸入)，透過數位類比轉換器(Digital to Analog Converter)，將數位訊號轉換為類比訊號，將類比訊號輸入類比功率放大器，驅動喇叭，類比功率放大器，可分為 A 類、B 類或 AB 類。

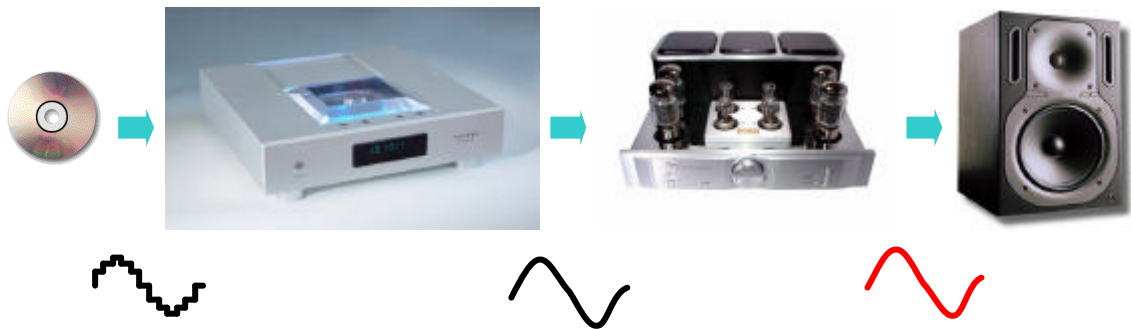


圖 1.1.1 類比音響系統

目前音響系統的數位介面，像是 SPDIF(SONY/PHILIPS Digital Interface，一個數位訊號的傳遞規格，可以是傳遞 PCM ( Pulse Code Modulation) AC3 ( Dolby Surround AC-3 ) DTS( Digital Theater Systems )等數位訊號。SPDIF 數位訊號可以用同軸( coaxial) 端子來傳遞，但是只要把這個訊號轉變為光，就可以用光纖 ( optical) 來傳遞。將從數位儲存媒讀出後，利用 SPDIF 數位介面傳給數位類比轉換器，作類比放大後輸出。

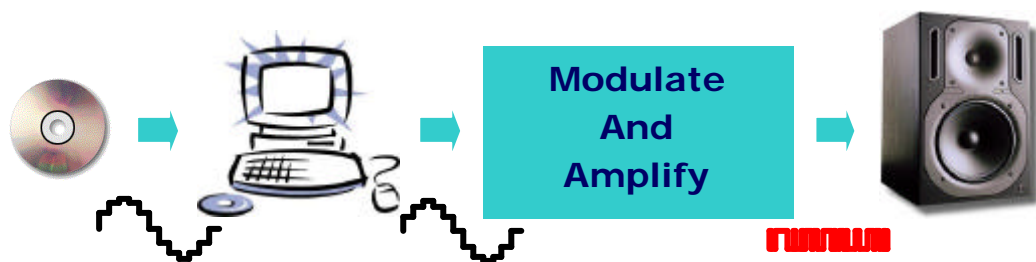


圖 1.1.2 全數位化音頻擴大器

D 類放大器最早是由 Baxandall 在 1959 年所提出，利用 PWM 調變，將輸入訊號調變為開關控制訊號，以控制切換式功率放大器的導通與關閉，達到訊號放大的目的 [1]。D 類放大器的效率一般可達 90% [2]，而 A 類放大器因為有偏壓電流，使得的最大效率只有 25%，而 AB 類放大器一般效率在 40~60% 之間。因此在輸出相同的功率下，D 類放大器較節省能源，同時產生較少的熱量，效率高、體積小的優勢。此外，將音響放大器全數位化，不需要數位類比轉換器，減少數位類比轉換過程造成失真。數位電路也較類比電路不易受到空間中的電子雜訊干擾。

IC 製程進步，元件的動態響應也越來越好，電晶體的切換速度越來越快，D 類數位放大器(Class D Amplifier)的切換速度也能提升到 CD 的 sampling frequency，甚至 8 倍、64 倍以上。因此要將音樂全數位化，硬體限制的問題，從不可能達成變成可能實現。

## 1.2 目標

本論文提的全數位化音響放大器，以數位儲存媒體作為音源(數位輸入)，接將數位訊號調變為 single bit 數位訊號，將 single bit 數位訊號以 D 類數位功率放大器放大，驅動喇叭。

研究目標，設計實現一個全數位化的音響放大器，利用 pulse 訊號，驅動音箱，聽到音樂。關鍵在設計一個能將 multi-bit 數位訊調變成為 1bit 數位訊號的 modulator，這樣的 modulator，應用在音頻領域，目前主要有 PWM(Pulse Width Modulation)[3]與 SDM(Sigma Delta Modulation)[4]。本論文將討論如何設計、實現一 SDM。

雖然一階的 SDM 是穩定的系統，但是設計越高階的 SDM 越不容易穩定。已知的

SDM 架構，設計的瓶頸在，如何求得穩定且符合規格要求的係數。本論文引用[5]，設計穩定且符合需求的 SDM，實現全數位化的音響放大器。

### 1.3 章節概要

本論文的章節組織如下：

第二章將說明將 multi-bit 數位訊調變成為 1bit 數位訊號的 PWM 與 SDM 的調變原理、差別。第三章將分析一個 SDM 系統，找出系統穩定的條件，加上設計的條件，如何設計一個符合需求且合理的 SDM，並提出幾個實驗範例。第四章說明 Sampling、Oversampling、Noise shaping 對 quantization noise power 的影響。第五章說明如何實現全數位化的音響系統。第六章心得總結以及對本系統的未來展望。

## 第二章 訊號調變

應用在音頻領域，將 multi-bit 數位訊號調變為 signal bit 數位訊號的 modulation，目前主要有 PWM 與 SDM 二種方法，以下分別介紹其調變原理與差異。

### 2.1 Pulse-Width Modulator

PWM 切換控制方塊如圖 2.1.1，其中三角波可以為正、上升、下降三角波等三種。

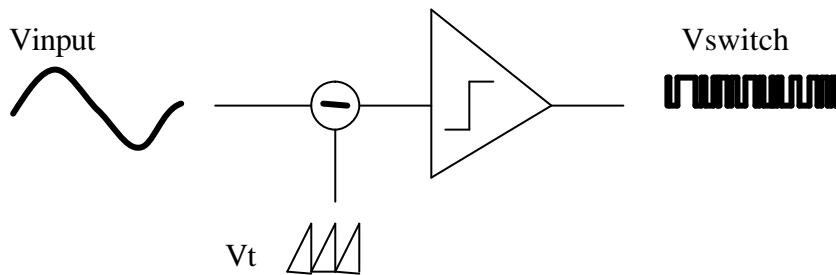


圖 2.1.1 Pulse-Width Modulator 示意圖

開關切換訊號  $V_{switch}$ ，由輸入信號  $V_{input}$  與一週期為  $T$  之三角波訊號  $V_t$  比較之後而得的。當輸入訊號  $V_{input}$  大於三角波  $V_t$  時，輸出為高準位，使開關導通，否則為低準位，使開關截止，所以開關切換週期為  $T$ 。固定切換週期，調整脈波寬度，以改變輸出電壓的大小。PWM 輸出電壓的平均值之大小，正比於開關之導通截止時間[6]。

數位 PWM 與類比 PWM 原理相同。輸入的數位訊號，在有限的取樣頻率下，依 Sampling 方法的不同，有 Uniform Sampling 與 Direct Interpolation Sampling 等型態。Natural Sampling 是以無限高的取樣頻率作 Sampling，即為類比訊號。如圖 2.1.2 是針 Natural Sampling 作類比 PWM Uniform Sampling 與 Direct Interpolation Sampling 作數位 PWM，比較其之間的差異。

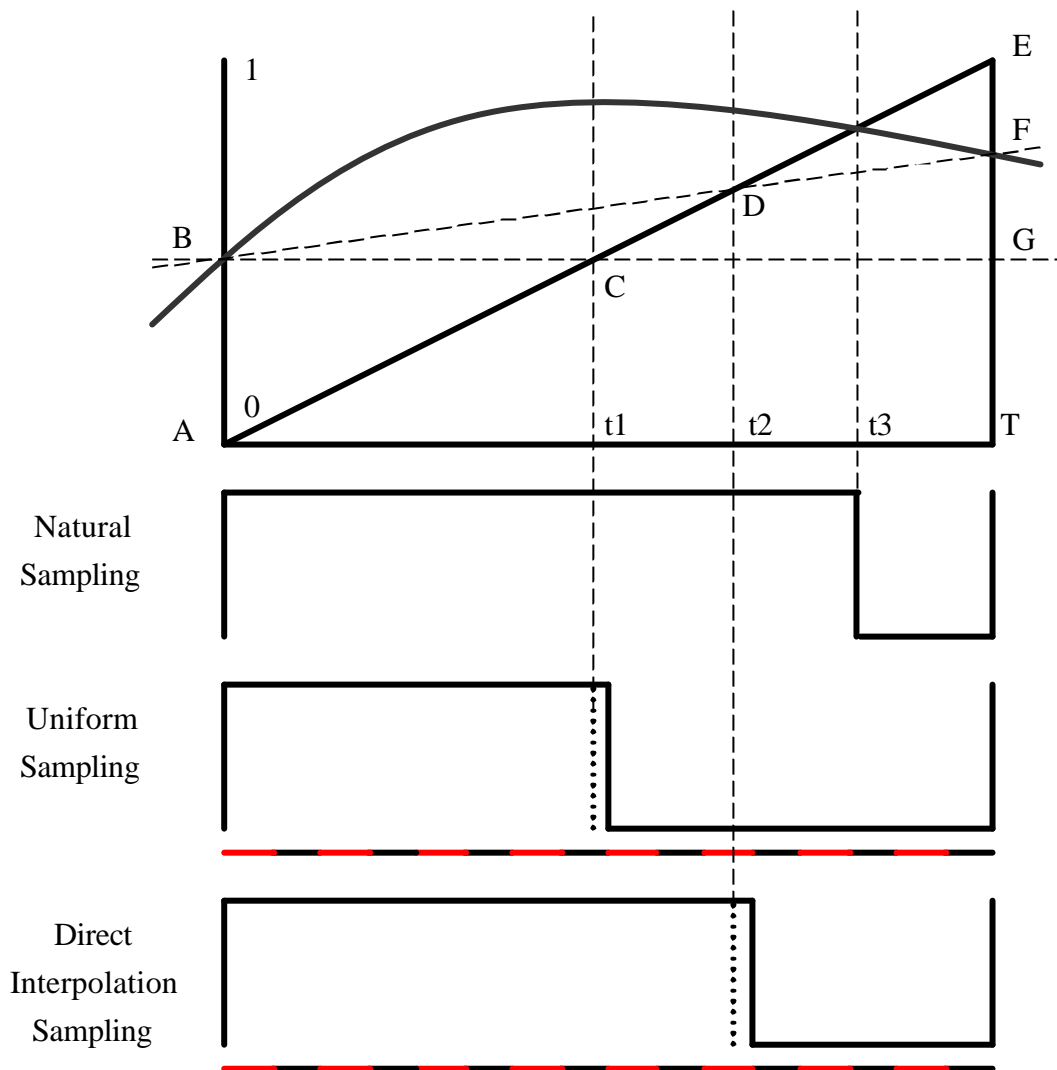


圖 2.1.2 Natural、Uniform、DI sampling 之後作 PWM 結果的差異[7]

由圖 2.1.2 可以看出，數位 PWM 的輸出，其 Duty cycle 為數位邏輯 clock 的整數倍，只有提高數位邏輯的 clock rate，減小 duty cycle resolution 的誤差。因此數位 PWM 系統通常依二個重要特徵－切換頻率、the resolution of duty cycle，作為比較、評估其他數位 PWM 的基準。

PWM 常是用在電力電子的直流轉直流電壓轉換器領域。後來開始有 audio 方面的應用，像是 TI 的 5000 系列 Digital Audio PWM Processor，以 PWM 對數位音源訊號調

變處理[8]。

## 2.2 Sigma-Delta Modulator

Delta Modulator 最早由 Frank de Jager[9]於 1952 年提出的架構，應用在通訊領域。

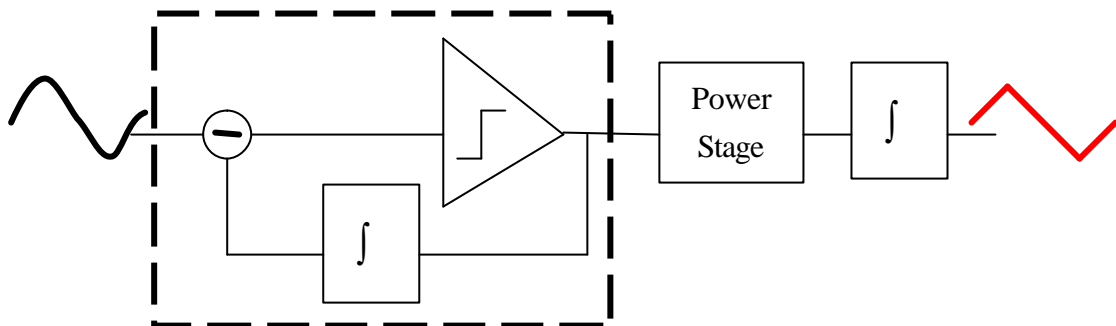
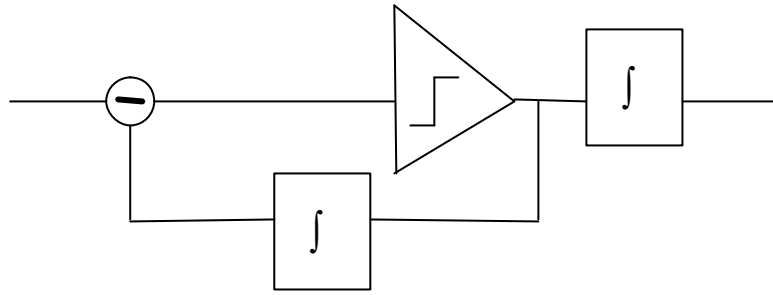


圖 2.2.1 Delta modulator+功率放大 方塊圖

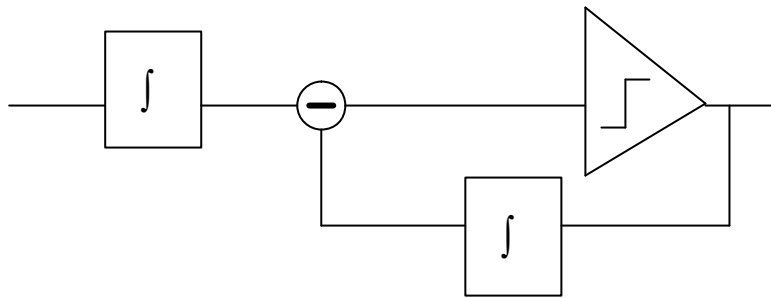
1bit 量化器產生 1 或-1 的切換訊號(single bit 數位訊號)，積分為類似三角波，與輸入訊號比較。當輸入訊號大於三角波，即誤差項大於零，量化為高準位，積分後三角波增大；輸入訊號小於三角波，即誤差項小於零，量化為低準位，積分後三角波變小。這樣的切換動作，使得三角波近似輸入訊號。將切換訊號透過 power stage 功率放大後，積分為近似輸入訊號的三角波，輸出，達到放大的目的。Delta Modulator 常應用於通訊領域。

Sigma-Delta modulation 架構由 Inose 於 1962 年提出[10]，從 Delta Modulator 演變而來。將 Delta Modulator 在 power stage 類比積分器，換到 signal stage，成為一個 signal 積分器，使系統整體的轉移函數不變，如圖 2.2.2(a)(b)。將圖 2.2.2(b)的二個積分運算與一個減法運算等效為圖 2.2.2(c)的一個減法運算與一個積分運算，即為一階的 SDM 架構

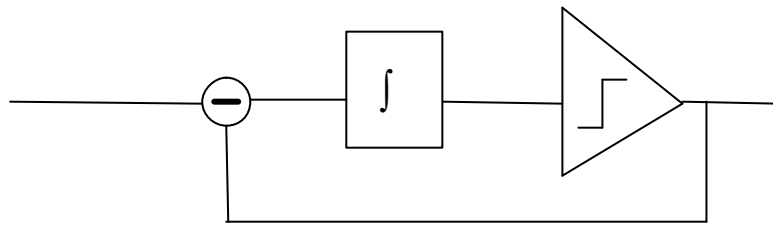




(a)



(b)



(c)

圖 2.2.2 Delta Modulator 演變為 Sigma-Delta Modulator

圖 2.2.2 為類比的一階 SDM，而數位的 SDM 與類比的 SDM 工作原理相同，將類比積分器代換為數位累加器，如圖 2.2.3 為數位的一階與 n 階 Sigma-Delta Modulator。

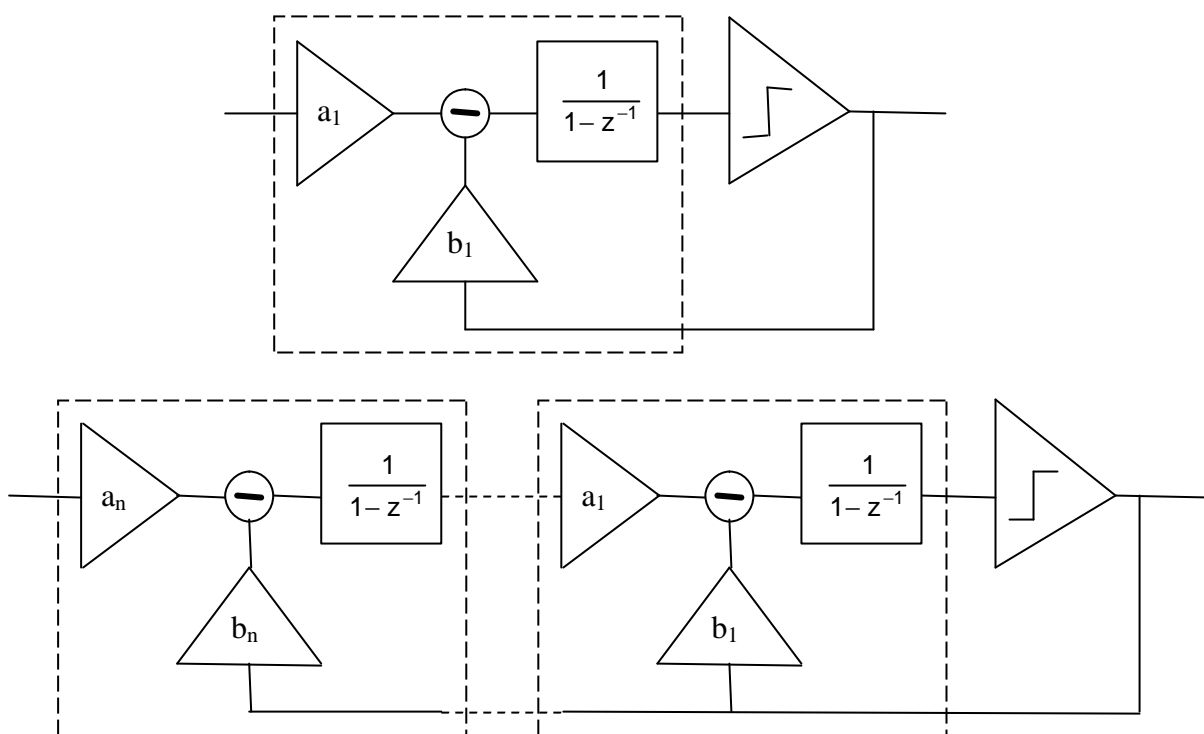


圖 2.2.3 一階與 n 階數位 Sigma-Delta modulation

其中  $a_n$ 、 $b_n$ 、 $a_{n-1}$ 、 $b_{n-1}$ 、 $a_1$ 、 $b_1$  為 SDM 的係數

數位 SDM 通常可以依二個重要特徵 – 階數、取樣頻率，作為比較、評估其他數位 SDM 的基準。

超大型積體電路製程不斷的改良，電路的操作速度不斷的提昇且供應電壓逐漸地下降，逐漸將 SDM 可以應用在較高頻寬的系統。SDM 在 AD(multi-bit)C 方面的應用，如 Linear 的 LTC2444(24-Bit High Speed 8-/16-Channel Delta Sigma ADCs with Selectable Speed/Resolution)[11]。SDM 在 D(multi-bit)AC 方面的應用，如 TI 的 PCM1608(24-Bit 192kHz Sampling 8-Ch Enhanced Multilevel Delta-Sigma D/A Converter , System Clock 128 768fs)[12]。

針對音頻訊號，比較數位 PWM 與數位 SDM：

一數位 PWM，100KHz switching frequency，the 8bit 的 duty cycle resolution，最壞情況在  $\frac{1}{100K * 8}$  秒要作一次切換，至少需要 800KHz 的 clock。一數位 SDM，每 800KHz 更新一次輸出，最壞情況在  $\frac{1}{800K}$  秒要作一次切換，所以至少需要 800KHz 的 clock。輸入 100Hz 的類比訊號，以 Uniform Sampling 成數位訊號，其取樣頻率 100KHz。圖 2.2.4、圖 2.2.5、圖 2.2.6、圖 2.2.7 分別為 PWM 與 SDM 輸出訊號的頻譜圖

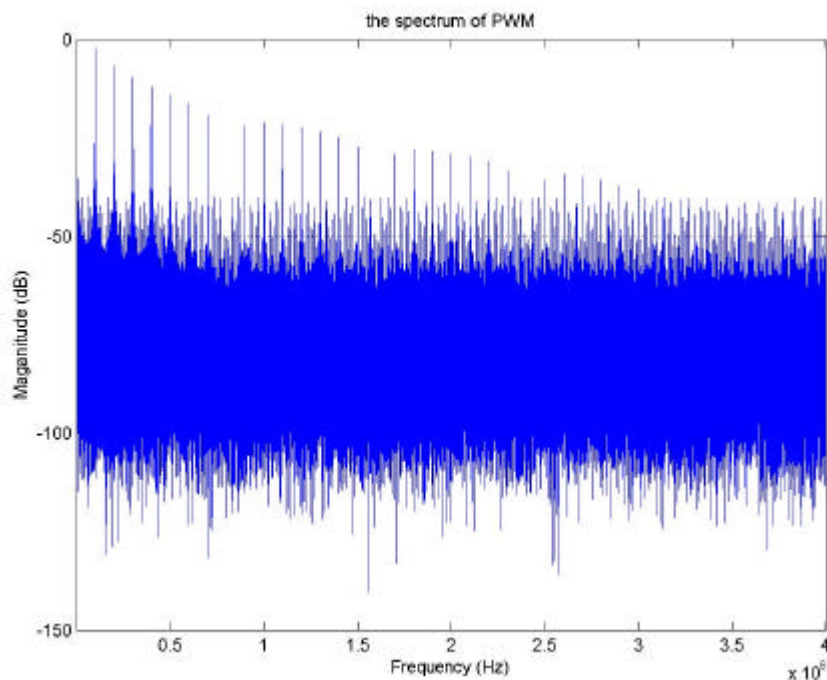


圖 2.2.4 The output spectrum of PWM from 0 to 4MHz

如圖 2.2.4，雖然數位 PWM 可以將 multi-bit 數位訊號調變為 single bit 數位訊號，但是會產生切換頻率的諧波訊號，對於設計於高切換頻率的 PWM，將會有 EMI 的問題要討論[13]。

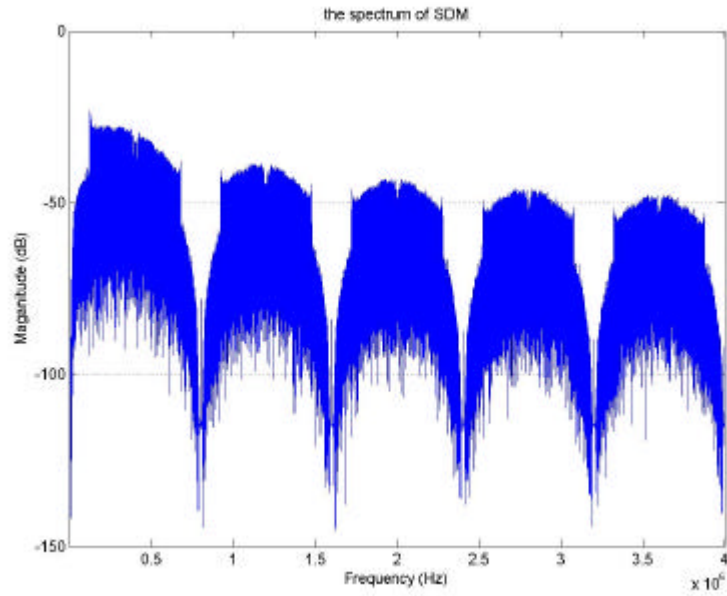


圖 2.2.5 The output spectrum of SDM from 0 to 4MHz

圖 2.2.5 為 SDM 輸出的頻譜圖。比較圖 2.2.4 與圖 2.2.6，SDM 沒有切換頻率的諧波。

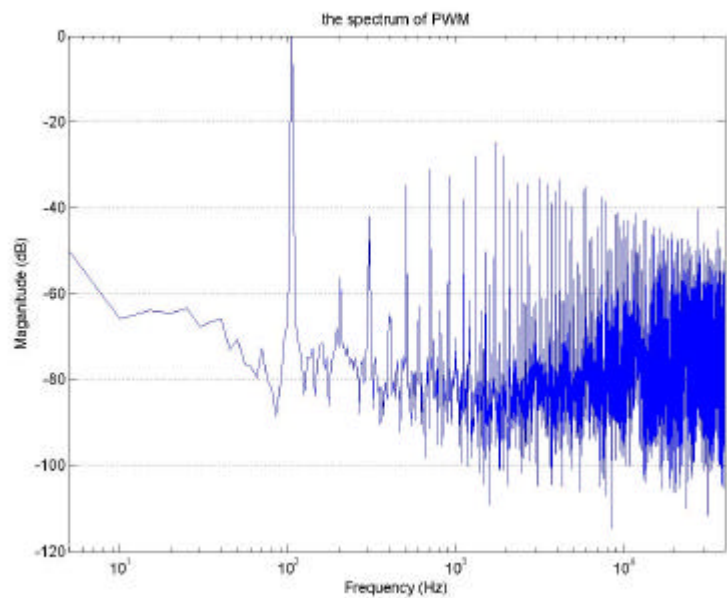


圖 2.2.6 The output spectrum of PWM from 0 to 40KHz

圖 2.2.6 為 PWM 在 40KHz 之內，100Hz 的輸入訊號與雜訊相對大小。

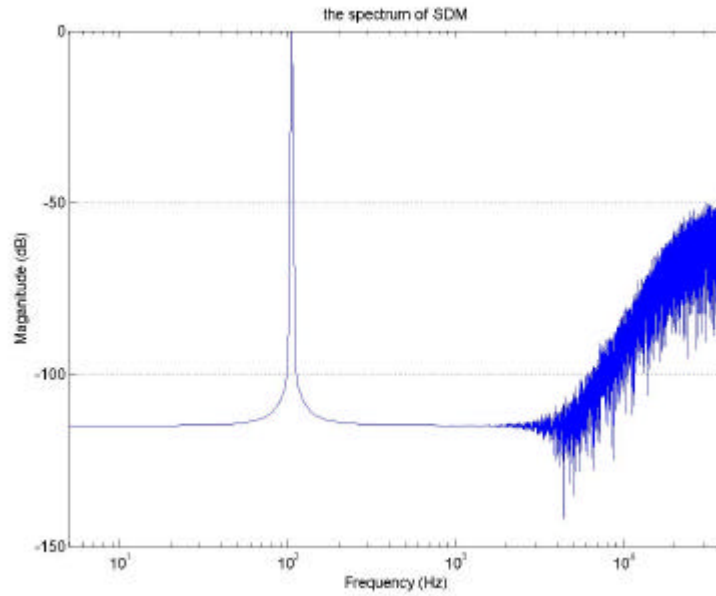


圖 2.2.7 The output spectrum of SDM from 0 to 40KHz

比較圖 2.2.6 與圖 2.2.7，SDM 能將 noise shape 到 5KHz 以外的頻帶，因此 SDM 在 5KHz 以內的雜訊比 PWM 小。

由以上比較，SDM 應用在音頻數位訊號調變，只要能將 noise shape 到 20KHz 以外的頻帶，將預期有不錯的效果。由於 SDM 需要乘法的運算，所以架構比 PWM 複雜，需要比 PWM 更多的邏輯。

### 第三章 設計 Digital Sigma-Delta Modulator

從 1987 以來發現，設計超過二階的 1bit SDM 是不容易穩定的[14]。在 2004 年[5]，找出系統穩定的條件，設計一個符合需求且合理的 SDM。圖 3.1 為一已知的  $n$  階 SDM。 $r[n]$  為輸入訊號， $y[n]$  為輸出訊號， $x_n[n]$ 、 $x_{n-1}[n]$ 、 $\dots$ 、 $x_1[n]$  為狀態變數， $a_n$ 、 $b_n$ 、 $a_{n-1}$ 、 $b_{n-1}$ 、 $\dots$ 、 $a_1$ 、 $b_1$  為係數， $I_n$ 、 $I_{n-1}$ 、 $\dots$ 、 $I_1$  為數位積分器。

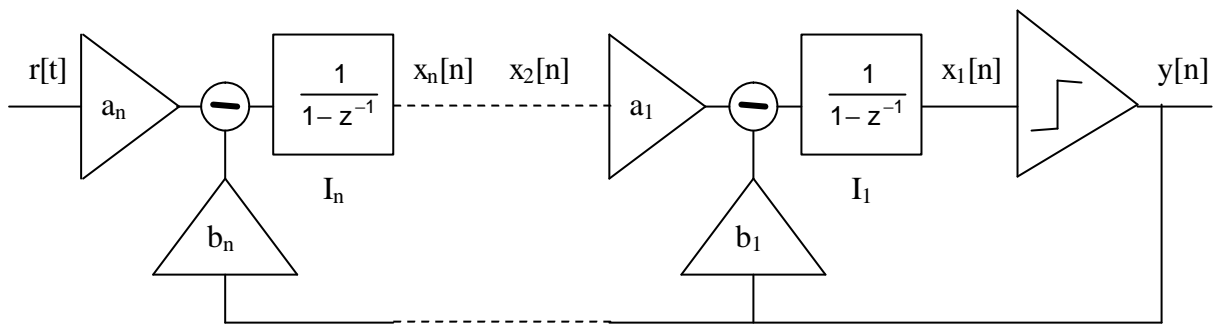


圖 3.1  $n$  階 Sigma-Delta Modulator

這個章節，將從化簡  $n$  階 SDM、Noise Transform Function 與狀態變數  $x_m[n]$  在穩態時的最大值，分析系統穩定性，並給二個實際的設計例子，設計出符合需求且合理的 SDM。

#### 3.1 架構分析

化簡  $n$  階 Sigma-Delta Modulator：

由圖 3.1，可以寫出 State equation

$$\begin{cases} x_1[n] = x_1[n-1] - b_1 y[n] + a_1 x_2[n] \Rightarrow X_1(z) = \left( X_2(z) \frac{a_1}{b_1} - Y(z) \right) \frac{b_1}{1-z^{-1}} & (3.1.1) \end{cases}$$

$$\begin{cases} x_2[n] = x_2[n-1] - b_2 y[n] + a_2 x_3[n] \Rightarrow X_2(z) = \left( X_3(z) \frac{a_2}{b_2} - Y(z) \right) \frac{b_2}{1-z^{-1}} & (3.1.2) \end{cases}$$

$$\begin{cases} \vdots & (3.1.3) \\ x_n[n] = x_n[n-1] - b_n y[n] + a_n r[n] \Rightarrow X_n(z) = \left( R(z) \frac{a_n}{b_n} - Y(z) \right) \frac{b_n}{1-z^{-1}} \end{cases}$$

由(3.1.1)、(3.1.2)、(3.1.3)，導出  $X_1(z)$  與  $R(z)$ 、 $Y(z)$  的關係

$$\begin{aligned} X_1(z) &= \left( X_2(z) \frac{a_1}{b_1} - Y(z) \right) \frac{b_1}{1-z^{-1}} = \left( \left( \left( X_3(z) \frac{a_2}{b_2} - Y(z) \right) \frac{b_2}{1-z^{-1}} \right) \frac{a_1}{b_1} - Y(z) \right) \frac{b_1}{1-z^{-1}} \\ &= \left( \left( \left( \left( \left( R(z) \frac{a_n}{b_n} - Y(z) \right) \frac{b_n}{1-z^{-1}} \right) \frac{a_{n-1}}{b_{n-1}} - Y(z) \right) \dots \right) \frac{b_2}{1-z^{-1}} \right) \frac{a_1}{b_1} - Y(z) \right) \frac{b_1}{1-z^{-1}} \end{aligned}$$

$$X_1(z) = (F(z)R(z) - Y(z))W(z) \quad (3.1.4)$$

其中

$$F(z) = \frac{a}{N(z)}, \quad a = a_1 a_2 \dots a_n \quad (3.1.5)$$

$$W(z) = \frac{N(z)}{(z-1)^n} \quad (3.1.6)$$

$$N(z) = b_1(z-1)^{n-1} + b_2 a_1(z-1)^{n-2} + \dots + (b_n a_{n-1} \dots a_2 a_1) \quad (3.1.7)$$

因此化簡後，可以用  $F(z)$  與  $W(z)$  來表示等效的  $n$  階 SDM，其方塊圖為

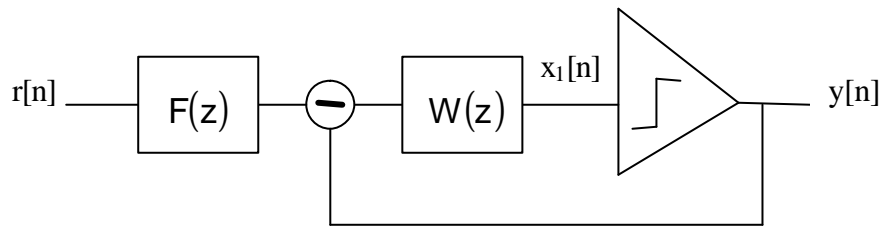


圖 3.1.1 化簡後的  $n$  階 Sigma-Delta Modulator 方塊圖

Noise Transform Function :

將圖 3.1.1 以 additive noise model 將 1bit 量化器線性化

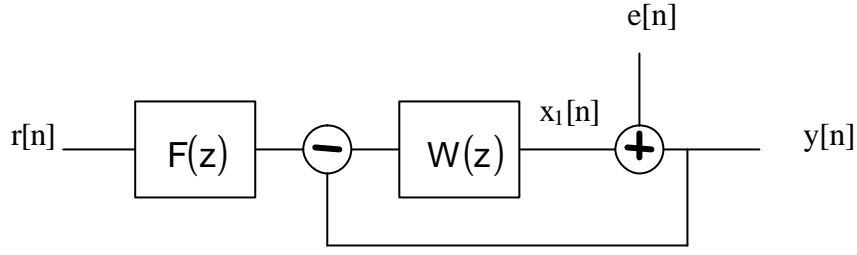


圖 3.1.2 以 additive noise model 線性化 n 階 Sigma-Delta Modulator

其中  $e[n]$  為量化誤差, 量化誤差的轉移函數即為 Sigma-Delta Modulator 的 Noise Transform Function

$$\text{NTF}(z) = \frac{1}{1+W(z)} \quad (3.1.8)$$

狀態變數  $x_m[n]$ ,  $m=2,3$ ,  $n$  在穩態時的最大值:

$Y(z)$  與  $R(z)$ 、 $X_1(z)$  的關係, 由(3.1.4)

$$X_1(z) = (F(z)R(z) - Y(z))W(z) \Rightarrow Y(z) = F(z)R(z) - \frac{1}{W(z)}X_1(z) \quad (3.1.9)$$

$X_2(z)$  與  $R(z)$ 、 $X_1(z)$  的關係, 由(3.1.1)、(3.1.9)

$$\begin{aligned} X_1(z) &= (a_1X_2(z) - b_1Y(z))\frac{1}{1-z^{-1}} = \left( a_1X_2(z) - b_1 \left( F(z)R(z) - \frac{1}{W(z)}X_1(z) \right) \right) \frac{1}{1-z^{-1}} \\ \Rightarrow X_2(z) &= \frac{1}{a_1} \left( 1 - z^{-1} - b_1 \frac{1}{W(z)} \right) X_1(z) + \frac{b_1}{a_1} F(z)R(z) \\ &= \frac{b_1}{a_1} \frac{a}{N(z)} R(z) + \frac{1}{a_1} \left( 1 - z^{-1} - b_1 \frac{(z-1)^n}{N(z)} \right) X_1(z) \end{aligned} \quad (3.1.10)$$

$X_3(z)$  與  $R(z)$ 、 $X_1(z)$  的關係, 由(3.1.2)、(3.1.9)、(3.1.10)

$$\begin{aligned} X_2(z) &= (a_2X_3(z) - b_2Y(z))\frac{1}{1-z^{-1}} = \left( a_2X_3(z) - b_2 \left( F(z)R(z) - \frac{1}{W(z)}X_1(z) \right) \right) \frac{1}{1-z^{-1}} \\ \Rightarrow X_3(z) &= b_2F(z)R(z) + \frac{(1-z^{-1})}{a_2}X_2(z) - \frac{b_2}{a_2}X_1(z) \\ &= b_2F(z)R(z) + \frac{(1-z^{-1})}{a_2} \left( \frac{1}{a_1} \left( 1 - z^{-1} - \frac{b_1}{W(z)} \right) X_1(z) + \frac{b_1}{a_1} F(z)R(z) \right) - \frac{b_2}{a_2}X_1(z) \\ &= \left( \frac{(1-z^{-1})b_1}{a_2} \frac{1}{a_1} + b_2 \right) F(z)R(z) + \frac{1}{a_1a_2} \left( (1-z^{-1})^2 - (1-z^{-1}) \frac{b_1}{W(z)} - a_1b_2 \right) X_1(z) \end{aligned}$$



$$= \left( \frac{(1-z^{-1})b_1}{a_2} \frac{1}{a_1} + b_2 \right) \frac{a}{N(z)} R(z) + \frac{1}{a_1 a_2} \left( (1-z^{-1})^2 - b_1(1-z^{-1}) \frac{(z-1)^n}{N(z)} - a_1 b_2 \right) X_1(z)$$

同理， $X_m(z)$  與  $R(z)$ 、 $X_1(z)$  的關係為

$$X_m(z) = \frac{a^* A(z)}{a_1 a_2 \cdots a_{m-1}} R(z) + \frac{B(z)}{a_1 a_2 \cdots a_{m-1}} X_1(z) \quad (3.1.11)$$

其中

$$A_m(z) = \frac{N_{m-1}(z)}{N_n(z)} \quad (3.1.12)$$

$$B_m(z) = \sum_{i=m}^n \frac{a_i a_2 \cdots a_{i-1} b_i^* N_{m-1}(z) (z-1)^{i-1}}{N_{i-1}(z) N_i(z)} \quad (3.1.13)$$

由(3.1.11)、(3.1.11)和(3.1.11)，可得出  $x_m[n]$  在穩態時的最大值

$$\|x_m\|_{ss\infty} \approx \frac{a \|A_m\|_{\infty}}{a_1 a_2 \cdots a_{m-1}} \|r\|_{ss\infty} + \frac{\|B_m\|_{\infty}}{a_1 a_2 \cdots a_{m-1}} \|x_1\|_{ss\infty} \quad (3.1.14)$$

## 3.2 穩定性

分析一階 SDM 的穩定條件：

由圖 3.1，將積分器  $I_1$  與量化器，視為一階 SDM， $x_2[n]$  為輸入訊號， $x_1[n]$  為狀態變數， $y[n]$  為輸出訊號，如圖 3.2.1

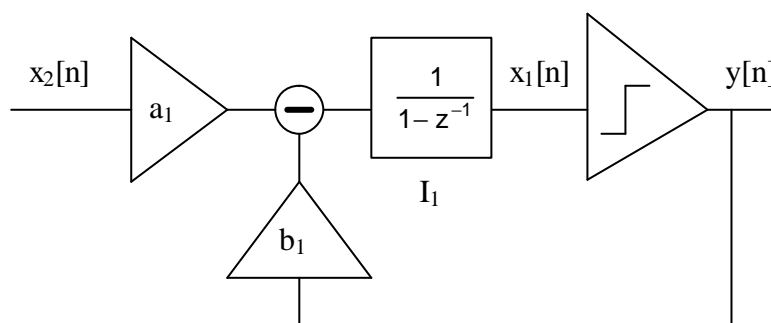


圖 3.2.1 一階 Sigma-Delta Modulator

其 state equation

$$\begin{cases} x_1[n] - x_1[n-1] = a_1 x_2[n] - b_1 y[n] \\ y[n] = \text{sign}(x_1[n]) \end{cases} \quad (3.2.1)$$

由(3.2.1)

$$Y(z) = \frac{a_1}{b_1} X_2(z) - \frac{1-z^{-1}}{b_1} X_1(z) = \frac{a_1}{b_1} X_2(z) - \frac{1-z^{-1}}{N_1(z)} X_1(z) \quad (3.2.2)$$

$y[n]$  為 bounded output，若  $x_2[n]$  為 bounded input 且 state variable  $x_1[n]$  是 bounded，則為穩定的一階 SDM。當  $x_1$  能量的差分小於零，表示  $x_1$  能量漸小，即  $x_1$  為 bounded。所以利用  $x_1$  能量的差分小於零(3.2.3)，找出  $x_1$  會 bounded 的條件(3.2.4)。

$$x_1[n] \text{ 的能量} = V = \frac{1}{2} x_1^2[n]$$

$$x_1[n] \text{ 的能量差分} = \dot{V} = x_1[n] * \Delta x_1[n] < 0 \quad (3.2.3)$$

由(3.2.1)，let  $\Delta x_1[n] = x_1[n] - x_1[n-1] = a_1 x_2[n] - b_1 y[n]$

$$\Rightarrow \dot{V} = x_1[n] * \Delta x_1[n] = -|x_1[n]| * [-a_1 \text{sign}(x_1[n]) x_2[n] + b_1] < 0$$

$$\Rightarrow |x_2[n]| < \frac{b_1}{|a_1 \text{sign}(x_1[n])|} < \frac{|b_1|}{|a_1|} \frac{1}{|\text{sign}(x_1[n])|} < \frac{b_1}{a_1} \quad (3.2.4)$$

當  $|x_2[n]| < \lambda < \frac{b_1}{a_1}$ ，由(3.2.1)可得

$$|\Delta x_1[n]| \leq (a_1 \lambda + b_1) \quad (3.2.5)$$

表示  $x_1$  值每次增減最大為  $(a_1 \lambda + b_1)$ 。由(3.2.3)，當  $x_1[n] > 0$  則  $\Delta x_1[n] < 0$ ；當  $x_1[n] < 0$  則  $\Delta x_1[n] > 0$ 。因此  $x_1$  能量會漸小，最後  $|x_1[n]|$  會被限制在  $(a_1 \lambda + b_1)$  之內。

$$\|x_1\|_{ss} \leq (a_1 \lambda + b_1) \quad (3.2.6)$$

因此，只要使  $|x_2| < \lambda < \frac{b_1}{a_1}$ ，則  $x_1$  會 bounded，則此一階 SDM 會穩定，其輸出為(3.2.2)。

分析二階 SDM 的穩定條件：

由圖 3.1 與圖 3.2.1，將一階 SDM 與積分器  $I_2$  等效二階 SDM，如圖 3.2.2。 $x_3[n]$  視為輸入訊號， $x_2[n]$ 、 $x_1[n]$  為狀態變數， $y[n]$  為輸出訊號。

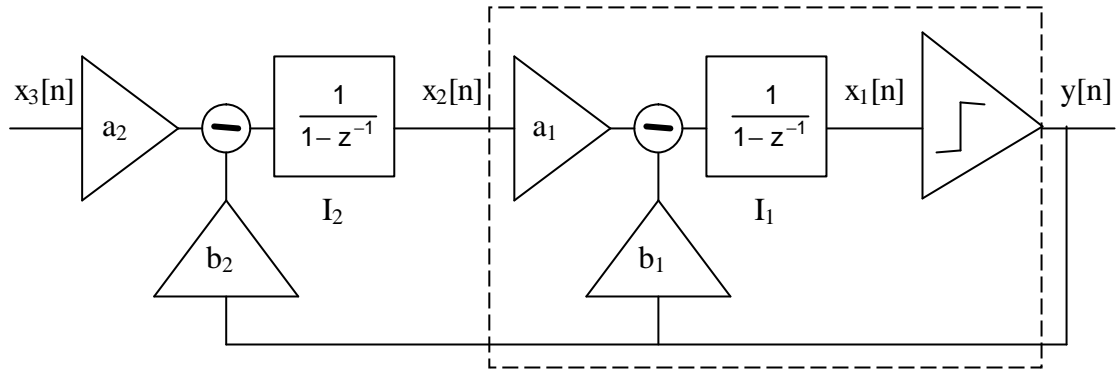


圖 3.2.2 二階 Sigma-Delta Modulator

積分器 $I_2$ 的運算為

$$X_2(z) = \frac{1}{1-z^{-1}}(a_2 X_3(z) - b_2 Y(z)) \quad (3.2.7)$$

將(3.2.2)代入(3.2.7)

$$X_2(z) = \frac{a_2}{1-z^{-1}} X_3(z) - \frac{a_1 b_2}{(1-z^{-1})N_1(z)} X_2(z) + \frac{b_2}{N_1(z)} X_1(z) \quad (3.2.8)$$

$$\Rightarrow X_2(z) = \frac{a_2 N_1(z)}{N_2(z)} X_3(z) + \frac{b_2(1-z^{-1})}{N_2(z)} X_1(z) \quad (3.2.9)$$

若此系統的 characteristic equation =  $N_2(z) = b_1(1-z^{-1}) + b_2 a_1$  全部的根在單位圓內，則為一穩定系統。若此系統穩定，且  $x_3$  與  $x_1$  都 bounded，則  $x_2$  也 bounded。

在一階 SDM 的輸入端加入一 level 為  $\lambda$  的 clipper，產生一個  $x_2$  的 saturation function

$$\text{sat}(x_2[n]) = \begin{cases} x_2[n] & \text{if } |x_2[n]| \leq \lambda \\ \text{sign}(x_2[n]) & \text{otherwise} \end{cases}$$

若依(3.2.4)選擇  $|x_2[n]| < \lambda < \frac{b_1}{a_1}$ ，則  $x_1$  會 bounded 在  $(a_1 \lambda + b_1)$  之內。不過，實作上並不需要

一個這樣的 clipper，因為  $x_2$  會被限制在積分器 $I_2$ 的最大輸出電壓  $\pm 1$ 。因此選擇  $\lambda = 1$  使

$|x_2[n]| < 1 < \frac{b_1}{a_1}$ ，且使  $N_2(z)$  全部的根在單位圓內，而且  $x_3$  是 bounded input，則此二階 SDM

會穩定。將(3.2.1)代入(3.2.9)，則此二階 SDM 的輸出為

$$Y(z) = \frac{a_2 a_1}{N_2(z)} X_3(z) - \frac{(1-z^{-1})^2}{N_2(z)} X_1(z)$$

分析 n 階 SDM 的穩定條件：

由(3.2.2)與(3.2.8)，可將二階 SDM 等效為二個 cascaded subsystem。同理，將 n 階 SDM 等效為 n 個 cascaded subsystem，如圖 3.2.3。r[n] 為輸入訊號， $x_n[n]$ 、 $x_3[n]$ 、 $x_2[n]$  為狀態變數， $x_1[n]$  視為未知 bounded noise，y[n] 為輸出訊號。

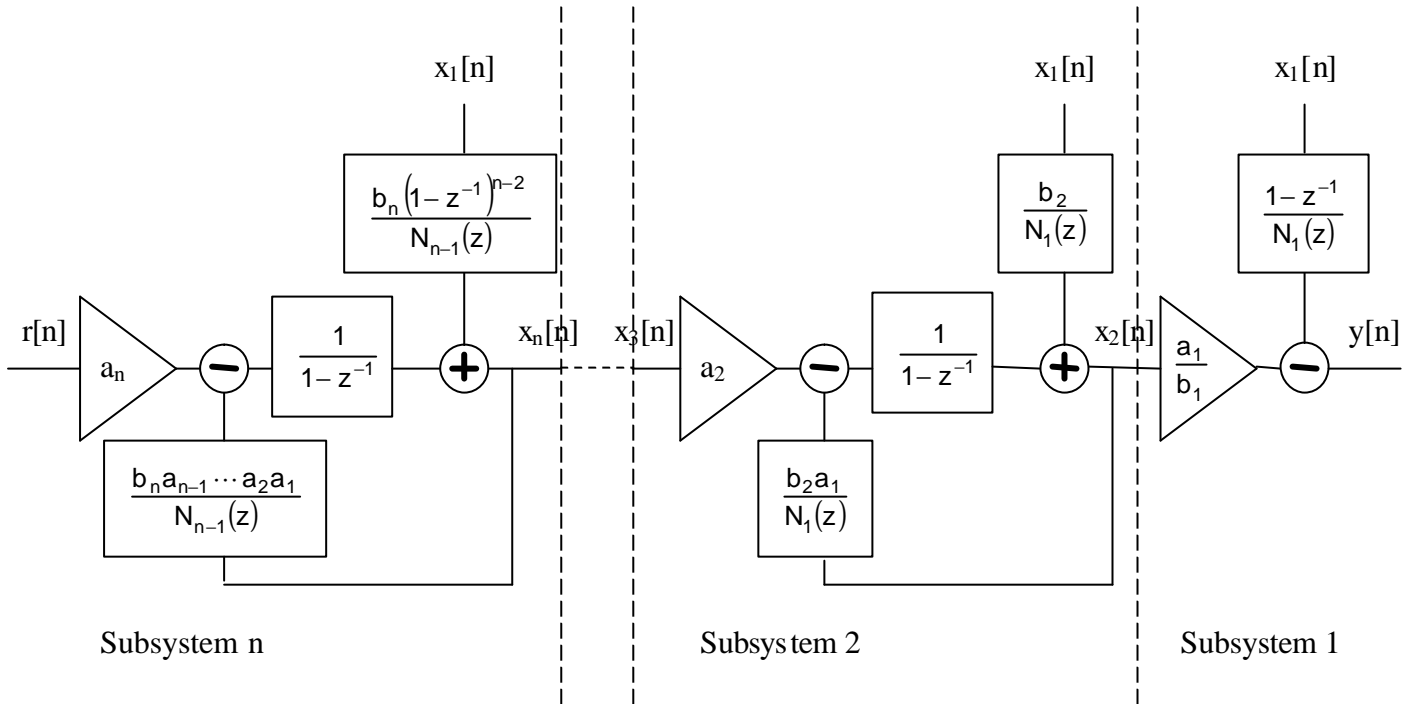


圖 3.2.3 n 階 SDM 等效為 cascaded n Subsystems

因此當  $|x_2[n]| < \lambda < 1 < \frac{b_1}{a_1}$ ，且各子系統的 characteristic equation =  $N_m(z)$ ， $m = 2, 3, \dots, n$  全部的根在單位圓內，且 r[n] 為 bounded input，則此 n 階 SDM 會穩定[15]。

### 3.3 設計範例

根據上一節穩定的條件，加上設計的規格，設計一個穩定且符合需要的 SDM。

範例一：

Sampling Frequency=2.8MHz

設計 NTF – a digital high pass butterworth filter，其截止頻率為 0.085

$$NTF = \frac{(z-1)^6}{z^6 - 4.9684z^5 + 10.3609z^4 - 11.5984z^3 + 7.3465z^2 - 2.4951z + 0.3548} \quad (\text{by Matlab})$$

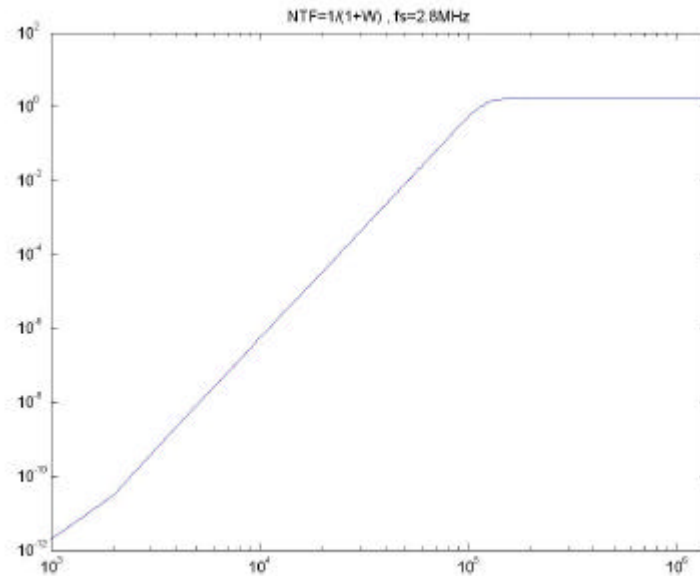


圖 3.3.1 NTF 的 frequency response

由(3.1.8)，可知

$$W(z) = \frac{1-NTF}{NTF} = \frac{1.0316z^5 - 4.6391z^4 + 8.4016z^3 - 7.6535z^2 + 3.5049z - 0.6452}{(z-1)^6}$$

與(3.1.6)、(3.1.7)比較係數

$$b_1 = 1.0316, b_2a_1 = 0.5187, b_3a_2a_1 = 0.1607, b_4a_3a_2a_1 = 0.0321,$$

$$b_5a_4a_3a_2a_1 = 0.0039, b_6a_5a_4a_3a_2a_1 = 0.0002244 \quad (3.3.1)$$

由(3.1.5)

$$F(z) = \frac{a}{1.0316z^5 - 4.6391z^4 + 8.4016z^3 - 7.6535z^2 + 3.5049z - 0.6452}$$

由(3.2.4)、(3.2.6)、(3.3.1)

選擇  $b_1 = 1.02$ 、 $a_1 = 0.8$ ，使得  $\frac{b_1}{a_1} = 1.275 > 1 > |x_2|$ 、 $\|x_1\|_{ss\infty} \leq (a_1\lambda + b_1) = 1.82$

根據(3.1.14)

$$\|x_2\|_{ss\infty} \approx \frac{4545.3a}{a_1} \|r\|_{ss\infty} + \frac{0.6099}{a_1} \|x_1\|_{ss\infty} \leq 1 \quad (3.3.2)$$

$$\|x_3\|_{ss\infty} \approx \frac{2311.4a}{a_1 a_2} \|r\|_{ss\infty} + \frac{0.2088}{a_1 a_2} \|x_1\|_{ss\infty} \leq 1 \quad (3.3.3)$$

$$\|x_4\|_{ss\infty} \approx \frac{716.1a}{a_1 a_2 a_3} \|r\|_{ss\infty} + \frac{0.0449}{a_1 a_2 a_3} \|x_1\|_{ss\infty} \leq 1 \quad (3.3.4)$$

$$\|x_5\|_{ss\infty} \approx \frac{143a}{a_1 a_2 a_3 a_4} \|r\|_{ss\infty} + \frac{0.0058}{a_1 a_2 a_3 a_4} \|x_1\|_{ss\infty} \leq 1 \quad (3.3.5)$$

$$\|x_6\|_{ss\infty} \approx \frac{17.4a}{a_1 a_2 a_3 a_4 a_5} \|r\|_{ss\infty} + \frac{0.00035}{a_1 a_2 a_3 a_4 a_5} \|x_1\|_{ss\infty} \leq 1 \quad (3.3.6)$$

其中  $\|r\|_{ss\infty} \leq 1$ 、 $\|x_1\|_{ss\infty} \leq 1.82$ 、 $a_1 = 0.8$ 。由(3.3.2)可得  $a < 4.1827 * 10^{-5}$ ，選擇  $a = 3.9 * 10^{-5}$ 。

由(3.3.3)可得  $a_2 > 0.3737$ ，選擇  $a_2 = 0.38$ 。由(3.3.4)可得  $a_3 > 0.2394$ ，選擇  $a_3 = 0.24$ 。由

(3.3.5)可得  $a_4 > 0.156$ ，選擇  $a_4 = 0.16$ 。由(3.3.6)可得  $a_5 > 0.0884$ ，選擇  $a_5 = 0.089$ 。由(3.1.5)

可得  $a_6 = 0.0375$ 。由(3.3.1)可得  $b_2 = 0.6484$ 、 $b_3 = 0.5286$ 、 $b_4 = 0.44$ 、 $b_5 = 0.334$  和

$b_6 = 0.216$ 。

表 3.3.1 六階 SDM 設計係數

$a_1 = 0.8$	$a_2 = 0.38$	$a_3 = 0.24$	$a_4 = 0.16$	$a_5 = 0.089$	$a_6 = 0.0375$
$b_1 = 1.02$	$b_2 = 0.6484$	$b_3 = 0.5286$	$b_4 = 0.44$	$b_5 = 0.334$	$b_6 = 0.216$

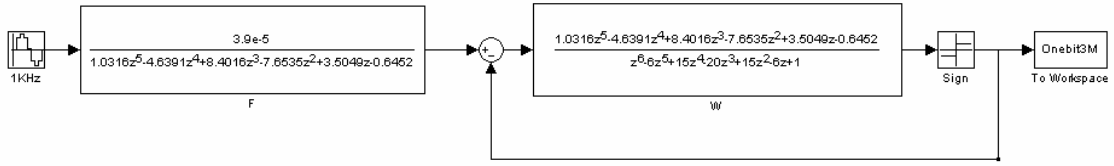


圖 3.3.2 設計完成的六階 SDM Matlab model

圖 3.3.3 以 Matlab 模擬輸入訊號為 1KHz 的 16bit 數位訊號，將 SDM 輸出的 single bit 數位訊號，取 FFT

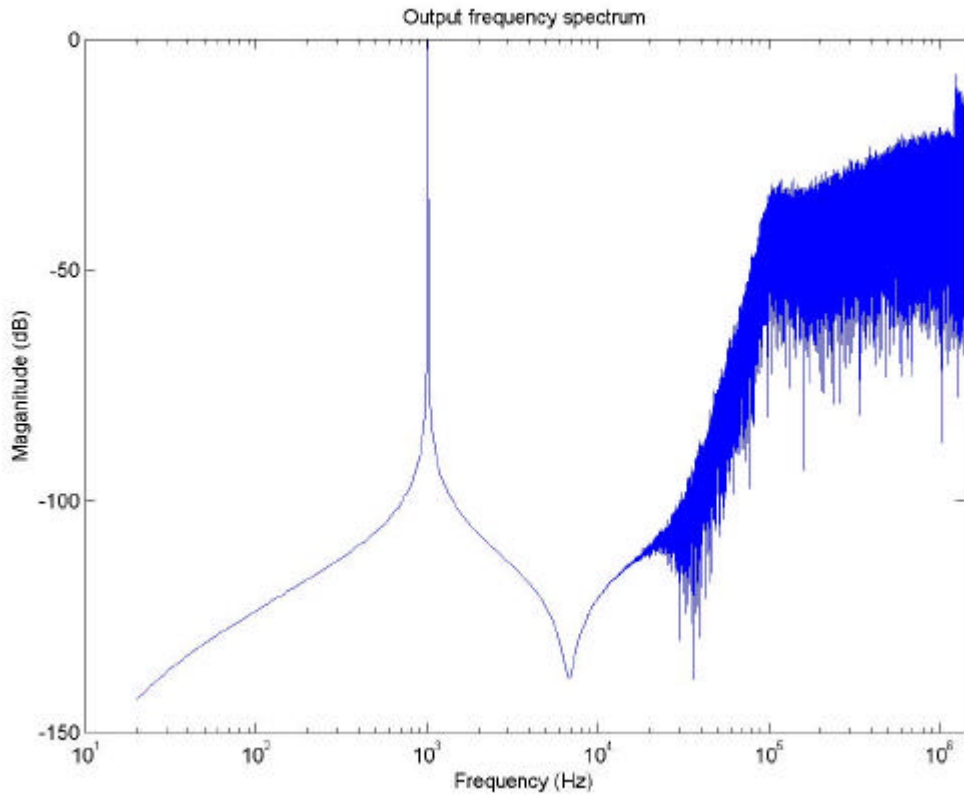


圖 3.3.3 single bit 數位訊號的頻譜圖

這樣設計取樣頻率為 2.8MHz 的六階 SDM，確實能將量化誤差轉移到 20KHz(音頻)以上的高頻區域，降低音頻內的雜訊大小。

範例二：

Sampling Frequency=705.6KHz

設計 NTF – a digital high pass butterworth filter , 截止頻率 0.085

$$\text{NTF} = \frac{(z-1)^4}{z^4 - 3.3029z^3 + 4.1415z^2 - 2.3313z + 0.4963} \text{ (by Matlab)}$$

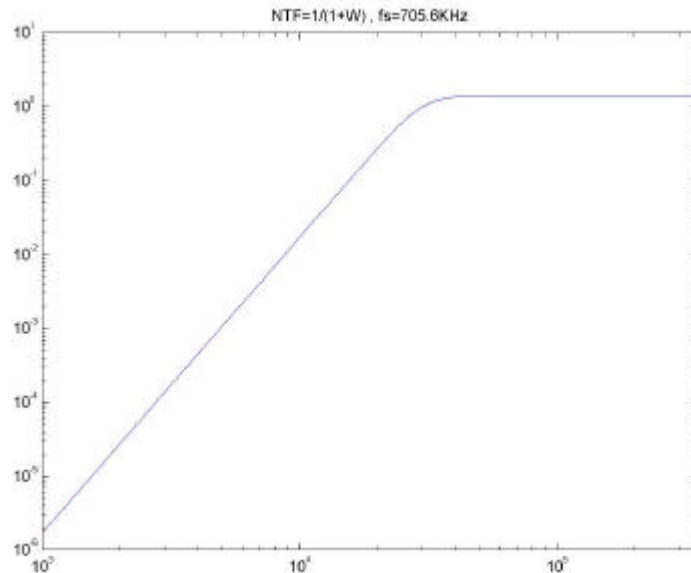


圖 3.3.4 NTF 的 frequency response

由(3.1.8) , 可知

$$W(z) = \frac{1-\text{NTF}}{\text{NTF}} = \frac{0.6971z^3 - 1.8585z^2 + 1.6687z - 0.5037}{(z-1)^4}$$

與(3.1.6)、(3.1.7)比較係數

$$b_1 = 0.6971, b_2 a_1 = 0.2328, b_3 a_2 a_1 = 0.0431, b_4 a_3 a_2 a_1 = 0.0037 \quad (3.3.7)$$

由(3.1.5)

$$F(z) = \frac{a}{0.6971z^3 - 1.8585z^2 + 1.6687z - 0.5037}$$

由(3.2.4)、(3.2.6) 、(3.3.7)

選擇  $b_1 = 0.7$ 、  $a_1 = 0.6$  , 使得  $\frac{b_1}{a_1} = 1.167 > 1 > |x_2|$ 、  $\|x_1\|_{ss\infty} \leq (a_1 \lambda + b_1) = 1.3$

根據(3.1.14)



$$\|x_2\|_{ss\infty} \approx \frac{190.4893a}{a_1} \|r\|_{ss\infty} + \frac{0.3818}{a_1} \|x_1\|_{ss\infty} \leq 1 \quad (3.3.8)$$

$$\|x_3\|_{ss\infty} \approx \frac{63.3589a}{a_1 a_2} \|r\|_{ss\infty} + \frac{0.0778}{a_1 a_2} \|x_1\|_{ss\infty} \leq 1 \quad (3.3.9)$$

$$\|x_4\|_{ss\infty} \approx \frac{11.7235a}{a_1 a_2 a_3} \|r\|_{ss\infty} + \frac{0.0073}{a_1 a_2 a_3} \|x_1\|_{ss\infty} \leq 1 \quad (3.3.10)$$

其中  $\|r\|_{ss\infty} \leq 1$ 、 $\|x_1\| \leq 1.3$ 、 $a_1 = 0.6$ 。由(3.3.8)可得  $a < 0.0011$ ，選擇  $a = 0.0009$ 。由(3.3.9)

可得  $a_2 > 0.2247$ ，選擇  $a_2 = 0.23$ 。由(3.3.10)可得  $a_3 > 0.129$ ，選擇  $a_3 = 0.13$ 。由(3.1.5)可

得  $a_4 = 0.0502$ 。由(3.3.7)可得  $b_2 = 0.388$ 、 $b_3 = 0.3122$  和  $b_4 = 0.2048$ 。

表 3.3.2 四階 SDM 設計係數

$a_1 = 0.6$	$a_2 = 0.23$	$a_3 = 0.13$	$a_4 = 0.0502$
$b_1 = 0.7$	$b_2 = 0.388$	$b_3 = 0.3122$	$b_4 = 0.2048$

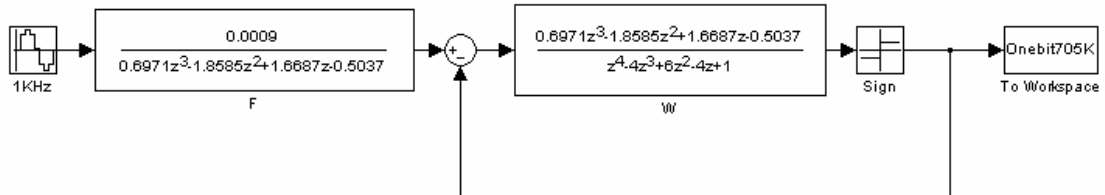


圖 3.3.5 設計完成的四階的 SDM Matlab model

輸入訊號為 1KHz 的 16bit 數位訊號，將 SDM 輸出的 single bit 數位訊號，取 FFT

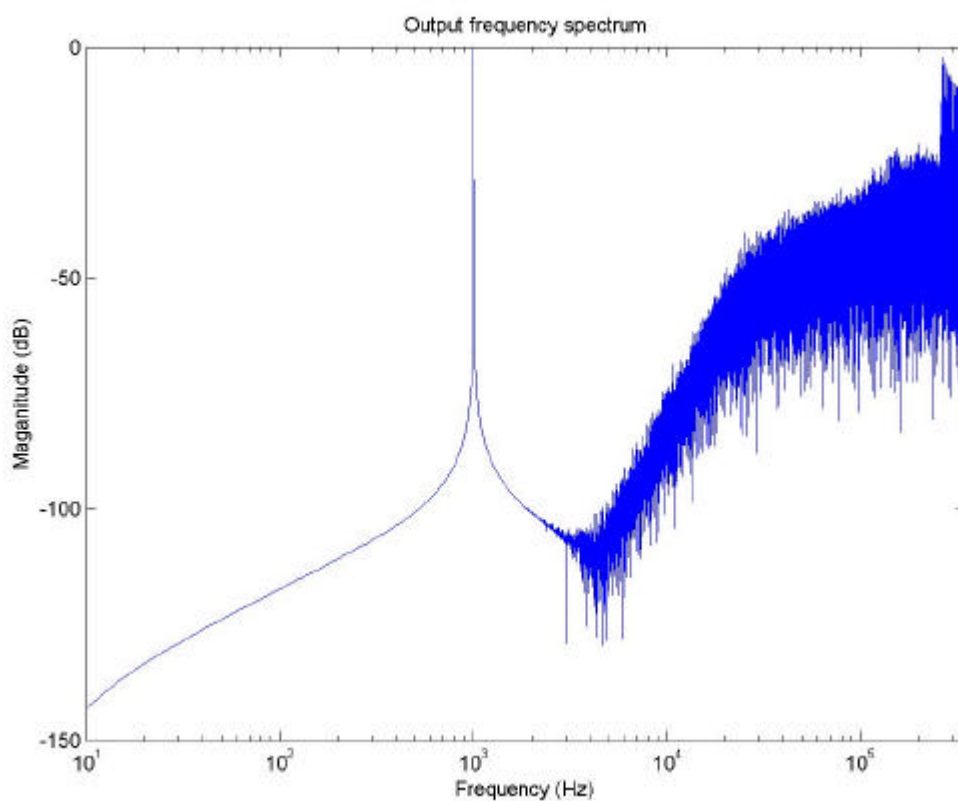


圖 3.3.6 single bit 數位訊號的頻譜圖

這樣設計取樣頻率為 705.6KHz 的四階 SDM，能將量化誤差轉移到 5KHz 以上的高頻區域，降低 5KHz 以內的雜訊大小。在第五章將實作這個四階 SDM。

## 第四章 雜訊能量分析

### 4.1 量化誤差

量化是非線性的運算，利用 additive noise model，將量化誤差  $e[n]$  視為另一個輸入訊號，使運算線性化。數位訊號  $x[n]$ ， $-X_m < x[n] < X_m$ ， $X_m$  數位訊號的最大值。 $(B+1)$ bit 量化後的數位訊號  $\hat{x}[n] = Q(x[n])$ 。量化誤差  $e[n] = \hat{x}[n] - x[n]$ ， $-\Delta/2 < e[n] < \Delta/2$

$$\Delta = \frac{X_m}{2^B} \quad (4.1.1)$$

為量化誤差的最大值。

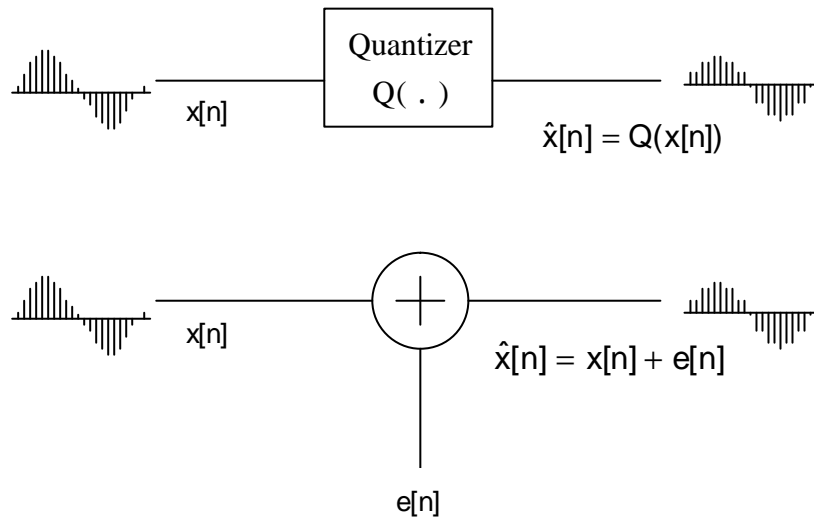


圖 4.1.1 additive noise model for quantizer

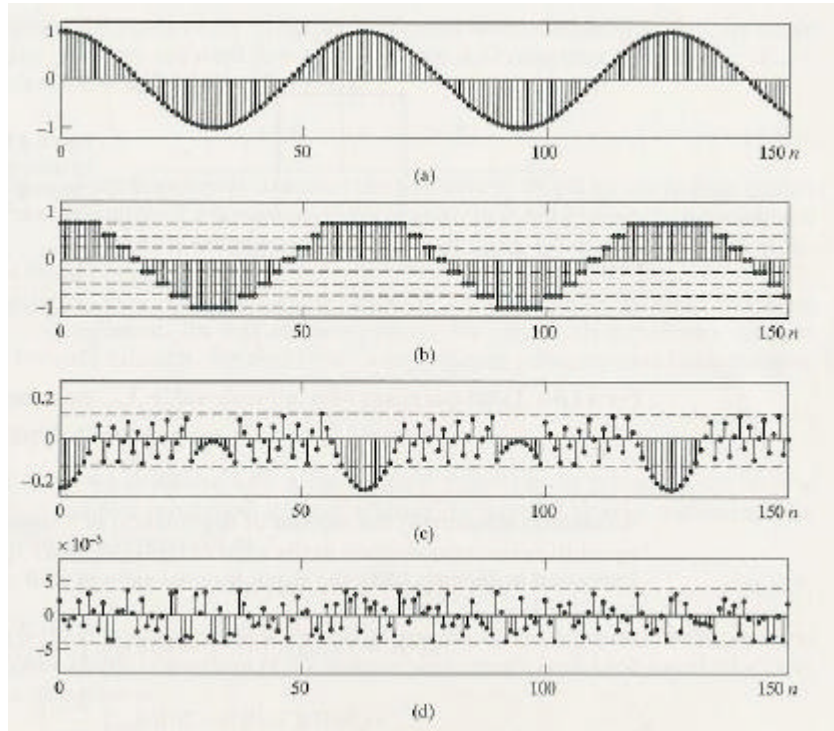


圖 4.1.2 example of quantization [7]

(a)未量化的數位訊號  $x[n] = 0.99 \cos(\frac{n}{10})$ 。(b)  $x[n]$  3bit 以量化後的數位訊號。

(c)3bit 量化誤差  $e[n]$ 。(d)8bit 量化誤差  $e[n]$

若  $e[n]$  與  $x[n]$ 、 $e[n]$  與  $x[n]$  的關係都是 uncorrelated，則可以假設  $e[n]$  是一個 uniformly distributed white-noise sequence。其 PDF (Probability Density Function) 分佈為

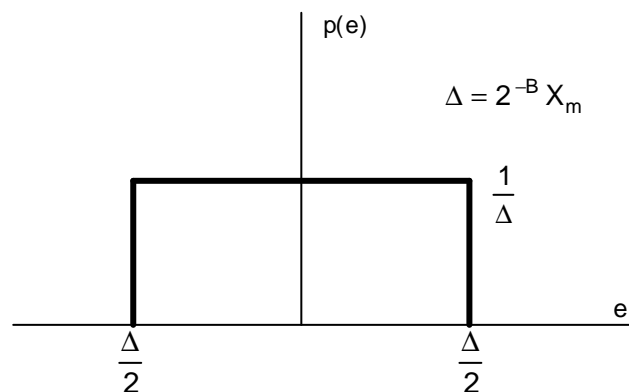


圖 4.1.3  $e[n]$  的機率分佈

(B+1)bit 量化誤差  $e[n]$  的 variance 為

$$\sigma_e^2 = \int_{-X_m/2}^{X_m/2} e^2 \frac{1}{X_m} de = \frac{X_m^2}{12} = \frac{2^{-2B} X_m^2}{12}$$

SNR(Signal to Noise Ratio)為

$$\text{SNR} = 10 \log_{10} \left( \frac{\sigma_x^2}{\sigma_e^2} \right) = 10 \log_{10} \left( \frac{12 \cdot 2^{2B} \sigma_x^2}{X_m^2} \right) = 6.02B + 10.8 - 20 \log_{10} \left( \frac{X_m}{\sigma_x} \right)$$

例如音樂 CD 為 16bit 的數位訊號，其量化誤差的 variance 為  $\sigma_e^2 = \frac{2^{-30}}{12}$ 。假設未量

化的數位訊號為一正弦波  $x[n]$ ，最大振幅為  $X_p$ ，則  $\sigma_x = \frac{X_p}{\sqrt{2}}$ ，

$$\text{SNR} = 6.02 \cdot 15 + 10.8 - 20 \log_{10} \left( \frac{X_m \cdot \sqrt{2}}{X_p} \right) = 6.02 \cdot 15 + 10.8 - 3 \approx 98 \text{dB}$$

## 4.2 Oversampling

利用 4.1 節提到的一個 additive noise model, 分析 noise power 與 Oversampling Ratio, 如圖 4.2.1。  $x_a(t)$  為類比訊號 bandlimited to  $\Omega_N$ ,  $x[n]$  為  $x_a(t)$  的取樣,  $M$  為 Oversampling Ratio, 取樣週期為  $T = \frac{\pi}{\Omega_N M}$ ,  $e[n]$  為量化誤差,  $\hat{x}[n]$  為量化後的數位訊號, LPF 為截止頻率  $\frac{\pi}{M}$  的完美低通濾波器,  $x_1[n]$  為低通濾波後的  $x[n]$ ,  $e_1[n]$  為低通濾波後的  $e[n]$ 。

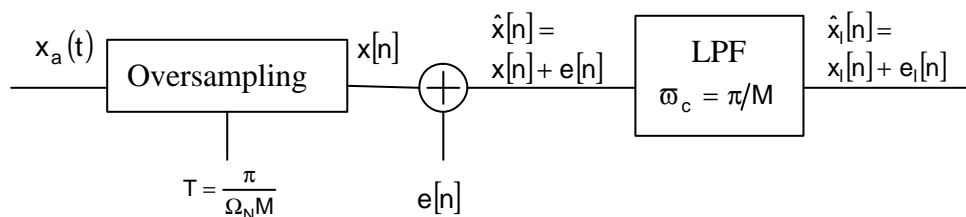


圖 4.2.1 additive noise model

$e[n]$  為量化誤差，假設它是 wide-sense-stationary white-noise process with zero mean, 其 variance 為

$$\sigma_e^2 = \frac{\Delta^2}{12} \quad (4.2.1)$$

其 autocorrelation function  $\phi_{ee}[m] = \sigma_e^2 \delta[m]$ ，其 power spectrum density 為

$$\Phi_{ee}(e^{j\omega}) = \sigma_e^2 \quad |\omega| < \pi \quad (4.2.2)$$

$x_a(t)$  為 bandlimited 類比訊號，其 PSD 為  $\Phi_{x_a x_a}(j\Omega) = 0$ ， $|\Omega| \geq \Omega_N$ ， $x[n]$  為  $x_a(t)$  的取樣

訊號， $x[n] = x_a(nT)$ ，取樣頻率為  $\frac{\Omega_N M}{\pi}$ ，其 PSD 為

$$\Phi_{xx}(e^{j\omega}) = \frac{1}{T} \Phi_{x_a x_a}\left(j\frac{\omega}{T}\right) \quad |\omega| < \frac{\pi}{M} \quad (4.2.3)$$

則量化後的數位訊號  $\hat{x}[n] = x[n] + e[n]$ ，其 PSD 如圖 4.2.2

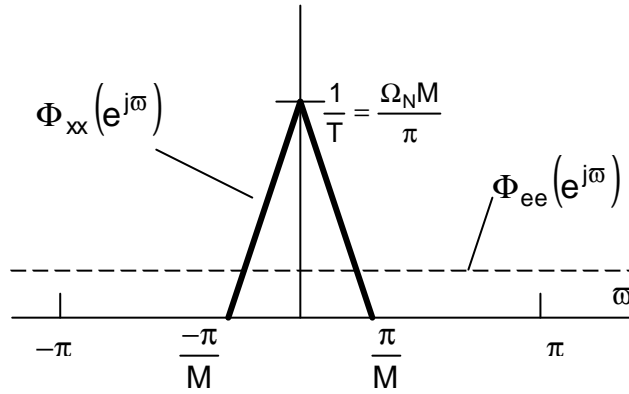


圖 4.2.2 the power spectrum density of  $\hat{x}[n]$

$$\text{total power of } e[n] = \frac{1}{2\pi} \int_{-\pi}^{\pi} \Phi_{ee}(e^{j\omega}) d\omega = \frac{1}{2\pi} \int_{-\pi}^{\pi} \sigma_e^2 d\omega = \sigma_e^2 = \frac{\Delta^2}{12} = \frac{1}{12} \left( \frac{X_m}{2^B} \right)^2$$

$$\text{total power of } x[n] = \frac{1}{2\pi} \int_{-\pi}^{\pi} \Phi_{xx}(e^{j\omega}) d\omega = \frac{1}{2\pi} \int_{-\pi/M}^{\pi/M} \Phi_{xx}(e^{j\omega}) d\omega = \frac{1}{2} * \frac{2\pi}{M} * \frac{\Omega_N M}{\pi} = \Omega_N$$

因此可知，Oversampling 並不會使 total noise power 變小，但是會降低頻寬內的 noise power。

$e_1[n]$  為低通濾波後的  $e[n]$ ，其 PSD 為

$$\Phi_{e_1 e_1}(e^{j\omega}) = \sigma_e^2 \quad |\omega| < \frac{\pi}{M} \quad (4.2.4)$$

$x_1[n]$  為低通濾波後的  $x[n]$ ，由(4.2.3)，其 PSD 為

$$\Phi_{x_1x_1}(e^{j\omega}) = \Phi_{xx}(e^{j\omega}) \quad |\omega| < \frac{\pi}{M} \quad (4.2.5)$$

則輸出訊號  $\hat{x}_1[n] = x_1[n] + e_1[n]$ ，其 PSD 如圖 4.2.3

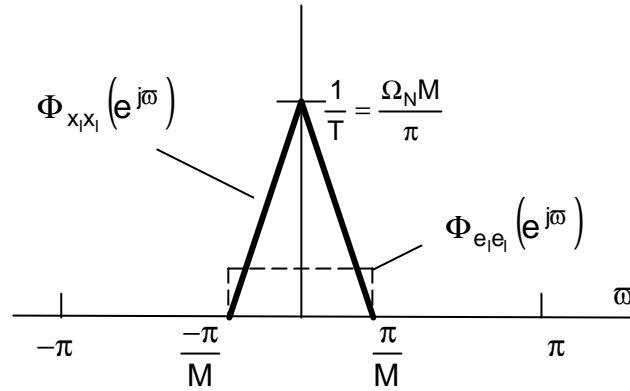


圖 4.2.3 the power spectrum of the output  $\hat{x}_1[n]$

$$\text{total power of } e_1[n] = \frac{1}{2\pi} \int_{-\pi}^{\pi} \Phi_{e_1e_1}(e^{j\omega}) d\omega = \frac{1}{2\pi} \int_{-\pi/M}^{\pi/M} \sigma_e^2 d\omega = \frac{\sigma_e^2}{M} = \frac{\Delta^2}{12M} = \frac{1}{12M} \left( \frac{X_m}{2^B} \right)^2$$

$$\text{total power of } x_1[n] = \frac{1}{2\pi} \int_{-\pi}^{\pi} \Phi_{x_1x_1}(e^{j\omega}) d\omega = \frac{1}{2\pi} \int_{-\pi/M}^{\pi/M} \Phi_{xx}(e^{j\omega}) d\omega = \frac{1}{2} * \frac{2\pi}{M} * \frac{\Omega_N M}{\pi} = \Omega_N$$

因此可知，Oversampling 加上一低通濾波器，能使降低 total noise power。當量化的 bit 數固定時，可以利用增加 Oversampling Ratio 來降低頻寬內 noise power，且不影響 total signal power，所以增加 Oversampling Ratio 可以改善 SNR。

### 4.3 Noise Shaping of SDM

由圖 4.2.1 將量化誤差經過 Noise Transform Function 進入系統，如圖 4.3.1。  $x_a(t)$  為類比訊號 bandlimited to  $\Omega_N$ ，  $x[n]$  為  $x_a(t)$  的取樣，  $M$  為 Oversampling Ratio，取樣週期為  $T = \frac{\pi}{\Omega_N M}$ ，  $e[n]$  為量化誤差，  $\hat{e}[n]$  為經過 Noise Transform Function 後的量化誤差，  $\hat{x}[n]$  為量化後的數位訊號，LPF 為限定音頻內通過的完美低通濾波器，  $x_1[n]$  為低通濾波後的

$x[n]$  ,  $e_1[n]$  為低通濾波後的  $e[n]$ 。

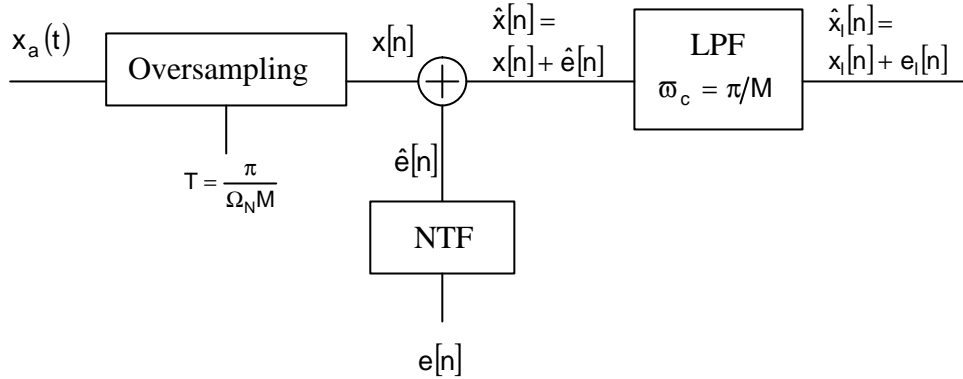


圖 4.3.1 additive noise model with noise transform function

$\hat{e}[n]$  為經過 Noise Transform Function 後的量化誤差，其 PSD 為

$$\Phi_{\hat{e}\hat{e}}(e^{j\omega}) = \Phi_{ee}(e^{j\omega}) * |\text{NTF}(e^{j\omega})|^2 = \sigma_e^2 |\text{NTF}(e^{j\omega})|^2 \quad |\omega| < \pi$$

$x[n]$  為  $x_a(t)$  的取樣訊號， $x[n] = x_a(nT)$ ，取樣頻率為  $\frac{\Omega_N M}{\pi}$ ，其 PSD 為(4.2.3)。則量化

後的數位訊號  $\hat{x}[n] = x[n] + \hat{e}[n]$ ，其 PSD 如圖 4.3.2

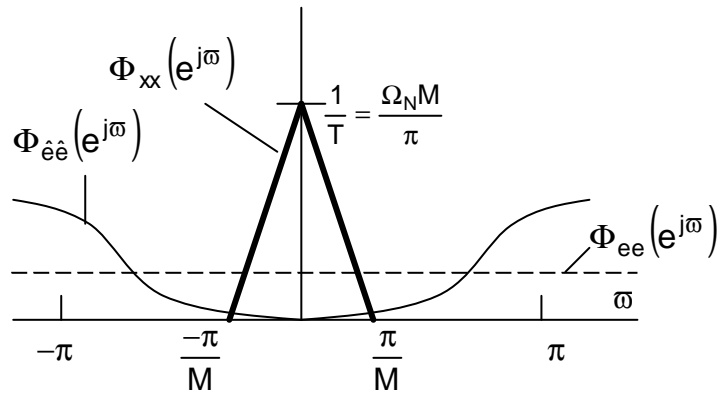


圖 4.3.2 the power spectrum density of  $\hat{x}[n]$  with NTF

$$\text{total power of } \hat{e}[n] = \frac{1}{2\pi} \int_{-\pi}^{\pi} \Phi_{\hat{e}\hat{e}}(e^{j\omega}) d\omega = \frac{1}{2\pi} \int_{-\pi}^{\pi} \Phi_{ee}(e^{j\omega}) * |\text{NTF}(e^{j\omega})|^2 d\omega$$



$$\text{total power of } x[n] = \frac{1}{2\pi} \int_{-\pi}^{\pi} \Phi_{xx}(e^{j\omega}) d\omega = \frac{1}{2\pi} \int_{-\pi/M}^{\pi/M} \Phi_{xx}(e^{j\omega}) d\omega = \frac{1}{2} * \frac{2\pi}{M} * \frac{\Omega_N M}{\pi} = \Omega_N$$

$e_1[n]$  為低通濾波後的  $\hat{e}[n]$ ，其 PSD 為

$$\Phi_{e_1 e_1}(e^{j\omega}) = \Phi_{\hat{e}\hat{e}}(e^{j\omega}) = \Phi_{ee}(e^{j\omega}) * |\text{NTF}(e^{j\omega})|^2 = \sigma_e^2 |\text{NTF}(e^{j\omega})|^2 \quad |\omega| < \frac{\pi}{M}$$

$x_1[n]$  為低通濾波後的  $x[n]$ ，其 PSD 為(4.2.5)。

則輸出訊號  $\hat{x}_1[n] = x_1[n] + e_1[n]$ ，其 PSD 如圖 4.3.3

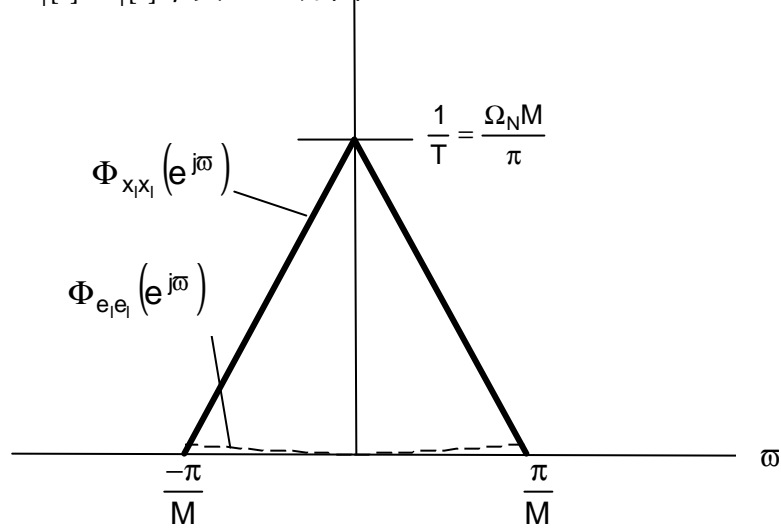


圖 4.3.3 the power spectrum of the output  $\hat{x}_1[n]$

將(4.1.1)、(4.2.1)、(4.2.2)代入

the quantization-noise power in the output = total power of  $e_1[n] =$

$$\begin{aligned} & \frac{1}{2\pi} \int_{-\pi}^{\pi} \Phi_{e_1 e_1}(e^{j\omega}) d\omega = \frac{1}{2\pi} \int_{-\pi/M}^{\pi/M} \Phi_{e_1 e_1}(e^{j\omega}) d\omega = \frac{1}{2\pi} \int_{-\pi/M}^{\pi/M} \Phi_{\hat{e}\hat{e}}(e^{j\omega}) d\omega \\ & = \frac{1}{2\pi} \int_{-\pi/M}^{\pi/M} \Phi_{ee}(e^{j\omega}) * |\text{NTF}(e^{j\omega})|^2 d\omega = \frac{1}{2\pi} \int_{-\pi/M}^{\pi/M} \sigma_e^2 |\text{NTF}(e^{j\omega})|^2 d\omega \\ & = \frac{1}{2\pi} \int_{-\pi/M}^{\pi/M} \frac{1}{12} \left( \frac{X_m}{2^B} \right)^2 |\text{NTF}(e^{j\omega})|^2 d\omega \end{aligned}$$

將(4.2.3)代入

the signal power = total power of  $x_1[n] =$

$$\frac{1}{2\pi} \int_{-\pi}^{\pi} \Phi_{x_1 x_1}(e^{j\omega}) d\omega = \frac{1}{2\pi} \int_{-\pi/M}^{\pi/M} \Phi_{x_1 x_1}(e^{j\omega}) d\omega = \frac{1}{2\pi} \int_{-\pi/M}^{\pi/M} \Phi_{xx}(e^{j\omega}) d\omega = \frac{1}{2\pi} \int_{-\Omega_N}^{\Omega_N} \Phi_{x_a x_a}(j\Omega) d\Omega$$

因此，當量化 bit 數與 Oversampling Ratio 不變的前提下，可以利用 NTF，改變 noise 的

PSD 分佈，降低頻帶內的 noise power，增加頻寬內的 SNR。

以第 3.3 節的設計範例二，四階 Sigma-Delta Modulator，計算其 5KHz 的 SNR。其 Noise Transform Function 為

$$\text{NTF}(e^{j\omega}) = \frac{(e^{j\omega} - 1)^4}{e^{j4\omega} - 3.3029e^{j3\omega} + 4.1415e^{j2\omega} - 2.3313e^{j\omega} + 0.4963}$$

量化器最大值  $X_m = 1$

(B+1) bit Quantization => B=0

Sampling frequency = 705.6KHz

total noise power =

$$\begin{aligned} &= \frac{1}{2\pi} \int_{-5\pi/352.8}^{5\pi/352.8} \frac{1}{12} \left( \frac{X_m}{2^B} \right)^2 |\text{NTF}(e^{j\omega})|^2 d\omega \\ &= \frac{1}{2\pi} \int_{-5\pi/352.8}^{5\pi/352.8} \frac{1}{12} \left( \frac{1}{2^0} \right)^2 \left| \frac{(e^{j\omega} - 1)^4}{e^{j4\omega} - 3.3029e^{j3\omega} + 4.1415e^{j2\omega} - 2.3313e^{j\omega} + 0.4963} \right|^2 d\omega \\ &= \frac{1}{2\pi} * 9.84 * 10^{-7} \end{aligned}$$

假設輸入訊號  $x_a(t)$  為正弦波，其最大振幅為  $X_p = 1$ ，其 variance  $\sigma_{x_a}^2 = \frac{X_p^2}{2} = \frac{1}{2}$

total signal power =

$$\frac{1}{2\pi} \int_{-\Omega_N}^{\Omega_N} \Phi_{x_a x_a}(j\Omega) d\Omega = \frac{1}{2\pi}$$

$$\text{SNR} = 10 \log \left( \frac{\text{signal power}}{\text{noise power}} \right) = 10 \log \left( \frac{1}{9.84 * 10^{-7}} \right) = 60.1 \text{dB} \quad (4.3.1)$$

## 第五章 實現

要實現一個全數位化的音頻擴大器，其架構如圖 1.1.2，圖中的『Modulate and Amplify』方塊，要能即時地接收由 PC 送出的 16bits 數位音樂訊號，並將其調變為 single bit 數位訊號，並作功率放大之後輸出。因此，利用 USB 作為與 PC 的介面，利用 FPGA 實作數位的 Sigma-Delta Modulator，利用 power MOS 實作一個高速的切換式 power stage，三個部分來實現全數位化的音頻放大器。

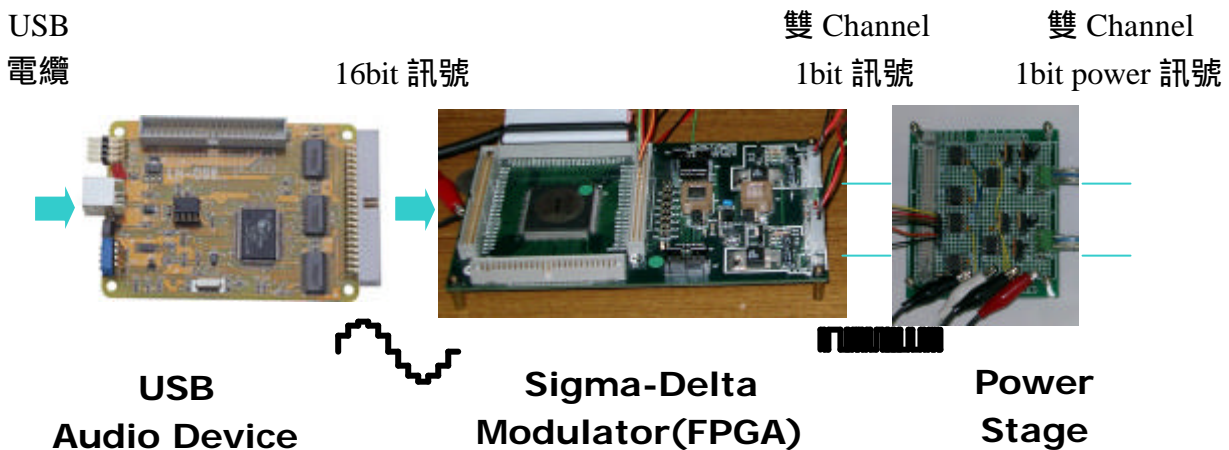


圖 5.1 全數位化的音頻擴大器系統方塊圖

以 FPGA 實現取樣頻率為 705.6KHz 的四階數位 SDM，輸入雙聲道 44.1KHz 16bit 的 PCM 音樂訊號，調變後輸出雙聲道的 single bit 的數位訊號。因此 USB 介面必須將雙聲道 44.1KHz、16bit 的資料即時地從 PC 傳出來。由於 FPGA 的輸出電壓是 3.3V 的數位訊號，不能夠推動喇叭。因此需要一 power stage，將 FPGA 產生的 3.3V 數位訊號放大為電力切換訊號。由於是取樣頻率為 705.6KHz，所以由 power stage 輸出的切換訊號，最高的切換頻率也將為 705.6KHz。

## 5.1 USB 介面

USB 為 Universal Series Bus(萬用串列匯流埠)的縮寫。USB 介面使用 7-bit 的定址欄位，扣掉 USB 主機預設給第一次接上的周邊設備使用，還剩 127 個位址可以使用，因此一部電腦最多可以連接 127 個 USB 裝置。

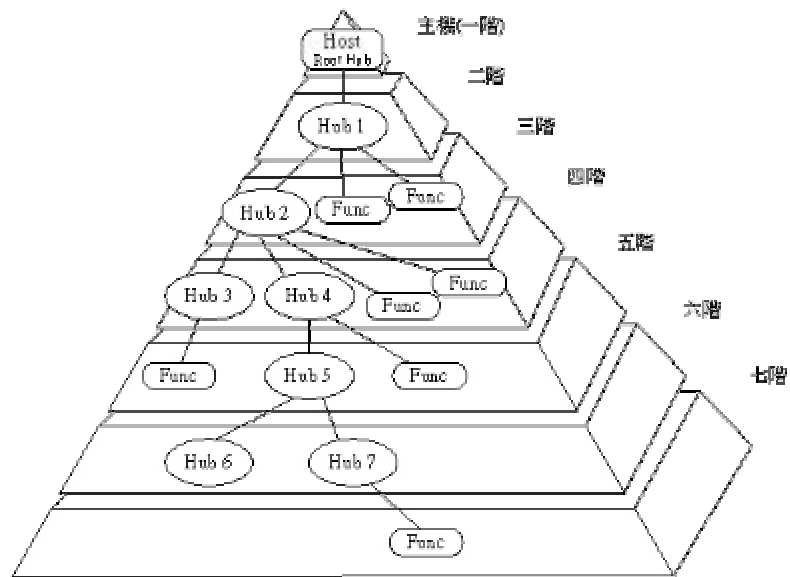


圖 5.1.1 USB 匯流排結構是階梯式拓撲結構

USB 裝置包含 hub 和 function 二種。最頂端是 host 端。從 host 端向下連到 hub 或 function，最大階層數為 7 層，包含 host。USB host 端的角色是 master，所有 device 都聽 host 端控制。

USB 的傳輸類型共有四種：控制傳輸(Control Transfer)、中斷傳輸(Interrupt Transfer)、巨量傳輸(Bulk Transfer)及等時傳輸(Isochronous Transfer)。控制傳輸，為雙向傳輸，主要用來溝通主機和裝置之間的配置、命令或狀態。運用 CRC(Cyclic Redundancy Check)來檢查資料之正確性，若此錯誤無法恢復，則要求重新傳送。中斷傳輸，為雙向傳輸。由於 USB 不支援硬體的中斷方式運行，所以必須靠主機以週期性的方式來輪詢

(Polling)，故於 USB 的中斷傳輸意即是一種輪詢的過程。對於 12Mbps 的裝置而言，可以訂定 1ms 至 255ms 之間的輪詢週期，所以最快的輪詢速度為 1kHz。適用設備為鍵盤、搖桿或滑鼠。巨量傳輸，可為單向或雙向的傳輸，適用於傳送大量的資料，且沒有固定的傳輸速率，適用設備為印表機或掃描器等。等時傳輸，可為單向或雙向的傳輸，此種傳輸需要維持一定的傳輸速度，且允許一定錯誤率下的錯誤。它事先與主機協議好固定的頻寬，以確保發送端及接收端的傳送速度。適用設備為 USB 麥克風、喇叭或是 MPEG-1 的裝置。

表 5.1.1 USB 四種傳輸模式比較

	封包大小(Byte)	時間	資料檢查	應用
巨量傳輸	8、16、32、64	盡快完成	有	儲存裝置、印表機
中斷傳輸	1 64	1 255ms	有	滑鼠、鍵盤
等時傳輸	1 1024	1ms	沒有	影像、聲音
控制傳輸		盡快完成	有	命令

### 5.1.1 硬體介紹：

Cypress AN2131Q USB 專用晶片(與 8051 Core 相容)

台灣長高科技公司 DMA- Cypress USB AN2131 控制單板

- 符合 USB1.1 版，12Mbps 高速傳輸博定標準
- 支援等時、巨量、控制和中斷四種傳輸模式
- ROM 可擴充至 32K RAM
- 提供偵錯與發展的環境(Keil C Compiler)
- 使用與 8051 Core 相容的 Cypress AN2131Q USB 專用晶片。包含 8051 與相容的 P0、P1 與 P2 週邊 port，可直接執行一般 8051 的 I/O 控制。

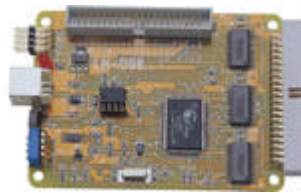


圖 5.1.2 DMA- Cypress USB AN2131 控制單板

## 5.1.2 軟體介紹：

### 1. Keil $\mu$ Vision2

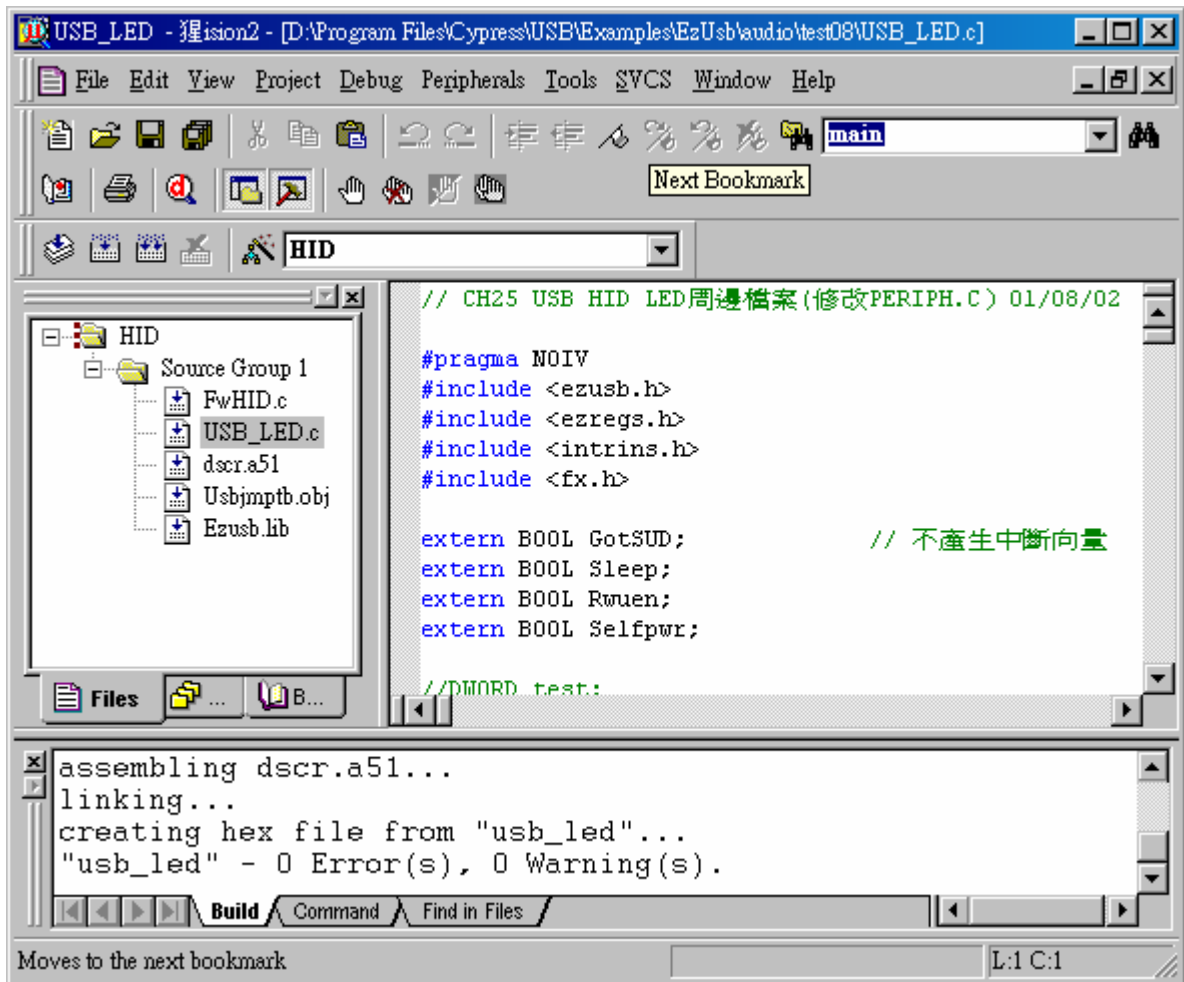


圖 5.1.3 Keil  $\mu$  Vision2 使用介面

將 C code 以 Keil  $\mu$  Vision2 將編成 for Cypress AN2131Q USB 專用晶片的 hex 檔。

## 2.EZ-USB

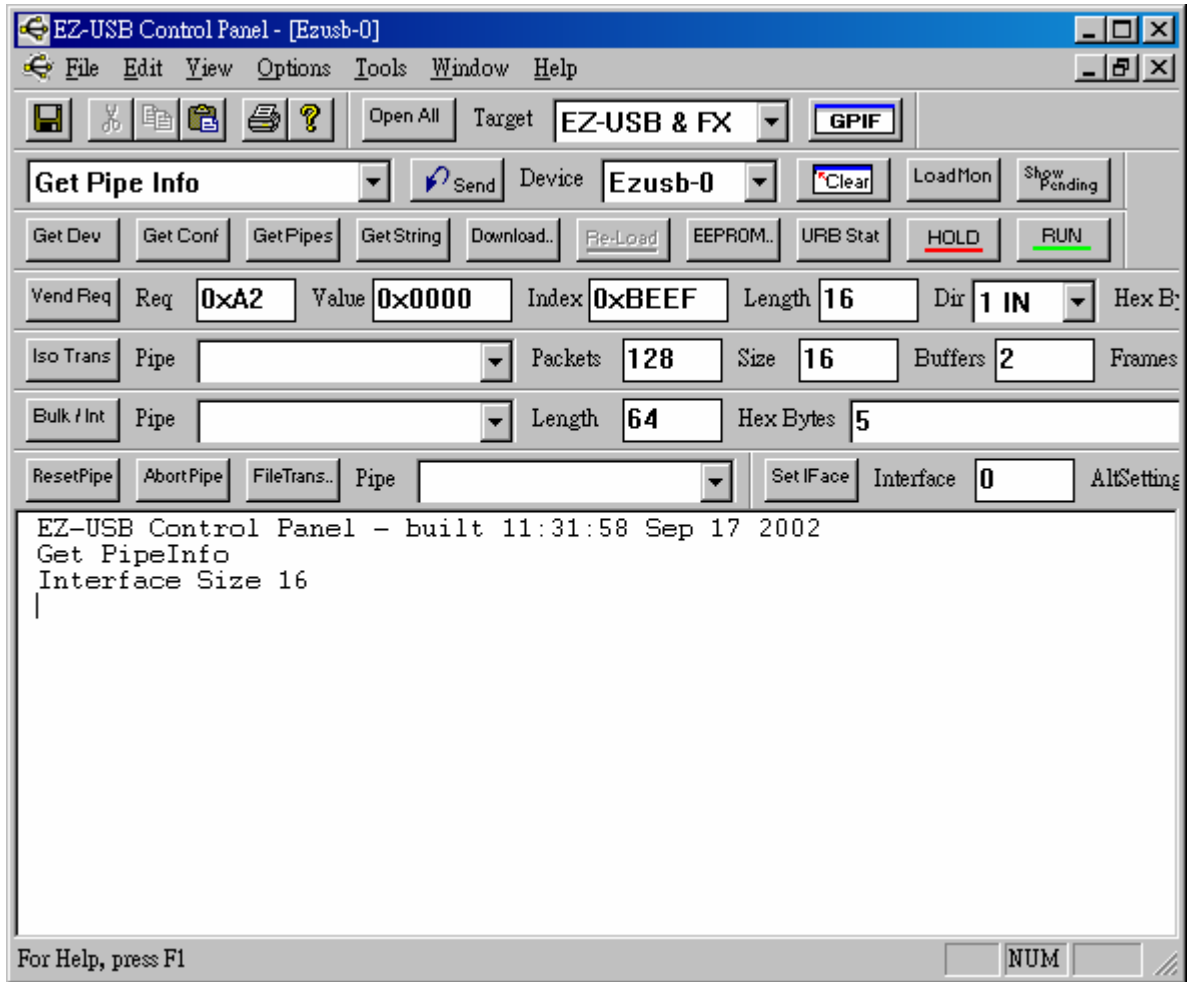


圖 5.1.4 EZ-USB 使用介面

以 EZ-USB 將編譯完成的 hex 檔 download 到控制單板，重新裝置列舉後，單板由 Cypress EZ-USB (2131Q) 的 USB 裝置，轉型為一個 hex 檔指定式樣的 USB 裝置。



### 5.1.3 USB 實作

可以將工作分為二部分，USB 描述元 – 讓 PC 的作業系統能使用此 USB 裝置，8051 I/O 控制程式 – 與 FPGA 協定傳送資料。

#### 1.USB 描述元

由於要將 44.1KHz、16bit 的音樂資料即時地傳出來，因此這個 USB 裝置應屬於 audio 類型，而且其傳輸模式應為等時傳輸。而等時傳輸，時間的最小單位是 1ms，即最快每 1ms 將資料送出一次，因此，每一次的資料應該為 44 或 45 筆 16bit 的資料。

將控制單板宣告為 USB audio 裝置，要寫 USB 描述元。USB 描述元是記錄關於裝置的各種訊息與相關設定。宣告一個 USB audio 描述元，其架構圖如[圖 5.1.5]。其每個 Descriptor 都是填寫一份表格，以下大致介紹每個 Descriptor 的內容[17]：

Device Descriptor：Descriptor 的大小、產品碼、製造商碼等

Configuration Descriptor：本身 Descriptor 的大小、Interface 數目、功率等

Audio Control Interface Descriptors 包含以下 4 個 Descriptors

Standard AC Interface Descriptor：屬 AUDIO Class、Endpoint 數目

Class-specific AC Interface Descriptor：指 Streaming Interface 與數目

Input Terminal Descriptor：Terminal type、this input Terminal ID、聲道

Output Terminal Descriptor：Output Terminal ID、Source Terminal ID、Terminal type

Audio Streaming Interface Descriptors 包含以下 6 個 Descriptors

Standard AS Interface Descriptor(Alternate Setting 0)：屬於 AUDIO Class、Endpoint

Standard AS Interface Descriptor(Alternate Setting 1)：屬於 AUDIO Class、Endpoint

Class-specific AS General Interface Descriptor：Format Tag、Terminal Link

Format Type Descriptor：Format Type、Channel Number、Sampling Freq.、Frame Size

Standard Endpoint Descriptor：bytes per packet、packets per frame、Endpoint Address

Class-specific Isochronous Audio Data Endpoint Descriptor：Descriptor Type

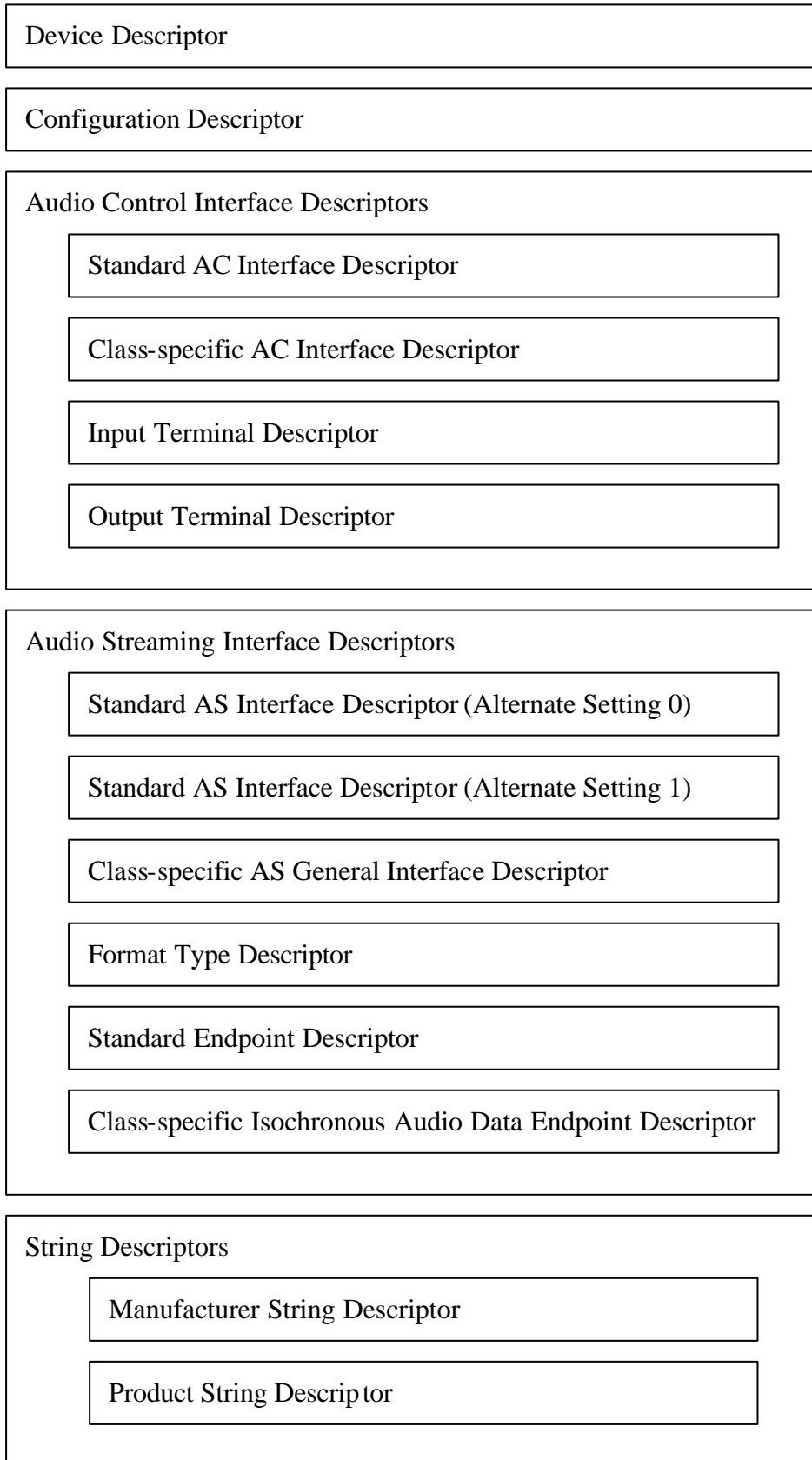


圖 5.1.5 USB Audio Descriptor 架構圖

String Descriptors 包含以下 2 個 Descriptors  
Manufacturer String Descriptor : company name  
Product String Descriptor : product name

USB audio 描述元完成後，接上 PC，會辨示新連接的 USB 描述元，新增加一個可用硬體 – USB audio 音效裝置。此時，啟動應用程式，音樂訊號就會從 PC 送到 USB 的端點暫存區。只要是符合 USB Class 規定的裝置，其驅動程式已包含在作業系統，而不用另外再寫其驅動程式，應用程式就可以直接使用裝置。

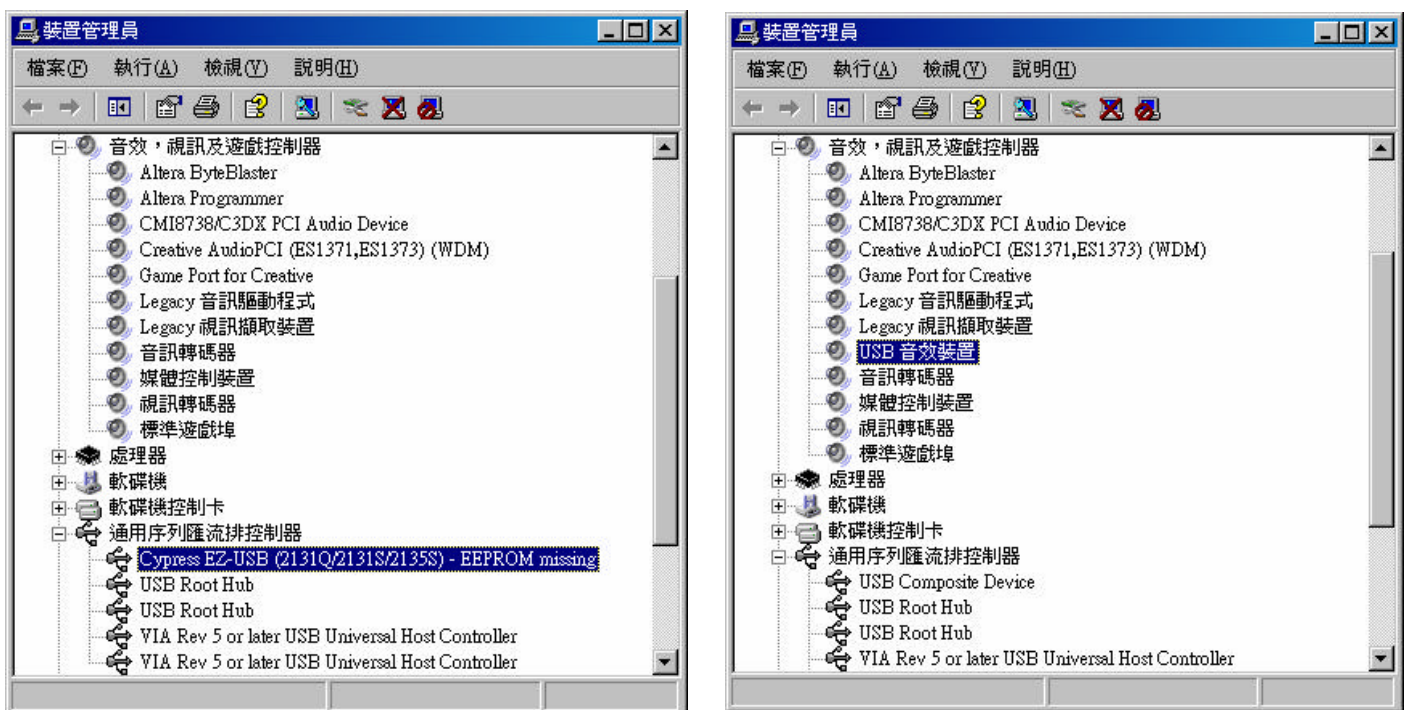


圖 5.1.6 USB 單板以 USB audio Class 描述元裝置列舉

## 2.8051 I/O 控制程式

最快以每 1ms 送一次資料的等時傳輸，資料傳完後，會發出一次等時中斷。利用等時中斷機制，來知道端點暫存區是否有資料可以輸出到 I/O PORT。端點暫存區有個 count 機制，記錄目前暫存區內有多少 Byte 資料，每當暫存區被讀出 1Byte 資料，count 會減 1。利用 count 機制，來知道端點暫存區是否已經空了，即可結束搬運。

Cypress USB 專用晶片與 8051 Core 相容，是 Enhanced 8051。寫 C code 指定端點暫存區，利用等時中斷與暫存區的 count 機制，將資料搬移到指定 I/O PORT。8051 是八位元單晶片，利用二個 OUTPUT PORT 送出 16bit 音樂資料，分別輸出 high byte 與 low byte。規畫第三個 PORT 的二個腳位，當作單版與 FPGA 的控制訊號(ch1/ch2 write enable)。這樣就能夠在單版上的 I/O PORT 得到 44.1KHz 16bit 的 PCM 音樂訊號[18]。

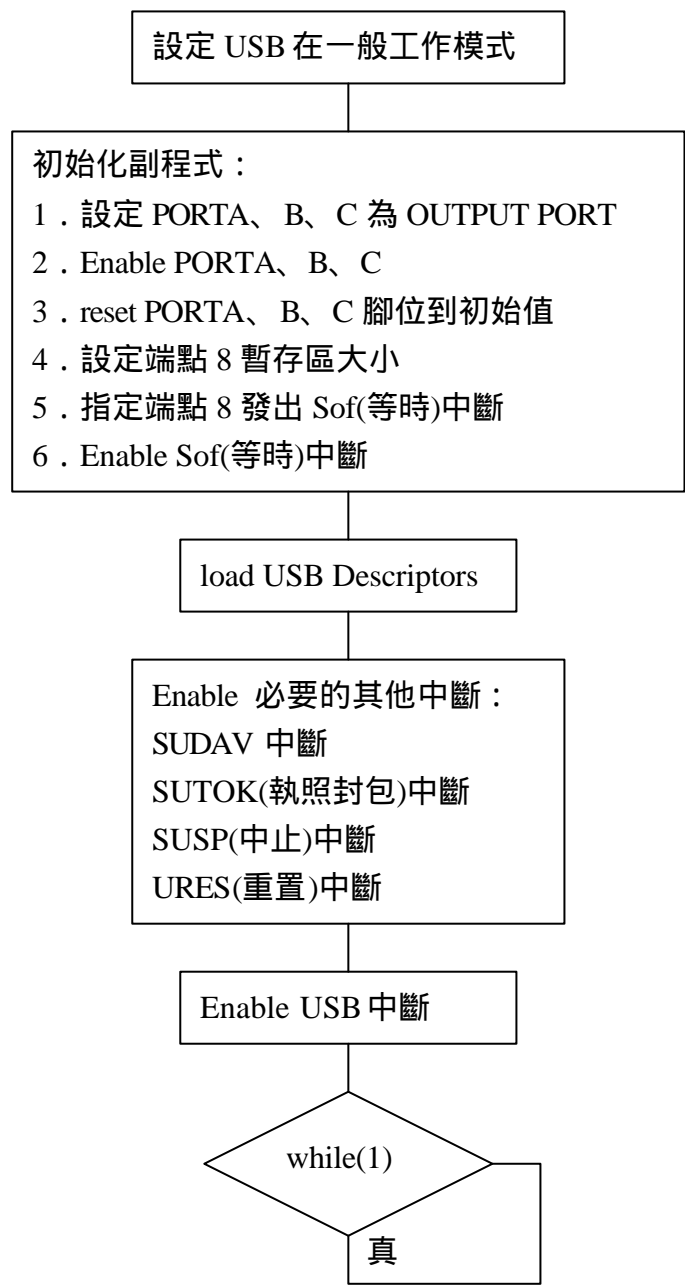


圖 5.1.7 主程式流程圖

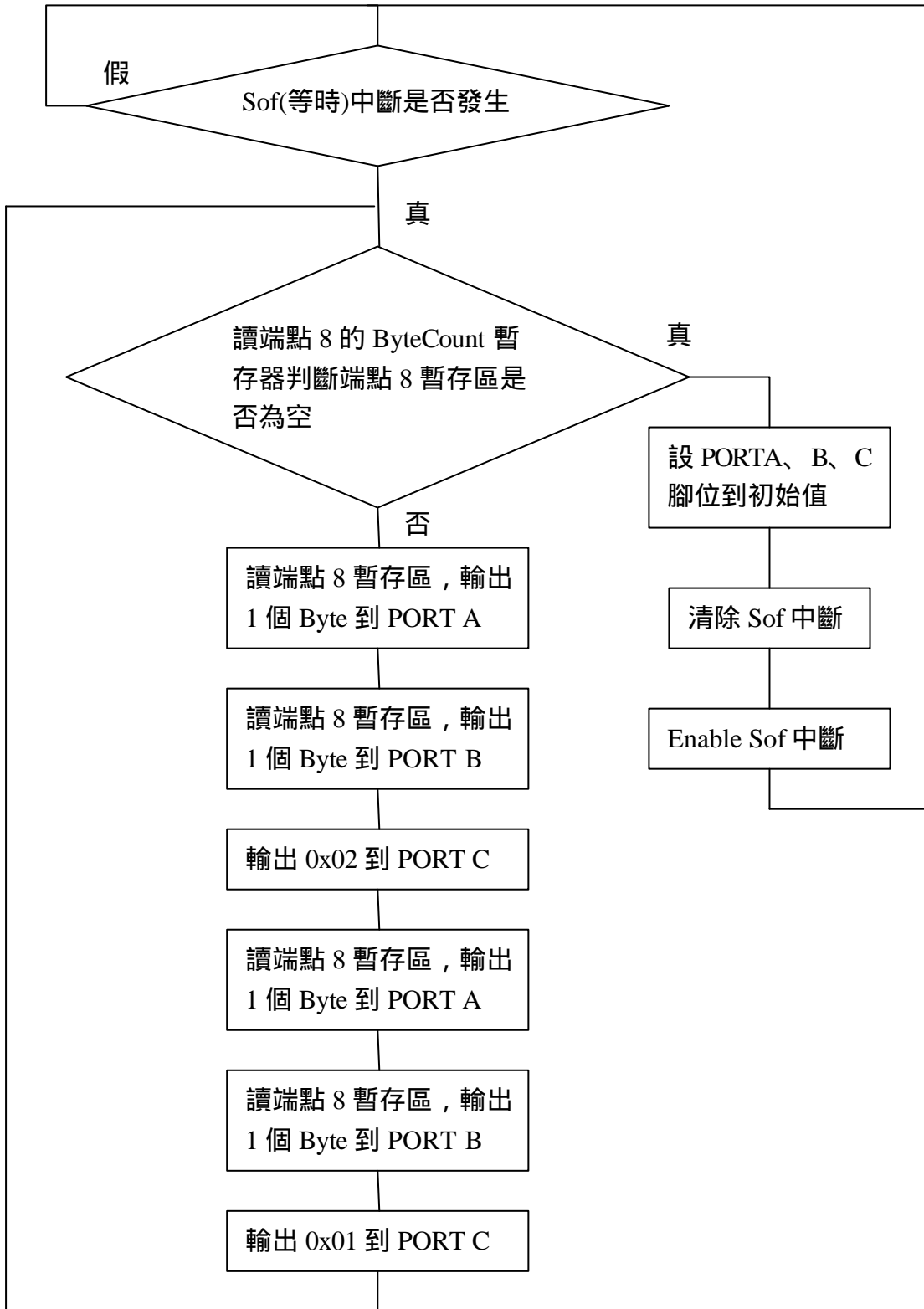


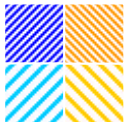
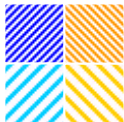
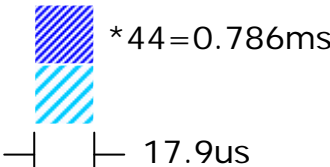
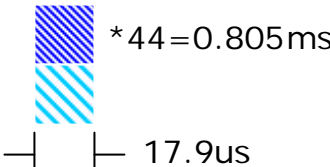


圖 5.1.8 中斷服務程式流程圖

表 5.1.2 USB 音效裝置輸出資料的時間關係

左聲道 low byte, 左聲道 high byte, 右聲道 low byte, 右聲道 high byte

等時傳輸	第 1 9ms	第 10ms
USB device 收到資料	 * 44	 * 45
PORTB PORTA	 * 44	 * 45
USB device 傳送資料 (1 Channel)	 * 44 = 0.786ms 17.9us	 * 44 = 0.805ms 17.9us

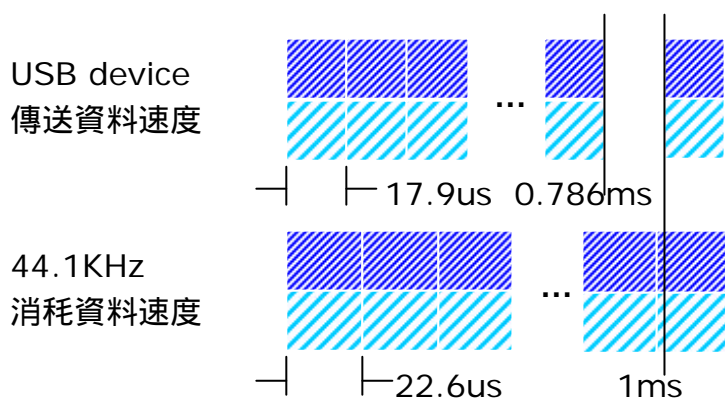


圖 5.1.9 USB 傳送資料速度與 SDM 消耗資料速度

表 5.1.2、圖 5.1.9 可知，等時傳輸時間的最小單位是 1ms，大約用 0.8ms 將資料傳送完畢，與 FPGA 需要的 44.1KHz 數位訊號，資料速率不相配。因此，FPGA 需要一個 FIFO 的機制。

## 5.2 FPGA

FPGA 全名為 Field Programmable Gates Array, 由很多邏輯單元(Logic Cell)經可程式的垂直通道(Vertical Channel)和水平通道(Horizontal Channel)連線構成。它是個可以重複程式化的數位邏輯, 適合作邏輯設計功能的驗證。

### 5.2.1 硬體介紹 : Altera FLEX10K Emulation Board

ALTERA 10K-ARC240

- . 10K Gates
- . work frequency over then 30MHz
- . supply voltage 5V regulated to 3.3V
- . 3.3V 的 I/O
- . with EPPROM

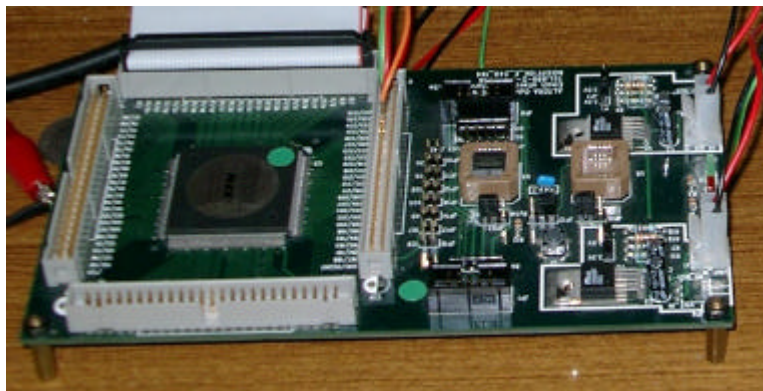


圖 5.2.1 Altera FLEX10K Emulation Board



### 5.2.2 軟體介紹：

MAX plusII

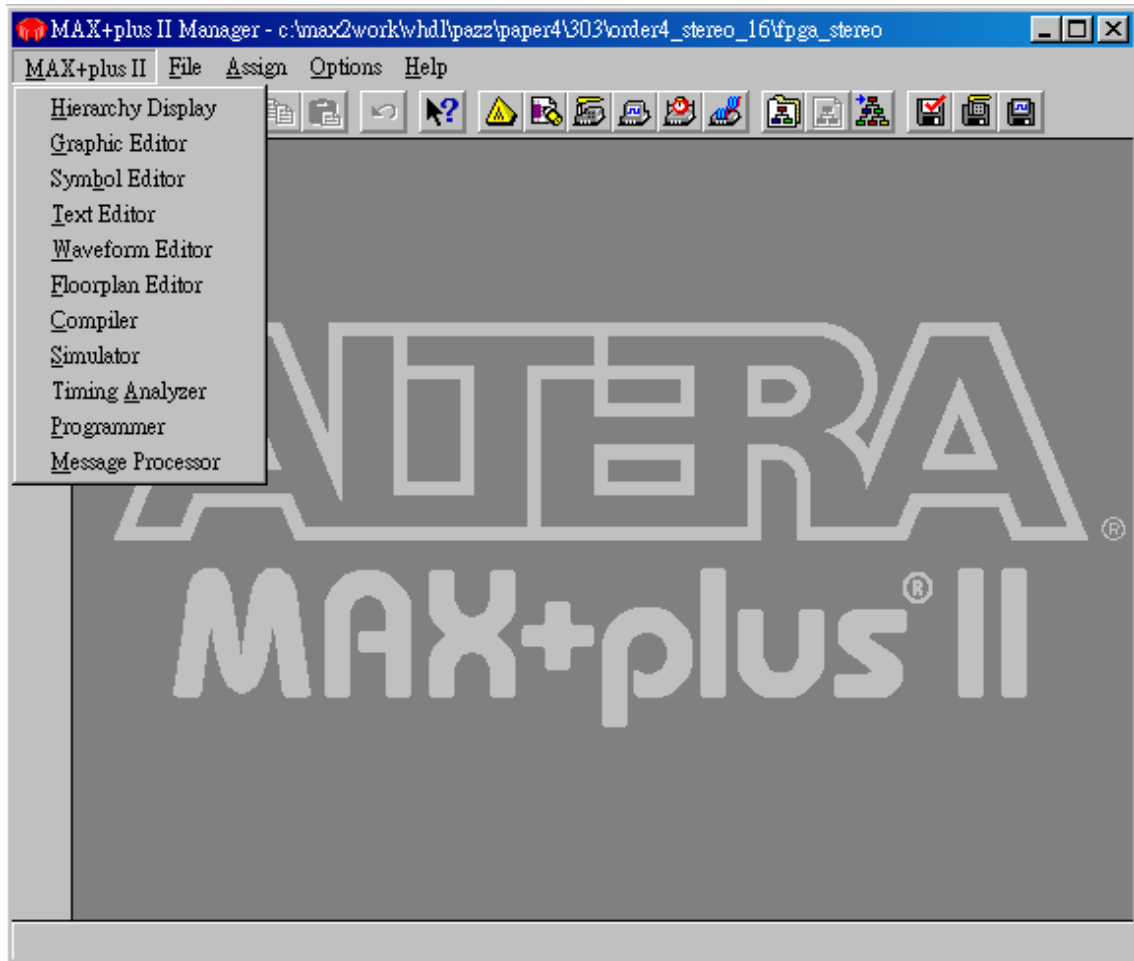


圖 5.2.2 MAX plusII 使用介面

MAX plusII 是一個發展 FPGA 的環境，能夠編譯 VHDL code、simulation 看  
時序圖檢驗 logic、規畫 FPGA 的輸入輸出腳位、將編譯好的 code 程式化 FPGA  
或 EPPROM。

### 5.2.3 FPGA 實作

#### 1.buffer 方塊

圖 5.1 因為 USB 送出資料的速度，與 FPGA 需要的 44.1KHz 數位訊號，速率不相配，因此 FPGA 除了 SDM 方塊之外，需要設計一個 32\*16bit 的 FIFO(First In First Out)作緩衝。

FIFO 電路共有二個資料埠，一端資料寫入，一端資料讀出。其指向暫存器的指標有二個，一為資料寫入指標，另一為資料讀出指標。資料寫入指標每寫入一筆資料後其值應自動加一，以便下次資料寫入時能依序地將資料寫入。FIFO 電路有資料先進先出的特性，資料在 FIFO 中應該由排隊的方式來寫入與讀取。當資料自 FIFO 讀出時，其讀出指標應自動加一，以便下次能依序將資料讀出。FIFO 的輸入輸出腳位，應有資料 input port、資料 output port、wr\_enable、rd、full、empty 與 clear[19]。

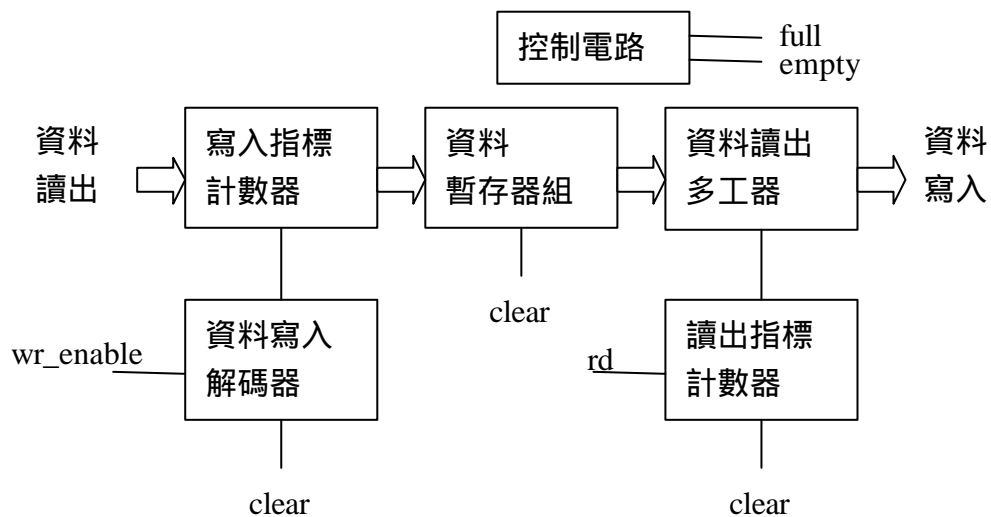


圖 5.2.3 FIFO 內部基本方塊圖

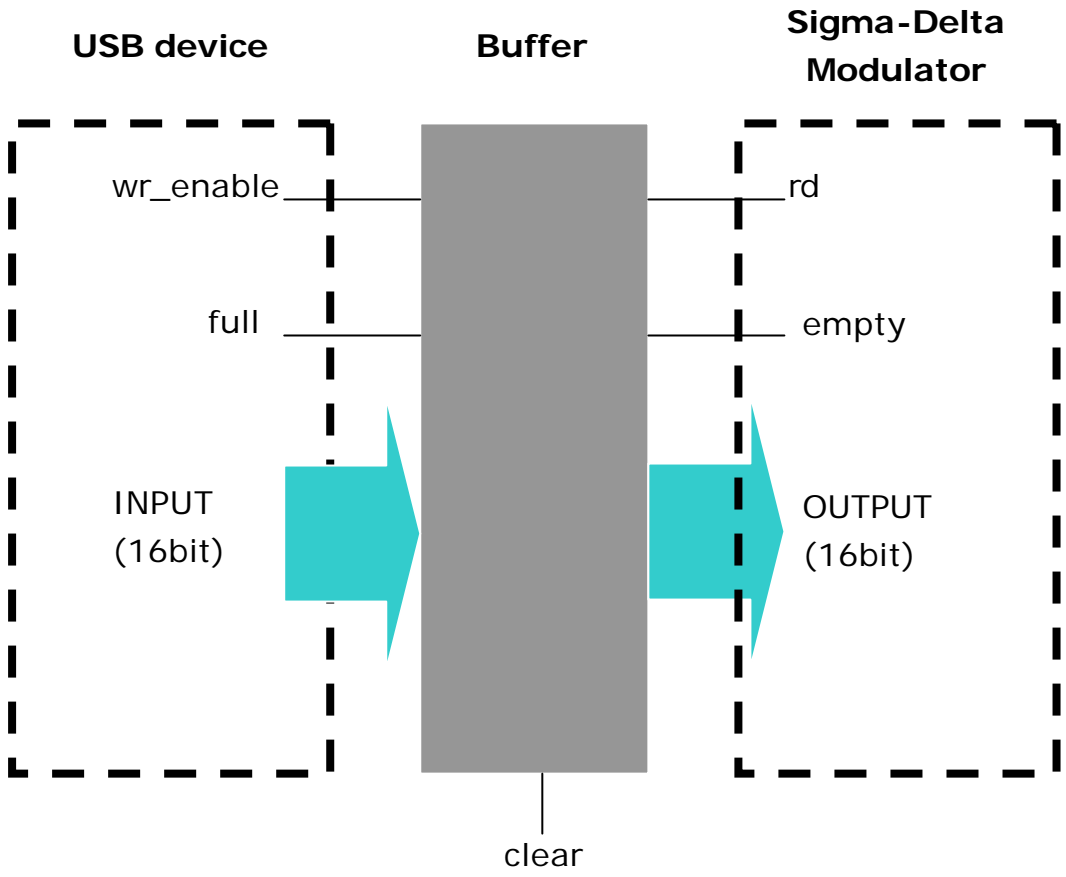


圖 5.2.4 buffer 方塊的 I/O

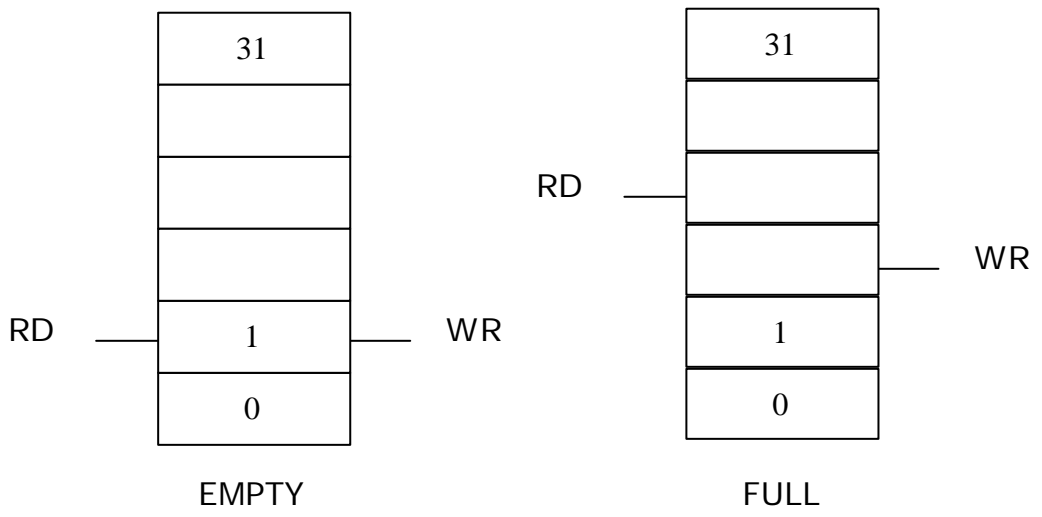


圖 5.2.5 空、滿的 buffer 方塊示意圖

## 2.Sigma-Delta Modulator 方塊

四階的 SDM 架構，以本論文第 3.3 節範例二的设计参数表 3.3.2，以 16bit 的精确度实现。将系数乘以 32768，小数点以下无条件舍去，即为实作 16bit 系数表 5.2.1。

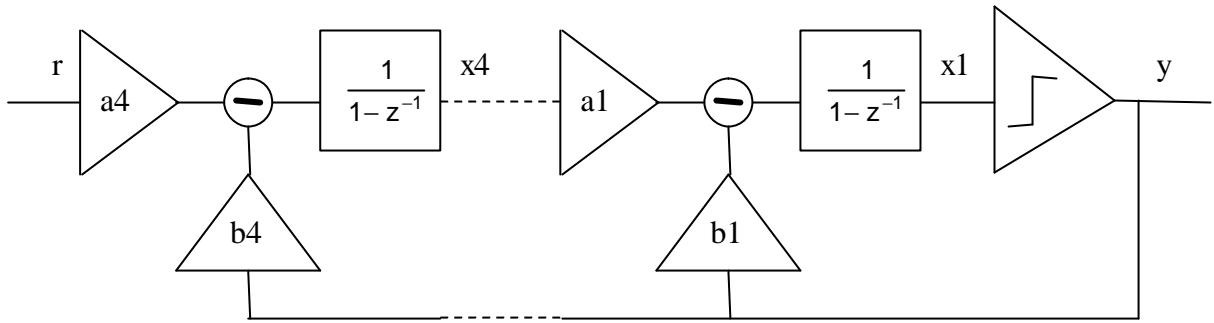


圖 5.2.6 四階 SDM 架構圖

表 5.2.1 實作四階 SDM 之 16bit 係數

$a_1 = 4CCC_{(HEX)}$	$a_2 = 1D70_{(HEX)}$	$a_3 = 10A3_{(HEX)}$	$a_4 = 066C_{(HEX)}$
$b_1 = 5999_{(HEX)}$	$b_2 = 31A9_{(HEX)}$	$b_3 = 27F6_{(HEX)}$	$b_4 = 1A36_{(HEX)}$

以 FPGA 實現四階 SDM，需要八個 16bit 乘法器、四個 16bit 減法器、四個 16bit 加法器和一個 16bit 比較器，將其包為一 SDM.vhdl，如圖 5.2.9 的 SDM 方塊。其中乘法運算方塊，計算結果只取有效的 high 16bit，剩下的 bit 無條件捨去。乘法器、減法器、加法器與比較器之間執行的順序，如圖 5.2.7，而所有乘法器要同時乘，所有減法器要同時減，所有加法器要同時加，最後作量化，更新輸出的值。

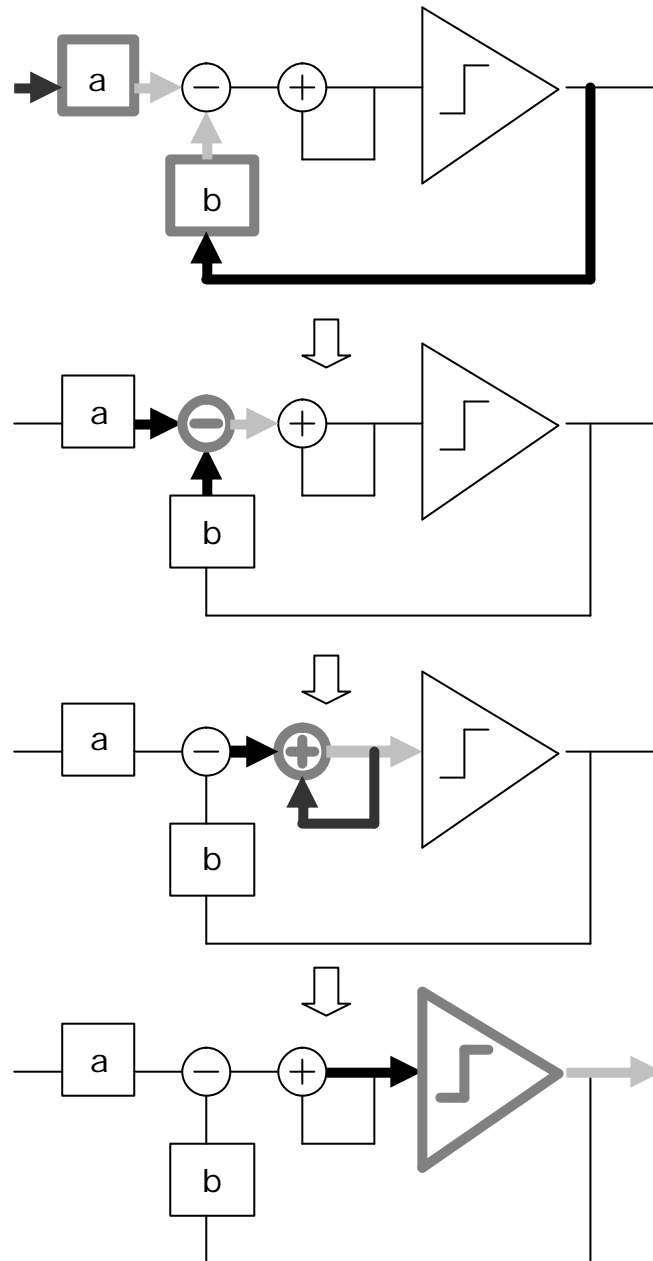


圖 5.2.7 一階 SDM 運作示意圖

1 channel Sigma-Delta Modulator 腳位有 rd、empty、16bit input、clk、clear、output1+與 output1-，如圖 5.2.8。其中 rd 每  $\frac{1}{44.1K}$  秒送一個 pulse，向 buffer 拿一筆新資料。output1+是左聲道的 bit stream，output1-是與 output1+反相的 bit stream。output1+與 output1-為 MOS 的控制訊號。

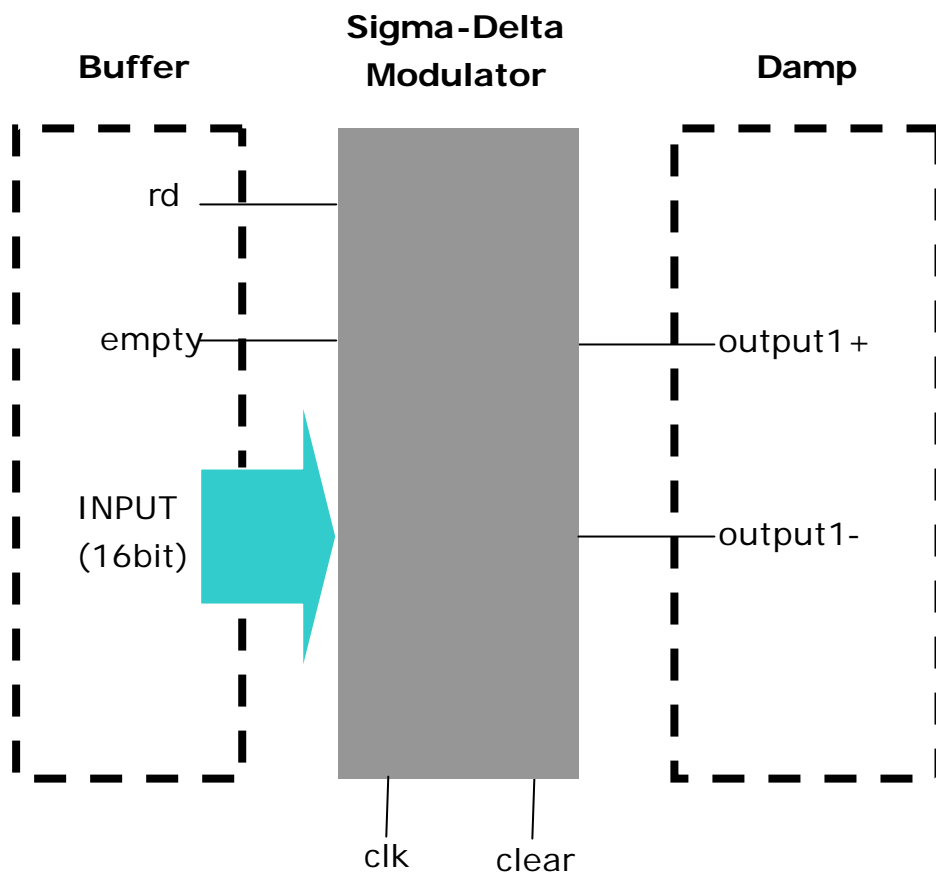


圖 5.2.8 1 channel Sigma-Delta Modulator 方塊的 I/O

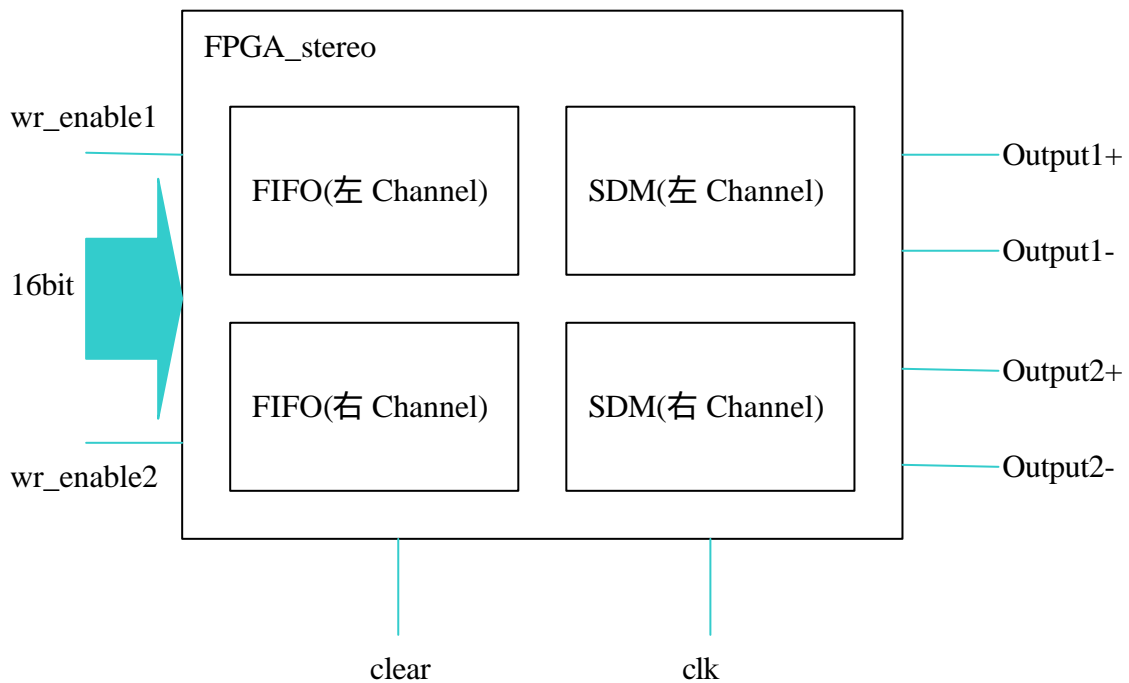


圖 5.2.9 FPGA 實現 2 channel SDM 之 VHDL 架構圖

**\*\* DEVICE SUMMARY \*\***

Chip/ POF	Device	Input Pins	Output Pins	Bidir Pins	Memory Bits	Memory % Utilized	LCs	% Utilized	LCs
fpga_03	EPF10K100ARC240-1	19	100	0	0	0 %	4079	81 %	
User Pins:		19	100	0					

圖 5.2.10 MAX+plus II Compiler Report

以 10K Gates 的 FPGA 實作雙聲道的四階 Sigma-Delta Modulator, clk 頻率為 12MHz, 使用了 81%的 FPGA。

### 5.3 Power Stage

以高速切換的方式, 產生方波, 方波經時間軸的平均, 產生近似的類比訊號。方波放大器, 利用 MOS 作高速的切換。

因為要將 FPGA 輸出的 3.3V 低電壓數位訊號, 放大為電力訊號, 如果數位訊號與電力訊號共地, 數位訊號將受到嚴重的干擾。因此需要將數位訊號與電力訊號作隔離, 利用光耦合器實現。產生切換式的電力訊號, 要用 power MOS, 而光耦合器驅動不了 power MOS, 因此需要一 MOS driver 接收光耦合器訊號, 驅動 power MOS。

### 5.3.1 硬體介紹：光耦合器 6N137

利用光訊號，將訊號端與電力端的完全分隔開。

光耦合器 6N137 特性[20]：

- . Very high speed 10MBit/s
- .  $T_{PLH} = T_{PHL} = 45\text{ns}$  ,  $t_r = 50\text{ns}$  ,  $t_f = 12\text{ns}$
- . supply voltage : 5V
- . sense input high/low voltage : 2V / 0.8 V
- . output high/low voltage : 5V / 0.35V
- . output high current : 100uA
- . AlGaAS LED

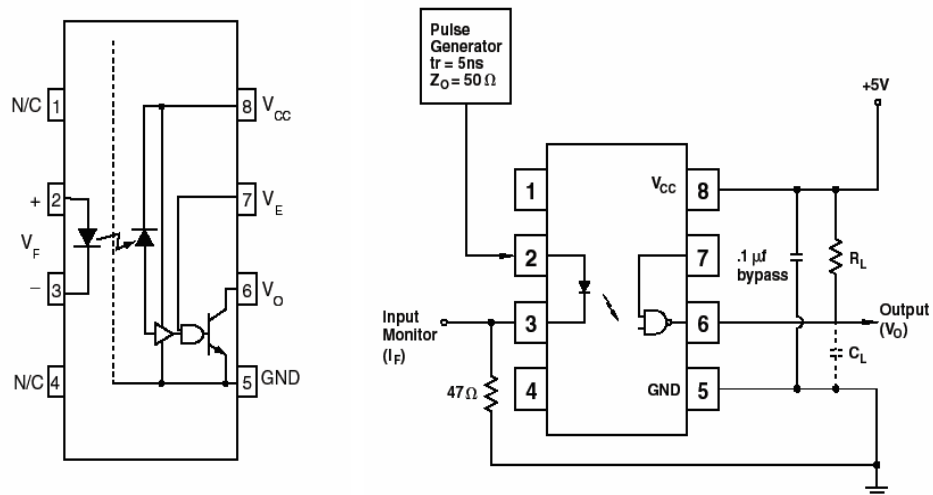


圖 5.3.1 6N137 腳位圖與測試電路



### 5.3.2 硬體介紹：MOS driver ICL7667

接收光耦合器訊號，推動 power MOS。

MOS driver ICL7667 特性[21]：

- $T_{PLH}=T_{D2}=35\text{ns}$  ,  $T_{PHL}=T_{D1}=20\text{ns}$  ,  $t_r=20\text{ns}$  ,  $t_f=20\text{ns}$
- supply voltage : 4.5V to 15V
- sense input high/low voltage : 2V / 0.8 V
- output high/low voltage :  $V_{cc} / 0.05V$

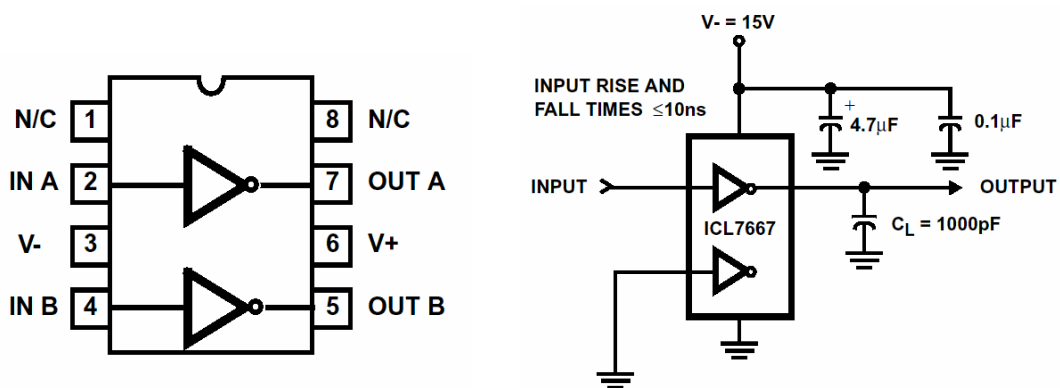


圖 5.3.2 ICL7667 腳位圖與測試電路

### 5.3.3 硬體介紹：power NMOS IRF630

產生電力訊號，驅動音箱。

power NMOS IRF630 特性[22]：

- $T_r=15\text{ns}$  ,  $T_f=12\text{ns}$  ( $V_{CC}=160\text{V}$ 、 $I_D=9\text{A}$ 、 $R_G=4.7$  、 $V_{GS}=10\text{V}$ )
- Max  $I_D=9\text{A}$
- $V_{DS}=\text{upto } 200\text{V}$
- $V_{th}=3\text{V}$
- $R_{DS}=3.5$

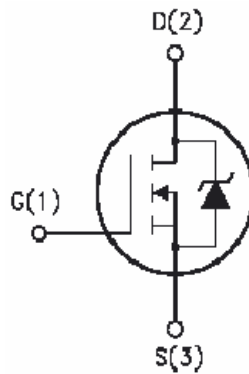


圖 5.3.3 IRF630 腳位圖

### 5.3.4 Power Stage 實作

將光耦合器 MOS driver 與 power MOS 接起來成為全數位化擴大器的 power stage。圖 5.3.4 為連接關係的示意器。

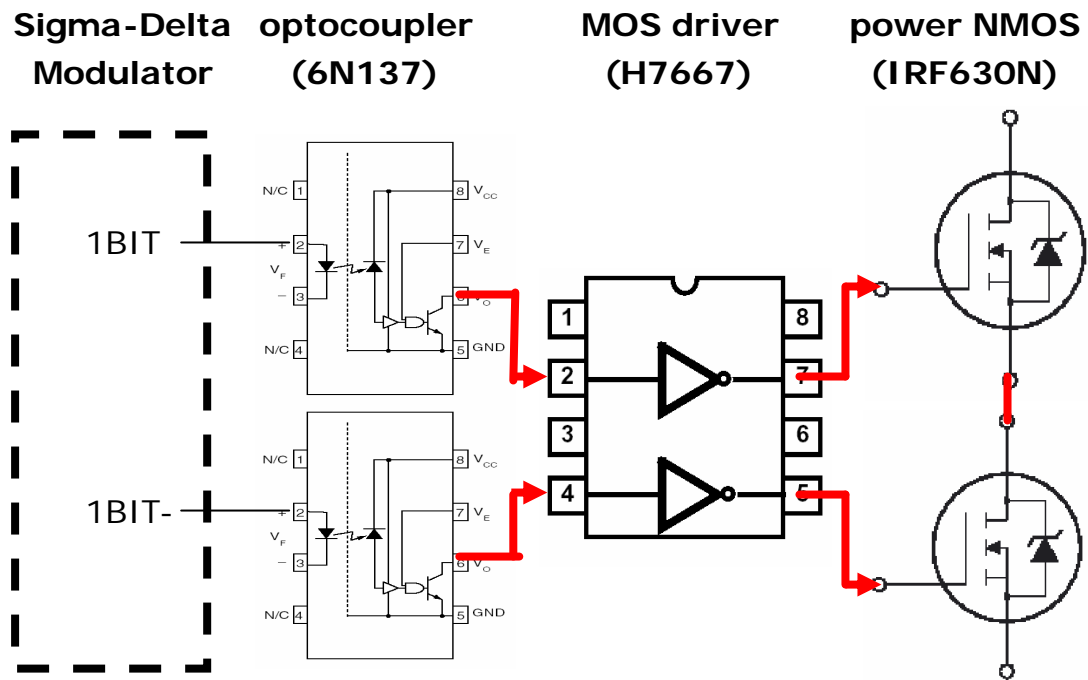


圖 5.3.4 光耦合器、MOS driver 與 power MOS 連接關係

因為當切換頻率為 705.6KHz，其切換週期  $T = \frac{1}{705.6 * 10^3} = 1.42\mu s$ ，由於最短切換週

期只有 1.42 $\mu s$ ，所以使用的光耦合器、MOS driver 與 power MOS 的上升下降時間與反應時間需要低於 1.42 $\mu s * 10\%$ 或更低。

13-Jul-04  
20:32:48

CURSORS

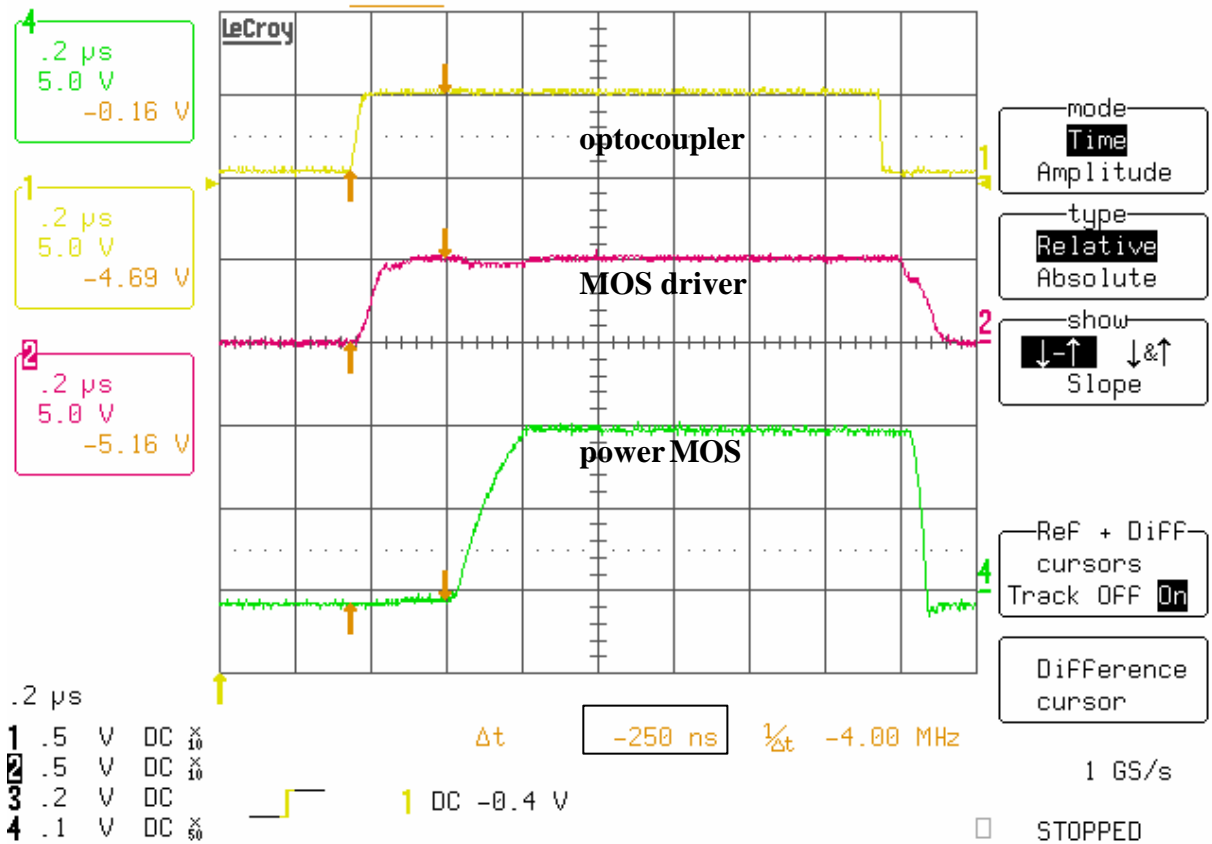


圖 5.3.5 power stage 的 delay time

由上圖可以發現光耦合器的上升、下降時間大約為 50ns 與 15ns , MOS driver 的上升、下降時間大約為 100ns 與 125ns , power MOS 的上升、下降時間大約為 200ns 與 60ns , 上升時間占切換週期的  $\frac{200\text{ns}}{1.42\mu\text{s}} = 14\%$ 。而 power stage 的反應時間約 250ns 與 60ns, 占切換週期的  $\frac{250 - 60\text{ns}}{1.42\mu\text{s}} = 13.4\%$ 。因此取樣頻率只取 705.6KHz power stage 的上升時間、反應時間, 限制了 SDM 設計的上限。

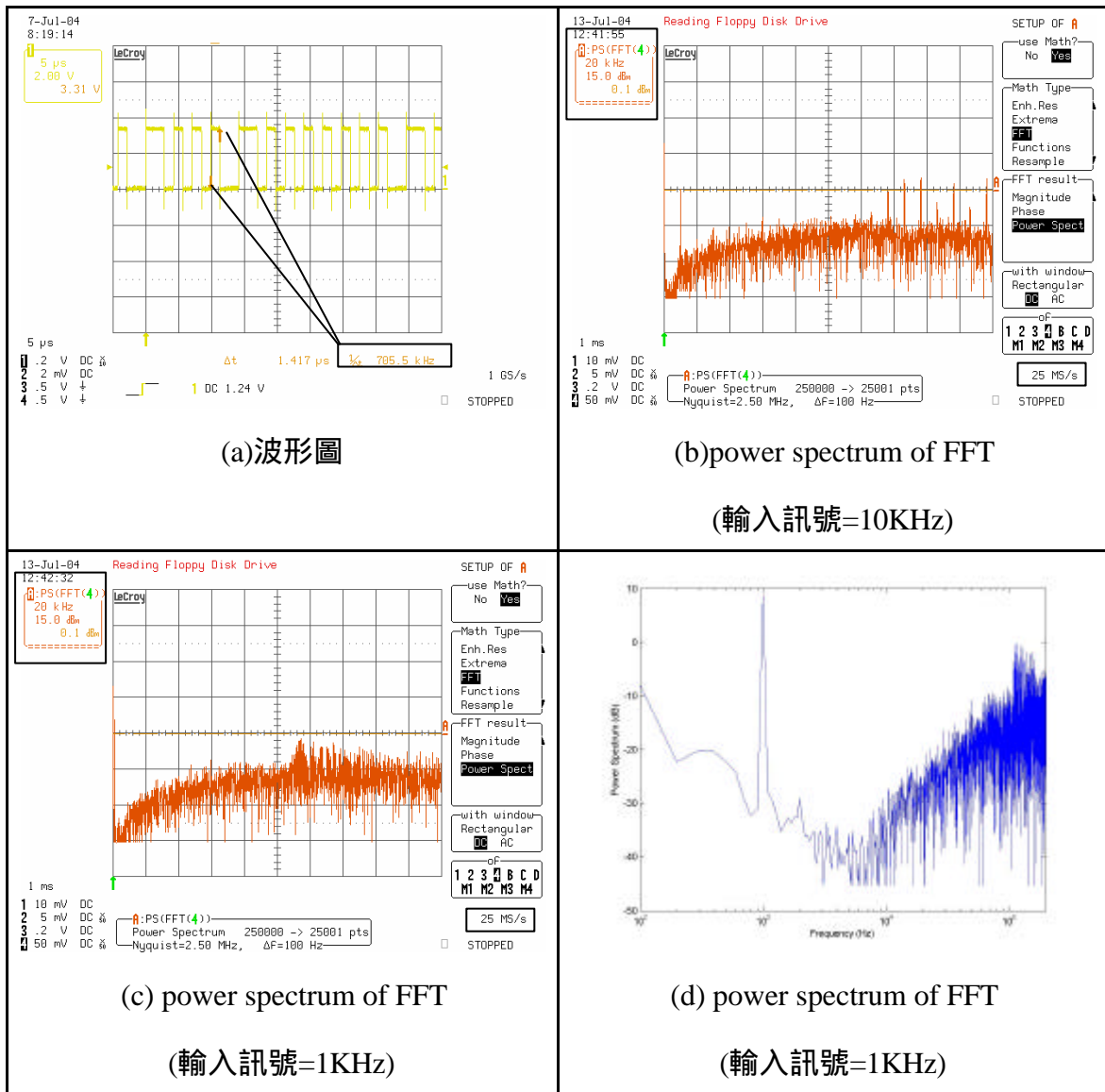


圖 5.3.6 FPGA 的輸出訊號

圖 5.3.6 為測量 FPGA pin 的 single bit 輸出，輸出訊號的切換頻率為 705.6KHz，如圖 5.3.6(a)。圖 5.3.6(b)與(c)分別為輸入 10KHz 與 1KHz 的 16bit 數位訊號，在 20KHz 以內雜訊能量比 20KHz 以外雜訊能量小。圖 5.3.6(c)與(d)完全相同，差別在圖 5.3.6(c)的 x 軸為 linear scale，圖 5.3.6(d)的 x 軸為 log scale。以下圖 5.3.7、圖 5.3.8 與圖 5.3.9 的 scale 都與圖 5.3.6 一樣。

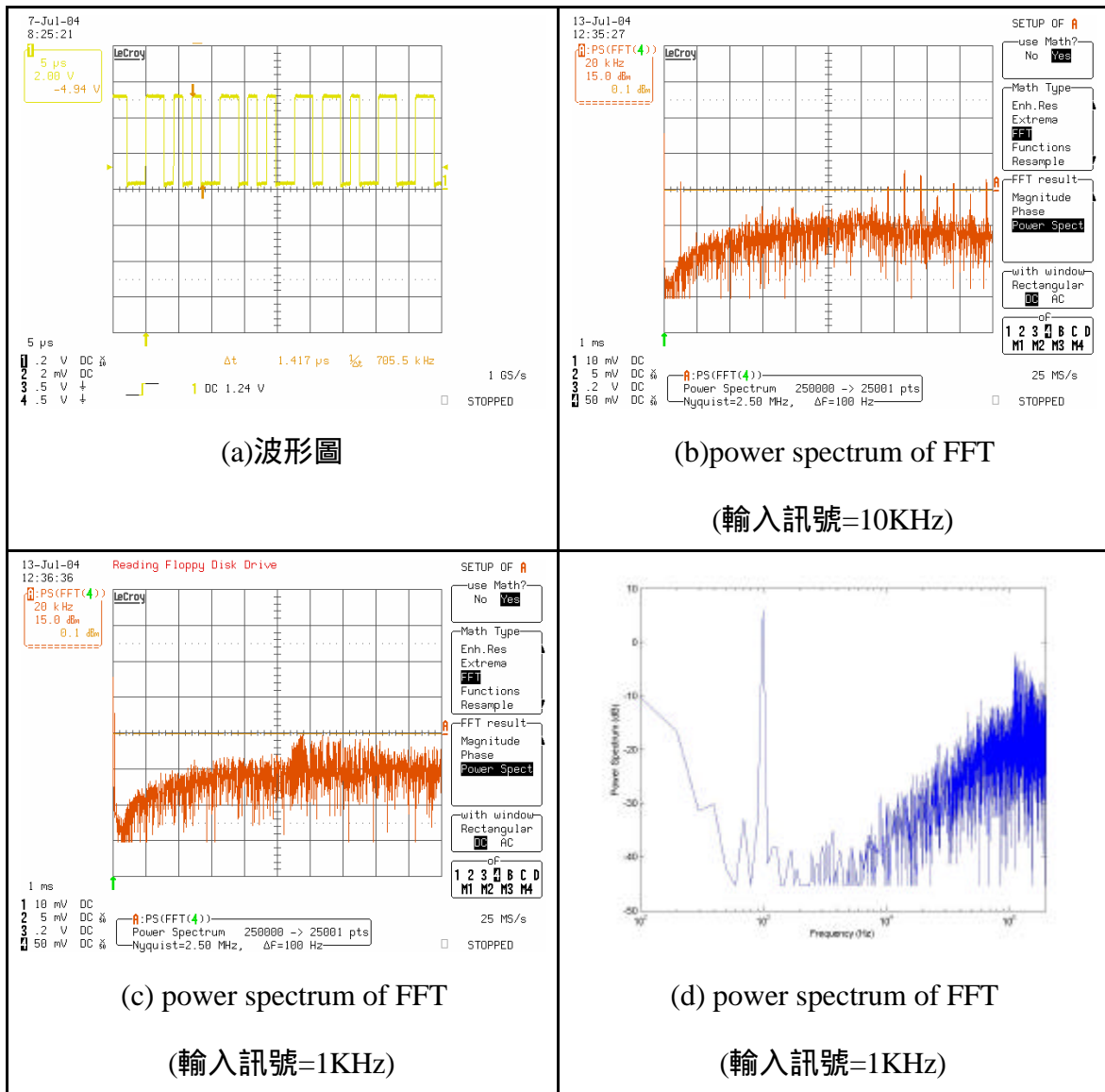


圖 5.3.7 光耦合器的輸出訊號

由圖 5.3.7(a)實作發現，數位訊號經過光耦合器，其輸出波形較 FPGA 數位輸出波形完全，沒有 overshoot。

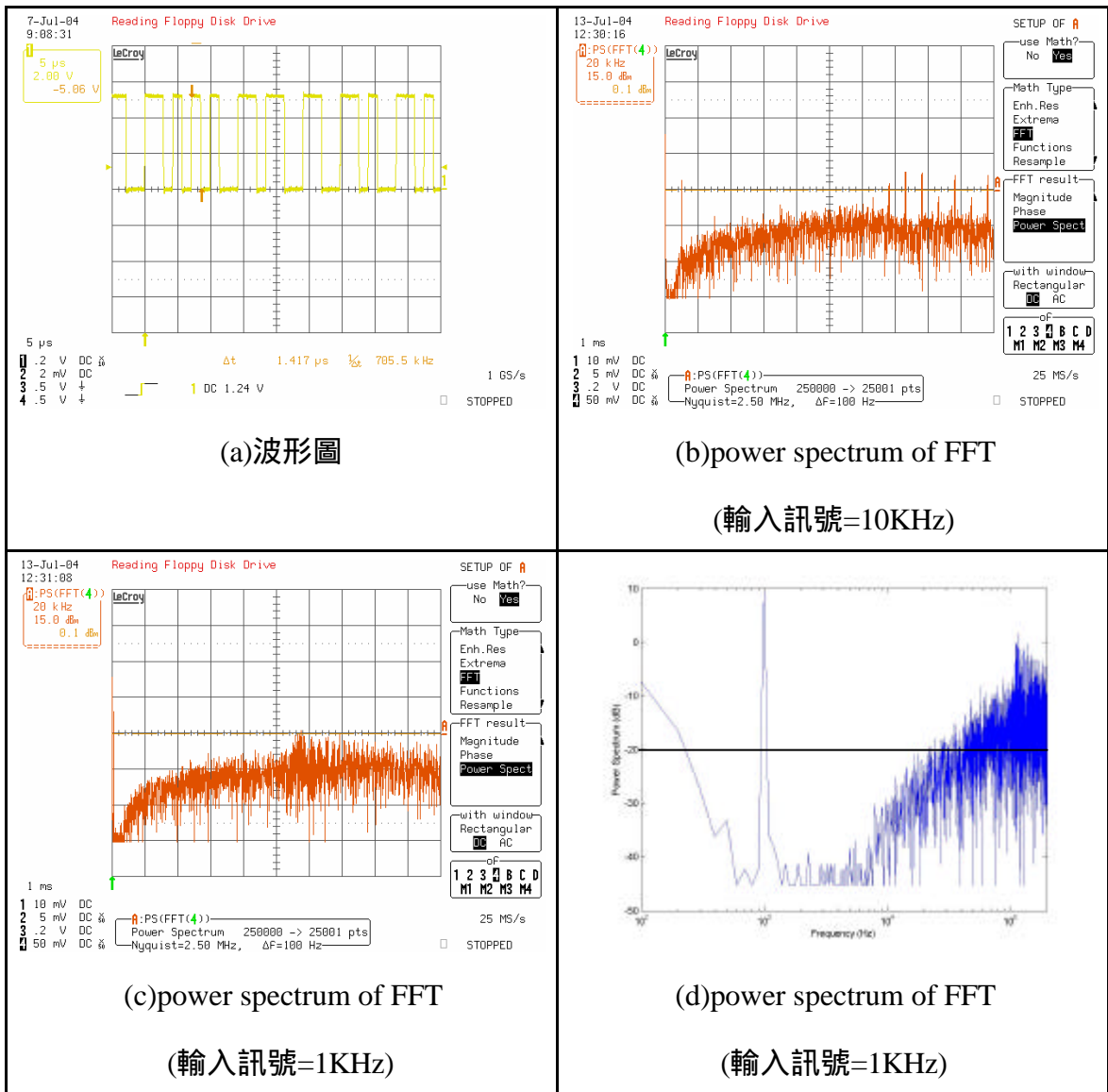


圖 5.3.8 MOS driver 的輸出訊號

由圖 5.3.8，由於選擇高速的 MOS driver，因此其輸出訊號的上升下降時間大約為 100ns。

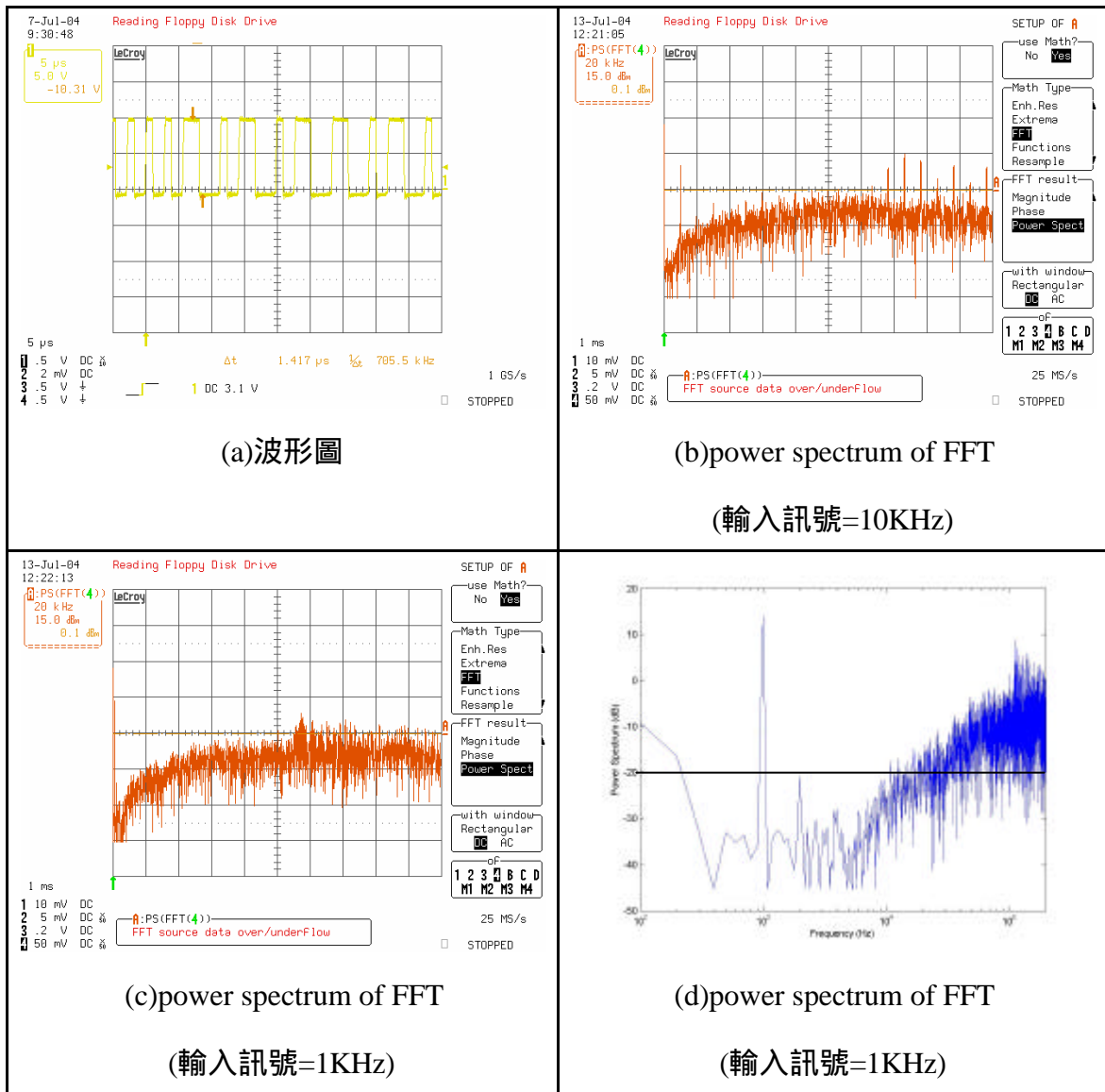


圖 5.3.9 power MOS 的輸出訊號

由圖 5.3.5 power MOS 的上升下降時間大約為 200ns。由圖 5.3.9(d)與圖 5.3.8(d)比較發現，power MOS 影響最後的輸出品質。



Efficient of power stage (1 channel) :

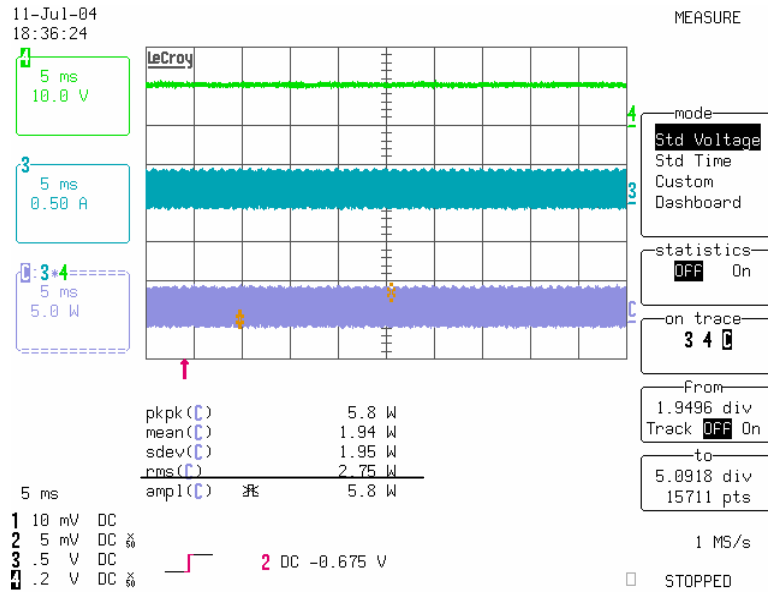


圖 5.3.10 power stage 輸入功率

瞬間輸入功率，量測電源供應器提供的瞬間電流，量測電源供應器提供的瞬間電壓，相乘得到瞬間功率，平均功率為 2.75W，平均輸出電流為 0.275A。

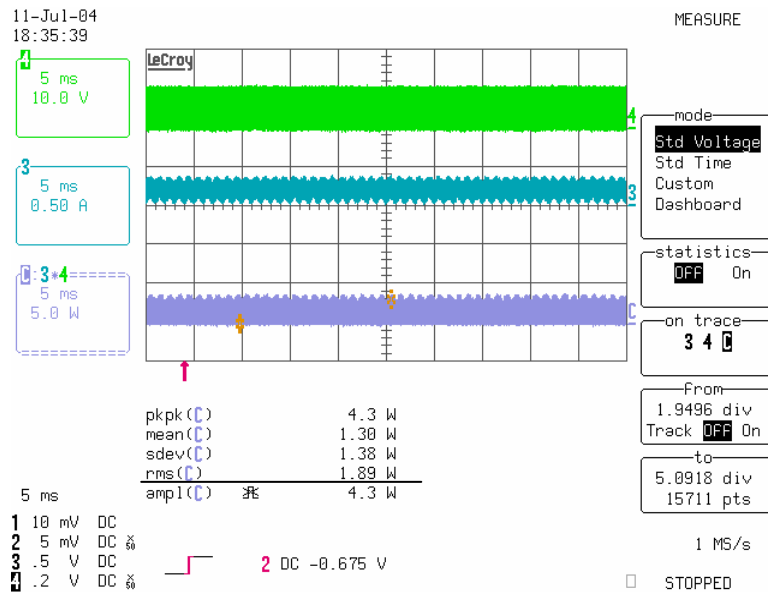


圖 5.3.11 power stage 輸出功率

power stage 瞬間輸出功率，量測 power stage 提供的瞬間電流，量測 power stage 提供的瞬間電壓，相乘得到瞬間功率，平均功率為 1.89W。Efficient of power stage 為  $\frac{1.89W}{2.75W} = 68.7\%$ 。

## 5.4 Low Pass Filter

SDM 會將 noise shape 到高頻，因此根據設計的 SDM，設計相對應的低通濾波器，濾掉高頻雜訊。實作的四階的數位 SDM，其將 noise shape 到 5KHz 以上，因此需要設計一低通濾波器，將 5KHz 以上的高頻濾除，輸出到音箱。

### 5.4.1 Lowpass filter 實作

二階 Butterworth 低通濾波器，轉移函數為  $\frac{R_1 + R_2}{LCR_1S^2 + (R_1R_2C + L)S + (R_1 + R_2)}$ 。

輸入阻抗 20  $\Omega$ ，負載 8  $\Omega$ （假設喇叭為一純電阻性負載，其阻抗為 8  $\Omega$ ），使用 20W 20 水泥電阻、耐壓 200V 的 4.7uF 電解質電容與最大可通過 5A 的 320uH 電感。

因此實作的二階 Butterworth 低通濾波器，轉移函數為  $\frac{9.33 * 10^8}{S^2 + 3.57 * 10^4 S + 9.33 * 10^8}$ ，

其截止頻率為 5.7KHz。

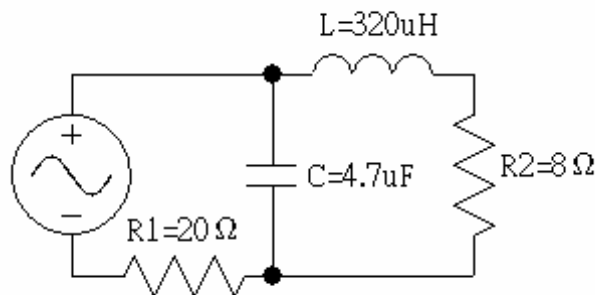


圖 5.4.1 Low Pass Filter 電路圖

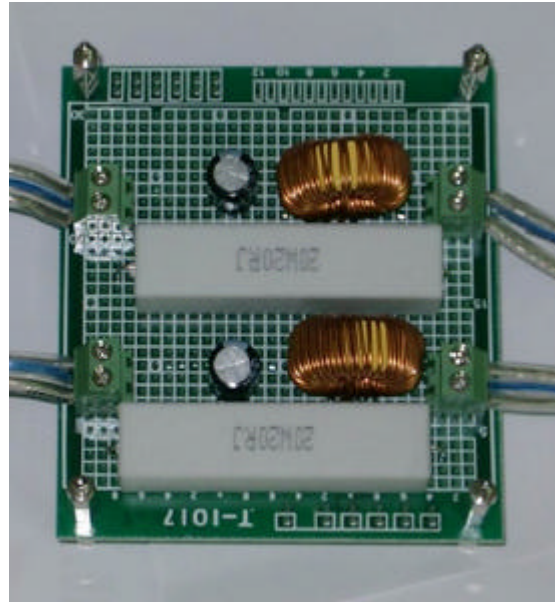


圖 5.4.2 實作二階 Butterworth 低通濾波器

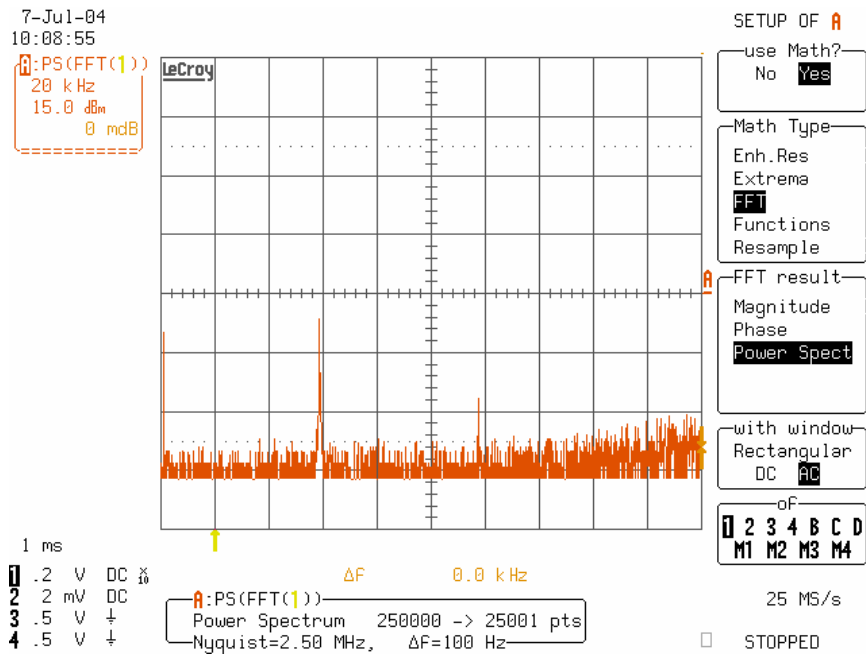


圖 5.4.3 Low Pass Filter 輸出訊號的 FFT 圖(輸入 1KHz 的數位訊號)

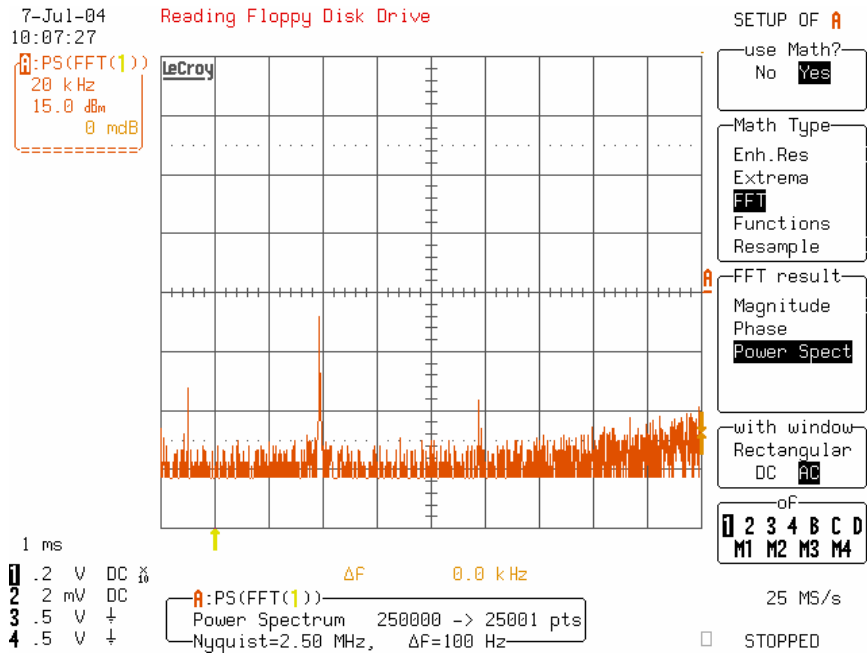


圖 5.4.4 Low Pass Filter 輸出訊號的 FFT 圖(輸入 10KHz 的數位訊號)

由圖 5.4.3 與圖 5.4.4，雖然輸入訊號的能量，因 low pass filter 而降低 10dB 以上，但是音頻內的雜訊約-35dB 以下，與圖 5.3.9 比較，其雜訊約-30dB 以下。利用 low pass filter，使雜訊降低，但同時也濾除訊號的能量。

## 5.5 實作結果

實際測量，計算全數位放大器的 SNR。輸入 1KHz 的 16bit 數位訊號，測量音箱的輸入訊號，normalize 後，與輸入訊號的差，即為雜訊。分別計算輸入訊號與雜訊的 power，其 SNR 為

$$\text{SNR} = 10 \log \left( \frac{\text{signal power}}{\text{noise power}} \right) = 39.8 \text{ dB}$$

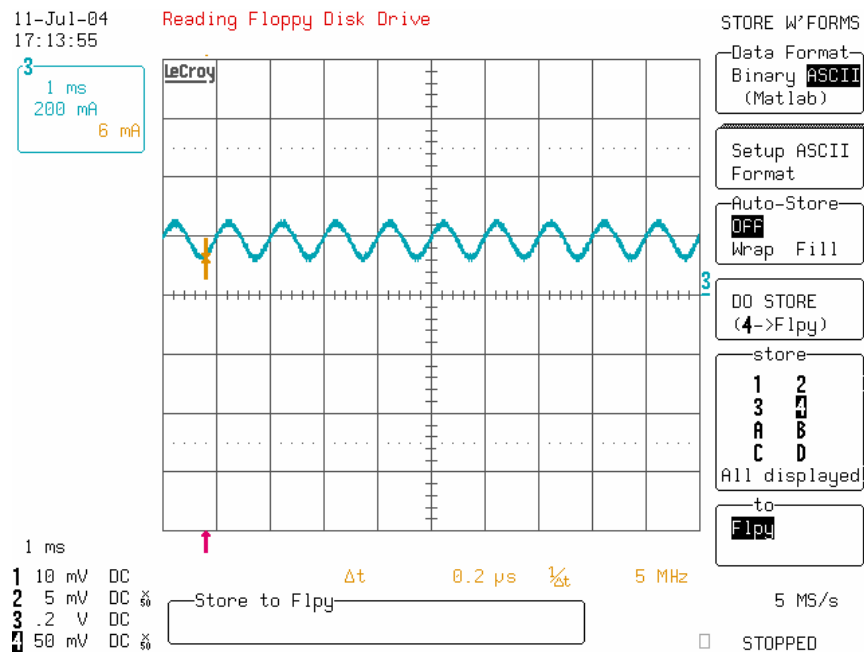


圖 5.5.1 音箱的輸入訊號

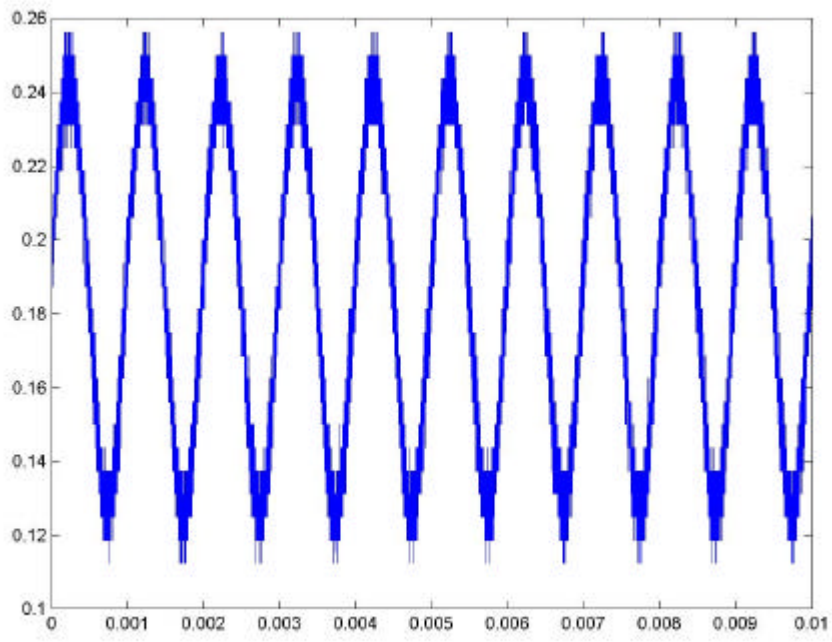


圖 5.5.2 Original output waveform from oscilloscope

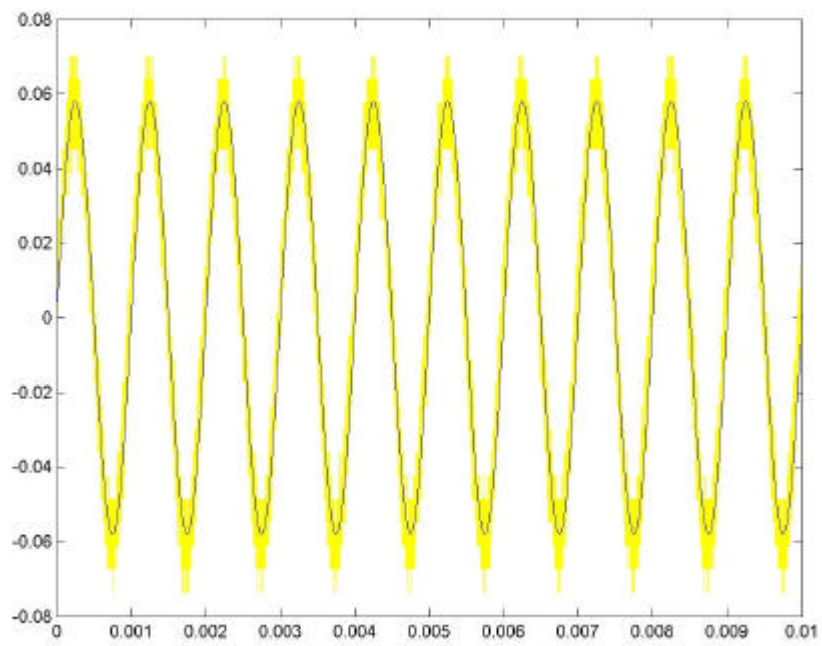


圖 5.5.3 Input and Normalized output signal waveform

## 第六章 結論

以 USB 介面和數位的 Sigma-Delta Modulator，實現了全數位化雙聲道的 D 類音頻擴大器。



圖 6.1 具 USB 介面之雙聲道全數位式音頻放大器

實際量測，以 D 類放大器設計的 power stage，其效率接近 70%，效率上確實較 A 類放大器的 25% 高，較 AB 類放大器 40~60% 高。在 5KHz 的頻寬內，擁有 39.8dB 的訊號雜訊比。

實現的 power stage 為單電源的半橋架構，因此驅動音箱的電流包含直流成份 圖 5.5.1，但是直流電並不能使音箱發聲，形成功率上的浪費。Texas Instruments 有設計一系列切換式的 power stage 應用在 audio 領域[23]。

低通濾波器會消耗掉大部分由 power stage 輸出功率，使得 power stage 70%的效率，並不能完全送到音箱。由於切換頻率的限制，使得設計出來的 SDM 最多只能將 noise shape 到 5KHz 以上，因此需要一低通濾波器將 5KHz 以上的頻率濾除。而低通濾波器的實作，使用一 20  $\Omega$  電阻作為輸入阻抗，造成大部分能量的消耗。若是能提高 power stage 切換頻率，提高設計 SDM 的取樣頻率，能將 noise shape 到 20KHz 以上，那麼將不再需要此低通濾波器。

實作上 power MOS 輸出波形並不完美，在使用相同的 power MOS 的前提下，若繼續提高取樣頻率，方波將更不完美，如何將不完全的訊號作回授給 Sigma-Delta Modulator，是個值得研究的問題。

整總效果在中、低頻不錯。將它應用在 woofer 之類的低頻擴大機，有其效率高、重量輕、體積小優勢。將它應用在攜帶式電子設備，由於輸出功率小，切換頻率相對容易提高，可將 noise shape 到更高的頻帶，獲得更好的音質。可以期待 Sigma-Delta Modulation 被廣為應用在 audio 領域。



## Reference

- [1] F. H. Raab, "Analysis of Idealized Class-D Power Amplifiers," Green Mountain Radio Research Company Continuing Education Seminar, Vermont, 1982.
- [2] H. Nakagaki, N. Amada, S. Inouc, "A High Efficiency Audio Amplifier," J.Audio Eng. Soc., Vol. 31, No. 6, pp. 984-993, June 1983.
- [3] P. H. Mellor, S. P. Leigh, and B.M.G.. Cheetham, "Digital Signal Process for Audio Class D, Pulse Width Modulated Power Amplifiers," Electronics Letter, vol.28, no.1, pp. 56-58, January 1992.
- [4] PERVEZ M. AZIZ, HENRIK V. SORENSEN, and JAN VAN DER SPIEGEL, "An Overviwe of Sigma-Delta Converters," IEEE SIGNAL PROCESSING MAGAZINE, pp. 64-84, January 1996.
- [5] Shang-Hwua Yu and Jwu-Sheng Hu, "Sigma-Delta modulators operated in optimization mode," IEEE International Symposium on Circuits and Systems, May 2004.
- [6] Ned Mohan, Tore M. Undeland, and William P. Robbins, *Power electronics: converters, application, and design*, Translated by 江炫樟, 台北, 1975.
- [7] Bah-Hwee Gwee, J. S. Chang, and V. Adrian, Haryanto Amir, "A Novel Sampling Process and Pulse Generator for a Low Distortion Digital Pulse-Width Modulator for Digital Class D Amplifiers," Proceedings of the 2003 International Symposium on Circuits and Systems, Vol. 4, pp. 504-507, May 2003.
- [8] (2001, November). ", " Texas Instruments,  
[Online]. Available:<http://focus.ti.com/docs/prod/folders/print/tas5100.html>
- [9] J. F. Schouten, F. de Jager, and J. A. Greefkes, "Delta modulation, a new modulation system for telecommunication," Philips Technical Review, vol. 13, no. 9, pp. 257-266, March 1952.
- [10] H. Inose and Y. Yasuda, "A unity bit coding method by negative feedback," Proceeding of the IEEE, pp. 1524-1535, November 1963.
- [11] (2004, June). "24-Bit High Speed 8-/16-Channel Delta Sigma ADCs with Selectable Speed/Resolution," LINEAR TECHNOLOGY,  
[Online]. Available:<http://www.linear.com/prod/datasheet.html?datasheet=1111>
- [12] (2001, March). ", " Texas Instruments,  
[Online]. Available:<http://focus.ti.com/docs/prod/folders/print/pcm1608.html>
- [13] P. Caldeira, R. Liu, D. Dalal, and W.J. Gu, "Comparison of EMI performance of PWM and resonant power converters," IEEE Power Electronics Specialists Conference 1993, pp. 134-140, June 1993.
- [14] Steven R. Norsworthy, Richard Schreier, and Gabor C.temes, *Delta-Sigma Data Converters*, IEEE Press, New York, 1997.

- [15] Shiang-Hwua Yu and Jwu-Sheng Hu, "Exact Analysis and Design of Sigma-Delta Modulators," Department of Electrical and Control Engineering National Chiao Tung University, September 2002.
- [16] Alan V. Oppenheim and Ronald W. Schaffer, *DISCRETE-TIME SIGNAL PROCESSING*, Prentice-Hall, New Jersey, 1989.
- [17] Geer Knapen. (1998, March). "Universal Serial Bus Device Class Definition for Audio Devices," USB Implementers Forum,  
[Online]. Available:[http://www.usb.org/developers/devclass\\_docs/audio10.pdf](http://www.usb.org/developers/devclass_docs/audio10.pdf)
- [18] 許永和, *8051 微處理機程式設計*, 匯高出版社, 台南, 2003.
- [19] 林傳生, *使用 VHDL 電路設計語言之數位電路設計*, 儒林圖書有限公司, 新竹, 1998.
- [20] (2004, July). "High Speed Optocoupler, 10 Mbd," VISHAY,  
[Online]. Available:<http://www.vishay.com/docs/82584/82584.pdf>
- [21] (2002, February). "DS0026 Dual High-Speed MOS Driver," National Semiconductor,  
[Online]. Available:<http://www.national.com/ds.cgi/DS/DS0026.pdf>
- [22] (1999, August). "N-channel TrenchMOS transistor," Philips Semiconductors,  
[Online]. Available:[http://www.semiconductors.philips.com/acrobat/datasheets/IRF630\\_S\\_1.pdf](http://www.semiconductors.philips.com/acrobat/datasheets/IRF630_S_1.pdf)
- [23] (2004, March). "DIGITAL AMPLIFIER POWER STAGE," Texas Instruments,  
[Online]. Available:<http://www-s.ti.com/sc/ds/tas5121.pdf>