

國立交通大學

電機與控制工程學系

碩士論文

可用於訊號處理之 G_m -C 可程式

類比陣列晶片設計

The chip design of G_m -C based field programmable
analog array for signal processing

研究生：劉笠勳

指導教授：張隆國 博士

中華民國九十三年六月

可用於訊號處理之 G_m -C 可程式

類比陣列晶片設計

The chip design of G_m -C based field programmable
analog array for signal processing

學 生：劉笠勳

Student : Li-Hsun Liu

指導教授：張隆國 博士

Advisor : Dr. Lon-Kou Chang



A Thesis

Submitted to Institute of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

June 2004

Hsinchu, Taiwan, Republic of China

中華民國九十三年六月

可用於訊號處理之 G_m -C 可程式 類比陣列晶片設計

研究生：劉笠勳

指導教授：張隆國

國立交通大學電機與控制工程研究所

摘要



本論文旨在提出並分析了一種適用於工業控制用途的可程式類比陣列 (FPAA) 設計概念，大致上整體電路乃是經由可配置類比方塊 (CAB) 與連線網路兩要素所構成，所以 FPAA 能夠透過規劃以上兩項基本單元來建構出所需的類比函數，使得本系統的最大優點即在於可將類比電路設計提升至系統層次。為了增加 CAB 本身的工作頻率，採用了屬於電流傳遞模式的 G_m -C 技術來達成此目的，並以具可規劃性的轉導器與電容為其主要構成元件。另外文中也將會討論利用負迴授理論來改善轉導器線性度的有效策略，並配合能夠穩定轉導值與電容值比例的頻率校正電路，來共同有效地增進系統效能。最後，由於每個 CAB 都能用於實現擁有兩組輸入與一組輸出的一階濾波器並符合 TSMC 0.35 μ m Mixed-Signal 2P4M (3.3/5V) 製程參數，所以只要將多組 CAB 相互結合後便能得到較為複雜的高階濾波器。

The chip design of G_m -C based field programmable analog array for signal processing

Student : Li-Hsun Liu

Advisor : Dr. Lon-Kou Chang

Institute of Electrical and Control Engineering

National Chiao Tung University

ABSTRACT



In this thesis, a field programmable analog array (FPAA) applicable for industrial control is presented and analyzed. The whole system is composed of configurable analog blocks (CABs) and interconnection network. Through programming the two circuit groups above, FPAA can be reconfigured to implement many desired analog functions along system level. Each CAB consists of three programmable operational transconductance amplifiers and capacitors. The current mode G_m -C technique is used to increase operating frequency. In this thesis, the strategy used to modify the linearity of tranconductor through negative feedback method is proposed to improve the linearity performace. In addition, a circuit based on frequency tunuing is also considered to obtain the precise ratio of transconductance and capacitance. The proposed CAB is designed to realize a first-order filter with two inputs and one output, so the combination of CABs can implement a more complex high-order filter. Finally, the entire procedure of design is set to match the parameters of TSMC 0.35 μ m Mixed-Signal 2P4M (3.3/5V) process.

誌謝

本論文能順利完成，首先要感謝指導教授張隆國 博士的悉心照顧與教誨，不僅使我在研究生兩年生涯中得以成長茁壯，更有如黑暗中的燈塔般使我在茫茫學海中不致迷失方向。感謝老師的指導方使本論文得以順利完成，在此表示最誠摯的謝意。

另外感謝口試委員李祖添 博士與廖德誠 博士給予本論文的斧正以及建議，使得本論文更加地完整以臻於盡善盡美。

感謝實驗室陪我度過困難的朋友們，包括銘裕學長、晏銘學長、致暉學長、銘信學長、平修、偉仁、建仁、志偉、如璇、嘉偉、鵬宇與其他同窗好友，謝謝你們陪我度過這多采多姿的生活。

最後要感謝一直在背後默默支持我的家人與女友，尤其是我所敬愛的雙親，來自於他們的愛護與關心使得每一天都成為美麗的奇蹟，並讓我能夠全心全意地專注於功課與研究工作上。願將此榮耀和喜悅與我的家人一起分享。

謹將本論文獻給所有關心我的人！

劉笠勳

謹誌於交通大學 815 實驗室

中華民國九十三年六月

目錄

中文摘要.....	i
英文摘要.....	ii
誌謝.....	iii
目錄.....	iv
圖例.....	vii
表格.....	xi
第一章 緒論.....	1
1.1 研究背景與動機.....	1
1.2 研究目的.....	3
1.3 研究方法.....	4
1.4 論文架構.....	5
第二章 可程式類比陣列之回顧與探討.....	7
2.1 前言.....	7
2.2 G_m -C 之建構單元-轉導器.....	7
2.2.1 轉導器的原理與分析.....	8
2.2.2 動態源極退化轉導器.....	9
2.2.3 定偏壓電晶體轉導器.....	12

2.2.4	浮動電壓源轉導器.....	14
2.3	以 G_m -C 技術為基礎之濾波器設計.....	16
2.3.1	轉導器模擬之電阻與電感.....	17
2.3.2	G_m -C 積分器.....	19
2.3.3	G_m -C 一階及二階濾波器.....	20
2.3.4	高階濾波器之合成.....	22
2.4	G_m -C 電路之可程式化策略.....	23
2.4.1	電流鏡陣列.....	24
2.4.2	類比開關陣列.....	25
第三章	可程式類比陣列之設計與模擬.....	29
3.1	前言.....	29
3.2	整體電路系統架構.....	29
3.3	可配置類比方塊設計.....	31
3.3.1	電路架構.....	31
3.3.2	轉導器設計.....	33
3.3.3	米勒積分器設計.....	40
3.4	能隙參考電壓與偏壓電路設計.....	42
3.4.1	能隙參考電壓設計.....	43
3.4.2	偏壓電路設計.....	46
3.4.3	定轉導放大器設計.....	49
3.5	頻率校正電路設計.....	50
3.5.1	主體校正電路設計.....	51
3.5.2	震盪器電路設計.....	53
3.6	輸出級電路設計.....	56
3.7	開關控制電路設計.....	61

第四章	可程式類比陣列之應用規劃與佈局	66
4.1	前言	66
4.2	各式濾波器之實現.....	66
4.2.1	一階濾波器之規劃.....	67
4.2.2	二階濾波器之規劃.....	73
4.3	電路佈局結果.....	75
4.3.1	元件佈局方式.....	76
4.3.2	系統佈局結果.....	78
4.4	人機介面控制軟體.....	79
第五章	結論與未來展望	81
5.1	結論	81
5.2	未來展望	83
參考文獻	84



圖例

圖 1.1	FPAA 數位控制訊號示意圖	2
圖 2.1	轉導器之等效電路符號	9
圖 2.2	傳統式轉導器電路圖 (a) 原型 (b) 改良型	10
圖 2.3	定偏壓電晶體轉導器電路圖	13
圖 2.4	多輸出端轉導器之簡化圖	14
圖 2.5	浮動電壓源轉導器電路圖	14
圖 2.6	使用源極隨耦器之浮動電壓源轉導器電路圖	15
圖 2.7	數位類比製程之相互時程表	18
圖 2.8	轉導器模擬被動元件圖 (a) 電阻 (b) 電感	18
圖 2.9	全差動式 G_m -C 積分器電路圖 (a) 雙端浮接電容 (b) 單端浮接電容	20
圖 2.10	一階類比濾波器之訊號流程圖	21
圖 2.11	G_m -C 一階類比濾波器電路圖	21
圖 2.12	二階類比濾波器之訊號流程圖	22
圖 2.13	串接合成之高階濾波器	22
圖 2.14	電流鏡陣列	24
圖 2.15	CMOS 開關 (a) 電路圖 (b) 等效導通電阻	26
圖 2.16	改變訊號極性之開關	27
圖 2.17	切換訊號路徑之開關	27
圖 2.18	電容陣列	28

圖 3.1	FPAA 系統架構圖	30
圖 3.2	可配置類比方塊 (CAB) 電路圖	32
圖 3.3	可配置類比方塊 (CAB) 之訊號流程圖	32
圖 3.4	非線性系統之輸出入特性曲線	34
圖 3.5	二階非線性系統之負迴授模型	34
圖 3.6	負迴授改良型轉導器電路圖	36
圖 3.7	轉導器之小訊號半電路圖	37
圖 3.8	改良前後之轉導值比較圖	39
圖 3.9	經開關規劃後之四種不同轉導值	40
圖 3.10	傳統米勒積分器電路圖 (a) 基本型 (b) 改良型	41
圖 3.11	米勒積分器電路圖	41
圖 3.12	米勒積分器之小訊號半電路圖	42
圖 3.13	能隙參考電路圖	44
圖 3.14	能隙參考電壓與溫度變化圖	44
圖 3.15	能隙參考電壓與電源電壓變化圖	45
圖 3.16	共模電壓電路圖	45
圖 3.17	共模電壓與溫度變化圖	46
圖 3.18	詳細偏壓電路圖	47
圖 3.19	電流源 I_n 與輸出電壓變化圖	48
圖 3.20	遠距離電流源偏壓電路圖	48
圖 3.21	定轉導放大器電路圖	49
圖 3.22	頻率校正電路圖	51
圖 3.23	積分器增益圖	52
圖 3.24	不同參考頻率之校正電壓圖	53
圖 3.25	震盪器電路圖	53
圖 3.26	波形產生器之等效電路圖	54

圖 3.27	波形產生器之簡化電路圖	54
圖 3.28	單端震盪訊號電壓圖	55
圖 3.29	雙端震盪訊號電壓圖	56
圖 3.30	互補式 AB 類輸出級電路圖	56
圖 3.31	誤差放大器電路圖	57
圖 3.32	誤差放大器之頻率響應圖	59
圖 3.33	整體輸出級之頻率響應圖	60
圖 3.34	整體輸出級之步級響應圖	60
圖 3.35	整體輸出級之總諧波失真曲線圖	60
圖 3.36	輸出入差動電壓波形圖	61
圖 3.37	單一位元之正緣觸發 D 型正反器 (a) 邏輯電路圖 (b) 方塊圖	62
圖 3.38	多位元之位移暫存器	62
圖 3.39	3 級位移暫存器之波形模擬圖	63
圖 3.40	CRC 等效電路表示圖	64
圖 4.1	一階濾波器電路圖	68
圖 4.2	一階濾波器增益圖 (改變直流增益)	69
圖 4.3	一階濾波器相位圖 (改變直流增益)	70
圖 4.4	一階濾波器增益圖 (改變極點位置)	70
圖 4.5	一階濾波器相位圖 (改變極點位置)	71
圖 4.6	比例控制器電路圖	71
圖 4.7	積分控制器電路圖	72
圖 4.8	比例控制器之波德圖	72
圖 4.9	積分控制器之波德圖	73
圖 4.10	二階濾波器電路圖	73

圖 4.11	二階濾波器增益圖 (改變 ζ)	75
圖 4.12	二階濾波器相位圖 (改變 ζ)	75
圖 4.13	電阻佈局示意圖	76
圖 4.14	BJT 佈局示意圖	77
圖 4.15	整體 FPAA 電路佈局圖	78
圖 4.16	人機介面控制軟體外觀	79



表格

表 2.1	SC 與 G_m -C 技術之比較表	8
表 2.2	二進位碼與溫度計碼之對應關係	25
表 3.1	CRC 執行步驟	65



第一章

緒論

1.1 研究背景與動機

近年來隨著硬體電路與電子設計自動化 (EDA) 軟體的快速進步，數位可程式化元件的使用需求日趨頻繁，如 PLD、CPLD 與 FPGA 等所具有的可重複規劃性與功能多樣性之特點，使其成為電路中重要標準設計元件，並為邏輯電路帶來了革命性影響。此外由於半導體製程與系統規模持續地進步擴大，使得數位與類比電路整合至單一晶片上的製程限制不斷被突破[1]，也讓系統單晶片 (SoC) 技術逐漸萌芽成熟，加速了類比電路利用數位控制策略跨入可程式化領域的腳步，所以此概念便具體發展出可程式類比陣列 (Field Programmable Analog Array, FPAA) 的電路實體[2][3]。根據現有文獻，由於 FPAA 具有動態規劃與即時控制的優點，所以目前此系列技術主要應用於類比訊號處理與工業控制用途上，其中包含有類比-數位訊號轉換器、濾波器與閉迴路控制器等方面，提供使用者輕易設計類比電路的機會與擁有規劃彈性的解決方案。

一般而言，FPGA 內部是由許多的可配置邏輯方塊 (Configurable Logic Block, CLB) 所組成，再由使用者根據個別需求變更邏輯方塊所實現的函數和相互間之連線路徑，以達到修改輸出邏輯結果之目的。相似地，可配置類比方塊 (Configurable Analog Block, CAB) 亦是構成 FPAA 之基本元素，同時搭配互聯網路 (Interconnection network) 與輸出入方塊 (I/O block) 建構出整體系統的三大部分。不過由於類比電路用途與應用對象過於廣

泛，單一類比方塊內無法滿足所有類比功能，因此應該針對不同應用方向修改 CAB 內部電路配置以符合需求。整體來說，FPAA 是在類比架構下利用數位訊號控制以達到編程規劃的功能，同時配合完善的介面程式以更改所需要的參數與連線，所以假如某應用系統是由 FPAA 所實現時，即具有以下幾點優勢可供利用：

1. 即時並重複編程功能：由於 FPAA 內部控制電路是以 SRAM 所形成的移位暫存器 (Shift register) 為主，可經由串列 (Series) 傳輸模式與外界做資料溝通而使 FPAA “知道” 如何工作，因此使用者不需瞭解內部電路架構，只要透過適當人機介面程式便可快捷地完成類比電路設計。至於簡單的控制位元示意圖則如下圖 1.1 所示，分為控制可配置類比單元 (CAB) 與連線 (Interconnection) 兩方面。藉由控制訊號可隨意修改的彈性，賦予了 FPAA 活潑的設計生命力，不僅拉長該應用電路之使用週期，也提供了從另一角度切入類比電路設計的機會。

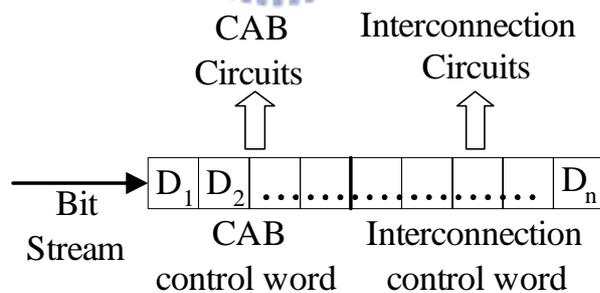


圖 1.1 FPAA 數位控制訊號示意圖

2. 電路設計參數數位化：由於積體電路容易受到製程條件漂移而影響，導致相同電路亦會因佈局或製造方式相異而產生不同結果，尤其對於類比電路而言此效應更加明顯，所以 FPAA 就具有保持電路一致性的優點。另外由於控制電路之參數乃是以數位方式加以儲存，當硬體電路本身因內外環境而產生誤差時，可重新修

正內部電路參數值來加以補償而延長產品使用週期。同時參數值若經由編碼後再附加入檢測資料錯誤的機制，更可確保在通訊及數據儲存過程中的正確性與穩定性。因此善用電路參數數位化以達到硬體電路可攜化將是其主要競爭重點之一，更可避免受到元件漂移與佈局方式的影響。

3. 降低系統設計複雜度：FPAA 的優點即在於使用者可直接從系統觀點出發來規劃電路。例如設計一般濾波器時，不需再從一堆獨立的運算放大器、被動元件等基本零件中進行選擇，而改在友善的人機介面程式中利用圖形接線來完成模型配置與佈線，如此可減少多餘設計時間。另外隨著 DSP 理論的蓬勃發展，雖然使得類比訊號處理的問題可轉用 DSP 方法加以解決，但是額外的前後端 A/D、D/A 電路與先天解析度限制有時卻反而會增加問題複雜度，所以 FPAA 便具有直接對類比訊號作反應而簡化電路的優點。

縱然具有以上優點，不過持平而論，FPAA 仍然隱含著些許瓶頸亟待突破，例如（1）連線規劃需要相當的類比專業技術，以避免開關及導線引起寄生效應。（2）屬於混合訊號式晶片的 FPAA 需要考量數位雜訊影響類比訊號的程度。（3）內部可配置類比方塊利用率的問題。綜合以上所述，雖然 FPAA 目前尚不屬於一般常見的產品，不過相關論文研究已如雨後春筍般相繼發表，並已提出多種有效的電路架構[4][5]，因此大量相關應用將是未來可以預見的。

1.2 研究目的

在瞭解 FPAA 本身優缺點後，就可以進一步奠定未來研究與突破方向。由於 FPAA 基本架構仍是由類比電路所組成，使得許多此領域下所常

面臨的挑戰如頻寬 (Bandwidth)、線性度 (Linearity)、訊號/雜訊比 (S/N ratio) 與頻率響應 (Frequency response) 等都必須加以考量。另外，可程式化功能也隱含著類比方塊使用率的課題，因此如何在有限硬體資源下實現所要求的功能，是未來可深入探討的部分。而本論文將來所發展的研究重點目標可分為以下三點：

1. 整合各基本單元至 CAB 方塊中：為了進一步確定可程式化範圍，必須將各電路單元整合成一小型系統後，定義出電路單元於 CAB 中的配置方式與位置，並規範控制訊號所需的位元數。因此這一步驟將會大大影響往後電路效能與可規劃能力，必須完善考慮。
2. 設計高效能之互聯網路：一般互聯網路皆是利用電晶體開關來完成訊號切換動作，但實際開關上所寄生的電阻、電容會大幅降低其性能，導致FPAA的互聯網路佈局比起FPGA更受限制，因此發展出高效率路徑結構與降低寄生效應敏感度將是這部分的主要貢獻與目的。
3. 建立可程式化之應用架構：首先將本論文所提出的FPAA應用對象設定於工業控制上，並搭配完成的CAB與互聯網路雛形提出基本可靠電路原型後，便可以此為基礎修改整體電路之電氣特性以符合規格需求。

1.3 研究方法

為求本論文具有相當之嚴謹性與完整性，在研究方法上必須有條不紊地遵循固定研究模式，如此一來不僅大幅減少研究方向錯誤的發生機率，亦可期望理論分析與模擬結果趨於一致，以達到兩者相互驗證、相輔相成

之效果。即使最終結果有不合預期者，亦能以此科學方法為基礎，逐步釐清問題所在並加以解決、改進。在整個研究過程中所採用之方法步驟可分為以下幾點：

1. 蒐集整理 FPAA 之相關論文與現有產品資料，以評估符合需要的系統架構與規格。
2. 首先將本系統中各子電路種類加以分類，並嘗試著建立理想情況下的數學模型，以求簡化整體系統設計複雜度，減少模擬發散問題。
3. 將數學模型與模擬所得到的實際情況互相比較，並修正所設計之電路單元與模型。在這過程中，由於非線性效應的影響，經常需要使用到試誤法以逐漸逼近理想設計參數值。
4. 結合各子電路後，完成整體系統前段模擬（Pre-simulation）以驗證系統效能，同時測試可程式化功能之限制，以訂出本系統的工作範圍。
5. 最後將其實現至矽晶片上，為確保 IC 成品能與模擬時一致，在佈局（Layout）結束後必須執行後段模擬（Post-simulation），以將佈局所伴隨的寄生效應列入考慮。

1.4 論文架構

本論文共分為五章：第一章先介紹整個論文研究的動機與目的，並對可程式化系統元件發展背景及應用概況加以介紹，並點出此類型系統所具有的特點，接著針對研究目標與所採取之研究方法與步驟做一說明。第二章回顧過去文獻研究實現 FPAA 所採行的方法，並以 G_m -C 技術為主要探

討對象，同時介紹將其轉換為可程式化的策略。第三章則針對可程式類比陣列中的各子電路方塊加以詳細討論，並分析有效增進電路線性度所採行的方法。第四章著重於利用現有 FPAA 電路資源規劃出常見的一階及二階濾波器，展現出使用本設計擁有即時規劃各項參數的優點。最後第五章對研究成果做出總結，並提出未來的展望與建議。



第二章

可程式類比陣列之回顧與探討

2.1 前言

本章旨在於回顧過去文獻研究實現 FPAA 所採行的方法。綜觀國內外論文研究，已有許多發表成果針對此議題提出電路拓樸，並發展出增進電路效能與可規劃度之解決途徑。因此希望藉由本章建立起電路系統之整體概念，附帶提出完整設計步驟的指導方針，以對 FPAA 應用範圍與系統架構做一完善交代。

第二節主要在分析並探討轉導器電路的工作原理及其可應用的範圍。由於轉導器 (Transconductor) 乃是 G_m -C 電路系統之基本方塊，為求對此元件架構有一初步認識，本節將會提出目前現有的轉導器實現方式。第三節則是以轉導器為基礎來實現一般常見的系統方塊。第四節簡介了如何將可程式化功能引入類比電路，以及各種可程式化策略彼此間相對的差異性，以便分析全類比式電路之缺點並尋求解決之道。

2.2 G_m -C 之建構單元-轉導器

綜觀 FPAA 論文所提出的理論及系統架構，若由訊號傳遞的方式來區別，可分為電壓與電流模式。前者大致以使用運算放大器為基本元件的開關電容技術 (Switched Capacitor, SC) [6] 為主流，而後者則出現較多的分支如轉導電容技術 (Transconductance Capacitor, G_m -C) [7] 與電流傳輸器技

術 (Current conveyor) [8]等。而在提昇動態範圍 (Dynamic range) 的前提下，以電流當作訊號媒介將會是較佳的選擇，另外為了滿足高速工作的特點， G_m -C 技術也已有論文發表出高達 200MHz 的頻寬[9]，所以本論文選擇 G_m -C 架構為主要研究主軸，以下也將只提出與此相關的文獻報告。表 2.1 則整理出 SC 與 G_m -C 技術各自的特點。

表 2.1 SC 與 G_m -C 技術之比較表

	開關電容 (SC)	轉導電容 (G_m -C)
工作模式	電壓	電流
工作頻寬	< 1MHz[10]	< 200MHz[9]
運作方式	訊號取樣 (Sampled data)	訊號連續
型態分類	半類比式	全類比式
規劃方式	電容陣列	轉導器陣列、電容陣列
設計參數	電容比值 (C_1/C_2)	時間常數 (C/G_m)

2.2.1 轉導器的原理與分析

由於轉導器乃是 G_m -C 技術中不可或缺的元素，因此不論在 Bipolar、CMOS 或 BiCMOS 領域中都廣泛地被發表應用，其主要功能在於將輸入電壓轉換為輸出電流，因此可歸納為電壓控制電流源 (Voltage Controlled Current Source, VCCS) 的形式。一般典型的轉導值 (輸出電流除以輸入電壓) 大約位於數十至數百 μ (A/V) 範圍內，並且理想的轉導器應擁有以下幾點特性：

1. 具備無窮大之輸出入阻抗：由於轉導器輸入端為電壓訊號，而輸出端為電流訊號，因此由戴維寧等效電路模型可知當輸出入阻抗

越大時越能避免訊號衰減之缺點，並滿足阻抗匹配的要求。

2. 具備無窮大之工作頻寬：在 G_m -C 技術中，所有訊號處理對象皆是經由轉導器的電流輸出所形成，使得轉導器成為不可避免的訊號路徑之一，因此為提昇整體系統頻寬應盡量避免此元件限制。
3. 具備良好的線性範圍：由於轉導值 (G_m) 乃是輸出入端小訊號之比值，為確保此關係不脫離線性相關，使得定義明確而穩定的轉導值與輸入電壓線性範圍大小成為不可忽視的因素。

由以上幾點特性便可得到轉導器之等效電路符號如圖 2.1 所示。

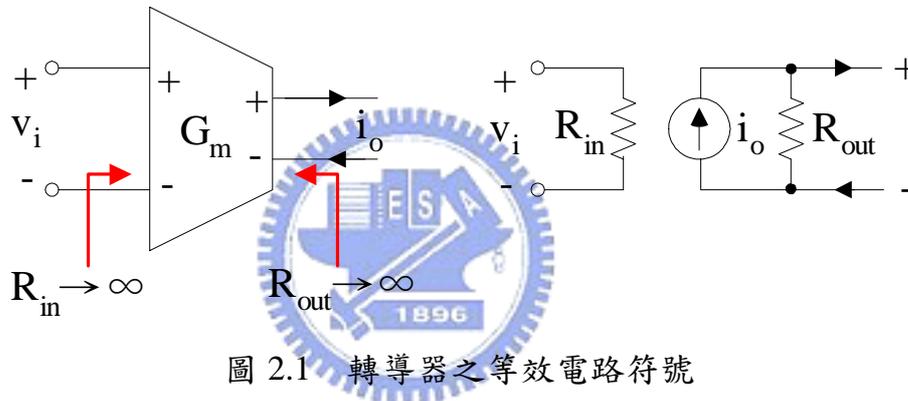


圖 2.1 轉導器之等效電路符號

而上圖之等效轉導值 G_m 可列如下式

$$\frac{i_o}{v_i} = G_m \quad (2.1)$$

此外為了簡化本論文所使用之製程技術，以及整合數位控制訊號於同一晶片上的目標，因此只將轉導器實現技術專注於 CMOS 混合訊號製程技術上，接著以下便提出幾篇較有優勢的實現方法。

2.2.2 動態源極退化轉導器

圖 2.2 (a) 所示乃是最基本的轉導器電路，只使用一組源極耦合差動

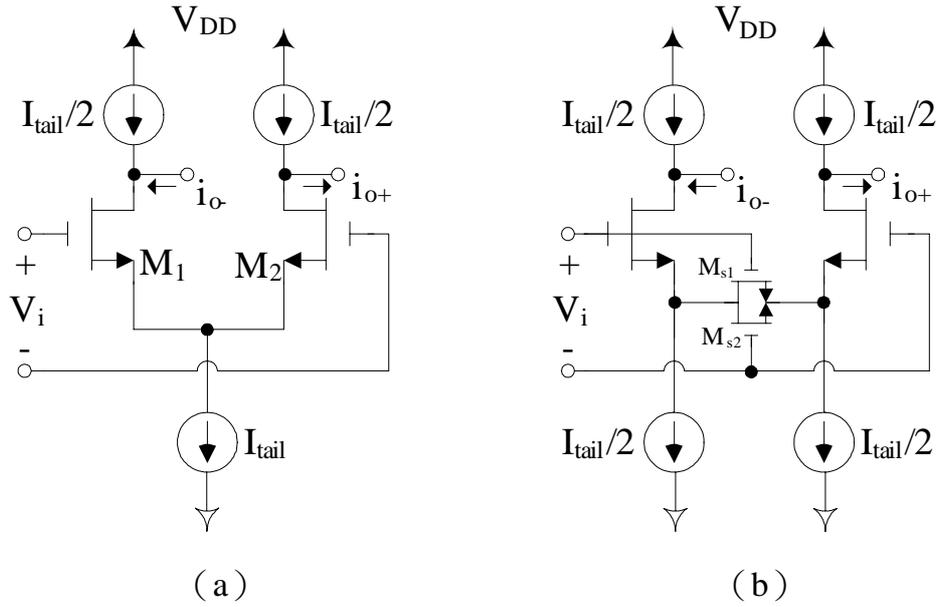


圖 2.2 傳統式轉導器電路圖 (a) 原型 (b) 改良型

對 M_1 、 M_2 來實現電壓轉電流之功能，這樣的架構有利於提昇頻寬。當輸入電壓改變時會造成兩輸入電晶體之 V_{gs} 互不對稱，差動電流 i_o 便因此而產生，由輸入電壓迴路可得

$$V_i - V_{gs1} + V_{gs2} = 0 \quad (2.2)$$

如果輸入電壓並未使 M_1 與 M_2 進入三極管區，則根據飽和區之汲極電流公式可分別得到兩電晶體的 V_{gs} 電壓如下

$$V_{gs1} = V_m + \sqrt{\frac{2I_{d1}}{k'_n(W/L)_1}} \quad \text{與} \quad V_{gs2} = V_m + \sqrt{\frac{2I_{d2}}{k'_n(W/L)_2}} \quad (2.3)$$

$$\text{其中} \quad k'_n = \mu_n C_{OX}$$

接著將上式帶入式 (2.2) 並假設兩電晶體相互匹配，經整理後得到

$$V_i = \frac{\sqrt{I_{d1}} - \sqrt{I_{d2}}}{\sqrt{\frac{k'_n}{2} \left(\frac{W}{L} \right)}} \quad (2.4)$$

另外因為電晶體 M_1 與 M_2 皆是由 I_{tail} 提供偏壓電流，因此由 KCL 可推出

$$I_{d1} + I_{d2} = I_{tail} \quad (2.5)$$

結合 (2.4)、(2.5) 兩式後便可解出各自之汲極電流

$$I_{d1} = \frac{I_{tail}}{2} + \left(\frac{k'_n W}{4 L} V_i \right) \sqrt{\frac{4I_{tail}}{k'_n(W/L)} - V_i^2} \quad (2.6)$$

$$I_{d2} = \frac{I_{tail}}{2} - \left(\frac{k'_n W}{4 L} V_i \right) \sqrt{\frac{4I_{tail}}{k'_n(W/L)} - V_i^2} \quad (2.7)$$

接著假設 M_1 與 M_2 汲極所接之 $I_{tail}/2$ 電流源為理想，同時輸入差動電壓足夠小以致可忽略二次效應，那麼式 (2.6)、式 (2.7) 中額外的小訊號部分便形成轉導器之輸出差動電流。若定義小訊號電流流出端為正與流入端為負則可得到輸出電流訊號為

$$i_o^+ = i_o^- = \left(\frac{k'_n W}{4 L} V_i \right) \sqrt{\frac{4I_{tail}}{k'_n(W/L)} - V_i^2} \approx \frac{V_i}{2} \sqrt{k'_n \left(\frac{W}{L} \right) I_{tail}} \quad (2.8)$$

因此等效的轉導值可表示成

$$G_m = \frac{i_o^+}{V_i} \approx \frac{\sqrt{k'_n(W/L)I_{tail}}}{2} \quad (2.9)$$

如此便可得到輸出電流與輸入電壓呈現線性相關的結果，但由於此關係是在式 (2.8) 中忽略 V_i^2 項時才會成立，為了瞭解在一般環境下此條件成立的情況，接著代入在 $0.35 \mu\text{m}$ 製程下常見的典型數值如 $k'_n = 100\mu$ 、 $(W/L) = 50$ 與 $I_{tail} = 50\mu$ 後，便可算出 V_i^2 必須在遠小於 0.04 的情況下才能加以忽略，也就意謂著此轉導器必須在 V_i 小於 0.2V 的條件下才能保持一定的

線性度，使得本電路具有線性輸入電壓範圍不夠大的缺點。

由以上轉導值的推演過程可以發現，對實際 MOS 電晶體而言，因為輸入閘極（Gate）電壓與輸出汲極（Drain）電流並非單純的線性關係，導致諧波失真（Harmonic distortion）影響加劇，將會進而犧牲訊噪比與工作效率。為了進一步改良上述缺點以及擴大線性範圍，所謂源極退化（Source degeneration）迴授補償結構逐漸受到重視。將兩輸入電晶體之源極經由電阻而相互耦合後，利用源極隨耦器之特性便可改善電路線性度，其中薄膜電阻或 MOS 電阻皆可當做源極退化元件。另外在此介紹一種動態迴授的新方法[11]如圖 2.2 (b)，將做為電阻之用的電晶體 M_{s1} 、 M_{s2} 閘極分別改接至差動輸入電壓而非固定電壓，如此將使 M_{s1} 、 M_{s2} 偏壓狀態隨著輸入電壓而調整，有助於大幅改善小訊號特性，不過缺點是 M_{s1} 、 M_{s2} 必須盡量匹配（Match）才能有效地消除非線性效應。



2.2.3 定偏壓電晶體轉導器

如圖 2.3 所示的定偏壓電晶體轉導器電路[12]，定電流源 I_2 流進兩輸入電晶體內，使 M_1 、 M_2 產生固定之 V_{gs} 電壓以形成有效的源極隨耦器，其功能為將輸入差動訊號 V_{i+} 、 V_{i-} 經過電壓平移（Level shift）後分別移轉至節點 1、2，並對電阻 R 產生有效跨壓。若假設 M_1 、 M_2 互相匹配同時也忽略本體效應等二次非線性，則所產生之電阻電流可寫為

$$i_o = \frac{(V_{i+} - V_{gs1}) - (V_{i-} - V_{gs2})}{R} = \frac{V_{i+} - V_{i-}}{R} = \frac{V_{id}}{R} \quad (2.10)$$

此訊號電流自然分別流入 M_3 、 M_4 中，再利用左半部 M_1 、 M_3 及右半部 M_2 、 M_4 等電晶體所構成的負迴授路徑產生電流鏡效應，將 M_3 、 M_4 直流偏壓及訊號電流分別複製到第一組輸出 M_5 、 M_6 及第二組輸出 M_7 、 M_8 等輸出電

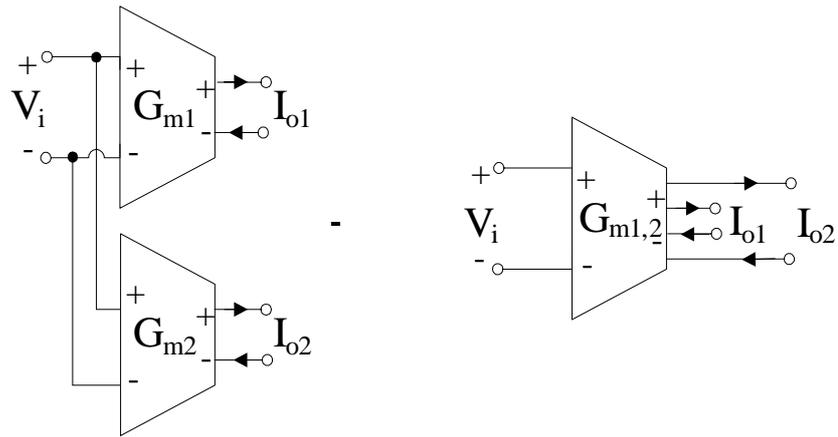


圖 2.4 多輸出端轉導器之簡化圖

2.2.4 浮動電壓源轉導器

前兩節所提出的乃是使用三極管區 MOS 電晶體來實現轉導器，雖然該方式具有較佳線性度但卻無法滿足大多數的高速應用，因此便發展出採用工作於飽和區電晶體之電路架構。但對飽和區電晶體而言，平方定律模型 (Square law model) 並無法精確地描述出其工作模式，尤其在短通道效應的影響下，載子速率飽和 (Carrier velocity saturation) 以及移動率降低 (Mobility degradation) 都會使電路參數偏離設計值，導致此種電路不可避免地必須使用到增進線性度的技術加以改良。接著就開始介紹一種利用飽和區電晶體來實現轉導器的例子。

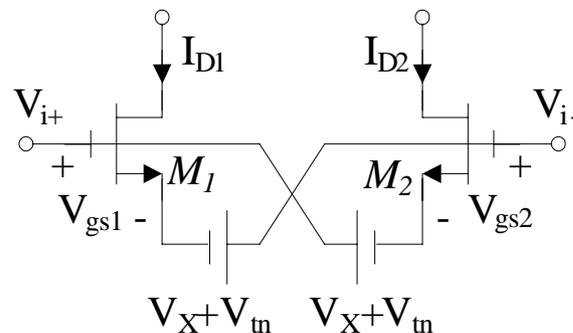


圖 2.5 浮動電壓源轉導器電路圖

如圖 2.5 所示，若利用兩浮動定電壓源 V_X+V_{tn} 使 M_1 、 M_2 的 V_{gs} 電壓總和保持定值，則 I_{D1} 、 I_{D2} 兩組差動輸出電流將與差動輸入電壓訊號保持線性關係。由兩輸入端所構成的電壓迴路可得到

$$V_{i+} - V_{gs1} + V_X + V_{tn} = V_{i-} \quad (2.12)$$

$$V_{i-} - V_{gs2} + V_X + V_{tn} = V_{i+} \quad (2.13)$$

接著利用平方定律將 I_{D1} 、 I_{D2} 相減並經整理後得到下式

$$I_{D1} - I_{D2} = k(V_{gs1} + V_{gs2} - 2V_{tn})(V_{gs1} - V_{gs2}) \quad (2.14)$$

$$\text{其中 } k = \frac{\mu_n C_{OX}}{2} \left(\frac{W}{L} \right)_1 = \frac{\mu_n C_{OX}}{2} \left(\frac{W}{L} \right)_2$$

然後結合 (2.12)、(2.13) 與 (2.14) 三式便可導出關係式如下

$$I_{D1} - I_{D2} = 4kV_X(V_{i+} - V_{i-}) = 4kV_X(V_{id}) \quad (2.15)$$

因此該電路等效轉導值便可表示如下

$$G_m = \frac{1}{2} \frac{I_{D1} - I_{D2}}{V_{id}} = 2kV_X \quad (2.16)$$

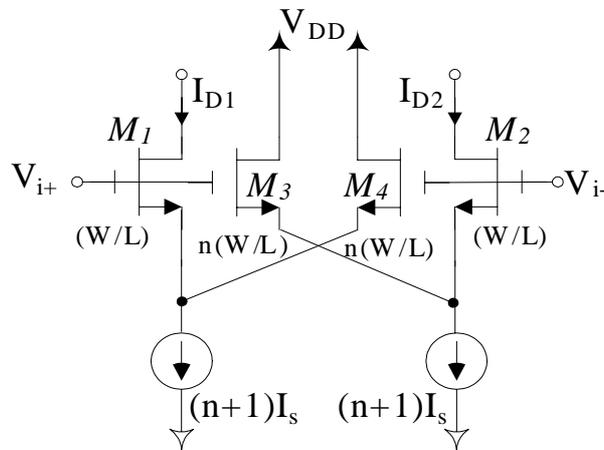


圖 2.6 使用源極隨耦器之浮動電壓源轉導器電路圖

至於圖 2.5 中的浮動電壓源則有許多方法可加以實現，其中最直覺的電路就是使用源極隨耦器提供電壓準位平移如圖 2.6，其好處在於浮動電壓源 V_X+V_{tn} 的 V_X 電壓量可經由改變隨耦器電晶體的長寬比而獲得控制，同時也就調整了轉導值的大小。例如若將隨耦器 M_3 、 M_4 長寬比設為輸入電晶體 M_1 、 M_2 的 n 倍，則等效的輸出入關係將變為下式

$$G_m = 2kV_X = 2\sqrt{kI_s} = \sqrt{2k_n' \left(\frac{W}{L} \right) I_s} \quad (2.17)$$

$$\text{其中 } k_n' = \mu_n C_{ox}$$

由式 (2.17) 中可看出為了提高轉導值，可從增加 I_s 電流或電晶體長寬比來著手，但缺點是所需的偏壓電流或佈局面積也會因此上升。至於常數 n 的用途則在於調整輸入電壓的線性範圍，同時當 n 越大時此轉導器可供給的輸出電流範圍也就越大，所以設計過程中可根據轉導值與電流源的比值 (G_m/nI_s) 作為取捨的標準。



2.3 以 G_m -C 技術為基礎之濾波器設計

在早期單純的 G_m 技術中往往只使用了轉導器配合電阻元件以完成電路設計，但缺點是電阻不僅耗費過大面積，同時也無法具有可程式化功能。此外電路為克服如製程誤差、元件不理想性與溫度效應所造成之參數漂移，也必須引進額外校正電路加以微調。因此近年來設計上轉而使用轉導器與電容來共同完成濾波器設計，便逐漸形成 G_m -C 的設計概念。在此核心技術中利用電流傳遞訊號而可高速運作的特點，早已在影音即時處理與電腦磁碟前端濾波器等應用中佔有一席之地。另外若從電路積體化程度的觀點切入，轉導器本身易於模擬電阻與電感之優點，亦加速了 G_m -C 濾

波器整合至晶片上的腳步，因此本節將對如何以 G_m -C 技術實現濾波器做個概要介紹。而在可程式化的前提下， G_m -C 也擁以下特點可供利用：

1. 由於電流訊號適於加總的優點，使得電路中只需適當地控制訊號流向，便能實現 FPAA 所要求之可程式化運算功能。
2. 如同 FPGA，FPAA 亦需許多開關元件以提升規劃彈性，但與生俱來的開關導通電阻會使電壓訊號受到一定程度的衰減，因此使用電流模式便可巧妙地避免此缺點。
3. 顧名思義， G_m -C 技術理論上只需轉導器與電容即可完成複雜電路，所以可程式化的對象應該不只侷限於轉導器，更能進一步推廣至規劃等效電容值而形成所謂電容陣列的概念。



2.3.1 轉導器模擬之電阻與電感

在類比電路設計中，雖然電阻、電容與電感是最基本的被動元件，但在最新一代數位 CMOS 製程中卻無法立即支援標準佈局方式，縱然該製程之閘極寬度可縮至最小卻也只能提供 NMOS 與 PMOS 等主動元件。必須經過一段時間醞釀後，具有相同閘極寬度之類比電路製程才有能力引進被動元件模組，其相互時程關係可由圖 2.7 表示。所以類比電路為了能完全隨著製程提昇而進步，就希望能由主動元件來模擬被動元件之工作狀態，以達到完全積體化的目標。但是電路中仍然必須付出些許代價，例如隨著尺寸不斷被縮小，不可避免的製程誤差相對會造成較大誤差率，同時也易受功率消耗增大、電壓源雜訊等缺點影響，導致元件模擬與實際的行為有所偏差，因此設計者必須面對這些基本問題，以使模擬元件趨近理想被動元件之工作方式。

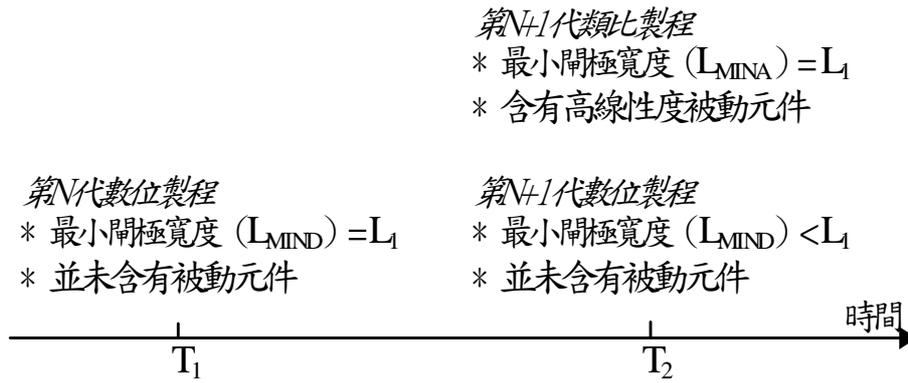


圖 2.7 數位類比製程之相互時程圖

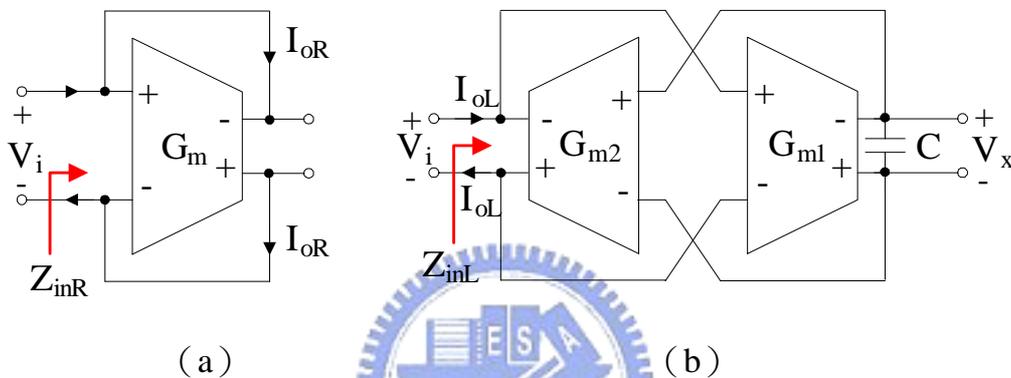


圖 2.8 轉導器模擬被動元件圖 (a) 電阻 (b) 電感

首先考慮模擬電阻的方式如圖 2.8 (a)，由於電阻必須符合歐姆定律，同時轉導器本身又具有電壓轉電流的特性，因此不需加入額外元件而只要稍加改變該輸出入端連線成為負迴授模式後，便可輕易得到等效的模擬電阻，就數學上來說因為轉導器具有下式特性

$$I_{oR} = V_i \times G_m \quad (2.18)$$

再經過適當的整理後就可得到等效電阻值 Z_{inR} 為

$$R_{eq} = Z_{inR} = V_i / I_{oR} = 1/G_m \quad (2.19)$$

至於模擬電感就必須使用到兩組轉導器 (G_{m1} 、 G_{m2}) 與一個電容 (C) 來完成。如圖 2.8 (b) 先將兩轉導器頭尾對接形成所謂的 Gyrator 後，再將電容跨接於相對輸入的另外一側，那麼 G_{m1} 因輸入電壓改變所產生的訊

號電流便會經積分後轉為電容跨壓訊號 V_x 等於

$$V_x = V_i \times G_{m1} \times 1/sC \quad (2.20)$$

此 V_x 電壓再產生回饋效應而改變 G_{m2} 的輸出電流，就能夠模擬電感元件因電壓改變所造成的電流變化，因此該電流 I_{oL} 可表示為

$$I_{oL} = V_x \times G_{m2} \quad (2.21)$$

接著將式 (2.20) 代入式 (2.21)，便得到等效阻抗值如下之等效電感

$$Z_{inL} = \frac{V_i}{I_{oL}} = s \left(\frac{C}{G_{m1} \times G_{m2}} \right) = sL \quad (2.22)$$

2.3.2 G_m -C 積分器



積分器乃是類比濾波器中最重要的基本電路方塊，為了能夠消除該輸出訊號中所帶有的偶次諧波失真，以及抵抗由電壓源經寄生電容所耦合之雜訊，所以採用了全差動式電路架構來將其實現至晶片上，如此便可避免以上缺點而顯著提升電路效能。另外由於全差動式的雙端輸出比起傳統單端多出一個自由度，使得積分器在電容擺放位置上可以有兩種不同的選擇。如圖 2.9 所示，其中電路 (a) 使用雙端浮接電容而電路 (b) 則只需要接地之單端浮接電容，因此電容本身的寄生效應亦會因接地與否而不相同。雖然兩電路經過數學推導所得到的轉移函數完全一致，但若以晶片實現的角度來分析，仍有兩點必須注意

1. 電容值誤差：在積體電路製造上，電容主要是由兩片多晶矽夾著介電質所構成，造成上下極板看到的雜散電容並不一致，而電路中又以電容絕對值為設計參數，因此整體電路準確性易受影響。

2. 頻率響應誤差：由於轉導器輸出電阻實際上並非無窮大，使得等效小訊號模型上的積分電容將與輸出電阻相互並聯，並引起額外右半平面零點而在高頻處造成超額相位落後，因此限制住電路工作頻寬。

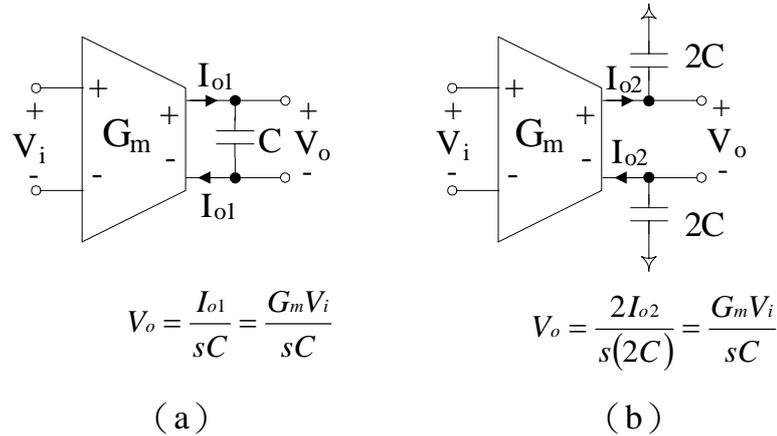


圖 2.9 全差動式 G_m -C 積分器電路圖

(a) 雙端浮接電容 (b) 單端浮接電容

2.3.3 G_m -C 一階及二階濾波器

為了簡化設計高階濾波器的困難，通常會使用訊號流程圖 (SFG) 來代表實體電路方塊，藉此概念化表示出系統中每一個元件的功能與訊號流向，可視為輸出入訊號關係的數學圖解法。基本上，利用積分器加上適當迴授路徑後即可分別產生一、二階的等效濾波器，因此前一節所介紹的 G_m -C 積分器便可在派上用場。例如一階類比濾波器的訊號流程圖便可表示成圖 2.10，雖然圖中只以單端模式簡單表示出訊號傳遞的方向，不過使用者可以根據電路雜訊與面積要求將其轉換至全差動式電路，至於圖中所代表的轉移函數則如下式

$$H(s) \equiv \frac{V_o(s)}{V_i(s)} = \frac{\alpha_1 s + \alpha_0}{s + \omega_0} \quad (2.23)$$

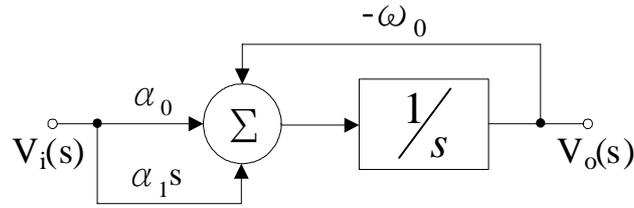


圖 2.10 一階類比濾波器之訊號流程圖

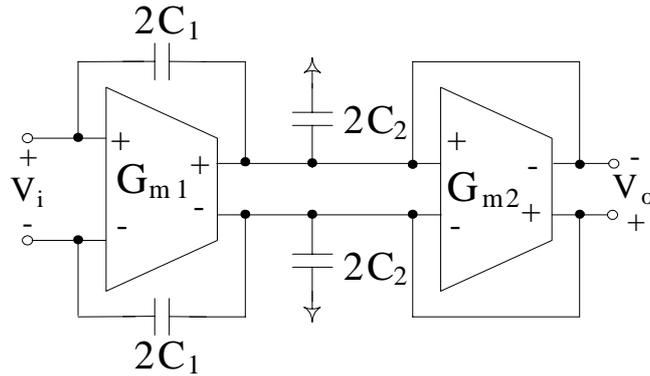


圖 2.11 G_m - C 一階類比濾波器電路圖

為了維持全差動式電路架構對稱性質，圖 2.11 畫出了一般的 G_m - C 電路接法，經過推導後可得到相對應的等效轉移函式為

$$\frac{V_o(s)}{V_i(s)} = \frac{sC_1 + G_{m1}}{s(C_1 + C_2) + G_{m2}} = \frac{s\left(\frac{C_1}{C_1 + C_2}\right) + \left(\frac{G_{m1}}{C_1 + C_2}\right)}{s + \left(\frac{G_{m2}}{C_1 + C_2}\right)} \quad (2.24)$$

接著將式 (2.23) 與式 (2.24) 互相比較係數後得到結果

$$C_1 = \left(\frac{\alpha_1}{1 - \alpha_1}\right) C_2 \quad (2.25)$$

$$G_{m1} = \alpha_0 (C_1 + C_2) \quad (2.26)$$

$$G_{m2} = \omega_0 (C_1 + C_2) \quad (2.27)$$

所以設計者若能確定需要實現的轉移函數後，便可根據式 (2.25) ~ 式

(2.27) 等三式輕易求得對應的元件值。至於實現二階濾波器的方法雖然較為複雜，不過基本上依照前述步驟就可實現，在此為了簡便起見，只提出相對應的訊號流程圖 2.12，由此圖可看出積分器仍然是主要的建構方塊，其轉移函數則表示如下

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{\alpha_2 s^2 + \alpha_1 s + \alpha_0}{s^2 + (\omega_0/Q)s + \omega_0^2} \quad (2.28)$$

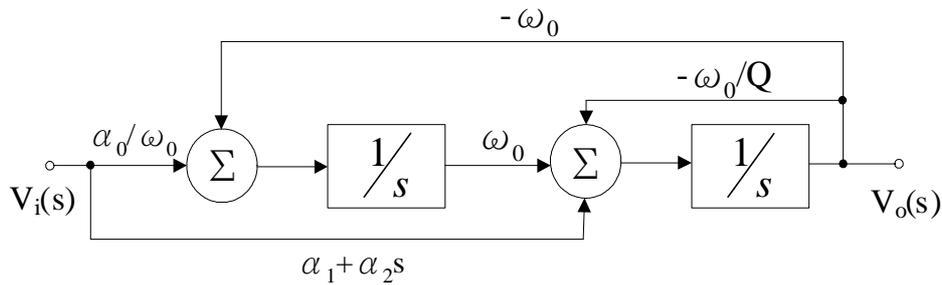


圖 2.12 二階類比濾波器之訊號流程圖

2.3.4 高階濾波器之合成

為了能夠合成更為高階的濾波器，可以利用之前所提到的基本電路方塊加以串接得到。如圖 2.13 所示，每組電路之轉移函數式 $T_i(s)$ 皆可表示為雙二次 (Biquadratic) 的形式

$$T_i(s) = k_i \cdot \frac{a_{2,i}s^2 + a_{1,i}s + a_{0,i}}{s^2 + (\omega_{0,i}/Q_i)s + \omega_{0,i}^2} = k_i \cdot t_i(s) \quad (2.29)$$

其中 $|t_i(s)|=1$

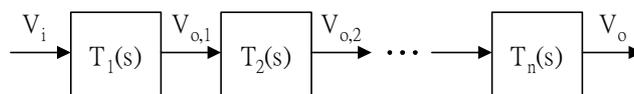


圖 2.13 串接合成之高階濾波器

所以整體的輸出入等效轉移函數便會等於

$$H(s) = \frac{V_o(s)}{V_i(s)} = T_1(s) \cdot T_2(s) \cdot T_3(s) \cdots = \prod_{i=1}^n k_i \cdot t_i(s) \quad (2.30)$$

從式 (2.30) 中便能看出高階濾波器可以經由多個一階或二階濾波器串接而成，並且只要透過適當地控制 $t_i(s)$ 中 s 平方項的係數，便可決定最後串接成的高階濾波器屬於奇數階或是偶數階。雖然此種串接方法就數學理論上是非常直覺且簡單的，不過在實際應用時必須注意到幾點原則

1. 極零點之配對方式：為了能使每組電路各自的頻率增益不至於變化過大，因此應該盡量地將相近的極點與零點配置在同一組電路中，來避免內部訊號過大或過小的缺點。
2. 子電路 $T_i(s)$ 之串接順序：由於類比電路會受到如頻寬或線性度等的限制，所以在子電路串接順序上要按照一定的方式安排。例如通常會在輸入部分放置等效於低通濾波器的子電路，藉此減輕迴轉率 (Slew rate) 的負擔。而在靠近輸出端的部分，則希望能以高通濾波器來降低直流偏壓影響。
 1. 子電路增益之分配：應該盡量地讓每組子電路的增益提高，如此可增加各子電路輸出 $V_{o,i}$ 的動態範圍。

2.4 G_m -C 電路之可程式化策略

為了賦予類比電路活潑的設計生命力，有效的可程式化策略決定了大部分規劃效率，根據現有基礎大致可分為兩組研究方向。第一點是加強 G_m -C 電路基本元件的可程式化範圍，例如對轉導值與電容值完成二進位訊號控制功能。第二點則著重於外部互聯網路的變化能力，以期提昇 FPAA

在電路拓撲連線的彈性度。以上兩點在電路構思中應該同時被考慮到，若只單靠其一來完成設計，將無法滿足大部分應用，所以在本節中將會提出幾種實際的規劃方法，藉以有效提昇規劃能力並降低對主電路的影響。

2.4.1 電流鏡陣列

此種可程式化方式乃是根據圖 2.3 的轉導器推演而來，由於該種轉導器先天具有多組輸出端的優點，因此只需稍加改變其輸出電晶體的長寬比與接線後便可直接控制輸出電流大小與方向，至於電流開或關則由連至輸出電晶體閘極的開關所控制，所以此法類似於電流開關的工作原理。圖 2.14 所示乃是其標準電路圖，其等效輸出電流 I_o 為

$$I_o = I_{REF} \times (2^0 \cdot S_0 + 2^1 \cdot S_1 + 2^2 \cdot S_2 + \dots) \quad (2.31)$$

但是這種方法在實際高速運作下會受到突波效應的限制，主因是各數位控制訊號在切換時會受到不同的傳遞延遲，導致輸出電流無法平滑地從初始值變化至設定值。若只考慮圖 2.13 中的三位元控制訊號 $S_2 \sim S_0$ ，假設控制訊號從 011 切換至 100 時，那麼可能發生突波的情形是 S_0 、 S_1 先變為 0 後 S_2 才轉換為 1，如此便會發生輸出電流等於零的過渡變化，而明顯出現突波效應並進而干擾到類比電路的暫態表現。

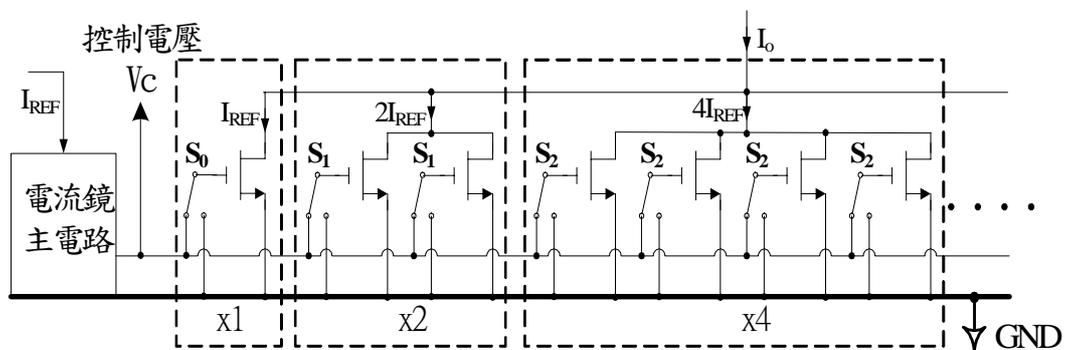


圖 2.14 電流鏡陣列

為了解決此額外干擾現象，可從改善數位控制訊號方式來著手，主要解決方法是將控制策略由一般的二進位碼 (Binary code) 改為溫度計碼 (Thermometer code)[13]。表 2.2 中列出了兩種編碼方式的相互對應關係，可看出溫度計碼使用了 2^N-1 個位元來表示 2^N 個不同數值，如此可確保單調遞增的特性與縮減突波雜訊大小。另外值得注意的是，乍看下雖然溫度計碼比起二進位碼多出許多控制位元，但其類比電路面積並未因此增加，原因是二進位碼控制下的第 n 位元電路面積同時也需放大 2^n 倍以符合對應的權重關係，而溫度計碼控制則是將 2^n 倍面積分別展開至 2^n 個單位面積的電路中，以滿足同樣電路工作方式與目的，因此溫度計碼的概念常出現於一般 D/A 轉換器當中以提昇效能。

表 2.2 二進位碼與溫度計碼之對應關係

十進位	二進位			溫度計碼						
	B ₂	B ₁	B ₀	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	1
2	0	1	0	0	0	0	0	0	1	1
3	0	1	1	0	0	0	0	1	1	1
4	1	0	0	0	0	0	1	1	1	1
5	1	0	1	0	0	1	1	1	1	1
6	1	1	0	0	1	1	1	1	1	1
7	1	1	1	1	1	1	1	1	1	1

2.4.2 類比開關陣列

在 IC 電路中，通常開關皆是直接由 NMOS 或 PMOS 電晶體所單獨完成，但缺點是電晶體的臨界電壓 (V_t) 將影響導通電阻並限制輸出電壓振幅的大小，因此在大擺幅電壓的類比電路應用中，一般是採用互補式開關

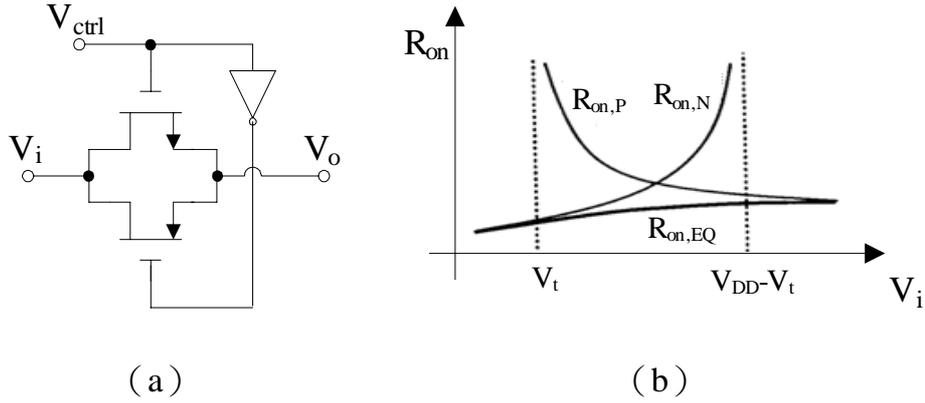


圖 2.15 CMOS 開關 (a) 電路圖 (b) 等效導通電阻

來設計 CMOS 傳輸閘以避免訊號衰減。其電路圖與等效並聯導通電阻可如圖 2.15 所示，等效導通電阻則可推導出為式 (2.32)，因此使用者便可根據所需的導通電阻設計 NMOS 與 PMOS 之長寬比。

$$\begin{aligned}
 R_{on,eq} &= R_{on,N} // R_{on,P} \\
 &= \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N (V_{DD} - V_i - V_m)} // \frac{1}{\mu_p C_{ox} \left(\frac{W}{L}\right)_P (V_{DD} - V_i - |V_{tp}|)} \\
 &= \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N (V_{DD} - V_m) - \left[\mu_n C_{ox} \left(\frac{W}{L}\right)_N - \mu_p C_{ox} \left(\frac{W}{L}\right)_P \right] V_i - \mu_p C_{ox} \left(\frac{W}{L}\right)_P |V_{tp}|}
 \end{aligned} \tag{2.32}$$

當基本的開關元件建立之後，接著便可考量整體系統對於開關的需求與限制，大致上可分為兩點。一為導線與開關之特性設計與數量限制。二為開關元件與相連導線之佈局規劃。因此這方面設計必須兼顧規劃性與可實現性，否則將會嚴重影響使用面積與工作範圍。至於就內接連線的可規劃能力而言，在 FPAA 上主要有幾項功能[14]：

1. 改變訊號極性：為了完成數學式正負係數符號，因此需要開關對傳送訊號作反相與非反相之運算。圖 2.16 中的 d_i 即可利用來改變輸出極性，當 $d_i=0$ 則 $V_o=V_i$ 反之 $d_i=1$ 時 $V_o=-V_i$ 。另外為了擴展開關使用範圍，圖中使用了 CMOS 架構實現開關元件，因此需要反相器提供互補之控制訊號。

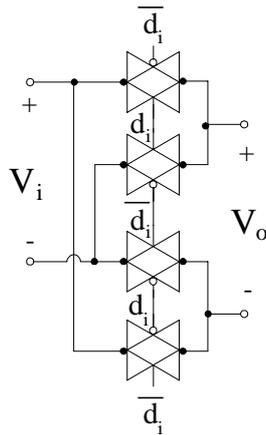


圖 2.16 改變訊號極性之開關

2. 切換訊號路徑：在系統可程式化的過程中，訊號常會在各電路方塊間相互傳遞，因此為了提高路徑規劃的彈性，不同訊號軌道間便需開關以供切換如圖 2.17，其中小圓圈表示了開關的電路符號，可當做水平與垂直軌道切換連接之用。

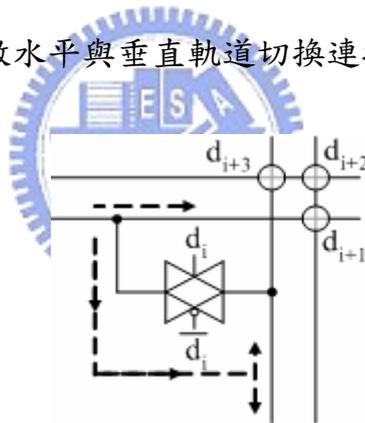


圖 2.17 切換訊號路徑之開關

3. 建立電容陣列：由於 FPAA 中的濾波器極零點頻率位置乃是由 G_m/C 所構成之頻率常數所控制，因此除了透過改變轉導值外，電容亦是可用來決定頻率參數值的變數。為了提昇電容規劃限制，可利用開關製造出如圖 2.18 之電容陣列，觀念近似於前節所提出的電流鏡陣列利用開關控制訊號流向的方法。其中為了降低匹配的問題，每一個電容皆是由基本電容單元 C_{REF} 所構成，再由開關決定電容兩端導通與否而得到的等效電容可近似

於下式

$$C_{EQ} \approx C_{REF} \times (d_0 + d_1 + d_2 + d_3 + \dots) \quad (2.33)$$

其中 $d_0 \sim d_N$ 是之前所提到的溫度計碼，目的在減緩電容變化時產生的突波效應。此外由於電容兩端具有許多雜散電容，因此這裡使用近似於的符號“ \approx ”以提醒設計者注意額外電容效應。

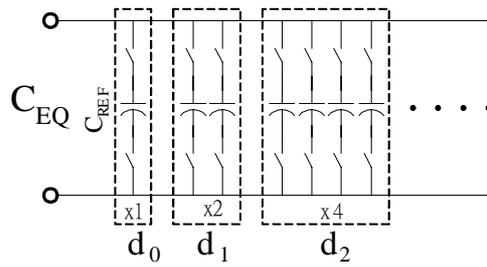


圖 2.18 電容陣列



第三章

可程式類比陣列之設計與模擬

3.1 前言

本章將根據前兩章所建立起的理論基礎，針對可程式類比陣列各子電路方塊加以詳細討論，並依循完整的設計、分析與模擬等步驟來驗證理論正確性與適用範圍。基本上，本章主旨在於設計出可正常工作於晶片內之可程式類比陣列，同時改良其電路架構以符合規格需求，至於設計與模擬的製程參數則是採用 TSMC 0.35 μ m Mixed-Signal 2P4M (3.3/5V)，並已在國家晶片實現中心 (CIC) 完成下線。

第二節中將先對可程式類比陣列中各子電路功能做出簡要敘述，並藉由整體電路架構圖標示出各自所扮演的功能角色，以提供讀者對系統的初步概觀。第三節介紹本論文所使用的可配置類比方塊 (Configurable Analog Block, CAB) 實際設計，並將設計重點集中於改良轉導器線性度之方法。第四節則是利用能隙參考電路建立起整體系統所需要的穩定偏壓源。第五節重點放在使用頻率校正的方法補償因先天製程漂移或後天外在環境變化所產生的誤差。第六、七節分別考慮了設計輸出放大級與控制開關所使用的詳細電路，並討論各自的電路設計原理與注意事項。

3.2 整體電路系統架構

為了瞭解如何建構出 FPAA 整體電路系統，本節將以系統的觀點出發

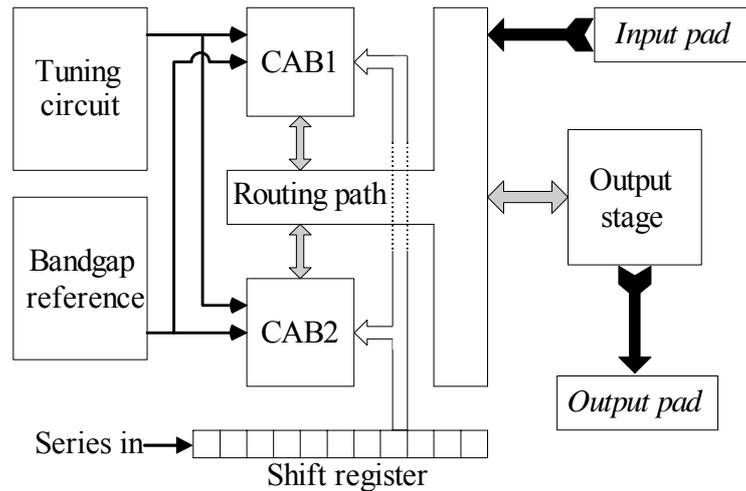


圖 3.1 FPAA 系統架構圖

來說明使用到的電路方塊。如圖 3.1 的系統架構圖所示，FPAA 乃是由可配置類比方塊 (CAB)、能隙參考電路 (Bandgap reference)、自我校正電路 (Tuning circuit)、輸出放大級 (Output stage)、位移暫存器 (Shift register) 與連線路徑 (Routing path) 等部分所組成。

其中 CAB 主要負責 FPAA 內部類比訊號運算的工作，可算是系統處理計算之核心電路。另外由於本論文將 CAB 本身電路簡化至只能實現一階以下的轉移函數，所以為了產生較為複雜的二階濾波器就必須預留兩組 CAB 方塊以供相互串接，如此將有助於合成工業控制器與濾波器等電路。能隙參考電路則是用於提供內部電晶體的適當偏壓區域，以確保系統能依所期望的工作模式加以運作。另外此參考電壓 (流) 源對外界環境變數的敏感度也必須加以考量，以免訊號傳遞時受到電源雜訊或溫度變化等干擾。自我校正電路則著重在修正系統因各種先後天製程因素所造成的誤差效應，例如因最小解析度限制所造成的匹配問題或寄生元件效應等。輸出放大級是當訊號由晶片內部送至外界時，為了驅動可能的電阻電容負載所使用的緩衝級，必須同時具有大電流輸出能力以滿足所需的功率轉移效果。位移暫存器則是負責儲存控制開關導通與否的數位訊號來決定類比訊號傳輸路徑，所以使用者可藉此來變動 FPAA 所實現的函數以達到可規劃

目標。連線路徑提供了 CAB 與 CAB 間的可靠連接方式，並可隨意切換訊號軌道以提供進一步的規劃彈性，因此晶片內部可任意透過不同的輸出入接腳而與外界溝通。接著在之後的章節中會陸續地詳細介紹各方塊的設計方法及步驟，並圖示最後的模擬結果以供驗證。

3.3 可配置類比方塊設計

3.3.1 電路架構

為了完成類比電路的可程式化功能，首要之務即在於設計可控制的基本類比建構方塊。此方塊主要功能在於接收外來數位控制訊號，藉此控制開關決定類比訊號流向的工作機制，進而改變輸出入端的等效轉移函數。圖 3.2 乃是一個基本 CAB 方塊示意圖，可看出該電路具有兩組輸入與一組輸出端。與圖 2.11 的 G_m -C 一階濾波器不同的是本電路中除了轉導器之外還額外加入了放大器與電容所形成的米勒積分器，目的是將轉導器所傳來的電流轉為電壓輸出訊號，因此就功能上亦可稱之為轉阻放大器。並同時在轉導器輸出端利用電流易於相加的優點來形成有效的負迴授路徑，亦可收到降低電路複雜度的效果。接著將使用此種 G_m -C Opamp 架構的好處歸納於以下幾點，將有助於簡化設計困難度與避免寄生元件干擾訊號傳遞。

1. 由於米勒積分器之放大器增益相當大，因此經由電容提供輸出入負迴授路徑後，便可保證米勒積分器之兩輸入端具有虛短路特性，使得轉導器輸出端之差動電壓擺動大幅縮小，有助於降低等效轉導值因輸出電壓變化所導致的非線性效應。同時米勒積分器透過負迴授後所具有的低輸入阻抗特性，亦可降低對理想轉導器無窮輸出阻抗的要求。

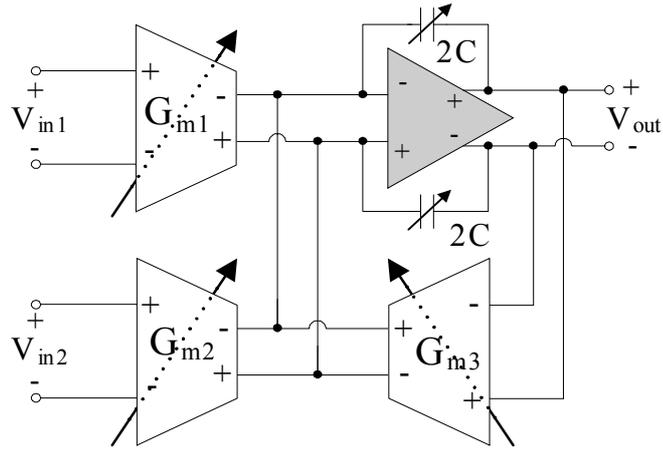


圖 3.2 可配置類比方塊 (CAB) 電路圖

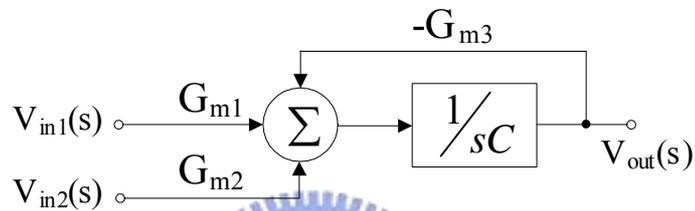


圖 3.3 可配置類比方塊 (CAB) 之訊號流程圖

2. 迴授電容將轉導器所送出的訊號電流做積分運算後，便可得到一輸出電壓 V_{out} ，造成此電壓容易受到米勒積分器輸入端之雜散電容所影響，但是由於該端點的電壓變化不大，因此雜散電容上僅有少量的電流變動，使得積分誤差能夠顯著減少。
3. 若單就轉導器 G_{m1} 與米勒積分器而言，輸入 V_{in} 至輸出 V_{out} 間便構成基本的積分器電路，使得該直流增益變為轉導值 G_{m1} 與米勒積分器之直流增益（轉阻）相乘，如此可使得高增益積分元件易於實現以趨近理想積分器之特性。

圖 3.3 則是圖 3.2 對應的訊號流程圖，經過簡單數學推導後可得到等效轉移函數如下式

$$V_{out}(s) = \left[\frac{G_{m1}}{G_{m3}} V_{in1}(s) + \frac{G_{m2}}{G_{m3}} V_{in2}(s) \right] \frac{1}{1 + s/\omega_3} \quad (3.1)$$

$$\text{其中 } \omega_3 = G_{m3}/C = \omega_{pole}$$

由式 (3.1) 中可看出圖 3.2 的電路屬於一階低通濾波器的型態，使用者可直接藉由分別變更轉導值 ($G_{m1} \sim G_{m3}$) 來調整轉移函數的直流增益及極點位置，同時兩者可分別調整而不相互影響。除了轉導值之外，可程式化的電容值亦能加以利用，但是由於訊號電流直接流經電容而易受可變電容上相對較多的雜散電容所干擾，因此應以轉導值為優先規劃考量。另外若輸入訊號端不敷使用，設計者可在米勒積分器輸入電流限制下任意增減輸入端的轉導器數目以提高訊號輸入點個數，有助於提供整體電路更為彈性的可規劃範圍。

3.3.2 轉導器設計



為了實現圖 3.2 所定義的電路架構，可以先從使用較為頻繁的轉導器加以著手，因此本節將以 2.2.3 節所提出的定偏壓電晶體轉導器為基礎來設計所需的轉導器。另外由於整體電路的動態範圍 (Dynamic range) 會大幅受到轉導器的非線性效應所限制，因此首先會來分析如何利用負迴授效應改良並提高電路線性度[15]。當輸入訊號逐漸增大時，電路由於電晶體本身的不理想性或進入三極管區，使得輸出入間的轉換特性曲線無法維持一直線，如圖 3.4 所示，所以非線性行為可視做特性曲線斜率上之變動。首先將輸出訊號經泰勒展開為

$$V_{out}(t) = b_1 V_{in}(t) + b_2 V_{in}^2(t) + \dots = \sum_{n=1}^{\infty} b_n V_{in}^n(t) \quad (3.2)$$

由上式便可看出當輸入電壓 V_{in} 很小時， b_1 即為系統的小訊號增益。但是只要 V_{in} 逐漸增大的話， b_2 以後的高階項係數便會不可避免地干擾最後的輸出結果，所以使用負迴授理論的目的就是希望藉由外加的電路技巧來縮

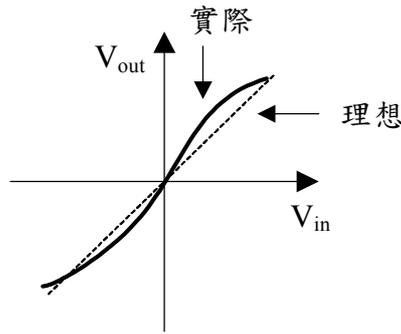


圖 3.4 非線性系統之輸出入特性曲線

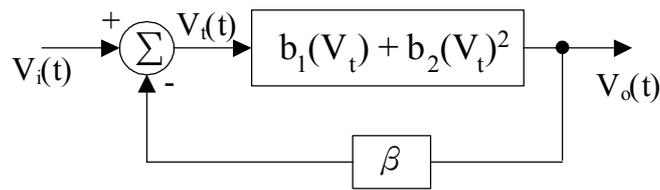


圖 3.5 二階非線性系統之負迴授模型

小這些高階項的影響層面。

接著就來分析一下負迴授效應是如何對線性度發揮調整的功能。首先由負迴授理論可知當開迴路增益 (Open-loop gain) 很大時，閉迴路增益 (Closed-loop gain) 將不易受到開迴路增益變化所影響，因此加入負迴授機制後有助於壓抑因原始電路非線性所造成的斜率變動，也就意味著整體閉迴路系統就能夠獲得較佳的線性度。為了盡量簡化分析複雜度，我們採用一個如圖 3.5 所示的二階非線性模型 $V_o(t)=b_1(V_t)+ b_2(V_t)^2$ 加以討論，假設如圖所示從外送入弦波訊號 $V_i(t)=V_m\cos(\omega_m t)$ ，那麼輸出電壓波形中理論上就應該只包含了位於 ω_m 的一、二次諧波成分，所以輸出可簡單表示為 $V_o(t)=x\cos(\omega_m t)+y\cos(2\omega_m t)$ 。而分析的目標就是比較加入迴授前後係數 x 、 y 間的相互關係，所以最後的輸出可表示為

$$\begin{aligned}
 V_o(t) &= b_1 V_t(t) + b_2 V_t^2(t) \\
 &= b_1 [V_m \cos \omega_m t - \beta(x \cos \omega_m t + y \cos 2\omega_m t)] + b_2 [V_m \cos \omega_m t - \beta(x \cos \omega_m t + y \cos 2\omega_m t)]^2 \\
 &= [b_1(V_m - \beta x) - b_2(V_m - \beta x)\beta y] \cos \omega_m t + \left[-b_1 \beta y + \frac{b_2}{2}(V_m - \beta x)^2 \right] \cos 2\omega_m t + \dots
 \end{aligned}
 \tag{3.3}$$

然後再將式 (3.3) 經過比較係數後便可分別求得係數 x 與 y 之表示式為

$$x = V_m \frac{b_1}{1 + \beta b_1} \quad (3.4)$$

$$y = \frac{V_m^2}{2} \frac{b_2}{(1 + \beta b_1)^3} \quad (3.5)$$

為了得到比較直接的結果，可將 y 除以 x 來檢查二次諧波效應對一次基本波的干擾程度，所以可得出比值等於

$$\frac{y}{x} = \frac{V_m}{2} \frac{b_2}{b_1} \frac{1}{(1 + \beta b_1)^2} \quad (3.6)$$

由式 (3.6) 的係數比值中可以發現不外加迴授 ($\beta = 0$) 與加入迴授 ($\beta \neq 0$) 後二次諧波成分的比重具有顯著的差異性，兩者所算出的比值可明顯相差至 $(1 + \beta b_1)^2$ 倍之多，所以能夠有效減少訊號分析時高階項所造成的失真。

建立了負迴授效應對改善線性度的理論基礎後，接著便能開始著手設計實際的轉導器電路。為了滿足 FPAA 本身需求可先從兩個方面加以衡量轉導器之優劣：

1. 轉導值 (G_m) 本身的可變範圍。
2. 轉導器所能提供的訊號動態範圍與線性程度。

若考慮圖 2.3 所提出的定偏壓式轉導器架構，其多重輸出的優點雖然使得轉導值能在任意範圍內變化，但隨著輸入電壓增大時，輸入級電晶體會因自身的本體效應 (Body effect) 而降低訊號電流的線性度。為了改良此缺點本論文在輸入級部分引進之前所提及的負迴授效應如圖 3.6，主要目的在於藉由放大器 a 分別與輸入電晶體 M_1 、 M_2 所構成的負迴授路徑，將 M_1 、 M_2 的源極電壓盡量趨近於輸入差動電壓，便可使得輸入電壓差直接降於偏

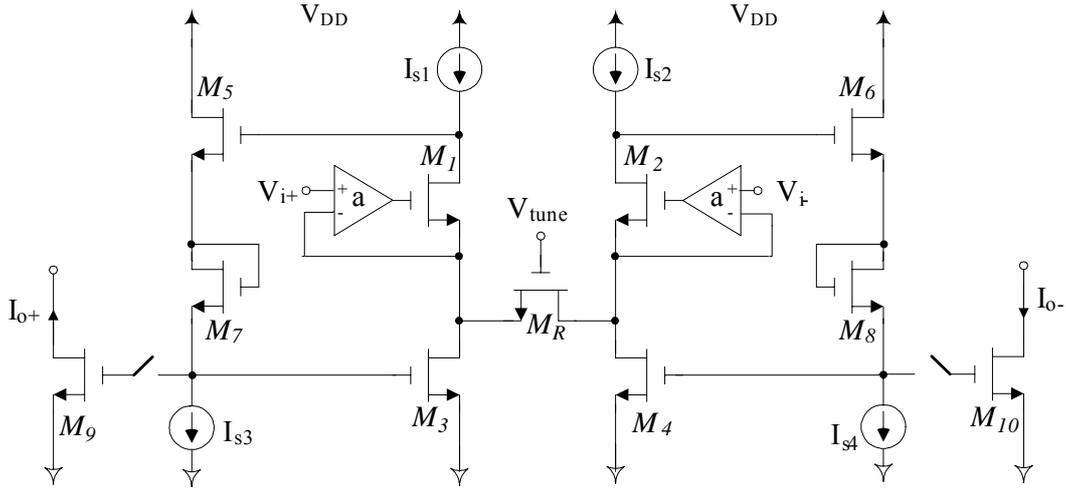


圖 3.6 負迴授改良型轉導器電路圖

壓在三極管區電晶體 M_R 的汲-源極兩端，藉以產生差動訊號電流 $I_{0+,-}$ 。

接著再代入各元件小訊號模型以計算本電路所產生的等效轉導值。圖 3.7 便是轉導器左半部的等效小訊號半電路模型，圖中 R_{s1} 與 R_{s3} 分別代表電流源 I_{s1} 與 I_{s3} 的輸出阻抗， g_{mi} 則是各對應電晶體 M_i 的等效轉導。其中輸入電晶體 M_1 、 M_2 因為源極並未和本體極共同接地，因此必須考慮因本體效應所引起的額外轉導 g_{mbi} ，而此現象亦是整體電路線性度的主要干擾來源之一。至於 $1/G_R$ 則是工作於三極管區的 M_R 等效電阻值，其值可由下式給定

$$\frac{1}{G_R} = R_{DS_R} \equiv \left(\frac{\partial I_{D_R}}{\partial V_{DS_R}} \right)_{V_{DS_R}=0}^{-1} = \frac{1}{\mu_n C_{OX} (W/L)_R (V_{GS_R} - V_m)} \quad (3.7)$$

接著若再假設放大器增益為 a ，便設定完成分析時所需要的各電路參數。以下便開始推導等效轉導值的詳細數學分析，首先由圖 3.7 中放大器的輸出入關係可得到

$$a[(v_{id}/2) - v_{s1}] = v_{s1} + v_{gs1} \quad (3.8)$$

然後將上式重新整理後得到 v_{s1} 電壓等於

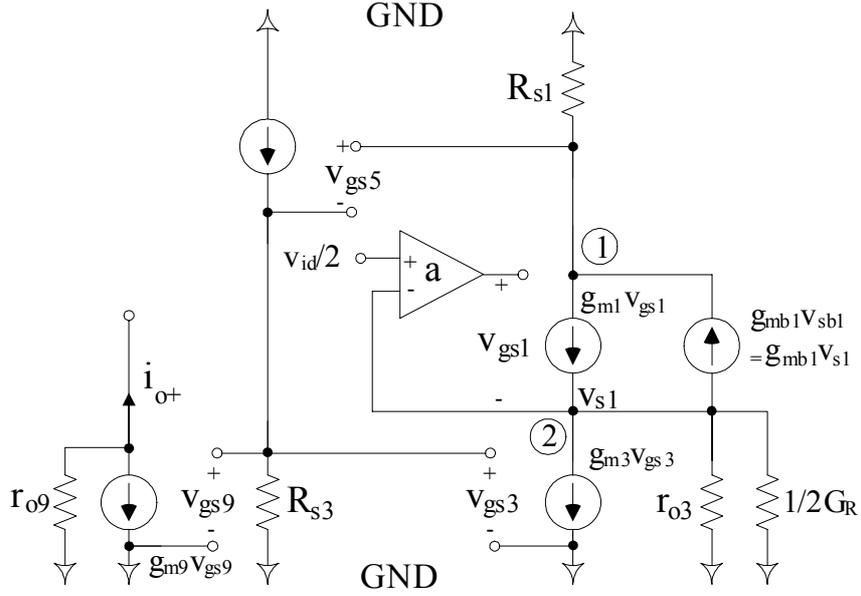


圖 3.7 轉導器之小訊號半電路圖

$$v_{s1} = \frac{a(v_{id}/2) - v_{gs1}}{1+a} \quad (3.9)$$

為了進一步地簡化分析首先假設所有定電流源輸出阻抗相當大，則電阻 R_{s1} 與 R_{s3} 可直接視為開路，並在節點 1 利用 KCL 可得

$$v_{gs1} = (g_{mb1}/g_{m1})v_{s1} \quad (3.10)$$

接著將式 (3.10) 帶入式 (3.9) 後移項整理出

$$v_{s1} = \frac{v_{id}}{2} \frac{a}{1+a+(g_{mb1}/g_{m1})} \quad (3.11)$$

然後在節點 2 也同樣重複使用 KCL 定律來得到下式

$$v_{s1}[2G_R + (1/r_{o3})] = -g_{m3}v_{gs3} \quad (3.12)$$

將式 (3.11) 帶入式 (3.12) 後，再由小訊號圖中看出 v_{gs3} 等於 v_{gs9} 而得到 $v_{gs3} = v_{gs9} = (-i_{o+}/g_{m9})$ ，因此可進一步推導出輸入電壓與輸出電流之相互關係為

$$\left(\frac{v_{id}}{2} \frac{a}{1+a+(g_{mb1}/g_{m1})} \right) \left(2G_R + \frac{1}{r_{o3}} \right) = i_{o+} \frac{g_{m3}}{g_{m9}} \quad (3.13)$$

接著再做移項整理後便可求得本電路之等效轉導值等於

$$g_{m_all} \equiv \frac{i_{o+}}{v_{id}} = \frac{g_{m9}}{g_{m3}} \left(\frac{a}{1+a+(g_{mb1}/g_{m1})} \right) \left(G_R + \frac{1}{2r_{o3}} \right) \quad (3.14)$$

又因為 M_3 與 M_9 兩閘極端相接使得兩電晶體的 V_{gs} 相等，所以 g_{m9}/g_{m3} 的比值可以由各自電晶體長寬比所替換，使得式 (3.14) 進一步修改成

$$g_{m_all} = \frac{(W/L)_9}{(W/L)_3} \left(\frac{a}{1+a+(g_{mb1}/g_{m1})} \right) \left(G_R + \frac{1}{2r_{o3}} \right) \quad (3.15)$$

接著由上式可發現當放大器增益 a 趨近於無窮大時，便能得到一個較簡潔之式子如下

$$g_{m_all} = K \left(G_R + \frac{1}{2r_{o3}} \right) \quad a \rightarrow \infty \quad (3.16)$$

$$\text{其中} \quad K = \frac{(W/L)_9}{(W/L)_3}$$

至於本轉導器的輸出入阻抗值則可輕易由圖 3.7 中得到，分別列式如下

$$R_{in} \approx \infty \quad (3.17)$$

$$R_{out} = r_{o9} \quad (3.18)$$

所以原本的轉導器電路透過加入額外放大器後，便能夠在不增加轉導器本身偏壓電流或減小訊號程度的情形下，有效地減輕此定偏壓轉導器架構受到輸入電晶體本體效應 ($g_{mb1,2}$) 的影響。而且因為放大器只純粹用於改善輸入電壓變化之線性表現，使得該放大器電路不需太過複雜，甚至只用單級放大方式便可達到預定修正效果。

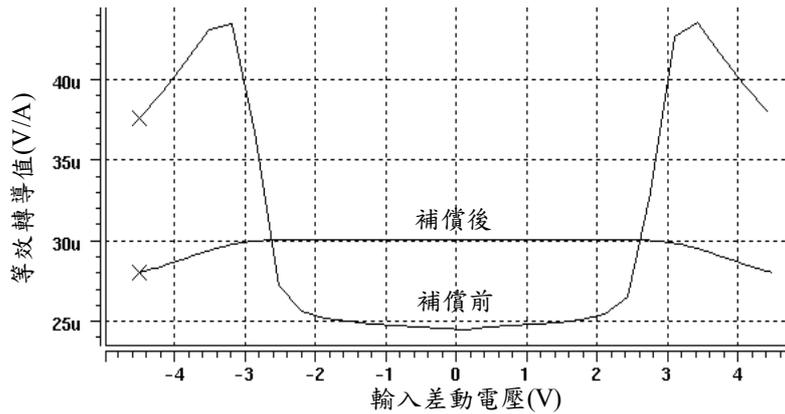


圖 3.8 改良前後之轉導值比較圖

圖 3.8 與 3.9 則是轉導器經過模擬後所得到的結果。首先圖 3.8 中比較了是否加入負迴授補償對轉導值線性度所產生的差異，可明顯看出當輸入差動電壓逐漸增加時，改良後的轉導值曲線變化率明顯向下縮小，經由模擬所得到的具體斜率變化數據則是從 $0.32\mu\text{A}/\text{V}^2$ 調整至 $0.0027\mu\text{A}/\text{V}^2$ ，使得輸入電壓可容忍的線性範圍大幅增加。若假設轉導值所能承受的極限變化量大約為 $2\mu\text{A}/\text{V}$ 時，可由圖 3.8 中歸納出轉導器在補償前所得到的有效差動輸入電壓範圍為

$$-1.5\text{V} < V_{id} < 1.5\text{V} \quad (3.19)$$

至於經過補償後的轉導器差動輸入電壓則可被擴增為

$$-3\text{V} < V_{id} < 3\text{V} \quad (3.20)$$

因此輸入電壓的範圍可被顯著地擴大。至於將本轉導器之等效轉導值轉為可程式化的方法則是將圖 3.6 的輸出電晶體 M_9 與 M_{10} 加以個別複製並控制其長寬比，然後再利用開關決定該閘極是否接至有效電壓，如此便可調整最後輸出電流的大小以獲得所需的轉導值。圖 3.9 則是利用上述方法所規劃得到的 4 種不同等效轉導值，能夠提供使用者透過可程式化功能設定所需的轉導值大小以滿足各系統中不同需求。

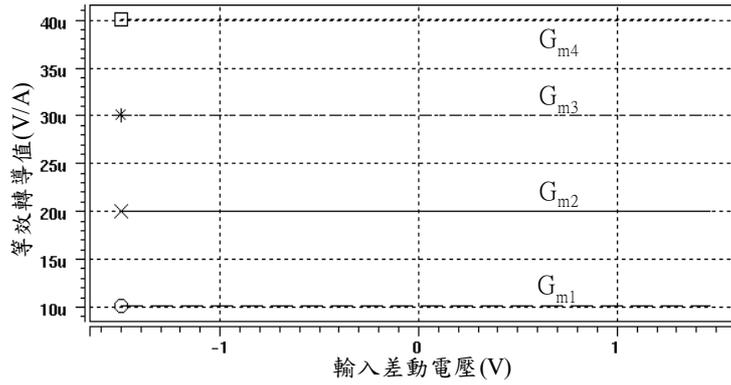


圖 3.9 經開關規劃後之四種不同轉導值

3.3.3 米勒積分器設計

經由前節的討論可以知道，圖 3.2 所用的放大器主要功能乃是接收轉導器因輸入電壓改變而產生的差動電流，並將此訊號電流經電容充電後轉為電壓形式，因此可將其稱為“轉阻”放大器[16]。另外由於電容具有積分的效果，所以轉阻放大器與電容兩者便共同構成所謂的米勒積分器。為了瞭解米勒積分電路的基礎工作原理，以下將先從較簡單的電路加以著手，考慮圖 3.10 (a) 的傳統電路形式，只要使用 PMOS 共源極放大器結構搭配電容便能對輸入電流完成積分動作，不過缺點是輸出入端會經電容耦合產生右半平面零點 Z_{RHP} 等於

$$Z_{RHP} = g_m / (C_i + C_{gd}) \approx g_m / C_i \quad (3.21)$$

其中 g_m 為電晶體等效小訊號轉導值， C_i 與 C_{gd} 則別為積分電容與電晶體閘-汲端雜散電容。為了減少此零點對電路頻率響應所造成的影響，只需如圖 3.10 (b) 所示，在電容迴授路徑中加入額外緩衝器 (Buffer) 後便能阻斷輸出入耦合效應而消除該零點。通常此緩衝器只需由一個 NMOS 元件 (M_n) 接成共閘極型態即可實現，如此透過 M_n 將輸出入端隔離後便可避免不必要零點同時獲得增進積分線性度的效果。

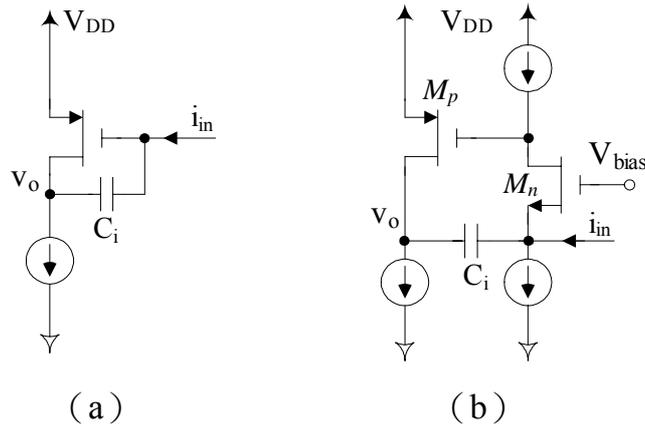


圖 3.10 傳統米勒積分器電路圖 (a) 基本型 (b) 改良型

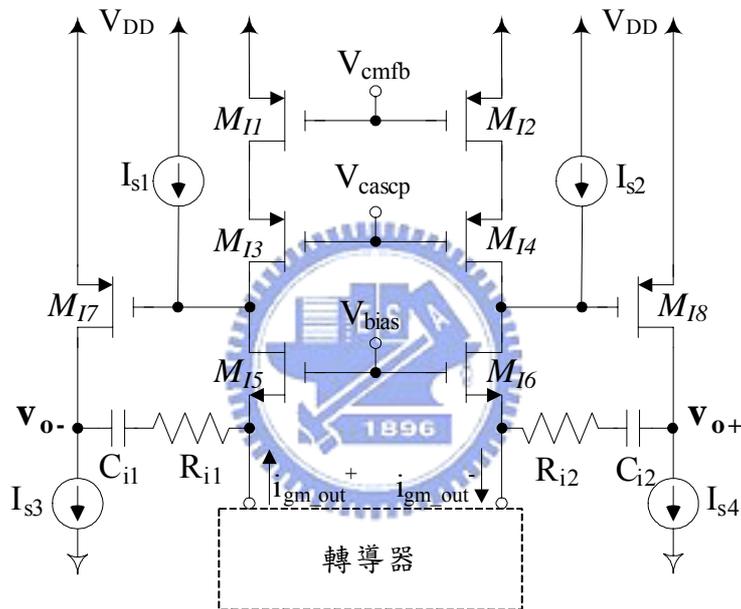


圖 3.11 米勒積分器電路圖

接著將圖 3.10 (b) 的電路加以延伸後便可得到本論文所使用的全差動式米勒積分器詳細電路如圖 3.11。首先若純就放大器的放大方式來看，該電路乃是由共閘級與共源級兩級放大所構成，因此易於趨近理想上為無窮大的小訊號增益，而能具有之前所提到採用 G_m -C Opamp 架構的優點。接下來就開始著手分析本電路的小訊號特性，為簡化分析複雜度先忽略積分被動元件所產生的影響，可畫出等效小訊號半電路如圖 3.12，其中 R_{si} 代表相對應電流源 I_{si} 的輸出電阻， r_{o17} 則是 M_{17} 模擬通道長度調變效應的假想電阻， R_1 是從 M_{13} 汲極所看入的等效輸出電阻。經使用 KCL 後便可求

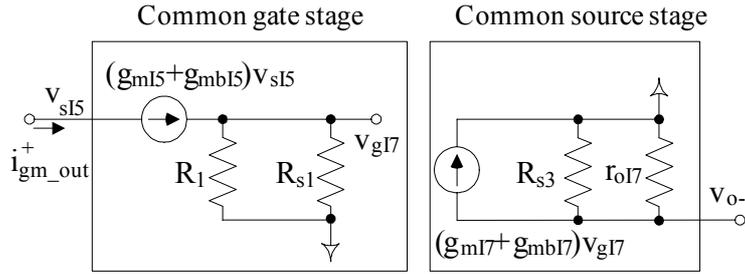


圖 3.12 米勒積分器之小訊號半電路圖

得兩級放大後所實現的小訊號增益為

$$v_{o-} = i_{gm_out}^+ \times (R_1 // R_{s1}) \times [-(g_{m17} + g_{mb17})(R_3 // r_{o17})] \quad (3.22)$$

經整理過後等效轉阻增益 R_{eq} 可改寫為

$$R_{eq} \equiv \frac{v_{o-}}{i_{gm_out}^+} = -(g_{m17} + g_{mb17})(R_1 // R_{s1})(R_3 // r_{o17}) \quad (3.23)$$

同時亦可求得輸入及輸出阻抗分別如下所示

$$R_{in} = 1/(g_{m15} + g_{mb15}) \quad (3.24)$$

$$R_{out} = r_{o17} // R_{s3} \approx r_{o17} \quad (3.25)$$

經過以上的分析步驟後，便可使用目前所算出的參數回頭驗證之前所提到使用米勒積分器的優點。由於式 (3.23) 所推導出的轉阻增益非常大，同時式 (3.24) 與式 (3.25) 所得到的結果亦具有低輸入以及高輸出阻抗的特性，因此改用本米勒積分器電路後便能夠避免傳統 G_m -C 電路易受轉導器本身不理想性干擾之缺陷。

3.4 能隙參考電壓與偏壓電路設計

前一節已介紹出 FPAA 的核心電路，接著為了能使電路中各電晶體偏

壓在所需的工作點之上，必須建立出一穩定度夠高之參考電壓，以免訊號傳遞時受到電源雜訊或溫度變化等干擾。一般常見的解決方法是以能隙參考（Bandgap reference）電路[17]為主，其主要概念在於利用 PN 接面電壓在室溫下 $-2\text{mV}/^\circ\text{C}$ 的負溫度係數，以及藉由電路產生具有 $+0.085\text{mV}/^\circ\text{C}$ 正溫度係數的熱電壓（Thermal voltage）後，將兩者線性相加以使正負溫度係數互相抵銷而得到一零溫度係數的輸出電壓源。為了簡化起見，在此只以電路為主體來做介紹，至於詳細物理推導則可參考相關文獻。在偏壓電路部分，重點則放在如何利用已產生的能隙參考電壓來準確地分別製造出不同的偏壓電壓與電流。此外由於本子電路即是整個系統的偏壓來源，所以本電路所使用到的放大器必須採用自偏壓方式完成設計，亦成為此部分主要設計重點之一。

3.4.1 能隙參考電壓設計



圖 3.13 所示便是本論文改良自參考文獻[15]的能隙參考電壓電路，框線中所標乃是產生能隙電壓的主體電路，當中利用了 CMOS 製程中的寄生 BJT 電晶體（ $Q_{B1}\sim Q_{B3}$ ）來產生 PN 接面電壓，並同時在主體電路中製造出所需之熱電壓。另外可注意到本電路並不需要額外偏壓電源，而是由 Branch1、2 直接利用本身迴路鎖住偏壓電流以提供穩定工作點，但是兩 Branch 電流相等的條件會同時製造出兩種穩態工作點，亦即零電流與不等於零的預定電流，為了避免電路開機時無法脫離電流皆為零的情況，必須額外加入 $M_{B1}\sim M_{B5}$ 的電路負責產生主體迴路上非零電流的啟始電壓。若主體電路位於零工作點狀態時，節點 1 便會處於低電位而使電晶體 M_{B5} 導通，藉由 M_{B5} 導通再讓節點 1 的電位上升以導通 Branch1、2，最後節點 1 的電位升高至穩定偏壓點後， V_{gsB5} 將會因節點 1 的電壓提高而小於臨界電

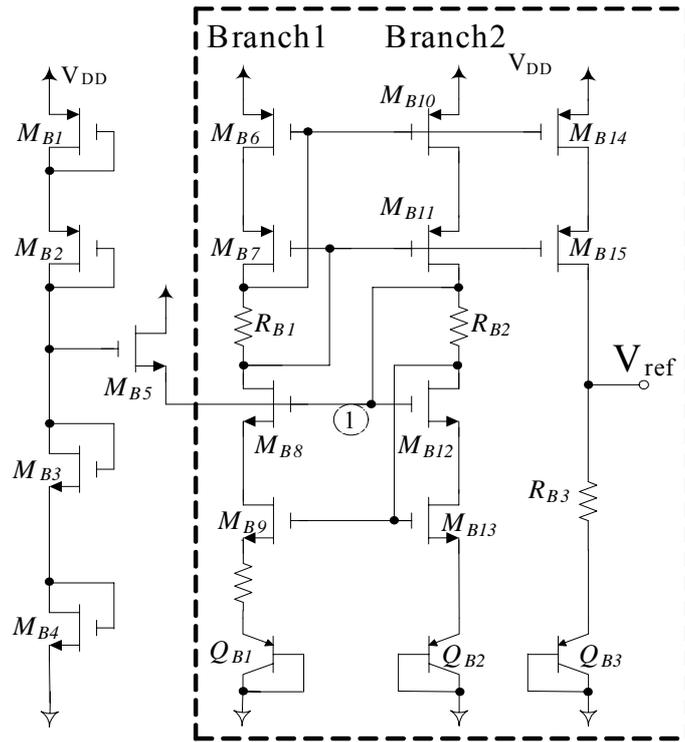


圖 3.13 能隙參考電路圖

壓 (V_t)，使得 M_{B5} 也自然地進入截止區以使主體與啟始電路相互隔離，如此可保證在進入正常工作後兩電路間彼此毫無關係。至於圖 3.14 則是能隙參考輸出電壓 V_{ref} 在溫度變化範圍介於 $-50^{\circ}\text{C} \sim 60^{\circ}\text{C}$ 時所得到的模擬結果，可看出在室溫 (27°C) 附近的溫度下電壓對溫度的斜率趨近於零，同時該參考電壓大約位於 1.178V ，所以便能得到對溫度變化不敏感的穩定參考源。另外由於電源電壓亦會對電路造成影響，為了解此參考電壓對電源

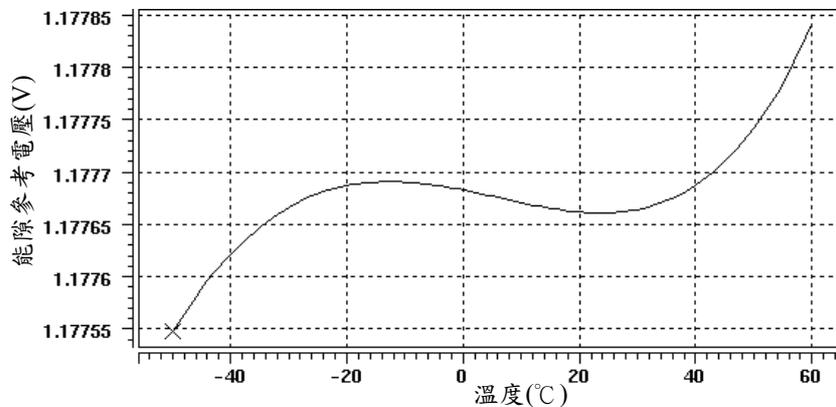


圖 3.14 能隙參考電壓與溫度變化圖

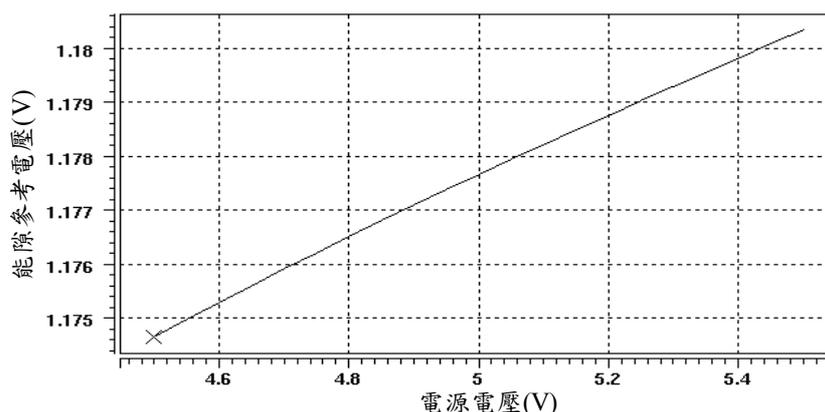


圖 3.15 能隙參考電壓與電源電壓變化圖

的變化情形，圖 3.15 模擬出了電源變動±10%時，能隙參考電壓所產生之變化結果。

由於本 FPAA 電路中有使用到全差動式放大器，為了提供此差動放大器共模電壓 2.5V 的參考準位，必須利用如圖 3.16 所示的額外電路以提昇能隙參考電壓。該圖利用了非反相放大器負迴授路徑與電阻分壓以達到將參考電壓提高的結果，由於放大器輸入端虛短路使得兩輸入點電壓皆約等於 1.178V，所以便可求得欲使輸出電壓等於 2.5V 時，兩電阻值的比例為

$$\frac{R_1}{R_2} = \frac{2.5 - 1.178}{1.178} \approx 1.122 \quad (3.26)$$

其中必須注意電阻所流過的電流乃是由 1.178V 與 R_2 所決定，當放大器最大輸出電流無法提供此設計電流值時，就會因放大器內部電晶體跳離工作區而使輸出電壓偏離預定的 2.5V。所以為了驅動兩電阻正常工作，放大器本身需要外加輸出級以提供足夠電流輸出，同時輸出電流的額定值必須與電阻值相互搭配以獲得最適當電壓。至於電阻也應選擇溫度係數較低的材

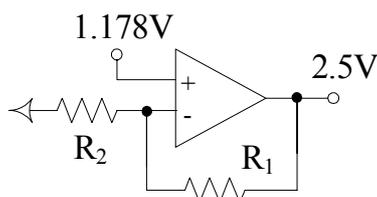


圖 3.16 共模電壓電路圖

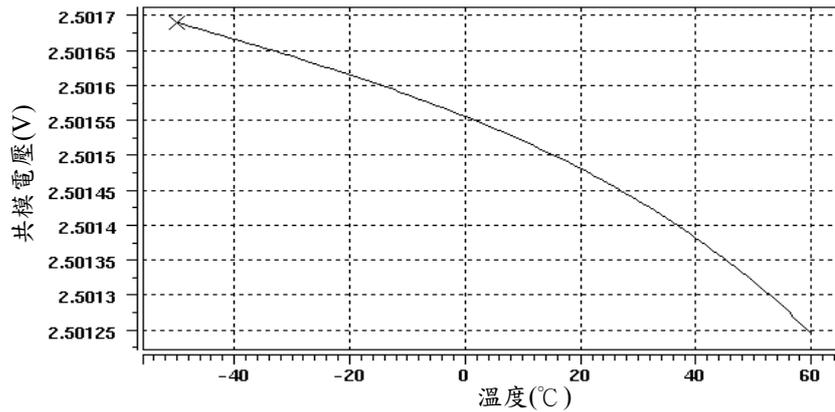


圖 3.17 共模電壓與溫度變化圖

質加以實現。最後圖 3.17 則是溫度由 -50°C 變化至 60°C 所模擬出的共模電壓變化圖。

3.4.2 偏壓電路設計

為了將各電晶體設定在適當的工作點之上，通常會使用定電流源來提供所需偏壓電流[18]，所以此電流源的穩定度將會大大地影響電路表現。為了避免溫度效應所產生的誤差，通常會由前節所設計得到的能隙參考電壓推廣至可靠之參考電流源，整體電路如圖 3.18 所示，框線中電路乃是利用能隙參考電壓搭配負迴授 (Negative FeedBack, NFB) 路徑以產生參考電流，所得到的參考電流值可表示為

$$I_{ref} = V_{ref} / R_{ref} = 1.178V / R_{ref} \quad (3.27)$$

另外為了避免電流源輸出電阻過小引起通道長度調變效應影響，本電路使用了 M_{R1} 、 M_{R2} 所構成的串接電流鏡來將此參考電流映射至右半部電路，所以最後電流 I_n 輸出亦是以電晶體 M_{R20} 、 M_{R21} 串接形成。如此比起傳統式電流鏡只使用一個 M_{R21} 作為輸出電晶體而言，所得到的輸出阻抗將會因 M_{R20} 的存在而被顯著放大，因此由 M_{R20} 汲極所看入的電流源輸出阻抗為

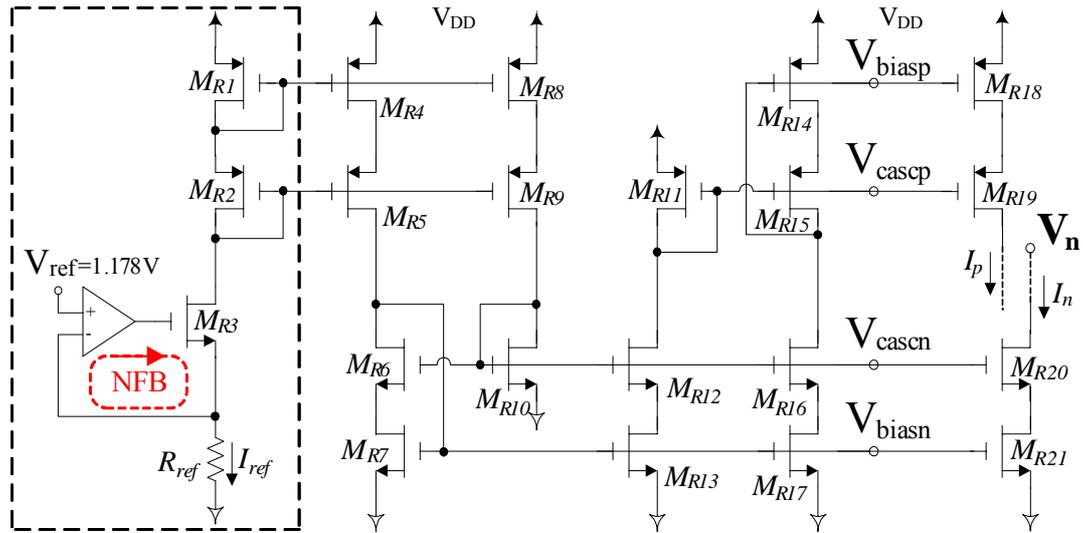


圖 3.18 詳細偏壓電路圖

$$R_{oR20} = r_{oR20} [1 + (g_{mR20} + g_{mbR20})r_{oR21}] + r_{oR21} \quad (3.28)$$

因此圖 3.18 偏壓電路所使用的電流鏡便可以有效地降低定電流源因輸出端電壓變化所造成的影響。

但是由於串接電流鏡先天具有縮減輸出端電壓範圍的缺點，因此必須使用圖 3.18 右半部電路的寬振幅串接式架構來克服此問題。以下將採文字敘述的方式加以說明其工作原理，至於詳細的數學推導則可參考文獻 [13]。接著便以圖 3.18 右半部電路中的 $M_{R4} \sim M_{R10}$ 、 M_{R20} 與 M_{R21} 這一組電流源做為例子來解釋，其中 M_{R10} 為二極體連接型式的電晶體並且主要功能是提供 M_{R6} 所需偏壓，同時 $M_{R6,7}$ 亦構成串接式二極體連接之電路。藉由適當地控制 $(W/L)_{R10}$ 生成合適邊界偏壓後，便能將電晶體 M_{R7} 的 V_{DS} 壓抑在飽和區邊緣，接著再利用 $M_{R6,7}$ 將電流複製到 $M_{R20,21}$ 上並透過電路使 V_{DS_R21} 與 V_{DS_R7} 相同而達到增加 M_{R20} 汲極訊號擺幅的目的。如此一來比起串接式電流鏡的輸出電壓範圍就多出一個 V_t 之大的電壓擺動範圍，並且有助於降低偏壓電路對電源電壓的要求。圖 3.19 則是模擬當輸出電壓 V_n 由 0.8V 上升至 2.5V 時對電流源 I_n 的影響情形。

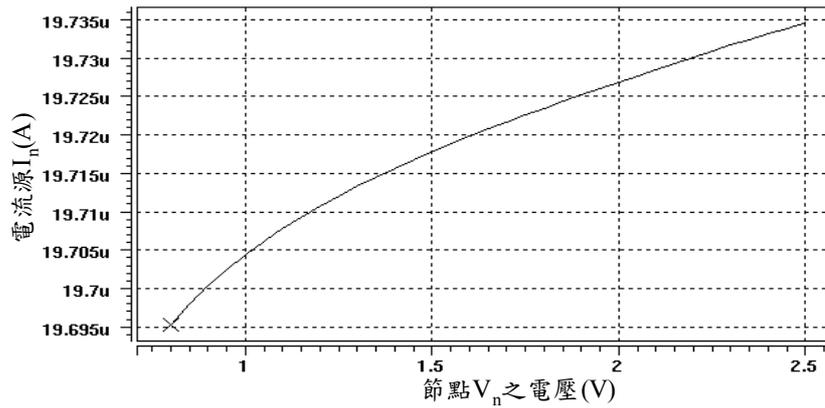


圖 3.19 電流源 I_n 與輸出電壓變化圖

以上便是偏壓電路的設計概念與流程，接著再來考慮當此部分電路實現至晶片時所面臨的實際問題。由於電路中每個電晶體都需要使用到偏壓源，為避免或多或少存在於繞線材質中的寄生電阻影響精確度，應盡量採用電流偏壓方式而非直接採用電壓偏壓，尤其當系統面積增大而使子電路與參考源距離過遠時，走線上無法避免的電壓降就會影響所產生的偏壓電流大小並會隨著所用材質電阻率越大而影響越嚴重，因此所能容許的最大距離範圍也就越短。為了改善此一現象，通常遠距離偏壓設計就應使用如圖 3.20 所示的電流傳遞方式，先將參考源轉為電流源模式後再將此電流訊號透過電流鏡將其映射出去，如此便可得到電流大小不受寄生電阻干擾的優點，可精確地將所需偏壓電流送至各子電路中。最後只要在子電路端再

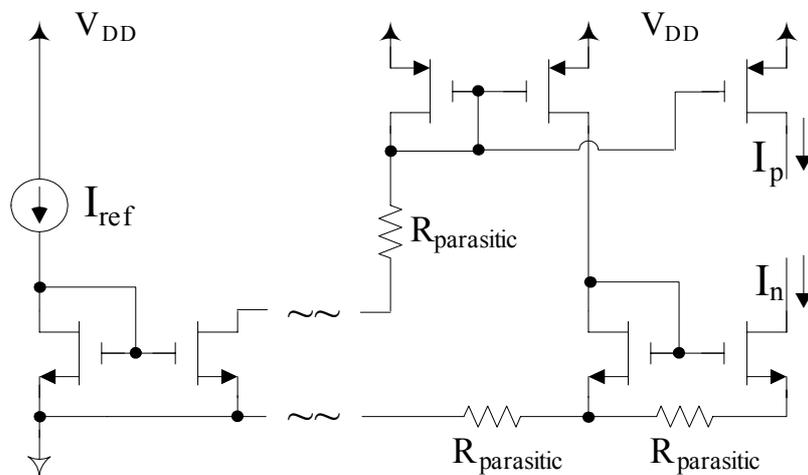


圖 3.20 遠距離電流源偏壓電路圖

利用電流鏡將傳來的偏壓電流轉換至適當流向後即可隨意取用，不過若系統過於龐大則仍應考慮使用多個參考偏壓來源，才能真正確保各偏壓點的準確性。

3.4.3 定轉導放大器設計

在圖 3.18 所標示的負迴授路徑中，使用到了一個單端輸出放大器來當作 V_{ref} 的緩衝級，但是在此偏壓電路完成前系統中尚未產生可用作偏壓的電流源，所以此放大器就必須採用定轉導式 (Constant transconductance) 的自偏壓設計[19]，如此本放大器對偏壓的要求便可自行加以解決。圖 3.21 即為定轉導式放大器的詳細電路圖，可看出左半部電晶體 $M_{R1} \sim M_{R6}$ 與電阻 R_b 構成了主偏壓電路，經過觀察後可得到如下的式子

$$V_{gsR6} = V_{gsR5} + I_{dR5} R_b \quad (3.29)$$

如果忽略其它二次效應不計則上式可改寫為

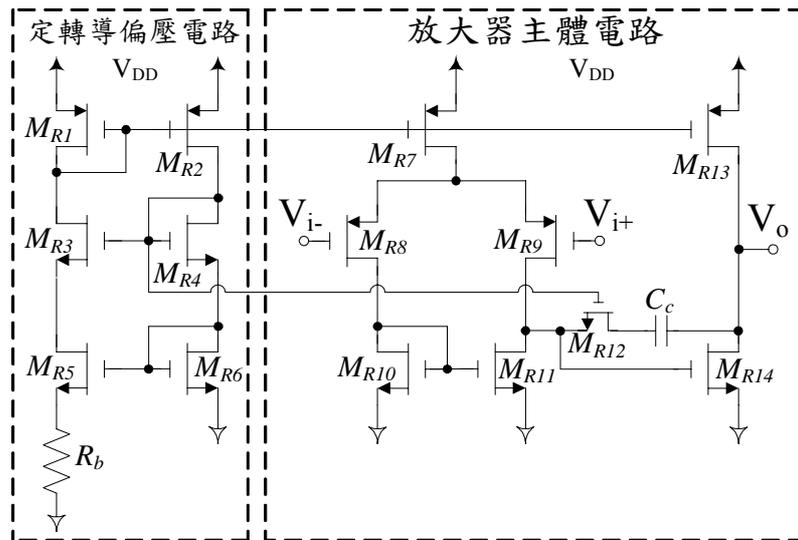


圖 3.21 定轉導放大器電路圖

$$\sqrt{\frac{2I_{dR6}}{\mu_n C_{OX} (W/L)_{R6}}} + V_m = \sqrt{\frac{2I_{dR5}}{\mu_n C_{OX} (W/L)_{R5}}} + V_m + I_{dR5} R_b \quad (3.30)$$

接著設定 $(W/L)_{R5} = 4(W/L)_{R6}$ 以及 $g_{mR6} = \sqrt{2\mu_n C_{OX} (W/L)_{R6} I_{dR6}}$ 後，便可推導出 M_{R6} 的有效轉導值為

$$g_{mR6} = \frac{2\left[1 - \sqrt{(W/L)_{R6}/(W/L)_{R5}}\right]}{R_b} = \frac{1}{R_b} \quad (3.31)$$

由上式便可看出 g_{mR6} 完全由電阻的倒數所決定而可使其穩定不受其他外界因素的影響，因此所謂定轉導式偏壓的名稱便是由此而來。

接著若就放大器主體電路加以討論的話，其實與一般常見的兩級差動放大器類似，只是額外加上米勒補償電容 C_c 與 M_{R12} 來完成極點分離以滿足穩定性要求。如果補償元件只有電容 C_c 存在的話，那麼放大器在單位增益頻率附近將會得到一個右半平面零點而使得補償困難度增加，於是 M_{R12} 便扮演了將零點移至左半平面的角色，也就是控制系統中常見的相位領先補償法 (Phase lead compensation) [13]。若從數學推導的方式來說明，首先調整 M_{R12} 使其偏壓於三極管區，所以可將其汲-源極兩端視為一等效電阻 R_c ，經過小訊號電路計算後便可得到輸出轉移函數的零點位於

$$\omega_z = \frac{1}{C_c \left[(1/g_{mR14}) - R_c \right]} \quad (3.32)$$

所以只要選擇適當的 R_c 使其大於 $1/g_{mR14}$ 便可使 $\omega_z < 0$ ，進而達到補償的效果。

3.5 頻率校正電路設計

因為本 FPAA 系統是以 G_m - C 技術為基礎之類比電路，使得轉導器與

電容便成為系統主要構成元件。但是晶片內部的電容由於被層層介電質所包圍，使得周遭寄生電容無所不在而造成等效電容值漂移可多達 10%，此外轉導器本身非線性與製程上誤差也同時會影響電路特性，導致此兩元件的誤差值將是整個系統主要誤差來源。為了補償以上所提到的變化量，各晶片便需要內建自我校正電路以供修正[20]。在一般 G_m -C 濾波器設計中，系統轉移函數中的係數多是由轉導值與電容值比例 (G_m/C) 所構成的頻率參數所形成，因此使用頻率參數來校正電路的方法已相繼被提出，並已有效地將整體誤差縮小至 1% 之下，所以本論文便以頻率校正理論為基礎提出適當電路架構來確保整體系統效能。

3.5.1 主體校正電路設計

如圖 3.22 所示，校正電路是由積分器、峰值檢測器與當作電壓比較器之用的放大器所組成。當輸入弦波頻率等於積分器單位增益頻率時，積分器的輸入與輸出端訊號便會因在該頻率下增益等於 1 而具有相同振幅，因此可分別利用峰值檢測器抓取輸出入振幅資訊，再經放大器比較後對電容 C_{tune} 加以充放電產生 V_{tune} 的調整電壓，接著再將此電容跨壓訊號迴授至轉導器以用來微調等效轉導值，因而產生負迴授作用來穩定工作點。

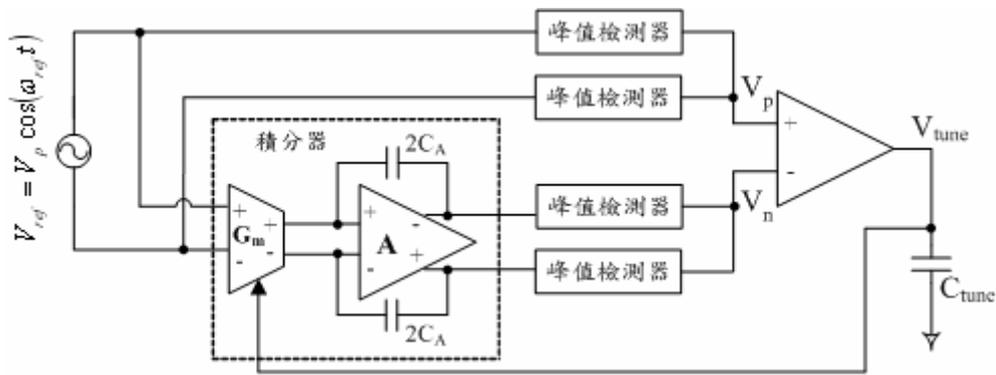


圖 3.22 頻率校正電路圖

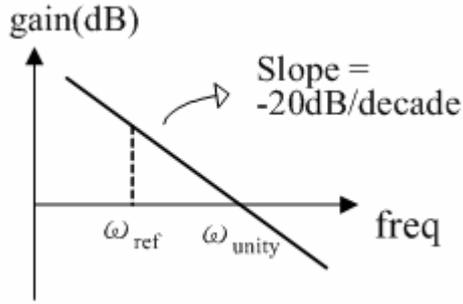


圖 3.23 積分器增益圖

詳細原理可用圖 3.23 的積分器增益圖加以說明，當積分器單位增益頻率 ω_{unity} 大於輸入弦波頻率 ω_{ref} 時，表示在 ω_{ref} 頻率下的積分器增益大於 1，將使得積分器輸出振幅大於輸入而造成 V_n 電壓大於 V_p ，所以比較器就會對電容放電以降低 V_{tune} 電壓，接著 ω_{unity} 便因 g_m 減小而下降。反之若 ω_{unity} 小於 ω_{ref} 時，電路便會作用使 g_m 增加而帶動 ω_{unity} 上升，最後就會自然進入一種穩定狀態，此時積分器單位增益頻率會與輸入弦波頻率相同而滿足如下關係式

$$\omega_{unity} = \omega_{ref} \quad (3.33)$$

而積分器單位增益頻率可由 g_m 與 C_A 表示，因此上式可改寫為

$$\omega_{unity} = g_m / C_A = \omega_{ref} \quad (3.34)$$

如此便可得到轉導值與電容值的比例固定於輸入弦波參考頻率上的結果，也就能確保此比例參數不會隨製程誤差而漂移。此外使用者亦能藉由改變此參考輸入頻率以控制比例大小，有助於擴展不同需要的使用範圍，所以透過本電路作用後轉導器與電容便會進行自我校正動作以將誤差控制至一定範圍之內。最後圖 3.24 模擬出在不同參考頻率之下所得到的迴授電壓 V_{tune} 以展現校正機制的正常工作情形，可以發現當輸入弦波參考頻率增加時，穩態迴授電壓亦會同時上升而使積分器單位增益頻率追隨參考頻率，因此符合以上所討論的分析結果。

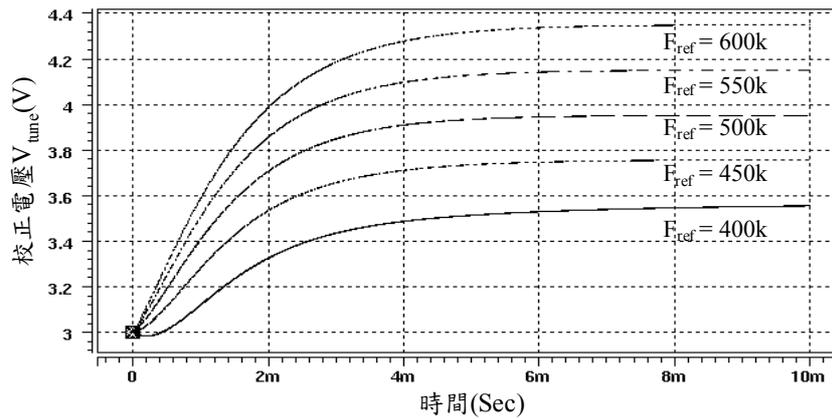


圖 3.24 不同參考頻率之校正電壓圖

3.5.2 震盪器電路設計

為了方便使用者進行校正動作以及提高晶片校正範圍的彈性，圖 3.22 中所輸入的參考訊號可考慮由晶片內建的震盪電路[21]搭配晶體震盪器所產生。如圖 3.25 所示，使用者只要透過更換外接的晶體震盪器 (XTAL) 即可選擇送入訊號的參考頻率。圖 3.25 中的電路主要是由波形產生器與單端輸入轉雙端輸出的轉換器所構成，基本上圖中左半部的波形產生器工作原理是根據負電阻理論而來，因此電路中反相器的功能在於形成等效負電

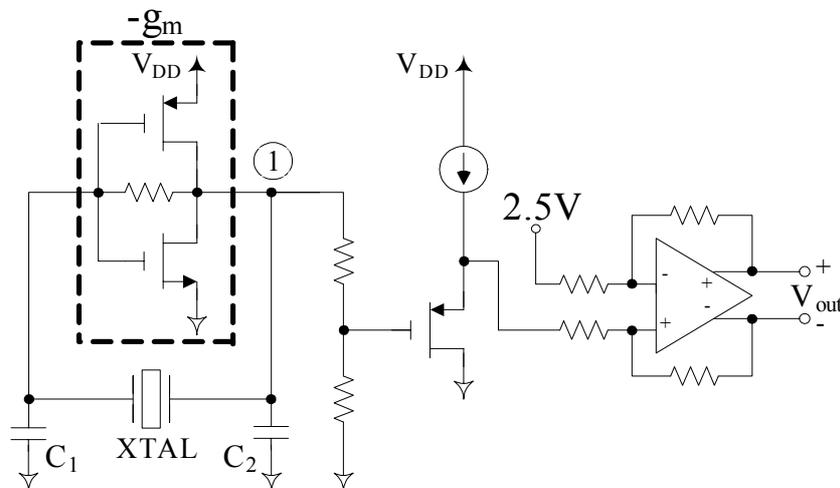


圖 3.25 震盪器電路圖

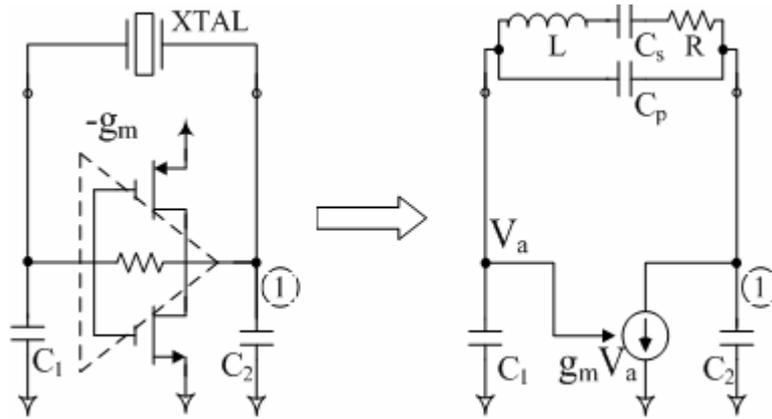


圖 3.26 波形產生器之等效電路圖

阻值 $-g_m$ 。為了分析此電路的工作情況，可參考文獻[22]的做法在不同頻率下帶入晶體震盪器與周邊電路的等效模型以得到圖 3.26，再將其進一步簡化後便可畫出純粹由被動元件所構成的等效電路圖 3.27，其中電阻 R_i 與電容 C_i 經過推導後可分別表示為

$$R_i = -g_m / \omega^2 C_1 C_2 \quad (3.35)$$

$$C_i = \left(\frac{1}{C_1} + \frac{1}{C_2} \right)^{-1} \quad (3.36)$$

由式 (3.35) 中可看出 R_i 會隨頻率變化而變動，因此如果電路位於震盪頻率時，負電阻 R_i 與正電阻 R_x 便會相互抵銷，此時電路就會以 L_x 與 C_i 組成 LC 震盪器，最後會在圖 3.25 的節點 1 得到一接近全擺幅 (Full swing) 之震盪訊號，並且該震盪頻率會由外部晶體震盪器所決定。

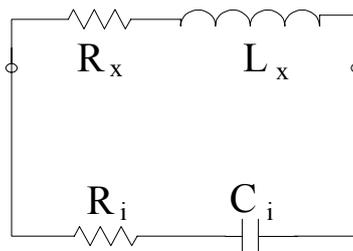


圖 3.27 波形產生器之簡化電路圖

另外電路本身為了確保開機時震盪現象能逐漸增強，在震盪訊號振幅並不大時 $|R_i|$ 必須大於晶體震盪器等效電阻 R_x ，亦即必須滿足

$$|R_i|_{small_signal} > R_x \quad (3.37)$$

然後隨著震盪訊號振幅逐步加大， R_i 阻抗值便會因電晶體本身的非線性效應而減小，最終電路會進入到穩定狀態，此時

$$|R_i| = R_x \quad (3.38)$$

而輸出的震盪訊號振幅亦會到達穩定大小而持續。此外由於校正電路所需要的參考訊號必須是具有 2.5V 共模電壓的差動式輸入，所以需要將波形產生器所產生的單端震盪訊號轉為差動式雙端輸出，因此使用了全差動式放大器以完成此功能。如圖 3.25 所示先將震盪訊號經過振幅與位準調整後，再送入至全差動式放大器輸入端並利用迴授電阻設定最後輸出波形 V_{out} 所需的振幅大小。至於全差動式放大器的設計因為在許多參考文獻中都有說明，所以在此不再贅述其詳細電路，只需確定該輸入漂移電壓 (Input offset voltage) 與頻寬 (Bandwidth) 滿足需求即可。至於圖 3.28 與圖 3.29 則分別為圖 3.26 中節點 1 與 $V_{out+,-}$ 的電壓波形，可看出由波形產生器所產生的單端震盪訊號，經過全差動式放大器作用後即轉為適當的雙端差動震盪訊號，所以可滿足頻率校正電路所需要的輸入參考訊號。

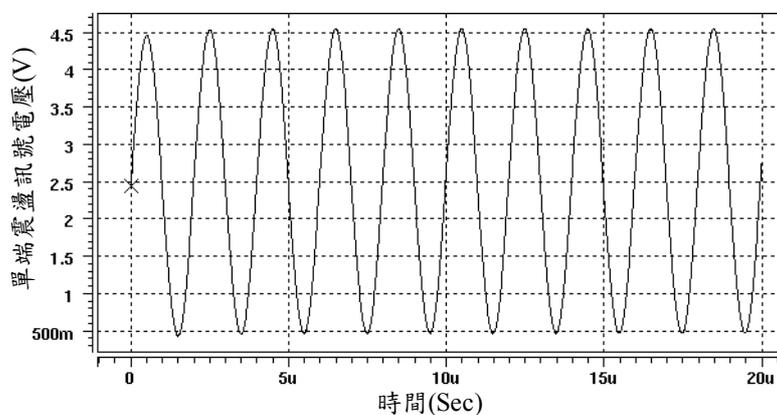


圖 3.28 單端震盪訊號電壓圖

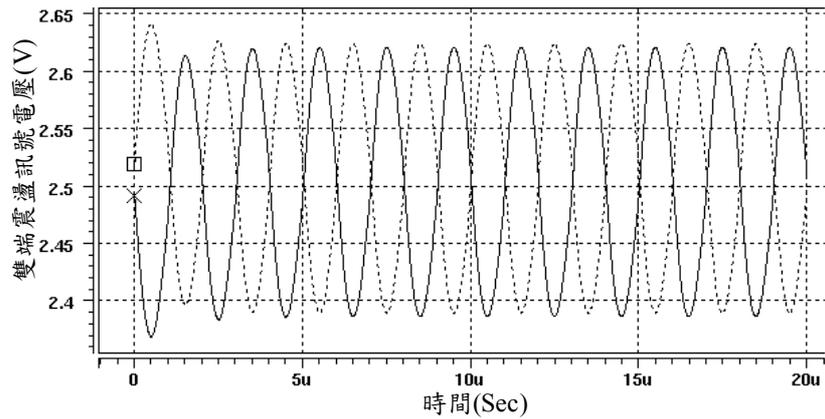


圖 3.29 雙端震盪訊號電壓圖

3.6 輸出級電路設計

為了有效地將晶片內部訊號傳送至外部負載，便需要大功率、低失真度的輸出級緩衝電路[23]，基本上好的輸出級必須滿足以下幾點要求：

1. 有能力傳遞某一程度的訊號功率，並提供可接受範圍內之總諧波失真（Total Harmonic Distortion, THD）。
2. 設計最小的輸出阻抗使此級電壓增益不易受到負載所影響，而能有效地將晶片內部的電路訊號送至負載端。

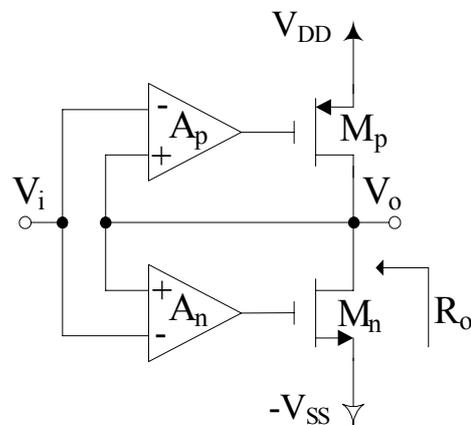


圖 3.30 互補式 AB 類輸出級電路圖

3. 由於系統大部分時間都是處於待命狀態，因此應盡量減低沒有訊號時的靜態功率消耗（Quiescent power consumption）。
4. 電路頻率響應不會限制住整體系統之頻寬。

一般常見的輸出級電路架構以 A、B 類為基本型，不過卻分別具有靜態功率消耗過大與交越失真的缺點，所以便出現所謂的 AB 類輸出級以修正上述缺點。圖 3.30 便是利用誤差放大器搭配共源極架構所實現的例子[24]，首先誤差放大器 A_p 、 A_n 偵測輸出入電壓差值後，將該誤差放大來驅動 M_p 、 M_n 以使輸出電壓追隨輸入波形，因此構成串並式（Series-Shunt）負迴授閉路連接形式，亦即電壓取樣電壓迴授模式。若假設整體閉迴路增益為 $A\beta$ ，則經由迴授理論可得到此電路等效的輸入及輸出阻抗將分別被放大及縮小 $(1+A\beta)$ 倍，所以本電路具有滿足上述第二項的優點。除了應用迴授理論的方法之外，也可以直接採取小訊號分析求得其輸出阻抗等於

$$R_o = r_{o_p} // r_{o_n} // [1 / (g_{mp} + g_{mn}) A_p] \quad (3.39)$$

所以輸出電阻可被顯著地減小以符合阻抗匹配的條件。此外本電路也具有擴展輸出電壓擺幅的優點，原因是只要當輸出電晶體 M_p 、 M_n 工作於飽和區時整個輸出級即屬於正常動作模式，所以輸出電壓只要在位於 $V_{DD}-V_{ov}$

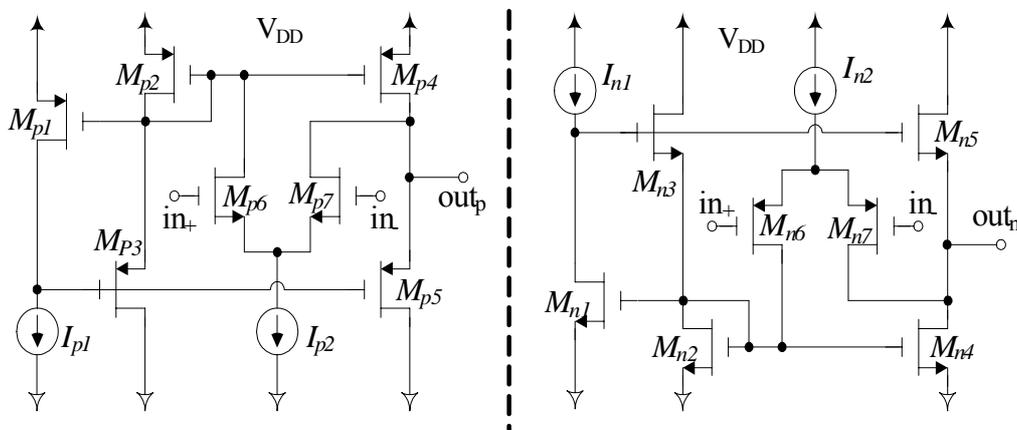


圖 3.31 誤差放大器電路圖

與 $-V_{SS}+V_{ov}$ 範圍之內，就可以確保輸出將會趨近於輸入波形，也就同時具有較大的輸出電壓範圍以供使用。

至於誤差放大器方面，可先從系統觀點來瞭解這部分電路設計時所必須注意的事項。為了處理輸入訊號的高頻部分，誤差放大器必須擁有足夠的高頻寬以快速經由負迴授產生補償效果，但缺點是會減小迴路的穩定界限，尤其當輸出端屬於很大的電容性負載時影響更是嚴重，因此要小心處理穩定度補償的問題。另外 M_p 、 M_n 的靜態汲極電流也需做適當的控制，否則會造成交越失真加劇而使諧波成分大增。至於圖 3.31 所示即為誤差放大器的詳細電路圖，左、右半部電路分別代表了 A_p 、 A_n 兩放大器。若從正半邊的誤差放大器 A_p 加以分析，首先看出 M_{p1} 、 M_{p2} 與 M_{p4} 彼此連接成電流鏡形式，因此可選擇 $(W/L)_{p2} = (W/L)_{p4} = k(W/L)_{p1}$ 使下式成立

$$I_{Dp2} = I_{Dp4} = kI_{Dp1} = kI_{p1} \quad (3.40)$$

同時假設輸入端電晶體 M_{p6} 、 M_{p7} 的長寬比相同而得到

$$I_{Dp6} = I_{Dp7} = I_{p2}/2 \quad (3.41)$$

接著應用 KCL 定理可推出

$$I_{Dp3} = I_{Dp2} - I_{Dp6} = kI_{p1} - I_{p2}/2 \quad (3.42)$$

$$I_{Dp5} = I_{Dp4} - I_{Dp7} = kI_{p1} - I_{p2}/2 \quad (3.43)$$

所以誤差放大器內各電晶體的偏壓電流便可輕易地決定出來。但是在設計偏壓條件時必須注意在各種輸入電壓下， M_{p3} 與 M_{p5} 皆不能進入截止區才能確保電路誤差放大功能正常進行，因此必須加入 $I_{Dp2} > I_{p2}$ 的限制以避免 M_{p6} 、 M_{p7} 完全切換而使得 M_{p3} 或 M_{p5} 的汲極電流等於零，甚至最後影響輸出級的負迴授路徑。接著當電晶體偏壓點確立之後便可著手進行小訊號分

析步驟，將電晶體等效小訊號模型帶入後經過簡單的分析便可求得誤差放大器增益等於

$$A_p = g_{mp7} / (g_{mp5} + g_{mbp5}) \quad (3.44)$$

而在實際應用上，由於輸出級會受到誤差放大器輸入漂移電壓的影響，使得一般使用的實際增益值大約都在小於 8 的範圍之內。

經過以上的理論分析後，接下來就圖示出電路所得到的模擬結果以供佐證。首先圖 3.32 乃是誤差放大器的頻率響應圖，由其中可看出低頻增益大約為 5 並且工作頻率範圍至少可到達 10MHz 等級，因此不致於發生誤差放大器拉低輸出級響應速度的問題。另外因為還保留有 60 度左右的相位安全邊限 (Phase margin) 而使放大器穩定的條件得以確立。圖 3.33 則是輸出級整體電路的頻率響應圖，可得到對應的增益與頻寬之乘積 (GBW) 大約為 30MHz 左右。同時為了驗證本電路輸出端的穩定特性，圖 3.34 則是以 1MHz 步級 (Step) 輸入所得到的模擬波形，可看出雖然輸出電壓發生些許的超越現象，不過卻可有效地加快暫態響應的速度。

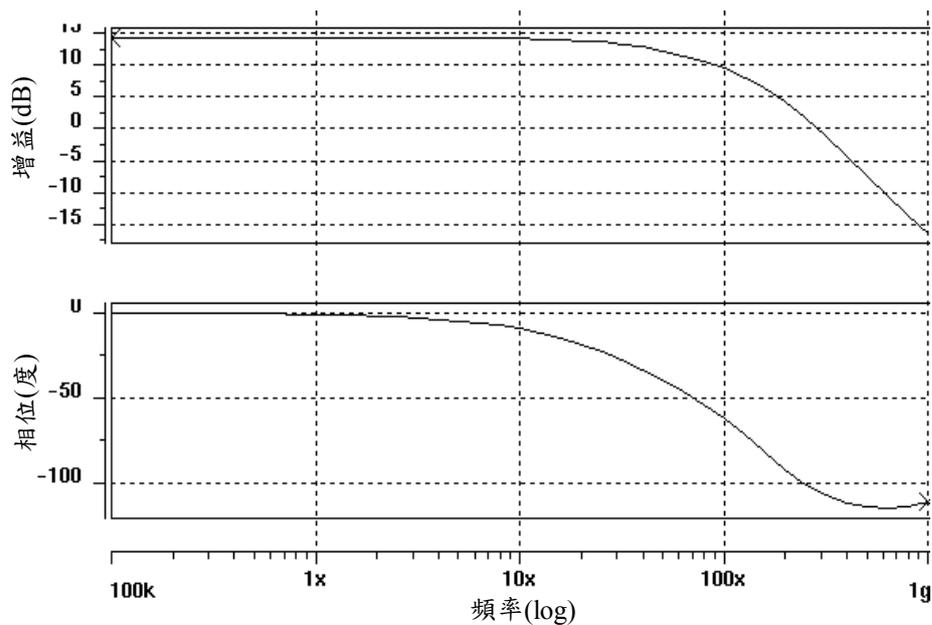


圖 3.32 誤差放大器之頻率響應圖

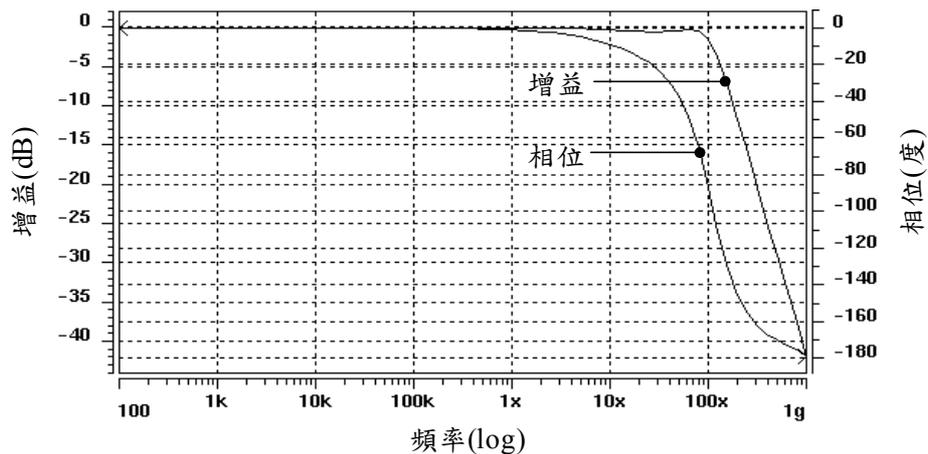


圖 3.33 整體輸出級之頻率響應圖

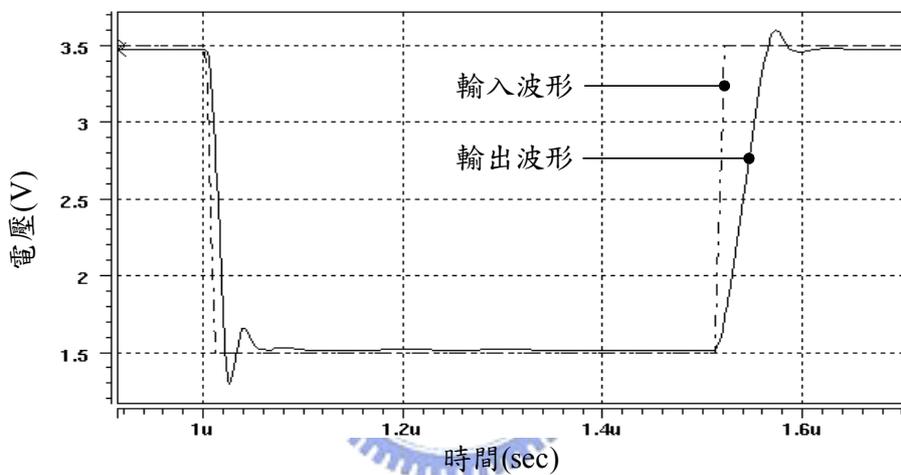


圖 3.34 整體輸出級之步級響應圖

除了以上所提的頻寬因素之外，由電晶體本身非線性效應所引起的失真度也是必須考量的重點之一。因此圖 3.35 乃是本輸出級電路在不同輸入弦波頻率下經過傅立葉(Fourier)分析所得到的總諧波失真(Total harmonic

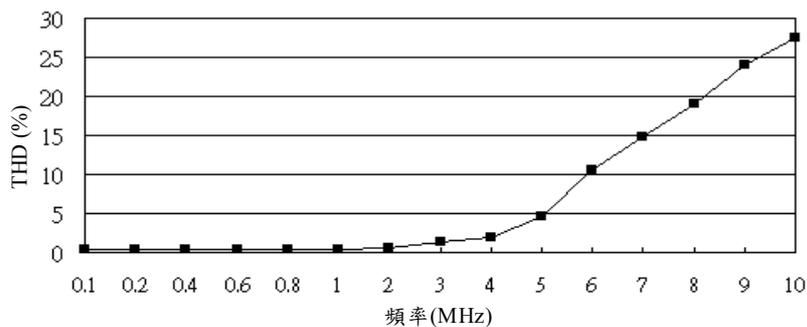


圖 3.35 整體輸出級之總諧波失真曲線圖

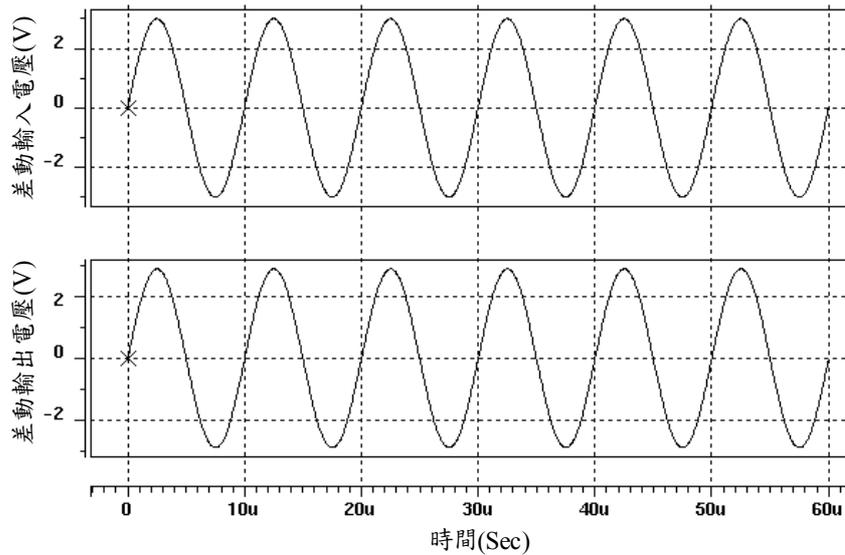


圖 3.36 輸出入差動電壓波形圖

distortion) 曲線圖，當中可發現當輸入頻率小於 5MHz 時所產生的 THD 百分比皆小於 5%，因此本輸出級可適用於一般中低頻應用電路中。至於圖 3.36 則是灌入 100KHz 弦波後在差動輸出情況下所得到的輸出入電壓波形圖，可以明顯看出當差動輸入電壓範圍介於 -3~3V 時，輸出電壓皆可以準確地追隨輸入變化。所以只要輸出級的額定輸出電流值足以推動外部負載時，即可保證晶片內的電壓訊號能夠完整地傳送出去，以達到與外部介面電路相互溝通的目標。

3.7 開關控制電路設計

本論文在 2.4 節中提到了幾個用來規劃電路的可程式化策略，基本原理都是利用電晶體開關控制類比訊號流向以達到規劃目的[25]，因此為了有效控制開關導通與否，必須在系統中加入儲存開關資訊的記憶電路。一般而言這部分皆是由多位元的位移暫存器 (Shift register) 所完成，例如圖 3.37 就是單一位元的正緣觸發 D 型正反器 (D-type positive-edge-triggered flip-flop)。其特性是只有當震盪訊號 (Clk) 由低轉高準位時，才會將輸入

D_{in} 的數位資料送至輸出 Q ，同時亦會產生反相輸出訊號 Q' ，所以只要把此 D 型正反器基本單元頭尾相互串接後，便可得到串列輸入/串列輸出 (Serial-in /Serial-out) 的位移暫存器如圖 3.38，並負責接收及傳遞開關規劃資料的工作。因此只要輸入的數位控制資料能夠搭配適當震盪訊號後，便可使規劃資料一級級地傳至位移暫存器內並儲存起來。圖 3.39 便是將輸入資料串列送入 3 級位移暫存器的波形模擬結果，其中使用的震盪訊號 Clk_{in} 頻率為 500KHz，並將 Clk_{in} 與 enable 兩訊號完成邏輯 AND 運算後所形成的 Clk 當做各正反器真正的震盪訊號，如此使用者便能藉由 enable 功能來決定震盪是否送入正反器，也就能讓位移暫存器得以選擇做資料保留或移位的動作。

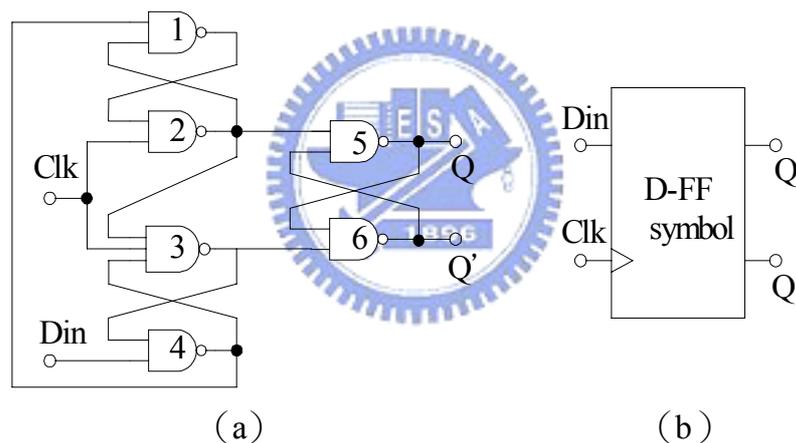


圖 3.37 單一位元之正緣觸發 D 型正反器 (a) 邏輯電路圖 (b) 方塊圖

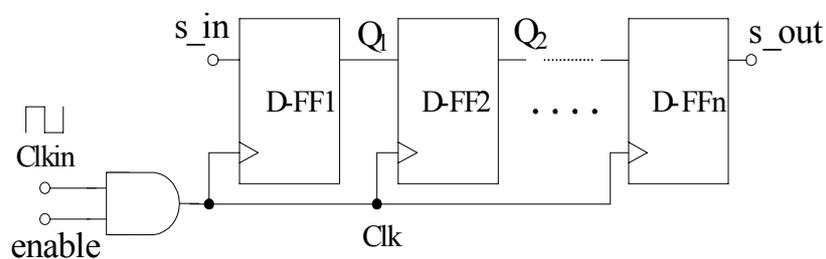


圖 3.38 多位元之位移暫存器

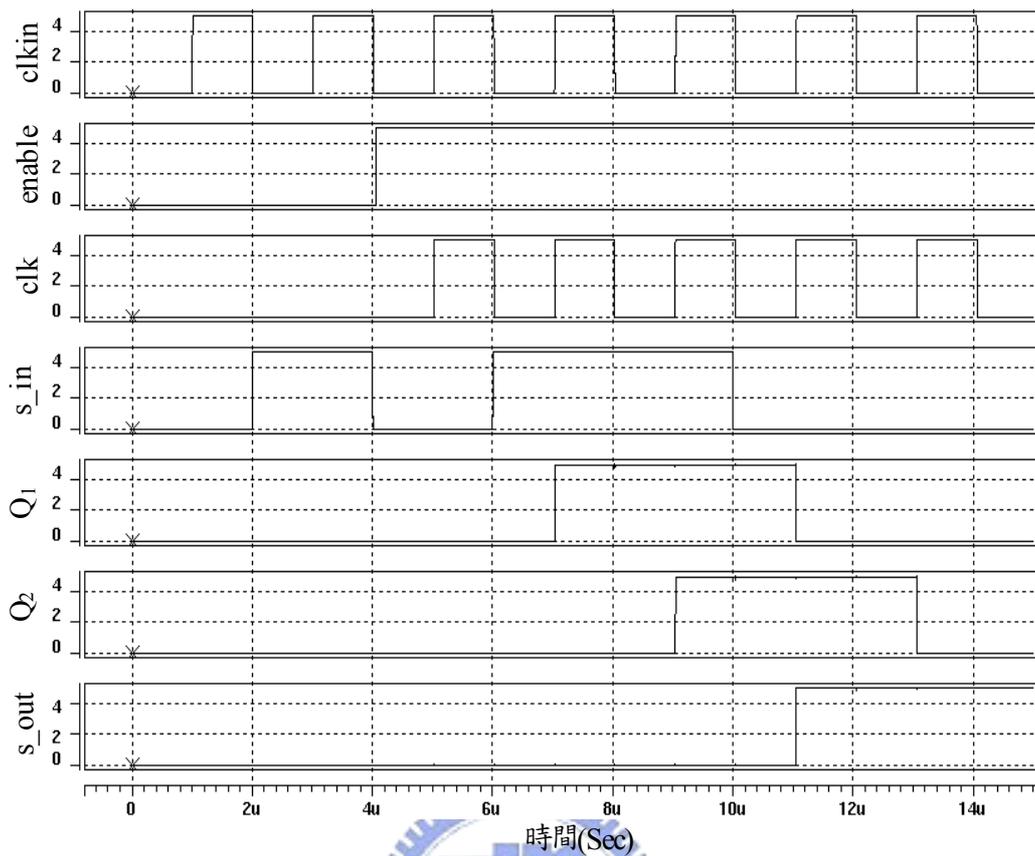


圖 3.39 3 級位移暫存器之波形模擬圖

在規劃 FPAA 的過程中，規劃資料必定會經由某種傳輸介質才會送至晶片內部，因此資料容易受到傳輸條件的改變所影響。為了瞭解傳輸時錯誤發生的主因，先將常見錯誤的發生情況大致分為以下三種

1. 傳輸距離：當傳輸距離增加時，訊號強度會隨著減弱，所以接收端較不易將所收到的訊號完整復原。
2. 傳輸頻率：訊號衰減與訊號頻率呈現正相關，亦即頻率越高時訊號扭曲將會越嚴重。
3. 雜訊干擾：雜訊是指任何混雜在接收訊號內的干擾能量，例如熱雜訊、線與線間 Crosstalk 所造成的影響皆屬之。

因此在規劃資料的傳輸方法確立下來之後，便可以來考慮如何建構出一套檢查機制來避免傳輸錯誤發生，其中最常見也最有效的偵錯方式就是循環

重複檢查 (Cyclic Redundancy Check, CRC) [26]。此檢查機制的主要運作方式可說明如下，首先 CRC 會針對 k 位元資料區段產生 n 位元的檢查碼，再以 k+n 個位元為一組來檢查傳送資料是否有錯誤。檢查的方法則是核對該組資料是否可以被預先定義好的函式整除，亦即在執行完所定義的除法後觀察是否有餘數產生，若餘數不為零則代表有錯誤隱藏在該組資料串內，便可通知傳送端重新遞送資料以大幅減少錯誤發生率。以下就舉一個簡單例子作為說明，假設原始規劃資料 M 具有 5 個有效位元 11001 (k = 5)，並且規定 CRC 在 M 之後必須額外產生 3 個檢查位元 N (n = 3)，同時預先定義的除式 P 為 1011，那麼傳送端為了計算出最後在傳送資料所必須加入的檢查位元 N，應該先將 M 乘上 2^3 以向左平移 3 個位元後，再將所得的結果除以 P 而等於

$$\frac{2^3 \cdot M}{P} = \frac{11001000}{1011} = 11101 \dots 111 \quad (3.45)$$

所以上式的餘數“111”即為所需的 3 位元檢查碼 N，然後只要將 N 接至 M 之後即可得到最後引入檢查碼的傳送資料 F=11001111。至於接收端檢查資料是否有誤的方法，就只需將 F 除以 P 後再檢查餘數是否為零即可。

接著再來說明 CRC 演算法在 FPAA 中的功能，因為在規劃開關導通的過程中，資料是先經過 PC 端軟體編譯後再送至晶片內部，因此人機介面軟體只要依循上述傳送端的步驟編寫程式便可成功地加入檢查碼。至於

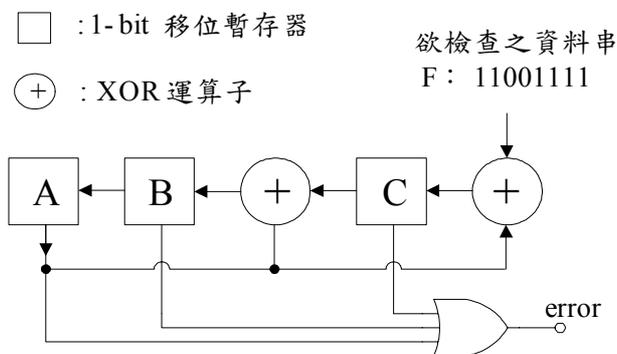


圖 3.40 CRC 等效電路表示圖

接收端的角色則是由晶片來扮演，因此這部分的演算法必須轉換成電路形式加以完成。圖 3.40 便畫出了前述例子的等效電路表示圖，由圖中可看出電路中只需要位移暫存器與 XOR 運算子便可完成所定義的除法動作。接著就以所收到的資料 F 為例說明詳細執行步驟，首先如表 3.1 所示先將暫存器 A、B、C 的值清為零 (Step1)，然後把 F 從最高位元開始送入此電路內後，便會使得暫存器內的值根據 F 或前一級運算結果做變化而產生了 Step2~Step9 等步驟，最後等到 F 的最低位元也處理完成後，暫存器內的儲存值就是餘數。接著只要將暫存器內各值接至 OR 閘並觀察輸出訊號 error 即可研判出是否有餘數產生，其中若有任一暫存器值不為零則代表餘數亦不為零，所以就會觸發 error 訊號由低轉高準位來通知傳送端資料接收錯誤，如此便完成接收端利用 CRC 演算法檢查錯誤的步驟。

表 3.1 CRC 執行步驟

	A	B	C	F
step1	0	0	0	
step2	0	0	0	1
step3	0	0	1	1
step4	0	1	1	0
step5	1	1	0	0
step6	1	1	1	1
step7	1	0	0	1
step8	0	1	0	1
step9	1	0	1	1
step10	0	0	0	

第四章

可程式類比陣列之應用規劃與佈局

4.1 前言

經由前章介紹完可程式類比陣列的工作原理以建立起整體系統電路後，本章將著重於利用現有電路資源規劃出常見的一階及二階濾波器，並經由模擬軟體分析各濾波器的效能與特性，藉此展現出使用可程式類比陣列設計時，該系統擁有即時規劃各項參數的優點。同時希望能將此設計的實際應用面拓展至一般工業控制器，以賦予控制系統能依外在環境改變而自我調整的能力。

第二節將說明如何利用現有可程式類比陣列電路組合出具有實用價值的系統方塊，同時討論該可程式化方塊的應用方式及其使用特性，藉以凸顯本研究所具有的方向與價值。第三節則指出在執行電路佈局動作時所必須注意到的技巧與方法，有助於降低類比電路區塊受到不必要的雜訊影響。最後第四節介紹一個控制可程式類比陣列的介面程式，以方便測試時隨時改變參數的設定值。

4.2 各式濾波器之實現

本節將以圖 3.1 所建構出的 FPAA 系統架構圖為基礎，利用內建的 CAB 相互組合出二階以下的濾波器電路。由於在 G_m -C 等效電路函數中的各項係數皆是由轉導值與電容值組合而成，因此首先應該對這兩大基本元素訂

下通用的定義以簡化之後使用到的轉移函數表示式。因為 CAB 內各種可變的元件值皆是採取數位化的方式加以控制，也就是先設定出各元件的單位基準值之後，再將其依照二進制放大以建立出各種不同的等效元件值。所以根據這個概念便可將各轉導值與電容值表示如下

$$G_{mx} = G_{mbase} \times \sum_n d_{Gmx,n} \cdot 2^n \quad (4.1)$$

$$C_x = C_{base} \times \sum_n d_{Cx,n} \cdot 2^n \quad (4.2)$$

$$\text{其中 } d_{Gmx,n}、d_{Cx,n} \in \{0,1\}$$

其中 x 表示各元件的索引值， G_{mbase} 與 C_{base} 則分別為轉導器與電容的單位基準值， $d_{Gmx,n}$ 與 $d_{Cx,n}$ 則是電路內部用來控制開關的數位訊號。所以各元件對應的等效值便可輕易地以數學式完整表示，另外因為轉導值除以電容值 (G_m/C) 可形成頻率參數，因此再定義出另一基準頻率參數如下

$$\omega_{base} = G_{mbase} / C_{base} \quad (4.3)$$

此 ω_{base} 將有助於設計者設定 FPAA 的預計工作頻率範圍，並藉此適當地選擇電路元件基準值的大小。在完成以上的參數定義之後，接著便可以此為基礎著手建構出較為複雜的電路形式與轉移函數表示式。

4.2.1 一階濾波器之規劃

首先考慮比較簡單的一階濾波器，由式 (3.1) 中可看出 CAB 本身即具有直接實現一階函數的能力，因此對於一階以下的濾波器電路僅需使用到一個 CAB 即可完成，算是 FPAA 應用中基本的使用類型。另外為了將注意力直接放在實現等效轉移函數的電路設計方法，以下所推導的對象將

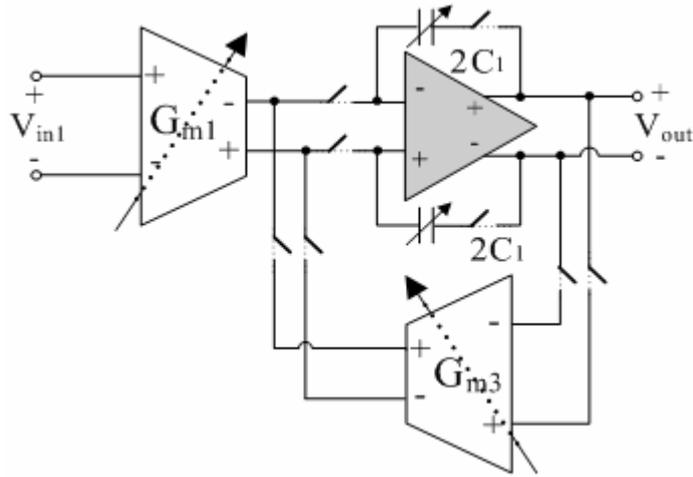


圖4.1 一階濾波器電路圖

簡化為單一輸入與單一輸出系統，如果需要額外輸入的話可利用 CAB 內建的另一組輸入埠加以擴充。所以只要圖 4.1 中的開關全部導通時便可得到一階濾波器的詳細電路，而該電路所代表的轉移函數等於

$$\frac{V_{out}(s)}{V_{in1}(s)} = \frac{G_{m1}}{G_{m3}} \frac{1}{1 + \frac{s}{G_{m3}/C_1}} \quad (4.4)$$

接著將式 (4.1) 與 (4.2) 分別代入上式的轉導值與電容值後可得到

$$\begin{aligned} \frac{V_{out}(s)}{V_{in1}(s)} &= \frac{G_{mbase} \sum_n d_{Gm1,n} \cdot 2^n}{G_{mbase} \sum_n d_{Gm3,n} \cdot 2^n} \frac{1}{1 + \frac{s}{\left(G_{mbase} \sum_n d_{Gm3,n} \cdot 2^n \right) / \left(C_{base} \sum_n d_{C1,n} \cdot 2^n \right)}} \\ &= K_1 \frac{1}{1 + \frac{s}{K_2 \omega_{base}}} \end{aligned} \quad (4.5)$$

$$\text{其中 } K_1 = \frac{\sum_n d_{Gm1,n} \cdot 2^n}{\sum_n d_{Gm3,n} \cdot 2^n}, \quad K_2 = \frac{\sum_n d_{Gm3,n} \cdot 2^n}{\sum_n d_{C1,n} \cdot 2^n}$$

所以 K_1 與 K_2 可由輸入的數位控制訊號加以決定，使得式 (4.5) 所代表的一階濾波器能夠更改直流增益與極點位置。

另外雖然式 (4.4) 與 (4.5) 就數學上而言只是單純的變數轉換，但若從電路的觀點出發卻可以分別解釋出不同意義。首先將式 (4.4) 與標準轉移函數表示法對照後得到 (G_{m1}/G_{m3}) 與 (G_{m3}/C_1) 分別為該濾波器的直流增益與極點位置，所以當使用者根據所需給定這兩個參數之後，介面程式便能藉此計算出相對應的 G_{m1} 、 G_{m3} 和 C_1 之值，並自行規劃出最有效距離的開關以控制 FPAA。如此使用者便能在忽略內部詳細電路的情況下，以系統整體需要滿足的規格為出發點來完成開發工作，所以能夠有效地加快設計時程，並簡化大型系統設計的複雜度。至於由式 (4.5) 則可看出兩點特性：

1. 濾波器直流增益 (K_1) 與轉導器單位基準值 ($G_{m\text{base}}$) 互不影響，而是由開關控制訊號所構成的二進位數值直接決定。
2. 濾波器極點頻率乃是基準頻率 ω_{base} 的倍數，而此倍數 (K_2) 亦可由開關控制訊號所構成的二進位數值決定。

因此濾波器的重要規格乍看下雖然好像都與電路內元件絕對值相關，但若將式子經過化簡後便會發現實際上還是由元件相對值所決定，只不過再經過數位訊號將其做倍率放大縮小的手續而已，如此可以有效地避免濾波器效能受到製程漂移的嚴重影響，同時確保可規劃能力存在於電路內。

圖 4.2、4.3 為所實現的一階濾波器波德圖模擬結果。首先圖 4.2 中藉

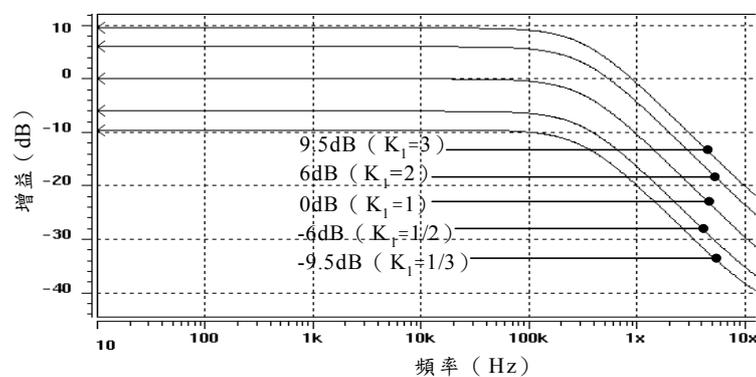


圖 4.2 一階濾波器增益圖 (改變直流增益)

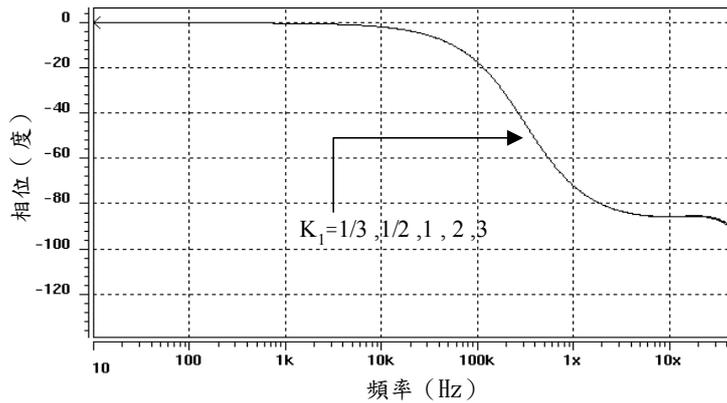


圖 4.3 一階濾波器相位圖 (改變直流增益)

由改變式 (4.5) 直流增益 K_1 中的數位訊號 $d_{Gm1,n}$ 與 $d_{Gm3,n}$ 來驗證是否具有可規劃能力，可發現當 K_1 依序向上遞增時並不會對極點位置引起連動效應，所以透過此種調整機制便可在固定頻寬的要求下控制增益大小。另外需要注意的是從圖 4.3 的相位中可以看出在高過 30MHz 左右的頻率下，相位的表現會受到寄生高頻極點影響而產生相位角偏移，所以在高過此邊界頻率後濾波器整體表現便會偏離一階函數的趨勢。一般說來電路應盡量避免使用該高頻區段，假若工作頻段必須涵蓋此區域時，除了以上所述的寄生效應誤差外，對於訊號路徑中開關本身頻率響應的好壞也需一併考慮，才足以確保系統穩定度位於可接受範圍內。至於圖 4.4、4.5 則是將參數變化對象改為式 (4.5) 極點位置的倍數 K_2 後所得到的增益與相位模擬圖，亦可同樣得到在不干擾其他條件的前提下能夠單獨調整此變數之結論，所以一階濾波器便能利用以上所介紹的方法自由地規劃頻率響應圖形。

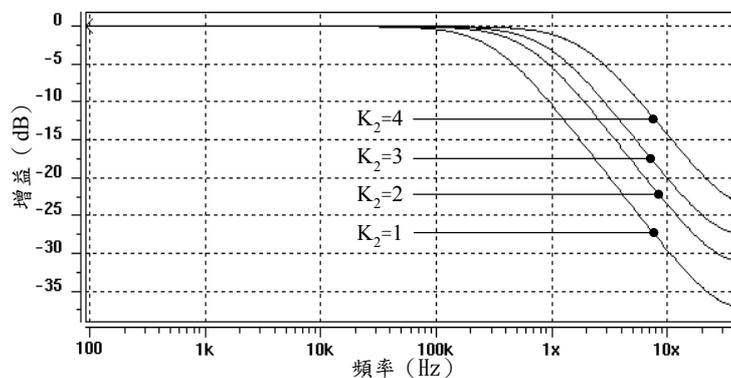


圖 4.4 一階濾波器增益圖 (改變極點位置)

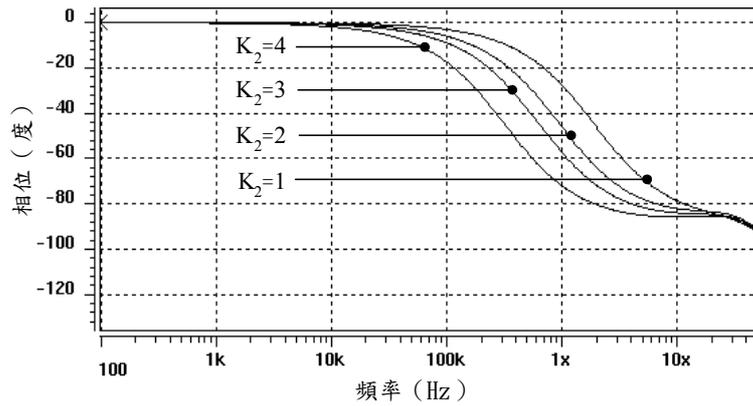


圖 4.5 一階濾波器相位圖 (改變極點位置)

在說明完一階濾波器的基本型態後，一般類比控制系統所常見的比例與積分控制器就顯得較為簡單，並且皆可視為一階濾波器在不同情況下的特例。首先就從兩控制器的等效轉移函數式開始著手分析如何利用 FPAA 加以實現，根據定義比例控制器與積分控制器可分別表示為

$$\frac{V_{out}(s)}{V_{in1}(s)} = K_P \quad (4.6)$$

$$\frac{V_{out}(s)}{V_{in1}(s)} = \frac{K_I}{s} \quad (4.7)$$

接著若將式 (4.4) 拿來與以上兩式做係數比較後可發現當 C_1 等於零時便會出現式 (4.6) 的型態，至於式 (4.7) 則可在 G_{m3} 趨近於零時簡化得到，

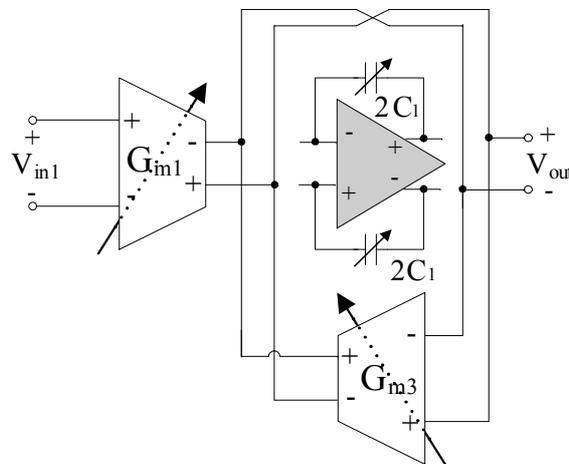


圖 4.6 比例控制器電路圖

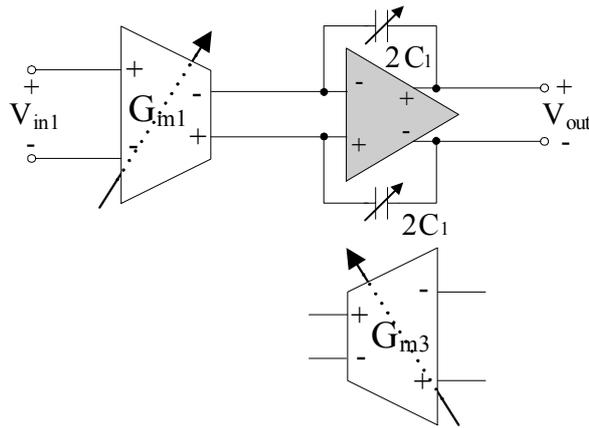


圖 4.7 積分控制器電路圖

所以只要在圖 4.1 的電路中利用開關將對應元件關閉而不發生作用，便自然能得到比例與積分控制器的電路效果。圖 4.6 到 4.7 則是將元件關閉後所產生的電路圖，各圖中的轉換函數除了可從式 (4.4) 簡化而得外，亦能遵循第三章方法重新根據電壓電流關係聯立推導而出，所以便能輕易得到兩電路轉換至 FPAA 後所推導出的等效式如下

$$\frac{V_{out}(s)}{V_{in1}(s)} = K_P = \frac{G_{m1}}{G_{m3}} = \frac{\sum_n d_{Gm1,n} \cdot 2^n}{\sum_n d_{Gm3,n} \cdot 2^n} \quad (4.8)$$

$$\frac{V_{out}(s)}{V_{in1}(s)} = \frac{K_I}{s} = \frac{(G_{m1}/C_1)}{s} = \frac{\sum_n d_{Gm1,n} \cdot 2^n \omega_{base}}{\sum_n d_{C1,n} \cdot 2^n s} \quad (4.9)$$

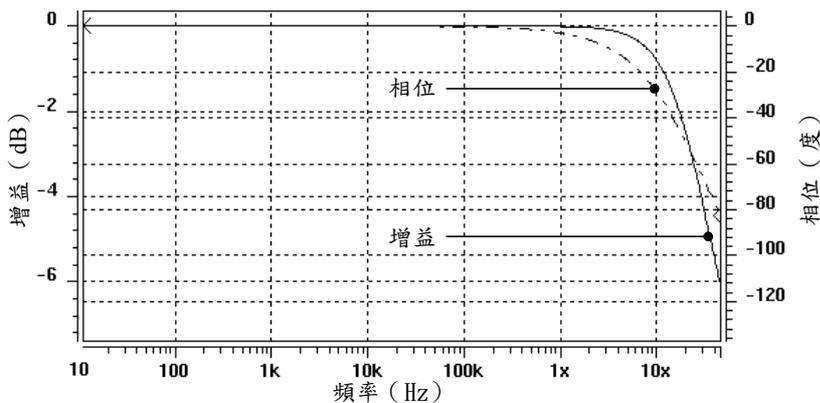


圖 4.8 比例控制器之波德圖

至於圖 4.8 與 4.9 則分別為比例控制器與積分控制器的模擬增益與相位圖，可以歸納出當工作頻率高過某一程度時，增益和相位便會受到電路中寄生效應介入而產生偏移現象。

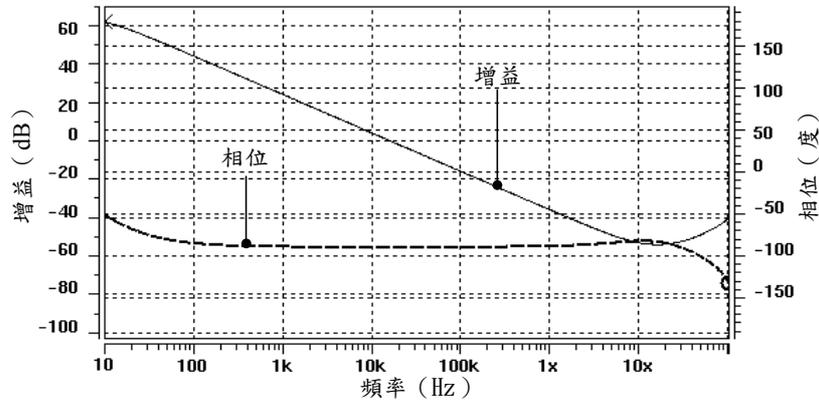


圖 4.9 積分控制器之波德圖

4.2.2 二階濾波器之規劃

由於一般常見的高階濾波器有效電路通常都是由一階及二階濾波器所串接而成，所以接著就來探討如何利用 FPAA 本身的電路資源來實現二階濾波器。在連續時間濾波器的理論裡為了替二階系統提出有效的模型簡化與分析方法，早已提出如何利用等效的訊號流程圖組合出對應的二階濾

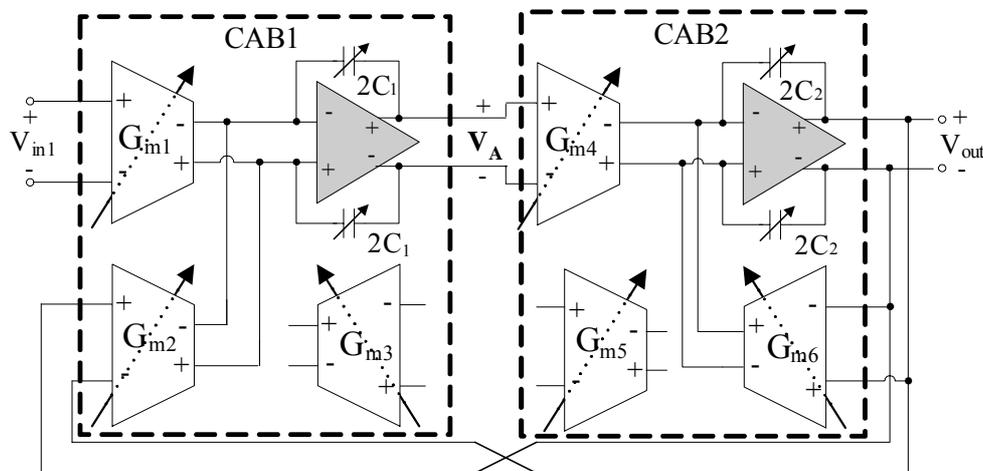


圖 4.10 二階濾波器電路圖

波器，所以只要將 FPAA 的電路架構套入後就可得到如圖 4.10 的實體電路圖，由圖中可看出整體電路乃是由兩組 CAB 結合而成，因此該電路的輸出入關係可從聯立 CAB1 與 CAB2 的轉移函數來求得。首先考慮 CAB1 的部分並將輸出電壓 V_{out} 視為一獨立電壓源，則差動電壓 V_A 等於

$$V_A(s) = \frac{G_{m1}V_{in1}(s) - G_{m2}V_{out}(s)}{sC_1} \quad (4.10)$$

接著考慮 CAB2 的電路部分，則電壓 V_{out} 可表示為

$$V_{out}(s) = \frac{G_{m4}}{G_{m6} + sC_2} V_A(s) \quad (4.11)$$

然後將式 (4.10) 的 V_A 代入式 (4.11) 再經整理後得到

$$\frac{V_{out}(s)}{V_{in1}(s)} = \frac{\left(\frac{G_{m1}G_{m4}}{C_1C_2} \right)}{s^2 + s \left(\frac{G_{m6}}{C_2} \right) + \left(\frac{G_{m2}G_{m4}}{C_1C_2} \right)} \quad (4.12)$$

接著若將上式的特徵方程式改寫為

$$s^2 + s \left(\frac{G_{m6}}{C_2} \right) + \left(\frac{G_{m2}G_{m4}}{C_1C_2} \right) = s^2 + 2\zeta\omega_n s + \omega_n^2 \quad (4.13)$$

再經過比較係數後便可得到 ω_n 、 ζ 分別為

$$\omega_n = \sqrt{\frac{G_{m2}G_{m4}}{C_1C_2}} \quad (4.14)$$

$$\zeta = \frac{1}{2} \sqrt{\left(\frac{G_{m6}}{G_{m2}G_{m4}} \right) \left(\frac{C_1}{C_2} \right)} \quad (4.15)$$

所以由 (4.14)、(4.15) 兩式便可看出 ω_n 與 ζ 能夠透過 G_{mi} 及 C_i 完成可規劃功能，如此經過以上步驟後便結束了利用 FPAA 實現二階濾波器的設計

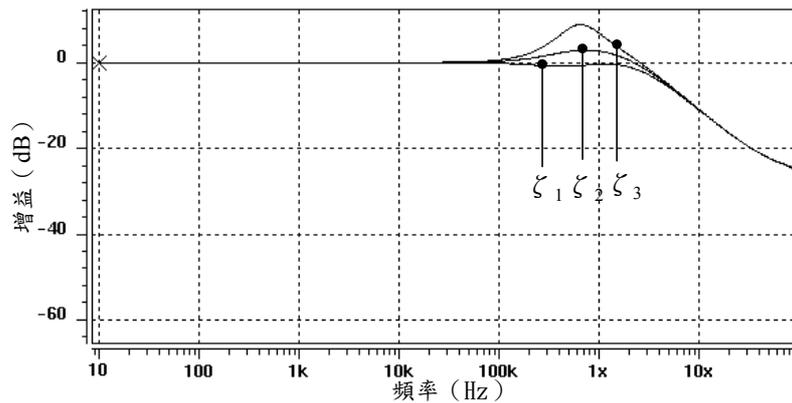


圖 4.11 二階濾波器增益圖 (改變 ζ)

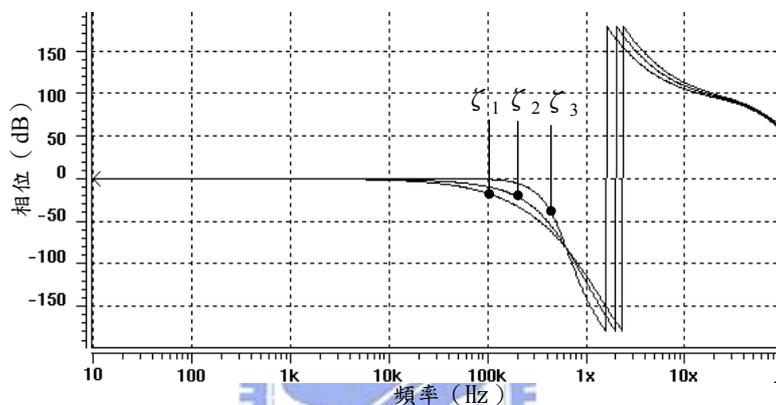


圖 4.12 二階濾波器相位圖 (改變 ζ)

流程。

至於圖 4.11、4.12 則是二階濾波器經由改變 ζ 所得到的模擬結果，由圖中可以發現當 ζ 改變時會發生增益向上突起的現象，並且隨著 ζ 越小而突起越明顯，證明 FPAA 電路做出了正確的反應。至於相位圖中急遽變化的原因則是軟體模擬時限制相位變化範圍必須介於-180 至 180 度間，所以實際上的相位曲線仍應繼續向下延伸，而不是往上跳躍。

4.3 電路佈局結果

相對於數位邏輯電路而言，類比電路對於置放於晶片上的佈局方式有更高的敏感度，除了一般基本的電晶體主動元件外，如電阻、電容等的被

動元件也常見於該類電路應用中。不僅如此，類比訊號講求精確度的特性也使得類比佈局時必須同時考慮製程漂移與匹配等許多誤差來源。另外因為電路設計者無法任意更改製程參數資料，因此有效的佈局技巧便能大幅左右電路效能好壞[27][28]，因此以下就將提出一些主要概念以供說明。

4.3.1 元件佈局方式

首先就從電阻、電容的佈局方式加以考慮，由於 IC 中所使用的各層材質都具有固定的電氣傳遞特性，所以在實際應用上幾乎都可用來作為電阻佈局材料。只要該材質每平方單位的電阻率 (ρ) 被明確定義清楚後，設計者便可根據此數值規劃出適當的長 (L) 與寬 (W) 來得到絕對值等於 R 的積體化電阻，而該等效電阻值可表示為

$$R = \rho \frac{L}{W} \quad (4.16)$$

不過要是在某些情況下需要使用到大電阻時，通常會先選定適當阻值為基準，再經由串並聯效應來達到所需的電阻值，如此便可同時兼顧兩電阻間

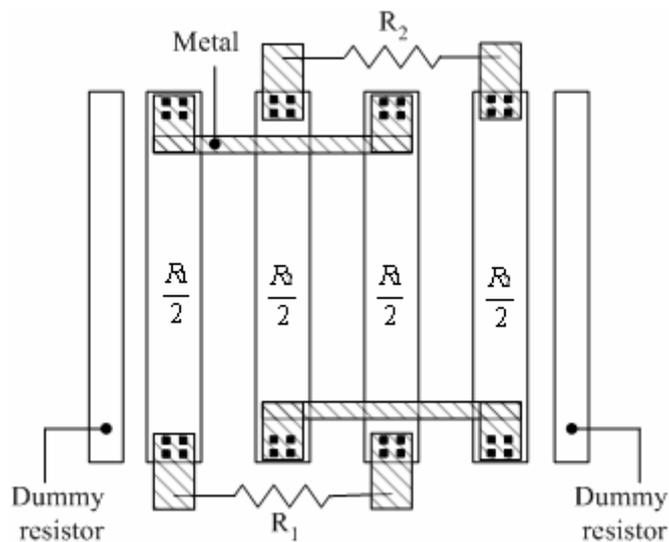


圖 4.13 電阻佈局示意圖

的相互匹配度與穩定性。圖 4.13 即為此概念的示意圖，圖中 R_1 、 R_2 分別是由兩個基準電阻所組成，然後再利用金屬層 (Metal) 將交互排列的電阻塊加以連接，如果需要進一步要求電阻準確度時，可在兩邊額外地加上空接的多餘電阻 (Dummy resistor) 以隔絕周邊電路的影響。

接著再來考慮電容的部分，一般離散電容是由兩片平行極板中間夾著介電質所構成，而在晶片中的積體電容也是根據此原理衍生出來，同樣利用在某兩層導電材質中間置入二氧化矽介電質所產生，所以等效電容值 (C) 就會由極板面積 ($A=WL$) 與二氧化矽的介電係數 (ϵ_{ox}) 和厚度 (t_{ox}) 所決定，數學上可表示為

$$C = \frac{\epsilon_{ox}}{t_{ox}} A = C_{ox} WL \quad (4.17)$$

而實際電容的佈局方式同樣也是在選定基準容值後，再以此為基礎擴展出較大的電容值。但是因為受到晶片中 C_{ox} 不夠大的缺點影響，會使得電容佔據相當程度的晶片面積，所以通常會採用同心圓對稱方式加以佈局，如此將有助於降低電容間過大的差異存在。

圖 4.14 為本論文能隙參考電路中所使用的雙極性接面電晶體 (BJT) 佈局圖，由於電路中所設計的 BJT 面積比為 1:8，所以可將其佈局為一個

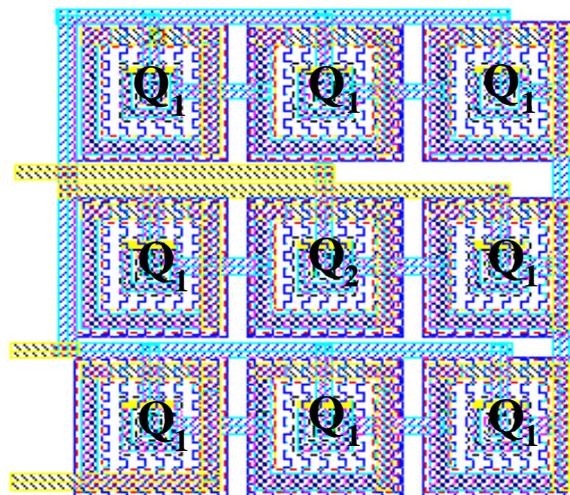


圖 4.14 BJT 佈局示意圖

正方形樣式，位於中間的 BJT 即為比例 1，包圍其外的 8 個 BJT 則因互相並聯而為比例 8，期望藉由如此緊密的排列來提高匹配程度，這樣的技巧經常用於寄生 BJT 結構中。另外由於本次下線方式屬於純 CMOS 製程，所以只能提供寄生 BJT 電晶體加以使用，其缺點是電路中只能使用 PNP 電晶體同時必須慎防控鎖效應（Latch-up）的發生。

4.3.2 系統佈局結果

本論文所設計的 FPAA 乃是經由 TSMC 0.35 μm Mixed-Signal 2P4M (3.3/5V) 製程完成下線動作，整體電路佈局圖如圖 4.15 所示，核心電路加上標準 I/O Pad 後總共佔用的晶片面積大約為 1.5x1.4 mm²，並以 24 Pin 之 Side Braze 28L inner lead 包裝方式完成晶片封裝。

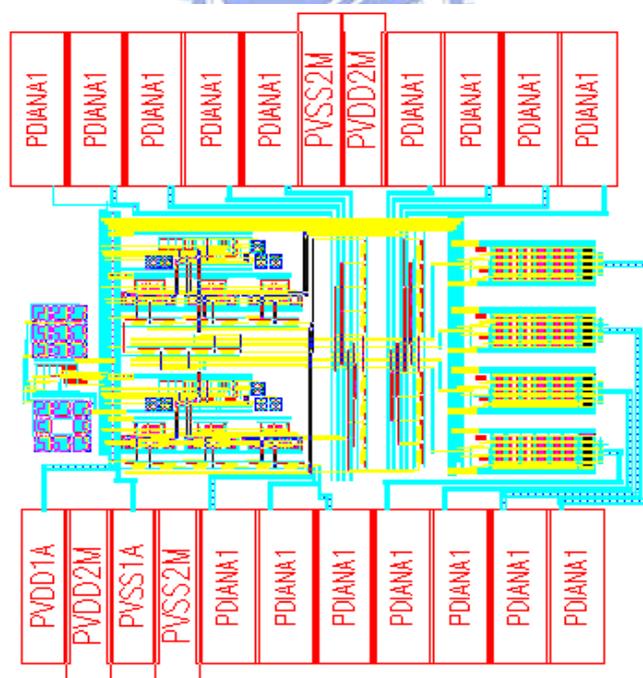


圖 4.15 整體 FPAA 電路佈局圖

4.4 人機介面控制軟體

在討論完 FPAA 的硬體電路架構後，最後簡單介紹一下可用於控制電路及模擬結果的軟體系統，期望能夠透過本套控制軟體簡單而有效地規劃電路內部開關以完成 4.2 節中所設計的各式電路方塊。為了簡化設計的複雜度，本軟體將以繞線與模擬為主要目的[29]，並以本論文所設計出具有兩組 CAB 方塊的 FPAA 為目標晶片，善用預留於晶片中的所有繞線資源來使訊號正確傳遞，以達成使用者所需的各項功能。

根據目前有關類比繞線的文獻內容，由於電路連線時會引進些許的寄生效應，並因而對系統電氣特性產生顯著影響，因此已有多種不同方法被提出來解決繞線規劃的問題。對一給定的連線路徑而言，導線與開關天生具有的雜散電阻，導線-導線、導線-基板間的雜散電容都是必須考量的因素。另外可規劃系統中最常使用的開關元件也會出現串聯電阻與寄生電容，使得在路徑規劃時應該盡量減少導線長度、避免導線過度交錯平行和降低開關的數量，以盡可能兼顧電路效能與規劃彈性等要件。

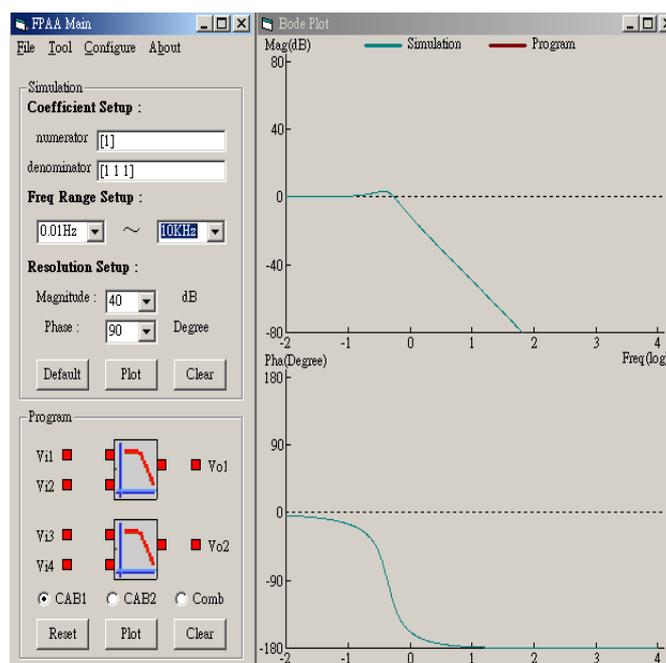


圖 4.16 人機介面控制軟體外觀

圖 4.16 則是本軟體之外觀，使用者可在左半部 Simulation 視窗中鍵入任意轉移函數的係數資料，以告知程式執行波德圖模擬工作並可依需要隨意縮放其座標軸單位，最後模擬結果將會顯示於右半部視窗中。而在 Program 視窗的部分也能針對本論文所設計的 FPAA 加以規劃，並進一步地配置適當的 CAB 來進行電路連線與模擬，如此將有助於確保設計正確性與規劃便利性。



第五章

結論與未來展望

5.1 結論

本論文提出了一種全差動式可程式類比陣列 (FPAA) 的電路設計概念，並以屬於電流訊號傳遞模式的 G_m -C 技術為主要理論基礎。首先建構出適合於一般工業控制用途的基本可配置類比電路方塊 (CAB)，接著利用此方塊本身所具有的可規劃功能搭配控制訊號流向的周邊開關元件，便可實現出積分器與高階濾波器等常見應用電路。因此使用可程式類比陣列不僅有助於降低系統規劃時所面臨的複雜度，更可藉此將類比電路推展至高度程式化的嶄新領域當中。在實際電路設計方面，可程式類比陣列主要是由數個子電路所構成，包含了可配置類比方塊 (CAB)、能隙參考電路 (Bandgap reference)、自我校正電路 (Tuning circuit)、輸出放大級 (Output stage)、位移暫存器 (Shift register) 與連線路徑 (Routing path) 等，各子電路皆是根據固定的分析模擬流程完成驗證。最後並已利用國家晶片實現中心 (CIC) 所提供的 TSMC 0.35 μ m Mixed-Signal 2P4M (3.3/5V) 製程資料完成下線。因此可歸納出如下的幾項研究特點：

1. 由於可程式類比陣列的系統規格會左右電路性能表現與實現可能性，所以適當而合理地評估與制訂規格將是研究進行順利與否的關鍵，而這部分乃是經由參考過去相關研究文獻與產品資料來選擇合適的架構。
2. 在提高類比電路的效能上，可從線性程度、頻寬高低、降低雜訊

及擴大電壓範圍等幾個方面加以著手，其中對於線性程度與電壓範圍的限制已可透過負迴授補償方法加以改良。因此在建構出的系統中已經發展出解決問題的想法，並期望與實作相互驗證以加大系統適用範圍。

3. 為了簡化系統分析複雜度，建立各子電路的等效模型與特性分析是十分需要而複雜的，因此必須藉助模擬軟體簡化此項步驟並進一步了解其穩態分析、暫態分析與偏壓分析等情況，以求模型盡量與實際電路相符。另外寄生元件的取捨也會影響到模型是否正確，所以這部份希望由模擬結果來逆推得到較為精確的模型參數。
4. 類比電路效能除了受到設計之初所採取的策略限制外，亦會受到實體佈局（Layout）規劃所限制。由於本電路系統在設計時會使用到多個電阻、電容，因此對於元件該如何配置以避免引入雜訊，或是如何完成電路隔離機制以及如何提高元件精確度都希望能提出有效的作法。
5. 當多個電路模組合併成為系統時複雜度將會提高，導致所伴生的問題以及不可預知的結果也就愈多而使偵錯困難度增加，因此個別子電路的模擬驗證務必力求完整無誤。而在整合時，則需以循序漸進的方式進行以避免模組過多造成電路混亂。

5.2 未來展望

在可預見的未來裡，可程式化元件的使用率將隨著系統複雜度增加而提升，尤其是類比電路由於設計及實現具有較高挑戰性，以及在真實世界中大都以類比訊號方式作為傳遞媒介等原因，使得多用途的可程式類比陣列能在未來訊號處理領域裡佔有一席之地，並同時讓電路系統擁有動態可規劃功能的優點。因此設計者只需利用此可重複規劃的功能便可輕易地變換系統響應，以應付外界環境變化時所造成的影響，如此整體系統的彈性與應用層面便能更為廣泛。

在完成本論文系統設計與模擬之後，為了進一步地改善本系統電路之效能，因此將未來可發展的方向大致列舉如下：

1. 頻寬的提高：對於可程式化的類比系統而言，電路元件與開關元件乃是限制整體頻寬的最主要因素，因此未來可以嘗試簡化所使用的轉導器電路，或是從避免開關寄生效應的方向來著手。
2. 雜訊的改善：由於本 FPAA 是以 5V 電源電壓為設計基礎，所以並未詳究電路雜訊的影響程度。但是隨著電源電壓逐漸降低而使得輸出訊號範圍縮減的趨勢下，就必須針對雜訊的來源加以分析，以免電路動態範圍遭受不必要的干擾。
3. 可靠的繞線設計與控制機制：FPAA 主要目的即在於促使類比電路擁有可程式化的功能，因此具有高度可規劃彈性與低失真度的連線網路佈局將是未來研究發展之重要課題。最後，除了硬體部分的設計外，為了提供使用者人性化的設計平台以便捷地完成電路規劃工作，屬於軟體部分的人機介面程式亦是相當重要的一環。

參考文獻

- [1] T. Yamamoto, S. I. Gotoh, T. Takahashi, K. Irie, K. Ohshima, and N. Mimura, "A Mixed-Signal 0.18- μm CMOS SoC for DVD Systems with 432-MSample/s PRML Read Channel and 16-Mb Embedded DRAM," *IEEE J. Solid-State Circuits*, Vol. 36, pp. 1785-1794, Nov. 2001.
- [2] Anadigm, Inc., AN221E02 Data Sheet, 2001.
- [3] B. Pankiewicz, M. Wojcikowski, S. Szczepanski, and Yichuang Sun, "A Field Programmable Analog Array for CMOS Continuous-Time OTA-C Filter Applications," *IEEE J. Solid-State Circuits*, Vol. 37, pp. 125-136, Feb. 2002.
- [4] H. Kutuk and Sung-Mo Kang, "A Field-Programmable Analog Array (FPAA) Using Switched-Capacitor Techniques," *IEEE ISCAS*, Vol. 4, pp. 41-44, May 1996.
- [5] X. Quan, S.H.K. Embabi, and E. Sanchez-Sinencio, "A Current-Mode Base Field Programmable Analog Array Architecture for Signal Processing Applications," *IEEE Proceedings of Custom Integrated Circuits*, pp. 277 -280, May 1998.
- [6] D. Anderson, C. Marcjan, D. Bersch, H. Anderson, and P. Hu, "A Field Programmable Analog Array and Its Application," *IEEE Proceedings of Custom Integrated Circuits*, pp. 555-558, May 1997.
- [7] A. C. Carusone and D. A. Johns, "A 5th Order G_m -C Filter in 0.25 μm CMOS with Digitally Programmable Poles & Zeros," *IEEE ISCAS*, Vol. 4, pp. 26-29, May 2002.
- [8] C. Premont, R. Grisel, N. Abouchi, and J.-P. Chante, "Current-Conveyor

- Based Field Programmable Analog Array,” *IEEE ISCAS*, Vol. 1, pp. 155-157, Aug. 1996.
- [9] J. Silva-Martinez, J. Adut, J. M. Rocha-Perez, M. Robinson, and S. Rokhsaz, “A 60-mW 200-MHz Continuous-Time Seventh-Order Linear Phase Filter with On-Chip Automatic Tuning System,” *IEEE J. Solid-State Circuits*, Vol. 38, pp. 216-225, Feb. 2003.
- [10] P. G. Gulak, “Filed Programmable Analog Arrays: Past, Present and Future Perspectives,” *IEEE Region 10 International Conference on Microelectronics and VLSI*, pp. 123-126, November 1995.
- [11] F. Krummenacher and N. Joehl, “A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning,” *IEEE J. Solid-State Circuits*, Vol. 23, pp. 750-758, June 1988.
- [12] T. Kwan and K. Martin, “An Adaptive Analog Continuous-Time CMOS Biquadratic Filter,” *IEEE J. Solid-State Circuits*, Vol. 26, pp. 859 -867, June 1991.
- [13] D. A. Johns and Ken Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, Inc., New York, 1997.
- [14] E. K. F. Lee and P. G. Gulak, “Field Programmable Analogue Array Based on MOSFET Transconductors,” *Electronics Letters*, Vol. 28, pp. 28 -29, June 1992.
- [15] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, Inc., New York, 2001.
- [16] M. Padmanabhan and K. Martin, “A CMOS Analog Multi-Sinusoidal Phase-Locked-Loop,” *IEEE J. Solid-State Circuits*, Vol. 29, no. 9, pp. 1046-1057, Sep. 1994.
- [17] Jun Cheng and Guican Chen, “A CMOS Bandgap Reference Circuit,”

- IEEE Proceedings of ASIC*, pp. 271-273, Oct. 2001.
- [18] J. N. Babanezhad and R. Gregorian, "A Programmable Gain/Loss Circuit," *IEEE J. Solid-State Circuits*, Vol. 22, no. 6, pp.1082-1090, Dec. 1987.
- [19] G. S. Asmanis, "A Low Voltage OP-Amp with Constant- G_m Rail-to Rail Input and High Swing Self-Biasing Super Cascode Output Stage," *IEEE ISCAS*, Vol. 1, pp. 444-447, June 1998.
- [20] K. A. Kozma, D. A. Johns, and A. S. Sedra, "On The Tuning of Continuous-Time Integrated Filters, Including Parasitic Effects" *IEEE ISCAS*, Vol. 2, pp. 835-838, May 1992.
- [21] M. Toki, "High Effective Q CMOS Crystal Oscillator Design," *IEEE International Symposium on Frequency Control*, Vol. 1, pp. 366-369, Apr. 1999.
- [22] Adel S. Sedra and Kenneth C. Smith, *Microelectronic Circuits*, Oxford University Press, New York, 1998.
- [23] H. Khorramabadi, "A CMOS Line Driver with 80-dB Linearity for ISDN Applications," *IEEE J. Solid-State Circuits*, Vol. 27, no. 4, pp. 539-544, Apr. 1992.
- [24] Paul R. Gray and Paul J. Hurst, *Analysis and Design of Analog Integrated Circuits*, John Wiley & Sons, Inc., New York, 2001.
- [25] J. Faura, I. Lacadena, A. Torralba, and J. M. Insenser, "Programmable Analog Hardware: A Case Study," *IEEE International Conference on Electronics, Circuits and Systems*, Vol. 1, pp. 297-300, Sept. 1998.
- [26] S. M. Sait and M. S. K. Tanvir, "VLSI Layout Generation of A Programmable CRC Chip," *IEEE Transactions on Consumer Electronics*, Vol. 39, pp. 911-916, Nov. 1993.

- [27] Dan Clein and Gregg Shimokura, *CMOS IC Layout: Concepts, Methodologies, and Tools*, Newnes, Boston, 2000.
- [28] Alan Hastings, *The Art of Analog Layout*, Prentice Hall, New Jersey, 2001.
- [29] S. Ganesan and R. Vemuri, “FAAR: A Router for Field Programmable Analog Arrays,” *IEEE Proceedings of VLSI Designs*, pp. 556-563, Jan. 1999.
- [30] 陳勇達, “以 G_m -C 為架構的程式可規劃類比陣列之系統電路設計,” 交通大學電機與控制工程學系碩士論文, 2003.

