

國立交通大學

電子物理學系

碩士論文

氮化矽層內嵌奈米矽晶體之

SONOS 型記憶體的分析

**The analysis of SONOS memory with
embedded silicon nanocrystals in nitride**

研究生：戴華安

指導教授：陳振芳 博士

中華民國九十九年七月

氮化矽層內嵌奈米矽晶體之 SONOS 型記憶體的分析

**The analysis of SONOS memory with
embedded silicon nanocrystals in nitride**

研究生：戴華安

Student : Hua-An Dai

指導教授：陳振芳 博士

Advisor : Dr. Jenn-Fang Chen

國立交通大學

電子物理學系

碩士論文

A Thesis

Submitted to the Institute of Electrophysics

College of Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Electrophysics

July 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年七月

氮化矽層內嵌奈米矽晶體之 SONOS 型記憶體的分析

研究生：戴華安

指導教授：陳振芳 博士

國立交通大學電子物理學系

摘 要

本論文為氮化矽層內嵌奈米矽晶體 (Si-NCs) 之 SONOS 型記憶體的電性分析。藉由電容-電壓的模擬可以確認在半導體與氧化層間存在一界面狀態 (interface state)，並且得到界面狀態濃度與氧化層內固定電荷大小；成長 Si-NCs 這一過程會減少界面狀態 (D_{it})，並且增加氧化層內固定電荷 (N_{Qss})。

在成長時間 Si-NCs 2min 的樣品發現，在 DLTS 的量測中除了界面狀態的訊號，還多了一個額外載子放射訊號。利用能帶圖模擬，發現此額外訊號出現的量測偏壓正好是外質費米能階靠近 Si-NCs 的導帶的時候，因此推測此訊號跟 Si-NCs 有關。儲存電荷到 Si-NCs 2min 的樣品中，並不會影響界面狀態的特性，但對於 Si-NCs 的內層訊號在 DLTS 量測到的放射時間會變大，利用能帶圖模擬，建立此訊號的放射機制：從 Si-NCs 導帶上的電子的允許能階藉著穿隧過氮化矽的缺陷能階 (Trap-assisted tunneling, TAT)，再穿隧到半導體與氧化層間的界面狀態，並且包含了熱激發的放射過程。儲存電荷之後載子放射時間變長是由於熱激發放射過程的改變。這個機制證明了 Si-NCs 的確有在 Si-NCs 的傳導帶上形成類似量子侷限狀態。成長 Si-NCs 提供了更多可儲存的狀態，使得記憶窗變大。

有 Si-NCs 的樣品因為有部分載子儲存在 Si-NCs 較深的能階上，因此保存能力會比沒有成長 Si-NCs 的樣品好。我們儲存相同數量的電荷到樣品中，並且假

設不同的儲存電荷分佈，模擬 Si-NCs 2min、Si-NCs 1min30sec 兩個樣品在保存狀態的能帶圖，發現 Si-NCs 2min 的樣品在氮化矽缺陷能階所要經過的穿隧位能障較低，因此 Si-NCs 1min30sec 的樣品會比 Si-NCs 2min 的樣品有擁有更好的載子保存能力。由於不同的電荷分佈，而使得保存能力也有所不同。從量測與模擬的結果指出：在氮化矽層成長 Si-NCs 的 SONOS 型記憶體的確造成更多可儲存狀態，並且使儲存的載子保存的更久。



The Analysis of Embedded Si-NCs in Si₃N₄ for SONOS Memories

Student: Hua-An Dai

Advisor: Dr. Jenn-Fang Chen

Department of Electrophysics
National Chiao Tung University

Abstract

We investigate the electrical properties of SONOS memories with embedded Si-nanocrystals (Si-NCs) in Si₃N₄. The capacitance-voltage (C-V) simulations identify the interface states at Si-substrate/SiO₂ interface. Simulation results also obtain interface state density (D_{it}) and amount of fixed oxide charges (N_{Qss}). The process of Si-NCs formation can reduce the interface state density and increase the amount of fixed oxide charges.

In deep level transient spectroscopy (DLTS) measurement, the Si-NCs 2min sample appears an extra signal beside interface states signal. The band diagram simulation reveals that the extrinsic Fermi-level is close to Si-NCs conduction band when the extra signal is measured. These results demonstrate that the extra signal is originated from the Si-NCs. After programming carriers into Si-NCs 2min sample, the interface states signal is nearly unchanged, and the emission time constant of Si-NCs related signal is increased. According to the band diagram simulation, we propose the emission mechanism of Si-NCs related signal: Electrons tunnel from Si-NCs to nitride

bulk trap, and then tunnel from nitride bulk trap to interface states (trap-assisted tunneling (TAT)). The TAT process includes thermal emission process. The increase of emission time constant after programming is due to the conversion of thermal emission process. This emission mechanism also reveals the existences of quantum confined states above Si-NCs conduction band. Thus, embedded Si-NCs in Si_3N_4 act as a formation of Si-quantum dots in Si_3N_4 , and provide more programmable states for SONOS memory.

Retention abilities of embedded Si-NCs samples are better than SONOS. The difference of retention abilities is due to parts of programmed carriers are stored in Si-NCs. We program the same amount of carriers into samples, and we assume different distributions of programmed carriers in Si-NCs 1min30sec and Si-NCs 2min samples. Si-NCs 2min sample stores more carriers in Si-NCs than Si-NCs 1min30sec sample. Band diagram simulation demonstrates that the tunneling barrier is lower in Si-NCs 2min sample than in Si-NCs 1min30sec sample. The difference of tunneling barriers results Si-NCs 1min30sec sample has better retention ability than Si-NCs 2min sample. Different distributions of storage carriers result different retention abilities. The results of experiments and simulations reveal Si-NCs in Si_3N_4 produce more programmable states and enhance carrier retention abilities.

致 謝

在碩士班就讀兩年，發生了許多事情，這段時間內我從未活得如此真實與深刻。在實驗室交了許多好朋友，雖然即將畢業分開，不過身為好友們也期許對方有更好的未來與發展。謝謝我的指導老師讓我順利畢業。

首先要感謝我的指導學長，謝孟謙。蟹老闆。在他的指導下讓我順利的完成研究，不僅是研究方面，生活中他也給我許多樂趣。沒有他的幫助我是無法像現在這樣畢業的。江振豪學長在我還是大學部的時候，就很熱情的對待是專題生的我，直到我碩班加入了實驗室，他也是如此。因為他如此的對待，使我決定加入實驗室，也讓我研究生活沒有壓力，非常的快樂。楊政鴻學長雖然跟我的研究方向不同，但是在模擬軟體上的操作也給我許多的幫助，並且帶給大家很多的歡笑。

對於我的研究夥伴，張祐誠，從大學時代就是同窗好友，我從大學時課業上的問題就靠他，到了做研究時也會找他討論，真的是一個很單的同學。曾淳俊在我心情不好的時候也會出一些鬼點子來讓我打起精神，張雁婷雖然很神秘，不過我跟你還是有約定好以後還會再連絡。學弟妹們彥寧、茂益、妍君，還有一位比較成熟的何紀瑩學姐，感謝彥寧在我無聊的時候陪我找事做，小毛跟妍君也找了一些對我有用的論文。你們在我快要畢業的時候，也越來越老鳥了…我深深為你們的成長感到高興。另外我的一位多年好友，陳學正，總是在我需要的時候精神上支持我，我希望跟正哥以後能繼續維持著這樣的友情。

仔細回想我的碩士生活，其實過得很輕鬆愉快，要是沒有大家的幫助，我想一定會十分地辛苦，非常感謝大家在這一兩年內的包含。最後感謝我的父母，在背後默默的支持我。

華安

目 錄

中文摘要.....	I
英文摘要.....	III
致謝.....	V
目錄.....	VI
圖表目錄.....	VIII
第一章 緒論.....	1
1-1 簡介.....	1
1-2 研究動機.....	2
1-3 論文架構.....	3
第二章 樣品製備.....	4
2-1 樣品製備.....	4
2-2 量測儀器簡介.....	5
2-2-1 電容電壓量測(C-V)	5
2-2-2 導納頻譜量測(C-F&G-F)	5
2-2-3 深層能階暫態頻譜量測(DLTS)	6
第三章 實驗結果與分析.....	10
3-1 電容電壓量測結果.....	10
3-2 導納頻譜 (admittance) 量測.....	10
3-3 深層暫態頻譜分析 (DLTS) 量測.....	11
3-4 儲存電荷後的量測.....	13
第四章 模擬方法及討論.....	38
4-1 電容-電壓 (C-V) 模擬方法.....	38
4-1-1 電容-電壓 (C-V) 低頻模擬方法.....	38
4-1-2 電容-電壓 (C-V) 高頻模擬方法.....	42

4-1-3 界面狀態(Interface states)模擬方法.....	45
4-2 ONO 能帶圖模擬方法.....	45
4-3 模擬結果分析.....	47
4-3-1 界面狀態模擬結果分析.....	47
4-3-2 界面狀態活化能分析.....	47
4-3-3 界面狀態 Phonon-assisted tunneling	48
4-3-4 Si-NCs related peak 訊號.....	48
4-3-5 氮化矽缺陷模型 Amphoteric Model 與 Trap-assisted-tunneling 機制.....	49
4-3-6 Si-NCs related peak 訊號機制：TAT via interface	50
4-3-7 Retention model	52
第五章 結論.....	67
參考文獻.....	69



圖 表 目 錄

圖 2-1	樣品結構圖.....	7
圖 2-2(a)	氮化矽層上未成長奈米矽晶體的 AFM 圖.....	7
圖 2-2(b)	氮化矽層上成長 1m30s 奈米矽晶體的 AFM 圖.....	8
圖 2-2(c)	氮化矽層上成長 2m 奈米矽晶體的 AFM 圖.....	8
表 2-1	Si-NCs_1m30s 和 Si-NCs_2min 樣品奈米矽晶體尺寸與濃度.....	9
圖 3-1(a)	no-dots 樣品溫度 80K 變頻 C-V 曲線.....	13
圖 3-1(b)	no-dots 樣品溫度 120K 變頻 C-V 曲線.....	13
圖 3-1(c)	no-dots 樣品溫度 180K 變頻 C-V 曲線.....	14
圖 3-1(d)	no-dots 樣品溫度 220K 變頻 C-V 曲線.....	14
圖 3-1(e)	no-dots 樣品溫度 300K 變頻 C-V 曲線.....	15
圖 3-1(f)	no-dots 樣品溫度 330K 變頻 C-V 曲線.....	15
圖 3-1(g)	no-dots 樣品溫度 390K 變頻 C-V 曲線.....	16
圖 3-2(a)	small-dots 樣品溫度 300K 變頻 C-V 曲線.....	16
圖 3-2(b)	small-dots 樣品溫度 330K 變頻 C-V 曲線.....	17
圖 3-2(c)	small-dots 樣品溫度 390K 變頻 C-V 曲線.....	17
圖 3-3(a)	dots 樣品溫度 80K 變頻 C-V 曲線.....	18
圖 3-3(b)	dots 樣品溫度 150K 變頻 C-V 曲線.....	18
圖 3-3(c)	dots 樣品溫度 220K 變頻 C-V 曲線.....	19
圖 3-3(d)	dots 樣品溫度 300K 變頻 C-V 曲線.....	19
圖 3-3(e)	dots 樣品溫度 390K 變頻 C-V 曲線.....	20
圖 3-4(a)	no-dots 樣品導納頻譜.....	20
圖 3-4(b)	small-dots 樣品導納頻譜.....	21
圖 3-4(c)	dots 樣品導納頻譜.....	21

圖 3-5	導納頻譜-界面狀態活化能.....	22
圖 3-6	no-dots、small-dots 和 dots 三片樣品 G-f 量測的阿瑞尼斯圖.....	22
圖 3-7(a)	no-dots 樣品 DLTS.....	23
圖 3-7(b)	no-dots 樣品 DLTS.....	23
圖 3-8(a)	small-dots 樣品 DLTS.....	24
圖 3-8(b)	small-dots 樣品 DLTS.....	24
圖 3-9(a)	dots 樣品 DLTS.....	25
圖 3-9(b)	dots 樣品 DLTS.....	25
表 3-1	no-dots 樣品高溫頻率響應的缺陷活化能和捕捉截面積.....	26
表 3-2	small-dots 樣品高溫頻率響應的缺陷活化能和捕捉截面積.....	26
表 3-3	dots 樣品界面狀態的缺陷活化能以及捕捉截面積.....	26
表 3-4	dots 樣品 Si-NCs related peak 的缺陷活化能以及捕捉截面積.....	27
圖 3-10	電子以 FN 穿隧效應穿隧過氧化層.....	27
圖 3-11	三片樣品儲存電荷 CV 特性比較.....	28
圖 3-12(a)	$\Delta V_{FB}=2\text{ V}$ 之三片樣品 在攝氏 25 度的保存時間 (retention) 特性.....	28
圖 3-12(b)	$\Delta V_{FB}=2\text{ V}$ 之三片樣品 在攝氏 85 度的保存時間 (retention) 特性.....	29
圖 3-12(c)	$\Delta V_{FB}=2\text{ V}$ 之三片樣品 在攝氏 150 度的保存時間 (retention) 特性.....	29
圖 3-13	儲存載子後平帶電壓 (Flatband Voltage) 平移了 1.4V.....	30
圖 3-14(a)	未儲存載子偏壓 2.5 V 的 G-f 量測.....	30
圖 3-14(b)	儲存載子後偏壓 3.9 V 的 G-f 量測.....	31
表 3-5(a)	未儲存載子 interface state 的活化能以及捕捉截面積.....	31

表 3-5(b)	儲存載子 interface state 的活化能以及捕捉截面積.....	32
圖 3-15	no-programmed 表示未灌電子； less-programmed 表示灌些許電子； more-programmed 表示灌很多電子的 C-V 曲線.....	32
圖 3-16(a)	no-programmed 速率窗 (rate window) 86 msec 的 DLTS 量測.....	33
圖 3-16(b)	less-programmed 速率窗 (rate window) 86 msec 的 DLTS 量測.....	33
圖 3-16(b)	more-programmed 速率窗 (rate window) 86 msec 的 DLTS 量測.....	34
圖 3-17	速率窗為 21.5msec 的 no-programmed、less-programmed 和 more-programmed 的 DLTS 量測.....	35
表 3-6(a)	no-programmed 改變偏壓 DLTS 量測的活化能與捕捉截面積....	36
表 3-6(b)	less-programmed 改變偏壓 DLTS 量測的活化能與捕捉截面積..	36
表 3-6(c)	more-programmed 改變偏壓 DLTS 量測的活化能與捕捉截面積..	36
圖 3-18	no-programmed、less-programmed 和 more-programmed 對特定偏壓的阿瑞尼斯圖.....	37
圖 4-1	半導體能帶示意圖.....	54
圖 4-2	表面電荷對 Ψ_s 關係圖.....	54
圖 4-3	電容連接示意圖.....	55
圖 4-4	低頻電容對 Ψ_s 關係圖.....	55
圖 4-5	低頻電容對外加偏壓關係圖.....	56
圖 4-6	電容量測曲線.....	56
圖 4-7	高頻&低頻電容電壓關係圖.....	57
圖 4-8	額外界面電荷電容示意圖.....	57

圖 4-9(a)	no-dots 電容電壓模擬&實驗圖.....	58
圖 4-9(b)	small-dots 電容電壓模擬&實驗圖.....	58
圖 4-9(c)	dots 電容電壓模擬&實驗圖.....	59
表 4-1	界面狀態濃度、固定電荷整理表.....	59
圖 4-10	Phonon-assisted tunneling 路徑示意圖.....	60
圖 4-11	模擬的活化能與實驗比較圖.....	60
圖 4-12	Amphoteric Model 矽原子懸浮鍵.....	61
圖 4-13	Amphoteric Model 氮化矽缺陷能階示意圖.....	61
圖 4-14	Trap assisted tunneling 機制示意圖.....	62
圖 4-15(a)	dots 樣品平帶電壓時能帶圖.....	62
圖 4-15(a)	dots 樣品量測到 Si-VCs related peak 電壓時能帶圖.....	63
圖 4-16	dots 樣品量測到 Si-VCs related peak 電壓時能帶圖 細部.....	63
圖 4-17	dots 樣品 less-programmed 量測到 Si-VCs related peak 電壓時能帶圖 細部.....	64
圖 4-18	dots 樣品 more-programmed 量測到 Si-VCs related peak 電壓時能帶圖 細部.....	64
圖 4-19	喪失儲存電荷的途徑.....	65
圖 4-20	small-dots 樣品 Retention 能帶圖.....	65
圖 4-21	dots 樣品 Retention 能帶圖.....	66



第一章

緒論

1-1 簡介

近年來非揮發性記憶體廣泛的應用在日常的產品之中，例如隨身碟、手機、i-pod、記憶卡…等等。目前市面上主要的記憶體為浮動閘極式(floating-gate)的記憶體，但是國際半導體技術藍圖(International Technology Roadmap for Semiconductors; ITRS)指出：對於浮動閘極(floating-gate)記憶體未來的發展，穿隧氧化層的尺寸微縮將會是一個很大的挑戰。因此發展出另外兩種新的結構的記憶體，一是奈米晶體非揮發型記憶體，另一個就是 SONOS 非揮發性記憶體。

SONOS 結構為 silicon/oxide/silicon nitride/oxide/silicon 組成的非揮發性記憶體，利用氧化層中間的 Si_3N_4 層來儲存電荷，其特點是有更低的功率消耗、低電壓的操作、更高的元件密度、簡單的製程、多位元(multi-bite)操作，而且沒有浮動閘極的電容耦合效應(coupling effect) (1)(2)(3)(4)；但是它的缺點是較緩慢的讀寫速度以及元件尺寸，而且在經過重複的寫入操作之後，電子可能被儲存至氮化矽層內的深層缺陷，電荷在深層能階可能會無法全部被抹除，這是 SONOS 記憶體的缺點。

奈米矽晶體(Si-NCs)非揮發性記憶體被提出來改善儲存時間這個特性(5)(6)(7)(8)，它的結構是在氧化層中成長奈米晶體當作儲存電荷的地方，奈米晶體本身會形成量子能階，用來提供電子儲存的允許狀態。讀寫與抹除的方式是靠著穿隧氧化層經由直接穿隧而入(9)，所以可以使用更薄的穿隧氧化層降低操作電壓以及加快操作速度。奈米晶體的數目愈多，能儲存的電荷愈多，但奈米晶體的大小以及密度都會影響整個元件儲存的特性。通常成長小顆的奈米晶體會相對有較大的密度，提供更多的儲存電荷，但是較小的奈米晶體會使得儲存穩定性

變差。大顆的奈米晶體則會有在元件尺寸縮小的情況下，每個記憶體可能包含較少的奈米晶體，能夠儲存的電荷則會少上許多，因此控制奈米晶體的大小以及密度對於非揮發性記憶體而言，是一項很重要的因素。

1-2 研究動機

對於非揮發性記憶體而言，元件尺寸愈做愈小，為了兼顧讀寫速度的快慢以及保存時間的特性，穿隧氧化層的厚度必須取得一個平衡。而此穿隧氧化層又可能因反反覆覆地讀寫與抹除而被破壞，產生漏電途徑遺失資料，所以穿隧氧化層必須有良好的特性。同時儲存電荷的位置，也會因結構不同而有不同的地方，因此也產生不同的電荷保存特性。從上述的兩種結構的記憶體，提出一個結合結構的想法，來將兩種記憶體(SONOS 及 Si-NCs)的優點合併，此種構思在成功的完成氮化矽內嵌奈米矽晶體記憶體之後，初步明顯地發現成長奈米矽晶體的非揮發性半導體有較好的保存電荷的能力，而且可儲存較多電荷。

我們就是希望能夠以物理的角度來分析，並且藉由電性量測，以及模擬分析的方式，來探討氮化矽內嵌奈米矽晶體元件是以什麼樣的機制、方式來儲存電荷，如何有效的提升操作特性(提升資料保存能力，較大的記憶窗口，較快的寫入抹除速度等)，以這樣的動機來做為我們研究的起點。

從之前的所做量測，我們已經得到了一些基本操作特性資料(保存時間、寫入速度、記憶窗口大小)以及其中一個系列(以 O_2 成長穿隧氧化層)的樣品的進階的電性量測，如 CV(電壓電容)頻譜、CF(電容頻率)頻譜、DLTS(deep level transient spectroscopy 深層能階暫態頻譜)、CP(charge-pumping)電流頻譜、VALFCP(variable-amplitude low-frequency charge-pumping)頻譜、甚至是 PL(photoluminescence 螢光激發)頻譜等等，來獲取我們可以用來分析的資料。

雖然我們的最終目標是將元件的操作特性跟樣品的結構做一個剖析，但是這

些操作特性的量測只反應出最終的操作特性結果，在這些樣品內部究竟是什麼樣的因素造成它們有如此的特性，並沒有辦法從操作特性的量測來直接了解。因此進一步的電性量測，是我們用來推論為什麼會有這樣的操作特性的有力的直接證據。首先最有興趣的是 CV 頻譜，因為 CV 的量測非常容易，可以直接反應出半導體的電荷分布狀況，並且可以藉由理論模擬得到 CV 曲線，進而模擬能帶圖的情況。之後更進一步的研究都建立在這個 CV 模擬的方法上，也就是用能帶圖來做電性資料的分析，用了這個方式，大部分的模擬參數都可以從能帶圖上來合理估計，在物理圖像上也可以很容易建立合理的解釋，對於研究有很大的幫助。而之後須要面對的問題仍然很多，像是電荷儲存的位置以及儲存電荷流失的路徑、不同矽晶體大小對於儲存電荷的影響、很多的操作特性都可以從物理的角度來看，對這些問題提出一套合理的解釋，是我主要研究的內容。



1-3 論文架構

本論文主要是利用電性量測來研究氮化矽層內嵌入奈米矽晶體的 SONOS 記憶體操作特性的探討以及分析。而論文的章節安排如下：

第二章：樣品的製備以及量測儀器的簡介

第三章：電性量測結果

第四章：模擬方法及討論

第五章：結論

第二章

樣品製備

2-1 樣品製備

如[圖 2-1]所示，經 RCA 步驟清洗的摻雜濃度 10^{15} cm^{-3} P-type (100) 矽基板上，利用佈植方式將硼原子打入矽基板上，形成濃度約 10^{18} cm^{-3} 的 P-Well。通入乾氧(dry O_2)條件的垂直爐管，成長 2.5nm 的 SiO_2 當作穿隧氧化層(tunnel oxide)。在 LPCVD 環境下，通入 30 sccm SiH_2Cl_2 和 130 sccm NH_3 反應，成長 3nm 厚度的 Silicon Nitride 層。接著在 Silicon Nitride 上長 Silicon Nano-Crystals (Si-NCs) 2 min 以及 1.5 min。Si-NCs 是在溫度 550°C 、壓力約為 100-mTorr 以多晶矽成長，反應氣體 SiH_4 的速率大約為 85 sccm。之後在 Si-NCs 上蓋一層 4nm 的 Silicon nitride。經高溫的過程中，先前被埋在上下兩層 Silicon Nitride 裡的 Si-NCs 會以 poly-Si nanocrystal 聚集而成，從[圖 2-1(a)(b)(c)]中 atomic force microscopy (AFM) 圖可看出(10)，而在[表 2-1]，我們預測大約成長 2 min 跟 1.5 min 的 Si-NCs 的濃度跟尺寸大小。在 4nm 的 Silicon nitride 上以高密度電漿化學氣相沉積 (HDPCVD) 成長 20nm Silicon oxide 當作阻擋層 (blocking oxide)，然後在上面以 LPCVD 成長方式蓋一層 200nm poly-Si 當作閘極電極。利用離子槍佈植能量 40keV、濃度約為 $5 \times 10^{15} (\text{cm}^{-3})$ 形成 n^+ poly-Si 降低電阻值。經過佈植之後，以 900°C 、30 min 高溫熱退化，然後利用 poly-Si dry etcher (TCP- 9400) 和 the oxide dry etcher (TEL-5000) 蝕刻 poly-Si 閘極電極和阻擋層。接著以金屬鋁(Al)做為外電極。

其中，在 Silicon nitride 層中未成長 Si-NCs 為樣品 no-dots，成長 1.5 min Si-NCs 為樣品 small-dots，而成長 2 min 為樣品 dots。

2-2 量測儀器簡介

2-2-1 電容電壓量測(C-V)

電容的特性反應的是半導體上所分部的電荷對電壓的關係，由電容量測方法可以間接得知半導體內部的情形，對於一個 MOS(Metal-Oxide-Semiconductor) 的樣品結構來說，一般量測電容電壓特性只使用兩接點量測方法，意即將量測的正極連接閘極(Gate)，量測負極連接基板(Body)。我們可以等效的將 MOS 結構看成一個平行電容板結構，氧化層就是電容的介電質，金屬跟半導體則可以看成是電容兩側的平行金屬板。而在量測的訊號則會給予一個直流偏壓加上交流小訊號的調變；直流偏壓的大小可以決定半導體跟金屬上所累積的電荷，但是因為量測電容必須使用交流訊號才可以量測到電容值，因此必須加上交流小訊號的調變，來得知此時 MOS 結構的電容。

量測電容時的直流偏壓會直接的改變半導體區的能帶圖彎曲，也就是改變電荷累積情形，詳細的偏壓影響能帶的關係會在之後 CV 模擬的部分加以討論。使用 HP4194 阻抗/增益相位分析儀做以上的量測。

2-2-2 導納頻譜量測(C-F & G-F)

若由 C-V 量測發現某偏壓下載子對不同頻率有不同電容值的響應，則可進一步作 C-F 與 G-F 量測，更深入去探討被侷限的載子對外加偏壓的反應時間。調變 ac 的頻率由 100 Hz 到 15 MHz，理論上不同的溫度之下，載子的反應時間常數也不同(與其熱動能有關)，因此可藉由量測 C-F 與 G-F 頻譜，來仔細觀察放射速度跟溫度、偏壓等條件的關係。根據數學推導的結果，電容及電導對應頻率的公式如下：

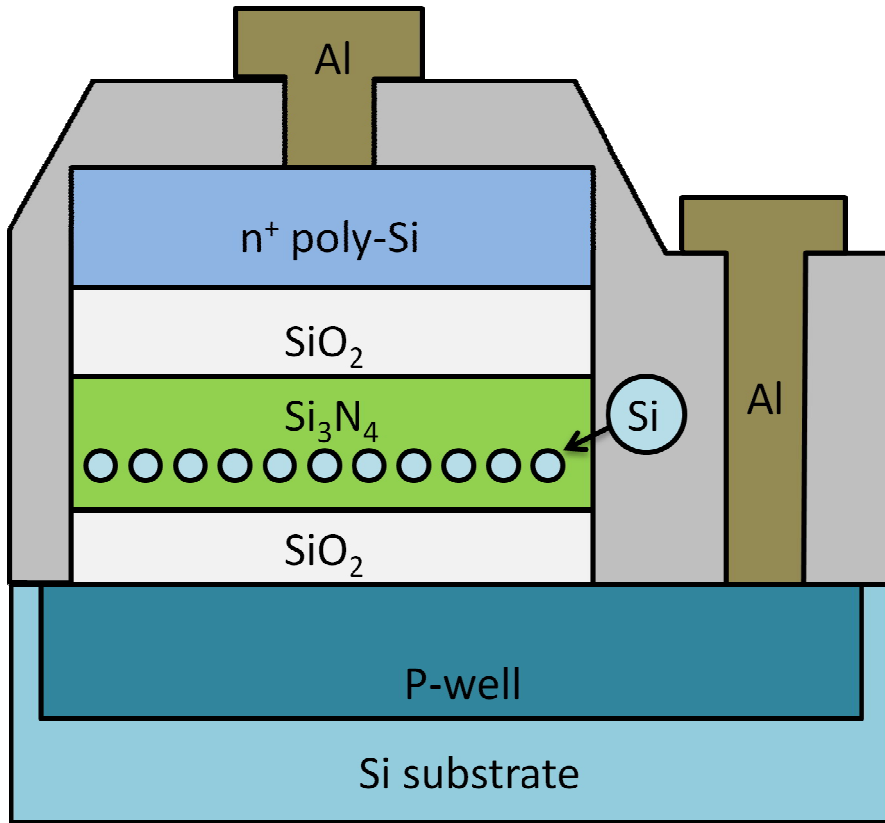
$$C_p = \frac{\epsilon\epsilon_0}{x_d} + (2e_n)^2 C_0 \left[\frac{1}{\omega^2 + (2e_n)^2} \right] \quad [2-1]$$

$$G_p(\omega) = 2e_n C_0 \left[\frac{\omega^2}{\omega^2 + (2e_n)^2} \right] \quad [2-2]$$

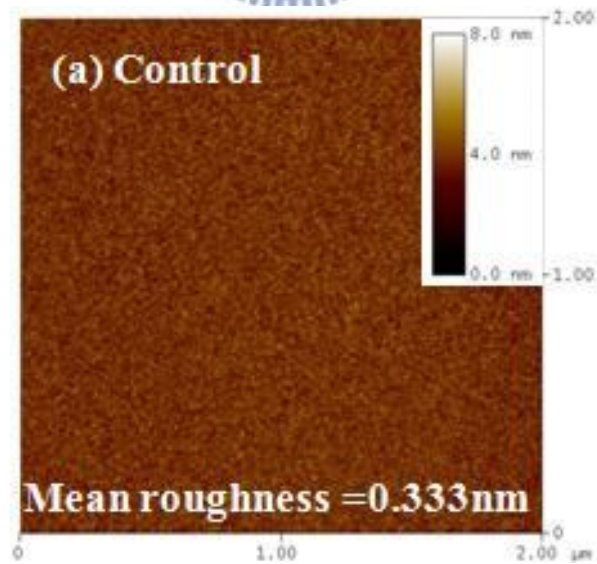
其中 ω 為量測頻率， e_n 為電子放射率(emission rate)，由式子看出當 $\omega \ll e_n$ 時，缺陷可隨交流偏壓來捕捉或放射電子，缺陷對電容便有貢獻；當 $\omega \gg e_n$ 時，則對量測頻率無響應。另外由[式 2-1]電容對 $\log(\omega)$ 的關係圖中，反曲點會落在 $\omega = 2e_n$ 上，[式 2-2] $\omega = 2e_n$ 時也會得到最大的 $G(\omega)/\omega$ 值 $C_0/2$ ，可藉此得出不同溫度的 e_n 。使用 HP4194 阻抗/增益相位分析儀做以上的量測。

2-2-3 深層能階暫態頻譜量測(DLTS)

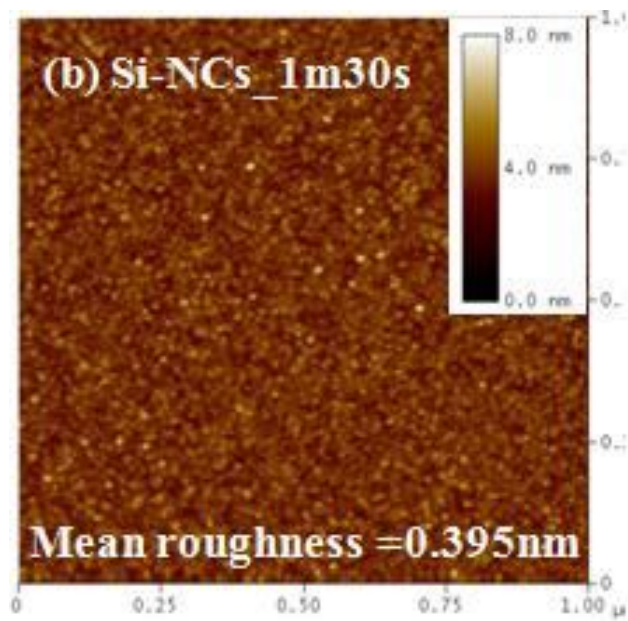
利用週期性變化電壓施加於樣品上，改變樣品空乏區的大小，在連續不斷的暫態電容量測中，找出隨溫度變化時的最大電容變化值的溫度，來獲得深層缺陷的資訊。優點：靈敏度高(可到 10^{10}cm^{-3} 之濃度偵測範圍)、能測多數與少數載子、觀測 defect 能階範圍廣、尤其是較深層的缺陷能階(emission time 在毫秒等級的)也能夠被精準量測到，提高信號對雜訊的比值(S/N ratio)等。DLTS 技術主要是給定兩時間 t_1 與 t_2 ，固定 t_2/t_1 ，改變 t_1 與 t_2 來設定不同速率窗，電子發射速率 e_n 隨著系統溫度變化而改變，只有當 e_n 剛好落在所設之速率窗中，量測系統才達到峰值，即有 $e_{n,\max} = \frac{\ln(t_2/t_1)}{t_2 - t_1}$ 。當溫度很低時， ΔC 變化幅度很小($\Delta C \sim 0$)，當溫度很高時， ΔC 變化幅度又太快($\Delta C \sim 0$)，只有當溫度在特定範圍， ΔC 變化才最大，與我們所設定的時間常數最接近。設定不同 t_1 與 t_2 來改變不同速率窗(rate window，即 $e_{n,\max}^{-1}$)，獲得多組不同 $e_{n,\max}$ 與峰值溫度數據，可同樣求出缺陷活化能與捕捉截面積。



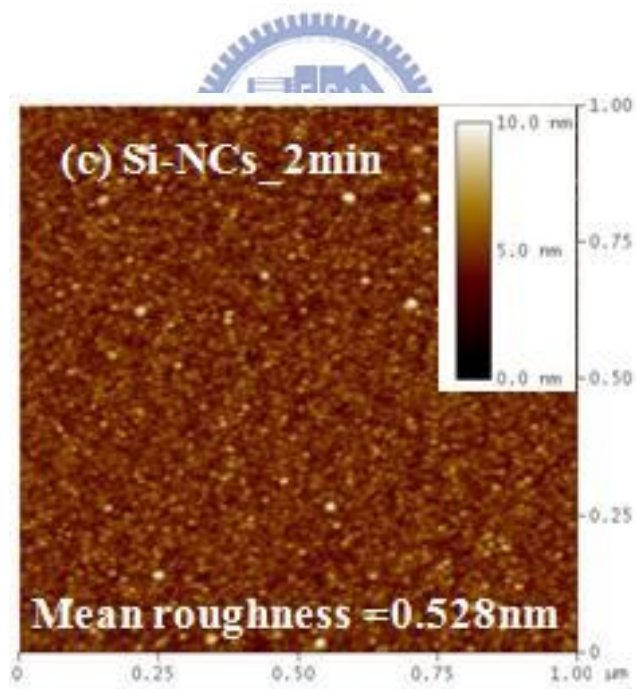
[圖 2-1] 樣品結構圖



[圖 2-1(a)]



[圖 2-1(b)]



[圖 2-1(c)] 在氮化矽層上不同成長時間的奈米矽晶體的 AFM 圖

- (a) control sample
- (b) Si-NCs_1m30s sample
- (c) Si-NCs_2min sample

Sample	Size(nm)	Density($1/\text{cm}^2$)
Small-dots	~3	$\sim 6 \times 10^{11}$
dots	~5	$\sim 3 \times 10^{11}$

[表 2-1] Si-NCs_{1m30s} 和 Si-NCs_{2min} 樣品的奈米矽晶體尺寸與濃度

第三章

實驗量測結果

3-1 電容電壓量測結果

由[圖 3-1(a)~3-1(g)]，對於樣品 no-dots 變溫、變頻的電容-電壓量測，可看到在低溫 80K 時，在偏壓-4V 到 0V 之間有個頻率響應 (frequency dispersion)，但當量測溫度增加時，此頻率響應會隨著溫度的增加而往偏壓正的方向移動，但當溫度接近室溫 300K 時，此頻率響應慢慢地消失，反而在偏壓 1V 至 4V 之間，多出了另一個頻率響應的訊號。隨著溫度的上升，此訊號愈來愈大。

如 [圖 3-2(a)~3-2(c)]、[圖 3-3(a)~3-3(e)] 所示，為樣品 small-dot 和 dots 的電容電壓圖形，由於結構上多長了 Si-NCs，氧化層的電容值稍有不同，不過 small-dots 和 dots 的樣品跟 no-dots 樣品在 C-V 量測仍有同樣的趨勢。

3-2 導納頻譜 (Admittance) 量測

在 CV 圖上的頻率響應範圍，可以用導納頻譜來詳加分析放射速率跟溫度的關係，可以求得載子熱激發的活化能與捕捉截面積[圖 3-4(a) ~3-4(c)]。[圖 3-5]為導納頻譜所量測各偏壓下得到的活化能。可以看到隨著偏壓的加大量測，活化能均有變大的趨勢。[圖 3-6]比較了三片樣品 G-f 量測的阿瑞尼士圖。

3-3 深層能階暫態頻譜 (DLTS) 量測

同樣的在 CV 圖上頻率響應的範圍，也可以用 DLTS 來進一步量測，DLTS 的靈敏度相較起來更高。[圖 3-7 (a)(b)]、[圖 3-8 (a)(b)]、[圖 3-9 (a)(b)]是三片樣品量測不同範圍偏壓所得到的訊號，可以看到三片樣品在小偏壓的時候(0

V~ 2 V)在 250 K 以下都有一個低溫並且寬度很大的微小訊號，而偏壓在 2 V~5 V 之間可以量到在 300 K 附近出現一個明顯的訊號，這一個訊號直接可以對應 CV 圖量測的界面狀態訊號，並且從[表 3-1]、[表 3-2]、[表 3-3]可以看出它的活化能範圍的確可以跟 G-f 量測的訊號相符，因此確定在三片樣品都有的這個高溫訊號是界面狀態的訊號。而比較不一樣的是在 dots 樣品中除了出現界面狀態的訊號之外，還發現了一個額外訊號，這邊先把它命名為 Si-NCs related peak，之後的章節將會證實這個訊號是因成長 Si-NCs 而產生，Si-NCs related peak 的活化能及捕捉截面積整理如[表 3-4]。

3-4 儲存電荷後的量測

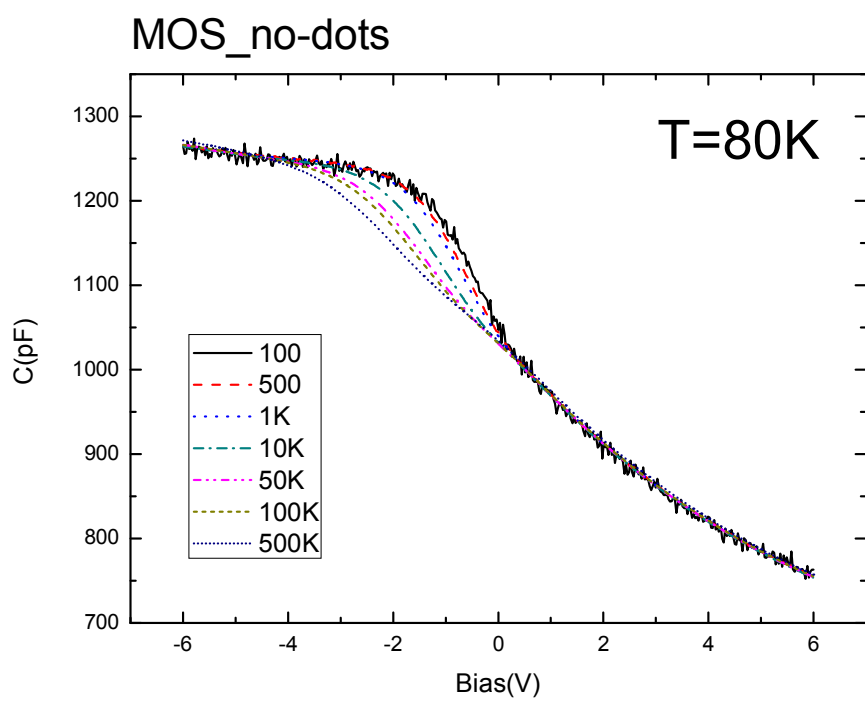
SONOS 是做為一個記憶體來操作，可以加一個很大的閘級偏壓來使電子儲存到氮化矽層，因此儲載子(Program)的這項操作的量測也是我們所關心的。在加上足夠使電子儲存進入氮化矽層的閘級偏壓，電子會從基板穿隧至 SONOS 的氮化矽層如[圖 3-10]，會發現 CV 曲線會直接平移一個電壓(稱之為記憶窗 Program Window)，[圖 3-11]的量測方式是對於三片樣品加上一個相同的閘級偏壓 $V_G=25\text{ V}$ ，然後分別量測 Program 前後的 CV 曲線，可以看到 dots 樣品有最大的記憶窗，small-dots 樣品次之，no-dots 樣品的記憶窗最小，這直接證明了成長 Si-NCs 有助於增加可儲存的電荷數量。

儲存電荷可以儲存多久稱為記憶體的保存能力(Retention)。
[圖 3-12(a)(b)(c)] 為不同溫度下的 Retention 情形，操作的方式是在 Program 之後控制 Program 的閘級偏壓，使得三片樣品在 CV 圖形上都平移一個相同的電壓 $\Delta V_{FB}=2\text{ V}$ ，在經過一段時間之後，去量測這個平移電壓 ΔV_{FB} 回復的程度。可以看出 Retention 能力最好的是 small-dots 樣品，dots 樣品次之，no-dots 樣品最差，這在之後的章節會在加以討論。

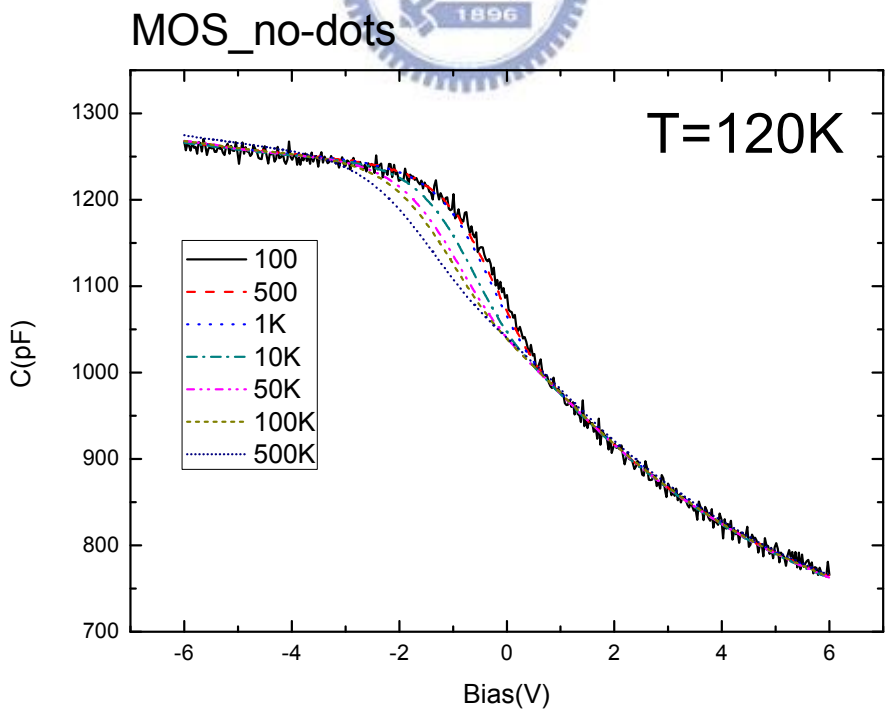
在儲載子這件事情上，我們所關心的另一件事是儲載子的前後對於我們

之前的量測會不會有什麼影響，也就是對於界面狀態的量測，以及 Si-NCs related peak 的量測。因此在 Program 前後，也分別做了 G-f、DLTS 來探討儲存的電荷對這兩個訊號的影響。首先來看儲存電荷前後對於界面狀態的影響，[圖 3-13]表示 no-dots 樣品在儲存使 CV 曲線平移 1.4V 的電荷量之後分別在儲存前在偏壓為 2.5 V 以及儲存後偏壓為 3.9 V (2.5 V+平移 1.4 V)的 G-f 圖形[圖 3-14 (a)(b)]。[表 3-5 (a)(b)]列出了儲存前後，活化能的大小幾乎沒有改變，只有隨著平移的電壓大小平移了出現的偏壓位置。這邊初步推測儲存的電荷對於界面狀態不太會有影響(11)。實際上，儲存電荷的位置是在於內層結構，界面狀態則是在養化層跟基板的界面，在空間上是處於不同的位置，因此也很容易想像儲存的電荷對於界面狀態沒有影響。

[圖 3-15]顯示在 Program 前後分別有 no-programmed、less-programmed、more-programmed 三種程度的儲存電荷量，再以這三種 program 程度去做 DLTS 的量測實驗。[圖 3-16 (a)(b)(c)]顯是為對應這三種儲存電荷量並且加上平移的偏壓後的 DLTS 圖形。大致上可以看到對於界面狀態訊號出現的溫度是差不多的，這代表我們量到相同的界面狀態，但是對於 Si-NCs related peak 卻會造成影響，[圖 3-17]就可以看出在經過平移電壓的量測下，界面狀態的訊號沒有改變出現的溫度，但是 Si-NCs related peak 卻有改變出現的溫度。[表 3-6 (a)(b)(c)]整理了三種 program 程度對 Si-NCs related peak 所產生的影響，可以看到 program 較多會使得它活化能變大。之後的章節將會對這個部分詳細討論。

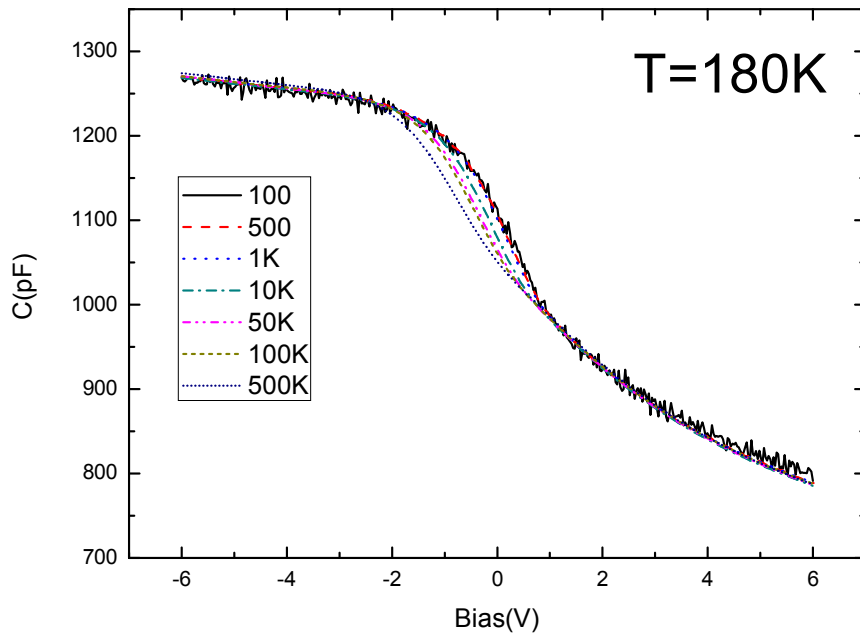


[圖 3-1(a)] no-dots 樣品變溫變頻 C-V 曲線



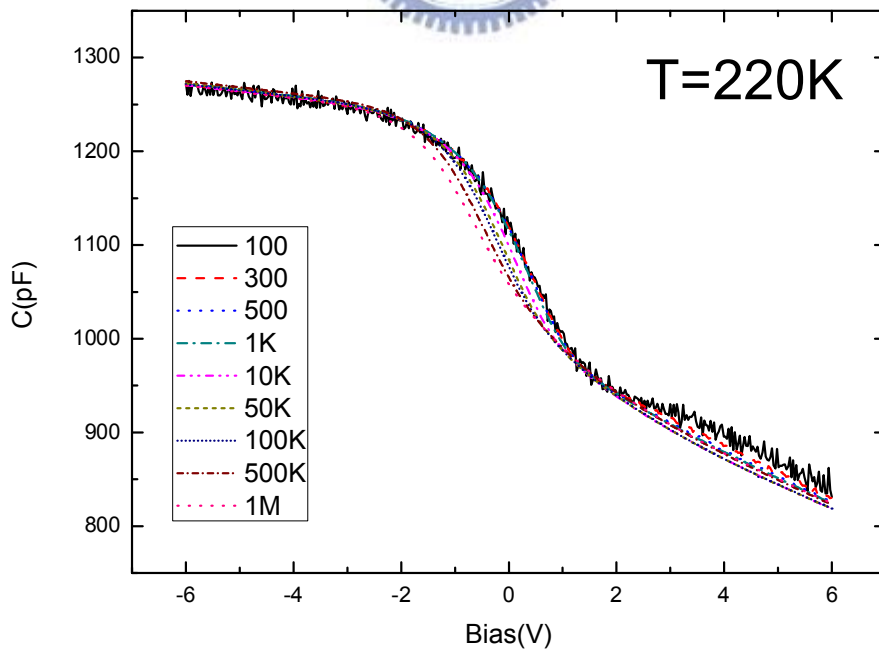
[圖 3-1(b)] no-dots 樣品變溫變頻 C-V 曲線

MOS_no-dots



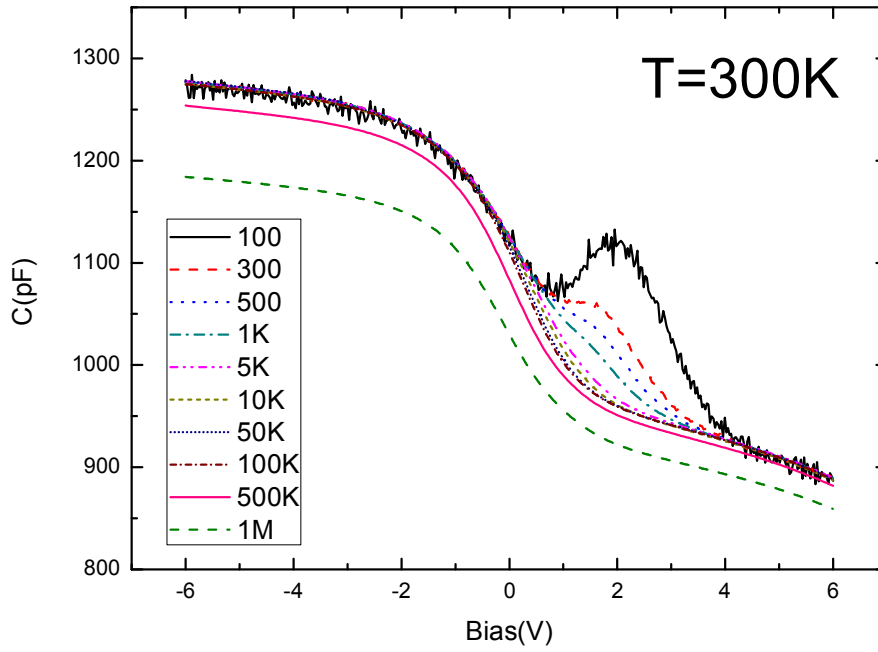
[圖 3-1(c)] no-dots 樣品變溫變頻 C-V 曲線

MOS_no-dots



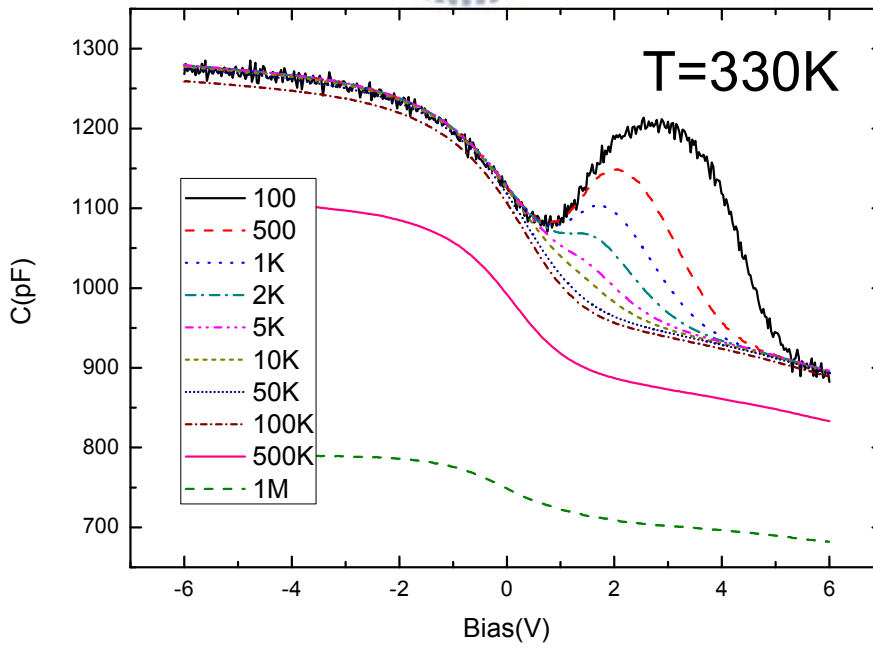
[圖 3-1(d)] no-dots 樣品變溫變頻 C-V 曲線

MOS_no-dots

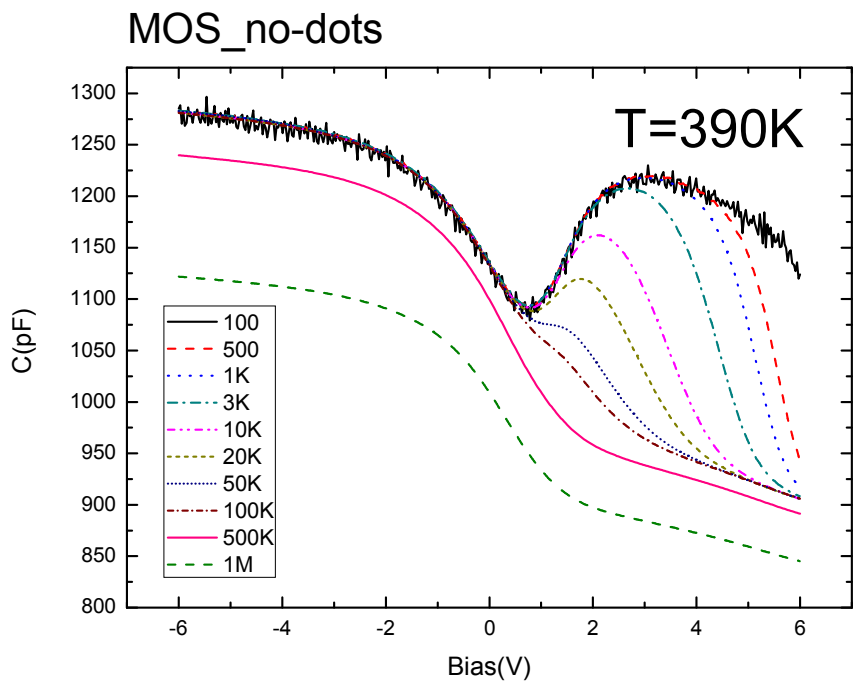


[圖 3-1(e)] no-dots 樣品變溫變頻 C-V 曲線

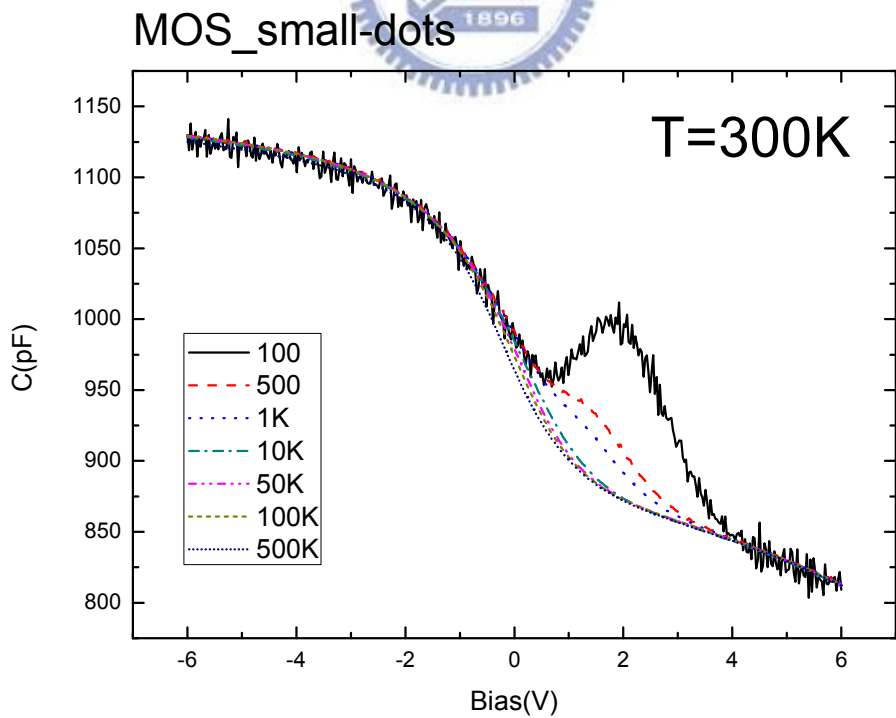
MOS_no-dots



[圖 3-1(f)] no-dots 樣品變溫變頻 C-V 曲線

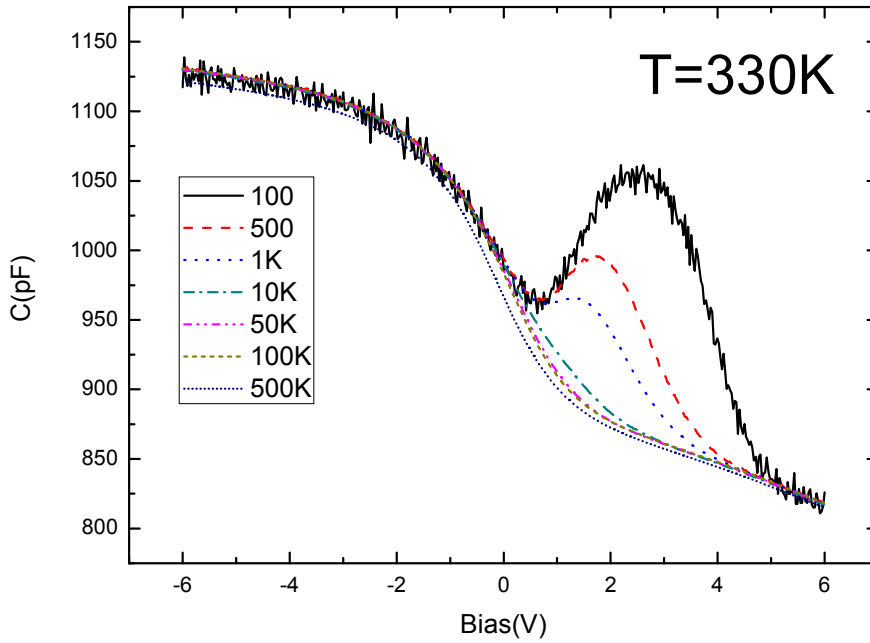


[圖 3-1(g)] no-dots 樣品變溫變頻 C-V 曲線



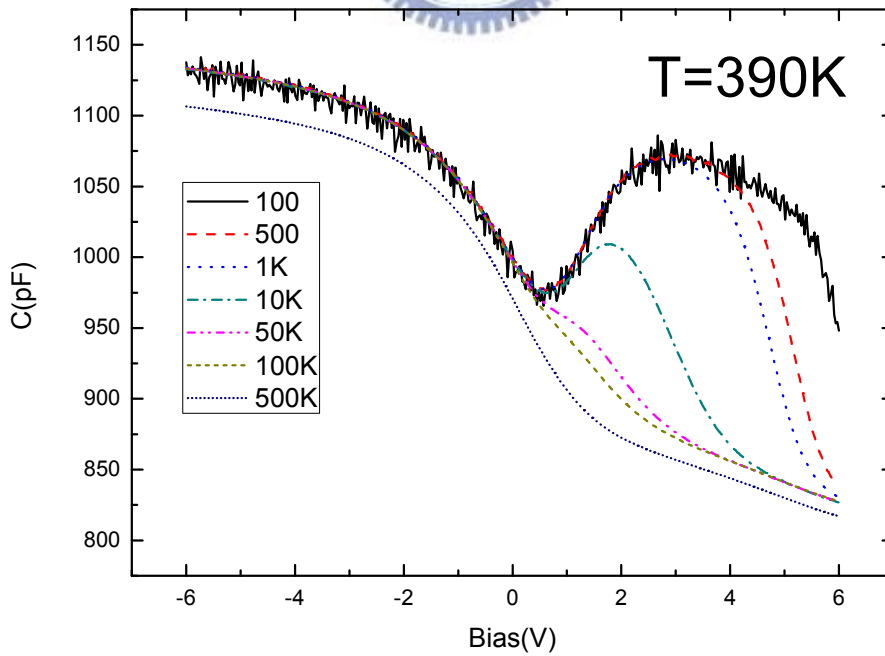
[圖 3-2(a)] small-dots 樣品變溫變頻 C-V 曲線

MOS_small-dots

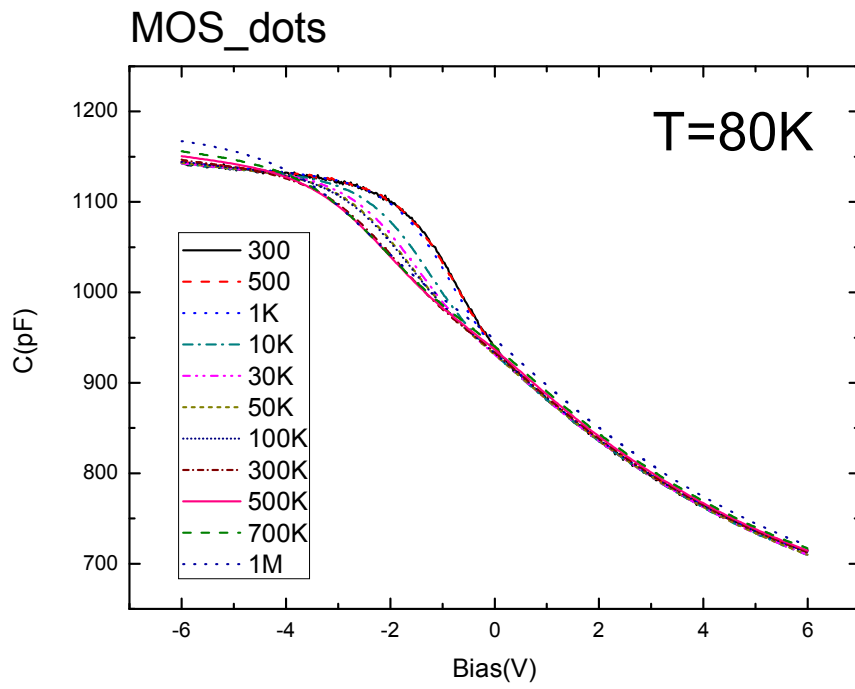


[圖 3-2(b)] small-dots 樣品變溫變頻 C-V 曲線

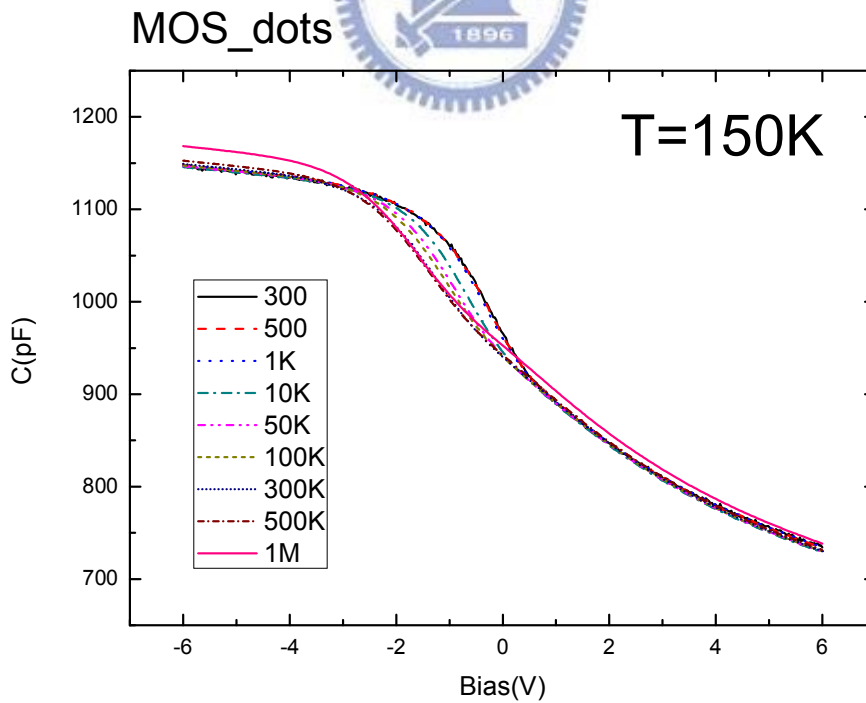
MOS_small-dots



[圖 3-2(c)] small-dots 樣品變溫變頻 C-V 曲線

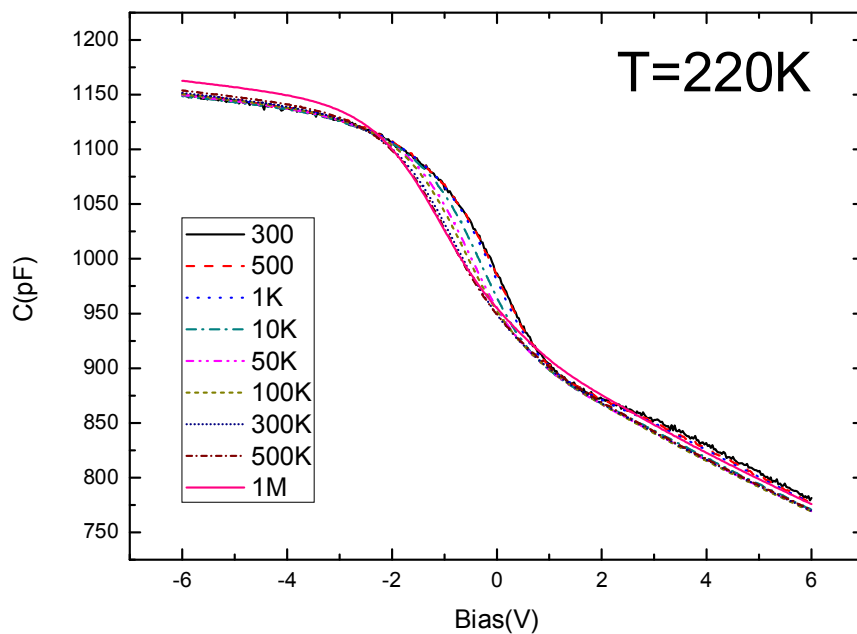


[圖 3-3(a)] dots 樣品變溫變頻 C-V 曲線

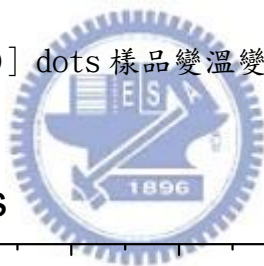


[圖 3-3(b)] dots 樣品變溫變頻 C-V 曲線

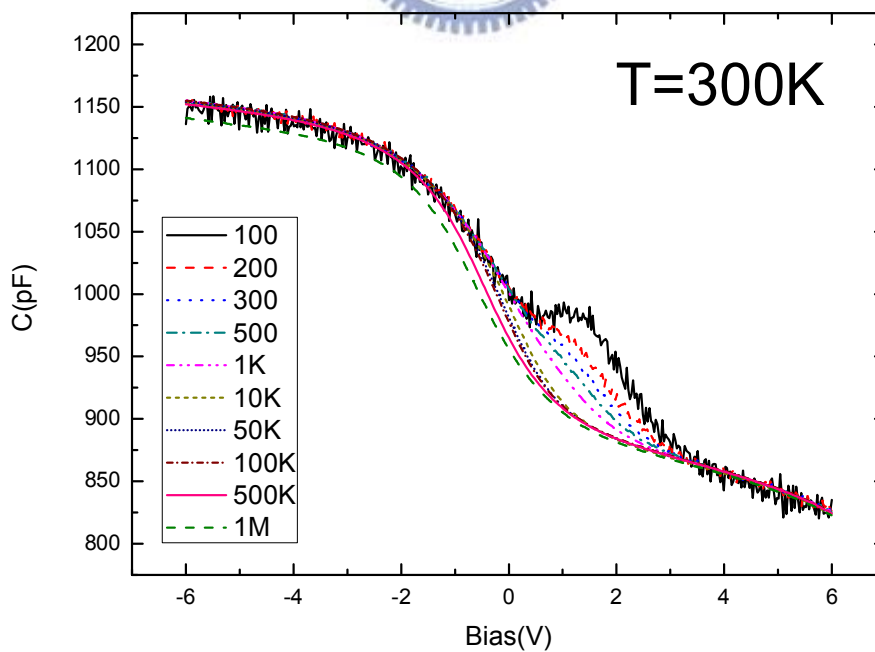
MOS_dots



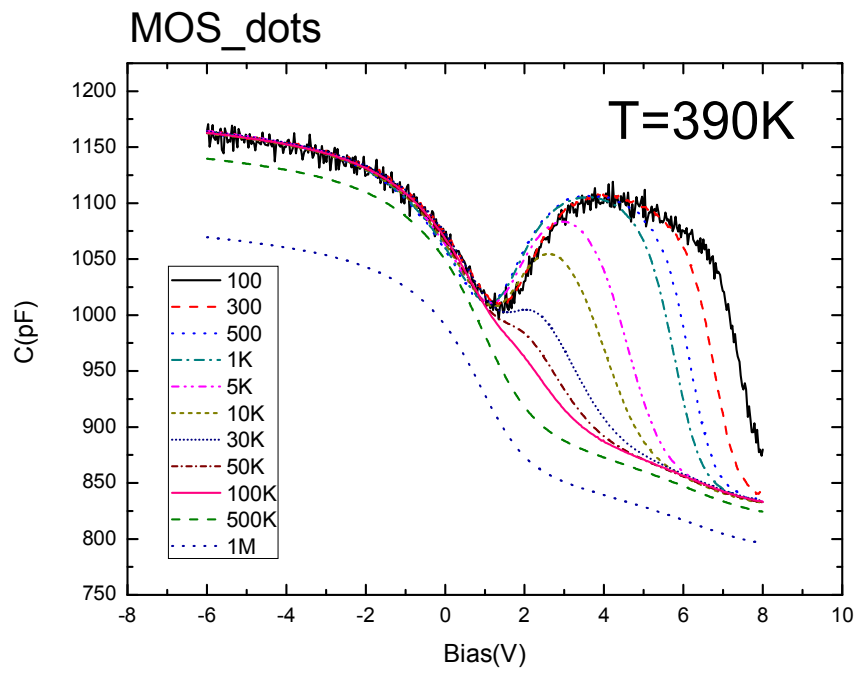
[圖 3-3(c)] dots 樣品變溫變頻 C-V 曲線



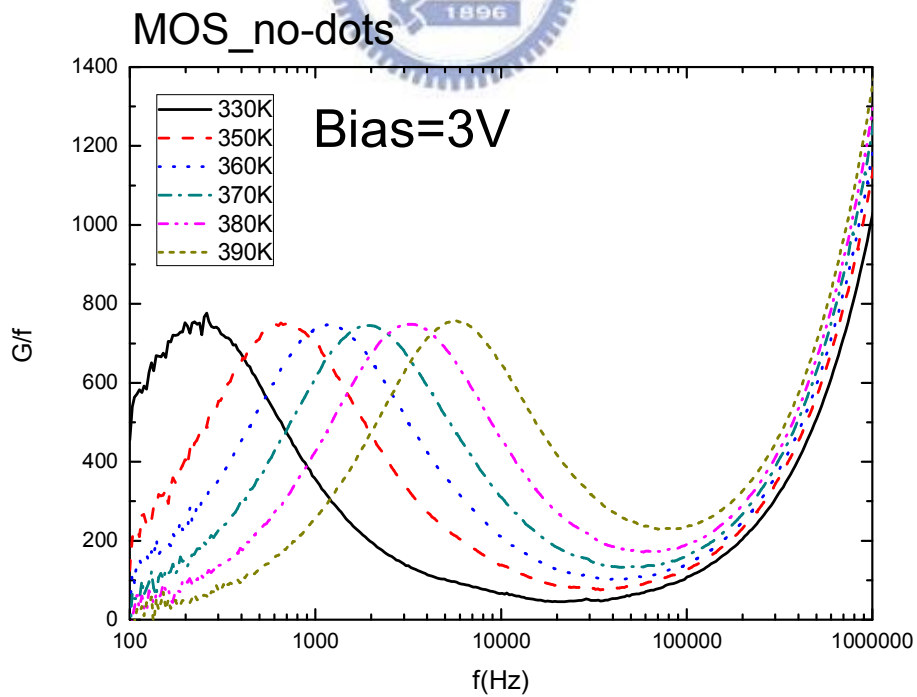
MOS_dots



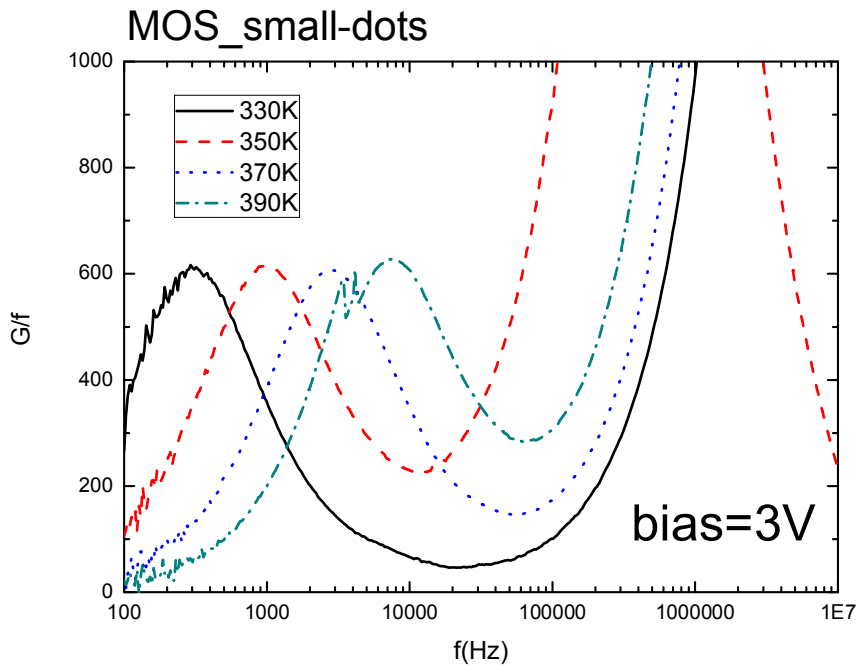
[圖 3-3(d)] dots 樣品變溫變頻 C-V 曲線



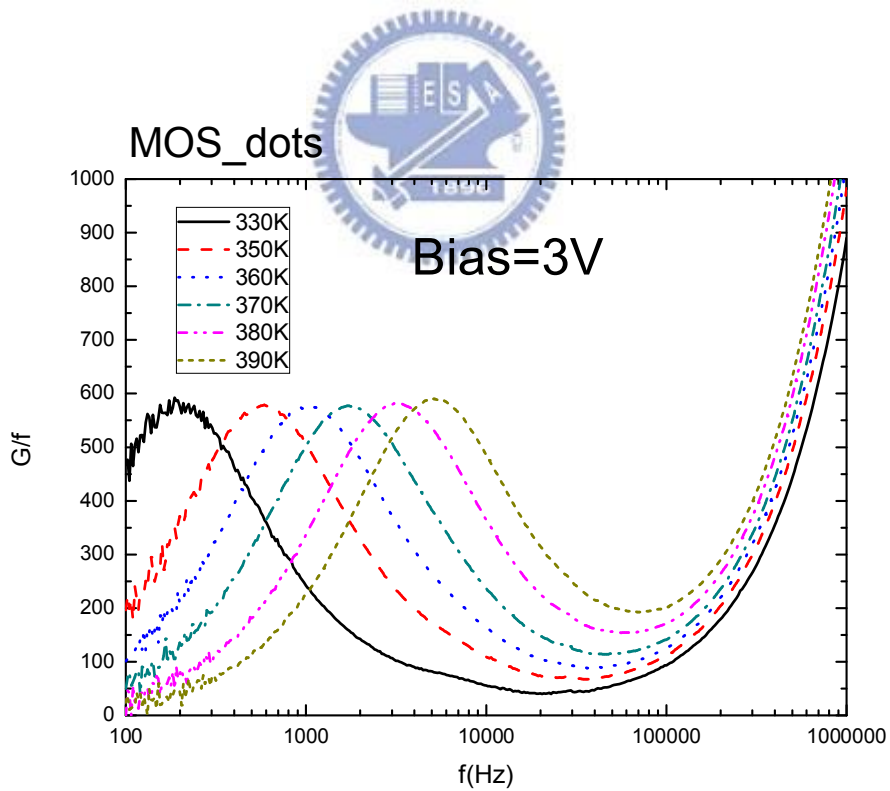
[圖 3-3(e)] dots 樣品變溫變頻 C-V 曲線



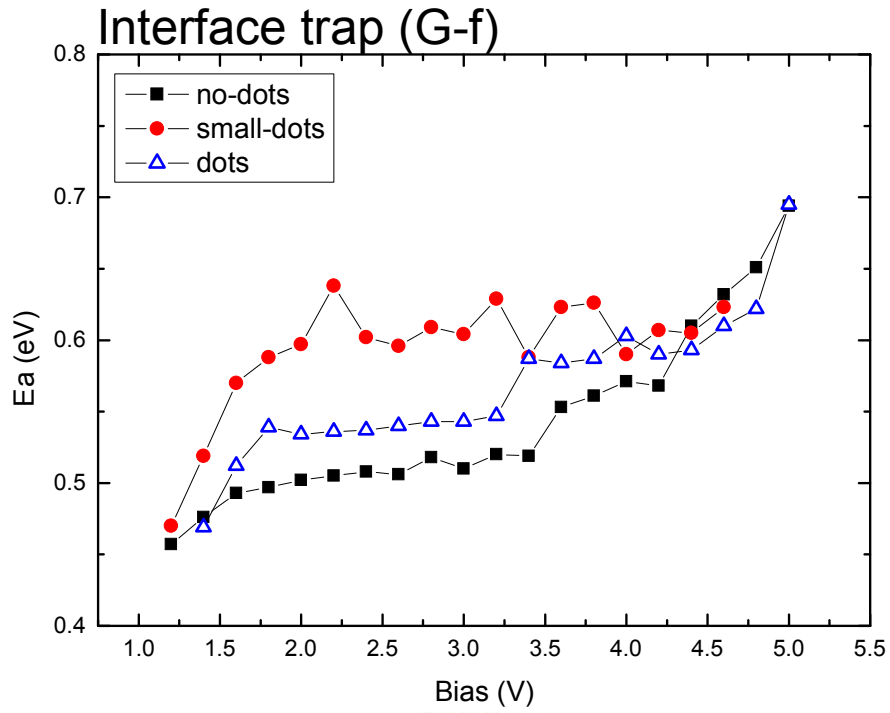
[圖 3-4(a)] no-dots 樣品導納頻譜



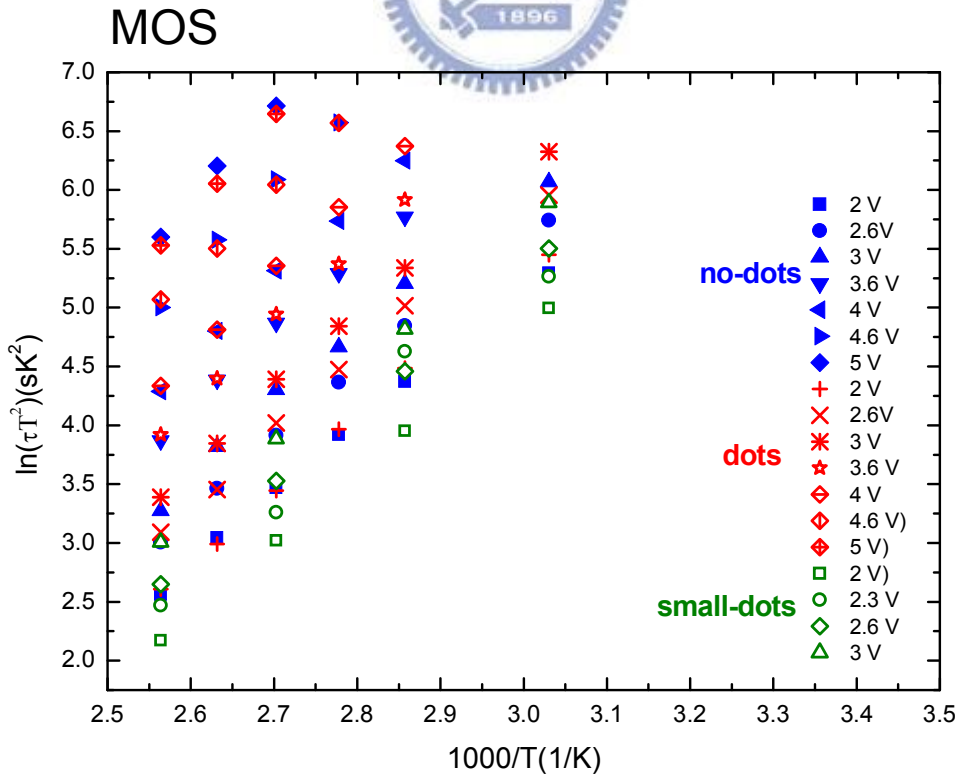
[圖 3-4(b)] small-dots 樣品導納頻譜



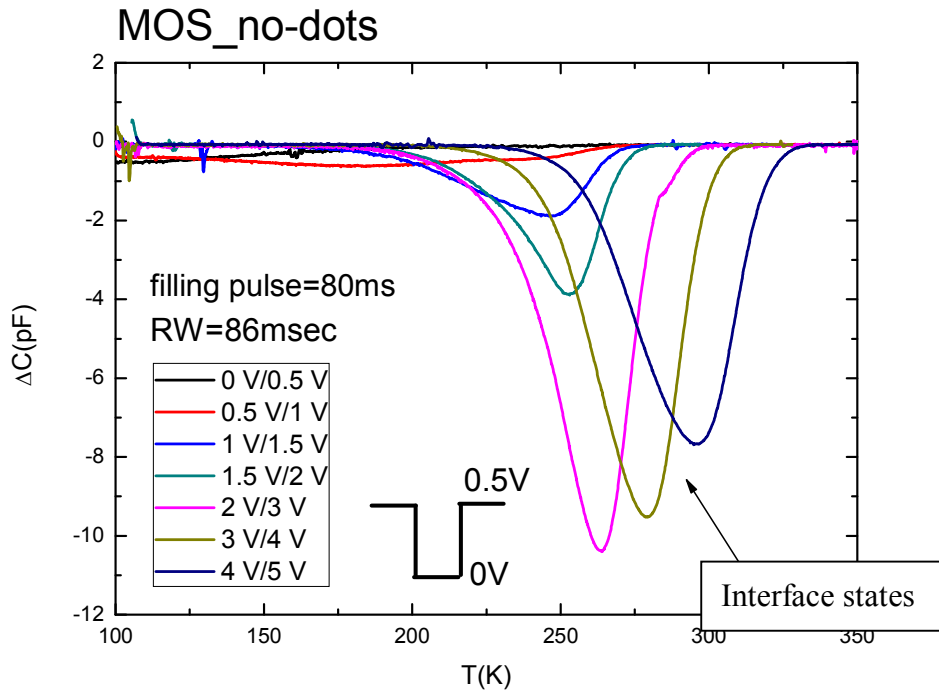
[圖 3-4(c)] dots 樣品導納頻譜



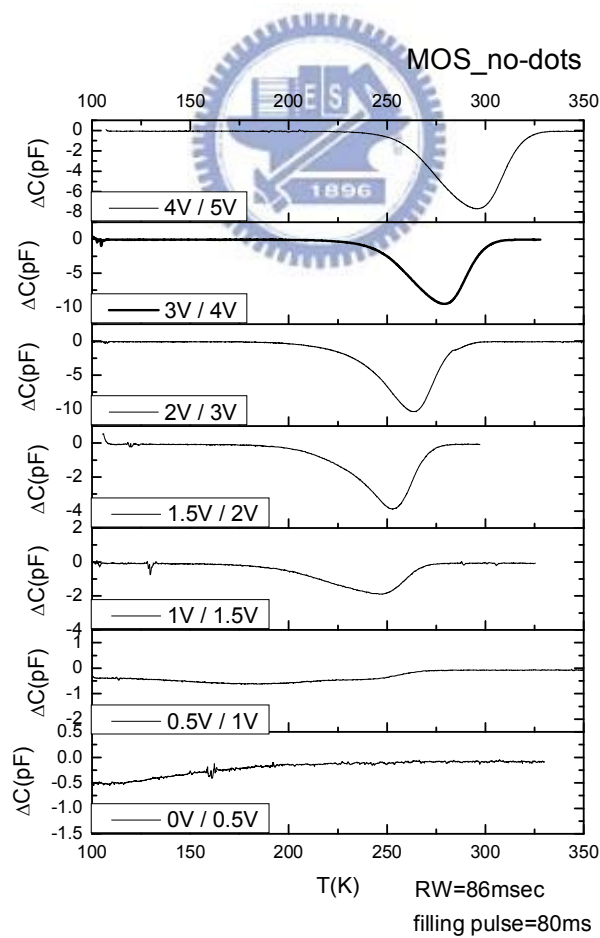
[圖 3-5] 導納頻譜-界面狀態活化能



[圖 3-6] no-dots、small-dots 和 dots 三片樣品 G-f 量測的阿瑞尼斯圖

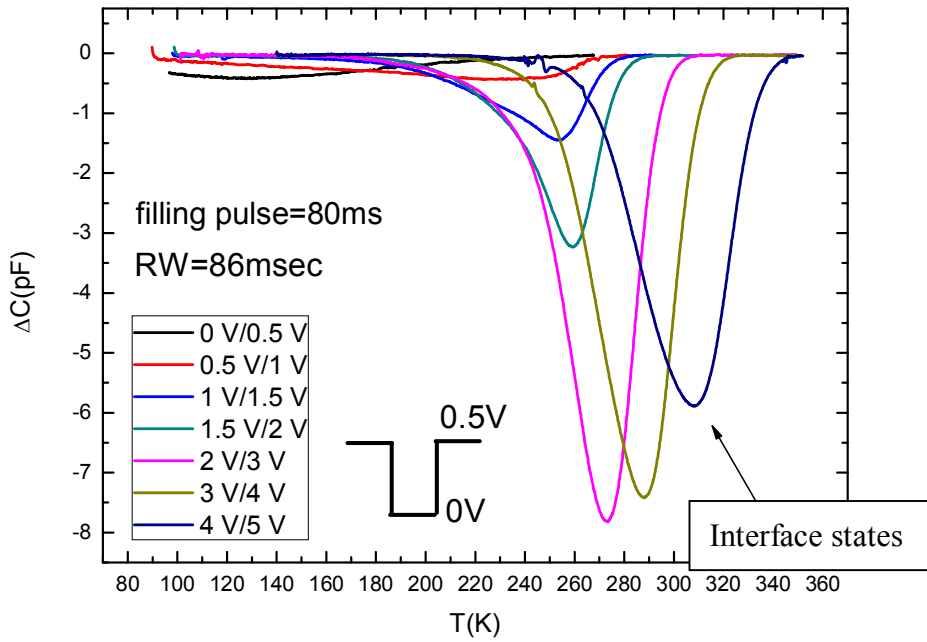


[圖 3-7 (a)] no-dots 樣品 DLTS

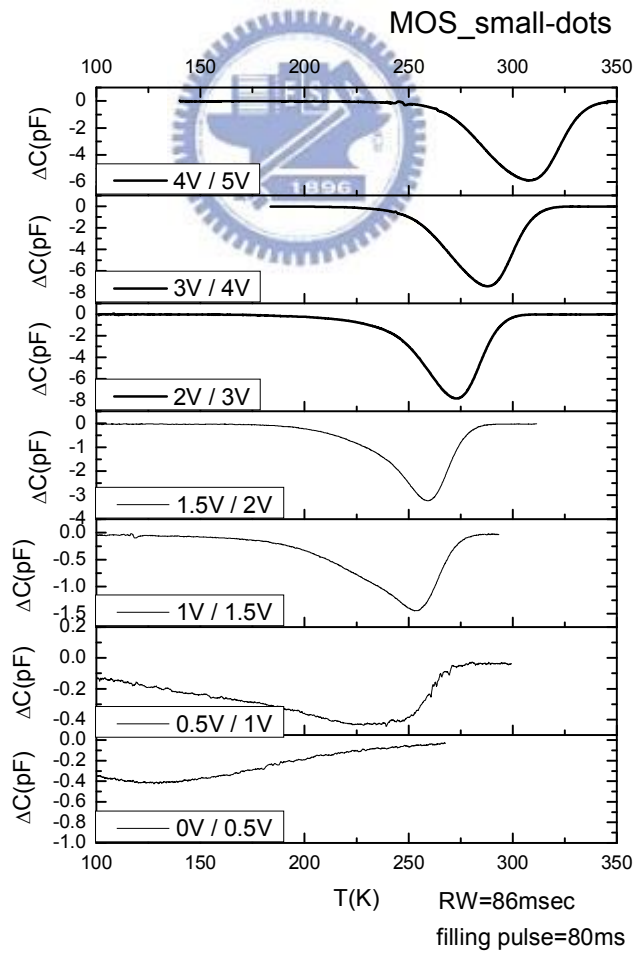


[圖 3-7 (b)] no-dots 樣品 DLTS

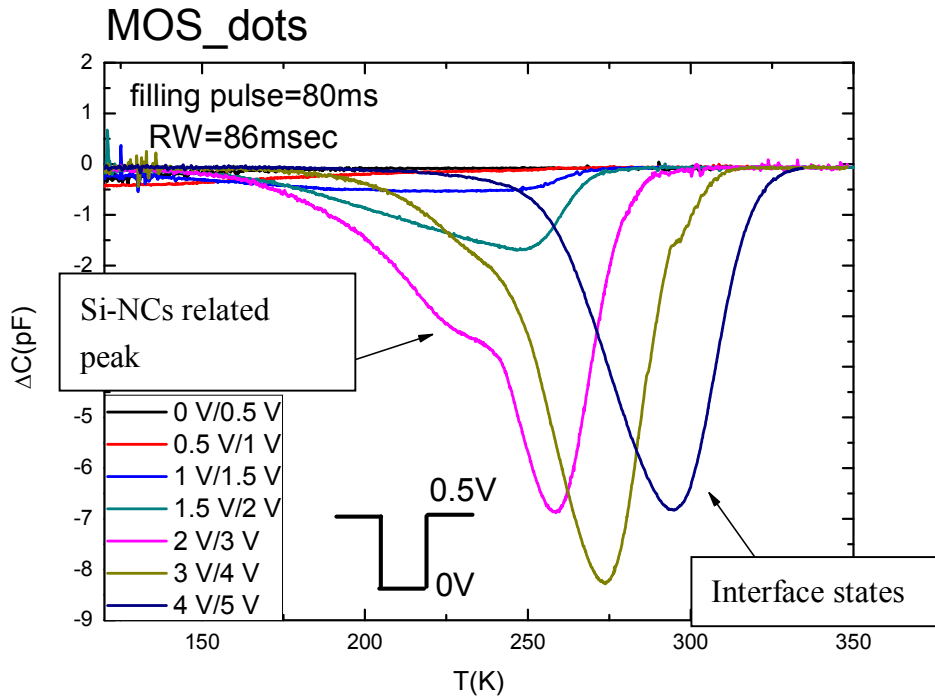
MOS_small-dots



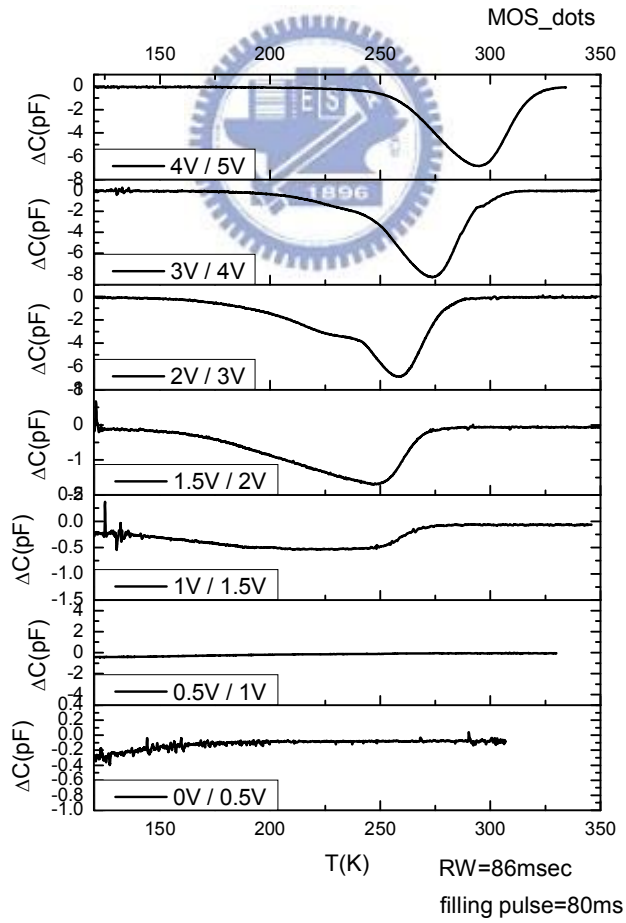
[圖 3-8 (a)] small-dots 樣品 DLTS



[圖 3-8 (b)] small-dots 樣品 DLTS



[圖 3-9 (a)] dots 樣品 DLTS



[圖 3-9 (b)] dots 樣品 DLTS

Bias range	Ea(eV)	$\sigma_p (cm^2)$
2V / 3V	0.430	$1.44 * 10^{-17}$
3V / 4V	0.500	$8.66 * 10^{-17}$
4V / 5V	0.535	$1.01 * 10^{-16}$

[表 3-1] no-dots 樣品界面狀態的缺陷活化能以及捕捉截面積

Bias range	Ea(eV)	$\sigma_p (cm^2)$
2V / 3V	0.484	$7.45 * 10^{-17}$
3V / 4V	0.514	$7.54 * 10^{-17}$
4V / 5V	0.568	$1.34 * 10^{-16}$

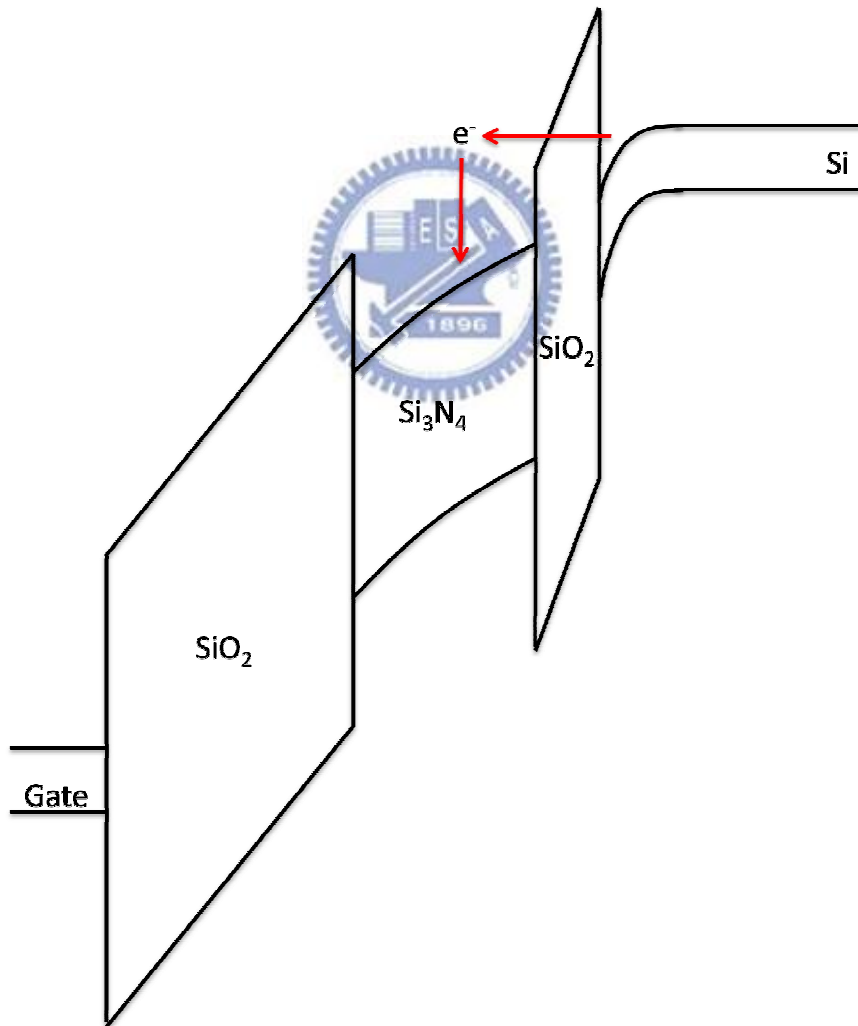
[表 3-2] small-dots 樣品界面狀態的缺陷活化能以及捕捉截面積

Bias range	Ea(eV)	$\sigma_p (cm^2)$
2V / 2.5V	0.396	$6.47 * 10^{-18}$
3V / 3.5V	0.430	$1.15 * 10^{-17}$
4V / 4.5V	0.465	$1.31 * 10^{-17}$

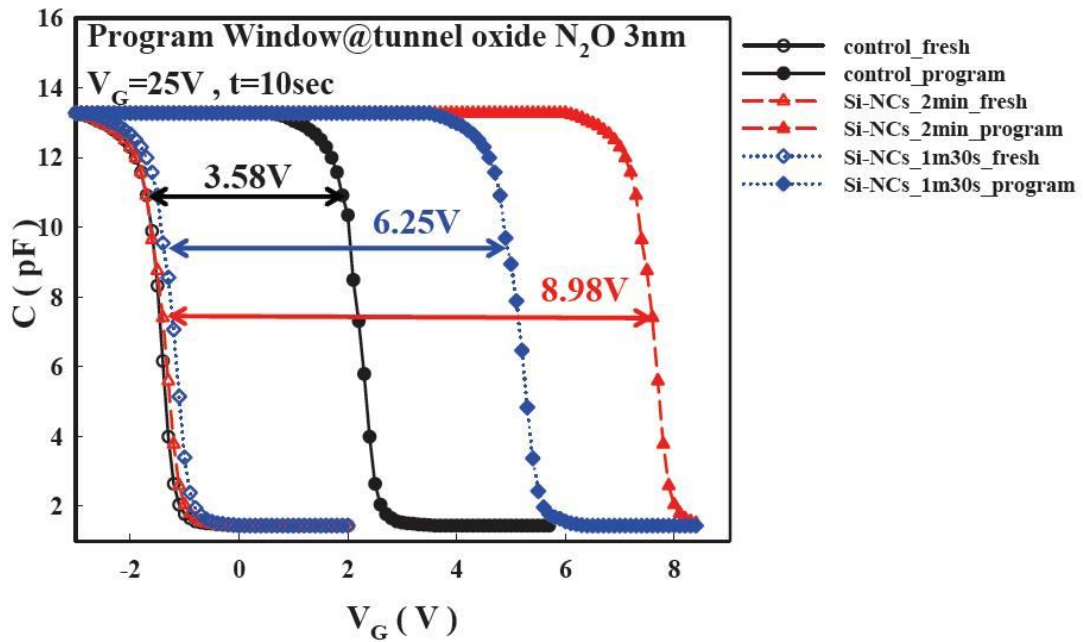
[表 3-3] dots 樣品界面狀態的缺陷活化能以及捕捉截面積

Bias(V)	Ea(eV)	$\sigma_p(cm^2)$
1.5V / 2V	0.338	1.26×10^{-17}
2V / 2.5V	0.334	2.31×10^{-18}
2.5V / 3V	0.319	7.91×10^{-19}
3V / 3.5V	0.337	7.84×10^{-19}

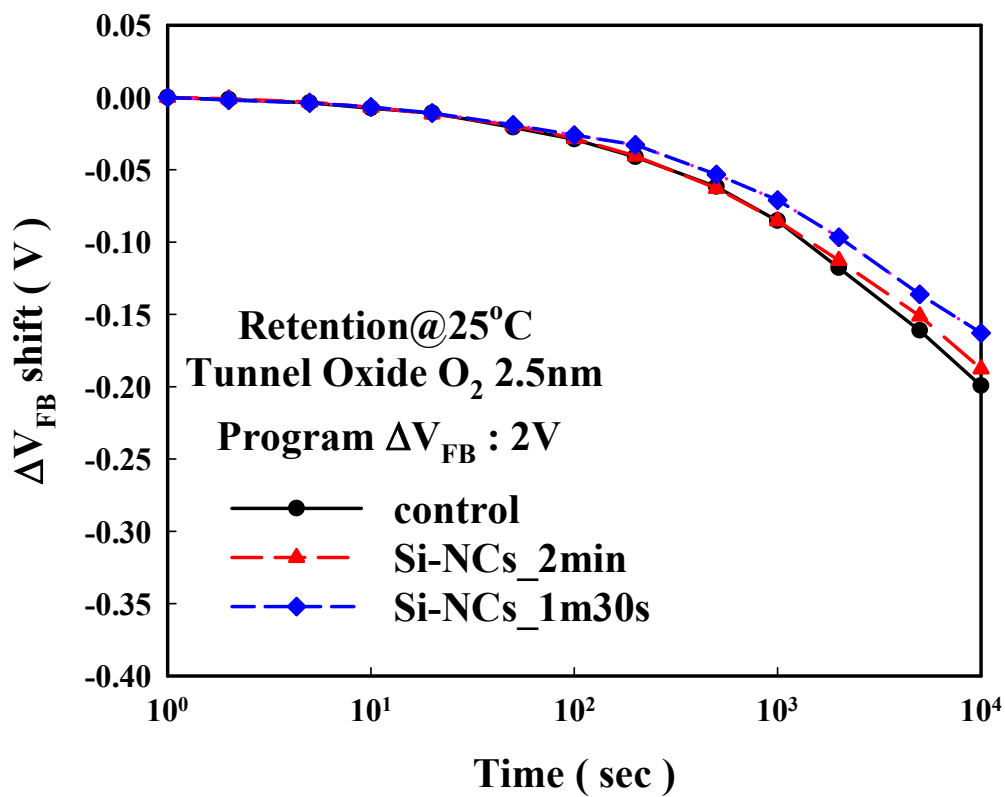
[表 3-4] dots 樣品 Si-NCs related peak 的缺陷活化能以及捕捉截面積



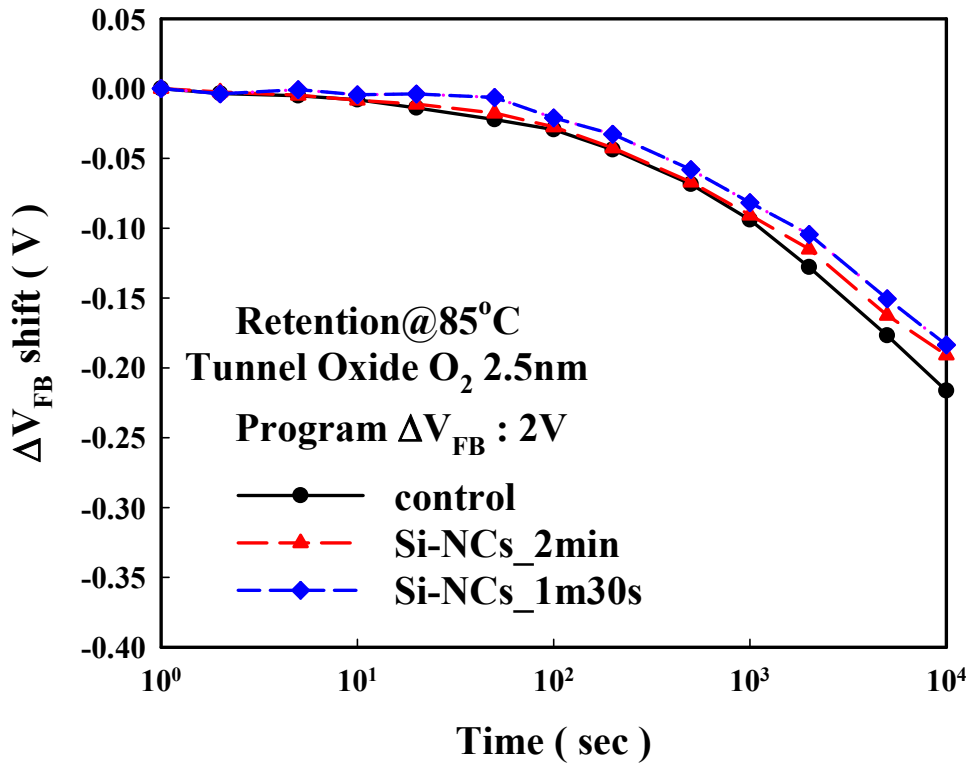
[圖 3-10] 電子以 FN 穿隧效應穿隧過氧化層



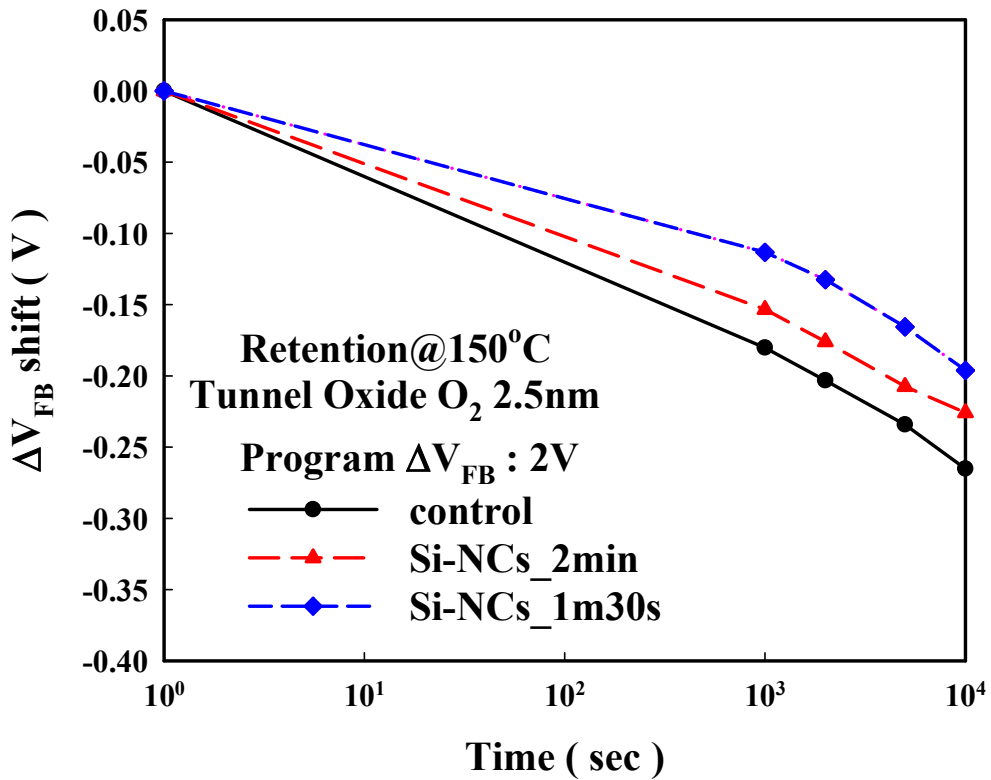
[圖 3-11] 三片樣品儲存電荷 CV 特性比較



[圖 3-12(a)] $\Delta V_{FB}=2V$ 之三片樣品在攝氏 25 度的保存時間 (retention) 特性

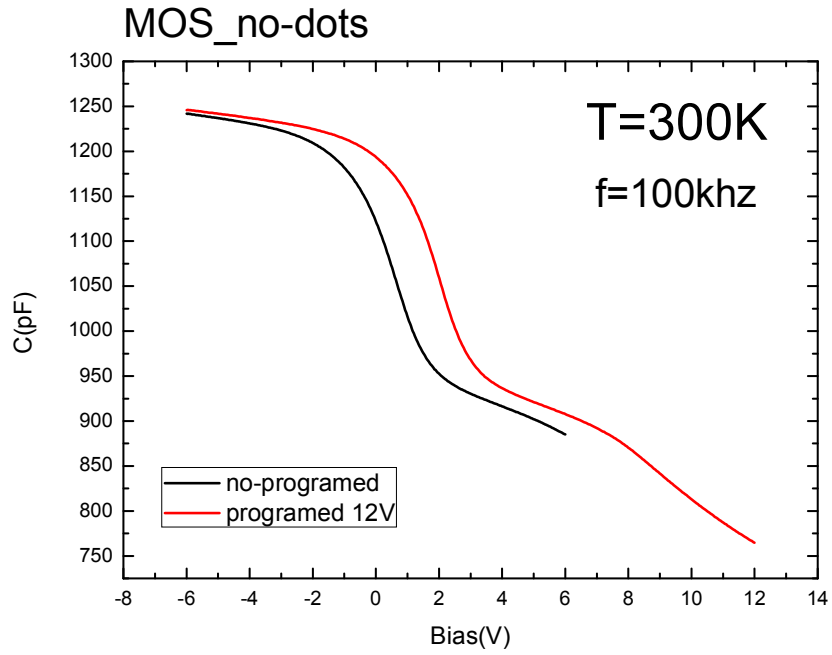


[圖 3-12(b)] $\Delta V_{FB}=2V$ 之三片樣品在攝氏 85 度的保存時間 (retention) 特性

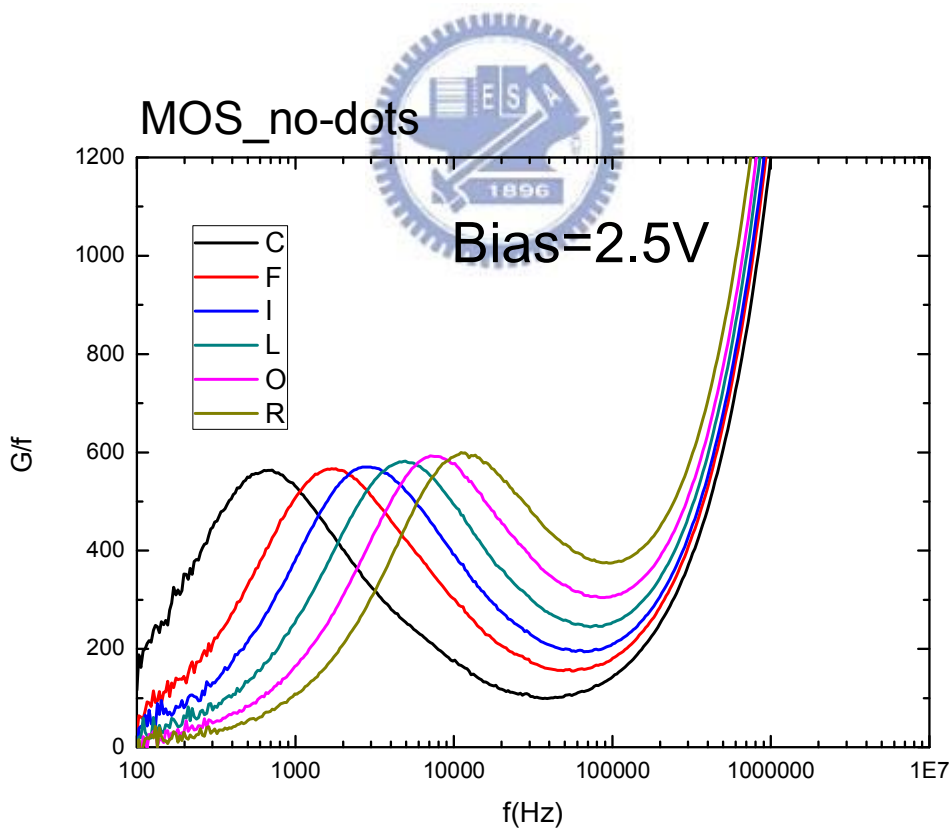


[圖 3-12(c)] $\Delta V_{FB}=2V$ 之三片樣品在攝氏 150 度的保存時間 (retention) 特

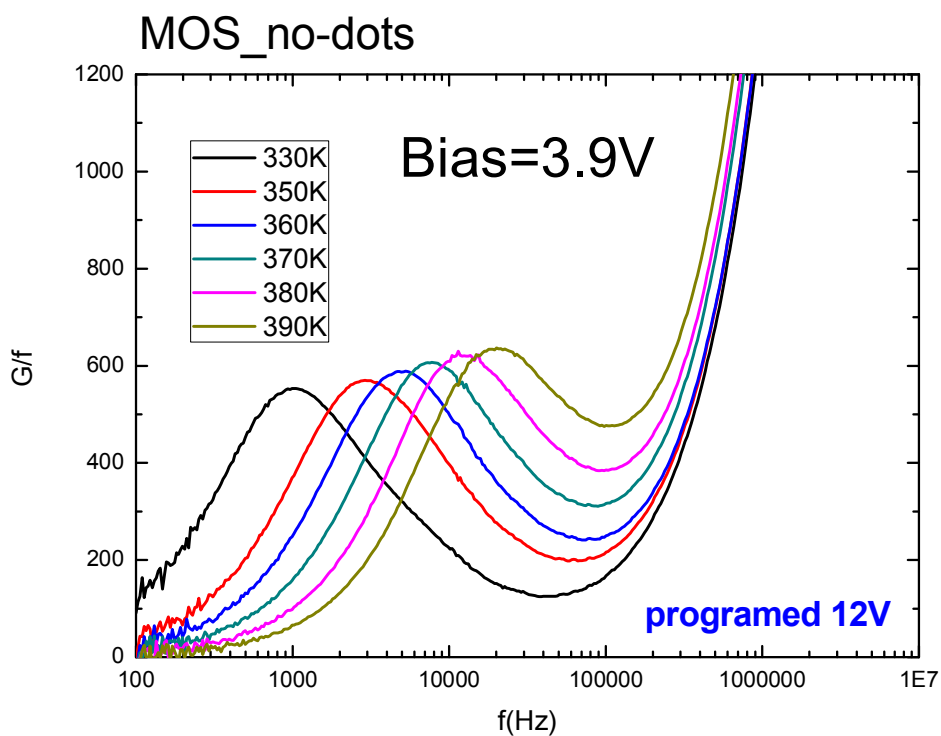
性



[圖 3-13] 儲存載子後平帶電壓 (Flatband Voltage) 平移了 1.4V



[圖 3-14(a)] 未儲存載子偏壓 2.5 V 的 G-f 量測



[圖 3-14(b)]儲載子後偏壓 3.9 V 的 G-f 量測

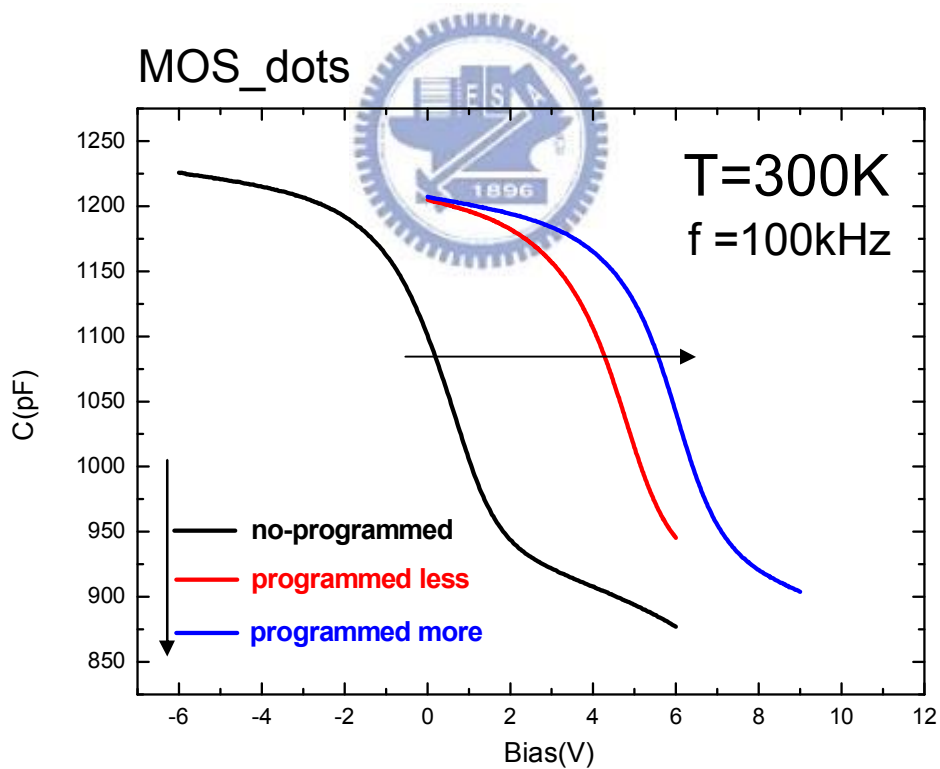


Bias(V)	Ea(eV)	σ_p (cm^2)
2	0.472	$7.98 \cdot 10^{-17}$
2.5	0.472	$5.09 \cdot 10^{-17}$
3	0.473	$3.52 \cdot 10^{-17}$
2.5	0.484	$3.41 \cdot 10^{-17}$
4	0.499	$3.51 \cdot 10^{-17}$
2.5	0.532	$5.55 \cdot 10^{-17}$
5	0.559	$7.04 \cdot 10^{-17}$

[表 3-5 (a)]未儲載子 interface state 的活化能以及捕捉截面積

Bias(V)	Ea(eV)	$\sigma_p(cm^2)$
3.4	0.458	9.05×10^{-17}
3.9	0.490	1.49×10^{-16}
4.4	0.480	7.39×10^{-17}
4.9	0.489	6.22×10^{-17}
5.4	0.499	5.36×10^{-17}
5.9	0.518	5.66×10^{-17}
6.4	0.543	6.37×10^{-17}

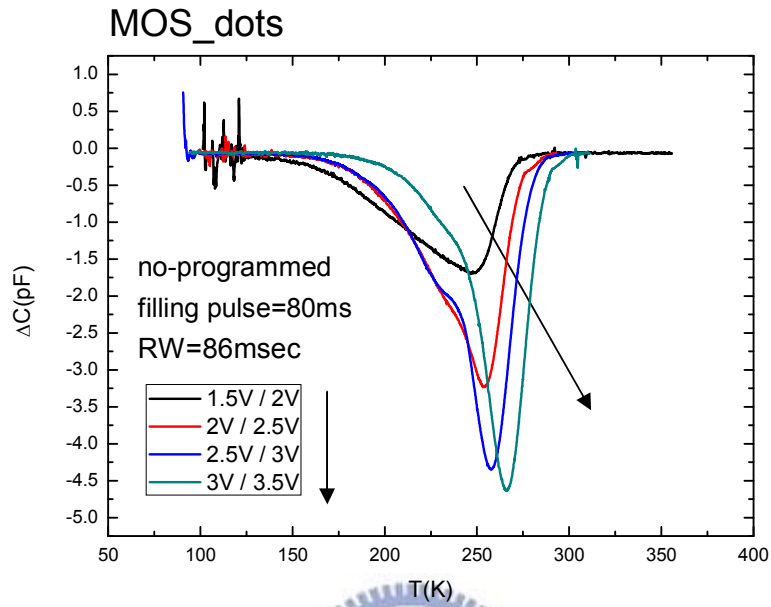
[表 3-5 (b)] 儲載子 interface state 的活化能以及捕捉截面積



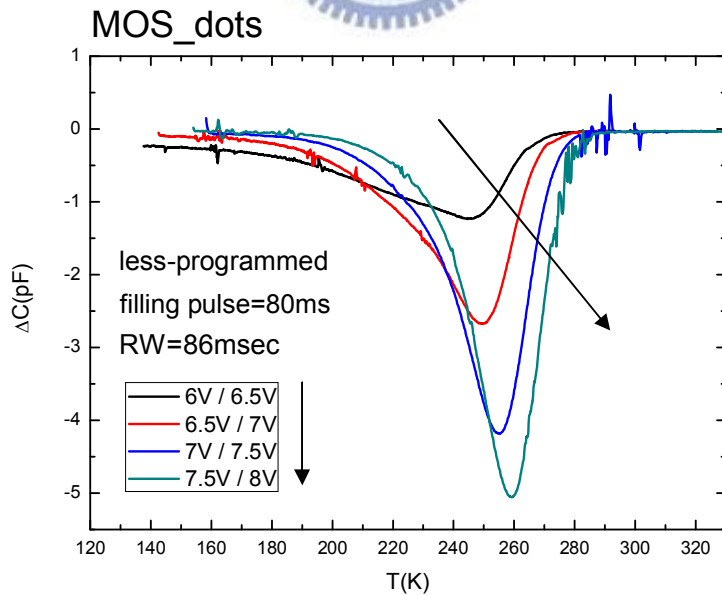
[圖 3-15] no-programmed 表示未灌電子；

less-programmed 表示灌些許電子；

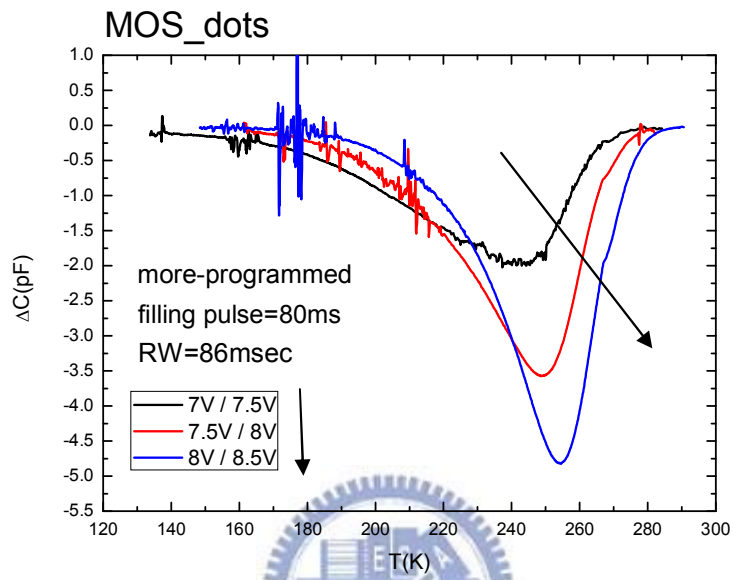
more-programmed 表示灌很多電子的 C-V 曲線



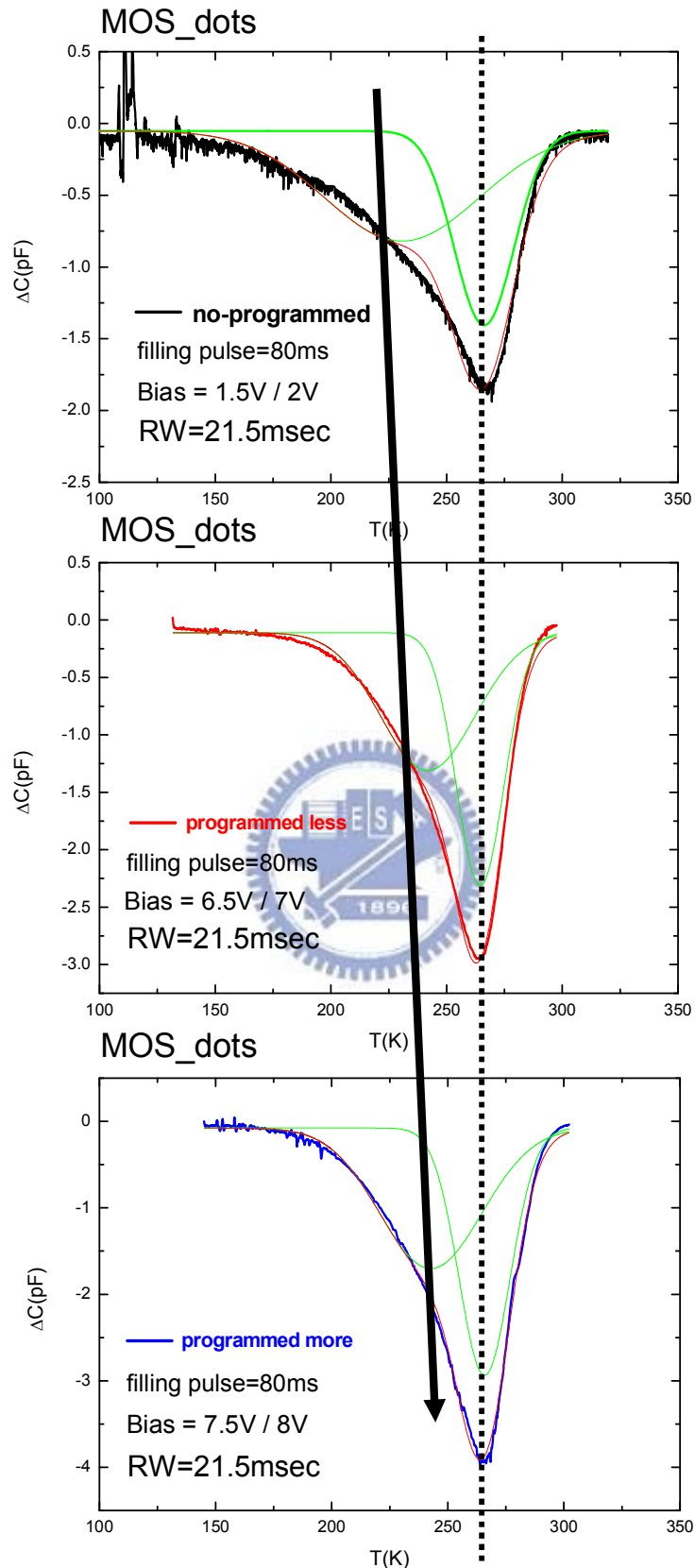
[圖 3-16(a)] no-programmed 速率窗 (rate window) 86 msec 的 DLTS 量測



[圖 3-16(b)] less-programmed 速率窗 (rate window) 86 msec 的 DLTS 量測



[圖 3-16(c)] more-programmed 速率窗 (rate window) 86 msec 的 DLTS 量測



[圖 3-17] 速率窗為 21.5msec 的 no-programmed、less-programmed 和 more-programmed 的 DLTS 量測

Bias(V)	Ea(eV)	$\sigma_p (cm^2)$
1.5V / 2V	0.338	$1.26 * 10^{-17}$
2V / 2.5V	0.334	$2.31 * 10^{-18}$
2.5V / 3V	0.319	$7.91 * 10^{-19}$
3V / 3.5V	0.337	$7.84 * 10^{-19}$

[表 3-6 (a)] no-programmed 改變偏壓 DLTS 量測的活化能與捕捉截面積

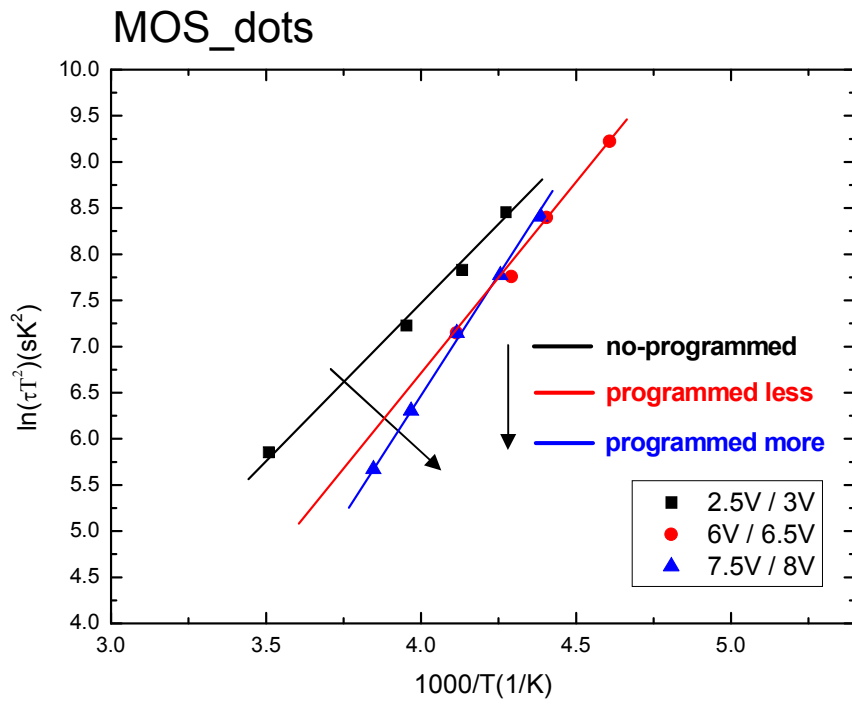


Bias(V)	Ea(eV)	$\sigma_p (cm^2)$
6V / 6.5V	0.370	$2.09 * 10^{-17}$
6.5V / 7V	0.363	$6.88 * 10^{-18}$

[表 3-6 (b)] less-programmed 改變偏壓 DLTS 量測的活化能與捕捉截面積

Bias(V)	Ea(eV)	$\sigma_p (cm^2)$
7V / 7.5V	0.437	$5.76 * 10^{-16}$
7.5V / 8V	0.438	$5.53 * 10^{-16}$

[表 3-6 (c)] more-programmed 改變偏壓 DLTS 量測的活化能與捕捉截面積



[圖 3-18]no-programmed、less-programmed 和 more-programmed

對特定偏壓的阿瑞尼斯圖



第四章

模擬方法及討論

4-1 電容-電壓 (C-V) 模擬方法

4-1-1 電容-電壓 (C-V) 低頻模擬方法

從標準電容模型，要模擬電容電壓關係，基本上是從 Poisson's equation 出發(12)：

$$\frac{d^2\phi(x)}{dx^2} = -\frac{\rho(x)}{\epsilon_s} \quad [4-1]$$

右邊等式是電荷密度分佈，積分一次之後可以得到電場，積分兩次可以得到電位。但是，在使用 Poisson's equation 之前必須有幾個假設成立：

1. 一維近似：我們所定義的積分路徑是一維的方向，也就是從 Gate 往 Body 上的垂直方向，在另外兩個空間維度上，也就是 Gate 面積的長、寬方向則忽略，因此一維假設成立的條件就是 Gate 面積要夠大，才能確保邊緣效應不會影響到我們所關心的積分範圍。
2. 摻雜濃度均勻：因為積分是一個空間上的範圍，因此必須確定這個範圍內的摻雜濃度，因為摻雜濃度將直接的影響電荷密度，實際上，這個假設可能是不正確的，但是對於數學過程上，這樣的假設將會把情況化簡許多，而這樣的假設所得到的結果也跟實際結果相去不遠。
3. 沒有簡併態的產生：簡併態會造成我們計算電荷分佈的時候，所考慮的允許狀態必須包含簡併態，在一般的量測情形中，這是一個很好的假設。
4. 表面沒有量子侷限狀態產生：在一個外加極大偏壓的情況，半導體跟氧化層

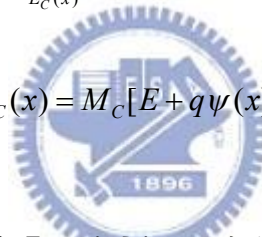
的界面會產生很大的能帶彎曲，這樣的能帶情況會造成類似位能井的效應，產生量子侷限狀態，會產生不連續的量子狀態，這對我們之後的假設會有不符的結果。在一般的量測偏壓範圍，也不會有量子侷限狀態的產生。

在上述的假設成立的前提下，我們可以使用 Poisson's equation 來做計算，而第一步就是要了解電荷密度分布的情況，這裡則使用一個能帶彎曲近似(Band Bending Approximation)：

外加偏壓會對半導體區造成一個電場，而這個電場則不會影響半導體的狀態密度函數(Density of States)，但是會改變半導體能帶彎曲的程度，並且造成自由載子重新分佈，自由載子的分布情形可以用下式描述：

$$n(x) = \int_{E_C(x)}^{\infty} M_C(x) f_n(E - E_F) dE \quad [4-2]$$

$$M_C(x) = M_C[E + q\psi(x)] \quad [4-3]$$



其中 M_C 是狀態密度函數， f_n 是 Fermi-Dirac 分佈函數， ψ 是半導體能帶彎曲的程度[圖 4-1]。上式的積分結果就可以得到電子跟電洞濃度的函數：

$$n(x) = N_D \exp\left[\frac{q\psi(x)}{kT}\right] \quad \text{For n-type} \quad [4-4]$$

$$p(x) = N_A \exp\left[\frac{-q\psi(x)}{kT}\right] \quad \text{For p-type} \quad [4-5]$$

有了載子濃度分佈之後，就可以把電荷密度表示成：

$$\rho(x) = q[p(x) - n(x) + N_D - N_A] \quad [4-6]$$

在做 Poisson's equation 的積分之前，我們必須先定義一些數學代換的符號來化簡數學過程，首先定義沒有單位的位能(Dimensionless Potentials)：

$$u(x) = \frac{q\phi(x)}{kT} \quad [4-7]$$

$$q\phi(x) = E_F - E_i(x) \quad [4-8]$$

位能 ϕ 是定義外質費米能階到本質費米能階的位置[圖 3-1]，這樣可以把[式 4-1]，[式 4-6]表示成：

$$\frac{d^2u(x)}{dx^2} = \lambda_i^{-2} [\sinh(u(x)) - \sinh(u_B)] \quad [4-9]$$

$$\lambda_i = \left(\frac{\epsilon_s kT}{2q^2 n_i} \right)^{1/2} \quad [4-10]$$

u_B 是指在 Bulk 區(中性區, $x \rightarrow \infty$)的半導體位能 $u(x)$ ， n_i 是本質半導體濃度。下一步是將積分過程做一個簡單的代換：

$$\frac{d}{dx} \left(\frac{du}{dx} \right)^2 = 2 \frac{du}{dx} \left(\frac{d^2u}{dx^2} \right) \quad [4-11]$$

$$\int_{\frac{du_s}{dx}}^0 d \left(\frac{du}{dx} \right)^2 = \int_{u_s}^{u_B} 2 \left(\frac{d^2u}{dx^2} \right) du \quad [4-12]$$

把[4-9]代入[4-12]式右邊的積分，並且加上電場 F_s 的定義：

$$\frac{du_s}{dx} = \frac{q}{kt} F_s$$

[4-13]

$$\int_{F_s}^0 d\left(\frac{du}{dx}\right)^2 = -\left(\frac{qF_s}{kT}\right)^2 \quad [4-14]$$

經過積分代換之後可以整理得到下式：

$$F_s = \text{sgn}(u_B - u_S) 2^{1/2} \frac{kT}{q\lambda_i} [(u_B - u_S) \sinh(u_B) - (\cosh(u_S) - \cosh(u_B))]^{1/2} \quad [4-15]$$

這是表面電場的函數，其中 $\text{sgn}(u_B - u_S)$ 在 $u_B > u_S$ 時為+1， $u_B < u_S$ 時為-1，這個函數代表的是電場的方向，而表面電荷則可以從下式簡單求得：

$$Q_s = \epsilon_s F_s \quad [4-16]$$

如此一來，就可以畫出表面電荷對表面能帶彎曲的關係圖[圖 4-2]。在[圖 4-2]中可以看到各個能帶情況：電洞累積區(Accumulation)、電洞空乏區(Depletion)、電子反轉區(Inversion)。這三種情況在[圖 4-2]各自表現出不同的表面電荷多寡，因此所對應的電容值也有所不同，電容值的求法就是電荷對電壓的微分：

$$C_s = -\left(\frac{\delta Q_s}{\delta u_s}\right) \left(\frac{\delta u_s}{\delta \phi_s}\right) = -\left(\frac{q}{kT}\right) \left(\frac{\delta Q_s}{\delta u_s}\right) \quad [4-17]$$

C_s 是半導體所產生的半導體電容，在量測上還必須串連氧化層電容 C_{ox} [圖 4-3]。[圖 4-4] 可以看到模擬的電容圖形，在這邊是取用表面能帶彎曲做為 X 軸，但是實際上我們量測實驗時是以外加電壓做為 X 軸，因此表面能帶彎曲跟外加電壓可以由下式表示：

$$V_G = -\frac{Q_s(\psi_s)}{C_{ox}} + \psi_s$$

[式 4-18]在說明外加電壓 V_G 會等於氧化層上所跨的壓降 V_{ox} 加上半導體區所跨的壓降 Ψ (表面能帶彎曲)。從[式 4-17]、[式 4-18]可以得到電容電壓關係圖[圖 4-5]。

4-1-2 電容-電壓 (C-V) 高頻模擬方法

在上一章節 4-1，已經介紹了低頻的電容電壓模擬方式，[圖 4-5]可以看到從低電壓($V_B = -6\text{ V} \sim -2\text{ V}$)表現出電洞累積的電容特性，電容值大約為氧化層電容，接著是平帶電壓($V_B = -2\text{ V}$)，然後是電洞空乏區($V_B = -2\text{ V} \sim 3\text{ V}$)，此時產生空乏區，等效的介電質厚度增加、電容值下降，最後在高電壓($V_B = 3\text{ V} \sim$)電容值又重新上升，這時候已經達到反轉層產生的臨界電壓，因此電容值又重新拉回氧化層電容的大小。在這個低頻模擬的過程中，考慮到了反轉電荷的產生，但是實際上在量測 MOS 結構的電容時，外加交流小訊號的頻率通常都高於少數載子的反應時間，因此都無法量測到反轉層的電荷。所以在[圖 4-5]，高電壓($V_B = 3\text{ V} \sim$)時的電容值通常都無法量到產生反轉層時的電容特性，因此在這個章節要介紹的是高頻時的模擬方法(13)。

首先先介紹量測電容的時候可能會得到的曲線[圖 4-6]。[圖 4-6]顯示四種可能量測的曲線：

- (a) 低頻量測
- (b) 高頻量測
- (c) 深層空乏(Deep Depletion)
- (d) 雪崩效應(Avalanche Breakdown)

[圖 4-6 (a)]的低頻量測時可以看到出現反轉層的電容，此時頻率需要極低，足

夠讓少數載子穿越空乏區，因為空乏區占有空間上的寬度，因此少數載子的反應時間很長，可能需要數秒鐘的數量級，量測頻率必須在 10 Hz 以下才有可能量測到[圖 4-6 (a)]的低頻電容特性。[圖 4-6 (b)]是在高頻量測時，無法量到反轉電荷的電容情況。[圖 4-6 (c)]顯示在量測的直流偏壓掃動很迅速的時候，本來空乏程度只能到 $\phi_s=2\phi_{fp}$ ，但是因為電壓的掃動很迅速，使得半導體還來不及達到平衡，因此會產生深層空乏 $\phi_s>2\phi_{fp}$ 的情況，使得空乏區更大，造成電容值變得更小。[圖 4-6 (d)]顯示在外加偏壓太大的時候，電荷能夠直接流通過空乏區，產生穿隧電流，這時穿隧過的電荷會撞擊原本在能帶裡面的穩定電荷，造成更多電荷流動，形成雪崩效應(Avalanche breakdown)，雪崩效應產生很大的電流，因此電容值將會定在發生雪崩的時候的電容值大小。

現在要說明的是[圖 4-6 (b)]的高頻電容曲線的模擬方式。在高頻時，少數載子穿越空乏區的時間很久導致少數載子反應時間很慢，因此反轉層的電子這時候趕不上外加的量測頻率，因此引入了一個准費米能階來描述反轉層電子的行為：



$$n(x,t) = \exp\left(\frac{q\psi(x,t) + E_{Fn}(x,t)}{kT}\right) \int_{E_C(x)}^{\infty} M_C(x) f_n(E - E_F) dE \quad [4-19]$$

[式 4-19]積分過後可以得到：

$$n(x,t) = n_i \exp\left[\frac{q\psi(x,t)}{kT} + u_{Fn}\right] \quad [4-20]$$

$$u_{Fn} = \frac{E_{Fn} - E_i}{kT} \quad [4-21]$$

這裡 u_{Fn} 是一個代換用的位能，在[式 4-19]、[式 4-20]、[式 4-21]裡面，其實我們還不知道切確的 E_{Fn} 的函數形式，這在之後會在由一些數學過程得到。

接下來要做的就是重複章節 4-1 的步驟，把 Poisson's equation 積分得到電荷、電場、電位等等的情況。

$$\rho = q(p - N_A - n) \quad [4-22]$$

$$p - N_A - n = n_i [e^{-u_B} (e^{-v} - 1) - e^{v+u_{Fn}}] \quad [4-23]$$

$$\frac{d^2 v(x)}{dx^2} = \lambda_n^{-2} [1 - e^{-v} + e^{v+u_{Fn}+u_B}] \quad [4-24]$$

$$\left. \frac{dv}{dx} \right|_{x=0} = 2^{1/2} \lambda_n^{-1} \{v_S + e^{-v_S} - 1 + e^{u_B - u_{Fn}} (e^{v_S} - 1)\}^{1/2} \\ = F(v_S, u_{Fn}, u_B) \lambda_n^{-1} \quad [4-25]$$

$$C_S = \epsilon_S \frac{\delta}{\delta v_S} \left(\frac{dv}{dx} \right)_{x=0} \quad [4-26]$$

$$C_S = C_{FBS} \left\{ 1 - e^{-v_S} + \left(\frac{n_i}{N_A} \right)^2 [(e^{v_S} - 1) \left(1 - \frac{\delta u_{Fn}}{\delta v_S} \right) + 1] \right\} F^{-1}(v_S, u_{Fn}, u_B) \quad [4-27]$$

$$C_{FBS} = \epsilon_S \lambda_n^{-1} \quad [4-28]$$

[式 4-24] 積分一次之後得到電場關係式 [式 4-25]，最後可以得到 [式 4-27] 式電容的表示關係式。在 [式 4-27] 中，為一未知的是 u_{Fn} 對 v_S 的微分表示式，從文獻可以得到：


$$\frac{\delta u_{Fn}}{\delta v_S} = \frac{1}{1 + \Delta} \quad [4-29]$$

$$\Delta \approx \frac{F(v_{so}, u_B)}{e^{v_{so}} - 1} \left\{ \int_0^{v_{so}} dv \left[\frac{e^{v_s} - e^{-v_s} - 2v_s}{F^3(v_s, u_B)} \right] - 1 \right\} \quad [4-30]$$

從[式 4-18]、[式 4-27]、[式 4-28]、[式 4-29]、[式 4-30]可以畫出高頻電容電壓關係圖[圖 4-7]。

4-1-3 界面狀態(Interface states)模擬方法

從 CV 圖形與 DLTS 圖形，都可以發現氧化層與基板之間的界面狀態會呈現一個高斯分佈，在 Si 能隙中間濃度最高，從文獻中(14)也可以看到類似的界面狀態分佈情形。因此要模擬界面狀態在電容上的反應，方法是在電容項上加上界面狀態所貢獻的額外電荷量(15)。借由下式：



$$C_t = \frac{q^2 n_T}{kT} f(1-f) \quad [4-31]$$

n_T 為界面狀態濃度對能量的分佈， f 是 Fermi-Dirac 分佈函數，把[式 4-31]的界面電荷所貢獻的電容如[圖 4-8]連接起來，就可以得到模擬電容與實驗的比較圖[圖 4-9 (a)(b)(c)]。從[圖 4-9 (a)(b)(c)]可以整理得出界面狀態濃度 (Density of Interface Traps) D_{it} 以及固定電荷量 (Fixed Oxide Charge) Q_{ss} 整理如[表 4-1]。

4-2 ONO 能帶圖模擬方法

從章節 4-1-2 可以得到 CV 的模擬方法，從這個模型的延伸可以得知 MOS 結構各個區塊所跨降的偏壓，因此可以得到能帶圖 (Energy-x 圖)。因為能帶圖在

電性量測上的分析是一個很有力的工具，因此建立一套完整的能帶圖模擬方法是迫切而且必須的。關於能帶圖的跨壓計算方式，其實在一開始跟到最後我有嘗試過不同的方法，最後發現仍然是從 Poisson's equation 出發，從電荷、電場來做積分才是最全面的系統，因此這邊仍然是以 Poisson's equation 做為基礎。

Poisson's equation 在這邊的應用方式是從章節 4-1-2 與 4-1-2 我們已經得到了半導體表面電場的情形，因此直接做電場的積分就可以得到所跨的電壓差，而氧化層的電場很好表示，基本上就是半導體表面電場乘上半導體跟氧化物介電係數的比率。並且把所有每一個區域所跨的壓差加在一起會得到外加偏壓的總值。這邊列出每一個區域所跨的電場(16)：

$$E_{TO} = \frac{|V_g| - \phi_{ms} - \psi_s - \frac{Q_{SiN}}{\epsilon_0} \left(\frac{x_{BO}}{\epsilon_{BO}} + \frac{x_{SiN}}{2\epsilon_{SiN}} \right)}{x_{TO} + \frac{\epsilon_{TO}}{\epsilon_{SiN}} x_{SiN} + \frac{\epsilon_{TO}}{\epsilon_{BO}} x_{BO}} \quad [4-32]$$

$$E_{SiN} = E_{TO} \frac{\epsilon_{TO}}{\epsilon_{SiN}} + \left(\frac{1}{2} \frac{x}{x_{SiN}} \right) \frac{Q_{SiN}}{\epsilon_0 \epsilon_{SiN}} \quad [4-33]$$

$$E_{BO} = E_{TO} \frac{\epsilon_{TO}}{\epsilon_{BO}} + \frac{Q_{SiN}}{\epsilon_0 \epsilon_{BO}} \quad [4-34]$$

E_{TO} 是穿隧氧化層 (Tunneling Oxide) 的電場、 E_{SiN} 是氮化矽層 (Silicon Nitride) 的電場、 E_{BO} 是阻擋氧化層 (Blocking Oxide) 的電場， ϵ 則代表各個區域的介電常數。[式 4-33] 則已經假設電子均勻儲存在氮化矽層之中。

把 [式 4-32]、[式 4-33]、[式 4-34] 對 x 積分之後可以得到各區域所跨的壓降，而 ONO 氮化矽層內含奈米矽晶體的能帶圖模擬方式也是類似如此，只是奈米矽晶體層也會儲存電荷，因此必須加上這個部分電荷所貢獻的電場項，加上儲存電荷的基本方式跟 [式 4-32]、[式 4-33]、[式 4-34] 式一樣的。這邊建立的模擬方法將會持續應用在之後的討論上。

4-3 模擬結果分析

4-3-1 界面狀態模擬結果分析

[圖 4-9 (a)(b)(c)]、[表 4-1]可以知道成長 Si-NCs 的樣品會降低界面狀態的濃度以及增加固定氧化層電荷，我們推測是因為樣品製程在成長 Si-NCs 的過程中，是先在氮化矽層沉積到一半厚度的時候，通入氣體 SiH_4 成長一層薄多晶矽，在沉積上氮化矽。然後必須經過一道熱退火(Thermal Annealing)的製程，把樣品送入高溫爐管加熱，使夾在氮化矽層之間的多晶矽層因為高溫而使多晶矽層的原子有足夠的動能重新排列，因為晶格常數不匹配會造成應力(strain)，會使得重新排列的過程中多晶矽會產生自我聚集(Self-assembled)的現象，形成一顆顆的奈米大小的矽晶體。這個熱退火的手續，在 dots 樣品必須要加熱最久，時間長達 2 小時，small-dots 樣品約 1 小時 30 分鐘，而 no-dots 樣品則沒有經過這道加熱手續，因此推測三片樣品界面狀態濃度的降低以及固定氧化層電荷的增加是由於熱退火的過程造成的。



4-3-2 界面狀態活化能分析

在先前的章節介紹過界面狀態的量測，[圖 3-5]可以看到 三片樣品導納頻譜的量測結果，三片樣品的界面狀態活化能對量測偏壓的趨勢都有偏壓越大的時候活化能也越大的趨勢，這跟章節 4-1-2 的界面狀態模擬、章節 4-2 的能帶圖模擬有相同的趨勢，因為量測偏壓加大，會使能帶圖的半導體能帶彎曲 Ψ_s 更大[圖 4-1]，費米能階會隨著偏壓加大而提升，而我們的樣品矽基板的摻雜為 P 型，主要載子是電洞，因此對於界面狀態跟費米能階交錯的位置到半導體的價帶 (Valence Band) 等於是界面狀態的載子被熱激發需要跨越的能障，也就是活化能，剛好會是偏壓加越大，能帶彎曲 Ψ_s 越大，界面狀態的費米能階位置離價帶越遠，因此活化能也越大。

4-3-3 界面狀態 Phonon-assisted tunneling

模擬的界面狀態活化能跟量測到的活化能雖然有一致的趨勢，活化能都會隨著偏壓加大而變大，但是數值卻會有所差異，所以推測界面狀態的載子可能不是藉由純粹的熱激發過程釋放載子，這邊提出一個 Phonon-assisted tunneling 的放射過程(17)來修正模擬活化能的結果。Phonon-assisted tunneling 的過程是假射熱激發過程中，不需要完全跨越能障的高度，然後藉由穿隧過程通過三角形的能障[圖 4-10]。這樣子的過程包含載子可能有多種途徑，熱激發的位置不同，所需要經過的穿隧能障就不相同，有不同的放射速度，因此必須積分全部的途徑才能是平均的放射速度。修正後的放射速度：

$$e_n' = e_n \left\{ 1 + \int_0^{E_i/kT} \exp\left[z - z^{3/2} \left(\frac{4(2m^*)^{1/2}(kT)^{3/2}}{3qhF} \right) \right] dz \right\} \quad [4-35]$$

E_i 代表最深的能階位置， F 式電場， e_n 是考慮純熱激發的放射速度。修正過後的活化能會變小，但仍無法完全跟實驗結果吻合[圖 4-11]，這可能是因為界面狀態的分部是在能隙中間的能量為最高，可能載子放射的過程會被這個分佈所影響，在這邊我們就不繼續探討界面狀態的機制，因為記憶體的重點是在內層儲存電荷的行為，在章節 3-4 已經確認過，界面狀態基本上不會受到儲存電荷的影響。

4-3-4 Si-NCs related peak 訊號

先前的章節 3-3、章節 3-4 有提到 DLTS 的量測在 dots 樣品上出現了一個界面狀態之外的訊號，稱之為 Si-NCs related peak。並且由章節 4-3-1 界面狀態的模擬分析，界面狀態一定會隨著偏壓加大增加活化能，所以說[表 3-5 (a)(b)(c)]的 Si-NCs related peak 的活化能趨勢並不會是半導體跟氧化層的界

面狀態，可以確定這個訊號來自 ONO 內層結構，但是 no-dots 樣品與 small-dots 樣品的量測卻又沒有出現這個訊號，所以初步排除掉是氮化矽層缺陷狀態的可能性，假設這個訊號來自 Si-NCs。

4-3-5 氮化矽缺陷模型 Amphoteric Model 與 Trap-assisted-tunneling 機制

在進一步分析 Si-NCs related peak 之前須要先介紹兩個模型：(1) 氮化矽缺陷，(2) Trap-assisted-tunneling 的機制。

(1) Amphoteric Model 氮化矽缺陷模型(18)(19)(20)

氮這種原子在半導體材料中，很不容易跟其它的半導體原子產生良好的鍵結，一般而言，氮化矽這個材料的缺陷濃度很高，而造成這些缺陷的原因可能是因為矽原子的懸浮鍵(Dangling Bond)。[圖 4-12]簡單表示這個模型，矽的懸浮鍵在沒有帶有電子的時候的狀態為 T_3^+ ，電荷量為+e；矽的懸浮鍵在帶有一顆電子的時候的狀態為 T_3^0 ，電荷量為 0；矽的懸浮鍵在帶有兩顆電子的時候的狀態為 T_3^- ，電荷量為-e。狀態之間的轉換可以藉由捕捉跟釋放電子，但是也可以是捕捉跟釋放電洞，這個模型可以很好的解釋為什麼氮化矽會有同樣的電子跟電洞的缺陷濃度，並且造成在氮化矽導帶下兩個缺陷能階 E_{TA} 、 E_{TD} [圖 4-13]：

$$E_C - E_{TA} \cong 1eV \quad [4-36]$$

$$E_C - E_{TD} \cong 2eV \quad [4-37]$$

(2) Trap-assisted-tunneling (TAT) 機制(21)

[圖 4-14]顯示當穿隧過程發生的時候，如果能障裡面含有缺陷能階，將可

能會使穿隧過程更容易發生，稱為 Trap-assisted-tunneling，穿隧過程可以分成兩段，缺陷將會提供一個額外的中間停留狀態，造成第一段穿隧的能障降低，使穿隧過程更容易發生。一般的穿隧過程，穿隧機率為：

$$P = e^{-2 \int_{x_i}^{x_f} \phi_{Barrier}(x) dx} \quad [4-38]$$

$\phi_{Barrier}$ 是穿隧過程發生時所看到的能障，當 Trap-assisted-tunneling 的穿隧過程發生時，穿隧機率變成是兩段穿隧的機率相乘：

$$P_1 P_2 = e^{-2 \left(\int_{x_i}^{x_m} \phi_{Barrier}(x) dx + \int_{x_m}^{x_f} \phi_{Barrier}(x) dx \right)} \quad [4-39]$$

從[圖 4-13]可以看出 Trap-assisted-tunneling 所積分的能障面積較小，因此使穿隧機率提高。

4-3-6 Si-NCs related peak 訊號機制：TAT via interface

從章節 4-3-5 的兩個模型，加上章節 4-2 提供的能帶圖模擬，可以畫出量測到 Si-NCs related peak 時候的能帶圖[圖 4-15 (b)]，相較於其他偏壓的能帶圖情形[圖 4-15 (a)]，可以發現這時候費米能階剛好會掃動到 Si-NCs 的導帶附近，因此極為可能是 Si-NCs 所造成的訊號，[表 3-5 (a)]列出量測到的活化能。[圖 4-16]為[圖 4-15 (b)]的細部，並且加上 Amphoteric Model 氮化矽缺陷能階 E_{TD} ，可以到箭頭代表 Si-NCs 內的電子放射出來的假設路徑：

1. 從 Si-NCs 內費米能階的位置熱激發一個 E_M 的高度到一個假能階(pseudo

level)。

2. 從假能階(pseudo level)穿隧到氮化矽缺陷能階 E_{TD} 上。
3. 從氮化矽缺陷能階 E_{TD} 穿隧到界面狀態。
4. 從界面狀態熱激發 E_{A2} 的高度到矽基板的導帶。

由以上假設的路徑看來，必須要是接連發生的過程，因此一個載子放射出來的時間將會是以上四個步驟各別的時間總和：

$$\tau_{total} \cong \tau_{thermal,EA1} + \tau_{tunnel,step1} + \tau_{tunnel,step2} + \tau_{thermal,EA2} \quad [4-40]$$

並且計算各別步驟所需要耗費的時間，可以得到量測的結果會是量到熱激發較高能量的步驟耗費的時間，因為穿隧過程的時間相較起來非常的短。從 pseudo level 穿隧到氮化矽上的缺陷能階 E_{TD} 的位置，將會決定各個步驟的時間，這邊先假設大約會穿隧到缺陷能階 E_{TD} 中間的位置機率最大。DLTS 量測到 Si-NCs related peak 的溫度大約為 225 °K，溫度為 225 °K 時計算可得到各個步驟時間：

$$\tau_{thermal,EA1}=63 \text{ ms}, \tau_{tunnel,step1}=1.9 \text{ ns}, \tau_{tunnel,step2}=7.18 \text{ ms}, \tau_{thermal,EA2}=0.58 \mu\text{s}。$$

$\tau_{total}=70.2 \text{ ms}$ ， τ_{total} 很接近量測的速率窗 86 ms。因此量測得到的熱激發能量將會是較高能量的 E_{A1} ，模擬得到的 $E_{A1}=346 \text{ meV}$ ，非常接近 DLTS 實驗得到的 $E_A=319\sim 338 \text{ meV}$ 。

用同樣的方法，計算 program 之後能帶圖的情況。[圖 4-17]、[圖 4-18]分別對應到在之前章節量測 program 後 DLTS 的能帶模擬情形[圖 3-15]、[表 3-6 (b)]、[表 3-6 (c)]。在 less-programmed 的時候計算得到的 $E_{A1}=110 \text{ meV}$ ， $E_{A2}=360 \text{ meV}$ ，較高能量的 E_{A2} 很接近 DLTS 量測得到的 $E_A=363\sim 370 \text{ meV}$ ；在 more-programmed 的時候計算得到的 $E_{A1}=35 \text{ meV}$ ， $E_{A2}=430 \text{ meV}$ ，較高能量的 E_{A2} 很接近 DLTS 量測得到的 $E_A=437\sim 438 \text{ meV}$ 。從 no-programmed、less-programmed、more-programmed

三個情況的模擬結果都能跟實驗結果相符的情形，可以確定以上 TAT via interface 的機制是成立的。

4-3-7 Retention model

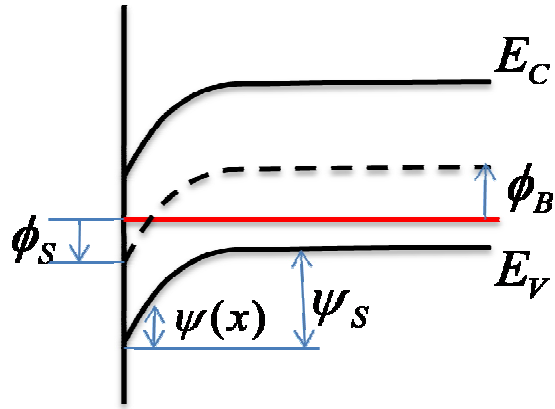
儲存在 SONOS 結構內的電荷，隨著時間會慢慢的跑出去，而可能的放射路徑有(22)(23)：

1. 純熱激發。
2. Frenkle-Poole + 穿隧過程
3. 直接穿隧出來：從能階的位置分為缺陷到導帶跟缺陷到界面狀態(TAT)等。

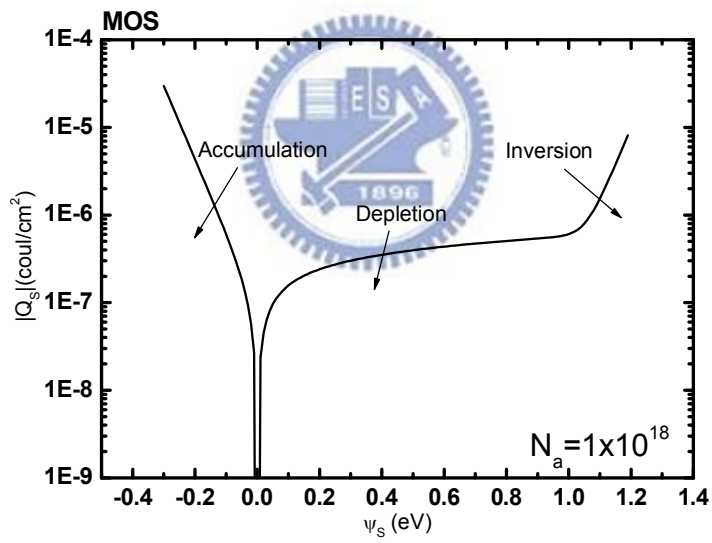
[圖 4-19]表示可能喪失電荷的路徑，基本上純熱激發跟 Frenkle-Poole 過程因為所需要熱激發跨越的能障非常高，時間須要非常的長 $\sim 10^{10}$ 秒以上，因此不太可能是我們量測 Retention 的可能路徑，所以穿隧過程將會是比較有可能的路徑。從[圖 3-12 (a)(b)(c)]都有一樣的趨勢，Retention 能力最好的是 small-dots 樣品，dots 樣品次之，no-dots 最差。雖然可以想像靠著氮化矽層內成長 Si-NCs 可以增加能夠儲存的電荷，但是卻無法解釋為什麼是 small-dots 樣品的 Retention 能力最好。因為理論上來看，small-dots 樣品跟 dots 樣品比起來 Si-NCs 的大小比較小，所以 Si-NCs 內形成的量子能階位置會比較高，這樣造成不管是在熱激發過程，或是穿隧過程，載子所看到的能障都會比較小，照理說 Retention 能力應該會比 dots 樣品還差。利用能帶圖在 Retention 模式的時候，假設儲存在兩片樣品內部的電荷量一樣，但是從[圖 3-11]可知道成長 Si-NCs 的樣品會增加記憶窗。因此假設 small-dots 樣品內部儲存的電荷有 50%在氮化矽，50%在 Si-NCs；dots 樣品內部儲存的電荷有 33%在氮化矽，66%在 Si-NCs，但是電荷總量一樣。儲存的電荷造成相同 V_{FB} 平移 2 V [圖 4-20]、[圖 4-21]能帶模擬圖比較來看，儲存在內層氮化矽缺陷能階的電子看到的能障將會降低 $\Delta V_{Barrier}$ 的大小，而且 dots 樣品降低較多，因此對於內部氮化矽缺陷能階上的電子，會相

對更容易穿隧出來，會有這樣的現象的可能原因是 Si-NCs 的大小不同以及儲存電荷的比例不同所造成的結果。這就可以解釋為什麼 small-dots 樣品的 Retention 能力最好。

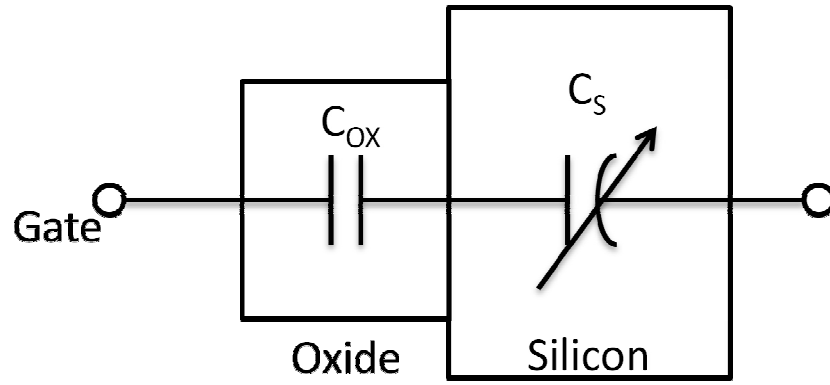




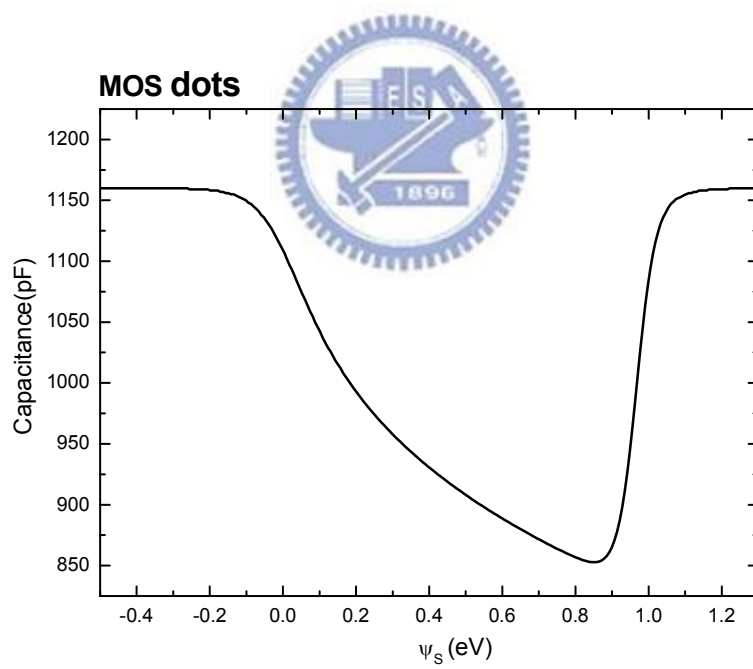
[圖 4-1] 半導體能帶示意圖



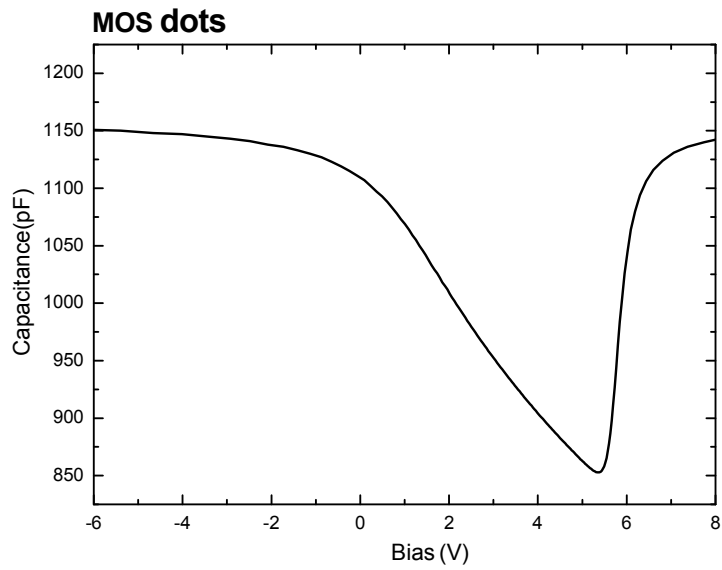
[圖 4-2] 表面電荷對 Ψ_s 關係圖



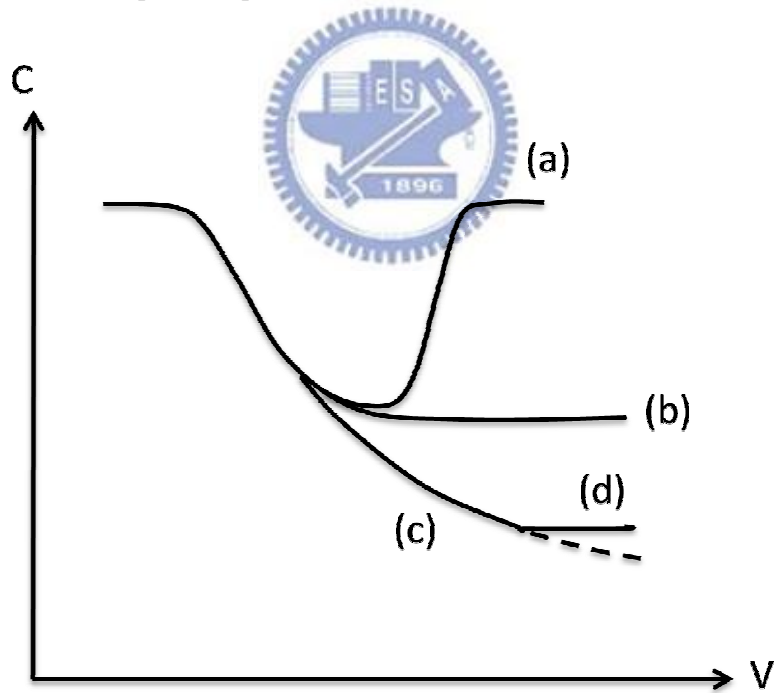
[圖 4-3] 電容連接示意圖



[圖 4-4] 低頻電容對 Ψ_s 關係圖

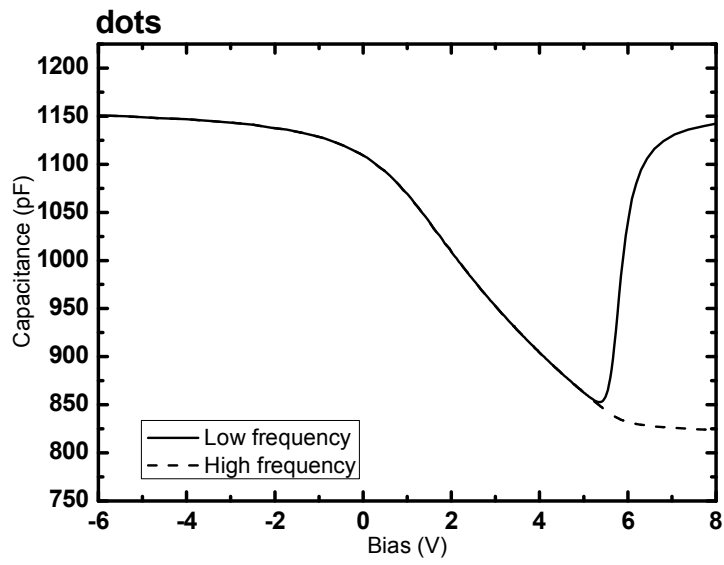


[圖 4-5] 低頻電容對外加偏壓關係圖

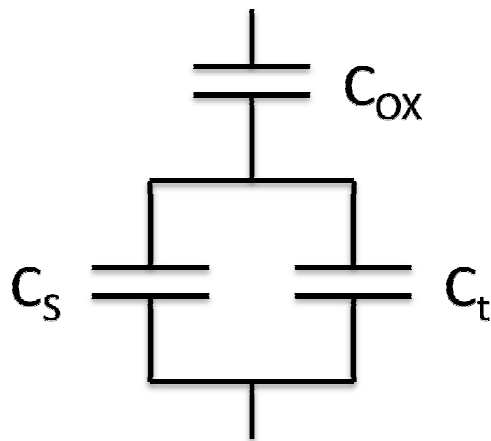


- (a) Low frequency
- (b) High frequency
- (c) Deep depletion
- (d) Avalanche breakdown

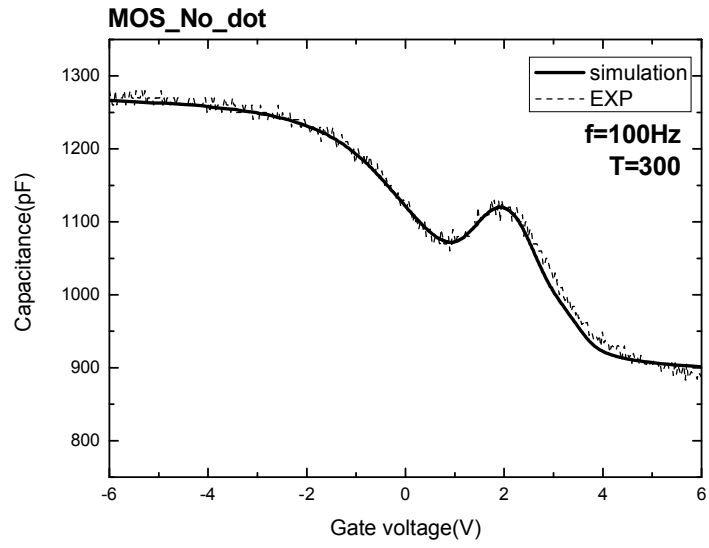
[圖 4-6] 電容量測曲線



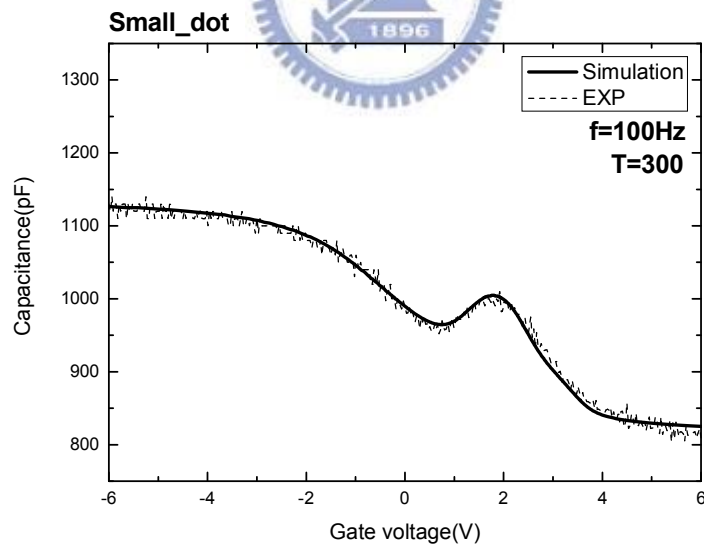
[圖 4-7] 高頻&低頻電容電壓關係圖



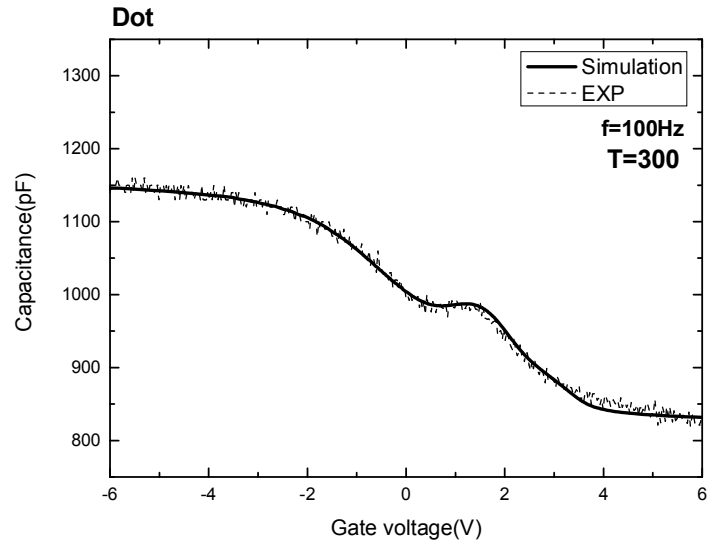
[圖 4-8] 額外界面電荷電容示意圖



[圖 4-9 (a)]



[圖 4-9 (b)]

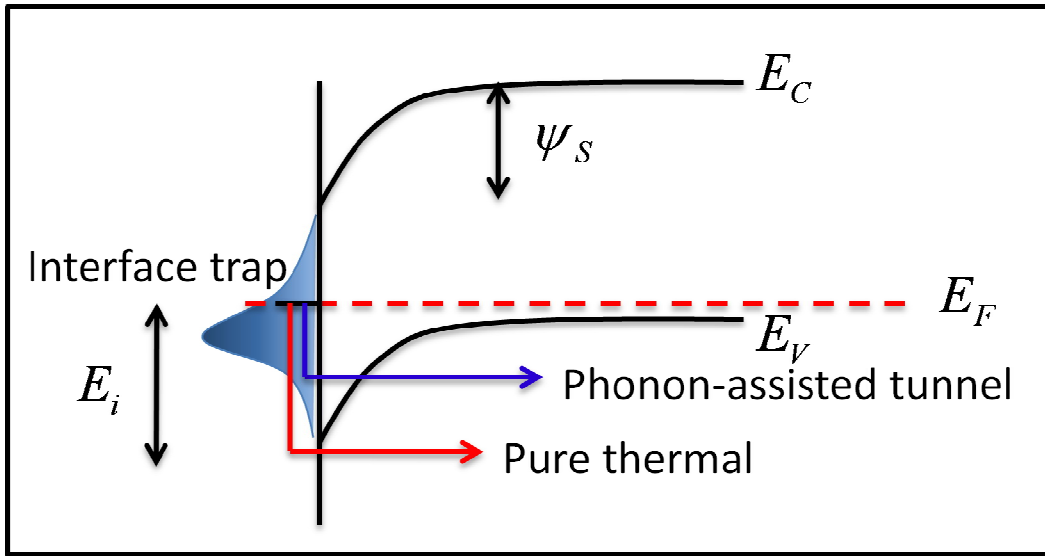


[圖 4-9 (c)] 電容電壓模擬&實驗圖

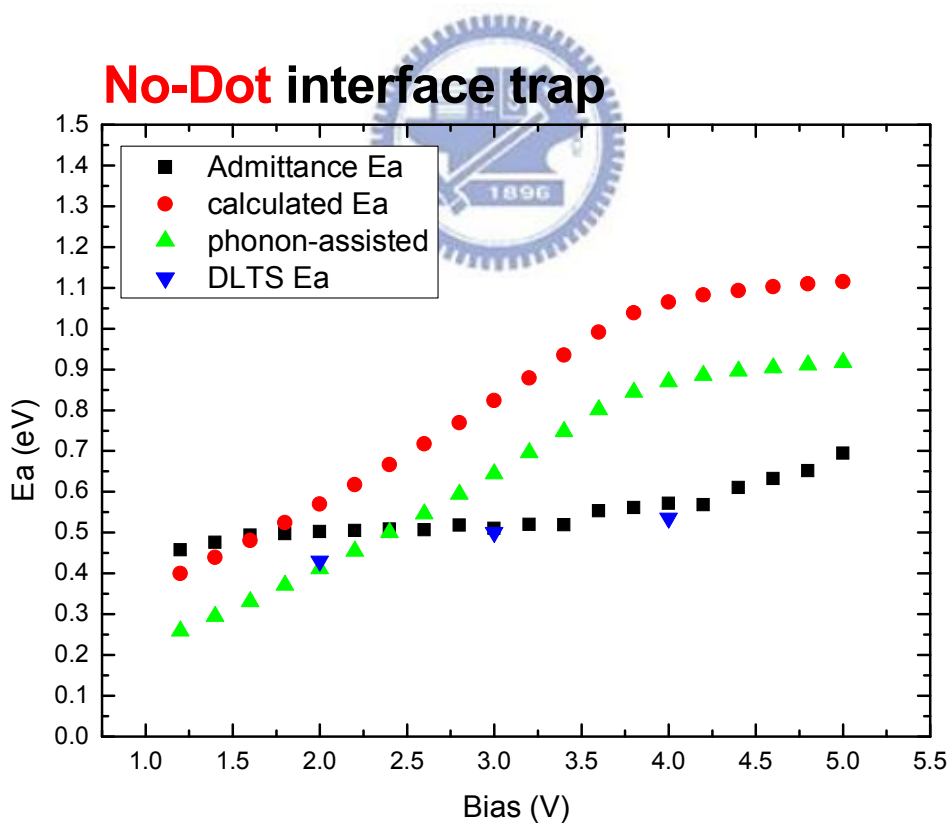
- (a) control sample
- (b) Si-NCs_1m30s sample
- (c) Si-NCs_2min sample

no-dots	small-dots	dots
$D_{it}=1.37 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$	$D_{it}=1.37 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$	$D_{it}=1.37 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$
$\Delta V=0.52 \text{ V}$	$\Delta V=1.1 \text{ V}$	$\Delta V=1.2 \text{ V}$
$Q_{SS}=6.7 \times 10^{-8} \text{ C cm}^{-2}$	$Q_{SS}=1.25 \times 10^{-7} \text{ C cm}^{-2}$	$Q_{SS}=1.39 \times 10^{-7} \text{ C cm}^{-2}$
$N_{QSS}=4.19 \times 10^{11} \text{ cm}^{-2}$	$N_{QSS}=7.81 \times 10^{11} \text{ cm}^{-2}$	$N_{QSS}=8.69 \times 10^{11} \text{ cm}^{-2}$

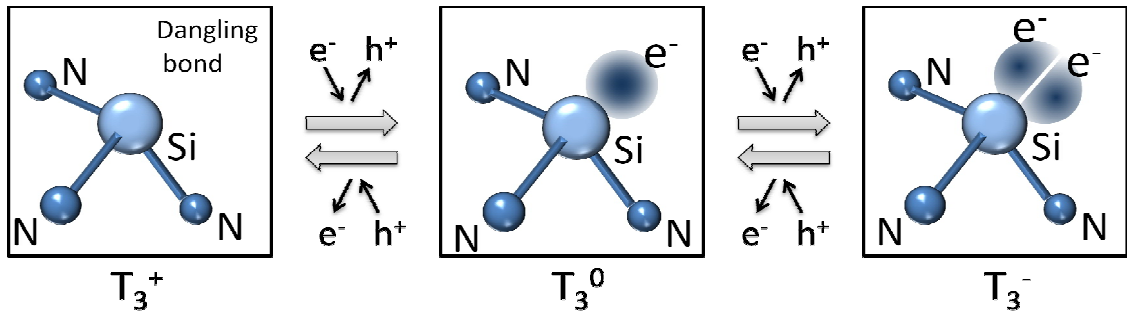
[表 4-1] 界面狀態濃度、固定電荷整理表



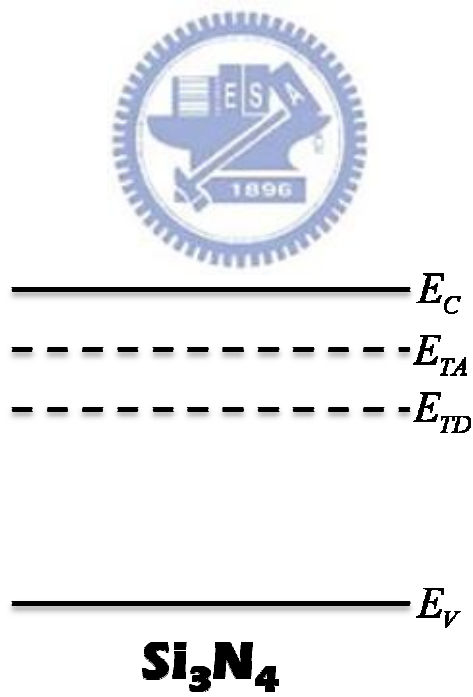
[圖 4-10] Phonon-assisted tunneling 路徑示意圖



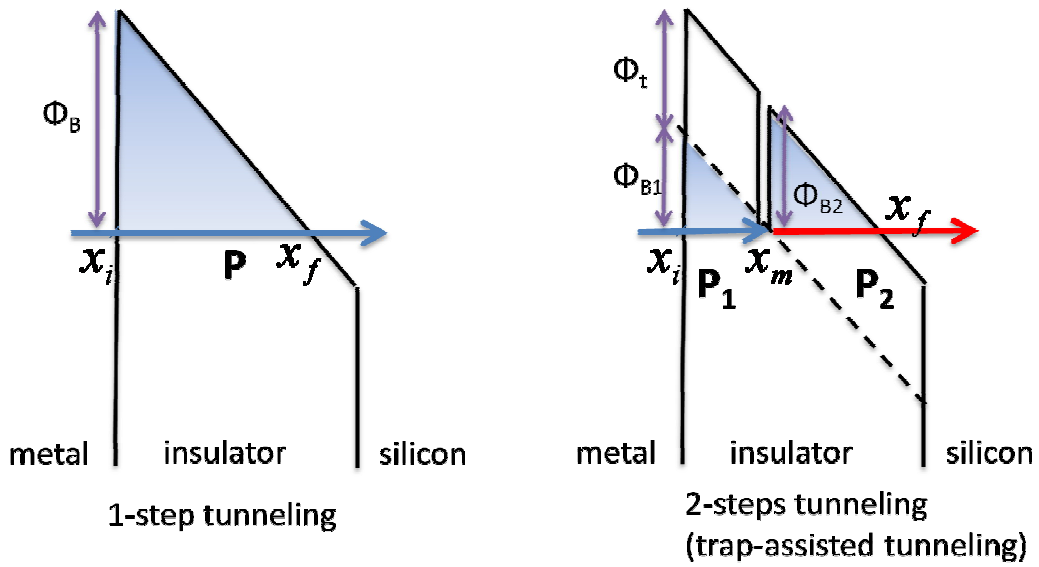
[圖 4-11] 模擬的活化能與實驗比較圖



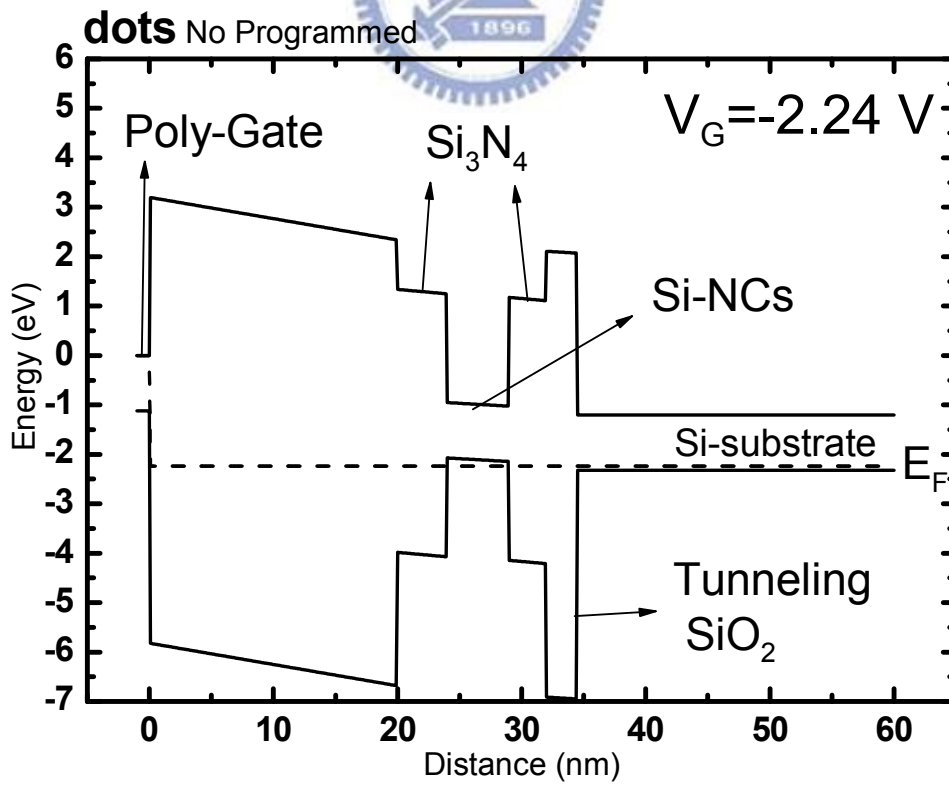
[圖 4-12] Amphoteric Model 矽原子懸浮鍵



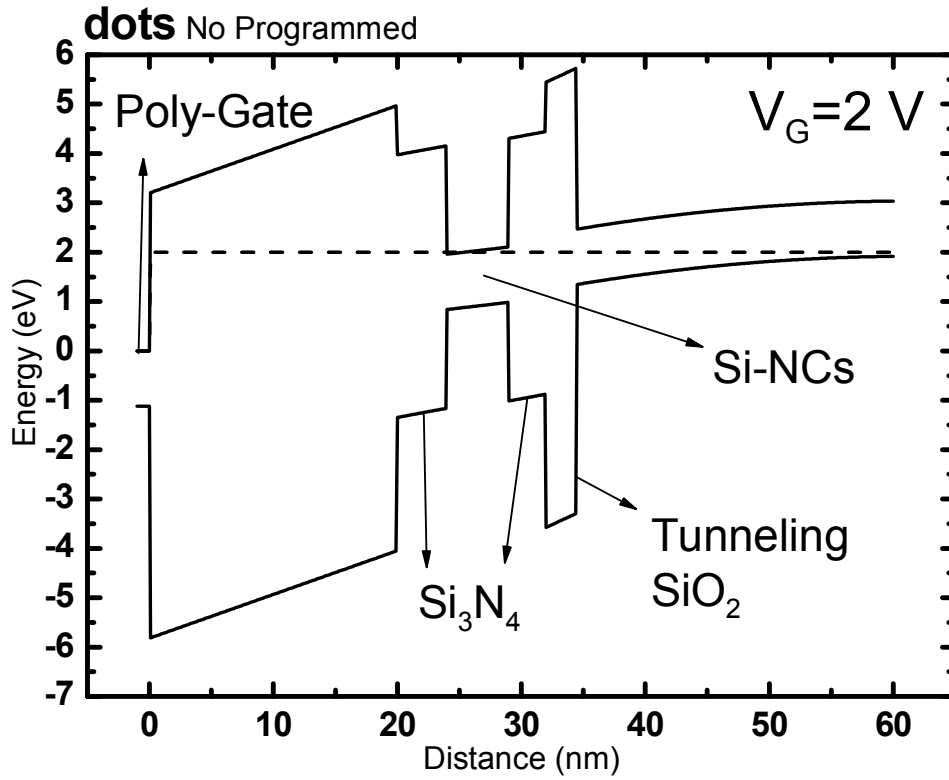
[圖 4-13] Amphoteric Model 氮化矽缺陷能階示意圖



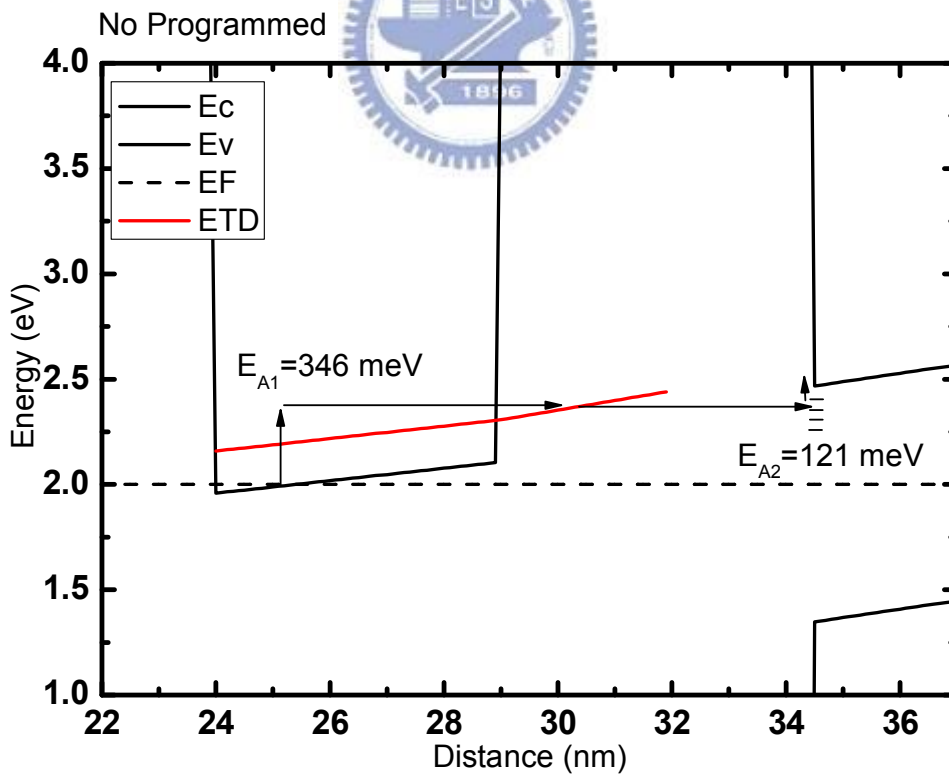
[圖 4-14] Trap assisted tunneling 機制示意圖



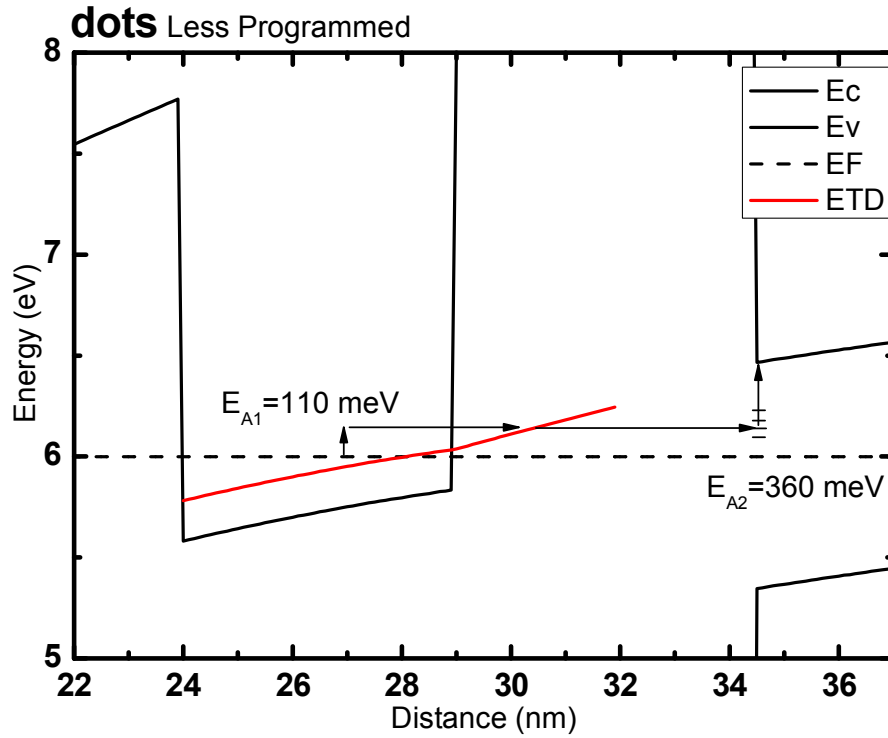
[圖 4-15 (a)] dots 樣品平帶電壓時能帶圖



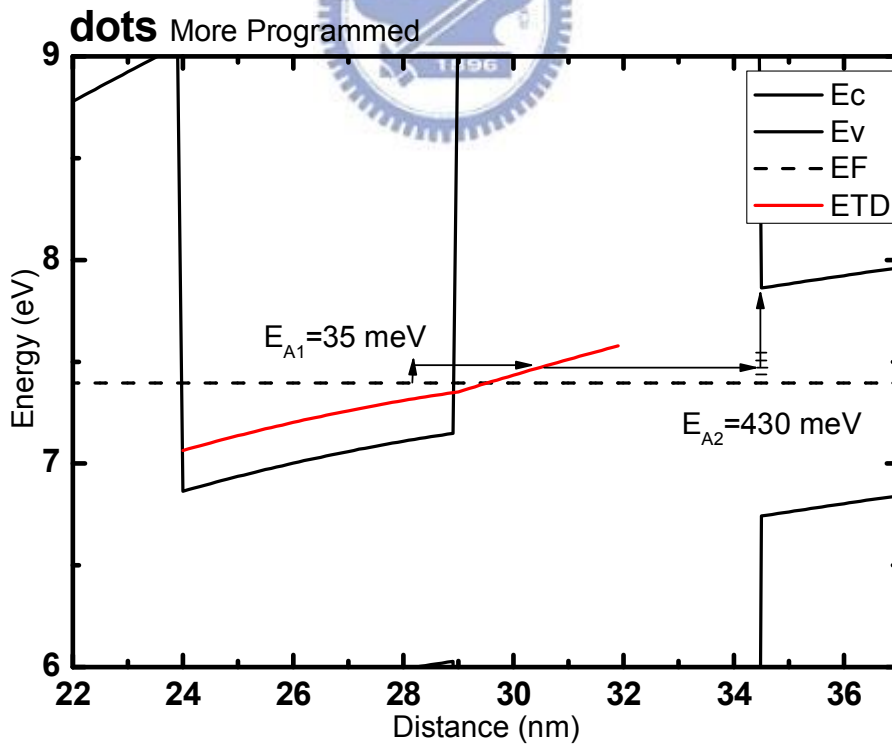
[圖 4-15 (b)] dots 樣品量測到 Si-VCs related peak 電壓時能帶圖



[圖 4-16] dots 樣品量測到 Si-VCs related peak 電壓時能帶圖 細部

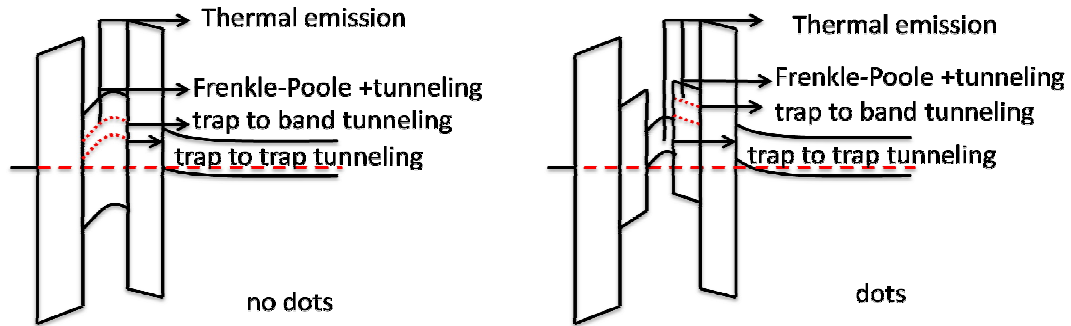


[圖 4-17] dots 樣品 less-programmed 量測到 Si-VCs related peak 電壓時能帶

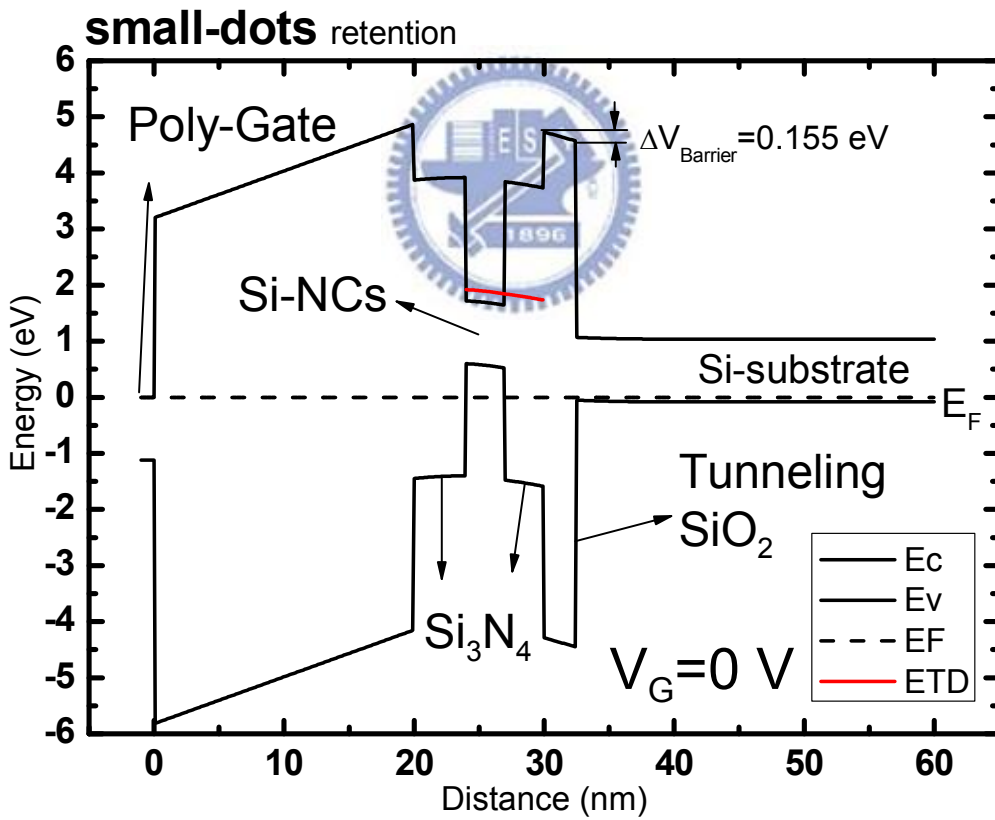


[圖 4-18] dots 樣品 more-programmed 量測到 Si-VCs related peak 電壓時能帶

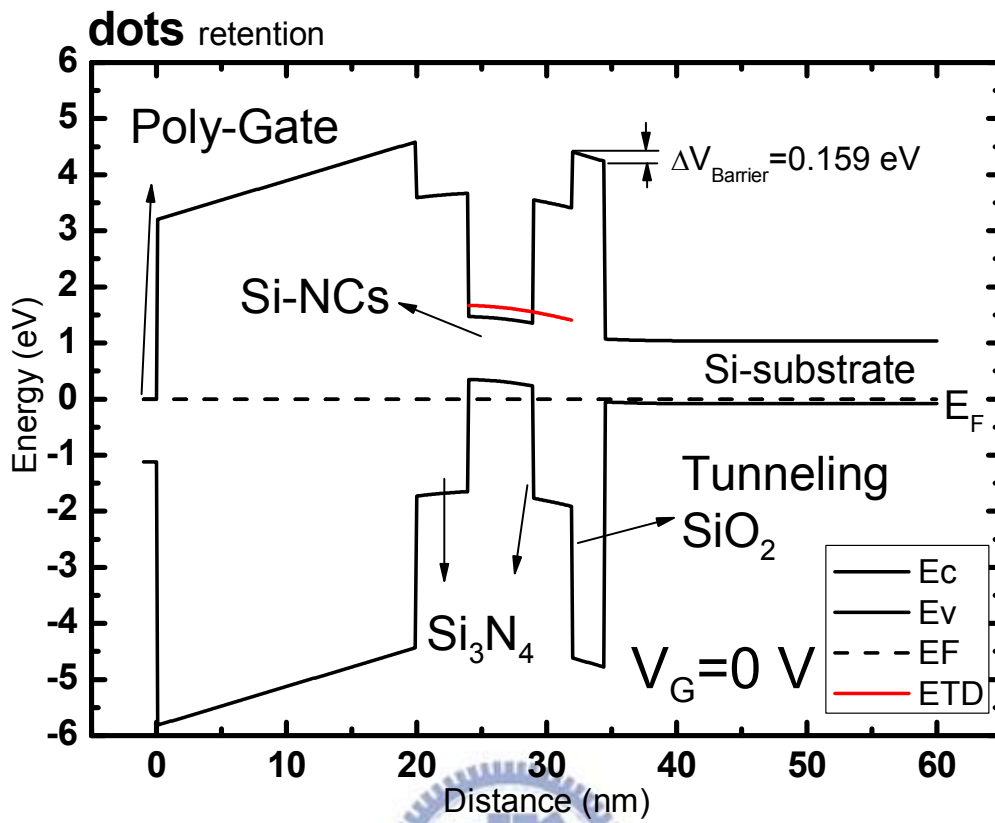
圖 細部



[圖 4-19] 喪失儲存電荷的途徑



[圖 4-20] small-dots 樣品 Retention 能帶圖



[圖 4-21] dots 樣品 Retention 能帶圖

第五章

結論

從電容的模擬可以確認在三片樣品中都可觀察在溫度高於 300K 時的頻率響應為半導體與氧化層間的界面狀態，並且得到三片樣品的界面狀態密度以及固定氧化層電荷的大小，在有成長 Si-NCs 的樣品 dots 的界面狀態密度最少，no-dots 樣品的界面狀態密度最多，固定氧化層電荷則剛好相反，推測成長 Si-NCs 的過程將會使界面狀態密度減少，並且增加固定氧化層電荷。

藉由能帶圖的模擬，可以確定在 DLTS 量測時，dots 樣品出現的 Si-NCs related 的訊號是一個包含熱激發跟穿隧過程的訊號產生的原因是由於外質費米能階跟 Si-NCs 傳導帶上的允許狀態交錯，訊號出現的路徑是從 Si-NCs 上的允許狀態先熱激發並且穿隧至氮化矽層的缺陷能階 E_{TD} ，然後再從 E_{TD} 穿隧至半導體與氧化層之間的界面狀態，再從界面狀態熱激發到矽基板導帶來做為訊號發射的路徑。在儲存電荷(Program)之後，能帶圖的彎曲情況改變，但是模擬的結果仍然符合量測的結果，證明這一個路徑的假設成立，也驗證這一個能帶圖的模擬方式是正確的，並且證明 Si-NCs 的確在傳導帶上形成侷限狀態，就像量子點一樣。

在保存電荷的能力上，因為成長 Si-NCs 會使得有部分電荷可以儲存在 Si-NCs 之中，借由模擬能帶圖在保存狀態($V_G=0$ V)的情況，假設 dots 樣品因為儲存更大比率的電荷在 Si-NCs 之中，導致在能帶圖上電荷儲存能階被抬昇的更高，也就是儲存在內部的電子看到外面的能障比 small-dots 樣品還要小，而使 dots 樣品保存能力差於 small-dots 樣品，符合實驗的結果。而有成長 Si-NCs 的樣品會比 no-dots 好的原因在於儲存在 Si-NCs 中的電荷會比儲存在氮化矽層缺陷的電荷所處的能階位置還要更深，因此對於在 Si-NCs 之中的電荷要流失必須先經由氮化矽層的缺陷，才能發射至外部流失，這會造成有成長 Si-NCs 的樣品有比較好的保存能力。

最後從這些結果可以推論，在成長了 Si-NCs 的 SONOS 型記憶體，可以用更小的電壓來操作、儲存的狀態數更多、保存載子的能力更好、也減少了界面狀態，但是以上這些特性，將會跟成長 Si-NCs 的大小、密度有很大的關係，因此在 SONOS 型記憶體氮化矽層內成長 Si-NCs 將會是控制 SONOS 記憶體特性的一個很好的方式。



參考文獻

- [1] F. R. Libsch and M. H. White, "Charge transport and storage of low programming voltage SONOS/MONOS memory devices," *Solid-State Electron.*, Vol. 33, pp.105–126, 1990
- [2] M. H. White, Y. Yang, A. Purwar, and M. L. French, "A low voltage SONOS nonvolatile semiconductor memory technology," *IEEE Trans.Comp., Packag., Manufact. Technol. A*, Vol. 20, pp. 190–195, June 1997.
- [3] E. Suzuki, H. Hayashi, K. Ishii, and Y. Hayashi, "A low-voltage alterable EEPROM with metal-oxide-nitride-oxide-semiconductor (MONOS) structures," *IEEE Trans.Electron Devices*, Vol. 30, p. 122, Feb. 1983.
- [4] B. Eitan *et al.*, "Multilevel flash cells and their trade-offs," *IEDM Tech. Dig.*, 1996, pp. 169–172.
- [5] S. Tiwari, F. Rana, K. Chan, H. Hanafi, W. Chan, and D. Buchanan, "Volatile and non-volatile memories in silicon with nano-crystal storage", *IEDM Tech. Dig.*, pp. 521-524, Dec. 1995.
- [6] S. Tiwari *et al.*, "A silicon nanocrystals based memory," *Appl. Phys. Lett.*, Vol. 68, pp. 1377–1379, 1996.
- [7] H. I. Hanafi, S. Tiwari, and I. Khan, "Fast and long retention-time nano-crystal memory," *IEEE Trans. Electron Devices* **43**, 1553 (1996).
- [8] K. Das, S. Maikap, A. Dhar, B. K. Mathur, and S. K. Ray, "Metal-oxide-semiconductor structure with Ge nanocrystals," *Electron. Lett.***39**, 1865 (2003).
- [9] S. Tiwari *et al.*, "A silicon nanocrystals based memory," *Appl. Phys. Lett.*, Vol. 68, pp. 1377–1379, 1996.

- [10] 劉美君, 交通大學電子物理研究所碩士論文, "氮矽層內嵌奈米矽晶體之SONOS型記憶體" (2007)
- [11] 陳啟慶, 交通大學電子物理研究所碩士論文, "氮化矽層內嵌奈米矽晶體之SONOS型記憶體的解析" (2009)
- [12] E. H. Nicollian, et al. MOS Physics and Technology, P26-98(1982)
- [13] G. Baccarani, et al. IEEE Transact. Electron Devices, ED-21, 122 (1974)
- [14] J. L. Autran, et al. "Characterization of Si-SiO₂ interface states: Comparison between different charge pumping and capacitance techniques," J. Appl. Phys. **74**, 3932 (1993)
- [15] J. Piscator, et al. "The conductance method in a bottom-up approach applied on hafnium oxide/silicon interface," Appl. Phys. Lett. **94**, 213507 (2009)
- [16] Chang-Hyun Lee, et al. "Charge-trapping device structure of SiO₂/SiN/high-k dielectric Al₂O₃ for high-density flash memory," Appl Phys Let 86, 152908 (2009)
- [17] G. Vincent, et al. J. Appl. Phys. 50(8), 5484(1979)
- [18] Fujita S, et al. "Dangling Bonds in Memory-Quality Silicon Nitride Films," *J Electrochem Soc* (1985)
- [19] Krick DT, et al. "Nature of the dominant deep trap in amorphous silicon nitride," *Phys Rev B*, 38,8226 (1988)
- [20] Yang (Larr) Yang, et al. "Charge retention of scaled SONOS nonvolatile memory," *Solis-State Electronics*, 44, 949-958 (2000)
- [21] Christer Svensson, et al. "Trap-assisted charge injection in MNOS structures," *J. Appl. Phys.*, Vol44, No. 10, 4675 (1973)
- [22] Stephen J. Wrazien, et al. "Characterization of SONOS oxynitride nonvolatile semiconductor memory device," *Solid-state Electronics*, 47, 885-891 (2003)

- [23] Tae Hun Kim, et al. “Charge decay characteristics of silicon-oxide-nitride-oxide-silicon structure at elevated temperatures and extraction of the nitride trap density distribution,” Appl. Phys. Lett. **85**, 660 (2004)

