

表目錄

表 1.1 類比數位轉換器的架構	2
表 4.1 訊號雜訊比公式驗證結果	60
表 5.1 運算放大器之參考數值	80
表 5.2 開關有限電阻參考數值	81
表 5.3 設計模型之電路資訊	82



圖目錄

圖 1.1 訊號轉換示意圖	1
圖 1.2 類比數位轉換器應用領域	3
圖 1.3 微機電系統概要圖	3
圖 1.4 RF 前端系統	3
圖 2.1 (a) 原始信號頻譜圖	
(b) 當 $f_s > 2f_b$ 之取樣函數頻譜圖	
(c) 經 (b) 取樣後之信號頻譜圖	
(d) 當 $f_s < 2f_b$ 之取樣函數頻譜圖	
(e) 經 (d) 取樣後之信號頻譜圖	8
圖 2.2 類比信號量化成數位信號	9
圖 2.3 經過 A/D 轉換器之量化誤差	9
圖 2.4 量化誤差範圍	10
圖 2.5 量化雜訊機率分布函數	10
圖 2.6 取樣系統圖	12
圖 2.7 取樣後的量化雜訊分布	12
圖 2.8 (a) 積分三角調變器示意圖	
(b) 包含量化雜訊的線性化模型	13
圖 2.9 雜訊移頻	15
圖 3.1 積分三角 A/D 轉換器方塊圖	16
圖 3.2 一階積分三角調變器	17
圖 3.3 單迴路二階積分三角調變器	19
圖 3.4 雜訊移頻函數的比較	20
圖 3.5 單迴路路高階積分三角調變器	21

圖 3.6 四階 interpolative 架構	21
圖 3.7 三階 MASH 積分三角調變器	22
圖 3.8 多位元量化架構	24
圖 3.9 各個積分三角調變器架構的比較	25
圖 4.1 兩階單迴路多位元量化示意圖	27
圖 4.2 discrete time 二階積分三角調變器	28
圖 4.3 multi-bits 積分三角調變器示意圖	29
圖 4.4 二階 4 位元量化積分三角調變器電路	30
圖 4.5 電阻熱雜訊模型與單邊頻譜	31
圖 4.6 電阻熱雜訊單邊頻譜密度	31
圖 4.7 (a)取樣電路 (b)以 NMOS 當開關 (c)以 PMOS 當開關(d)以 CMOS 當開關	32
圖 4.8 開關有限電阻模型	33
圖 4.9 加入雜訊電壓之取樣電路	33
圖 4.10 多重取樣電路	34
圖 4.11 氧化層與矽介面的不連接鏈結	35
圖 4.12 MOSFET 雜訊電壓源模型	36
圖 4.13 時脈劇跳效應	37
圖 4.14 含積分器增益之二階積分三角調變器	38
圖 4.15 積分器增益	39
圖 4.16 PLL 方塊圖	41
圖 4.17 開關有限電阻熱雜訊在離散訊號下的表示圖	43
圖 4.18 開關熱雜訊經超取樣後之功率頻譜密度	44
圖 4.19 比較 P_{SW1} 與 P_{SW2} 之大小	45
圖 4.20 積分三角調變器取樣期間之電路	46
圖 4.21 A 點之雜訊	47

圖 4.22 運算放大器之雜訊模型	47
圖 4.23 兩級式運算放大器	48
圖 4.24 兩級式運算放大器之雜訊等校電路	49
圖 4.25 離散函數方塊圖中 D/A 轉換器的參考電壓雜訊表示方式	50
圖 4.26 參考電壓轉換器電路	51
圖 4.27 參考電壓轉換器之雜訊等效電路	51
圖 4.28 積分三角調變器包含參考電壓雜訊之模型	55
圖 4.29 參考電壓雜訊經 R-C 低通函數之電路	55
圖 4.30 將雜訊建立在積分器的電路中	56
圖 5.1 二階多位元量化架構方塊圖	62
圖 5.2 微分非線性誤差	63
圖 5.3 積分非線性誤差	64
圖 5.4 DEM 3 位元 D/A 轉換器	64
圖 5.5 (a)電容理想對稱的情況 (b)當選取 3 個不對稱的電容時 (c)當選取 5 個不對稱的電容時	65
圖 5.6 (a)隨機選取 4 個不對稱的電容 (b)隨機選取 2 個不對稱的電容	65
圖 5.7 快閃式 A/D 轉換器	66
圖 5.8 (a)二階多位元積分三角調變器電路 (b)隨機轉換器之方塊圖 (c)3 位元的 Butterfly 隨機轉換器 (d)提供 12 個開關隨機切換訊號的隨機訊號產生器 LSFR(Linear Shift Feedback Register).....	68
圖 5.9 MOSFET 通道有限電阻	69
圖 5.10 輸出電壓之響應	69
圖 5.11 運算放大器之回授增益	70
圖 5.12 開關關閉時 MOSFET 通道內電荷分布之情形	71
圖 5.13 開關截止時 MOSFET 通道內電荷分布之情形	72
圖 5.14 時脈電壓饋入效應	73

圖 5.15 模型示意圖	74
圖 5.16 運算放大器在積分期間與取樣期間所考量的負載	74
圖 5.17 寄生電容效應之負載考量	75
圖 5.18 考量 D/A 轉換器之切換電容	75
圖 5.19 二階多位元量化積分三角調變器設計模型	77
圖 5.20 Flash A/D 轉換器中解碼與編碼過程	78



目錄

中文摘要	i
英文摘要	ii
誌謝	iii
表目錄	iv
圖目錄	v
目錄	ix
第一章 序論	1
1.1 現況與背景	1
1.2 奈奎氏與超取樣 A/D 轉換器	4
1.3 研究動機與目標	5
1.4 論文章節架構	6
第二章 積分三角調變器理論基礎	7
2.1 取樣理論	7
2.3 量化雜訊與最大訊號雜訊比	9
2.2 積分三角調變器技術	11
2.3.1 超取樣技術	11
2.3.2 雜訊移頻	13
第三章 積分三角調變器之架構	16
3.1 一階積分三角調變器	17
3.2 單迴路二階積分三角調變器	18
3.3 單迴路高階積分三角調變器	20
3.4 Interpolative 積分三角調變器	21
3.5 MASH 架構	22

3.6 多位元量化積分三角調變器	23
3.7 數位降頻濾波器	25
第四章 改進二階多位元量化積分三角調變器之	
信號雜訊比公式	27
4.1 積分三角調變器的考量	27
4.2 二階多位元量化積分三角調變器的相關雜訊	29
4.3 雜訊之估測	42
4.4 訊號雜訊比公式之改良	56
4.5 公式之驗證	58
第五章 二階多位元量化之模型	62
5.1 以電路實現二階多位元量化	
積分三角調變器的考量	62
5.2 電荷注入效應與時脈饋入產生之誤差	71
5.3 模型之建立與步驟	73
第六章 結論	83
參考文獻	85