

第一章 緒論

1.1 現況與背景

近年來隨著超大型積體電路（Very Large Scale Integration，VLSI）的製程不斷向小尺寸的奈米技術進步，使得電路設計可以達到高速、低功率、高密度及低成本等優點；其中超大型積體電路快速發展大幅增加電路系統中數位運算和訊號處理的能力，加上數位電路擁有相較於類比電路更不易受雜訊干擾、操作電壓的變動和製程的影響等優點，以及在設計的過程中發展出更精確、更快速的 EDA（Electronic Design Automation）工具來讓數位電路設計者加快設計的時間與準確性，所以數位電路在系統中的比重有愈來愈多的趨勢。然而，即使數位電路擁有這麼多的優點，但無論如何最終仍需與自然環境有溝通、互動，而在自然環境中的訊號都是以類比的形式存在著，如圖 1.1 所示；因此，在類比訊號與數位訊號處理之間，資料的轉換以及重建性能的優劣便成為影響整個系統設計上最重要的關鍵技術。所以，無論是設計多麼完美的類比數位電路或是數位電路都必須搭配良好的資料轉換電路才能完全發揮其功能。

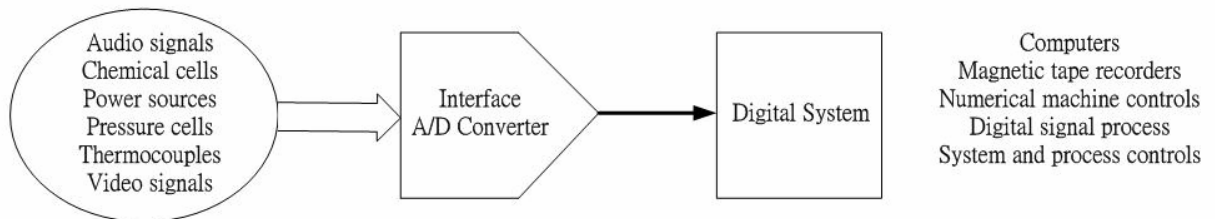


圖 1.1 訊號轉換示意圖

在製程不斷的進步到奈米階段的同時，卻也使得類比設計者所扮演的角色並不是單純的電路設計者而已，還必須了解元件的物理特性，才能使電路設計出來可以達到最好的效果。隨著元件的尺寸愈做愈小，對於 MOS 的閘極氧化層（Gate Oxide）厚度亦不斷地變薄，此時若操作電壓能維持與尺寸縮小前相同，將導致

MOS 的通道垂直與水平電場過大，前者會造成閘極氧化層可靠度 (Reliability) 的問題，後者會造成熱載子效應 (Hot Carrier Effect) 的問題；因此，操作電壓必然隨著製程縮小而降低，使得電路設計的困難度提高。同時隨著製程縮小化的影響，如汲極導致位障降低 (Drain Induced Barrier Lower, DIBL)、閘極導致汲極位障降低 (Gate Induced Drain Barrier Lower, GIDL)、通道穿透效應 (Channel Punch Through Effect) 等更被重視與考量。另一方面小尺寸元件的臨界電壓 (Threshold Voltage) 因受到漏電流與溫度的影響，並未等比例的下降；這些影響對於數位電路有著正面的優點，最直接的就是降低功率消耗。但這卻使得一向重視設計電晶體工作區間的類比電路面臨極大的挑戰，也迫使類比電路設計者必須有新的想法加入以因應製程縮小化的趨勢。

類比數位轉換器 (Analog to Digital Converter) 的應用非常廣泛，也由於應用範圍的不同，衍伸出類比數位轉換器具有各種不同的規格與架構；有的架構解決了面積問題，卻在速度上必須有所妥協；有的架構兼具面積以及速度的優點，但對於高頻率的輸入訊號相當敏感，以下我們將常見的架構對於解析度與速度的特性整理如表 1.1 以及類比數位轉換器的應用如圖 1.2 表示[1]：

Low to Medium Speed	Medium Speed	High Speed
High Accuracy	Medium Accuracy	Low to High Accuracy
Delta-sigma ADC	Successive approximation ADC	Flash ADC
Integrating	Algorithmic ADC	Two-step ADC
		Pipelined ADC
		Folding ADC

表 1.1 類比數位轉換器的架構

例如現階段的光碟機 (Compact Disk ROM, CD-ROM)、影音光碟機 (Digital Video Disk, DVD) 等光儲存產品，皆因近年來微機電 (Micro-Electromechanical

System, MEMS) 的技術精進, 可將驅動馬達整合至晶片中, 以目前的技術已經
 可以將微積電系統縮小至微處理器 (Microprocessor) 的體積; 因此, 需要更快

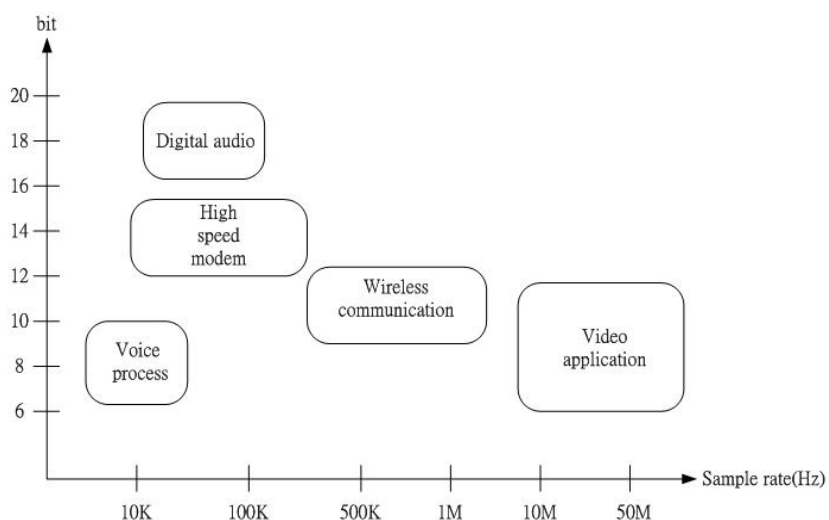


圖 1.2 類比數位轉換器應用領域

速的類比數位轉換器用來將馬達或一些感測器 (Sensor) 的類比訊號轉換成數位
 訊號使用, 如圖 1.3 所示; 另外隨著近年來無線通訊的蓬勃發展, 傳統用於射頻
 (Radio Frequency, RF) 前端電路之積分三角 (Sigma Delta) 型態的類比數位訊
 號轉換器漸漸不敷使用, 因此也必須使用高速的類比數位轉換器來整合射頻前端
 電路與基頻 (Baseband) 後端數位處理電路, 如圖 1.4 所示。

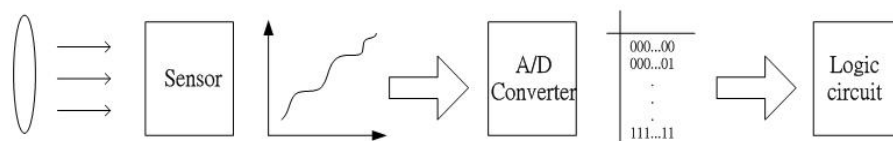


圖 1.3 微機電系統概要圖

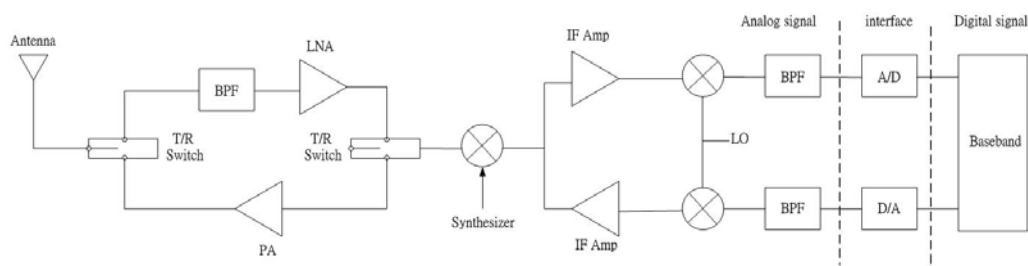


圖 1.4 RF 前端系統

在現今的類比數位轉換器雖然可以運用平行運算的方式使速度達到更高的結果，但是卻消耗龐大的晶片面積與功率，對於必須將其他的元件如 RAM、Processor、ASIC Chip、ROM...等整合成為控制晶片來說，是一個龐大的負擔；而目前的晶片設計也都朝向低功率、省面積以及高整合性的方向來前進，進而實現 SOC (System On Chip) 的目標。

1.2 奈奎氏與超取樣 A/D 轉換器

類比數位轉換器的架構有許多種，若單純的將 A/D 轉換器看成一個方塊，不考慮其內部電路與架構，並以取樣的頻率來劃分的話可以將其分為超取樣 (Oversampling rate) 與奈奎氏 (Nyquist rate) A/D 轉換器兩種方式。

奈奎氏 A/D 轉換器是將取樣頻率 (Sample rate) 運作在輸入訊號頻寬 (Bandwidth) 1.5 倍至 10 倍之間來進行輸入訊號的採樣，以架構來區分的話可將其分為三大類：

- (1) 低速 A/D 轉換器：一般是指轉換時間在數 ms 以上的應用，對於處理變化非常緩慢的信號，而又要求高精確度，此類以積分式 (Integrating) A/D 轉換器為主，它主要由積分電路與計數器組成，有很小的抵補誤差 (offset errors) 和增益誤差 (gain errors)，並具有很高的線性度 (linearity)，僅需很少的電路零件即可實現 [2]。
- (2) 中速 A/D 轉換器：一般是指轉換時間在數百 μ s 的應用，此類以 SAR (Successive approximation) A/D 轉換器及 Algorithmic A/D 轉換器為主；其特性為取樣頻率約在 10 MHz 以內 (也就是輸入頻寬在 5 MHz 以內的應用)，而解析度可達到 10 至 14 位元左右 [3]。
- (3) 高速 A/D 轉換器：一般是指轉換時間在數十 MHz 頻率以上的應用，此類的應用相當廣泛，如需低解析度 (通常為 6~8 位元之間) 且相當高速的應用則首推 Flash A/D 轉換器；如需較高解析度的應用 (通常為 8~12 位元之

間)，則以Two step、Folding及Pipelined A/D轉換器為主；這些A/D轉換器都可達到相當高的取樣頻率，約30MHz~100MHz之間，其中也有少部份的作法是可達到100MHz以上的 [4] [5] [6]。

將奈奎氏 A/D 轉換器分為以上三個類型，主要是由於電路結構的不同，而有取樣頻率的限制，也由於這個限制，設計者將依輸入頻率與解析度的要求，來選取最合適的架構來實現。

超取樣 A/D 轉換器又稱為積分三角 A/D 轉換器 (Sigma-Delta A/D Converter, $\Sigma\Delta$ A/D Converter)，它是利用雜訊移頻 (Noise Shaping) 與超取樣技術來達到足夠的訊號雜訊比 (Signal to Noise Ratio, SNR)；當輸入訊號進入積分三角調變器 (Modulator) 且經過超取樣與雜訊移頻後，將此高頻的資料利用數位濾波器降頻 (Decimation) 至所要的頻寬中，以達到類比數位轉換器的功能；簡單來說就是利用速度來換取解析度，而取樣頻率與輸入訊號頻寬比值約在 24 倍到 96 倍之間，以達到高解析度的要求 [7] [8] [9]。



1.3 研究動機與目標

在論文中，我們將針對積分三角類比數位轉換器來做研究，並縮小範圍在二階單迴路多位元量化器 (Multi-bit Second Order with Single Loop) 的架構上，針對此架構建立出一個設計模型 (Model)，可以讓設計者藉由此設計模型以及我們所建立的步驟來獲得相關重要的參數並快速完成電路的規劃；此外我們也注重信號雜訊比 (Signal to Noise Ratio, SNR) 的估算，因為在設計積分三角調變器的相關論文中 [10] [11] [12]，設計者在做初步的規劃時皆使用理想的信號雜訊比公式來做估算，或者是使用軟體來進行模擬；而在我們要建立的設計模型中最關鍵的部份就在於信號雜訊比估算的精確度，在規劃的過程中，若是使用理想的公式來做估算將無法獲得準確的參數預估 (如超取樣比、量化位元數)，且電路實現後所得到的信號雜訊比將與最初使用理想式子估算的值相差甚多；另外我們當

然可以使用軟體模擬來快速的得到結果，但卻無法獲得相關參數的物理意義，也就無法更深入的去探討問題所在；所以我們將從理論的分析上去研究何種原因導致理想的信號雜訊比估算失真，並將其原因納入考量以求得到更準確的公式，另外也可觀察在電路設計上有何重要的考量點。

1.4 論文章節架構

在第一章中我們簡單介紹類比數位轉換器的各種架構與分類，並將其分為奈奎氏與超取樣類比數位轉換器，以及本論文的目標。第二章將討論積分三角類比數位轉換器的基本原理與特性，並比較各種實現積分三角調變器的架構。第三章將介紹積分三角類比數位轉換器的各種架構，並比較之間的優缺點。第四章裡我們將針對信號雜訊比的公式去做改良，探討各種影響系統的雜訊，而且將其納入考量以增進估算的準確度，最後將改進的公式去進行驗證。第五章將提出二階單迴路多位元量化架構的設計模型，並加以說明其功能與步驟。第六章中作全文的總結。



第二章 積分三角調變器理論基礎

在建立積分三角調變器的設計模型 (Model) 之前，有幾個重要的理論觀念是必須瞭解的，如奈奎氏取樣理論與量化誤差(quantization error)，以及積分三角調變器最關鍵的兩項技術：超取樣與雜訊移頻，在所有的積分三角調變器架構中，都是基於這兩項技術發展出來的，還有一些參數的定義我們必須了解，如 SNR、OSR... 等等；以下小節將由基本理論開始說明，再介紹各種架構的積分三角調變器。

我們將以理想的 A/D 轉換器來說明量化誤差與分析量化雜訊，並進一步推導出最大訊號雜訊比，整個 A/D 轉換器的解析度決定在訊號雜訊比的大小，這是整個系統中相當重要的參數。



2.1 取樣理論

在類比數位轉換器中，外界所輸入的連續類比信號，通常需要經過取樣變成離散時間的信號後再做轉換，然而我們的取樣頻率 (f_S) 與信號基頻 (f_B) 間之關係需遵循式 (2.1) 的奈奎氏 (Nyquist) 取樣定理：

$$f_S \geq 2f_B \quad (2.1)$$

即取樣頻率至少必須大於兩倍的信號基頻，如此信號才不會有交連現象(aliasing)發生。我們可以藉由圖 2.1 的說明來加以理解何謂交連現象；圖 2.1 (a) 及圖 2.1 (b) 中為信號與取樣函數之頻譜；由圖 2.1 (c) 可知，當取樣頻率大於兩倍的信號基頻時，取樣後的信號是沒有交連現象的，如此的信號，可在經由低通濾波器 (Low pass filter)，將原始信號還原。然而，在圖 2.1 (d) 中，當取樣頻率小於兩倍的信號基頻時，取樣後的信號會產生交連現象，如圖 2.1 (e) 而有交連現象的信號是較困難還原成原信號的[13]。

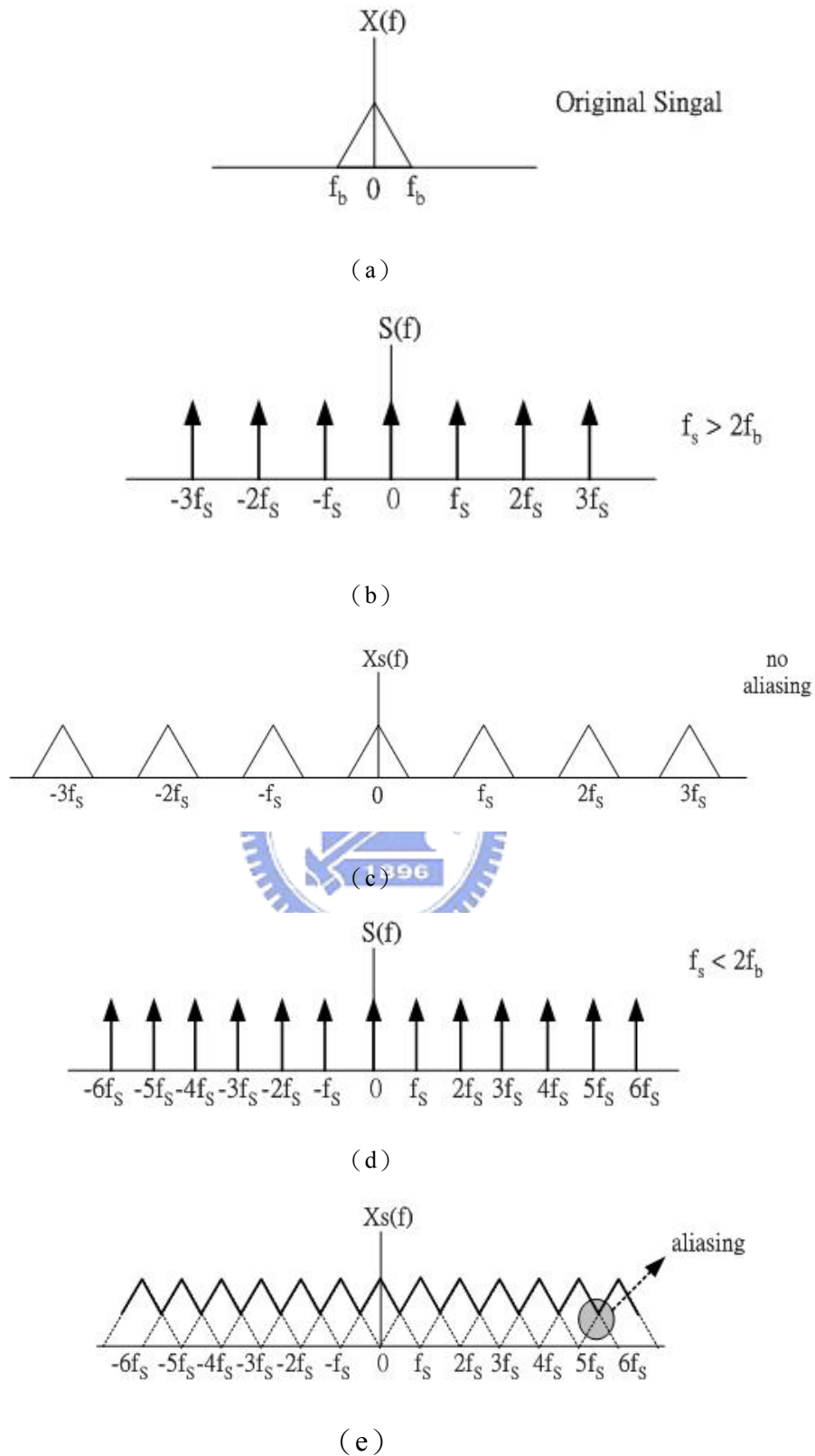


圖 2.1 (a) 原始信號頻譜圖 (b) 當 $f_s > 2f_b$ 之取樣函數頻譜圖 (c) 經 (b) 取樣後之信號頻譜圖 (d) 當 $f_s < 2f_b$ 之取樣函數頻譜圖 (e) 經 (d) 取樣後之信號頻譜圖

2.2 量化雜訊與最大信號雜訊比

當輸入信號經過取樣後，可得到一個離散時間的信號，此信號可透過A/D轉換器轉換成數位資料，而在轉換的過程中會有量化的動作，量化的基本觀念是將原始信號透過不同的分級，量化為最接近的量化值，再根據量化等級的多寡來決定位元(bit)數，如圖2.2所示。

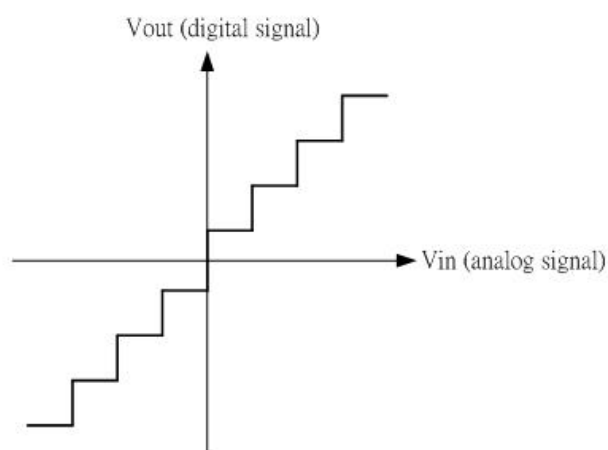
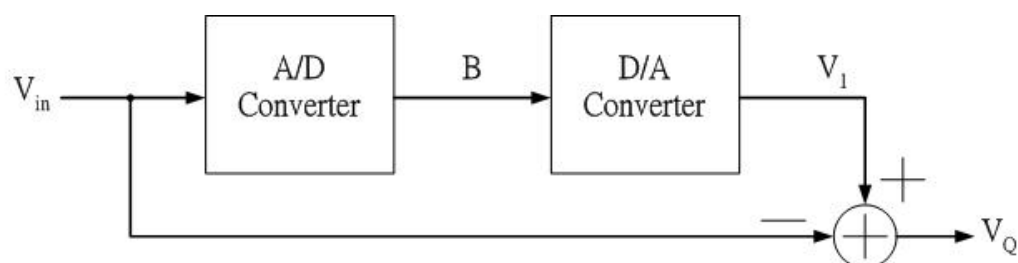


圖2.2 類比信號量化成數位信號

而即使是理想的類比數位轉換器，也會有量化誤差的發生；如圖2.3所示，我們將數位資料B以D/A轉換器還原成類比訊號 V_1 後與輸入訊號 V_{in} 相減，則結果可以反應出在進行A/D轉換器的過程中所產生的量化誤差 V_Q ，如式(2.2) [1]。

$$V_Q = V_{in} - V_1 \quad (2.2)$$



$$\text{Quantization noise } V_Q = V_{in} - V_1$$

圖 2.3 經過 A/D 轉換器之量化誤差

此量化誤差的範圍會被限制在 $\pm V_{LSB}/2$ 之間（如圖 2.4 所示），且我們假設此量化誤差是一個均勻分布在 $\pm V_{LSB}/2$ 範圍內的機率密度函數，也就是平均值為零的雜訊，所以將其表示成圖 2.5，而此假設在 Ref[1]中得知是合理的；所以由以上的假設可以推導出量化雜訊功率 $V_{Q(rms)}^2$ 為式 (2.3) 所示。

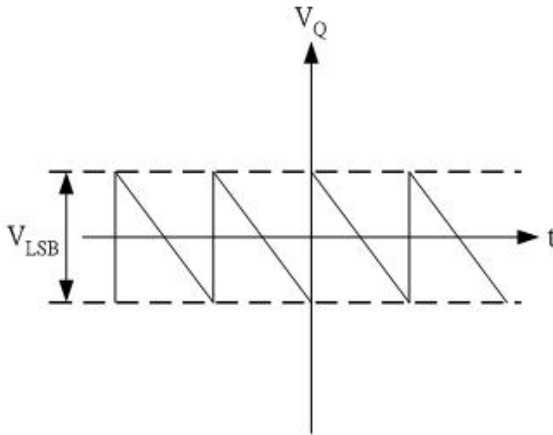


圖 2.4 量化誤差範圍

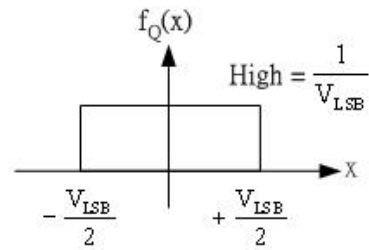


圖 2.5 量化雜訊機率分布函數

$$V_{Q(rms)}^2 = \int_{-\infty}^{\infty} x^2 \cdot f_Q(x) \cdot dx = \frac{1}{V_{LSB}} \int_{-V_{LSB}/2}^{+V_{LSB}/2} x^2 \cdot dx = \frac{V_{LSB}^2}{12} \quad (2.3)$$

由式 (2.3) 可知量化雜訊功率與 V_{LSB} 成平方正比，而 V_{LSB} 可以表示為式 (2.4)，所以觀察得知當增加量化位元數時量化雜訊功率愈低。

$$V_{LSB} = \frac{FS}{2^B} \quad (2.4)$$

Full scale = $V_{ref+} - V_{ref-}$ B：量化位元數

假設輸入訊號為一個正弦波，表示為 $V_{in}(t) = A \sin \omega t$ ，計算得到輸入訊號功率 $V_{in(rms)}^2$ 為式 (2.5)，在式子中我們定義了輸入最大振幅等於參考電壓的全刻度；接著由式(2.3)·(2.4)與(2.5)可推算出理想 A/D 轉換器的最大信號雜訊比(Peak Signal-to-Noise Ratio, PSNR) 為式 (2.6) 所示。

$$V_{in(rms)}^2 = \frac{1}{T} \int_{-T/2}^{T/2} (A \cdot \sin \omega t)^2 \cdot dt = \frac{A^2}{2} = \frac{(2A)^2}{8} = \frac{FS^2}{8} \quad (2.5)$$

$$\text{PSNR} = 10 \log \left(\frac{P_{\text{signal}}}{P_Q} \right) = 10 \log \left(\frac{V_{\text{in(rms)}}^2}{V_{Q(\text{rms})}^2} \right) = 6.02B + 1.76 \text{ dB} \quad (2.6)$$

式(2.6)是以奈奎氏取樣得到的結果，可知當量化位元數B增加1bit，SNR即增加6dB。在一般的奈奎氏A/D轉換器，即是以增加量化的解析度（也就是降低 V_{LSB} ），來使量化雜訊變小，以達到高的信號雜訊比之值，但此會受限於類比元件的精確度，使得一般的奈奎氏A/D轉換器在高解析度的設計上較困難。

2.3 積分三角調變器技術

積分三角A/D轉換器要達到高解析度，主要是靠超取樣（Oversampling）及雜訊移頻（Noise Shaping）兩項技術。所謂超取樣，就是取樣頻率比奈奎氏頻率快很多，一般應用約在8~512倍之間（並不是將取樣頻率無限增加，而是使用在輸入頻寬不高的應用之中），主要功用是將量化雜訊功率擴展至較寬的頻率範圍上，如此即可降低量化雜訊功率在信號基頻(signal bandwidth)上之能量，亦能增加輸入信號的動態範圍（Dynamic range）。所謂雜訊移頻，就是透過濾波器及回授方式更進一步的降低信號基頻的雜訊，將大部分的雜訊移到信號的基頻之外，再使用數位濾波器(digital filter)將基頻外的雜訊濾掉[14]。

2.3.1 超取樣技術（Oversampling）

首先，我們必須假設量化雜訊在取樣頻譜之中是均勻分布的，也就是平均值為零，或稱之為白雜訊（White noise）[15]。在圖 2.6 中僅包含超取樣的功能並沒有雜訊移頻的效果，A/D 轉換器若以奈奎氏定理來進行取樣，即 $f_{S1} = 2f_B$ ，會得到量化雜訊平均分佈在 $\pm f_{S1}/2$ 之間；如以超取樣定理來進行取樣，即 f_{S2} 將大於 f_B 好幾倍，則可得到量化雜訊平均分布在 $\pm f_{S2}/2$ 之間；如圖 2.7 所示，當我們所需要的頻寬定在 $\pm f_B$ 之間的話，很明顯的在所要的頻寬內若以奈奎氏定理進行取樣，則所有的量化雜訊功率會被包含在內，而由式（2.6）得知將會得到較低的

PSNR；若由超取樣定理的角度來看，由於雜訊被擴展到 $\pm f_{s2}/2$ 之間，所以在所取的頻寬中僅僅包含少數的量化雜訊，此做法將大幅提高 PSNR。

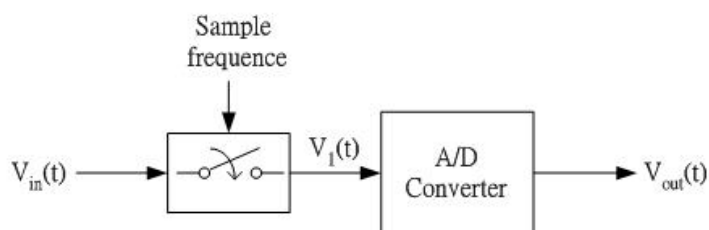


圖 2.6 取樣系統圖

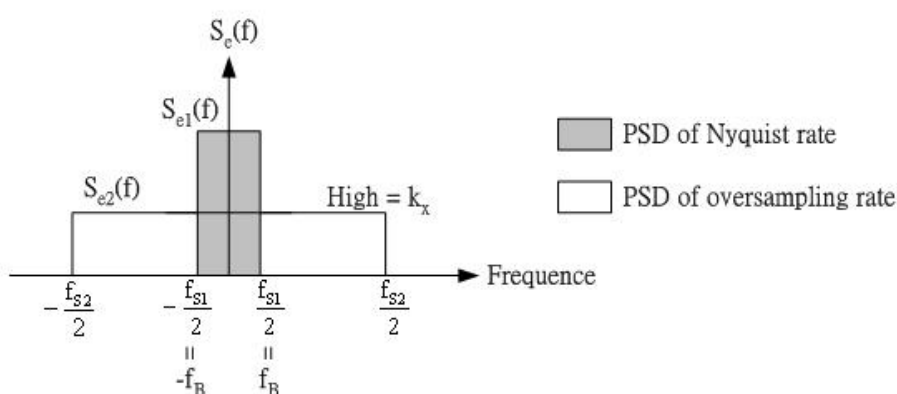


圖 2.7 取樣後的量化雜訊分布

在超取樣的情形下，量化雜訊的功率頻譜密度 (Power Spectral Density, PSD) 可表示成圖 2.6 中的 $S_{e2}(f)$ 以及將 $S_{e2}(f)$ 與超取樣頻率 $f_{s2} = f_s$ 的關係寫成

$$\int_{-f_s/2}^{f_s/2} S_{e2}^2(f) df = \int_{-f_s/2}^{f_s/2} k_x^2 df = k_x^2 \cdot f_s = \frac{V_{LSB}^2}{12}$$

$$\Rightarrow k_x^2 = \frac{V_{LSB}^2}{12 \cdot f_s} = S_{e2}^2(f) \quad (2.7)$$

有了式 (2.7) 我們可以更进一步將經過超取樣後存留在基頻內 ($2f_B$) 的量化雜訊功率推導成

$$P_Q = \int_{-f_B}^{f_B} k_x^2 \cdot df = \frac{2f_B}{f_s} \cdot \frac{V_{LSB}^2}{12} = \frac{FS^2}{12 \cdot 2^{2B} \cdot OSR} \quad (2.8)$$

在式 (2.8) 中定義了 OSR (Oversampling Rate) 為

$$OSR = \frac{f_s}{2f_B} \quad (2.9)$$

再由式 (2.5) 與式 (2.8) 可以求得 PSNR 為

$$\text{PSNR} = 10 \log \left(\frac{P_{\text{signal}}}{P_Q} \right) = 6.02B + 1.76 + 10 \log (\text{OSR}) \quad (2.10)$$

從式 (2.10) 可知，雜訊的功率會因為超取樣而衰減，若 OSR 每增加一倍，則可提高約 3dB 的 SNR，相當於增加 0.5 bit 的解析度。超取樣雖可降低量化雜訊，但在低位元的條件下要達到所需的信號雜訊比 (SNR)，則要使用非常高的取樣頻率，有別於傳統 A/D 轉換器，是著重在架構與及元件的改良，來達到高解析度；舉例來說，若有一個 A/D 轉換器需要 16bit 解析度，則 SNR 要達到 98 dB，以增加一倍的 OSR，可增加 3dB 來估算的話，若信號基頻為 20KHz，則超取樣頻率需高達 $2 \times 10^9 \times 20\text{KHz}$ ，這是非常不切實際的。採用這麼高的取樣頻率，不但製造過程困難，而且取樣頻率太高時，量化雜訊就不再是白雜訊了，因這時雜訊之間已有相互關連(correlation)現象產生，所以要達到高解析度除了利用超取樣技術外，還需要加上雜訊移頻的技術 [1]。

2.3.2 雜訊移頻 (Noise Shaping)

我們可以將一般的 $\Sigma\Delta$ 調變器及線性模型 (Linear model) 表示為圖 2.8 所示 [1]。

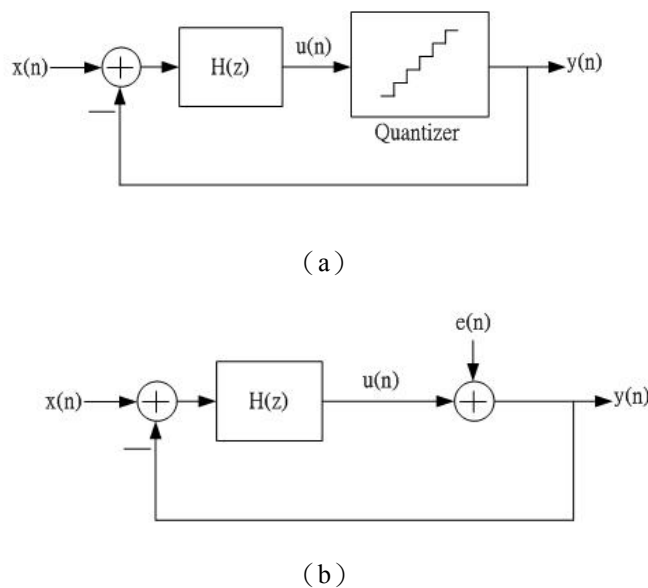


圖 2.8 (a) 積分三角調變器示意圖 (b) 包含量化雜訊的線性化模型

我們由圖 2.8 推導出 $Y(z)$ 為

$$Y(z) = \frac{H(z)}{1+H(z)} X(z) + \frac{1}{1+H(z)} E(z) \quad (2.11)$$

另外再分別定義出訊號轉移函數 S_{TF} (Signal transfer function) 與雜訊轉移函數 N_{TF} (Noise transfer function) 為

$$S_{TF}(z) = \frac{Y(z)}{X(z)} = \frac{H(z)}{1+H(z)} \quad (2.12)$$

$$N_{TF}(z) = \frac{Y(z)}{E(z)} = \frac{1}{1+H(z)} \quad (2.13)$$

其中 $H(z)$ 代表離散時間濾波器 (Discrete time filter)。這兩個函數代表著重大的意義，如果要得到最大的訊號雜訊比，則 S_{TF} 最好為 1，因為表示輸入訊號可以完整的傳輸至 A/D 轉換器輸出端，而不受衰減；另外 N_{TF} 最好為零，因為這樣代表量化雜訊傳送至輸出時對系統的信號雜訊比並不會產生影響。

式 (2.12) 與 (2.13) 中的 $H(z)$ 代表為積分三角器中的濾波器響應，為了讓雜訊轉移函數為一高通濾波器，所以在直流 (即 $z=1$) 時， N_{TF} 需為 0，而此 $z=1$ 就相當於 $H(z)$ 的極點 (pole)，且必須讓 S_{TF} 最好為 1，因此將離散時間積分器的 $H(z)$ 用一階函數可表示為

$$H(z) = \frac{1}{z-1} = \frac{z^{-1}}{1-z^{-1}} \quad (2.14)$$

將式 (2.14) 代回到 (2.12) 與 (2.13) 之中，可得到

$$S_{TF}(z) = \frac{1}{z} \quad (2.15)$$

$$N_{TF}(z) = 1 - \frac{1}{z} \quad (2.16)$$

接著將 z 以 $e^{j\frac{2\pi f}{f_s}}$ 代入後，可描繪出在頻域 (Frequency domain) 下 $|S_{TF}(f)|^2$ 與 $|N_{TF}(f)|^2$ 的分布，如圖 2.9 所示，可以發現到 $|N_{TF}(f)|^2$ 隨著頻率的增加而上升，在低頻處的雜訊將小，而 $|S_{TF}(f)|^2$ 始終保持在 1 的大小；所以若在低頻處選擇我們所要的基頻，將可以得到最大的訊號以及最小的雜訊，藉此得到更高的 PSNR，由圖中也很清楚的看到量化雜訊被移往高頻，而這就是雜訊移頻的效果。

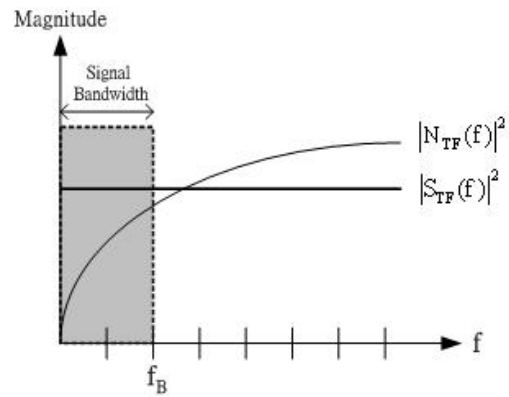


圖 2.9 雜訊移頻

由以上兩個技術，可以顯示出積分三角調變器利用超取樣將量化雜訊擴展之更高的頻率範圍，使得基頻內的雜訊降低了不少，接著再透過雜訊移頻將基頻內的雜訊移向高頻，最後再藉由數位濾波器消除掉高頻的雜訊；在下一章中我們會更詳細說明它的架構。



第三章 積分三角調變器之架構

在介紹各種積分三角調變器的架構之前，我們先了解一般積分三角 A/D 轉換器的基本結構；圖 3.1 為完整的積分三角 A/D 轉換器方塊示意圖 [1]，我們可以將其分為兩部分，前端為積分三角調變器（sigma Delta modulator），主要將類比訊號做超取樣與雜訊移頻的工作；後端為數位降頻濾波器（Decimation filter），要將經移至高頻的雜訊率除掉以及將超取樣頻率降頻至基頻內。

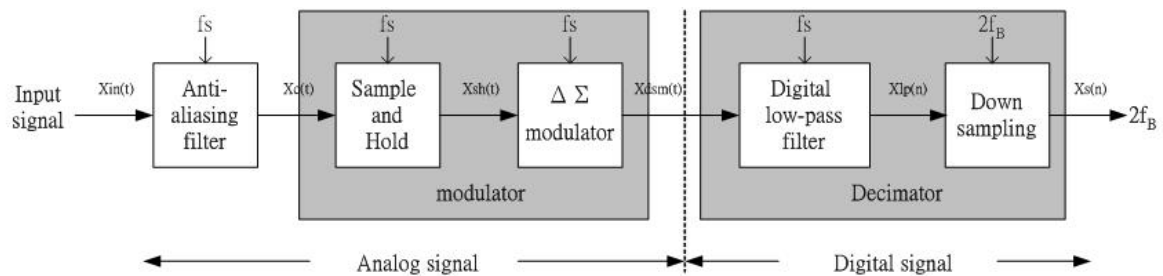


圖 3.1 積分三角 A/D 轉換器方塊圖

首先，輸入信號 $X_{in}(t)$ 經過舒緩的抗交連濾波器（Anti-aliasing filter），先約略濾除不必要的雜訊，之後經取樣/保持電路後信號即進入積分三角調變器，然而在硬體的實現中，信號的取樣保持動作其實已包含在積分三角調變器電路中了，所以信號 $X_c(t)$ 會經過超取樣頻率取樣及雜訊移頻的處理後，輸出一位元的高速數位資料碼 $X_{dsm}(n)$ ，由於雜訊移頻的效果，此時在高頻產生了量化雜訊，需由後段的數位降頻濾波器來將被移到高頻的雜訊濾除，並將超取樣頻率降回奈奎氏取樣頻率，且將信號對應成數位型式輸出 [1]。

在這一節中我們將針對積分三角調變器的架構來做介紹，因為在我們所建立的模型中是以此部分為核心，所以必須清楚了解各個調變器的原理與優缺點，此外也因為在後端的數位濾波器部分有相當制式的做法 [16] [17]，且目前也有使用數位訊號處理（Digital Signal Process, DSP）晶片來取代濾波器的功能，所以我們將簡單介紹此一部份。

3.1 一階積分三角調變器 (First-Order Sigma Delta Modulator)

我們回顧式 (2.14) 中的 $H(z)$ 函數為 $\frac{Z^{-1}}{1-Z^{-1}}$ ，將此函數代入圖 2.8 之中其實就表示了一階積分三角調變器的架構；從時域 (Time domain) 的觀點來看 $H(z)$ ，代表著輸出訊號 $m(t)$ 為輸入訊號經延遲 (Delay) 後的 $n(t-1)$ 加上延遲後的輸出訊號 $m(t-1)$ 之結果，所以將其整理可以得到完整的一階 $\Sigma\Delta$ 調變器架構如圖 3.2 所示。

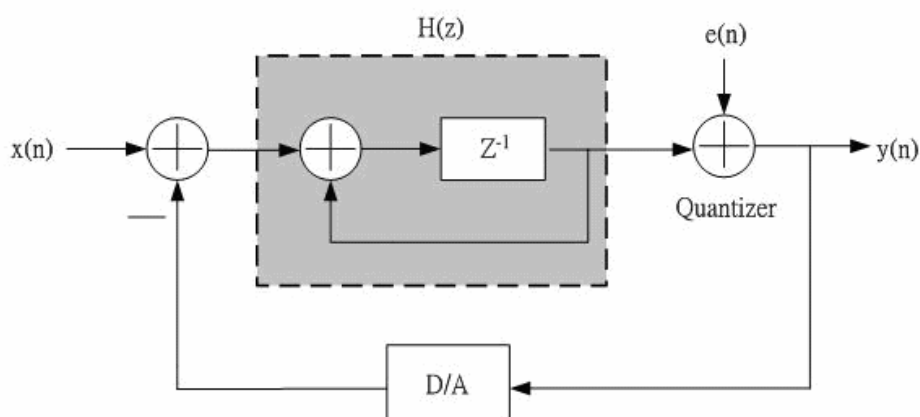


圖 3.2 一階 $\Sigma\Delta$ 調變器

圖中的 $H(z)$ 在時域上代表著延遲與累加的效果，這就好比電路設計上的積分器架構一樣，所以在實現積分三角調變器的電路中共包括了積分器 (Integrator) 與量化器 (Quantizer) 以及使用在回授路徑的數位類比轉換器 (Digital to Analog Converter, DAC) 等三部份。

在之前的式 (2.15) 與式 (2.16) 中將 $H(z)$ 以 $\frac{Z^{-1}}{1-Z^{-1}}$ 代入分別得到 $S_{TF}(z) = z^{-1}$ 與 $N_{TF}(z) = 1 - z^{-1}$ 的結果，所以整個一階 $\Sigma\Delta$ 調變器的輸出可寫成

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z) \quad (3.1)$$

從 (3.1) 式可以看到訊號轉移函數像是一個延遲 (delay)，而雜訊轉移函數像是一個離散時間微分器，如同一高通濾波器，將雜訊移往高頻。

接著我們要推導出一階積分三角調變器的 PSNR，首先計算出訊號轉移函數與雜訊轉移函數在頻域的大小， z 以 $e^{j2\pi f/f_s}$ 代入，分別得到

$$|S_{TF}(f)| = |z^{-1}| = |e^{-j2\pi f/f_s}| = 1 \quad (3.2)$$

$$N_{TF}(f) = 1 - e^{-j2\pi f/f_s} = \sin\left(\frac{\pi f}{f_s}\right) \times 2j \times e^{-j\pi f/f_s}$$

$$\Rightarrow |N_{TF}(f)| = 2 \cdot \sin\left(\frac{\pi f}{f_s}\right) \quad (3.3)$$

在基頻 $\pm f_B$ 之內的量化雜訊功率可由式 (2.7) 與式 (3.3) 得

$$P_Q = \int_{-f_B}^{f_B} S_c^2(f) \cdot |N_{TF}(f)|^2 df = \int_{-f_B}^{f_B} \frac{V_{LSB}^2}{12 \cdot f_s} \cdot \left[2 \sin\left(\frac{\pi f}{f_s}\right)\right]^2 \cdot df \quad (3.4)$$

由於 f_B 遠小於 f_s ，則 $\sin(\pi f/f_s)$ 可近似於 $(\pi f/f_s)$ ，所以可得 P_Q 為

$$P_Q = \frac{V_{LSB}^2 \pi^2}{36} \cdot \left(\frac{1}{OSR}\right)^3 = \frac{FS^2 \cdot \pi^2}{36 \cdot 2^{2B} \cdot OSR^3} \quad (3.5)$$

有了式 (3.5) 之後再將式 (2.5) 一起考量進來，可得一階積分三角調變器的PSNR為

$$PSNR = 10 \log\left(\frac{P_{\text{signal}}}{P_Q}\right) = 10 \log\left(\frac{3}{2} 2^{2B}\right) + 10 \log\left[\frac{3}{\pi^2} (OSR)^3\right]$$

$$= 6.02B + 1.76 - 5.17 + 30 \log(OSR) \quad (3.6)$$

在一階積分三角調變器中，每增加OSR一倍，便可提升PSNR約9dB左右，改進了1.5bits的解析度。將式 (3.6) 與只做超取樣的式 (2.10) 相比較，可以發現在多了雜訊移頻的效果之後大幅提昇了PSNR的效能。

3.2 單迴路二階積分三角積分調變器 (Single Loop Second-Order Sigma Delta Modulator)

單迴路二階積分三角調變器是將一階的積分三角調變器串接成兩級，但第一級的輸出只送入第二級的輸入端，沒有接至其他的分路，而形成輸入訊號至輸出訊號只通過一個迴路而已，如圖3.3所示。

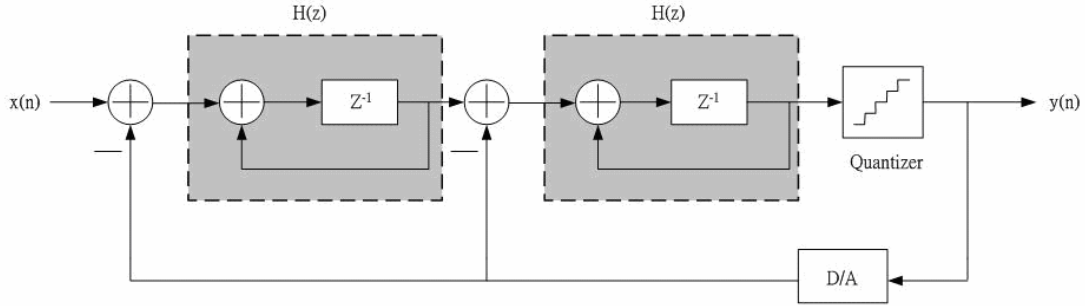


圖3.3 單迴路二階 $\Sigma\Delta$ 調變器

我們依圖可以推導輸出函數為

$$Y(z) = z^{-2}X(z) + (1 - z^{-1})^2E(z) \quad (3.7)$$

其中訊號轉移函數 S_{TF} 與雜訊轉移函數 N_{TF} 為

$$S_{TF}(z) = z^{-2} \quad (3.8)$$

$$N_{TF}(z) = (1 - z^{-1})^2 \quad (3.9)$$

如同3.1節中式(3.3)的做法可得在 S_{TF} 與 N_{TF} 頻域的大小為

$$|S_{TF}(f)| = 1 \quad (3.10)$$

$$|N_{TF}(f)| = \left[2 \cdot \sin\left(\frac{\pi f}{f_s}\right) \right]^2 \quad (3.11)$$

而依式(3.4)的做法並且將 $\sin(\pi f/f_s)$ 近似於 $(\pi f/f_s)$ 可得基頻內的量化雜訊 P_Q 為

$$P_Q = \frac{V_{LSB}^2 \cdot \pi^4}{60 \cdot OSR^5} = \frac{FS^2 \cdot \pi^4}{2^{2B} \cdot 60 \cdot OSR^5} \quad (3.12)$$

由式(2.5)與式(3.12)可得單迴路二階積分三角調變器的PSNR為

$$\begin{aligned} PSNR &= 10 \log\left(\frac{P_{\text{signal}}}{P_Q}\right) = 10 \log\left(\frac{3}{2} 2^{2B}\right) + 10 \log\left[\frac{5}{\pi^4} (OSR)^5\right] \\ &= 6.02B + 1.76 - 12.9 + 50 \log(OSR) \end{aligned} \quad (3.13)$$

在單迴路二階積分三角調變器系統中，每增加OSR一倍，便可提升PSNR約15dB左右，改進了2.5 bits的解析度。

我們將式(3.3)、式(3.11)與未做雜訊移頻的 $|NTF(f)|=1$ 互相來做比較，如圖3.4所示，可以發現在我們所需要的基頻內，沒有使用雜訊移頻的量化雜訊

是最大的，然而單迴路二階積分三角調變器的 N_{TF} 為一階的二次方，故其在信號基頻中的量化雜訊呈二次方的衰減，所以其量化雜訊是最小的 [1]。

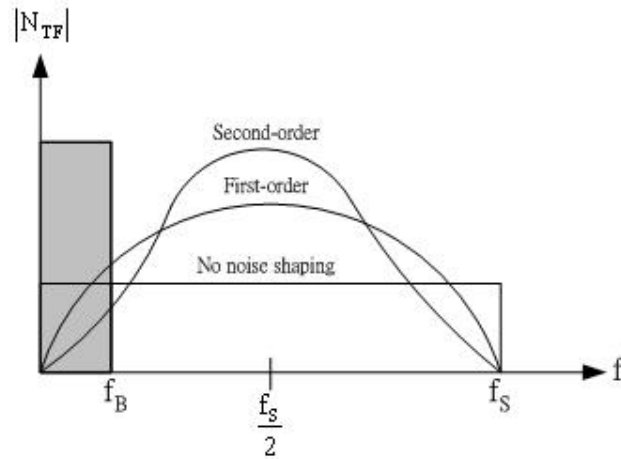


圖 3.4 雜訊移頻函數的比較

3.3 單迴路高階積分三角調變器

如圖 3.5 所示為單迴路高階積分三角調變器的架構，由 3.1 節與 3.2 節的計算過程，我們可推導出在基頻內的量化雜訊功率 P_Q 為

$$P_Q = \frac{V_{LSB}^2}{12} \cdot \frac{\pi^{2L}}{2L+1} \cdot \left(\frac{1}{OSR}\right)^{2L+1}, \quad L: \text{階數} \quad (3.14)$$

其最大訊號雜訊比為

$$PSNR = 6.02B + 1.76 - 10 \log\left(\frac{\pi^{2L}}{2L+1}\right) + (20 \times L + 10) \log(OSR) \quad (3.15)$$

單迴路高階的應用中，每增加一倍 OSR 可增加 $(6L+3)$ dB，即 $(L+0.5)$ bit。積分三角調變器可以藉由階數的增加來提高 PSNR，但愈高階的應用愈容易使系統發生不穩定的現象。

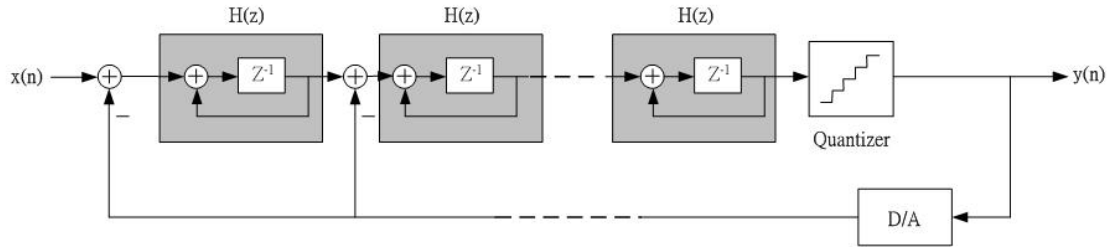


圖 3.5 單迴路路高階積分三角調變器

3.4 Interpolative 積分三角調變器

Interpolative 是屬於高階積分三角調變器的一種，他改變了某些級數的接法，多增加一些支路，以提高雜訊移頻的效果，圖 3.6 為一個四階的 interpolative 的架構 [18]。

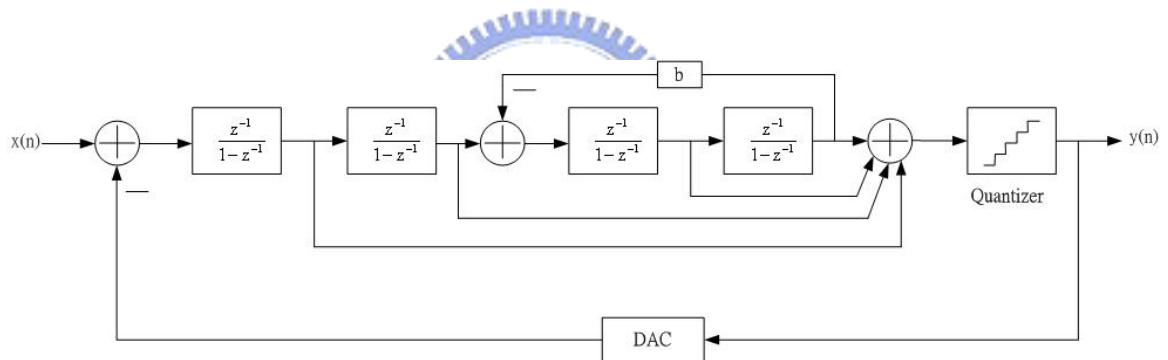


圖 3.6 四階 interpolative 架構

此種架構與單迴路高階三角積分器一樣有穩定度的問題，當階數增加時，每一個積分器假設至少產生一個極點 (Pole)，而當使用的階數愈多時，極點增加，將會導致在電路的設計上會有不穩定的情況發生；所以將會使得我們在選取積分器的增益值受到限制，而階數愈高，可選取的增益範圍愈小，愈容易使電路產生振盪；另一個問題則是時脈 (Clock) 控制的考量，當我們使用交換電容式 (Switching Capacitor, SC) 的積分器時，主要是利用時脈的相位控制，來達到積分的效果；而使用一個積分器約要產生兩個時脈來控制，而當階數增加時，所需要的時脈也相對的增加，如此也增加了時脈控制與產生的問題。

3.5 MASH 架構

MASH (Multi-Stage Noise Shaping) 架構又稱為串疊 (Cascaded) 架構，它是一種由低階調變器串疊起來便可有高階效果的一種方法。MASH 的觀念是將前級調變器的量化雜訊送至次級調變器的輸入端，作為其輸入訊號，再將每一級的輸出做數位處理後，在輸出端將前級的量化雜訊消掉，如此只有一級的量化雜訊會出現在輸出端，且量化雜訊的 N_{TF} 是相當於整體 MASH 階數的衰減。如圖 3.7 為三階 MASH $\Delta\Sigma$ 調變器，它是 2-1 串疊的 MASH 架構包含了二階積分三角調變器及一階積分三角調變器 [19]。

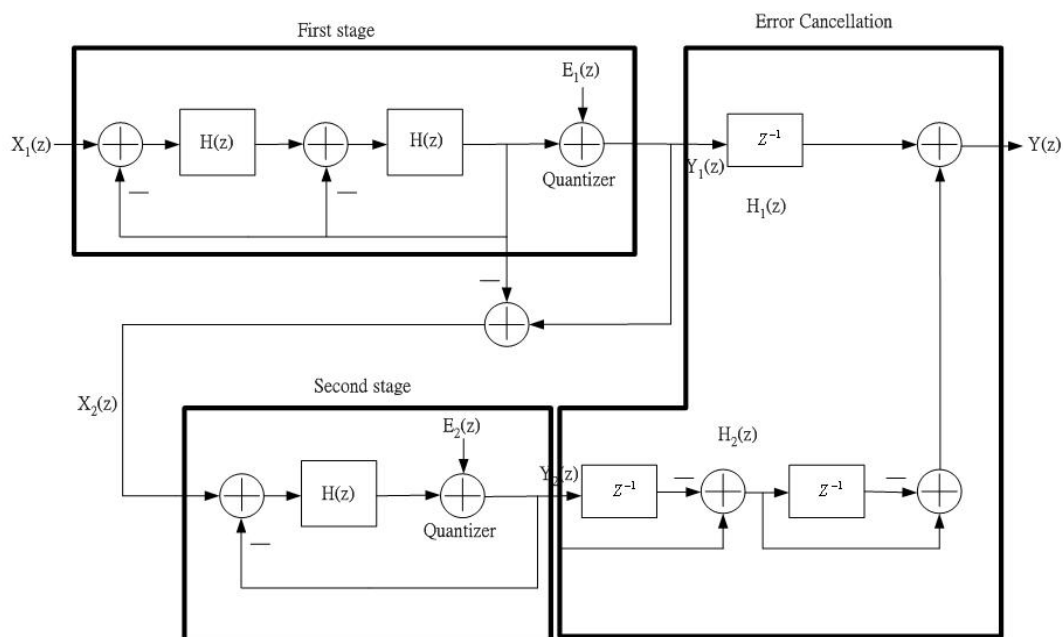


圖 3.7 三階 MASH/積分三角調變器

由圖可推算出第一級調變器的輸出 $Y_1(z)$ 為

$$Y_1(z) = z^{-2}X_1(z) + (1 - z^{-1})^2 E_1(z) \quad (3.16)$$

第二級調變器輸出 $Y_2(z)$ 為

$$Y_2(z) = z^{-1}X_2(z) + (1 - z^{-1}) E_2(z) \quad (3.17)$$

而整體 MASH 調變器的輸出 $Y(z)$ 為

$$Y(z) = H_1(z)Y_1(z) + H_2(z)Y_2(z) \quad (3.18)$$

在第一級量化雜訊 $E_1(z)$ 的取得中，假設了兩類比信號相減的mismatch誤差很小，我們可近似 $X_2(z)$ 約等於 $E_1(z)$ ，而為了消除第一級的量化雜訊 $E_1(z)$ ，由(3.16)式~(3.18)式，我們可定出數位誤差消除（Error cancellation）函數 $H_1(z)$ 及 $H_2(z)$ 的函式為

$$H_1(z) = z^{-1} \quad (3.19)$$

$$H_2(z) = (1 - z^{-1})^2 \quad (3.20)$$

由式(3.6)~(3.20)，可將第一極量化雜訊 $E_1(z)$ 消除，且第二級量化雜訊 $E_2(z)$ 具有三階雜訊移頻的效果，其整體輸出 $Y(z)$ 為

$$Y(z) = z^{-3}X_1(z) + (1 - z^{-1})^3E_2(z) \quad (3.21)$$

此架構最大的優點是沒有穩定度的問題，因為它是由低階的調變器所組成，所以量化雜訊不會一級一級的經積分器放大，故穩定性佳，且又有高階調變器的特點，有高效能的雜訊移頻效果，但需額外的數位電路來消除量化雜訊，且需要良好的元線匹配，在上面的推導中我們便假設了這個情況；此外在現實上由第一級的量化所產生一些漏雜訊（Leakage noise）也將限制住 cascaded $\Delta\Sigma$ 類比數位轉換器的特性，而這些漏雜訊是由於有限的電壓增益、放大倍數的準確性、有限的閉迴路極點以及非零的開關電阻引起的，這些都是在設計 MASH 架構要考量的 [10]。

3.6 多位元量化積分三角調變器（Multi-bit Quantizer Sigma Delta Modulator）

多位元（Muti-bit）的量化方式不管是在單迴路或串疊式中均十分常見，因為積分三角 A/D 轉換器的輸入頻率提高時，在不想增加 OSR 與階數 L 的情形下，增加量化位元數是很好的方法，如圖 3.8 所示，即為其示意圖。多位元量化器能很有效的減少量化雜訊，每增加一位元，約可增加 6dB 的 SNR，且當階數使用不高時，也較無穩定度的問題；但由於使用多位元轉換，當輸出訊號回授至輸入

端時，需要一多位元的數位類比轉換器（Digital to Analog Converter，DAC），而此轉換器的線性問題將會限制到整個積分三角 A/D 轉換器的線性度，而總諧波失真（THD）將由被動元件的匹配程度所決定；目前有一些論文提出如何增進數位類比轉換器的線性度，而使用 Dynamic Element Matching（DEM）來提高線性度是最常見的方法 [20] [21]。另一個要考量到的問題即為積分三角類比數位轉換器的次類比數位轉換器（Sub-ADC），通常我們會使用快閃式類比數位轉換器（Flash A/D Converter）來做多位元量化器，而快閃式類比數位轉換器有個很大的缺點，就是它所使用的比較器數目與位元數成 2^B 倍成長，也就是說要使用 6 位元的次類比數位轉換器需要使用到 64 個比較器，或許比較器並不佔太大的面積，但在 SOC 的應用上，我們相當注意面積與功率的問題，所以當使用到大量的比較器時，所占用的面積就相當可觀，也變為多位元轉換的限制之一。

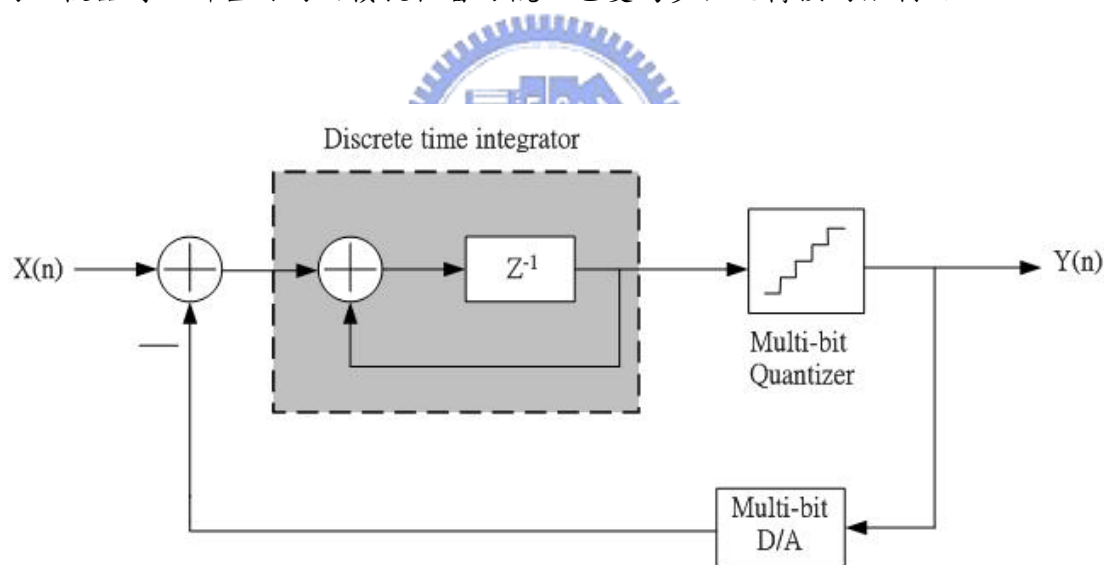


圖 3.8 多位元量化架構

積分三角 A/D 數位轉換器適合應用於高解析度的設計上，它是利用超取樣與雜訊移頻的技術來達到高信號雜訊比的要求，當所應用的輸入頻率提高時，一階的積分三角 A/D 數位轉換器已不堪使用，因為它需要相當高的取樣頻率才可達到，所以我們必需將積分三角 A/D 數位轉換器的階數（Order）提高，來降低 OSR 的比值，而雖然可以藉由增加階數來提高解析度，但還是存在著穩定性的問題，

所以才會進一步衍生出串疊以及多位元量化的架構來改善，種種的演進使得積分三角A/D數位轉換器的應用愈來愈廣泛。最後我們將調變器分成低階、高階、串疊(MASH)及多位元四種型式，分析其優缺點如圖3.9 [22]。

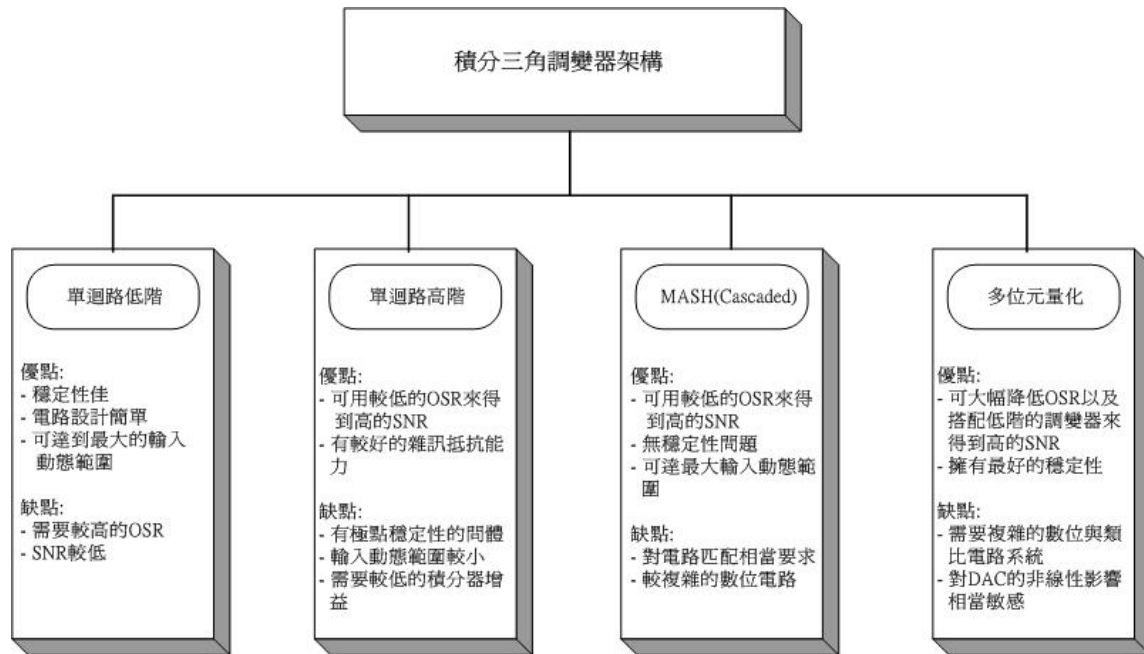


圖 3.9 各個積分三角調變器架構的比較

3.7 數位降頻濾波器 (Decimation)

在積分三角A/D轉換器中數位降頻濾波器是在處理後段的數位信號部分，在超取樣調變後的高速數位資料碼是無法直接使用的，因為其中包含了原始信號及雜訊移頻後的量化雜訊，因此數位降頻濾波器主要就是將含有雜訊移頻的超取樣高速數位碼，轉換成奈奎斯特率的數位碼，且以多位元型式輸出，並濾掉信號頻寬外(out of base-band)的雜訊。在濾波時為了保持信號的真實性，不可多引入雜訊，而降低SNR值，所以數位降頻濾波器必須有相當平坦的信號通過帶(pass-band)、陡峭(sharp)的轉換帶及足夠的停止帶衰減量(stop-band attenuation)。一般的做法會採用兩級的數位降頻濾波器，因為若採用一級，為了維持系統的效

能，且在很高的頻率下，很難設計一個數位濾波器能一次就將頻率降回奈奎斯特率，而且不損失SNR值。然而在數位電路中，數位濾波器的運算效能通常是決定在乘法器的速度，所以如果不降頻直接做濾波動作，其濾波器的階數會很高。因此採用兩級的數位降頻濾波器，在第一級使用一個可以將取樣頻率降至2~4倍的奈奎斯特取樣率，且不會將雜訊移頻所移出的雜訊再移回來的梳形濾波器(comb filter)，而且它無需乘法器就可以實現，第二級再使用線性度良好的IIR或FIR濾波器，把降至2~4倍的奈奎斯特取樣率降到奈奎斯特率，以供後續電路使用，並以多位元對應的數位碼輸出[13]，如此即達成類比/數位的轉換動作。



第四章 改進二階多位元量化積分三角調變器之 信號雜訊比公式

我們要建立的二階多位元量化積分三角調變器設計模型 (Model) 中，希望可以提拱設計者在規劃之初便可以清楚的獲得一些重要資訊，如數位電路的邏輯閘數目、需要多少開關的數量、功率、面積...等等，可供設計者參考。在模型中信號雜訊比 (Signal-to-Noise Ratio, SNR) 的估測是相當重要的，以一階積分三角調變器的 PSNR 為例，如式 (2.22)，假設這個公式失去了準確性，那麼設計者在規劃之初便會決定錯誤的 OSR 與量化位元數，如此設計出來的取樣頻率與量化器 (Quantizer) 便無法達到所需要的 SNR，對於模型之後的規劃與所提供的資訊也都將失去意義；所以在這一章節中，我們將說明一些考量以選擇二階多位元量化積分三角調變器來建立模型，此外針對二階多位元量化積分三角調變器的架構與原理，來討論信號雜訊比的公式是否精確以及需要做何改良。

4.1 積分三角調變器的考量

在第二章與第三章中詳細介紹了各個積分三角調變器的架構與原理，設計者將隨著不同的輸入頻寬 (Bandwidth) 與解析度 (resolution) 需求來選擇適合的架構設計，然而我們所討論的主題將以兩階單迴路多位元的架構為主，如圖 4.1 所示為示意圖。

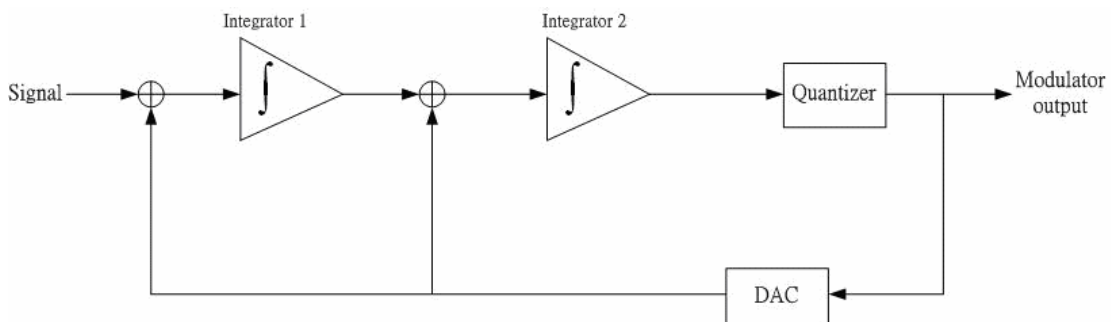


圖 4.1 兩階單迴路多位元量化示意圖

我們以此架構為主要考量有幾個因素：

- (1) 積分三角 A/D 轉換器可藉由增加階數來達到解析度的需求，但是階數太高將會對系統的穩定度產生影響，然而選擇二階的架構將可避免系統不穩定的問題；圖 4.2 為二階積分三角調變器在時域的表示圖，其中 g 代表積分器的增益， d 代表 D/A 轉換器的增益， α 代表運算放大器的漏雜訊 (Leakage noise)，漏雜訊是由於運算放大器的有限增益引起，我們將有限增益 A 表示為

$$1 - \alpha = \frac{1}{A} \quad (4.1)$$

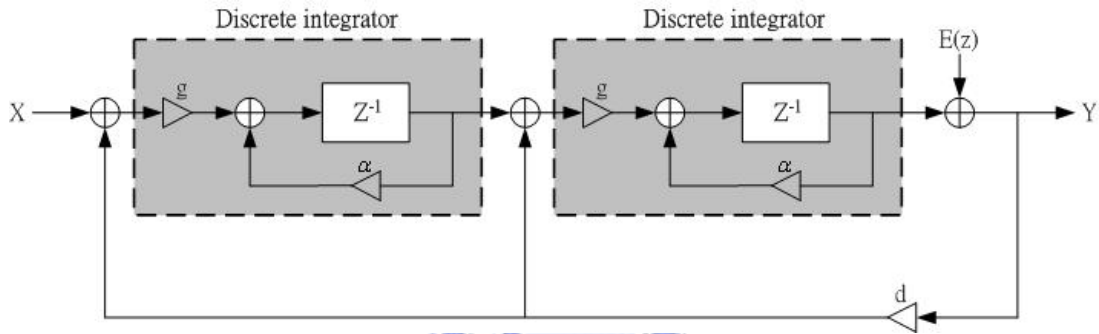


圖 4.2 discrete time 二階 $\Sigma\Delta$ 調變器

由積分器的方塊圖可以推導出積分器函數為

$$H(z) = \frac{gz^{-1}}{1 - \alpha z^{-1}} \quad (4.2)$$

而將 D/A 轉換器的增益 d 考量進來，可推導 $S_{TF}(z)$ 為

$$S_{TF}(z) = \left(\frac{gz^{-1}}{1 + (gd - \alpha)z^{-1}} \right)^2 \quad (4.3)$$

在式 (4.3) 的推導中我們假設了第一級積分器與第二級積分器的增益以及運算放大的有限增益皆相同，此假設可減少分析的複雜度。所以由式 (4.3) 中可發現會產生 $gd - \alpha$ 的極點，由以下的推導可以知道穩定度的需求為：

$$|gd - \alpha| < 1 \Rightarrow -1 + \alpha < gd < 1 + \alpha \quad (4.4)$$

只要將二階積分三角調變器增益與 D/A 轉換器增益的乘積限制在式 (4.4) 的範圍中，將可維持住系統的穩定性；若愈高階的架構，則可穩定的範圍將愈小且愈難去實現。

- (2) 將積分三角調變器的階數選定在二階則會有信號雜訊比是否會太低的疑慮，所以我們在量化器的部分以多位元量化的方式來增加系統的解析度，以求可達到更高的解析度應用，如圖 4.3 所示。

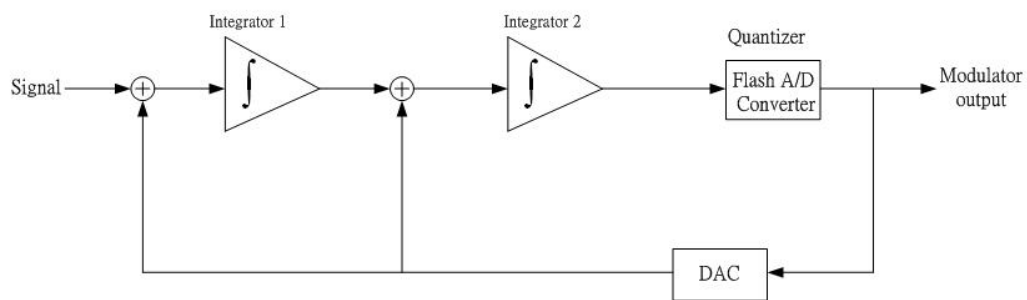


圖 4.3 multi-bits 積分三角調變器示意圖

- (3) 近年來有許多發表的論文以 MASH 的方式設計積分三角調變器 [23]~[26]，此架構以串疊的方式達到高階的效果且又避免了穩定度的問題，而雖然它可以消除前一級的量化誤差 (Quantization error) 但是對漏雜訊 (Leakage noise) 的影響相當敏感，使得在數位雜訊消除電路 (Digital cancellation circuit) 中無法將此雜訊抵消，而且在深次微米的製程中，要得到較高的运算放大器增益也愈趨困難，所以此雜訊將會大大的影響積分三角調變器的效能。

綜合以上的考量，我們覺得以二階多位元量化架構來建立模型，將可廣泛的應用在各個應用領域之中，且在電路的實現上也比較容易。

4.2 二階多位元量化積分三角調變器的相關雜訊

在第三章中我們計算了積分三角調變器的信號雜訊比，不過在推導的過程中所考量的雜訊功率只有包括到量化雜訊而已，然而隨著電路愈來愈複雜以及元件

製程縮小的情形下，僅僅考慮一個雜訊的影響是不夠的，這也是為什麼在大部分發表的論文中，若以理想的信號雜訊比公式來估測時，與實現後的結果通常有一大段的誤差有關，所以我們覺得所考量的雜訊不足是導致信號雜訊比產生誤差的原因，而我們將以此論點來找出更多應該被考量在內的相關雜訊。

圖 4.4 為二階積分三角調變器的電路圖，使用差動輸入/输出的方式來設計，其中快閃式 A/D 轉換器（Flash A/D Converter）即為量化器，在這裡是以 4 位元的量化器表示；另外由交換式電容（Switched Capacitor）電路來建立積分器與 D/A 轉換器，DEM（Dynamic Element Matching）是為了增進 D/A 轉換器的元件線性度，我們將在第四章中加以詳述。

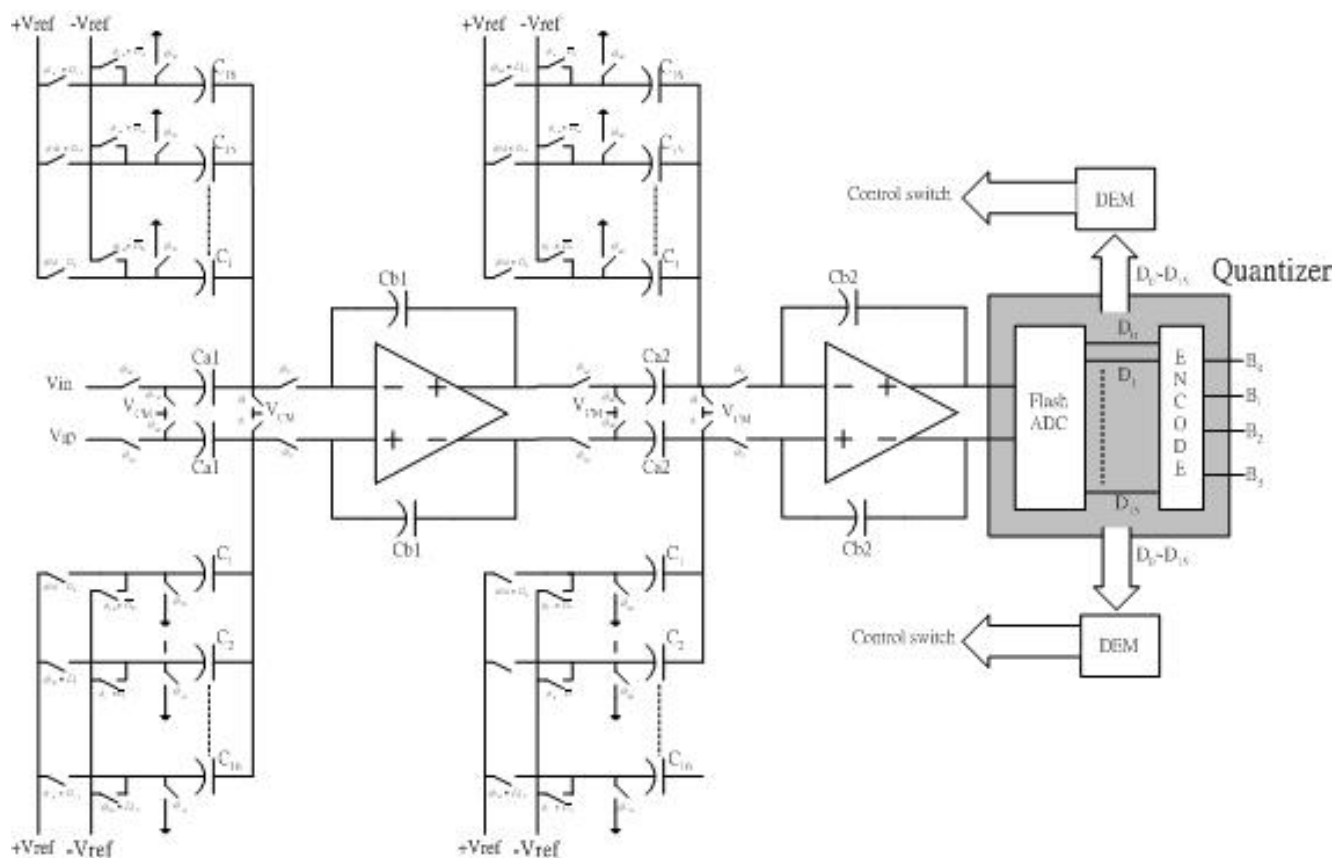


圖 4.4 二階 4 位元量化積分三角調變器電路

我們的目的不是如何去設計電路，但可以由電路圖找出二階積分三角調變器的相關雜訊，此雜訊可能是某個元件或是某個物理現象造成的，我們都必須加以

討論，並在最後找出對改善信號雜訊比有幫助的雜訊來納入考量。我們會討論的雜訊有開關有限電阻的熱雜訊、閃爍雜訊、運算放大器的雜訊、劇跳雜訊、電容不相稱誤差、電容非線性影響...等等，以下我們將深入了解各個雜訊的產生以及是否對系統產生很大的影響。

(1) 開關有限電阻的熱雜訊 (Thermal noise of switch)：由於二階多位元量化積分三角調變器是使用切換式開關來設計，電路中將使用大量的開關，而在討論開關的熱雜訊之前，我們必須先瞭解一個電阻會產生的雜訊有哪些。假設在導體中平均電流為零時，會由於些微的熱能使得電子產生隨機運動並引起導體跨壓的變動，我們稱此因熱能所產生的不尋常變動為熱雜訊，因此熱雜訊之頻譜與絕對溫度是成比例的。如圖 4.5 所示，電阻 R 的熱雜訊可以一串聯電壓原來建立其模型，其單邊頻譜密度 (Spectral Density) 為

$$S_R(f) = 4kTR, f \geq 0 \quad (4.4)$$

其中波茲曼常數 $k = 1.38 \times 10^{-23} \text{ J/K}$ ，T 代表絕對溫度。

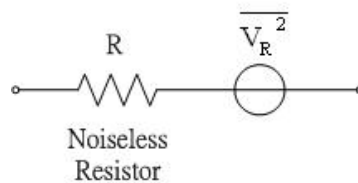


圖 4.5 電阻熱雜訊模型與單邊頻譜

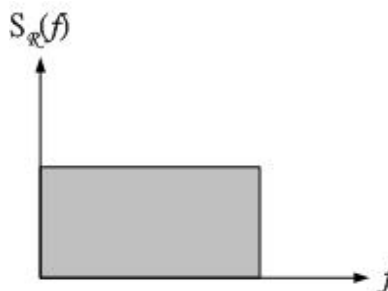


圖 4.6 電阻熱雜訊單邊頻譜密度

其中 $S_{\kappa}(f)$ 的單位以 V^2/Hz 表示，所以我們也可以寫成

$$\overline{V_R^2} = 4kTR \quad (4.5)$$

把雜訊以電壓均方根值來表示，在之後對電路的雜訊分析中，若我們將雜訊以電壓源的方式來表示將可獲得快速的分析過程。圖 4.7 (a) 為一個簡單的取樣電路，在開關的設計上通常會使用 NMOS、PMOS 或 CMOS 三種方式來製作，因為 MOSFET 為一個電壓控制元件，可由閘極時脈電壓的高準位與低準位來控制 MOSFET 的導通與截止；然而不管是使用何種架構，當開關在運作時，MOSFET 皆可看成為一個有限電阻 R_{on} 的模型，如圖 4.8 所示。一般而言，以 CMOS 開關電路最為常見，因為它所得到的導通電阻為 PMOS 與 NMOS 並聯的結果，可將導通電阻最小化；此外在電路精確度也有優點，例如可以減少電荷饋入 (Clock feedback) 的影響，我們將在第四章加以說明我們的考量。

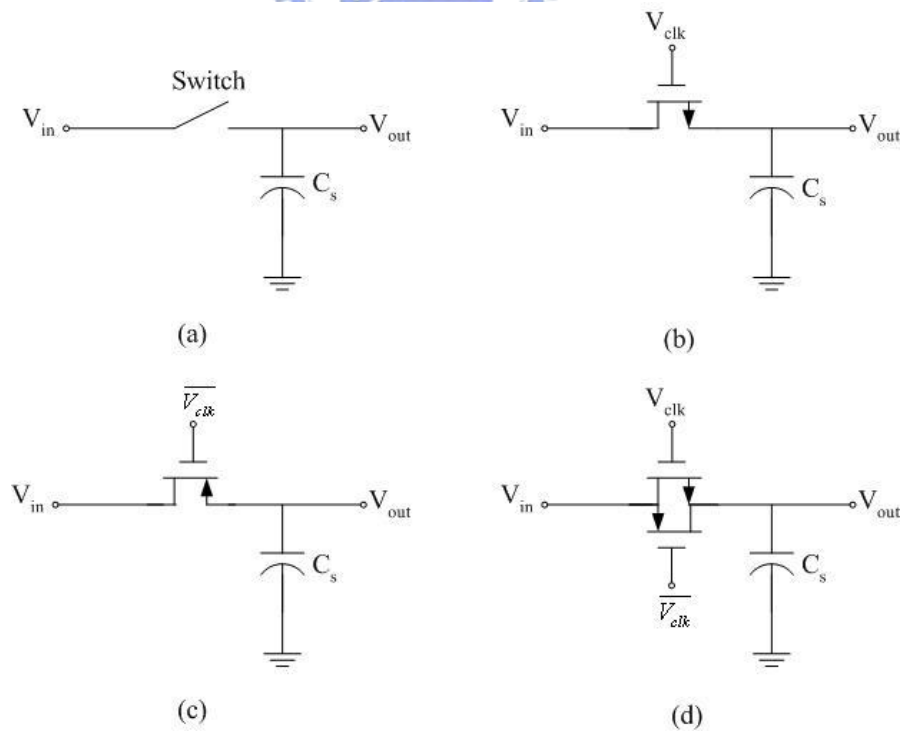


圖 4.7 (a)取樣電路 (b)以 NMOS 當開關 (c)以 PMOS 當開關(d)以 CMOS 當開關

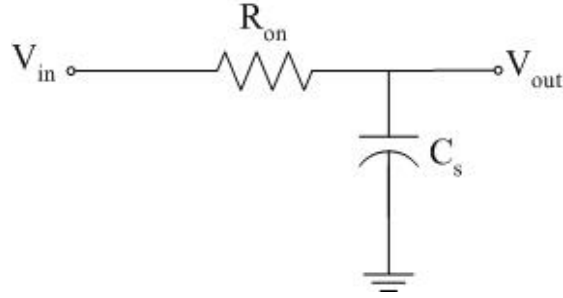


圖 4.8 開關有限電阻模型

我們將式 (4.5) 的結果應用在圖 4.8 之中，可以得到在取樣電路中多了一個雜訊電壓源與電阻串聯，為了方便求出取樣電路的輸出雜訊功率 P_{out} ，在分析時將不考慮輸入訊號 V_{in} 的影響並將其短路接地，如圖 4.9 所示。

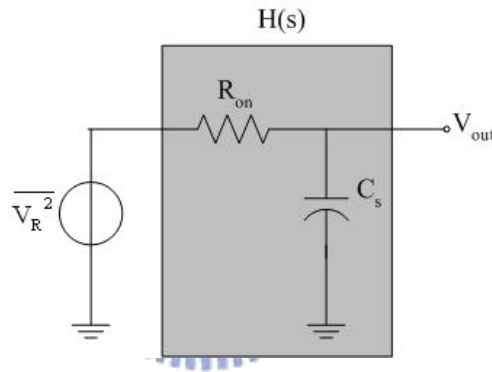


圖 4.9 加入雜訊電壓之取樣電路

首先我們推導取樣電路的輸出/輸入轉移函數 $H(s)$ 為

$$H(s) = \frac{V_{out}}{V_R} (s) = \frac{1}{1 + sR_{on}C_s} \quad (4.6)$$

由於輸出頻譜密度 $S_{out}(f)$ 為輸入頻譜密度 $S_{in}(f)$ 通過 $H(s)$ 的結果，所以可得

$$\begin{aligned} S_{out}(f) &= S_{in}(f) |H(j2\pi f)|^2 \\ &= 4kTR_{on} \frac{1}{1 + 4\pi^2 R_{on}^2 C_s^2 f^2} \end{aligned} \quad (4.7)$$

由式子可以知道電阻的白色雜訊 (White noise) 頻譜 $S_{in}(f)$ 經過取樣電路後會以低通的特性來表示輸出頻譜 $S_{out}(f)$ ；接著我們可計算輸出總雜訊功率 P_{out} 為

$$\begin{aligned}
P_{\text{out}} &= \int_0^{\infty} \frac{4kTR}{4\pi^2 R^2 C_s^2 f^2} df, \text{ 令 } u = 2\pi R_{\text{on}} C_s f \\
&= \frac{2kT}{\pi C_s} \tan^{-1} u \Big|_{u=0}^{u=\infty} \\
&= \frac{kT}{C_s}
\end{aligned} \tag{4.8}$$

由於 kT/C 的單位為 V_{rms}^2 ，我們也同時考慮將輸出端總均方根值雜訊電壓寫成

$$\overline{V_{\text{out}}^2} = \frac{kT}{C_s} \tag{4.9}$$

式 (4.9) 中很明顯的表示當取樣電容值上升時，將可有效降低雜訊功率，但在電路設計上往往無法單單考慮一個效應的影響，有許多其他的關連導致增加電容值會產生許多困難 [15]。在以上的推導中，我們考慮只有一個取樣電路的情形，由於在二階積分三調變器中使用較多的取樣開關，每個開關皆可以圖 4.9 來表示，所以必須考量多個取樣電路動作的情形，以觀察輸出端的雜訊會有何變化；圖 4.10 為兩個取樣電路的示意圖，在圖中已經將雜訊電壓串聯電阻的模型建立。

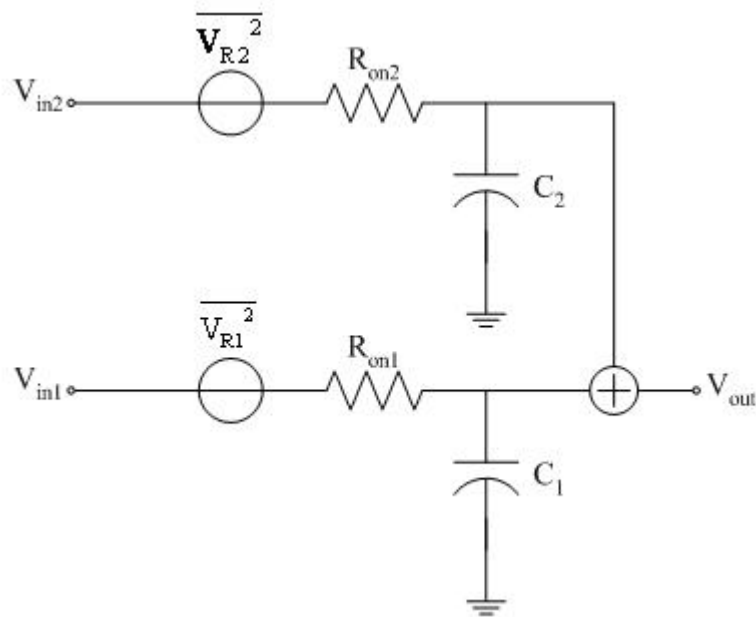


圖 4.10 多重取樣電路

在計算過程中我們將輸入訊號 V_{in1} 與 V_{in2} 接地，以方便分析雜訊電源

$\overline{V_{R1}^2}$ 與 $\overline{V_{R2}^2}$ 對輸出的影響，根據式 (4.8) 的結論，可以分別求出輸出雜訊 P_{out1} 與 P_{out2} 為

$$P_{out1} = \frac{kT}{C_1} \quad (4.10)$$

$$P_{out2} = \frac{kT}{C_2} \quad (4.11)$$

而由於式 (4.10) 與式 (4.11) 為非相關雜訊 [15]，所以輸出總雜訊功率 P_{out} 可寫成

$$\begin{aligned} P_{out} &= P_{out1} + P_{out2} \\ &= kT \left(\frac{1}{C_1} + \frac{1}{C_2} \right) \end{aligned} \quad (4.12)$$

式 (4.12) 是一個重要的證明，表示若在一个節點上有多個 RC 取樣電路動作時，可以把節點上的輸出雜訊功率寫成

$$P_{node} = \sum_{i=1}^M \frac{kT}{C_i} \quad (4.13)$$

式 (4.13) 的結果將可幫助我們在下一節中快速計算多個開關的雜訊功率。

- (2) 閃爍雜訊 (Flicker noise)：在電晶體中間極氧化層 (SiO_2) 與矽基板之介面之間，由於矽晶體會到達此介面的一端，許多不連接 (dangling) 之鏈結將會出現，進而產生一多餘的能階，如圖 4.11 所示。當電荷載子於介面移動時，某些載子將被隨機捕捉而以此能階被釋放，使得汲極電流產生不尋常的跳動，稱為閃爍雜訊。

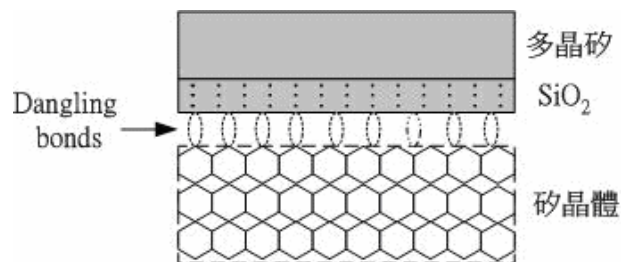


圖 4.11 氧化層與矽介面的不連接鏈結

我們通常將閃爍雜訊以電壓源的形式串聯於 MOSFET 的閘極上，其值為

$$\overline{V_{\text{flicker}}^2} = \frac{K}{C_{\text{ox}} WL} \cdot \frac{1}{f} \quad (4.14)$$

其中 K 為製程相關常數且其數量級為 $10^{-25} \text{ V}^2 \text{ F}$ 。閃爍雜訊表現出其大小與頻率成反比，可以得知此雜訊的發生在低頻運作時將顯得更加嚴重；而閃爍雜訊也可稱為 $1/f$ 雜訊。

- (3) 運算放大器的雜訊 (noise of op-amp): 在眾多的運算放大器架構中要建立一個通用的雜訊模型是較難的，但運算放大器是由電晶體所組成，我們可以由了解電晶體的相關雜訊，進而推導出運算放大器的總雜訊。圖 4.12 為我們將雜訊等效成電壓源串聯 MOSFET 之閘極的模型，並將雜訊源寫成

$$\begin{aligned} \overline{V_{\text{mos}}^2} &= \text{MOSFET_Thermal_Noise} + \text{MOSFET_Flicker_Noise} \\ &= 4kT \frac{\gamma}{g_m} + \frac{K}{C_{\text{ox}} WL} \cdot \frac{1}{f} \end{aligned} \quad (4.15)$$

其中係數 γ 是一個製程的相關參數，在長通道的製程中可被推導為 $2/3$ ，而對於深次微米 MOSFET 來說，必須以更大的值來取代，通常在深次微米 MOSFET 元件中大約為 2.5 [15]。

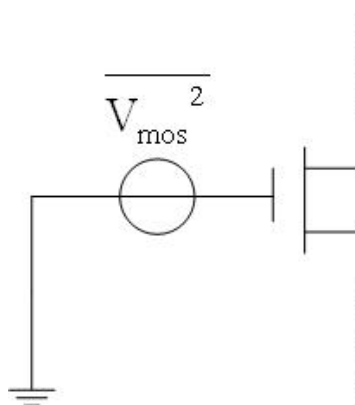


圖 4.12 MOSFET 雜訊電壓源模型

將雜訊以電壓源來表示，可以比較直觀的分析電路的雜訊，我們將在下一節中詳細分析運算放大器的雜訊；此外，在一般的運算放大器應用中，大多用於高頻，我們可以由式 (4.14) 得到一個結論，當電晶體運作頻率愈高時，可以將雜訊源 $\overline{V_{mos}^2}$ 簡化成只包括熱雜訊 (Thermal noise) 的部份，如此可將分析複雜度降低且又不會產生很大的失真。

- (4) D/A 轉換器參考電壓的雜訊 (noise of DAC reference voltage)：此部分的雜訊分析與運算放大器相同，必須深入由 MOSFET 元件來分析電路的總雜訊，不同之處在於有些參考電壓電路所應用的操作頻率並不高，所以有時需考量到 MOSFET 的閃爍雜訊影響。此外若比較運算放大器與參考電壓兩者雜訊的大小，則參考電壓所產生的雜訊會較大些，因為在積分三角調變器中，所考量的運算放大器雜訊是指它的輸入雜訊，而參考電壓是指它的輸出雜訊，輸出雜訊會被電路的增益放大，輸入增益則不會，這方面的分析將在下一節提到。

- (5) 劇跳雜訊 (Jitter noise)：在理論上，時脈產生器 (Clock generator) 提供給電路的時脈週期應該是一致且不變的，但運作的過程中因為某些無法避免的元件非理想效應，導致時脈的週期卻會發生不一致的現象而對電路產生額外的雜訊，如圖 4.13 所示。

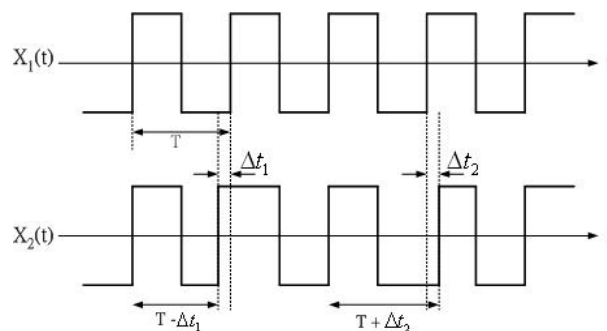


圖 4.13 時脈產生劇跳

在圖中 $X_1(t)$ 為正常的時脈波形，而 $X_2(t)$ 為近似週期性的波形，波形的週期產生一個小的變化，使得交錯點偏離 $X_1(t)$ 的理想值，此即為劇跳雜訊；此方面的問題並不侷限在積分三角調變器之中，幾乎所有類比與數位電路設計上都會產生，而目前很多研究仍持續去探討這個問題與改善的方法。

- (6) 電容不相稱誤差 (Capacitor mismatch)：在實現積分三角調變器的電路中，積分器的增益是個重要的參數，如圖 4.14 所示，我們令第一級的積分器增益為 a ，第二級的積分器增益為 b ，進入第一級積分器輸入的 D/A 轉換器增益為 C_1 ，進入第二級積分器輸入的 D/A 轉換器增益為 C_2 。

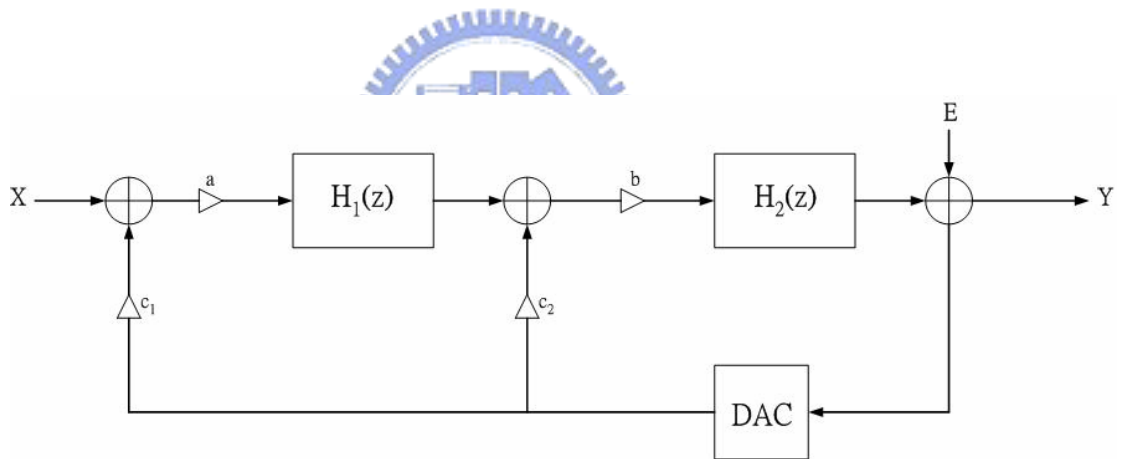


圖 4.14 含積分器增益之二階積分三角調變器

由圖我們可以推導出訊號轉移函數 $S_{TF}(z)$ 為

$$S_{TF}(z) = \frac{ab \cdot z^{-2}}{1 + (bc_2 - 2)z^{-1} + (abc_1 - b + 1)z^{-2}} \quad (4.16)$$

將式 (4.16) 與式 (3.8) 理想二階積分三角調變器的 $S_{TF}(z)$ 相比，可以知道 a 、 b 、 C_1 、 C_2 之間的關係為

$$abc_1 - b + 1 = 0 \quad (4.17)$$

$$c_2 b - 2 = 0 \quad (4.18)$$

假設我們選擇讓 $a = 1/2$ 、 $b = 2$ 、 $C_1 = C_2 = 1$ ，就可以使得式 (4.16) 得到 z^{-2} 的結果，此即為二階積分三角調變器理想的訊號轉移函數；由此可見積分器的增益對於系統的效能會產生相當大的影響。在電路的設計上，積分器的增益是由取樣電容 C_s 與回授電容 C_f 之比值來決定，如圖 4.15 所示，而在實現電容時，或多或少會被製程的技術影響到電容的準確度，而這將使得積分器的增益產生誤差，以積分三角 A/D 轉換器架構而言，MASH 架構對此誤差最為敏感，若誤差太大，將使得漏雜訊 (Leakage noise) 增加。

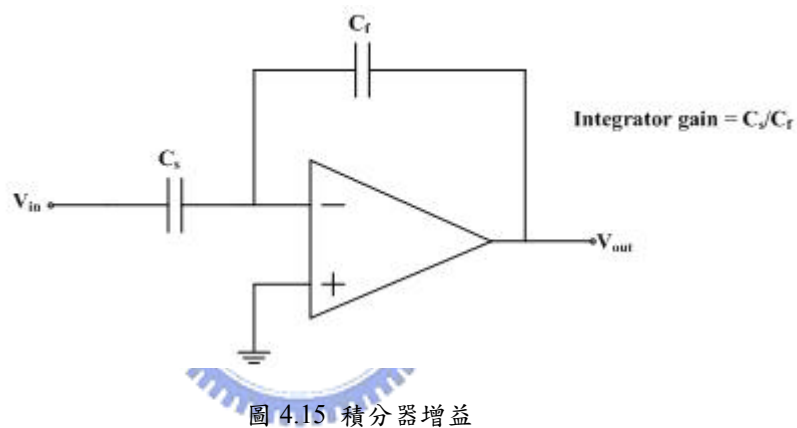


圖 4.15 積分器增益

- (7) 電容非線性影響 (Capacitor non-linearity effect)：在電路中的電容器會因本身物理特性的問題而產生非線性影響，此外會引起電容非線性現象的原因還有很多，例如溫度的變化、電壓的充放電...等等，並會因此產生諧波失真，而此現象的影響大部分由製程技巧決定，由目前製程的技術仍不斷的進步來看，這方面的影響也將隨之降低；我們通常以下面的式子來表示非線性的現象

$$C(v) = C^0 (1 + \alpha v + \beta v^2 + \dots) \quad (4.19)$$

C^0 表示未充電的電容值， α 、 β 代表非線性係數，此係數由製程決定，通常被表示為 p.p.m./V 或 p.p.m./V²。

上述的七個雜訊問題是我們在觀察積分三角調變器之後所需注意到的，但並非所有的雜訊都會被納入訊號雜訊比的公式中，因為我們最後的目的是希望能建立一個設計模型，能讓設計者在規劃之初即可知道一些電路的相關資訊，如果我們將納入考量的雜訊無法有效改善信號雜訊比的精確度，且使得公式過於複雜，將不利於設計者直觀的找出重要參數，如此我們建立模型的功用也只是增加設計者的問題而已；所以必須將適合且有幫助於改善信號雜訊比的因素考量進來，因此我們將納入的雜訊有開關有限電阻的熱雜訊、D/A 轉換器的參考電壓雜訊以及運算放大器的雜訊，將這三個雜訊加入至信號雜訊比的原因為：

(1) 在實現積分三角調變器的電路中，使用大量的開關，且 D/A 轉換器的開關數目將會隨著量化位元數 B 以 2^B 成長，增加的數目相當可觀，所以其所造成的雜訊功率勢必無法忽略，且可能是重要的參數之一。

(2) 在式 (3.10) 中顯示出二階積分三角調變器的訊號轉移函數 S_{TF} 為 1，這代表著由第一級積分器輸入的訊號或雜訊將不會受到積分三角調變器的影響而衰減，由於開關有限電阻的熱雜訊、D/A 轉換器的參考電壓雜訊以及運算放大器的雜訊皆由第一級積分器輸入所以是我們考慮的重點，此外在下一節中也將說明第二級積分器輸入端的雜訊是否要一併考量。

(3) 劇跳雜訊 (jitter noise) 是由於積分三角調變器外的時脈所造成的影響，若無法將此雜訊好好處理的話，將會使得系統的效能大幅衰減並造成訊號雜訊比的下降；然而在目前的技術中，以改善 PLL (Phase Locked Loops) 電路的效能最為常見，如圖 4.16 所示為 PLL 之方塊示意圖；其中 PD 為相位檢測器 (Phase Detector)，主要是比較輸出時脈 ϕ_{out} 與輸入時脈 ϕ_{in} 相位是否一致；LPF 為低通濾波器 (Low Pass Filter)，VCO 為電壓控制振盪器 (Voltage Controlled Oscillators)，當檢測器比較的結

果知道相位不一致之後，再由低通濾波器送出電壓來控制 VCO 的振盪頻率，如果輸出相位超前輸入相位，則 VCO 會降低輸出時脈的頻率以達到一致，反之則加快 VCO 的頻率。

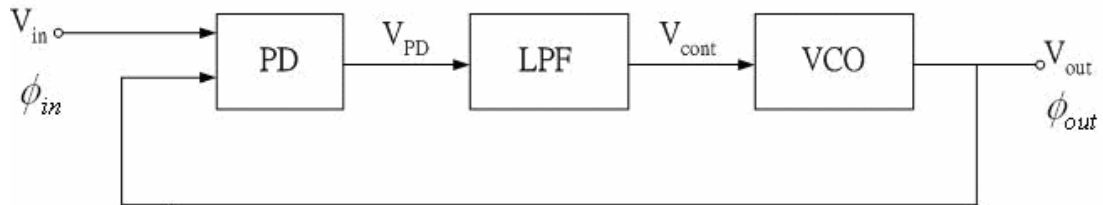


圖 4.16 PLL 方塊圖

PLL 之應用相當廣泛，主要用在頻率放大的功能，雖然電路本身會引起劇跳雜訊，但對於改善劇跳雜訊也有其效果；當 VCO 發生慢劇跳 (Slow jitter) 也就是從一個週期至下一個週期之間其瞬間頻率是緩慢地變化，由於 VCO 的輸出相位 ϕ_{VCO} 與 ϕ_{out} 是呈現一個高通的特性，所以可以將慢劇跳的成分抑制住；當輸入發生快劇跳 (Fast jitter) 時，由於低通濾波器的影響將會緩和快劇跳的成分，並藉由 PLL 系統來做輸出時脈劇跳的改善 [15]。由於劇跳雜訊可以藉由其他設計方法來做改善，雖然無法完全消除，但只要將其抑制在某個範圍內，則對系統的影響將可降至最低，所以在整體的雜訊考量上先將其排除。

- (4) 在電容的問題上，隨著製程的進步其影響是會逐漸降低的，以電容的製作技術來看， $0.35\mu\text{m}$ 製程技術中採用兩層多晶矽 (Poly to Poly) 來建立電容，而與目前較先進的製程 $0.18\mu\text{m}$ 使用 MIM (Metal Insulator Metal) 的方式相比，使用 MIM 的方法不僅可以提高電容的精確度 (accurately)，更擁有較好可靠度 (reliability) 及線性度 (Linearity)，如此可將電容匹配與非線性問題做更好的改善；由此可見隨著製程的進步將使得電容的效能愈來愈好。

- (5) 在電晶體的雜訊源中，我們只考慮熱雜訊的影響，因為在積分三角調變器的應用中，大都操作在幾 MHz 至幾十 MHz 等高頻率之間，使得閃爍雜訊的影響變成不是主要的因素了。

基於上述的理由，我們決定分析開關有限電阻的熱雜訊、D/A 轉換器的參考電壓雜訊以及運算放大器的雜訊對二階積分三角調變器的影響，並進一步將其考量在訊號雜訊比的公式中，加以改善其精確度。

4.3 雜訊之估測

首先我們將二階積分三角調變器的理想訊號雜訊比公式再檢驗一次，若要以分貝 (dB) 來表示訊號雜訊比，可將通式寫成

$$\text{SNR}_{\text{ideal}} = 10 \log\left(\frac{P_S}{P_N}\right) \quad (4.20)$$

理想的公式中，信號功率 P_S 與總雜訊功率 P_N 分別表示為

$$P_S = \frac{FS^2}{8 \cdot 96} \quad (4.21)$$

$$P_N = P_Q = \frac{FS^2 \cdot \pi^4}{2^{2B} \cdot 60 \cdot \text{OSR}^5} \quad (4.22)$$

FS 代表輸入信號大小的全刻度 (Full Scale)，B 代表量化位元數，OSR 代表超取樣比 (Oversampling Ratio)；而式 (4.21) 與式 (4.22) 的證明如 3.2 節所示，在此便不多做說明；我們要注意的是理想的訊號雜訊公式中，考量的總雜訊功率 P_N 僅僅包括量化雜訊功率 P_Q 而已，將式 (4.21) 與式 (4.22) 帶入式 (4.20) 中可以得到完整的訊號雜訊比公式，如式 (3.13) 所示，所以就理論上而言，依照所需的解析度 (Resolution) 來計算訊號雜訊比的值，將可合理的推算出所需要的 OSR 與量化位元數 B，但隨著電路的複雜度增加，在考量訊號雜訊比時僅包含量化雜訊 P_Q 是不夠的，所以必須加入其他雜訊的影響來使得訊號雜訊比的估測更真實；在 4.2 節的結論中，我們知道該增加哪些雜訊的考量，以下將計算這些雜訊在積分三角調變器中所產生的影響，以及考量在訊號雜訊比的公式中。

我們首先考量開關有限電阻的熱雜訊影響，為了分析此雜訊對二階積分三角調變器的影響，我們以圖（4.17）來表示其等效方塊圖；開關有限電阻的熱雜訊來源有兩個，一是由 D/A 轉換器回授至積分器的輸入端的開關，此開關主要是用來將量化器的數位結果透過交換式電容電路得到等效的類比訊號；另一個為訊號的取樣開關將連接至積分器的輸入端，所以將開關熱雜訊 kT/C 表示在積分器轉移函數之前 D_1 與 D_2 的位置上是合理的。

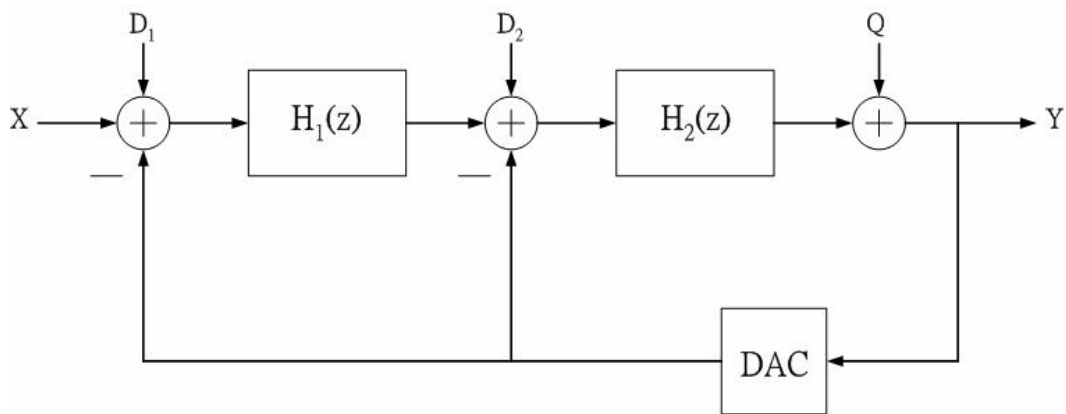


圖 4.17 開關有限電阻熱雜訊在離散訊號下的表示圖

為了計算開關有限電阻熱雜訊在第一級與第二級積分器輸入端所產生的雜訊功率，我們依照第二章的做法令離散積分器函數 $H_1(z) = H_2(z) = \frac{Z^{-1}}{1-Z^{-1}}$ ，可以將雜訊轉移函數寫成

$$NTF_{D1} = \frac{Y(z)}{D_1(z)} = Z^{-2} \quad (4.23)$$

$$NTF_{D2} = \frac{Y(z)}{D_2(z)} = \frac{Z^{-1}(1-Z^{-1})}{1-Z^{-1}(1-Z^{-1})} \quad (4.24)$$

其中式（4.23）反應的結果與訊號轉移函數式（3.8）相同，而式（4.24）將是我們決定第二級積分器輸入的相關雜訊是否考量的重要公式。

接下來我們將分取樣開關與 D/A 轉換器回授開關兩部份來討論開關熱雜訊的影響；在此之前我們首先必須考慮開關熱雜訊在經過積分三角調變器超取樣之後的功率頻譜密度（Power spectral density, PSD） $S_t(f)$ ，如圖（4.18）所示，開關熱雜訊經超取樣後，平均分佈在超取樣頻率 f_s 的頻譜上，由式（4.8）的證明

可知，在頻譜上所分布的總雜訊功率為 $\frac{kT}{C}$ （在此電容 C 並不代表是取樣電容或

D/A 轉換器的電容），所以可將 $S_t(f)$ 寫成

$$\int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} S_t^2(f) \cdot df = \int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} k_x^2 \cdot df = k_x^2 \cdot f_s = \frac{kT}{C}$$

$$\Rightarrow k_x = \sqrt{\frac{kT}{C \cdot f_s}} = S_t(f) \quad (4.25)$$

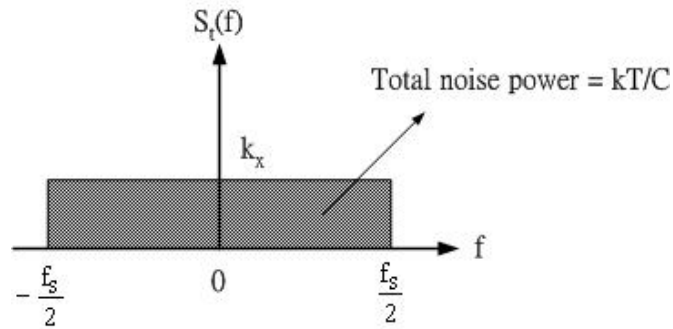


圖 4.18 開關熱雜訊經超取樣之功率頻譜密度

由於在經過積分三角調變器之後，會由數位降頻率波器（Decimator）將超取樣頻率降至 $\pm f_B$ 的基頻內，所以可由式（4.23）與式（4.25）計算出第一級積分器輸入端至積分三角 A/D 轉換器輸出的總開關雜訊功率 P_{SW1} 為

$$P_{SW1} = \int_{-f_B}^{f_B} S_t^2 \cdot |NTF_{D1}|^2 \cdot df = \int_{-f_B}^{f_B} \frac{kT}{C \cdot f_s} \cdot 1 \cdot df = \frac{kT}{C \cdot OSR} \quad (4.26)$$

接著由式（4.24）與式（4.25）計算出第二級積分器輸入至積分三角 A/D 轉換器輸出端的總開關雜訊功率 P_{SW2} 為

$$|NTF_{D2}| = \frac{2 \cdot \sin\left(\frac{\pi f}{f_s}\right)}{\sqrt{1 + 8 \sin^2\left(\frac{\pi f}{f_s}\right) - 4 \sin^2\left(\frac{2\pi f}{f_s}\right)}}$$

$$P_{SW2} = \int_{-f_B}^{f_B} S_t^2 \cdot |NTF_{D2}|^2 \cdot df = \frac{kT}{C} \cdot \left[\frac{\text{Arc tanh}\left(\frac{\sqrt{2} \cdot \pi}{OSR}\right)}{2\sqrt{2} \cdot \pi} - \frac{1}{2 \cdot OSR} \right] \quad (4.27)$$

在還未將取樣電路與 D/A 轉換器電路考量之前，我們先檢驗式（4.26）與式（4.27）兩個式子；雖然信號雜訊比的計算可以藉由加入 P_{SW1} 與 P_{SW2} 的考量而

更精確，但我們希望的是提出一個直觀而又不失準確性的公式，以方便讓設計者決定各個參數，因此必須將不必要的式子簡化，所以為了了解 P_{SW1} 與 P_{SW2} 之間的關係，模擬 P_{SW1} 與 P_{SW2} 的大小如圖 (4.19) 所示；由圖可發現，不管 OSR 的數值是大是小， P_{SW1} 皆遠遠大於 P_{SW2} ，所以由此結論將可以進一步將 P_{SW2} 忽略；而另一方面從電容值的大小來討論也發現第二級的取樣電容值也不需刻意選取太大，因為第二級的開關熱雜訊影響還是會遠小於第一級的貢獻。最重要的是由這個例子可以看出第二級積分器輸入的雜訊移頻遠比第一級大許多，所以之後的分析中第一級積分器的相關輸入雜訊將是我們最需要考量的部份，而將第二級積分器輸入的相關雜訊忽略。

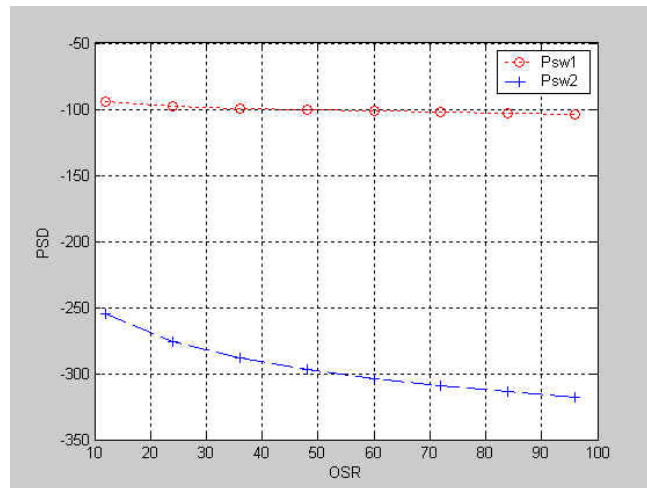


圖 4.19 比較 P_{SW1} 與 P_{SW2} 之大小

我們推導出第一級積分器輸入端至積分三角調變器輸出的開關熱雜訊功率的通式 P_{SW1} ，接著將考量取樣電路與 D/A 轉換器的開關雜訊如何表示在 P_{SW1} 之中；圖 4.20 為積分三角調變器在取樣的電路圖，我們將開關的部份使用有限電阻 R_{on} 取代，並且假設量化器為 B 位元，所以在 D/A 轉換器上我們會得到 2^B 個電容與開關，此外由於電路設計是使用差動輸入/輸出的形式，所以電路上下是對稱的；在 A 點上所得到的雜訊即可表示在圖 4.17 的 D_1 上，因為在做完雜訊源的取樣後將直接進入積分器做積分的動作，所以我們只要知道 A 點上是代表哪一個電容的熱雜訊，即可將其帶入式 (4.26) 中得到結果。圖 4.21 為方便我們計

算出 A 點所產生的雜訊，每個電阻皆串聯一個雜訊電壓源，在 A 點的總雜訊可寫成

$$\overline{V_A^2} = kT \left(\frac{1}{C_s} + \frac{1}{C_1} + \dots + \frac{1}{C_{2^B}} \right) \quad (4.28)$$

$$= \frac{kT}{C_s} + \sum_{i=1}^{2^B} \frac{kT}{C_i} \quad (4.29)$$

= sampling_thermal_noise + D/A converter_thermal_noise

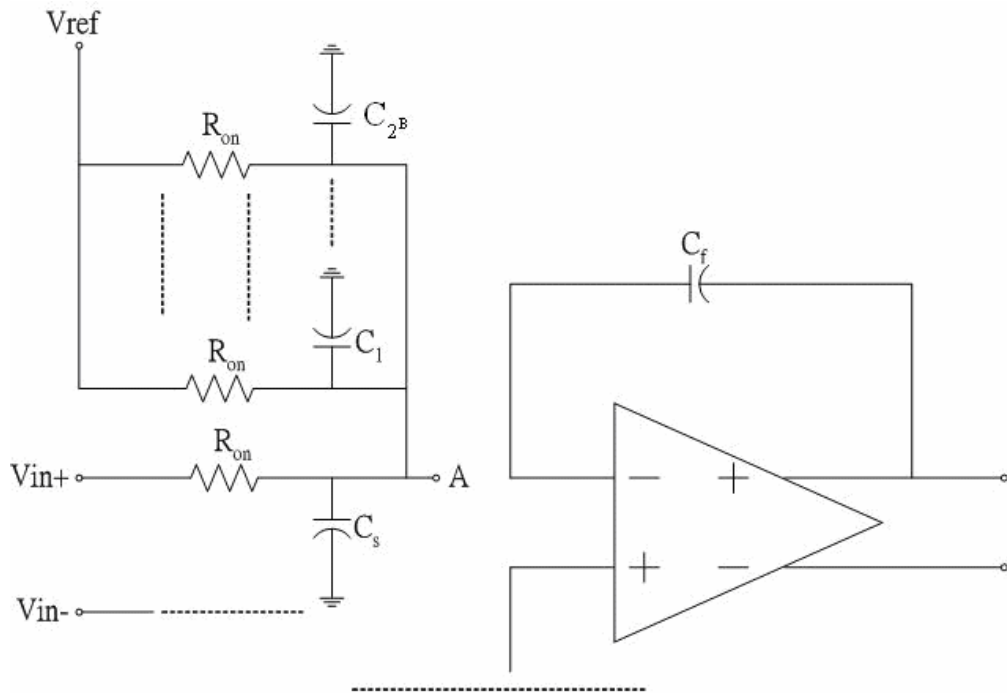


圖 4.20 積分三角調變器取樣期間之電路

由以上的結論可知 A 點上的開關雜訊功率為取樣電路的熱雜訊與 D/A 轉換器交換式電容的熱雜訊相加的結果，故將其代入式 (4.26) 中，並考量使用差動設計的方式將會得到加倍的開關（電容）數量，所以我們可完整的將第一級積分器輸入端至 A/D 轉換器輸出端的總開關雜訊 P_{sw} 寫為

$$P_{sw} = \frac{kT}{OSR} \left(\frac{2}{C_s} + \sum_{i=1}^{2^{B+1}} \frac{1}{C_i} \right) \quad (4.30)$$

如此式 (4.30) 將可被加入式 (4.22) 中與量化雜訊一起考量，增加訊號雜訊比的精確度。

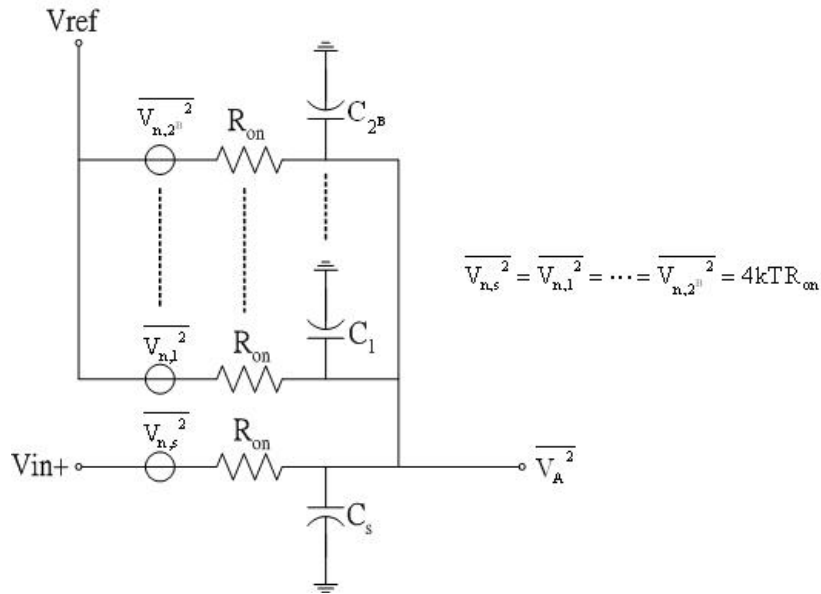


圖 4.21 計算 A 點之雜訊

接下來我們將考量運算放大器所產生的雜訊，如圖 4.22 所示，將雜訊建立在運算放大器的輸入端，在積分期間此雜訊同時被考量進來，所以我們可以將其等同於圖 4.17 的 D_1 與 D_2 處輸入，而根據之前的結論，我們將只考慮第一級運算放大器輸入雜訊所產生的影響。

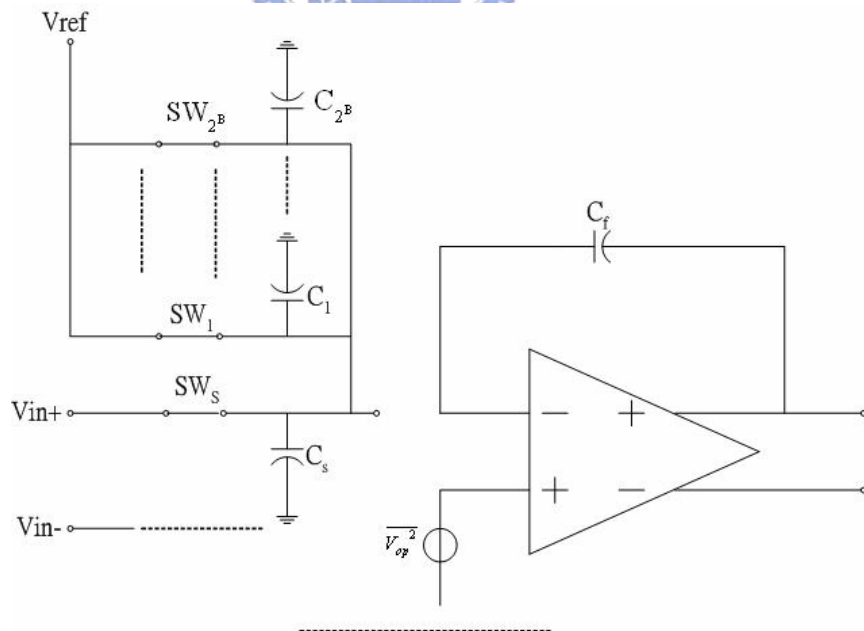


圖 4.22 運算放大器之雜訊模型

在此我們將做兩級式 (two stage) 運算放大器的雜訊分析，電路如圖 4.23 所示；我們以此架構做為分析的重點是因為它在穩定時間 (Settling time)、輸出

範圍 (Output swing) 以及增益 (Gain) ... 等效能皆有不錯的表現，而被廣泛的使用在積分三角調變器的應用中。

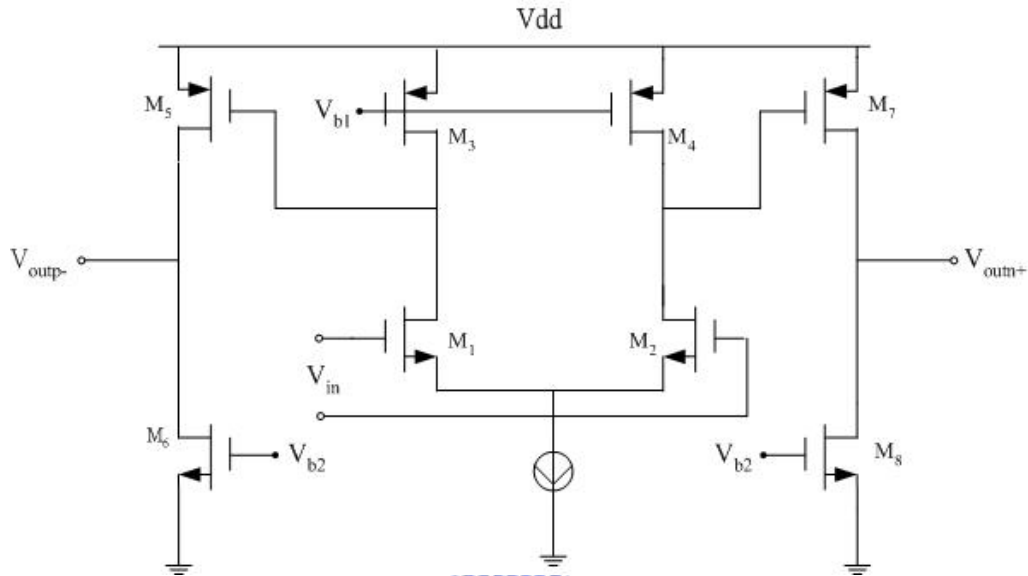


圖 4.23 兩級式運算放大器

為了方便分析運算放大器的雜訊，我們將 MOSFET 等效成一個雜訊電壓源串聯理想 MOSFET 的模型，並以半電路的模型來分析，如圖 4.24 所示，其中雜訊電壓源 $\overline{V_{mi}^2}$ 為

$$\overline{V_{mi}^2} = \frac{10kT}{gm_i} \quad (4.31)$$

首先求出第一級進入第二級的雜訊 $\overline{V_{out1}^2}$ 為

$$\overline{V_{out1}^2} = \overline{V_{m1}^2} \cdot \left(\frac{gm_1}{gds_1 + gds_3}\right)^2 + \overline{V_{m3}^2} \cdot \left(\frac{gm_3}{gds_1 + gds_3}\right)^2 \quad (4.32)$$

所以在 A 點所得到的雜訊為 $\overline{V_{m5}^2} + \overline{V_{out1}^2}$ ，接著再計算運算放大器的輸出總雜訊為

$$\overline{V_{out}^2} = 2 \times \overline{V_A^2} \cdot \left(\frac{gm_5}{gds_5 + gds_6}\right)^2 + 2 \times \overline{V_{m6}^2} \cdot \left(\frac{gm_6}{gds_5 + gds_6}\right)^2 \quad (4.33)$$

在式 (4.33) 中，由於是以半電路觀點去分析雜訊，所以最後必須將半電路的結果加倍。接著將輸出總雜訊除以運算放大器的增益即可得到輸入雜訊 $\overline{V_{in}^2}$ 為

$$\begin{aligned} \overline{V_{in}^2} &= \overline{V_{out}^2} \cdot \left(\frac{(gds_1 + gds_3) \cdot (gds_5 + gds_6)}{gm_1 \cdot gm_5} \right)^2 \\ &= 20kT \left(\frac{1}{gm_1} + \frac{gm_3}{gm_1^2} \right) + 20kT \left[\frac{gm_6 \cdot (gds_1 + gds_3)^2}{gm_1^2 \cdot gm_5^2} \right] \\ &\quad + 20kT \left[\frac{(gds_1 + gds_3)^2}{gm_1^2 \cdot gm_5} \right] \end{aligned} \quad (4.34)$$

而由於 $\frac{gds_1 + gds_3}{gm_1} \ll 1$ ，所以將其簡化為

$$\overline{V_{in}^2} = 20kT \left(\frac{1}{gm_1} + \frac{gm_3}{gm_1^2} \right) \quad (4.35)$$

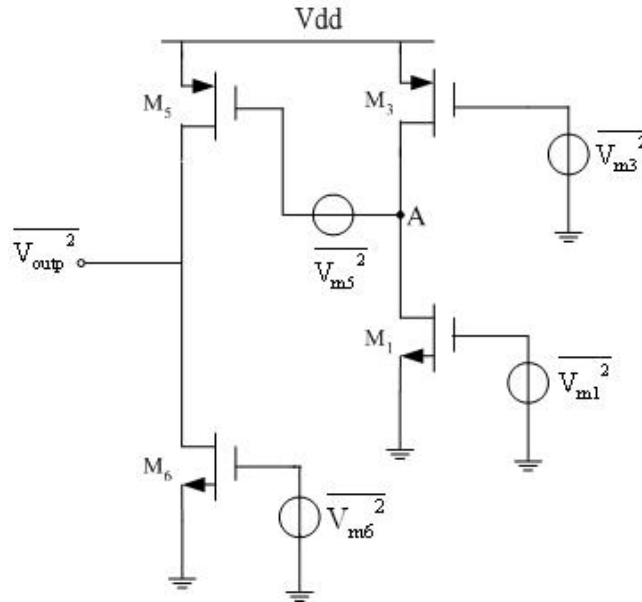


圖 4.24 兩級式運算放大器之雜訊等校電路

在式 (4.35) 中， gm_1 將大於 gm_3 2 至 4 倍左右，因為 gm_1 為提供運算放大器增益的主要函數之一，愈大則增益愈高，而 M_3 主要提供高輸出電阻以提高第一級的增益使用，其互導值 (transconductor) 要較小些，所以在考慮運算放大器的輸入雜訊時可以只考慮第一項的關係式而已，好讓設計者可以直觀找到相關的參數；此外所考量的雜訊結果是經過數位濾波器降頻至基頻的結果，依照式 (4.23) ~ 式 (4.26) 的推導，需考量到 OSR 的效應，我們將式 (4.35) 套入式

(4.26) 之結果，最後運算放大器的輸入雜訊功率 P_{OP} 可寫成

$$P_{OP} = \frac{20kT}{gm_1 \cdot OSR} \quad (4.36)$$

由運算放大器的輸入雜訊看來 gm_1 將決定此雜訊是否會影響到整體的 SNR，但與開關的熱雜訊相比就顯得小許多，因為比較式 (4.30) 與式 (4.36) 的分母， gm 的大小約 10^{-3} 數量級，而電容 C 的大小約 10^{-12} 數量級，所以開關的熱雜訊所呈現的影響將比運算放大器的輸入雜訊來的大；此外，我們由以上的分析可知在運算放大器的輸入雜訊中， gm_1 是最主要的影響，但當討論其他的運算放大器架構之後，是否也會由 gm_1 來決定輸入雜訊；答案是肯定的。因為在分析的過程中 gm_1 的影響是最接近輸入端的雜訊，所以當運算放大器的架構不同時，其實最需要考量的是差動輸入端的雜訊，如此我們如果將各個運算放大器架構中的輸入雜訊簡化表示如式 (4.36) 時，其實也不為過。

接下來我們將分析 D/A 轉換器的參考電壓所產生的誤差，如圖 4.25 所示，其中 R 代表發生在 D/A 轉換器中參考電壓的雜訊，而參考電壓之雜訊將與輸出訊號共同回授至第一級積分器與第二級積分器的輸入端。

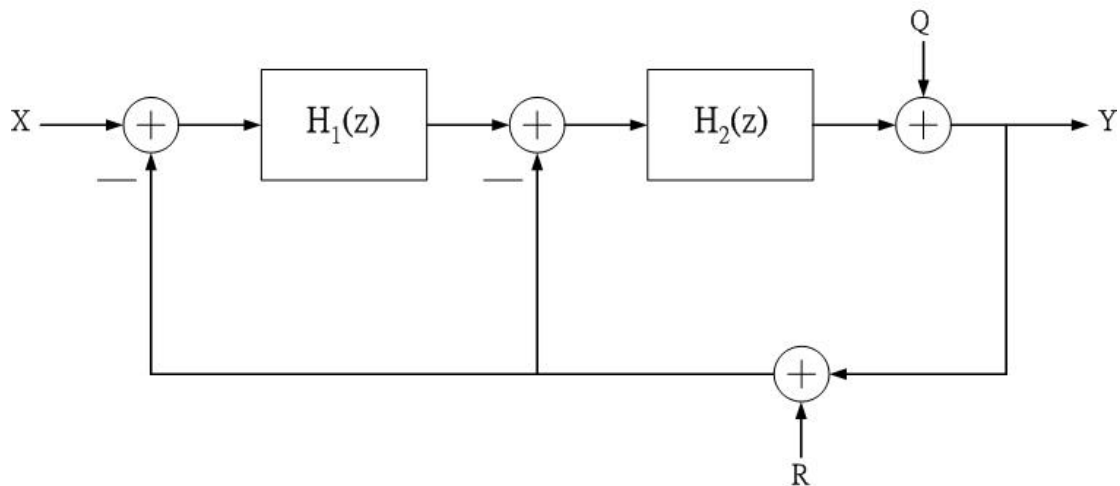


圖 4.25 離散函數方塊圖中 D/A 轉換器的參考電壓雜訊表示方式

D/A 轉換器的參考電壓雜訊如果由第二級積分器進入，則由圖 4.19 的分析中得知對系統的影響較小，所以我們必須考量它從第一級積分器輸入的影響；我

們可由一個簡單的參考電壓產生器來分析它所產生的雜訊，如圖 4.26 所示。

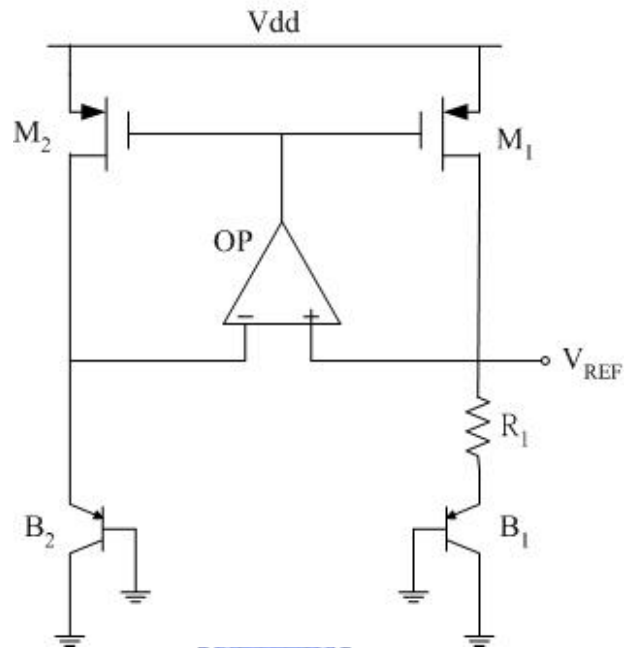


圖 4.26 參考電壓轉換器電路

圖 4.27 為雜訊分析的等效電路，我們考量電路中三個雜訊來源，分別為 MOSFET 的雜訊 $\overline{I_{m1}^2}$ 、 $\overline{I_{m2}^2}$ 與運算放大器的輸入雜訊 $\overline{V_{op}^2}$ ，其中 MOSFET 的雜訊電流以 $\overline{I_{mi}^2} = 10kT \cdot gm_i$ 表示。

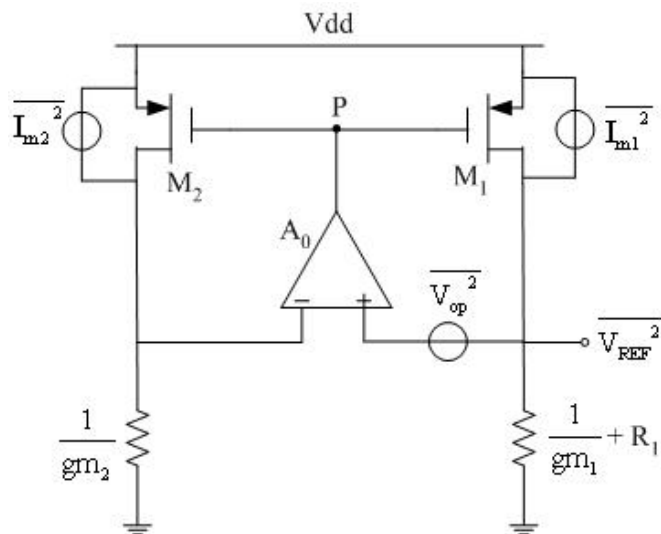


圖 4.27 參考電壓轉換器之雜訊等效電路

首先分析 $\overline{I_{m1}^2}$ 在參考電壓輸出端 $\overline{V_{REF}^2}$ 所產生的影響，由於我們將雜訊源以電流來表示，所以只要知道輸出端的總阻抗即可求出 $\overline{I_{m1}^2}$ 對輸出雜訊的影響；輸出阻抗 Z_{out} 可寫成

$$Z_{out} = \left(\frac{1}{gm_1} + R_1 \right) \parallel \frac{1}{gds_{p1}} \quad (4.37)$$

gds_p 為 PMOS 的汲-源極之輸出轉導 (transconductance)， gm_p 為 PMOS 的轉導；

由式 (4.37) 可將 $\overline{I_{m1}^2}$ 對輸出端產生的影響 $\overline{V_{out1}^2}$ 寫成

$$\begin{aligned} \overline{V_{out1}^2} &= 10kT \cdot gm_{p1} \cdot \left[\left(\frac{1}{gm_1} + R_1 \right) \parallel \frac{1}{gds_{p1}} \right]^2 \\ &= 10kT \cdot gm_{p1} \cdot \left[\frac{\frac{1}{gm_1} + R_1}{1 + \left(\frac{1}{gm_1} + R_1 \right) \cdot gds_{p1}} \right]^2 \end{aligned} \quad (4.38)$$

令 $gm_1 = gm_2 = gm_N$ 、 $gds_{p1} = gds_{p2} = gds_p$ 、 $gm_{p1} = gm_{p2} = gm_p$ ，則可寫成

$$\overline{V_{out1}^2} = 10kT \cdot gm_p \cdot \left[\frac{\frac{1}{gm_N} + R_1}{1 + \left(\frac{1}{gm_N} + R_1 \right) \cdot gds_p} \right]^2 \quad (4.39)$$

同樣地，依照 $\overline{V_{out1}^2}$ 的推導，可將 $\overline{I_{m2}^2}$ 對輸出端所產生的影響 $\overline{V_{out2}^2}$ 寫成

$$\begin{aligned} \overline{V_{out2}^2} &= 10kT \cdot gm_{p2} \cdot \left[\left(\frac{1}{gm_2} \right) \parallel \frac{1}{gds_{p2}} \right]^2 \\ &= 10kT \cdot gm_p \cdot \left(\frac{1}{gm_N + gds_p} \right)^2 \end{aligned} \quad (4.40)$$

而考慮運算放大器之相關雜訊 $\overline{V_{op}^2}$ 的影響時，先計算出圖 4.27 中 M_1 和 M_2 之小訊號汲極電流為

$$\overline{I_D^2} = \frac{\overline{V_{op}^2}}{R_1 + \frac{1}{gm_N}} \quad (4.41)$$

故可得 P 點的電壓雜訊為

$$\overline{V_P^2} = -\frac{\overline{V_{op}^2}}{R_1 + \frac{1}{gm_N}} \cdot \frac{1}{gm_p} \quad (4.42)$$

由於運算放大器的輸入反相與非反相端之電壓會相同，所以可寫成

$$\begin{aligned} \frac{\overline{V_{op}^2}}{R_1 + \frac{1}{gm_N}} \cdot \frac{1}{gm_p} - \frac{\overline{V_{op}^2}}{gm_p \cdot A_0 \cdot (R_1 + \frac{1}{gm_N})} &= \overline{V_{op}^2} + \overline{V_{out3}^2} \\ \Rightarrow \overline{V_{out3}^2} \cdot \left[\frac{1}{R_1 + \frac{1}{gm_N}} \left(\frac{1}{gm_N} - \frac{1}{gm_p \cdot A_0} \right) - 1 \right] &= \overline{V_{op}^2} \end{aligned} \quad (4.43)$$

一般來說 $gm_p A_0 \gg gm_N \gg R_1^{-1}$ ，所以最後可得 $\overline{V_{op}^2}$ 對輸出端的影響 $\overline{V_{out3}^2}$ 為

$$\overline{V_{out3}^2} \cong \overline{V_{op}^2} \quad (4.44)$$

所以由式 (4.38)、式 (4.39) 與式 (4.43) 的結果，可得參考電壓電路輸出端的

總雜訊 $\overline{V_{REF}^2}$ 為

$$\begin{aligned} \overline{V_{REF}^2} &= \overline{V_{out1}^2} + \overline{V_{out2}^2} + \overline{V_{out3}^2} \\ &= 10kT \cdot gm_p \cdot \left[\frac{\frac{1}{gm_N} + R_1}{1 + (\frac{1}{gm_N} + R_1) \cdot gds_p} \right]^2 + 10kT \cdot gm_p \cdot \left(\frac{1}{gm_N + gds_p} \right)^2 \\ &\quad + \overline{V_{op}^2} \end{aligned} \quad (4.44)$$

在式 (4.44) 中，由於 $\overline{V_{out1}^2}$ 是由雜訊電流乘以小於一之增益的結果，將比 $\overline{V_{out2}^2}$ 的值來的小，而且運算放大器的輸入雜訊 $\overline{V_{op}^2}$ 與 $\overline{V_{out2}^2}$ 相比也小的許多，因為 $\overline{V_{out2}^2}$ 的結果是將雜訊電流乘以電路增益的結果；故由以上的考量，我們可將式 (4.44) 簡化成只考慮 $\overline{V_{out2}^2}$ 得結果，所以將其修正為

$$\overline{V_{REF}^2} = 10kT \cdot gm_p \cdot \left(\frac{1}{gm_N + gds_p} \right)^2 \quad (4.45)$$

式 (4.45) 代表參考電壓電路所產生的雜訊，圖 4.28 為參考電壓雜訊建立在積分三角調變器的模型，可發現參考電壓雜訊將經過每一個支路的 R-C 低通電路，如圖 4.29 所示，故可得參考電壓雜訊經 R-C 電路後的輸出雜訊功率為

$$\begin{aligned} H(s) &= \frac{1}{1 + sR_{on} C_i} \\ S_{out}(f) &= S_{REF}(f) |H(j2\pi f)|^2 \\ &= \overline{V_{REF}^2} \frac{1}{1 + 4\pi^2 R_{on}^2 C_i^2 f^2} \\ P_{out} &= \int_0^{\infty} \frac{\overline{V_{REF}^2}}{4\pi^2 R_{on}^2 C_i^2 f^2} df \\ &= \frac{\overline{V_{REF}^2}}{\pi^2 R_{on} C_i} \end{aligned} \quad (4.46)$$

所以為了等效成圖 4.17 中第一級積分器之輸入雜訊，我們必須計算出圖 4.28 中 A 點所得到的總雜訊功率，如此才可加入至式 (3.22) 中，我們在考量有 2^B 個 D/A 轉換器電容及差動電路的設計後，將 A 點的功率寫成

$$P_A = \sum_{i=1}^{2^{B+1}} \frac{\overline{V_{REF}^2}}{\pi^2 R_{on} C_i} \quad (4.47)$$

式 (4.47) 的結果將可建立在圖 4.17 之 D1 處。如此雜訊將經過超取樣平均分布在頻譜上，而經過數位濾波器降頻至基頻內的參考電壓雜訊功率 P_{REF} 可表示為

$$P_{REF} = \sum_{i=1}^{2^{B+1}} \frac{\overline{V_{REF}^2}}{\pi^2 R_{on} C_i} \cdot \frac{1}{OSR} \quad (4.48)$$

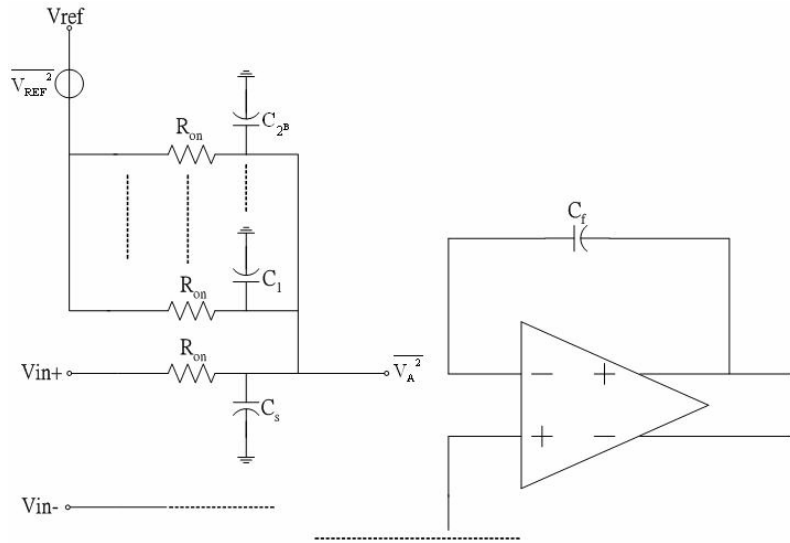


圖 4.28 積分三角調變器包含參考電壓雜訊之模型

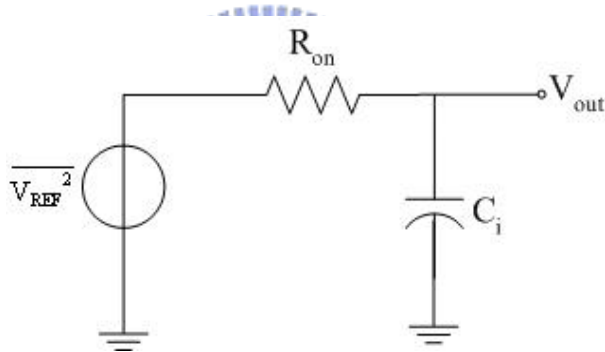


圖 4.29 參考電壓雜訊經 R-C 低通函數之電路

我們將式 (4.48) 與開關的熱雜訊相比，雖然 gm 的大小約為 10^{-3} 數量級、gds 約為 10^{-6} 數量級，不過儘管如此，由參考電壓產生的雜訊依舊會小於開關的熱雜訊。此外，我們回顧參考電壓雜訊的計算過程，它與運算放大器輸入雜訊的分析最大不同處在於參考電壓所考量的是一個電路的輸出雜訊，因為它是由輸出端提供參考電壓至 D/A 轉換器，必須要將雜訊電流乘以電路增益，而運算放大器是將輸出的雜訊除以增益，所以參考電壓雜訊的影響應該是會大於運算放大器的輸入雜訊；雖然我們無法找到一個通式來表示各種架構的參考電壓雜訊，但只要觀察到那個電晶體的雜訊與電路增益有較大的關係，則可簡化其他的運算，直接找出最重要的參數。

4.4 信號雜訊比公式之改良

我們分析了開關有限電阻、運算放大器輸入雜訊與 D/A 轉換器參考電壓雜訊在二階多位元量化積分三角調變的影響，這些雜訊可以一起被建立在積分三角調變器的電路之中，如圖 4.30 所示。

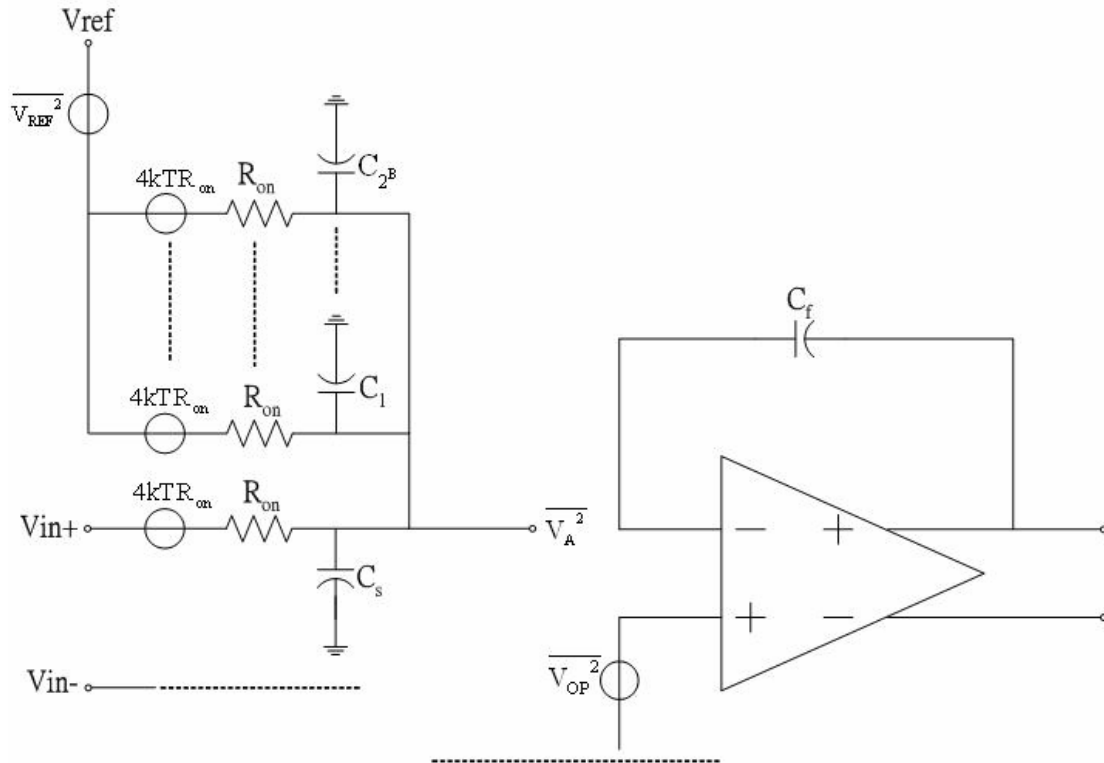


圖 4.30 將雜訊建立在積分器的電路中

在 A 點得到的雜訊功率可以寫成

$$\overline{V_{SW,A}^2} = \frac{2kT}{C_s} + \sum_{i=1}^{2^{B+1}} \frac{kT}{C_i} \quad (4.49)$$

$$\overline{V_{OP,A}^2} = \frac{20kT}{gm_1} \quad (4.50)$$

$$\overline{V_{REF,A}^2} = \sum_{i=1}^{2^{B+1}} \frac{\overline{V_{REF}^2}}{\pi^2 R_{on} C_i} \quad (4.51)$$

由於式 (4.49) ~ 式 (4.51) 在取樣動作結束時，將進入積分器做積分，因此可以被表示在圖 4.17 的 D_1 處，而 D_1 所包含的功率可以寫成

$$\begin{aligned}\overline{V_{D1}^2} &= \overline{V_{SW,A}^2} + \overline{V_{OP,A}^2} + \overline{V_{REF,A}^2} \\ &= \frac{2kT}{C_s} + \sum_{i=1}^{2^{B+1}} \frac{kT}{C_i} + \frac{20kT}{gm_1} + \sum_{i=1}^{2^{B+1}} \frac{\overline{V_{REF}^2}}{\pi^2 R_{on} C_i}\end{aligned}\quad (4.52)$$

當 $\overline{V_{D1}^2}$ 經過數位濾波器降頻至 $\pm f_B$ 之後， $\overline{V_{SW,A}^2}$ 、 $\overline{V_{OP,A}^2}$ 以及 $\overline{V_{REF,A}^2}$ 都將只包含基頻內的雜訊而已，其結果就如之前分析的式 (4.30)、式 (4.36) 及式 (4.48) 一樣，所以整個積分三角調變器的總雜訊功率 P_N 可寫成

$$\begin{aligned}P_N &= P_Q + P_{SW} + P_{OP} + P_{REF} \\ &= \frac{FS^2 \cdot \pi^4}{2^{2B} \cdot 60 \cdot OSR^5} + \frac{kT}{OSR} \left(\frac{2}{C_s} + \sum_{i=1}^{2^{B+1}} \frac{1}{C_i} \right) + \frac{20kT}{gm_1 \cdot OSR} \\ &\quad + 10kT \left(\frac{1}{gm_N + gds_p} \right)^2 \sum_{i=1}^{2^{B+1}} \frac{1}{\pi^2 R_{on} C_i} \cdot \frac{1}{OSR}\end{aligned}\quad (4.53)$$

將式 (4.53) 帶入至式 (4.20) 中，可以得到更精確的信號雜訊比估測。在我們要建立的二階多位元量化模型中，信號雜訊比的估測是最重要的，因為他將決定整個系統的重要參數，如 OSR、量化位元數、取樣電容值... 等等，同時在模型中的第一步動作也就是做信號雜訊比的估測，考量到此模型是為了讓設計者能夠快速得到重要參數的資訊，所以在規劃系統之初若是以理想的信號雜訊比公式計算，可以很快的決定 OSR 與量化位元數的值，但會產生較大的誤差；若是以式 (4.53) 代入訊號雜訊比的公式來估測的話，是可以更精確的計算信號雜訊比，但公式中要決定的參數太過繁雜，有可能增加設計者在規劃之初的麻煩，如此將使得模型的效果大打折扣。由於以上的考量我們將式 (4.53) 簡化成

$$P_N = \frac{FS^2 \cdot \pi^4}{2^{2B} \cdot 60 \cdot OSR^5} + \frac{kT}{OSR} \left(\frac{2}{C_s} + \sum_{i=1}^{2^{B+1}} \frac{1}{C_i} \right)\quad (4.54)$$

因為參考電壓的雜訊與運算放大器的雜訊所得到的結果是會小於開關熱雜訊的影響，而且由 P_{SW} 與 P_Q 中可以決定出系統最重要的參數 OSR 與量化位元數 B ，同時也必須多考量到電容值的大小，式 (4.54) 可以讓設計者在做系統的規劃時

得到較精確的信號雜訊比估測，很快可以得到重要參數的資訊；不過在實際的設計中，設計者可能會增加較多的量化位元數而想使用驅動能力較大的運算放大器，以提高電容值來降低開關熱雜訊的影響，而在之前的分析曾提過運算放大器輸入雜訊以及參考電壓的影響，當用較大的驅動能力也會有較大的 g_m 值，所以在使用式 (4.54) 規劃完整個系統後仍需要使用式 (4.53) 來做驗算，加入運算放大器輸入雜訊及參考電壓的雜訊的考量以求精確。

我們將信號雜訊比的理想公式與我們所建立的公式相比較，會發現到在原式中系統的輸入範圍 (full scale) 與信號雜訊比並沒有關係，而在我們建立的式子中輸入範圍與訊號雜訊比的關係卻無法消去，也就是說當輸入範圍愈大訊號雜訊比將會相對的提高，而以現在的製程技術演進來看，在元件逐漸縮小的情形下，電源電壓也跟著降低，對於設計者來說想要增加電路的輸入範圍將會是愈來愈困難，所以在類比電路的設計中需要藉由更多的電路技巧來做這方面的改善。



4.5 公式之驗證

在一些發表的論文中，做二階多位元量化積分三角調變器的信號雜訊比估測時，皆使用理想的公式來做計算，而為了證明我們提出的式 (4.53) 可以有效的增進估測信號雜訊比的精確度，故我們將以這些論文來驗證公式的準確性，而由論文中找出相關參數帶入我們的公式中，若有未知的重要參數，則以合理的數值帶入去計算其結果。

1. 以 ref [10] 為例，我們可由論文的內容得到以下的參數：

- (1) 量化位元數 B 為 3 位元
- (2) 超取樣頻率比 OSR 為 96
- (3) 電路的輸入全刻度範圍 FS 為 1.8V
- (4) 由運算放大器的單位增益頻寬 (Unit-gain frequency) 與驅動能力可知運算放大器的 g_{m1} 為 1.92mA/V

(5) 由運算放大器的驅動能力為 4.8Pf，可知積分三角調變器的第一級取樣電容 C_s 為 3.6pF，D/A 轉換器的電容為 1.05pF。

(6) 未經降頻至基頻內的參考電壓雜訊為 -162dB ，即為 $6.3 \times 10^{-17} \text{Vrms}^2$ 。

由以上的參數，我們可以計算出信號雜訊比為

$$P_S = \frac{FS^2}{8} = \frac{1.8^2}{8} = 0.405 \quad (\text{Vrms}^2)$$

$$\begin{aligned} P_N &= \frac{FS^2 \cdot \pi^4}{2^{2B} \cdot 60 \cdot \text{OSR}^5} + \frac{2 \cdot kT}{C_s \cdot \text{OSR}} + \sum_{i=1}^{2^{B+1}} \frac{kT}{C_i \cdot \text{OSR}} + \frac{20kT}{\text{gm} \cdot \text{OSR}} + \frac{6.3 \times 10^{-17}}{\text{OSR}} \\ &= \frac{1.8^2 \cdot \pi^4}{2^{2 \cdot 3} \cdot 60 \cdot 96^5} + \frac{2 \cdot kT}{3.6 \cdot 10^{-12} \cdot 96} + \frac{kT}{1.05 \cdot 10^{-12} \cdot 96} \times 14 + \frac{20kT}{1.92 \cdot 10^{-3} \cdot 96} \\ &\quad + \frac{6.3 \times 10^{-17}}{96} \\ &= 6.08 \times 10^{-10} \quad (\text{Vrms}^2) \end{aligned}$$

$$\text{SNR} = 10 \times \log \left(\frac{P_S}{P_N} \right) = 88.2 \text{ dB}$$

在 ref [10] 中，以理想的訊號雜訊比估測的結果為 106dB，而電路完成後所測量的信號雜訊比為 82dB，我們改良過後的信號雜訊比公式所顯現出的結果與理想的估測結果相比，更加接近電路完成後的實際結果。

2. 以 ref [11] 為例，我們可由論文的內容得到以下參數：

- (1) 量化位元數 B 為 6 位元
- (2) 超取樣頻率比 OSR 為 12(輸入頻寬為 1.92MHz，超取樣頻率為 46MHz)
- (3) 電路的輸入全刻度範圍 FS 為 2.4V
- (4) 由運算放大器的單位增益頻寬 (Unit-gain frequency) 與驅動能力可知運算放大器的 gm_1 為 1.05mA/V
- (5) 由運算放大器的驅動能力為 3Pf，可知積分三角調變器的第一級取樣電容 C_s 為 2.7pF，D/A 轉換器的電容為 1.14pF。
- (6) 未經降頻之參考電壓雜訊為 $4.6 \times 10^{-15} \text{Vrms}^2$

由以上的參數，我們可以計算出信號雜訊比為

$$P_s = \frac{FS^2}{8} = \frac{2.4^2}{8} = 0.72 \quad (\text{Vrms}^2)$$

$$P_n = \frac{FS^2 \cdot \pi^4}{2^{2B} \cdot 60 \cdot \text{OSR}^5} + \frac{2 \cdot kT}{C_s \cdot \text{OSR}} + \sum_{i=1}^{2^{B+1}} \frac{kT}{C_i \cdot \text{OSR}} + \frac{20kT}{\text{gm} \cdot \text{OSR}} + \frac{4.6 \times 10^{-15}}{\text{OSR}}$$

$$= \frac{2.4^2 \cdot \pi^4}{2^{2 \cdot 6} \cdot 60 \cdot 12^5} + \frac{2 \cdot kT}{2.7 \cdot 10^{-12} \cdot 12} + \frac{128 \cdot kT}{1.14 \cdot 10^{-12} \cdot 12} + \frac{20kT}{1.05 \cdot 10^{-3} \cdot 12}$$

$$+ \frac{4.6 \times 10^{-15}}{12}$$

$$= 4.8175 \times 10^{-8} \quad (\text{Vrms}^2)$$

$$\text{SNR} = 10 \times \log \left(\frac{P_s}{P_n} \right) = 71.7 \text{ dB}$$

在 ref [11]中，以理想的信號雜訊比估測的結果為 106dB，而電路完成後所測量的訊號雜訊比為 72dB。以上兩個驗證中，均成功使得信號雜訊比的估測更接近電路完成後測量的數值，這將讓設計者可以更快速且直觀的去完成電路之設計；我們將驗證結果製成如表 4.1 所示，並比較理想公式 $\text{SNR}_{\text{IDEAL}}$ 與我們改良的公式 $\text{SNR}_{\text{MODIFIED}}$ 以及實際地結果 $\text{SNR}_{\text{ACTUAL}}$ 之間的差異。

	Ref [3]	Ref [5]
SNR_{IDEAL}	104.8 dB	78.9 dB
SNR_{MODIFIED}	88.2 dB	71.7 dB
SNR_{ACTUAL}	82 dB	70 dB
P_{SIGNAL}	0.405	0.72
P_{NOISE}	6.08×10^{-10}	4.8175×10^{-8}
P_Q	1.008×10^{-11}	9.175×10^{-9}
P_{SW}	5.98×10^{-10}	3.9×10^{-8}
P_{OP}	3.255×10^{-19}	6.571×10^{-18}
P_{REF}	6.57×10^{-19}	3.83×10^{-16}

表 4.1 訊號雜訊比公式驗證結果

在表 4.1 中 Ref [3]的 P_{sw} 約為 P_Q 的 60 倍，遠大於 Ref [5]中 P_{sw} 大於 P_Q 的 4.25 倍，這是由於 Ref[3]的超取樣比較大，所以量化雜訊被移至高頻的效果比 Ref[5]更為顯著。



第五章 二階多位元量化積分三角調變器之模型

我們探討了二階多位元量化積分三角 A/D 轉換器的信號雜訊比估測問題，並試著去提高信號雜訊比在規劃之初所估算的準確度，廣泛地探討各個雜訊問題之間的相互關係，進而提出改良過後的公式，我們最後的目的就是希望能建立出一個模型 (model)，能讓設計者在設計之前先了解會遇到什麼問題，並且此問題會如何影響到 A/D 轉換器的效能，而我們也將深入了解問題的所在，以及試著找出最好的解決方法；最後希望此模型能提供一些重要的系統資訊給設計者做參考，在設計之初也能藉由較準確的信號雜訊比估算，快速引導設計者決定重要參數的規格（如量化位元數、OSR、取樣頻率...等等），減少重新設計的風險，並可由公式中找出相關的電路特性，這將有效幫助設計者直觀的了解數學式與電路參數之間相互的關係。



5.1 以電路實現二階多位元量化積分三角調變器的考量

在建立模型之前，我們必須先了解實現二階多位元量化積分三角調變器的電路架構為何，我們的目的雖然不是要設計電路，但希望從電路結構得知其中的元件是否可建立成一個固定的式子，來加以推測在不同的架構下依舊能找出正確的元件數，如此所建立的模型就具有相當大的彈性。

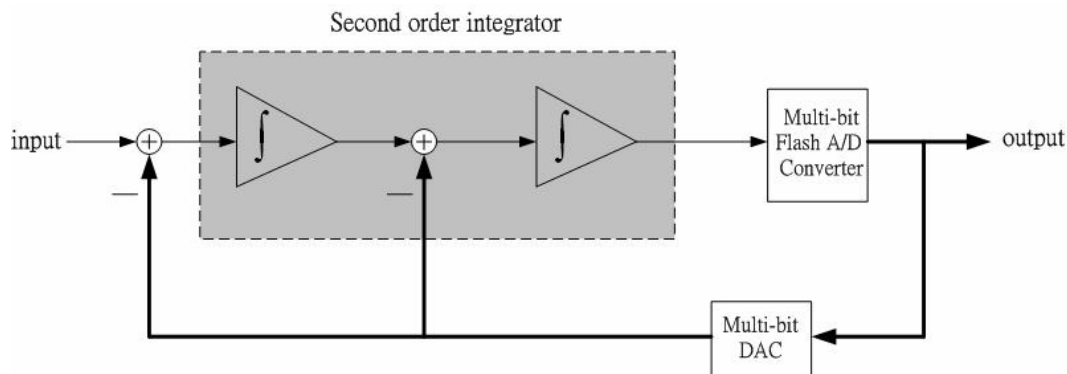


圖 5.1 二階多位元量化架構方塊圖

圖 5.1 為二階多位元量化架構的方塊圖，由圖中可知它由兩個積分器構成二階雜訊移頻的效果，量化器 (Quantizer) 的部分將由快閃式 (Flash) A/D 轉換器取代；此外在二階多位元量化架構的電路實現上，還有一些我們需要注意的電路設計考量：

- (1) 數位類比轉換器的線性度：在積分三角調變器的輸出端，我們必須加入一個多位元 D/A 轉換器回授至兩個積分器與輸入信號相減，這裡在多位元 D/A 轉換器的設計必須要相當注意它的線性度，也就是積分非線性誤差 (Integral non-linearity error, INL) 與微分非線性誤差 (differential non-linearity error, DNL) 兩個參數；理想的 D/A 轉換器，是將一個數位碼相對於輸入電壓要維持在 1 個 LSB ($LSB=FS/2^B$) 幅度內，可是實際上 D/A 轉換器對類比電壓轉換的相對幅度有大有小，此不等的轉換幅度變化量就稱為微分非線性誤差，如圖 5.2 所示；而所謂的積分非線性誤差即為理想的類比轉數位碼之轉換曲線與實際的類比轉數位碼之轉換曲線的最大偏差量，如圖 5.3 所示。

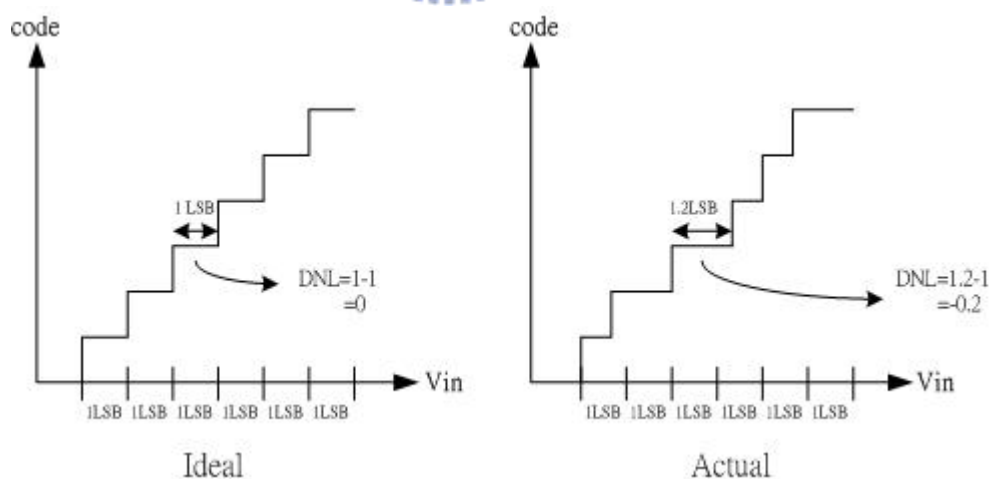


圖 5.2 微分非線性誤差

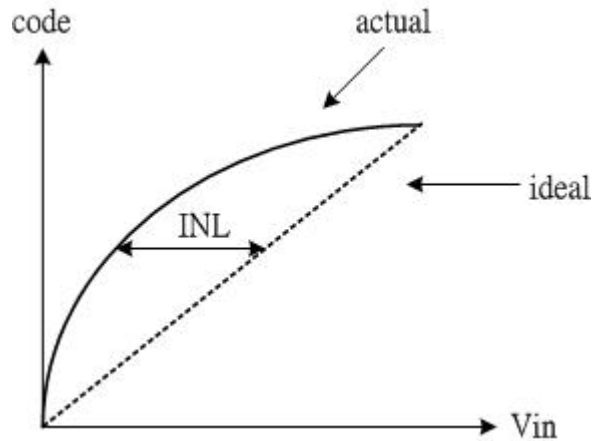


圖 5.3 積分非線性誤差

在多位元積分三角調變器中為了增加 D/A 轉換器的線性度，將使用 DEM (Dynamic Element Matching) 來改善，圖 5.4 為 3 位元 DEM 的示意圖，其中包含 8 個 D/A 轉換器用的電容。由於在實現 D/A 轉換器的電路中，我們是使用交換式電容的方法，電容元件的數值都相同，而電容的切換是由快閃式 A/D 轉換器得到的二進位碼 (Binary code) 轉溫度計碼 (Thermometer code) 後來控制，第三章曾經提到電容的不對稱誤差會影響 A/D 轉換器的訊號雜訊比，而在大量使用電容的情形下此問題更加嚴重，DEM 電路即針對電容不對稱誤差問題來做改善。

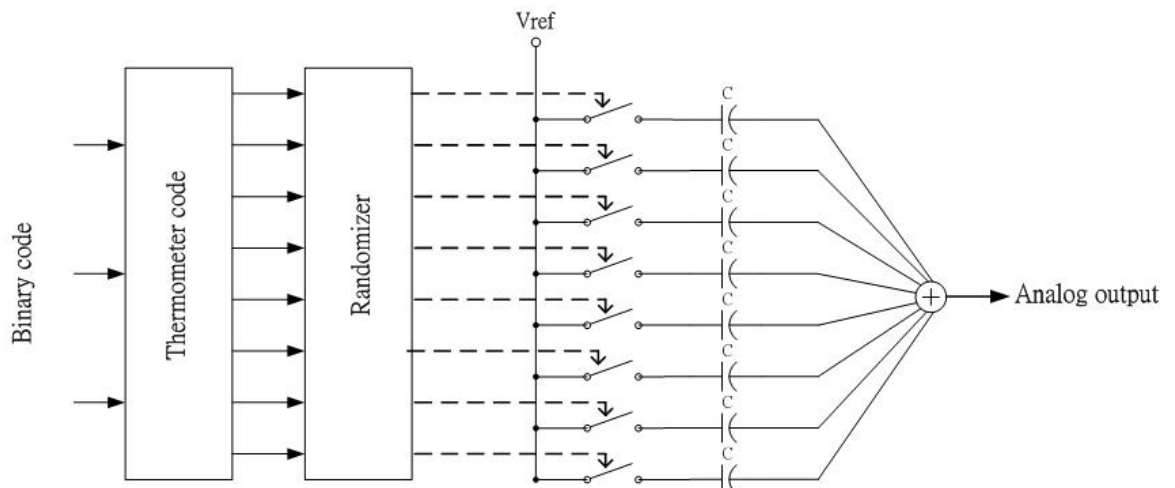


圖 5.4 DEM 3 位元 D/A 轉換器

DEM 與一般 D/A 轉換器的不同在於增加了隨機轉換器 (Randomizer)，傳統的 D/A 轉換器若沒有做隨機轉換的動作則溫度計碼

(Thermometer code) 將 0、1 訊號有順序性的將電容切換，此順序性的切換將會產生一個問題，如圖 5.5 (b)、5.5 (c) 的示意圖所示，假設每一個電容不對稱的情形以不等的區塊面積表示，則傳統的 D/A 轉換器對於不相稱的問題若無法改善，誤差會隨著順序性的選取愈來愈嚴重，因為每個電容不對稱的情形是固定的，若依序去切換電容，則不對稱誤差只會繼續累積增加。

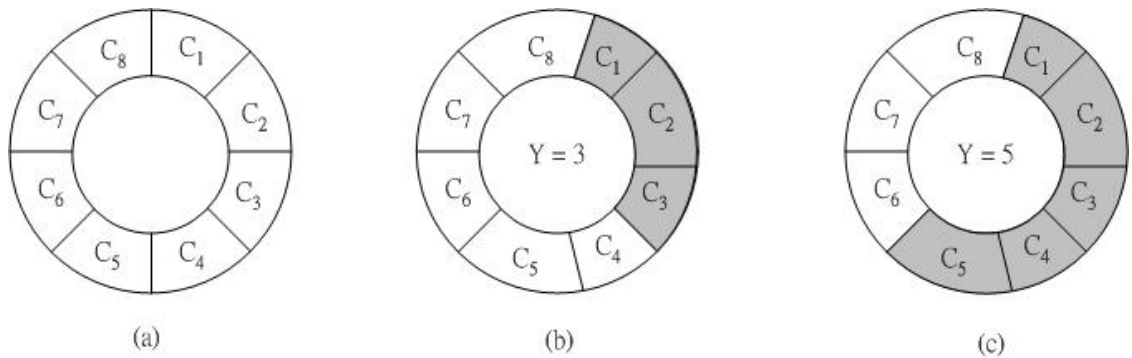


圖 5.5 (a)電容理想對稱的情況 (b)當選取 3 個不對稱的電容時 (c)當選取 5 個不對稱的電容時

若加入隨機轉換器，則由溫度計碼經過隨機處理後，所要控制選取的電容元件將不再固定，如圖 5.6 所示，雖然電容不相稱的情況依舊存在，但藉由隨機的選取切換電容，則有可能將此不對稱的情形減少，在經過多次的隨機切換後，依機率的角度來看隨機選取電容時，不相稱的情形確會有效降低 [27]。

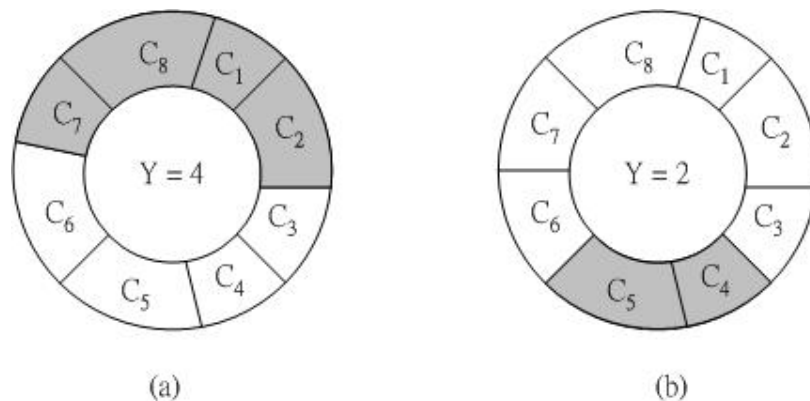


圖 5.6 (a)隨機選取 4 個不對稱的電容 (b)隨機選取 2 個不對稱的電容

因此 DEM 元件在多位元量化架構中是相當重要的，不過當量化器在 3 位元以下的應用中通常也不被使用，因為使用的 D/A 轉換器元件較少，可在電路的技巧上去加以改善，所以就算使用了 DEM 效果也不顯著 [28]。

- (2) 面積問題：我們將整個積分三角調變器分為三部分，分別為積分器、快閃式 A/D 轉換器與 D/A 轉換器，圖 5.7 為快閃式類比數位轉換器的架構，它的優點就是速度快，且不需複雜的運算，只要利用比較器與輸入信號相比較即可得知數位碼結果，但卻有個致命的缺點，就是它的比較器數目是以 2^B 指數成長，與量化位元數 B 有關，這也是快閃式 A/D 轉換器無法做高解析度而通常只拿來當作次類比數位轉換器 (Sub-ADC) 的原因。

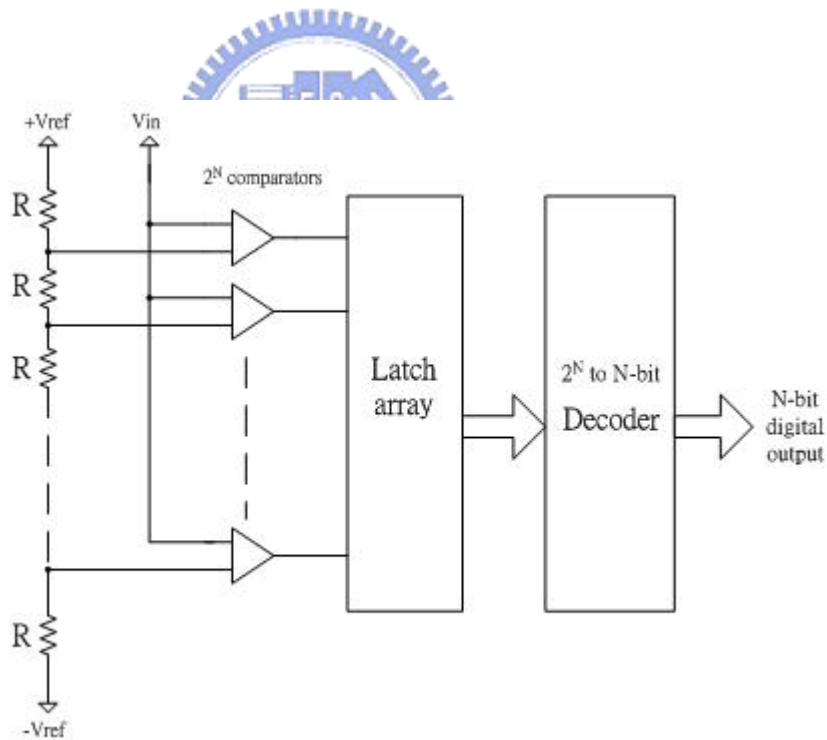
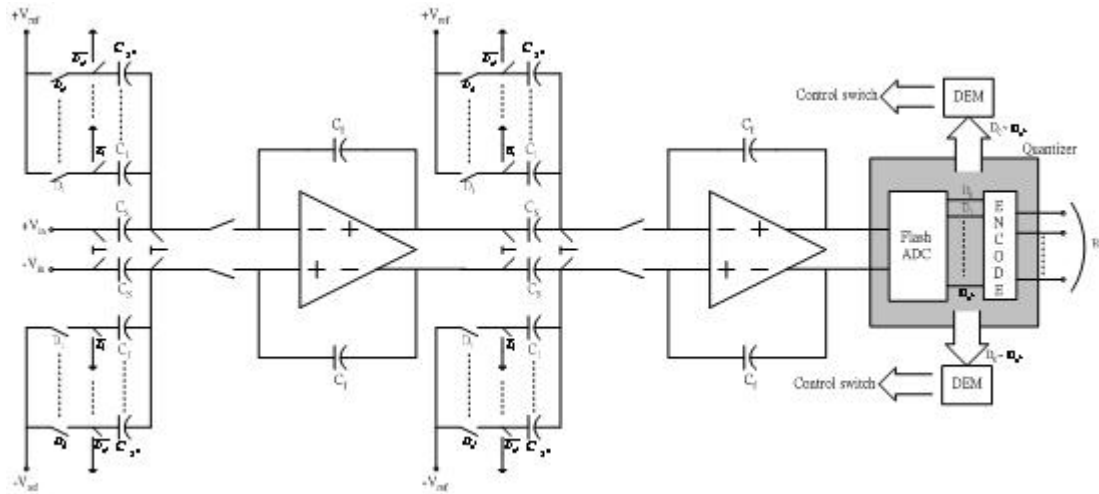


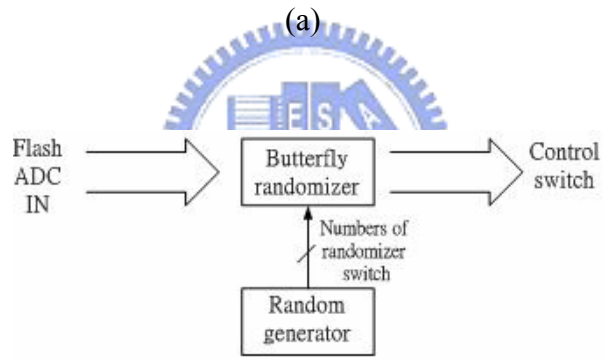
圖 5.7 快閃式 A/D 轉換器

因為這個缺點，在多位元量化積分三角調變器中使用的量化器一般來說以不超過 6 位元為主。

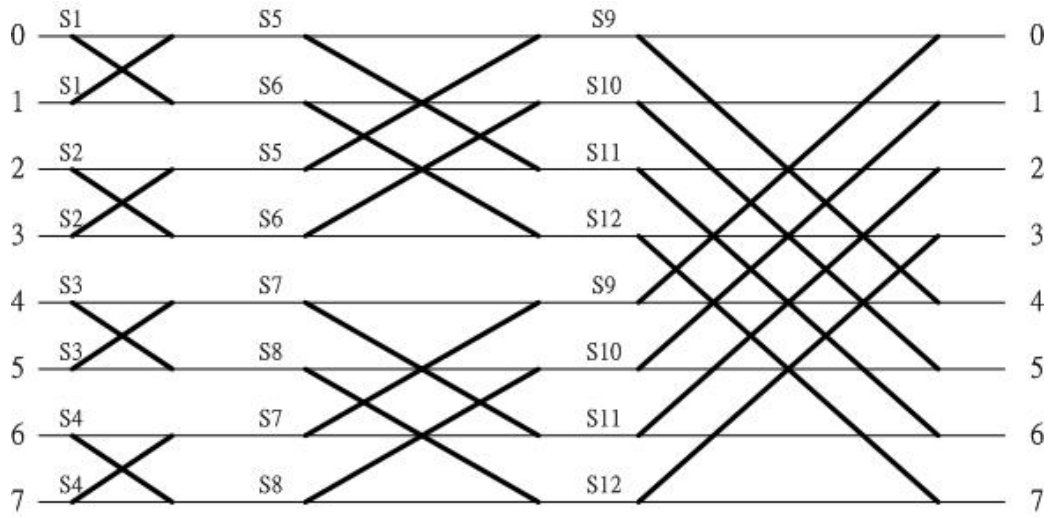
在考量一些額外的電路設計後，我們將完整的二階多位元量化積分三角調變的電路以圖 5.8 表示。



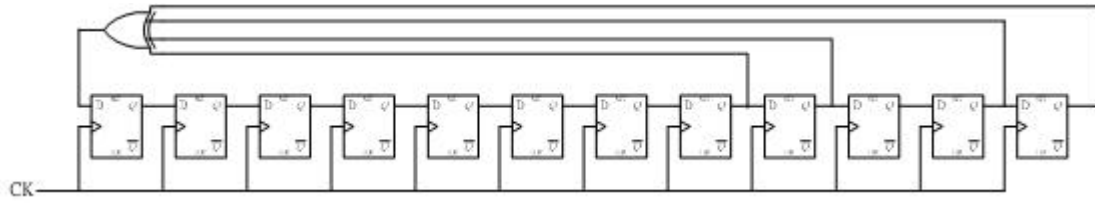
(a)



(b)



(c)



(d)

圖 5.8 (a)二階多位元積分三角調變器電路 (b)隨機轉換器之方塊圖 (c)3 位元的 Butterfly

隨機轉換器 (d)提供 12 個開關隨機切換訊號的隨機訊號產生器 LSFR (Linear Shift Feedback Register)

我們將由電路架構去發現是否可將元件數目寫成一個通式，應用在不同的規格需求之中。首先觀察系統的 D/A 轉換器電容數目，它將以 2^B 成長，而取樣電容的數目則固定在 4 個，因為只採用二階的積分三角調變器；在隨機轉換器 Butterfly 的架構中，使用到很多開關，此開關將隨著量化位元數 B 呈 $(2^B/2) \times 3$ 的數目成長；而隨機訊號產生器 LSFR 則考量到 D F/F 將提供 Butterfly 的開關隨機訊號，所以 D F/F 將隨著 Butterfly 的開關數目成長；這些電路的元件數預估是模型所提供的資訊之一，當設計者在規劃之初即可知道電路的元件數目，則對系統整體的面積也會有較直觀的估測。

此外我們也必須了解電路元件中對積分三角調變器的限制，除了在第三章所提到的雜訊問題外，以下我們就以各個問題來做討論：

- (1) 開關的 RC 充放電時間：在交換電容式的架構中，開關是由 MOSFET 的閘極電壓來控制導通與開路；當 MOSFET 工作在截止區 (Cut off) 時，將 MOSFET 視為一個開路的開關；而當 MOSFET 工作在线性區 (Linear region) 時，將 MOSFET 視為一個有寄生電阻 R_{on} 的開關，此寄生電阻由 MOSFET 的通道產生，如圖 5.9 所示；我們以取樣頻率為 50MHz 為例，當交換電容式電路在取樣區間時，輸入訊號相當於對一個 RC 電路去充電，此時輸出電壓會成指數成長，如圖 5.10 所示；這裡對積分三角 A/D 轉換器所產生的限制為取樣區間通常只佔整個時脈週

期 (Clock period) 的一半，也就是說取樣的時間只有 10ns，因此取樣電路的輸出電壓必須在 10ns 以內達到穩定，其中充電的時間常數 $\tau = R_{on} \times C_L$ ， R_{on} 可寫成

$$R_{on} = \frac{L}{W\mu_n C_{ox} (V_{GS} - V_t)} \quad (5.1)$$

因此我們為了加快充放電的速度，必須將 MOSFET 的寬長比加大，雖然這可以有效的增加速度但這會產生精確度的問題 (電荷置入效應、時脈饋入)，所以在速度與解析度之間如何取捨便限制了積分三角 A/D 轉換器的效能。

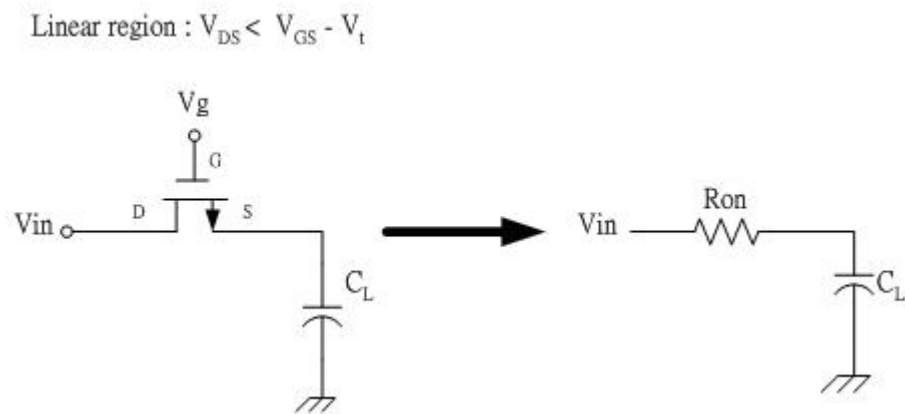


圖 5.9 MOSFET 通道有限電阻

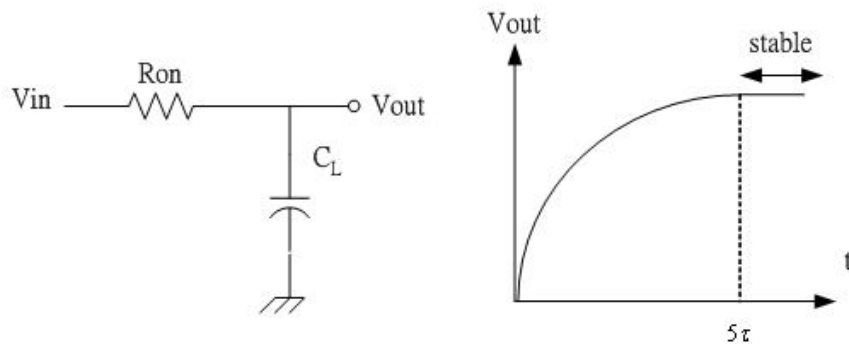


圖 5.10 輸出電壓之響應

(2) 運算放大器的限制：在切換式電容積分器中，運算放大器的設計也是不可大意的。我們首先觀察當取樣頻率為 50MHz 時運算放大器的工作，取樣時間（Sample time）與保持時間（Hold time）各為 10ns；當在取樣時，運算放大器並沒有被使用到，所以在取樣時間中運算放大器並不會限制電路的運作；在保持時間中，運算放大器的輸入與輸出之間由電容形成一回授路徑，如圖 5.11 所示。

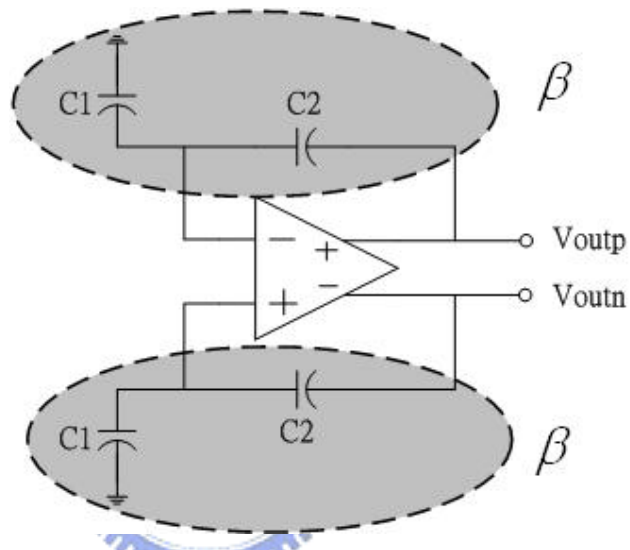


圖 5.11 運算放大器之回授增益

此時運算放大器必須在 10ns 的時間內輸出一個穩定值，也就是說穩定時間（Settling time）要達到 10ns 的要求；同時回授增益 β 也與穩定時間有關，當回授增益愈小時，運算放大器的單位增益頻寬 f_u （unit-gain bandwidth）要設計的愈大，如此也增加設計的困難度，而回授增益 β 、單位增益頻寬 f_u 與穩定時間的關係為 [29]：

$$\beta = \frac{C1}{C1 + C2} \quad (5.2)$$

$$\text{Settling time} = 7 \times \frac{1}{2\pi \cdot \beta \cdot f_u} \quad (5.3)$$

式 (5.3) 中我們是定義當輸出電壓達到最終值 $\pm 0.1\%$ 內所需要的時間為穩定時間。

在建立模型的過程中，我們必須考量以上所有的因素，如此模型所能提供的資訊可以更加的詳盡與確實。

5.2 通道電荷注入效應(Channel charge injection)與時脈饋入(Clock feedthrough)

在實現積分三角調變器的電路中 MOSFET 開關是個重要的元件，除了第三章中提到熱雜訊的問題外，在物理的分析上，於 5.1 節中曾經提到速度與解析度之間的考量，也是不可忽略的，而開關元件影響解析度的問題有兩個，分別為 MOSFET 的通道電荷注入效應與時脈饋入。

- (1) 通道電荷注入效應 (Channel charge injection)：交換式電容的開關在關閉 (On) 時將產生之前所提到的 RC 充放電效應，會有延遲 (Delay) 的現象；而在開路時，也會有一些非理想的效應出現，且此因素會影響到積分三角 A/D 轉換器的精確度。我們考慮一 MOSFET 在導通的情形，如圖 5.12 所示，會在氧化層與矽晶層之間產生一通道，通道內佈滿了電荷，以 N 通道為例，通道內即佈滿了電子。

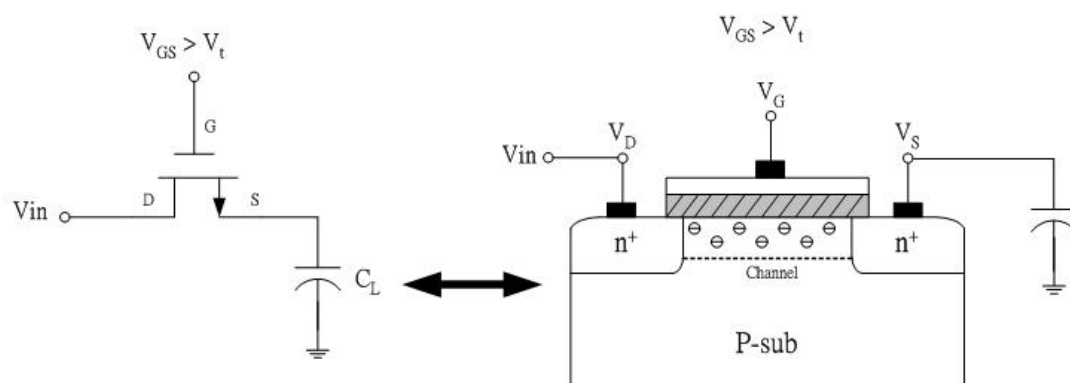


圖 5.12 開關關閉時 MOSFET 通道內電荷分布之情形

接著考慮 MOSFET 為開路時的情形，由於通道內儲存大量的電荷必須在 MOSFET 截止 (Off) 時移除，所以將會往輸入訊號端或負載電容的方向移動，如圖 5.13 所示；或許這些電荷會全部往輸入端的方向移動，

如此便不會對輸出的精確度產生影響，但這樣的假設是相當不合理的，所以必須認定會有通道電荷往負載電容移動，如此輸出電壓便會產生 ΔV 的電壓變化而影響輸出精確度，這對一個高解析度的積分三角 A/D 轉換器而言是不可忽略的效應。

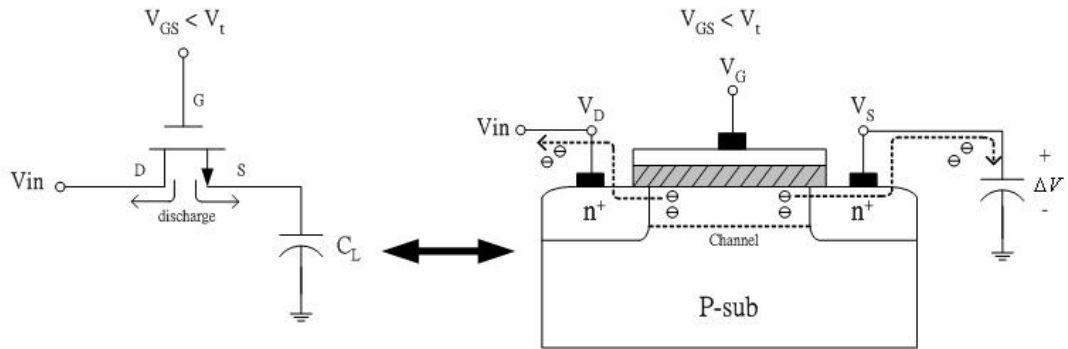


圖 5.13 開關截止時 MOSFET 通道內電荷分布之情形

在圖 5.13 中通道電荷可寫成

$$Q_{ch} = WLC_{ox}(V_G - V_{in} - V_t) \quad (5.4)$$

式 (5.4) 與 MOSFET 的寬長有直接的關係，若要將通道電荷注入效應降低，則 MOSFET 的寬度與長度要愈小愈好，但這又與 RC 充電速度的要求相抵觸，當然這之間需要找到一平衡值，來得到最好的效能。

- (2) 時脈饋入 (Clock feedthrough): 開關的非理想效應除了非零的開關電阻及電荷注入效應外，還需考慮一個重要的特性，就是時脈電壓的饋入；我們考慮圖 5.14 的情形，由於 MOSFET 在閘-源極接面與閘-汲極接面會產生重疊 (Overlap) 電容 C_{gs} 與 C_{gd} ，當 MOSFET 的閘極加上時脈電壓時，將會透過 C_{gs} 耦合至負載電容 C_L ，此效應在取樣輸入電壓至輸出時會產生誤差，我們假設 C_{gs} 為一常數 (實際上與 $V_{gs} - V_t$ 有關)，則誤差可表示為

$$\Delta V = V_{CK} \frac{C_{gs}}{C_{gs} + C_L} \quad (5.5)$$

其中 C_{gs} 的大小與閘極的面積成正比，若選擇大尺寸的 MOSFET，誤差會顯得愈嚴重；時脈饋入與電荷注入效應一樣，將導致速度與精確度之間的交互限制。

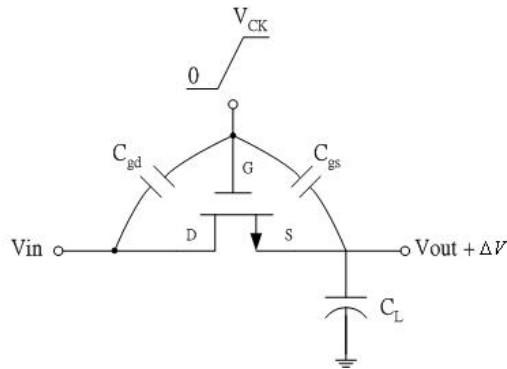


圖 5.14 時脈電壓饋入效應

我們討論這兩種誤差效應的目的是希望在建立模型的過程中加以分析其影響，使得模型所提供的資訊更加準確；另一方面觀察時脈饋入與開關熱雜訊之間的關係，在第三章中提到為了有效降低開關熱雜訊必需盡量提高取樣的電容值，而式 (4.5) 則反應出時脈饋入誤差除了由 MOSFET 開關改善外，也可由增加負載電容來減少誤差的發生，所以在整體的系統考量下，增加開關的負載電容將可得到不錯的效能，這一點也會在模型建立的考量之內。

5.3 模型之建立與設計步驟

我們要建立的設計模型將如圖 5.15 所示，設計者輸入需要的解析度 (Resolution) 與輸入頻寬 (Input bandwidth) 要求，透過模型將可以得知以下的資訊：

- (1) 功率：運算放大器之功率估測
- (2) 面積：開關之面積估測
- (3) 元件數目：含開關、電容、比較器、電阻與隨機轉換器之元件使用數目

- (4) 數位電路的 gate count：含快閃式 A/D 轉換器之解碼器 (Decode)、編碼器 (Encode) 與 LSFR 所使用之 gate count 估測



圖 5.15 模型示意圖

由之前的雜訊分析、誤差之產生、訊號雜訊比與電路設計考量等等分析的結果，將可以建立起二階多位元量化積分三角調變器的設計模型。依照圖 4.15 的示意圖，當設計者輸入所需的解析度與輸入頻寬之後，根據設計模型的步驟，依序決定各個參數，最後便可得到電路資訊。我們將模型的架構分為以下幾個步驟來進行：

1. 在需要足夠的解析度之下，使用理想的信號雜訊比公式（如式 (2.29)）去決定量化位元數 B 與超取樣比 OSR 的合理數值，在此我們只是做粗淺的估測。
2. 首先設計者必須決定運算放大器的驅動能力，由圖 4.16 所示，運算放大器的有效負載主要限制在積分期間的取樣電容 C_{s1} 與回授電容 C_f ，因為在取樣期間運算放大器所驅動的負載僅考慮到下一級的取樣電容 C_{s2} 而已，我們可以將積分期間所考量的負載寫成

$$\text{Load} = \frac{C_{s1} \times C_f}{C_{s1} + C_f} \quad (5.6)$$

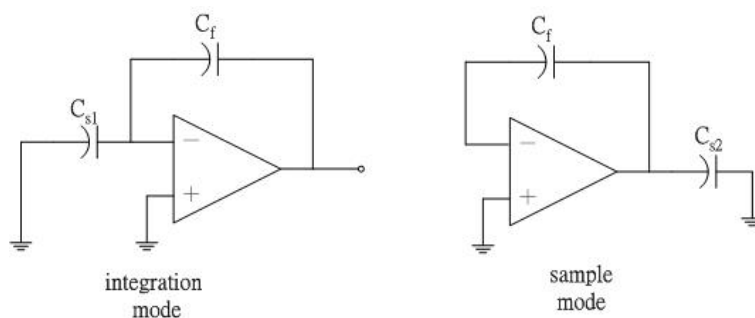


圖 5.16 運算放大器在積分期間與取樣期間所考量的負載

若再將運算放大器的寄生電容考量在內，如圖 5.17 所示，在取樣期間時，輸入電容 C_{in} 與回授電容 C_f 串聯，因此由回授端看到的負載將會很小且趨近於輸入電容，所以依舊不會限制整體運算放大器的驅動能力；另一方面，在積分期間所需的驅動能力將因考量到輸入電容而增加，可將積分期間的驅動負載寫成

$$\text{Load} = \frac{(C_{s1} + C_{in}) \times C_f}{(C_{s1} + C_{in}) + C_f} + C_{out} \quad (5.7)$$

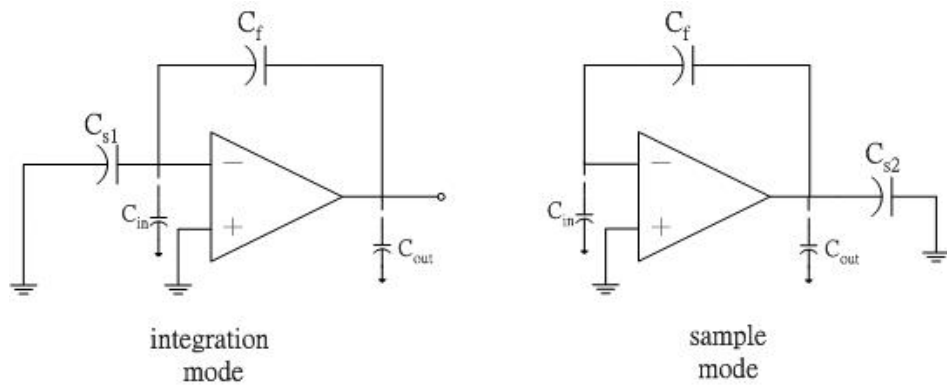


圖 5.17 寄生電容效應之負載考量

由式 (5.7) 便可決定取樣電容 C_s 與運算放大器回授電容 C_f ，此外也可決定 D/A 轉換器的各個電容值，如圖 5.18 所示，由於 D/A 轉換器之電容 C_{DAC} 在積分期間是並聯於取樣電容，而假設 D/A 轉換器的增益為一，則 C_{DAC} 會等於 C_f ，故當決定了 C_f 時， C_{DAC} 也已一併考量在內了，如此每一個 D/A 切換電容值也可得到。

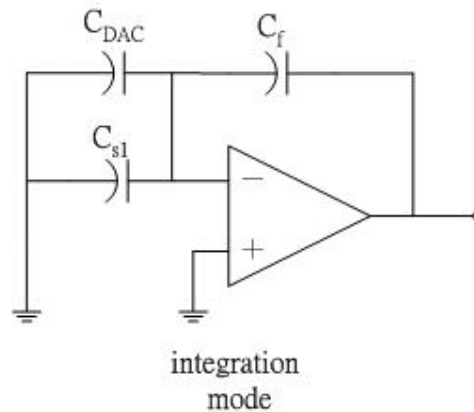


圖 5.18 考量 D/A 轉換器之切換電容

3. 知道運算放大器的驅動能力、量化位元數及超取樣比後，便可決定取樣電容與 D/A 轉換器電容的數值。
4. 將獲得的電容值代入改良過後的訊號雜訊比公式，其中雜訊總功率以式 (4.54) 取代，訊號功率為式 (4.21)，將可得到更精確的估算。
5. 接著必須由第 4 步驟所獲得的訊號雜訊比結果評估是否滿足解析度的需求，由於式 (4.54) 加入電容熱雜訊的考量，所以在第 1 步驟中所決定的量化位元數 B 與超取樣比 OSR 勢必需要做更正，若未達到要求則必須調整 OSR 與量化位元數兩個參數以得到足夠的訊號雜訊比，所以設計者必須在步驟 4 之中反覆測試以決定出合理的訊號雜訊比；而當訊號雜訊比不足時，建議設計者可以由增加 OSR 的方式來彌補，也就是提高取樣頻率，因為若由增加量化位元數做改善時，D/A 轉換器的切換電容數目會隨著量化位元數 B 呈 2^B 成長，如此開關熱雜訊將會急速地上升，影響訊號雜訊比的結果。
6. 決定訊號雜訊比之後，由已知的量化位元數 B 將可得到快閃式 A/D 轉換器的規格，如比較器數目、解碼器 (Decoder) 之 gate count、編碼器 (Encoder) 之 gate count、分壓電阻之數目等等的電路資訊。
7. 在設計流程中我們也必須加入 DEM 的考量，當量化位元數 B 超過 3 位元時，D/A 轉換器必須使用 DEM 來增加其線性度，而小於 3 位元量化時，則不需使用；DEM 會使得開關數目增加，並使用到 D 型正反器，使得積分三角調變器的面積增加。
8. 在第 4 步驟中決定 OSR 之後，使用式 (2.9) 可以得到電路的取樣頻率，當取樣頻率知道後，必須考量兩個因素，(1) 在 5.1 節中提到開關的充放電問題，必須在取樣期間使得開關有限電阻與充電電容的時間常數小於取樣時間的一半，所以設計時要將開關有限電阻降低；(2) 運算放大器的穩定時間也必須小於取樣時間的一半，所以必須盡量提高單一增益頻寬 (unit gain frequency)，且符合式 (5.3) 之計算。

由以上的步驟中，我們可以建立起二階多位元量化的設計流程如圖 5.19 所示。

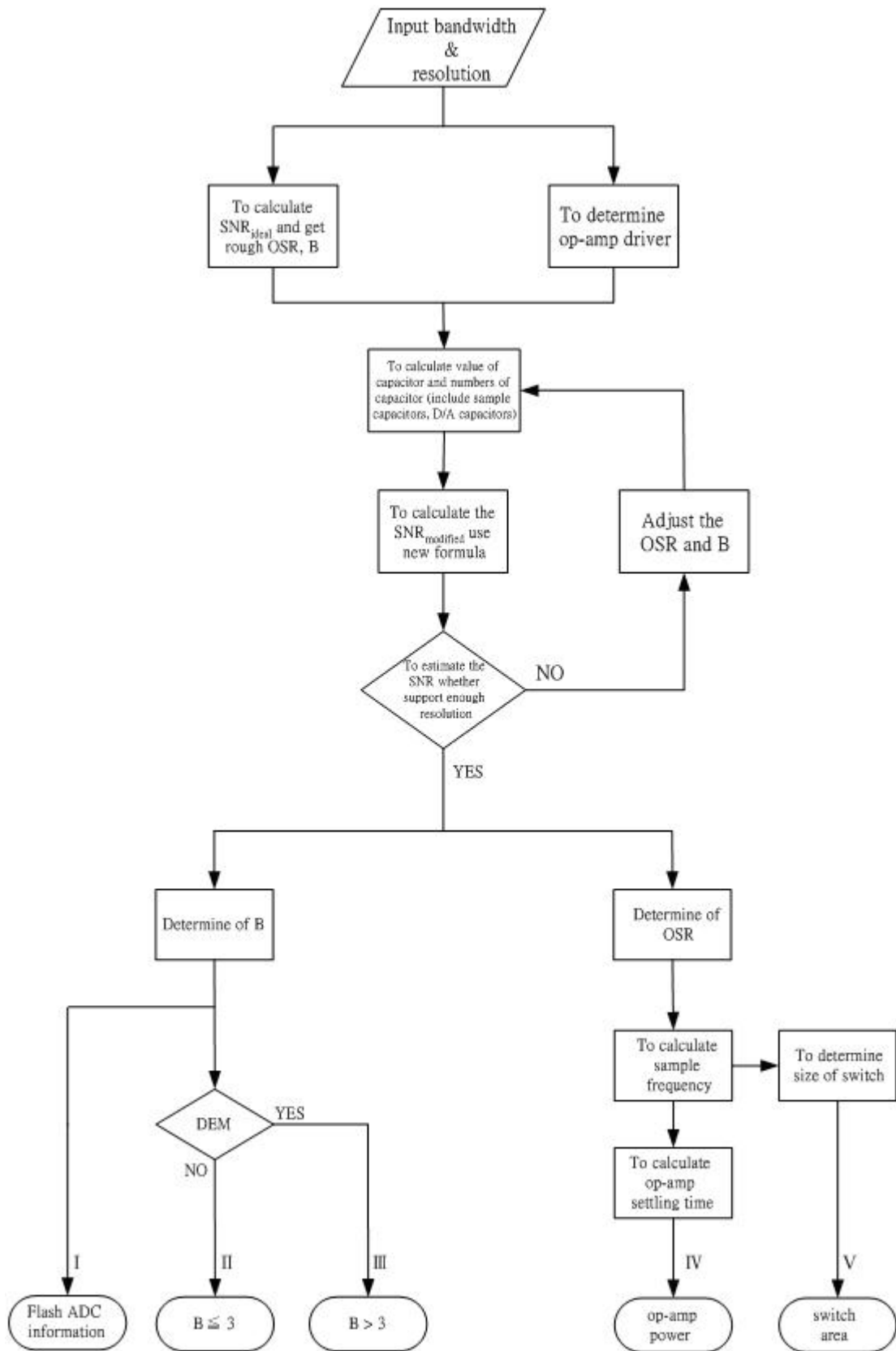


圖 5.19 二階多位元量化積分三角調變器設計模型

在圖 5.19 中有些步驟是必須注意的：

1. 當我們在評估訊號雜訊比是否能提供足夠的解析度時，可能要調整量化位元數 B 與超取樣比 OSR ，在之前的建議中提到最好是以提高 OSR 的方式來做改善，若是增加量化位元數則 D/A 轉換器的切換電容數目勢必會隨著量化位元數上升，同時切換電容的數值也會跟著變動，所以需要再做一次的調整。
2. 在圖 5.7 中，比較器之輸出會送至解碼器 (Decoder) 與編碼器 (Encoder) 的處理，並將其轉換成二進制數位碼，如圖 5.20 所示；當輸入信號大於參考電壓時比較器的輸出會呈現低電位的狀態，經過解碼器的處理得到新的數位碼 Y_i ，再經由重新編碼得到最後的數位輸出 X_j ，其中 Y_i 與 X_j 的關係可寫成

$$X_j = \sum \bar{Y}_i \quad (5.8)$$

假設 B 為 3 位元，則在 X_0 為 '1' 的情形下 Y_0 、 Y_2 、 Y_4 以及 Y_6 皆為 '0'，所以可將 X_0 的布林函數寫為

$$X_0 = \bar{Y}_0 + \bar{Y}_2 + \bar{Y}_4 + \bar{Y}_6 \quad (5.9)$$

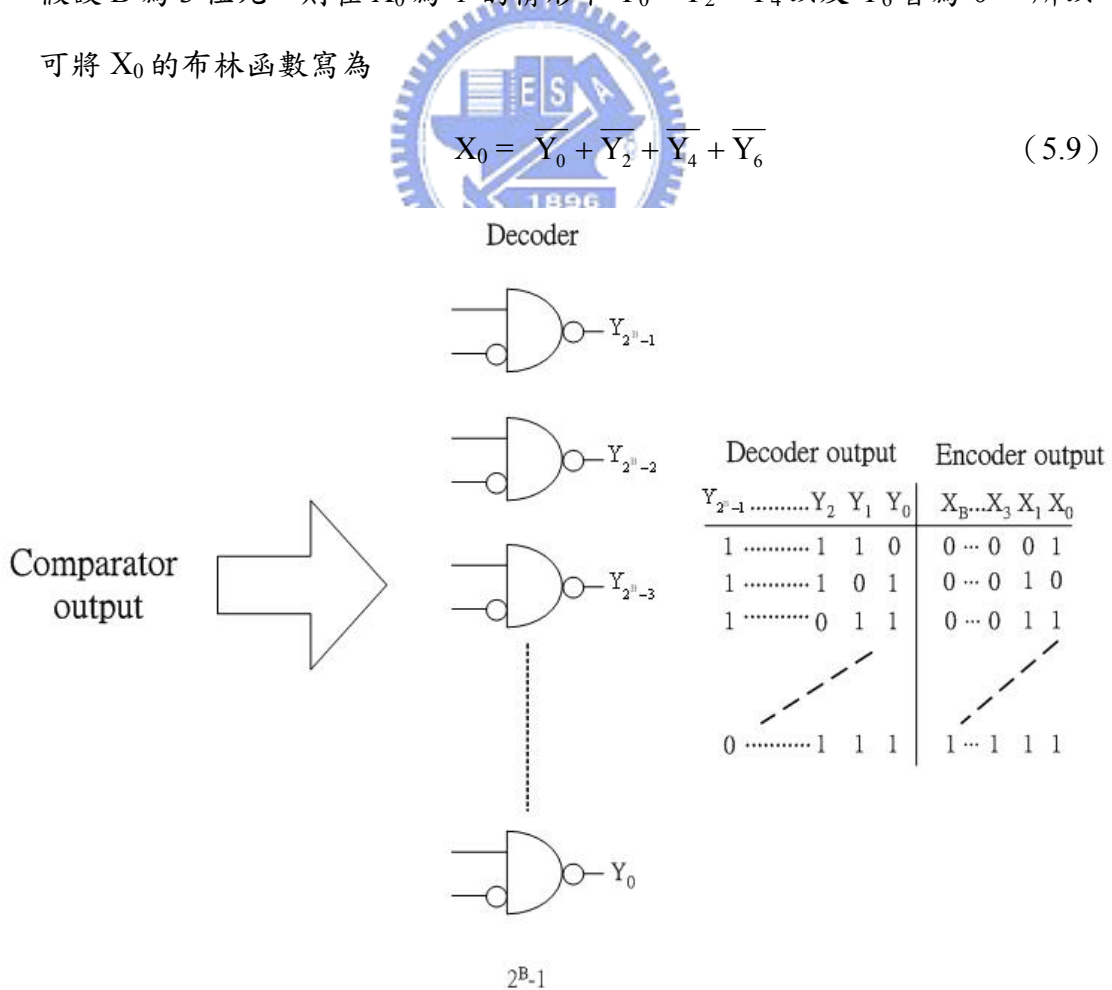


圖 5.20 Flash A/D 轉換器中解碼與編碼過程

式 (5.9) 反映出編碼器在 3 位元的轉換中，每一個二進制輸出碼 X_i 為 4 個 $\overline{Y_i}$ 做 NAND 的結果，所以依此類推將可以得到解碼器與編碼器對於 gate count 數目的通式。

3. 另外 II 與 III 的電路資訊只會有一個，因為我們是以位元數是否超過 3 位元來做判斷不同的情形。

此模型將可提供四個電路資訊，在電路規畫完之後由量化位元數 B 與超取樣比 OSR 之結果將可得到最後的數值，這些資訊分別為：

I. 快閃式 A/D 轉換器電路資訊：

- (1) 比較器數目為 2^B 個
- (2) 解碼器 (Decoder) 所使用的 gate count 為 $(2^B - 1) \times 6/4$
- (3) 編碼器 (Encoder) 所使用的 gate count 為 $2^B \times B/4$
- (4) 分壓電阻使用個數為 $2^B + 1$

II. 量化位元數 B 小於等於 3：

- (1) 積分三角調變器所使用的開關個數固定為 16
- (2) D/A 轉換器使用的切換開關個數為 $(2^B - 1) \times 4 \times 4$
- (3) 積分三角調變器使用的電容數目固定為 16
- (4) D/A 轉換器所使用的電容數目為 $(2^B - 1) \times 4$

III. 量化位元數 B 大於 3：

- (1) 積分三角調變器所使用的開關個數固定為 16
- (2) D/A 轉換器使用的切換開關個數為 $(2^B - 1) \times 4 \times 4$
- (3) Butterfly randomize 所使用的開關各數為 $2^B \times 3 \times 2$
- (4) 積分三角調變器使用的電容數目固定為 16
- (5) D/A 轉換器所使用的電容數目為 $(2^B - 1) \times 4$
- (6) D 型正反器所使用的 gate count 為 $(2^B/2) \times 3 \times 4$

IV. 運算放大器之功率：

在決定好 OSR 之後，必須使得運算放大器的穩定時間小於取樣頻率之一半，我們套用式 (4.3) 的公式

$$\text{Settling time} = 7 \times \frac{1}{2\pi \cdot \beta \cdot f_u}$$

並找出相關之參數，如

$$f_u = \frac{gm}{C_L} \quad (5.10)$$

$$gm = \sqrt{2\mu_n \frac{W}{L} I_D} \quad (5.11)$$

由式 (5.3)、式 (5.8) 與式 (5.9) 可知，如要降低穩定時間必須提高單位增益頻寬，而單位增益頻寬與 MOSFET 之電流 I_D 成根號正比，所以在考量要增加 I_D 時，運算放大器的總功率 P_D 可寫成

$$P_D = V_{DD} \times I_D \quad (5.12)$$

所以我們提出一個基準值，設計者以此作為參考，並得到相對的關係進而推導出運算放大器的功率，我們提供的基準值如表 5.1 所示。

gain	70 dB
settling time	20 ns
gm	1.28 mA/V
I_D	104 uA
power	3.66 mW
process	0.18 um 1p6m 1.8V

表 5.1 運算放大器之參考數值

設計者可參考表 5.1 的數值，來估算運算放大器的數值；例如當設計者的需求為 settling time = 25 ns 時， f_u 應該為原來的 0.8 倍，則 I_D 則為原來的 0.64 倍，所以將表 4.1 之功率乘上 0.64 即可估算在 settling time 為

25 ns 時的運算放大器功率。此外我們將運算放大器之增益決定在 70dB 是由於當運算放大器的增益只要達到 65dB 以上的話，對於降低積分器的漏雜訊 (Leakage noise) 將不再有太大的影響力，所以將其定在 70dB 可以是個合理的值 [23]。

V. 單一開關面積：

我們可以由式 (5.1) 得知開關有限電阻 R_{on} 與 MOSFET 的通道長度 L 成正比、與通道寬度 W 成反比，在此我們以提供模擬過的參數值做為參考，如表 5.2 所示。

R_{on}	300Ω
W_n	10 um
L_n	0.18 um
Area	1.8 um ²
process	0.18 um 1p6m 1.8V

表 5.2 開關有限電阻參考數值

我們採用 NMOS 設計開關；而開關的面積可寫成

$$\text{Area of a switch} = W_n \times L_n \quad (5.13)$$

故由表 5.2 與式 (5.11) 將可以預估單一開關的面積；假設要設計一個 200 歐姆的開關電阻，可由 W_n 與 R_{on} 之反比關係而決定出寬度要為原來的 1.5 倍，因此面積也增加了 1.5 倍。我們建議設計者在調整寬長比時能以不改變通道長度為主，因為在 5.2 節中提到 MOSFET 的通道面積會影響到電荷注入效應 (Charge injection) 與時脈饋入 (Clock feedthrough) 等問題，所以在面積要最小化的前提下，寬度愈大則長度愈小愈好。

綜合以上的考量，我們將其整理成表 5.3 即為此模型所能提供的電路資訊。

	$B > 3$	$B \leq 3$
Numbers of switch	$16 + (2^B - 1) \times 16 + 2^B \times 6$	$16 + (2^B - 1) \times 16$
gate count of D F/F	$2^B \times 6$	
Area of a switch	$A = 15 \times 300 / R_{on_request} \quad (\mu m^2)$	
Power of op-amp	$P_D = 3.66 \times (20 \times 10^{-9} / \text{settling time}_{request})^2 \quad (mW)$	
Numbers of capacitor	$16 + (2^B - 1) \times 4$	
gate count of digital circuit in flash ADC	$[(2^B - 1) \times 6 + 2^B \times B] / 4$	
Numbers of comparator	2^B	
Numbers of resistor	2^{B+1}	

表 5.3 設計模型之電路資訊



第六章 總結與未來展望

論文中我們建立的設計模型與信號雜訊比公式的改進，在考量各種影響或參數時，皆以 0.18 um 製程的角度去討論，所以當討論到有關製程的參數時，會由參考其它的論文或製程說明書中找出相對的數值，加以驗證我們的公式，讓得到的結果可以符合目前製程的技術，而不會相差太多。我們選擇二階多位元的架構當成主軸，是因為它是一個應用範圍可以相當廣泛的架構，在不同的應用中，可以不改變架構的主體而去達到所要求的解析度，因此我們希望建立一個設計模型來加快它的規劃時間以及改進訊號雜訊比的精確度是相當有意義的。我們在信號雜訊比的雜訊功率考量中，加入了開關有限電阻熱雜訊、運算放大器之輸入雜訊與參考電壓雜訊等等的考量，由最後驗證的結果證明卻是可以有效改善信號雜訊比估測的精確度，此外我們也建議設計者在做初步規劃時可以只納入開關有限電阻熱雜訊的考量，以加快規劃的時間，同時也不會產生太大的失真，而由驗證的結果來看，開關有限電阻熱雜訊的確是足以決定總雜訊功率的重要參數。在得到更精確的信號雜訊比之後，也進一步提高設計模型的意義，對於積分三角調變器的參數決定，皆提升了其準確性；而在提供的電路資訊中，無法提出包含整個系統的功率與面積，是因為對於數位電路的動態功率無法準確預估，所以即使提出我們估測的功率，也會因使用時切換次數的不同而改變，因此只提出了運算放大器的功率估測，此外我們提供了開關數目、電容數目與 gate count，雖然無法提出完整的晶片面積，但還是希望讓設計者對實現晶片後的面積大小有個直觀感覺。本論文最後完成了改進二階多位元積分三角 A/D 轉換器的信號雜訊比公式之估測精確度以及建立設計模型，對於設計者在製作相關架構時，此理論將可提高晶片的準確性以及提出一些直觀的電路資訊給設計者作為規劃的參考。

在未來的工作中，我們也期許可以進一步加入電容非理想效應、電容不對稱與 jitter 等雜訊的考量，使得此設計模型可以更接近晶片製作的實際情形；此外

也可研究其他可將其線性化的雜訊，增加信號雜訊比公式的估測準確度，雖然可以預期到理論的估測或許不會比軟體模擬的更加準確，但如果可以逼近軟體模擬的結果，則此公式便有較高的使用性與可靠度，使得設計者在不想花費時間在等軟體模擬結果的情形下，便可用此公式的估測來加速設計的時間。

