

國立交通大學

電機與控制工程研究所

碩士論文

單相半橋升壓型功率因數修正器之EMI濾
波器與緩震電路設計



EMI Filter and Snubber Circuit Design for a Single-
Phase Half- Bridge Boost Power Factor Corrector

研究生：鍾志祥

指導教授：鄒應嶼 博士

中華民國九十三年七月

單相半橋升壓型功率因數修正器之EMI濾波器和緩
震電路設計

EMI Filter and Snubber Circuit Design for a Single-Phase
Half-Bridge Boost Power Factor Corrector

研究生：鍾志祥 Student: Zhi-Xiang Zhong

指導教授：鄒應嶼 博士 Advisor: Dr. Ying-Yu Tzou



A Thesis

Submitted to Department of Electrical and Control Engineering
College of Electrical Engineering and Computer Science
National Chiao-Tung University
in Partial Fulfillment of the Requirements
for the Degree of Master
in
Electrical and Control Engineering
July 2004
Hsinchu, Taiwan, Republic of China

中華民國九十三年七月

國立交通大學

研究所碩士班

論文口試委員會審定書

本校 電機與控制工程 研究所 鍾志祥 君

所提論文 單相半橋升壓型功率因數修正器之EMI濾波器與緩震電路設計

EMI Filter and Snubber Circuit Design for a

Single-Phase Half-Bridge Boost Power Factor Corrector

合於碩士論文資格水準、業經本委員會評審認可。

口試委員：



指導教授：

系主任：

教授

中華民國 九十三年 七月

單相半橋升壓型功率因數修正器之EMI濾波器與緩震電路設計

研究生：鍾志祥

指導教授：鄒應嶼 博士

國立交通大學電機與控制工程研究所

摘 要

本研究從事單相半橋升壓型功率因數修正器之電磁干擾(Electromagnetic Interference, EMI)濾波器及 Undeland 緩震電路之設計以降低傳導性 EMI 問題。Undeland 緩震電路具有導通和截止緩震電路功能，價格便宜，功率元件有較大安全操作區域(SOA)。實驗結果 dv/dt 由 $34.66V/\mu s$ 降低至 $18.175V/\mu s$ 及 di/dt 由 $6A/ns$ 降低至 $0.5A/ns$ ，驗證可以降低高頻 EMI。傳統 EMI 濾波器的設計，大多是採用嘗試錯誤法，不僅費力耗時，也不易掌握設計的品質。EMI 濾波器的設計主要包含設計與實現兩個層次。在設計部分包括差模與共模濾波器的設計，在實現部分必須注意一些元件特性與製作的工程細節，例如差模電感的高頻濾波效果會因為線圈寄生電容而降低，選擇高頻功率損耗較大的鐵心可以改善此一情況。EMI 濾波器要達到最大插入損耗的設計必須考慮雜訊源阻抗效應的影響，因此必須將雜訊源阻抗一起納入設計考慮。此外，差模濾波器的高頻響應會受到迴路雜散電感的互相耦合效應而降低性能，為了降低其耦合效應，兩側線圈必須保持適當距離；差模電容迴路的跑線也必須儘量降低其迴路面積，以降低耦合雜訊。本文針對高頻單相半橋式升壓型功因轉換電路的電磁干擾問題，提出了整合緩震電路與 EMI 濾波器的系統化分析與設計方法。

EMI Filter and Snubber Circuit Design for a Single-Phase Half-Bridge Boost Power Factor Corrector

Student: Zhi-Xiang Zhong Advisor: Dr. Ying-Yu Tzou

Institute of Electrical and Control Engineering
National Chiao-Tung University

Abstract

The present thesis designed EMI filters and Undeland snubber circuits for a single-phase half-bridge boost-type power factor corrector to reduce conducting EMI problems. Undeland snubber circuits can turn on/off snubber circuits with cheap price, and the power components have larger safe operating area (SOA). Our experimental results shown that dv/dt reduced from $34.66 \text{ V}/\mu\text{s}$ to $18.175 \text{ V}/\mu\text{s}$, and di/dt reduced from $6\text{A}/\text{ns}$ to $0.5\text{A}/\text{ns}$, which testify high frequency EMI reduction. Traditionally the EMI filters design is done by trial-and-error methods, which are not only strenuous and time consuming but also difficult for quality control. The designs of EMI filters include two stages, i.e., designing stage and realizing stage. The former stage includes the design of difference mode and common mode filters, while in the later stage attention need to be paid to some components characteristics and project details, for example, the high frequency effects of the difference inductance module filter will be reduced because of parasitic capacity of the coil, which can be improved by choosing while losing the larger one. Influence that EMI filter must consider the noise source impedance effect while reaching the greatest design that insert loss, answer this must mix noise source impedance is it is it consider to design to include in together. In addition, difference mode filter of high frequency response because of loop inductance mutual coupling effect to reduce performance, in order reduce mutual coupling effect, two side a coil must keep

appropriate distance; difference mode capacitance loop trace also must as much as reduce loop areas to reduce coupling noise, address to integrated snubber and EMI filter to systematize analyze and design method.



誌 謝

謹向我的指導教授 鄒應嶼博士致上最高的謝意。感謝他兩年來對我的敦敦教誨與悉心指導，使我研究生活充滿挑戰與突破，由於他豐富的學識和卓越的領導能力使我在理論的培養與實務能力上受益良多，並使得本論文得以順利完成。

感謝蔡國隆學長兩年來的關照與指導，讓我在研究上遇到瓶頸時能順利解決，尤其感謝蔡國隆學長對我的精神鼓勵，您認真務實的求學精神與實事求是的做事態度，是我學習的標竿。

感謝同窗好友傅久峰在課業上的切磋討論，難忘在實驗室裡同甘苦、共患難的時光。感謝學弟所給予的鼓勵與幫助，特別是林育宗，因為你的幫忙，節省了許多寶貴的時間。

感謝父母的栽培與好友的關懷，使我感受到親情與友情的溫暖。最後，僅將此論文獻給所有關心我的人，願與他們分享這份成果。



民國九十三年七月于交大

目 錄

中文摘要	i
英文摘要	ii
誌謝	iv
目錄	v
表列	vii
圖列	viii
第一章 緒論	1
1.1 研究背景與發展概況.....	1
1.2 研究動機與目的.....	5
1.3 研究方法與系統描述.....	7
1.4 論文內容概述.....	8
第二章 單相半橋升壓型功率因數修正器傳導性雜訊量測和分析	10
2.1 單相半橋升壓型功率因數修正器.....	10
2.2 電磁干擾規範.....	11
2.3 傳導性雜訊測量和分離.....	13
2.4 單相半橋升壓型功率因數修正器傳導性雜訊分析.....	18
2.3.1 單相半橋升壓型功率因數修正器差模雜訊源分析	19
2.3.2 單相半橋升壓型功率因數修正器共模雜訊源分析	21
第三章 單相半橋升壓型功率因數修正器緩震電路設計	24
3.1 UNDELAND緩震電路介紹.....	24
3.2 功率開關切換特性對電磁干擾的影響.....	27
3.3 UNDELAND緩震電路設計	28
3.3.1 使用Undeland緩震電路原因	28
3.3.2 Undeland緩震電路工作原理.....	30

3.3.3	Undeland緩震電路之設計.....	34
3.4	單相半橋升壓型功率因數修正器緩震電路設計.....	36
第四章	傳導性EMI濾波器設計.....	39
4.1	EMI濾波器元件特性.....	39
4.2	單相半橋升壓型功率因素修正器雜訊源特性.....	44
4.2.1	DM和CM雜訊迴路分析.....	45
4.2.2	DM和CM阻抗不匹配(mismatch)設計.....	49
4.2.3	DM和CM濾波器元件寄生效應影響.....	52
4.3	單相半橋升壓型功率因素修正器之EMI濾波器設計.....	57
4.3.1	EMI濾波器設計步驟.....	57
4.3.2	EMI濾波器設計範例.....	59
第五章	結論.....	61
參考文獻	63



表 列

表 2.1	各國資訊產品的電磁干擾相關規格	12
表 2.2	LISN在特定頻率下各元件阻抗值	14
表 2.3	各種分離技術比較	18
表 4.1	各國安規所允許Y電容大小	43
表 4.2	EMI濾波元件特性	44



圖 列

圖 1.1	升壓型功因修正器電路 (a)單開關 (b)雙開關 (c)四開關.....	2
圖 1.2	傳導型EMI模型 (a)CM (b)DM.....	3
圖 1.3	單相半橋升壓型功率因數修正器.....	5
圖 1.4	功率開關導通損失說明圖.....	6
圖 1.5	單相半橋升壓型功率因數修正器加上Undeland緩震電路.....	6
圖 1.6	單相半橋升壓型功率因數修正器傳導性雜訊模型 (a) DM (b) CM.....	7
圖 1.7	單相半橋升壓型功率因數修正器之EMI濾波器模型 (a)差模 (b)共模.....	7
圖 1.8	單相半橋升壓型功率因數修正器之EMI濾波器元件寄生參數模型.....	8
圖 2.1	單相半橋升壓型功因修正器電路.....	11
圖 2.2	電源阻抗網路 (a) 內部 (b) 低頻 (c) 高頻電路.....	14
圖 2.3	傳導性電磁干擾雜訊量測共模和差模接線圖.....	15
圖 2.4	DMRN的電路架構.....	16
圖 2.5	DMRN量測原理說明 (a) 共模雜訊 (b) 差模雜訊.....	17
圖 2.6	使用DMRN量測傳導性電磁干擾的線路連接圖.....	17
圖 2.7	單相半橋升壓型功率因素修正器傳導性雜訊頻譜.....	18
圖 2.8	某個 d 值下漣波電流和微分值.....	19
圖 2.9	共模雜訊來源.....	21
圖 2.10	(a) Q_f 汲極電壓波形 (b) 共模雜訊波形.....	22
圖 2.11	估算共模雜訊電壓包絡面.....	23
圖 2.12	降低共模雜訊的方法.....	23
圖 3.1	單相半橋升壓型功率因數修正器 (a) 電路圖 (b) 切換損失狀態圖 (c) 安全操作區域圖.....	25

圖 3.2	Undeland緩震電路.....	26
圖 3.3	降壓形轉換器 (a) 功率開關切換波形 (b) 切換軌跡.....	28
圖 3.4	半橋轉換器可以雙向動作說明圖.....	29
圖 3.5	橋式換流器.....	29
圖 3.6	橋式Undeland緩震電路.....	30
圖 3.7	半橋換流器 (a) S_2 導通 (b) S_1 導通時簡化電路.....	31
圖 3.8	當 S_1 導通時之電流流動情形.....	31
圖 3.9	當 S_1 截止時之電流流動情形.....	32
圖 3.10	當 S_2 導通時之電流流動情形.....	33
圖 3.11	當 S_2 截止時之電流流動情形.....	34
圖 3.12	並聯RLC等效電路.....	35
圖 3.13	單相半橋換流器緩震電路.....	36
圖 3.14	未加緩震電路功率開關導通 (a) 電壓電流波形 (b) 切換路徑.....	37
圖 3.15	未加緩震電路功率開關截止 (a) 電壓電流波形 (b) 切換路徑.....	37
圖 3.16	加緩震電路功率開關導通 (a) 電壓電流波形 (b) 切換路徑.....	38
圖 3.17	加緩震電路功率開關截止 (a) 電壓電流波形 (b) 切換路徑.....	38
圖 4.1	典型電磁干擾濾波器架構.....	39
圖 4.2	共模電感.....	40
圖 4.3	共模電感漏感量測圖.....	40
圖 4.4	差模電感.....	41
圖 4.5	X電容.....	42
圖 4.6	Y電容.....	42
圖 4.7	Y電容漏電流考量.....	43
圖 4.8	單相半橋升壓型功率因數修正器.....	45
圖 4.9	差模雜訊迴路和來源.....	45

圖 4.10 輸入電感阻抗-頻率圖	46
圖 4.11 實際電感對差模雜訊影響頻譜圖	47
圖 4.12 高功率損失鐵心電感阻抗-頻率曲線	47
圖 4.13 比較不同材值電感對雜訊衰減能力	48
圖 4.14 (a) 混合-模型電流迴路路徑 (b) 平衡電流迴路路徑	48
圖 4.15 共模雜訊迴路	49
圖 4.16 共模雜訊頻譜圖	49
圖 4.17 阻抗不匹配定理	50
圖 4.18 C_1 阻抗-頻率圖	50
圖 4.19 差模濾波器不匹配阻抗 C_1 和 C_2	51
圖 4.20 阻抗不匹配共模濾波器	52
圖 4.21 (a) 簡化 (b) 進一步簡化共模雜訊路徑	52
圖 4.22 DM濾波器元件寄生參數模型	53
圖 4.23 DM濾波器元件寄生參數模型 (a) 模擬圖 (b) 量測圖	53
圖 4.24 加上耦合效應DM濾波器元件寄生參數模型	54
圖 4.25 加上耦合效應之DM濾波器元件寄生參數模型模擬圖	54
圖 4.26 加上耦合效應且改善迴路面積DM濾波器元件寄生參數模型量測圖	55
圖 4.27 CM濾波器	55
圖 4.28 CM濾波器寄生效應	56
圖 4.29 CM濾波器 (a) 模擬 (b) 量測圖	56
圖 4.30 EMI濾波器	57
圖 4.31 (a) 共模 (b) 差模濾波器	57
圖 4.32 轉折頻率 (a) 共模 (b) 差模濾波器	59
圖 4.33 加入EMI濾波器後頻譜圖	60

第一章

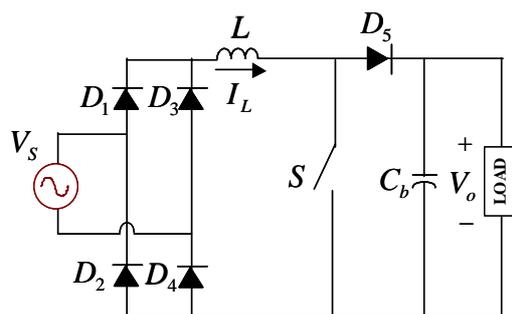
緒論

1.1 研究背景與發展概況

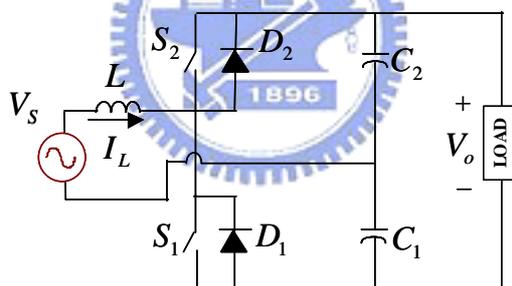
近年來在半導體產業的長足進展下，耐壓耐流更高的功率半導體開關元件不斷推陳出新，且電力電子切換技術高度投入下，能源轉換器類別及應用日新月異，如馬達驅動器(motor driver)、不斷電系統(Uninterruptible Power Supply, UPS)、充電器(charger)及各式電源供應器(power supply)等。各式電源產品均需以市電來作為輸入來源，將交流電轉換至直流電源，提供設備內部控制半導體驅動及輸出功率需求，將是必然的需求，然而傳統上大都採用橋式二極體或相控閘流體為主之交直流轉換器[1]-[3]，使用橋整二極體做成之交直流轉換器，將交流市電轉換成直流電源輸出端，再接一大電容來降低輸出電壓漣波，建立所需之穩定直流電源以供應後級之負載，雖然此轉換器之電路簡單、成本低廉且不需額外之控制，但橋式整流器的非線性特性將導致電源的輸入端含有大量之諧波電流，而造成諧波電力損失，而相控閘流體整流器之延遲角控制，更將使輸入端電流諧波成分更嚴重。

為了解決上述交直流轉換器的缺點，近年來應用 MOSFET 與 IGBT 等功率元件，採用不同架構於交直流轉換控制之系統中已相當多，由於應用上的需要，大部分採以升壓型(boost type)電路架構為之，以提供輸出端較高的直流電壓，升壓型功率因數修正器電路架構，可分成單開關、雙開關及四開關之電路架構[4]，如圖

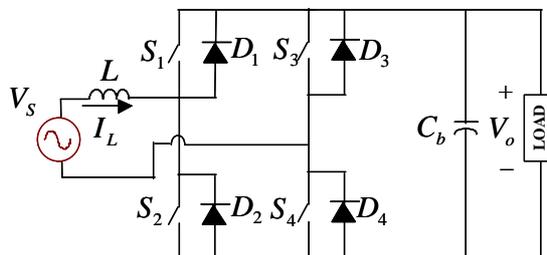
1.1 所示，其藉由控制開關的責任週期比(duty ratio)，來修正電流波形及調整輸出電壓準位，與以往的橋式整流器及相控閘流體構成之交直流轉換器比較，此種轉換器擁有近似正弦波的輸入電流、良好的功率因數，因此廣泛的使用於不斷電系統及交流驅動器等場合。



(a) 單開關



(b) 雙開關



(c) 四開關

圖 1.1 升壓型功率因數修正器之種類

近年來，電子產品增加快速及應用範圍日益廣闊，這些產品帶來的電磁干擾 (Electromagnetic Interference, EMI)，對我們的生活帶來莫大的影響，甚至危害我們的生命安全。例如：通信品質受干擾問題，飛機導航系統和重要儀器受干擾問題等，所以目前各國政府都訂定規範，要通過規範才能販賣到該國。EMI 是指對信號的利用造成妨礙之雜訊來源，其干擾通路有由發生源經空間而干擾者(輻射干擾)和經由電源線傳播而干擾者(傳導雜訊)兩種。傳導性 EMI 雜訊源之分類，可以由圖 1.2(a)清楚看出，其中所謂共模(Common Mode, CM)雜訊，即是任何通過 L(line)與 G(ground)或 N(neutral)與 G 間相同振幅和相同相位的雜訊，而差模(Differential Mode, DM)雜訊則是，任何通過 L 與 N 之間振幅相同但相位相差 180 度的雜訊，如圖 1.2(b)。

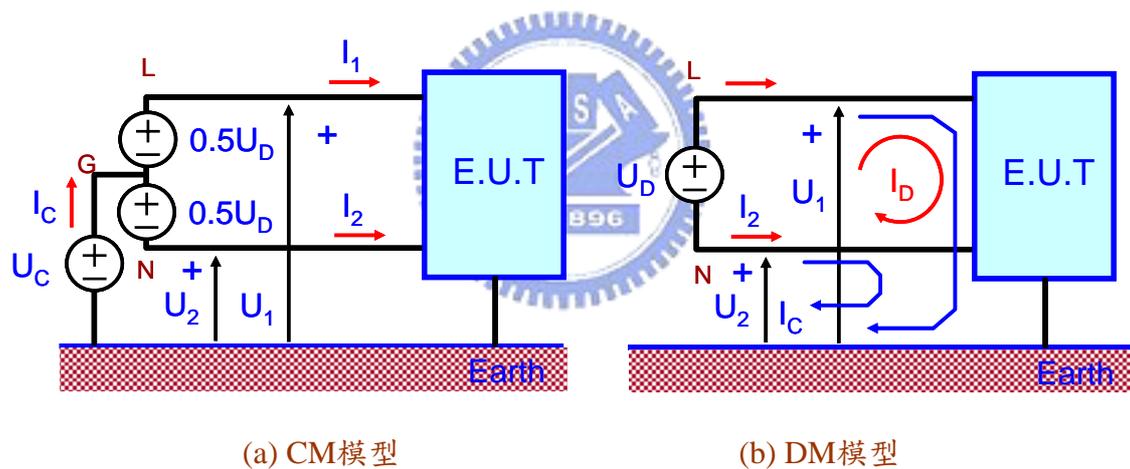


圖 1.2 傳導性 EMI

升壓型功率因數修正器DM雜訊的主要有兩類，一是電路本身所產生的切換諧波電流，另外為飛輪二極體之逆向回復電流，其中後者所造成的雜訊主要為高頻部份，關於這方面可以使用加裝緩震電路(snubber)來降低，至於第一項所造成的雜訊，必須使用DM濾波器來降低；升壓型功率因數修正器之CM雜訊來源，主要是電路中存在著汲極對地的寄生電容 C_p 提供雜訊耦合到地的路徑電流 $i_{CM} = C_p (dv/dt)$ ，而降低CM雜訊方法為電路加裝緩震電路和CM濾波器。由以上

電路與及EMI濾波器的設計，在電源系統設計中扮演著關鍵的角色。

由於併網式電源供應器的前級是造成市電電源突波干擾與電磁干擾的主要因素，因此，過去十餘年來已進行了很多相關的研究[5]-[12]，以下針對與本論文研究較相關的一些研究作一些簡要的說明。文獻[5]發現，升壓型轉換器當工作於不連續導通模式時，會產生較大的DM雜訊，為了獲得較大的功率因數和EMI濾波器的插入損耗，EMI濾波器的輸出電容性阻抗必須遠小於其輸入阻抗；此外，當轉換器工作於CCM模式時，可能會產生控制迴路不穩定的問題，反之，在DCM模式，則通常不會對控制迴路造成影響。文獻[6]提到，為了輸入濾波器要有非常高的雜訊衰減能力、輸出電阻低和升壓型功率因數修正器之高功率因數，使用elliptic濾波器比EMI濾波器有更好的性能。文獻[7]使用連續交流表法，可快速找到EMI濾波器元件最佳參數，達到升壓型功率因數修正器之高功率因數和EMI濾波器高雜訊衰減能力。文獻[8]提到利用輸入電感電流控制法，可以降低加入EMI濾波器後，升壓型功率因數修正器整體系統穩定度問題。文獻[9]提到當輸入電感電流漣波係數(最大電感漣波電流/最大電感平均電流) $K=0.1$ 時，EMI濾波器體積(電感和電容值)最小。文獻[10]指出為了降低傳導性EMI，考慮印刷電路佈線影響，迴路中遇到電流大的路徑佈局面積要大一點；功率開關兩端因為迴路雜散電感和飛輪二極體的逆向回復電流產生高頻傳導性EMI，加裝緩震電路可以降低。文獻[11]利用電腦模擬軟體，定義個別元件(電感、電容、功率開關...)等效電路(Partial Element Equivalent Circuit, PEEC)模型，建立升壓型功率因數修正器等效電路來預測傳導性EMI大小，對於EMI濾波器設計有莫大幫助，可以節省EMI工程師設計時間。文獻[12]提出CM和DM雜訊在驅動信號控制方式和佈線迴路方式比較，若要減少CM雜訊，功率開關驅動閘極信號控制方法使用雙極性脈寬調變，在佈線上火線和中性線兩側迴路要對稱；反之，若要減少DM雜訊，功率開關驅動閘極信號控制方法使用單極性脈寬調變，在佈線上火線和中性線兩側迴路要非對稱。

1.2 研究動機與目的

相對於其他轉換器，單相半橋升壓型功率因數修正器如圖 1.3 所示，有不同輸入迴路，因此 EMI 濾波器設計及緩震電路與其他轉換器不同。

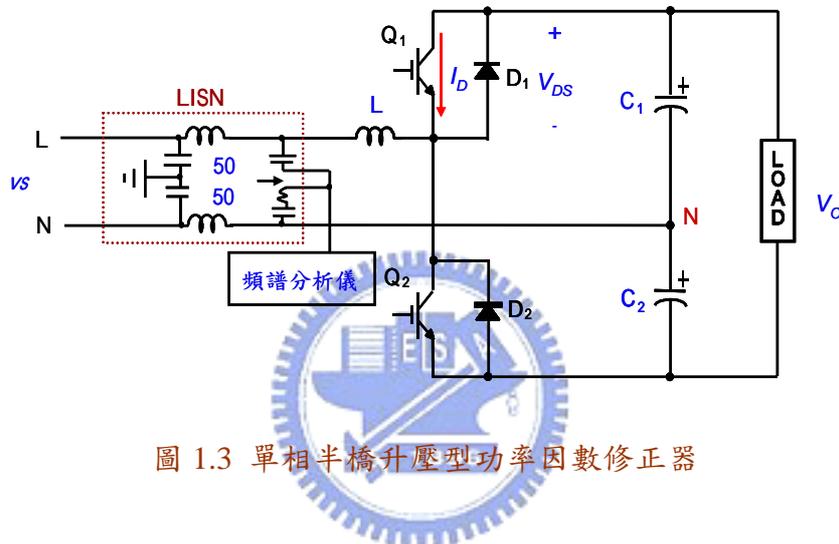


圖 1.3 單相半橋升壓型功率因數修正器

單相半橋升壓型功率因數修正器之電感電流工作在 CCM，[13]驗證 DM 雜訊在傳導性 EMI 低頻範圍以-40dB/dec 衰減，但是，未考慮到輸入電感寄生效應會增加高頻 DM 雜訊影響，進一步來說，CM 和 DM 雜訊源特性沒有仔細研究，所以本文將分析 CM 和 DM 雜訊源影響因素有哪些，在雜訊來源降低雜訊；EMI 濾波器對傳導性 EMI 衰減受雜訊源阻抗影響在期刊[14]提到，但是僅有降-升壓轉換器型式，本文將設計不受雜訊源阻抗影響之 EMI 濾波器模型；EMI 濾波器之模型，[15]提到僅考慮元件寄生參數的影響，然而元件互相耦合效應是存在的，所以本文將分析元件互相耦合效應對 EMI 濾波器的影響和改善方法，使得 EMI 濾波器對雜訊衰減能力不受影響；單相半橋升壓型功率因數修正器文獻[16]提到，不能單獨使用截止型緩震電路，否則會造成圖 1.4 功率開關 Q_1 或 Q_2 導通交換損失 P_{ON} 增加。為

了減少 Q_1 或 Q_2 交換損失和降低高頻傳導性 EMI，本論文使用具有導通和截止功能的 Undeland 電路[17]，如圖 1.5 所示。

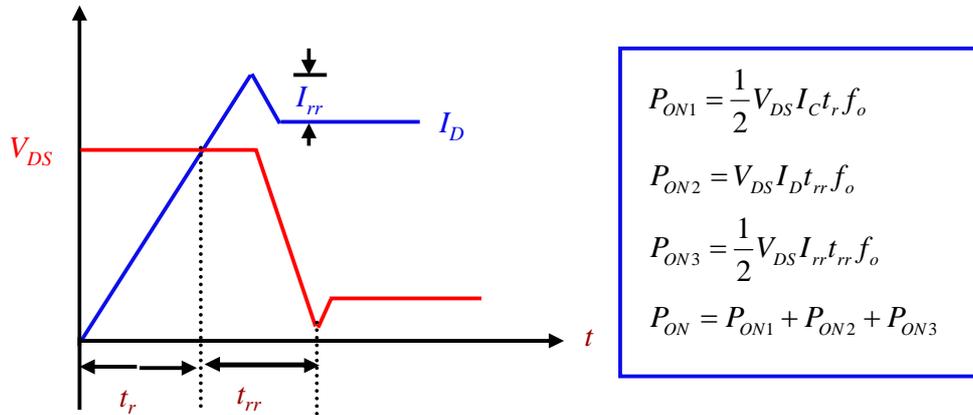


圖 1.4 功率開關 $Q_1(Q_2)$ 導通損失說明

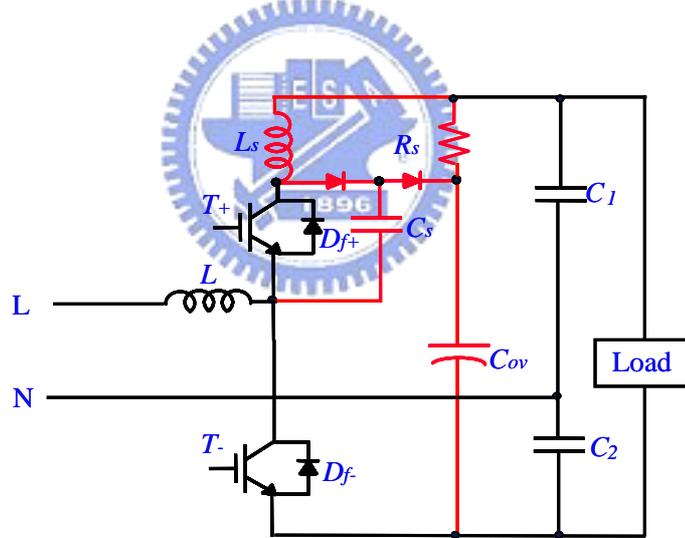


圖 1.5 單相半橋升壓型功率因數修正器加上 Undeland 緩震電路

1.3 研究方法與系統描述

本論文設計單相半橋升壓型功率因數修正器之 Undeland 緩震電路，研究其動作原理及緩震電路元件設計方程式。

單相半橋升壓型功率因數修正器之 CM 及 DM 雜訊等效電路如圖 1.6 所示，研究在電感電流 i_L 工作在 CCM 之 DM 及 CM 雜訊源影響因素有哪些，目的在於降低傳導性雜訊來源。

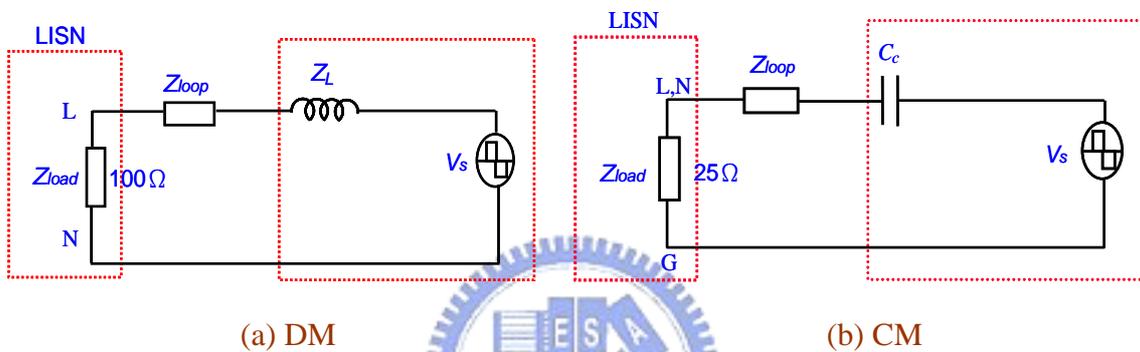


圖 1.6 單相半橋升壓型功率因數修正器傳導性雜訊模型

單相半橋升壓型功率因數修正器之 CM 及 DM 濾波器等效電路如圖 1.7 所示，研究 EMI 濾波器與雜訊源阻抗效應，避免因雜訊源阻抗影響 EMI 濾波器對雜訊衰減能力。

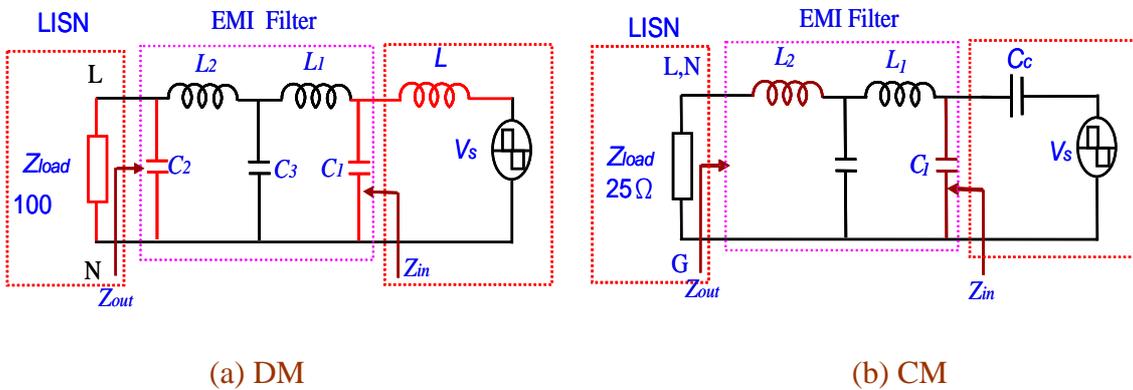


圖 1.7 單相半橋升壓型功率因數修正器之 EMI 濾波器模型

單相半橋升壓型功率因數修正器之 CM 及 DM 濾波器之寄生參數等效電路模型如圖 1.8 所示，利用模擬和量測來比較 CM 和 DM 濾波器元件寄生參數增益-相位轉移曲線圖。若 EMI 濾波器之寄生參數影響越小，EMI 濾波器對雜訊衰減能力越強。

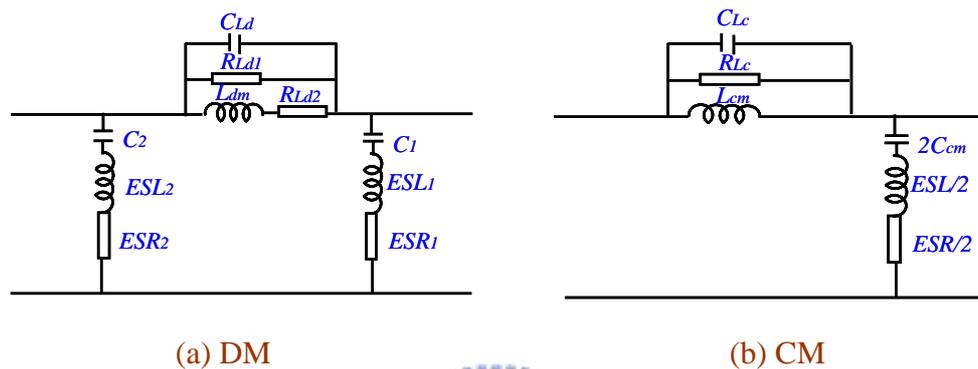


圖 1.8 單相半橋升壓型功率因數修正器之 EMI 濾波器元件寄生參數模型

最後，設計改善後單相半橋升壓型功率因數修正器之電磁干擾濾波器通過 FCC Class B，設計 Undeland 緩震電路不僅可以減少功率開關導通和截止之切換損失並且降低高頻電磁干擾。

1.4 論文內容概述

本論文共分為五章：

第一章為緒論，旨在說明本論文之研究發展背景與概況、研究動機與目的及本論文之研究方法與系統描述等。

第二章為單相半橋升壓型功率因數修正器傳導性雜訊分析。內容包括單相半橋升壓型功率因數修正器雜訊來源、目前電磁干擾規範和傳導性雜訊量測和分離。

第三章為設計單相半橋升壓型功率因數修正器緩震電路。內容包括功率開關

影響高頻電磁干擾的原因介紹、分析 Undeland 緩震電路工作原理和設計單相半橋升壓型功率因數修正器之緩震電路。

第四章設計單相半橋升壓型功率因數修正器單相半橋升壓型功率因數修正器。內容包括傳導性 EMI 濾波器元件特性介紹，分析和改善影響雜訊源三個因素，設計單相半橋升壓型功率因數修正器之 EMI 濾波器。

第五章結論。



第二章

單相半橋升壓型 PFC 傳導性雜訊量測和分析

2.1 單相半橋升壓型功率因數修正器

為解決 AC/DC 轉換器所導致的諧波污染，近年來，一些低功率操作於 DCM 的單級功因修正器常被應用，通常這些架構皆由簡單的主(被)動式功率因數修正器及直流/直流(DC/DC)轉換器串接技巧而成的，如升壓式(boost converter)、降壓式(buck converter)、升降壓式(buck-boost converter)及庫式(C'uk converter)，此技巧之優點是無法利用在半橋式架構上的，因此，在半橋式結構中沒有 DCM 之應用。半橋式結構具有多項優點，如反向並聯於切換晶體開關之二極體，可保護開關較不易受直流鏈電壓過壓而破壞；直流輸出側的二倍頻交錯關係及效果下，使得可降低或減少電容等能量儲存元件多寡；電路因具雙向傳導能力，故電感鐵心的利用率提高。

本論文重點主要在研究一個額定功率為 2 kVA 在線式 UPS 的前級之功率因數修正(Power Factor Corrector, PFC)電路，電路架構為共水線式(common-neutral)之半橋式升壓型功率因數修正器電路。半橋式升壓型功率因數修正器簡化電路如圖 2.1 所示，此架構屬非隔離式 AC/DC 轉換器。輸入端直接送入交流電源 V_s ，經由電感、二極體 D_1 、 D_2 整流，向電容 C_1 與 C_2 充電，其開路直流鏈電壓 V_O 約 $\sqrt{2}V_s$ ；但若需提供給負載較高的電壓時，則需藉由脈波寬度調變(Pulse Width Modulation,

PWM)機制驅動功率晶體切換，配合電感之儲能與釋能，由電壓及電流之閉迴路控制，讓輸出電壓穩定在所需的電壓值。

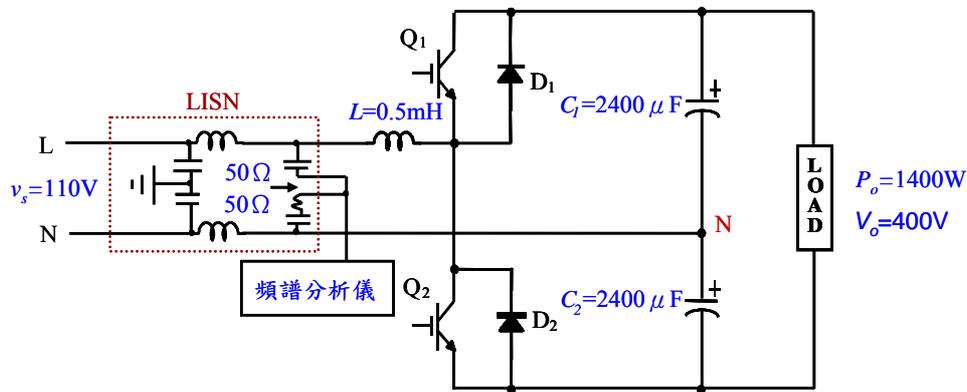


圖 2.1 半橋升壓型功因修正器電路

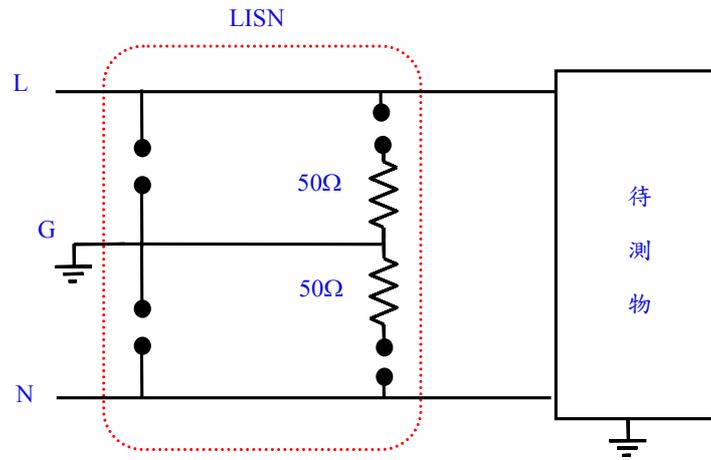


2.2 電磁干擾規範

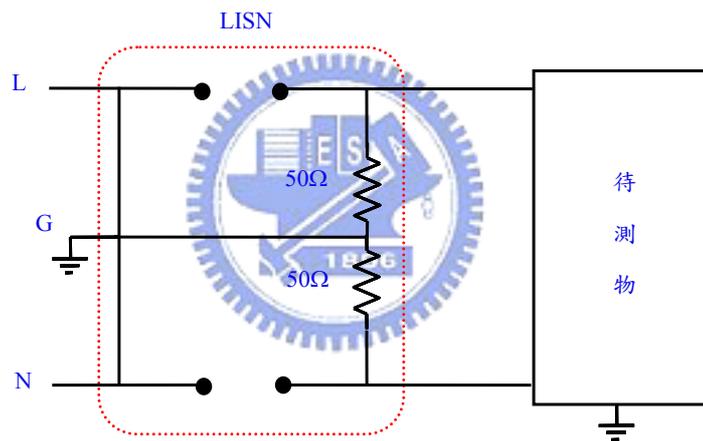
各國為了管制其國內電器產品電磁干擾問題，都制定了相關規範來約束，以防止電磁波污染。本節就當今各國常見的傳導性電磁干擾規範做一簡單的介紹。表 2.1 為節錄自工研院所整理之各國資訊產品的電磁干擾相關規格[18]，其中等級 B (class B) 為：適用於住家使用以及直接連接到供應住家使用之設備，為了保護人體與其他電器產品等級 B 的規範比較嚴。等級 A (class A) 為：不適用於住家使用以及不直接連接到供應住家使用之設備，其規範比較鬆。在傳導性方面，除了美國的 FCC 規範外，日本、歐盟以及中華民國的測試頻率範圍都是從 0.15 到 30MHz，且依測試接收器的不同，再區分為準峰值(Quasi-Peak, Q.P)與平均值(Average, AVG)[19]。美國 FCC 的測試頻率範圍則是從 450KHz 到 30MHz，限制於準峰值測試模式，其規範比其他各國還要嚴格。

表 2.1 各國資訊產品的電磁干擾相關規格

美國FCC							
輻射Radiation			傳導Conduction				
Category (Test distance)	Class A (10m)	Class B (3m)	Category	Class A		Class B	
Frequency(MHz)	Limit(dBuV/m)	Limit(dBuV/m)	Frequency(MHz)	Limit(dBuV)		Limit(dBuV)	
---	Q.P.	Q.P.	---	Q.P.		Q.P.	
30-88	39	40	0.45-1.705	60		48	
88-216	43.5	43.5	1.705-30	69.5		48	
216-960	46.4	46	Standard:CFR 47 Part 15, Subpart B; Power: 120Vac, 60Hz Class A用於商業及工業場所之產品，Class B用於住宅區之產品				
960以上	49.5	54					
日本VCCI							
輻射Radiation			傳導Conduction				
Category (Test distance)	Class A (10m)	Class B (3m)	Category	Class A		Class B	
Frequency(MHz)	Limit(dBuV/m)	Limit(dBuV/m)	Frequency(MHz)	Limit(dBuV)		Limit(dBuV)	
---	Q.P.	Q.P.	---	Q.P.	AVG	Q.P.	AVG
60-230	40/50	30/40	0.15-0.5	79	66	66-56	56-46
230-1000	47/57	37/47	0.5-5	73	60	56	46
			5-30	73	60	60	50
Standard: V-3; Q.p.:Quasi-peak, AVG: Average; Power:100 Vac, 50 Hz							
歐聯CE,澳洲AS,紐西蘭NZS							
輻射Radiation			傳導Conduction				
Category (Test distance)	Class A (10m)	Class B (3m)	Category	Class A		Class B	
Frequency(MHz)	Limit(dBuV/m)	Limit(dBuV/m)	Frequency(MHz)	Limit(dBuV)		Limit(dBuV)	
---	Q.P.	Q.P.	---	Q.P.	AVG	Q.P.	AVG
30-230	40	30	0.15-0.5	79	66	66-56	56-46
230-1000	47	37	0.5-5	73	60	56	46
			5-30	73	60	60	50
Standard: EN55022; AS/NZS 3548; Q.P.: Quasi-peak, AVG: Average; Power:230 Vac, 50Hz							
中華民國BCIQ							
輻射Radiation			傳導Conduction				
Category (Test distance)	Class A (10m)	Class B (3m)	Category	Class A		Class B	
Frequency(MHz)	Limit(dBuV/m)	Limit(dBuV/m)	Frequency(MHz)	Limit(dBuV)		Limit(dBuV)	
---	Q.P.	Q.P.	---	Q.P.	AVG	Q.P.	AVG
30-230	40	30	0.15-0.5	79	66	66-56	56-46
230-1000	47	37	0.5-5	73	60	56	46
			5-30	73	60	60	50
Standard: CNS3438; Q.P.: Quasi-peak, AVG: Average; Power:110 Vac, 60Hz							



(b) 低頻等效電路



(c) 高頻等效電路

圖 2.2 電源阻抗網路頻率特性

表 2.2 LISN 在特定頻率下各元件阻抗值

元件	$Z_{60\text{Hz}}(\Omega)$	$Z_{150\text{kHz}}(\Omega)$	$Z_{450\text{kHz}}(\Omega)$	$Z_{30\text{MHz}}(\Omega)$
L ₁	0.003	47.1	141.3	9420
C ₁	2.654K	1.06	0.354	0.0053
C ₂	26.54K	10.6	3.54	0.053

圖2.3為傳導性雜訊量測圖，在火線和中性線上的電流如下表示：

$$\hat{i}_L = \hat{i}_{CM} + \hat{i}_{DM} \quad (2-1)$$

$$\hat{i}_N = \hat{i}_{CM} - \hat{i}_{DM} \quad (2-2)$$

在LISN的火線端與中性線可測其電壓值如下表示：

$$\hat{v}_L = (\hat{i}_{CM} + \hat{i}_{DM})50\Omega \quad (2-3)$$

$$\hat{v}_L = (\hat{i}_{CM} - \hat{i}_{DM})50\Omega \quad (2-4)$$

因為共模和差模雜訊不是純量，所以 LISN 只能量測共模或差模雜訊的向量和及向量差。

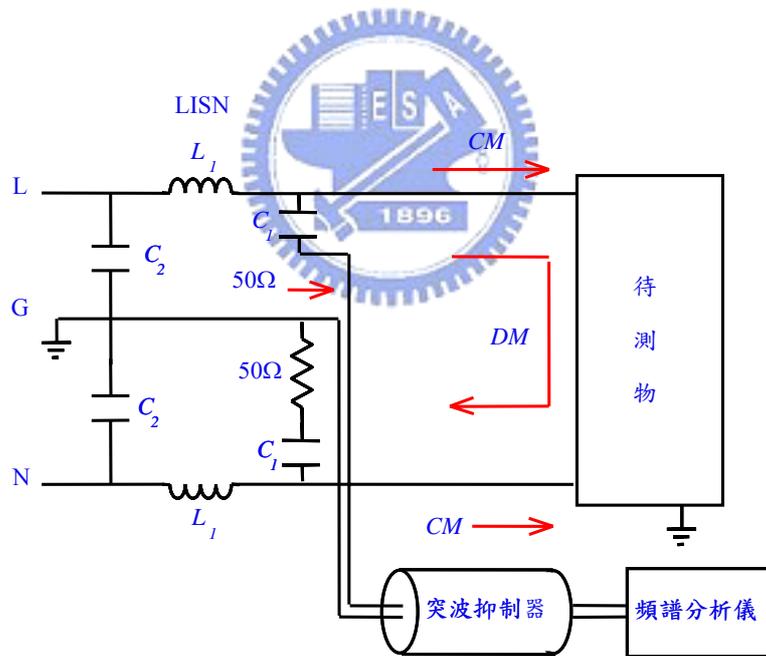


圖 2.3 傳導性電磁干擾雜訊量測共模和差模接線圖

LISN 雖然可以取出待測物的雜訊，但是其取出的雜訊卻是混雜著共模與差模雜訊。若是光靠 LISN 取出的雜訊，想要正確的設計出濾波器來抑制雜訊是非常不容易的。為了有效的抑制雜訊，有必要從 LISN 取出的雜訊中再分離出共模與差模

雜訊，從分離出的共模與差模雜訊中，各別為其設計濾波器，方可完全抑制雜訊並符合所需規格。以下介紹差模拒斥網路法(Differential Mode Rejection Network, DMRN)法來分離出共模與差模雜訊。

差模拒斥網路法的線路結構乃是由 5 個無感性的精密電阻所組成，如圖 2.4 所示。依據共模雜訊的定義，在 DMRN 所測得的共模雜訊量如圖 2.5(a)所示，為實際值的二分之一，所以在頻譜分析儀上的共模雜訊需加上 3dB 才是實際值。若是以 DMRN 來量測差模雜訊如圖 2.5 (b)所示，因為此時的 DMRN 可視為一組平衡電橋，所以 DMRN 量測不到差模雜訊，這也是 DMRN 名稱的由來。

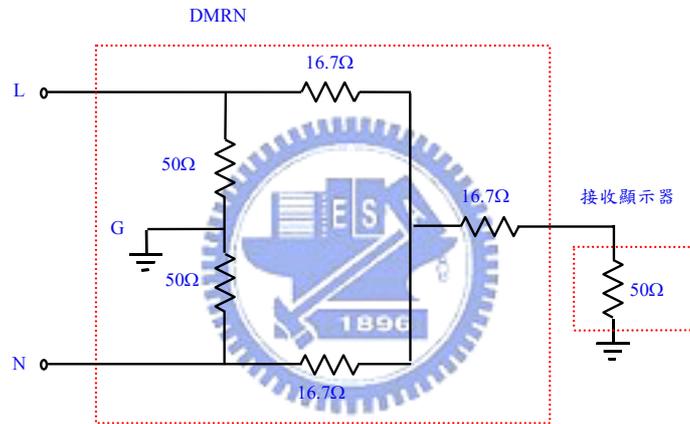
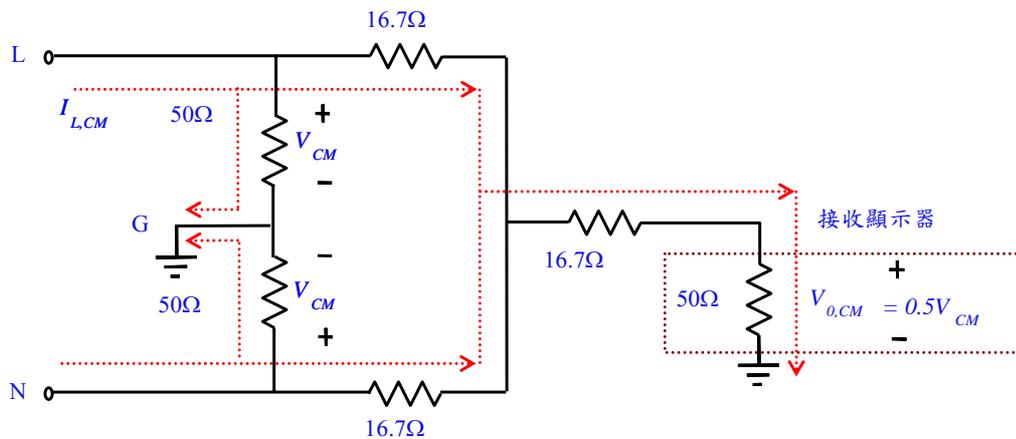


圖 2.4 差模拒斥網路的電路架構



(a) 共模雜訊

表2.3為各種雜訊分離法比較得知DMRN的設計步驟比較繁複，但是其材料的取得最為容易且較不會有飽和與頻寬問題，若是不論量測步驟的繁複與否，DMRN實在不失為量測傳導性電磁干擾的最佳工具。

表 2.3 各種分離技術比較

分離技術	成本	頻率響應(MHz)	組合元件	輸出
電流探棒	高	15	電流浪大器和探棒	2CM/2DM
CM/DM辨識網路	中	10	射頻變壓器	2CM/2DM
差模拒斥網路	低	30	精密電阻	0.5CM
主動雜訊分離器	中	20	高頻運算放大器	2CM/2DM
功率結合器	高	30	0°和180°功率結合器	$\sqrt{2}$ CM/ $\sqrt{2}$ DM

2.4 半橋升壓型功率因數修正器傳導性雜訊分析

圖 2.7 為圖 2.1 之傳導性雜訊測量頻譜圖，橫軸為傳導性雜訊頻率範圍 150kHz~30MHz，縱軸為傳導性雜訊大小(dB μ V)，咖啡色為傳導性雜訊瞬間最大值量測結果。了解紅色線因素和降低方法是很重要的，所以本節將分析半橋升壓型功率因數修正器之共模和差模雜訊來源數學方程式，由數學方程式找出降低傳導性雜訊的方法。



圖 2.7 半橋升壓型功率因數修正器傳導性雜訊頻譜

2.4.1 半橋升壓型功率因數修正器差模雜訊源分析

考慮圖 2.1，其電感電流可視為平均電流與漣波電流所造成，其中平均電流可以近似地表示如下：

$$I_L(t) \approx \frac{\sqrt{2}P_o}{\eta V_{in,rms}} \sin(\omega t) \quad (2-5)$$

其中 $V_{in,rms}$ 表示輸入電壓的方均根值， P_o 表示輸出功率， η 表示效率。電感漣波電流可以表示如下：

$$\begin{aligned} \Delta i_L(t) &= \frac{d(t)}{Lf_s} \sqrt{2}V_{in,rms} \sin(\omega t) \\ &= \frac{d(t)}{Lf_s} V_o [1 - d(t)] \end{aligned} \quad (2-6)$$

由於 $\Delta i_L(t)$ 與 $d(t)$ ，均隨著輸入電壓 $V_{in}(t)$ 而變化，因此要對漣波電流做正確的富立葉分析(Fourier analysis)並不容易，為了簡化起見，我們以某一個 d 值下的漣波電流，當作各個切換週期的漣波電流，並依此作富立葉分析。假設開關切換時間夠快，那漣波電流工作在 CCM 在某一責任週期 d 下，將如圖 2.8 所示，其中 T 表示開關的切換週期。

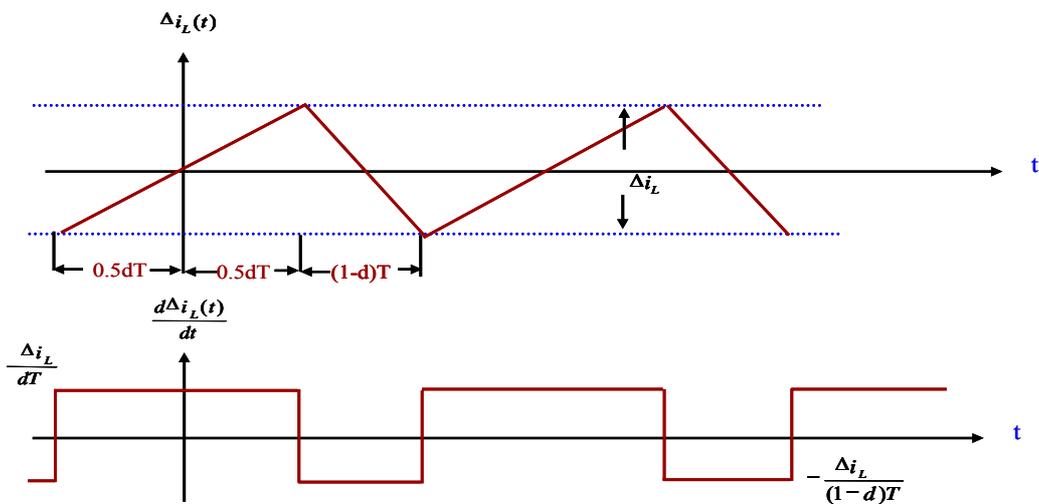


圖 2.8 某個 d 值下漣波電流和微分值

對 $\Delta i_L(t)$ 作微分後，可以得到在時域上相差 $T/2$ 的週期性方波，因此富立葉轉換如下：

$$\Delta i_L(t) = \sum_{n=1}^{\infty} \sqrt{2} I_{n,rms} \sin(2n\pi f_s t + \theta_n) \quad (2-7)$$

$$\begin{aligned} I_{n,rms} &= \frac{\Delta i_L}{\sqrt{2}(n\pi)^2} \frac{\sin(n\pi d)}{d(1-d)} \\ &= \frac{V_o}{\sqrt{2}L f_s (n\pi)^2} \sin(n\pi d) \end{aligned} \quad (2-8)$$

因此在 LISN 量到雜訊電壓為

$$V_{dn,rms} = \frac{50V_o}{\sqrt{2}L f_s (n\pi)^2} \sin(n\pi d) \quad (2-9)$$

由(2-9)式可以發現：

(1) 由於 $V_{dn,rms}$ 正比於 $1/n^2$ ，因此 $V_{dn,rms}$ 將以 -40dB/dec 的形式遞減，這是因為漣波電流是三角波的緣故。

(2) 有三種方法可以降低漣波電流所造成的雜訊-(a)降低 V_o (b)提高 L (c)提高 f_s 。

雖然這三種方法都可以降低差模雜訊，可是可行性不高，因為：

(a) 單相半橋升壓型功率因數修正器電感電流工作在 CCM 模式而言， V_o 通常輸入電壓有效值為 90~260V，因此 V_o 至少 370V 以上，由於一般 V_o 設計在 370~400V 之間，所以降低 V_o 空間不大。

(b) 輸入電感 L 越大，電流漣波越小，但是相對於電流迴路響應會變慢，所以改變 L 受限於漣波電流大小和系統電流迴路頻寬要求。

(c) 提高 f_s 雖然亦可降低差模雜訊，不過會造成共模雜訊增加和功率開關交換損失增加，進而增加系統散熱片和體積。

2.4.2 共模雜訊來源分析

考慮圖 2.9，通常散熱片基於安全考量，會與接地線相接，因此當功率開關和功率二極體鎖在散熱片時，必須墊上一層薄的絕緣片[14]。由於絕緣片的厚度相當薄，而且有相當大的面積，因此它的電容可達 20pF~100pF 左右，對 Q_1 或 Q_2 而言，由於它的汲極與地之間的電壓，是在 $0\sim 2V_{DC}$ 之間作高頻跳動，因此切換波形將藉由 C_p 耦合到地，因此對半橋升壓型功率因數修正器而言，共模雜訊最主要的來源為 Q_1 或 Q_2 所造成的。以下將以數學方程式分析 Q_1 或 Q_2 所造成的共模雜訊，不過為了方便分析起見，在此做了幾點假設：

- (1) 功率開關 Q_1 或 Q_2 的汲極與地之間的電壓波形，為一梯形波且具有相同的上升下降時間()。
- (2) 以某一個 d 值下的 Q_1 或 Q_2 汲極電壓波形，當作是各個切換週期的電壓波形，並依此作富立葉分析。
- (3) 電流 $I_1 \cong I_2$ 。

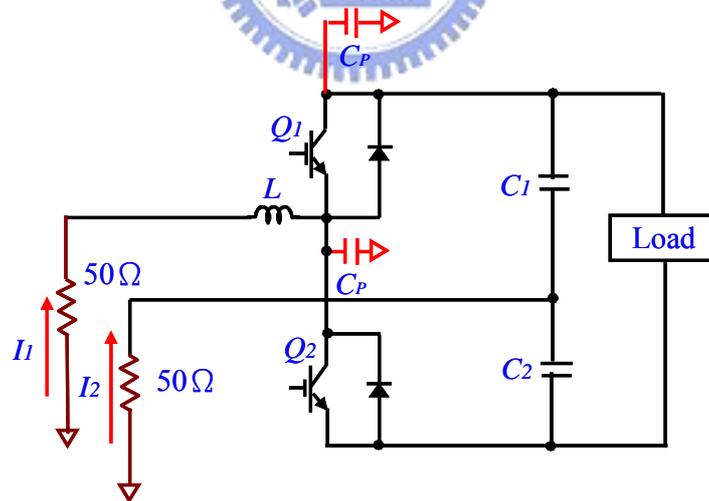


圖 2.9 共模雜訊來源

圖 2.10(a)為 Q_1 汲極與地之間的電壓波形，其中 T 表示 Q_1 的切換週期。因為 $i_{CM} = C_p(dv/dt)$ 以及 $I_1 \cong I_2$ ，所以在 LISN 上所量到的雜訊電壓 $V_c(t)$ ，將如圖 2.10(b)所示。

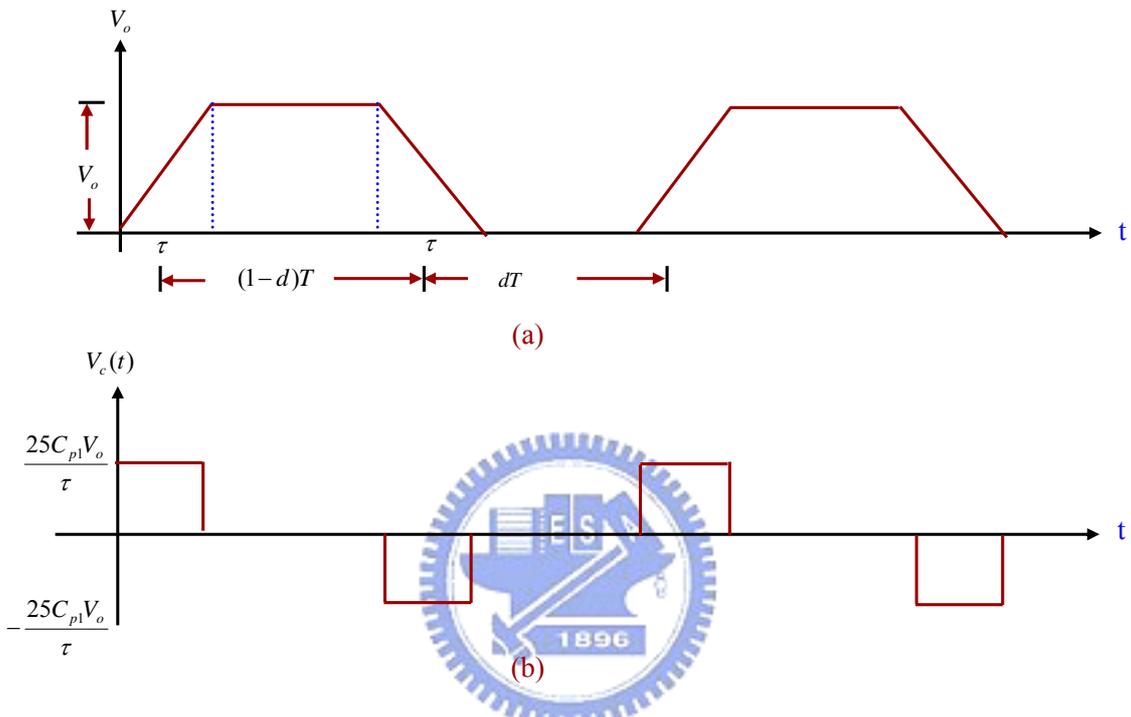


圖 2.10 (a) Q_1 汲極電壓波形 (b) 共模雜訊波形

富立葉分析如下：

$$V_C(t) = \sum_{n=1}^{\infty} \sqrt{2} V_{cn,rms} \sin(2n\pi f_s t + \theta_n) \quad (2-10)$$

$$V_{cn,rms} = \frac{100V_o C_p f_s}{\sqrt{2}} |\sin(n\pi d)| \frac{\sin \frac{n\pi\tau}{T}}{\frac{n\pi\tau}{T}} \quad (2-11)$$

對於 2-11 式，若以某個 d 值去作圖，將可發現其包絡面(envelope)，如圖 2.11 所示。在圖 2.11 中：

(1) 當 $f < 1/n\tau$ 時其振幅為 $100C_p V_o f_s / \sqrt{2}$ 。

- (2) 當 $f > 1/n\tau$ 時其振幅將以 20dB/dec 的形式遞減。
- (3) 當 $f = 1/n\tau$ 時，可視為轉折頻率，轉折頻率一般均為 MHz 以上。例如當 $\tau = 60\text{ns}$ 時，則轉折頻率為 5.3MHz，例如當 $\tau = 45\text{ns}$ 時，則轉折頻率為 7MHz。

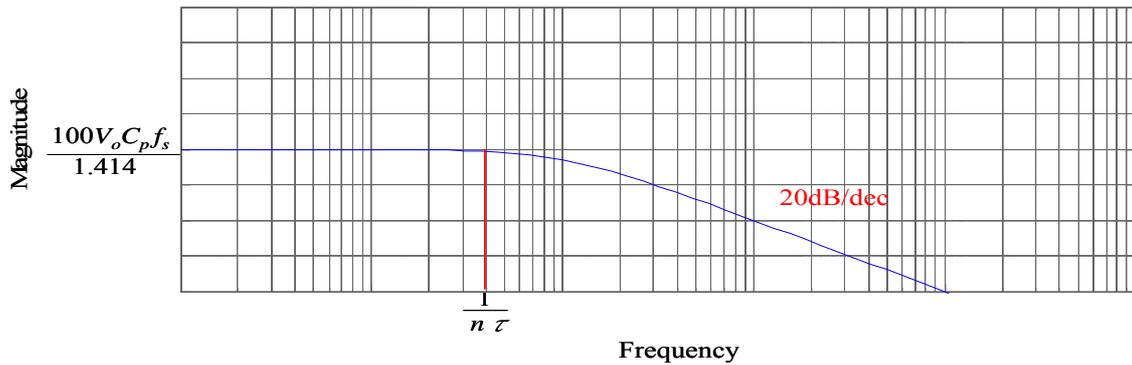


圖 2.11 估算共模雜訊電壓包絡面

觀察 2-11 式，可以知道三個參數可以降低共模雜訊-(a)降低 V_o (b)降低 f_s (c)降低 C_p 。不過在前一節提到， V_o 和 f_s 不太能改變，至於(c)項改善空間也不大，不過有一項類似降低 C_p 的方法如圖 2.12 所示，在功率開關與散熱片之間，加上一個導熱性佳的散熱片，並將其金屬片接到功率開關的源極，當然功率開關與金屬片以及金屬片與散熱片之間，均要墊上絕緣片，由於流經 C_p 電流大部分沒有流經至 C_{p1} 而流經功率開關源極端，所以流經 C_{p1} 的雜訊電流大幅減少，使得耦合到地的共模雜訊將降低不少。

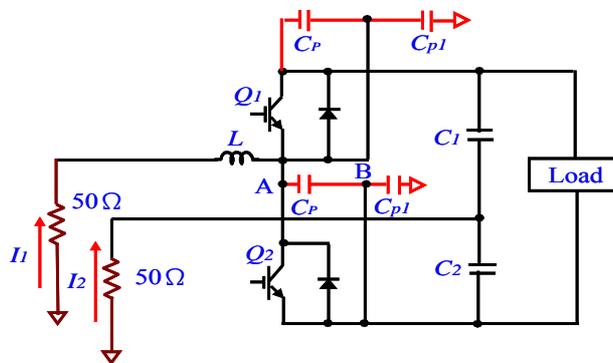


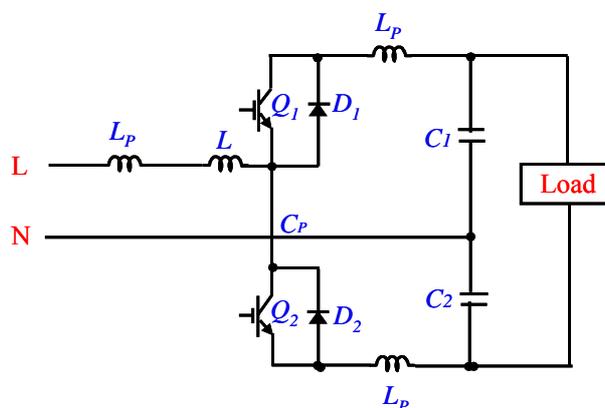
圖 2.12 降低共模雜訊的方法

第三章

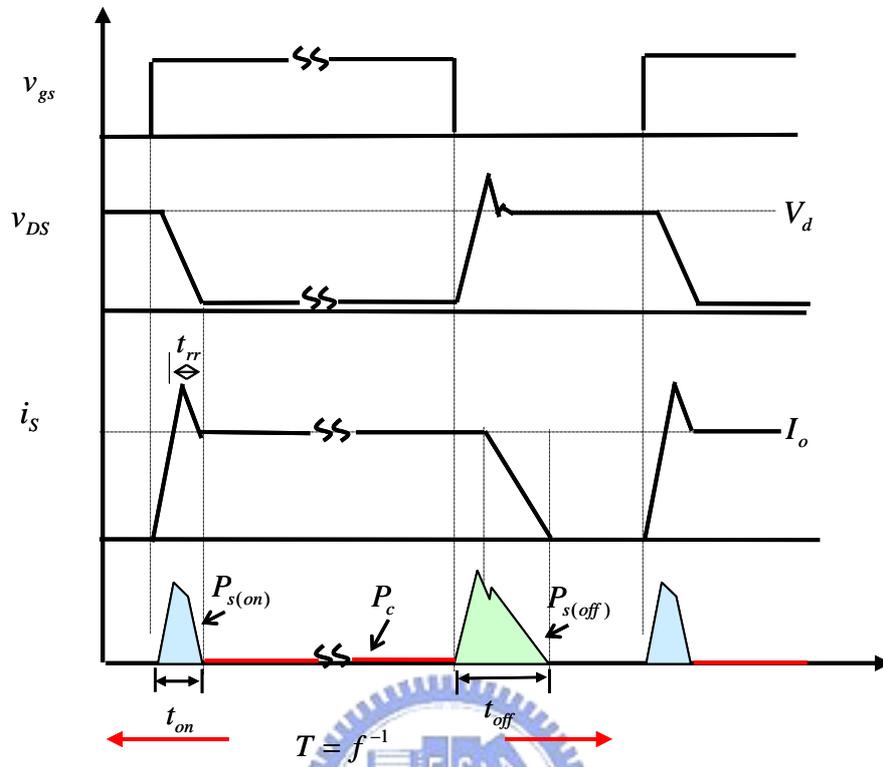
半橋升壓型功率因數修正器緩震電路設計

3.1 Undeland 緩震電路介紹

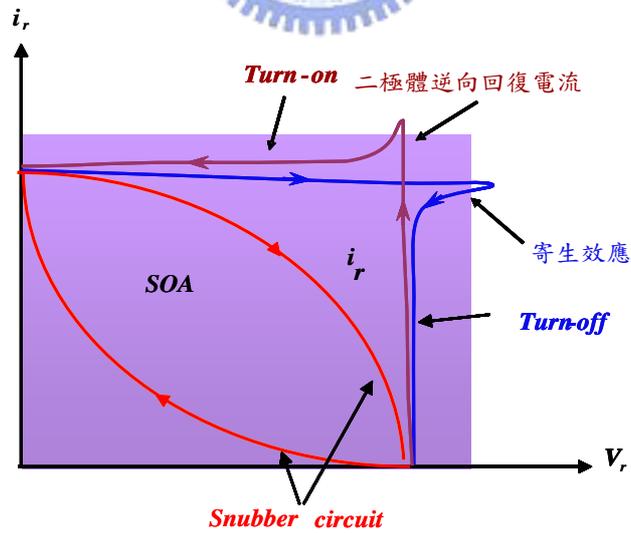
半橋式升壓型功率因數修正電路，如圖 3.1(a) 所示，除了要有好的工作性能(效率高、總諧波失真低)，其他必須考慮的因素包括功率元件的散熱及電磁干擾，尤其當頻率越高，這個問題更加難以處理。當功率元件切換時，由於電壓和電流重疊而產生更大的功率損失，如圖 3.1(b) 所示；由於功率開關 Q_1 或 Q_2 截止受到電路的雜散電感 L_p 影響產生最大電壓， Q_1 或 Q_2 導通受到飛輪二極體 D_1 或 D_2 逆向回復電流 I_{rr} 影響產生最大電流，如果 L_p 太大或 I_{rr} 太大，會使 Q_1 或 Q_2 切換軌跡超過安全工作區，致使 Q_1 或 Q_2 損壞，如圖 3.1(c) 所示。



(a) 電路圖



(b) 切换损失图



(c) 安全操作区域图

图 3.1 半桥升压型功率因数修正器

緩震電路是利用電容器和電感器的特性改善功率元件的切換軌跡，減少功率元件的切換損失，並抑制功率元件的電壓和電流突波，減少高頻電磁干擾，以保護功率元件。緩震電路一般可分為主動和被動式兩種，主動式緩震電路可將儲存於緩震電路的能量回饋給電源系統，可保護功率元件和提昇系統效率，但是線路較複雜、成本較高，所以電子產品大多使用被動式緩震電路為主。被動式緩震電路將儲存於緩震電路的能量消耗在電阻上。

被動式緩震電路可分為導通型緩震電路與截止型緩震電路兩類，導通型緩震電路改善功率元件的導通切換特性，截止型緩震電路改善功率元件的截止切換特性。本章將介紹適合半橋升壓型功率因數修正器的 Undeland 緩震電路，其電路結構如圖 3.2 所示，此緩震電路由一個電感 L_s ，電容 C_s ，電阻 R_s ，以及二極體 D_{S1} 和 D_{S2} 和電容 C_{ov} 所組合而成，至於使用 Undeland 緩震電路的原因有下列幾點：

- (1) 同時具備有導通(turn on) /截止(turn off)緩震電路的功能。
- (2) 元件較少，所以較便宜。
- (3) 切換元件和飛輪二極體能有較大的安全操作區域。

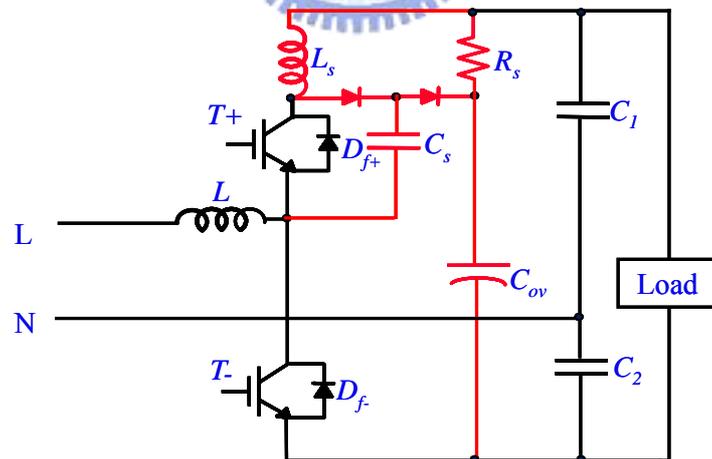


圖 3.2 Undeland 緩震電路

3.2 功率開關的切換特性

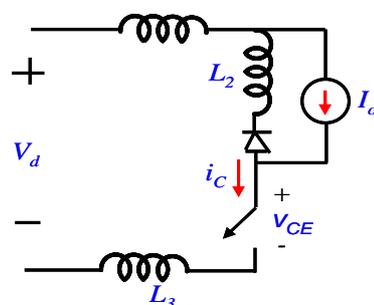
為解釋緩震電路之必要性，首先以圖 3.3(a)所示未加緩震電路之降壓式轉換器來解釋，其中電路各部份均合理地將雜散電感包含進來。假設起始狀態為功率開關導通， $i_c = I_o$ 。在 t_o 時開關截止程序開始，功率開關電壓上昇，但電路各部份之電流維持定值直到 t_1 ，當飛輪二極體開始導通時，此功率開關電流開始下降，下降速度由功率開關特性和開極觸發電路決定。功率開關電壓可以表示為

$$v_{CE} = V_d - L_s \frac{di_c}{dt} \quad (3-1)$$

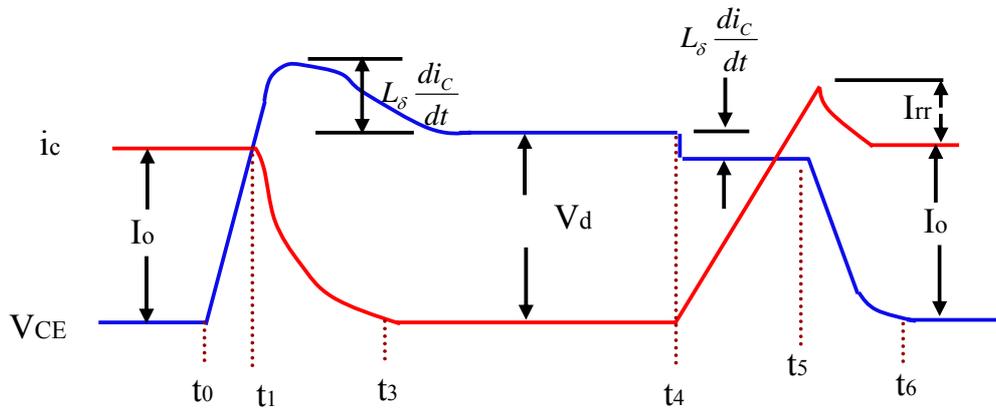
其中 $L_s = L_1 + L_2 + \dots$ ，此雜散電感將造成過電壓，因為 di_c/dt 為負會與輸入電壓疊加。當電流在 t_3 下降至 0 後，電壓亦回至 V_d 並維持在此值。

在功率開關導通過程時，功率開關電流在 t_4 開始上升，上升速度由功率開關特性和開極觸發電路決定。方程式(3-1)仍適合於此，但由於 di_c/dt 為正因此功率開關電壓 v_{CE} 將較 V_d 稍低。由於飛輪二極體反向回復電流之故， i_c 將超越 I_o ，此時飛輪二極體在 t_5 時回復，功率開關電壓則在 t_6 時下降至 0，下降速度由功率開關特性決定。功率開關導通和截止之電壓及電流波形如圖 3.3(b)所示。

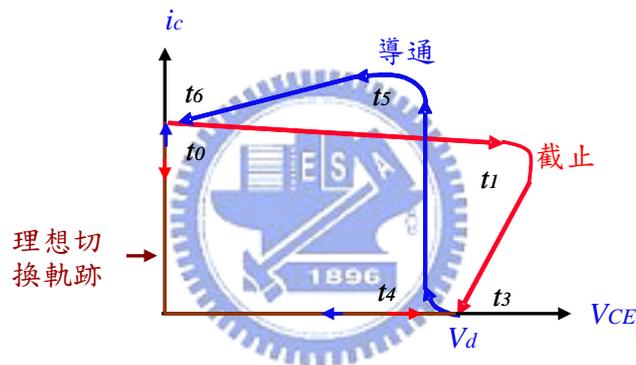
開關切換之波形亦可以圖 3.3 (c)所示之切換路徑來表示，這些路徑均顯示功率開關在導通及截止瞬間需同時承受高電壓及高電流，因此將造成高功率損失，同時雜散電感會造成超過 V_d 之過電壓，飛輪二極體之反向回復電流亦會造成超過 I_o 之過電流，若此過電壓或過電流無法接受則需使用緩震電路來降低開關的負荷。



(a) 雜散電感效應



(b) 功率開關導通和截止之電壓及電流波形



(c) 切換路徑

圖 3.3 降壓式轉換器

3.3 Undeland 緩震電路

3.3.1 使用Undeland 緩震電路原因

半橋換流器(inverter)與半橋升壓型功率因數修正器電路結構相同，如圖 3.4 紅色虛線部份，所以半橋升壓型功率因數修正器可當半橋換流器使用。因為半橋升壓型功率因數修正器需要閉迴路控制，才能達到功率因數修正功能，而半橋換流

器在電阻性負載下，輸出電壓及電流同相，不需要閉迴路控制，所以為了實驗方便，本節都用半橋換流器來分析和設計 Undeland 緩震電路。

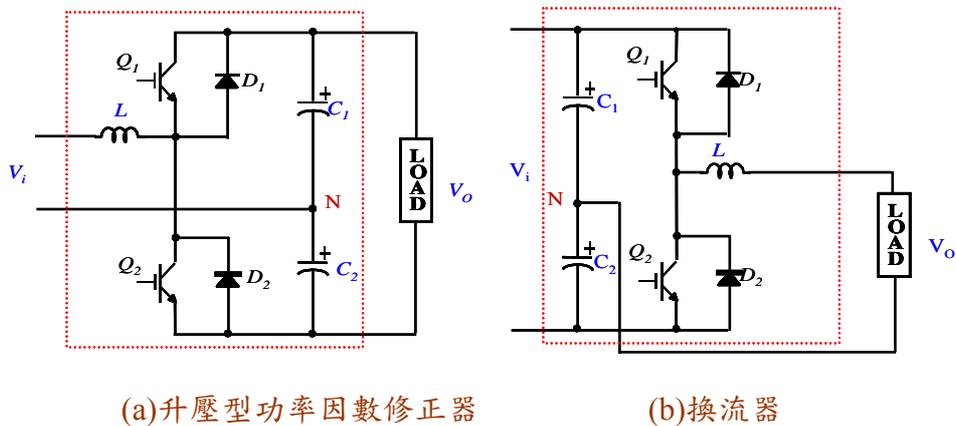


圖 3.4 半橋轉換器可以雙向動作說明圖

橋式換流器如圖 3.5 所示，負載電流在一個切換週期內可視為定值 I_o ， I_o 之方向如圖中所示為流入轉換器臂，但亦可能為流出。與降壓器轉換器不同的是，截止之緩震電路在此不能單獨使用，必須配合導通之緩震電路，說明如下：當 I_o 流向轉換器臂時，若 T_- 截止則 I_o 流經 D_{f+} 使得 C_{s+} 之電壓為 0，當 T_- 導通 D_{f+} 反向回復時，將有如圖 3.4 所繪之迴路形成使 C_{s+} 之充電電流流經 T_- 。其會增加 T_- 額外之導通瞬間損失。同理亦可推導 T_+ 之導通情形，另外 C_{s+} 對於降低 T_- 截止時之切換應力亦毫無幫助。

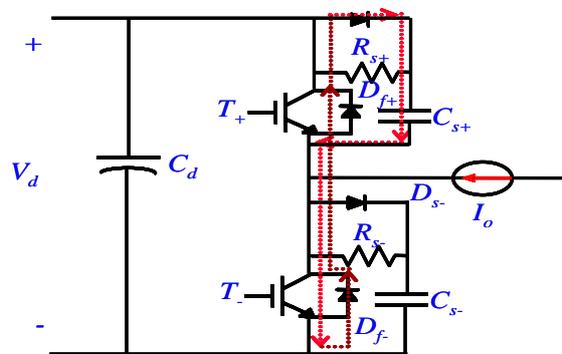


圖 3.5 橋式換流器

Undeland 緩震電路，其電路結構如圖 3.6 所示，它具備有導通及截止緩震電路的功能，由圖中所繪之迴路可知在 T_- 導通 D_{f+} 反向回復瞬間，電流亦流經導通緩震電路之電感，減輕前述無導通緩震電路之問題。

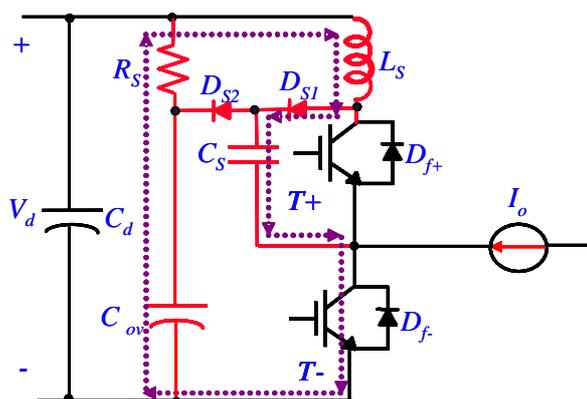


圖 3.6 橋式 Undeland 緩震電路

3.3.2 Undeland 緩震電路工作原理

由於換流器一般都做為馬達驅動使用，所以負載可視為一電阻與電感串聯之等效電路，因為有電感性負載存在，所以元件 IGBT 在做開關切換時，電壓突波的發生將是無法避免。又在換流器有一項重要的原則必須遵守，便是上下兩個開關不能同時導通，否則將造成短路，產生極大之電流而把元件燒壞，所以本節討論與分析時，都是將上下其中一個開關截止，在令另一個開關導通或截止來進行討論，當下面的開關截止時，電路可簡化成如圖 3.7(a)，而當上面的開關截止時，則電路可簡化成如圖 3.7(b)。此外，在做暫態分析時，由於一般馬達負載時，等效電感值皆相當大，所以在暫態時，可視為一定電流源，即暫態分析時，可視為斷路(open)，依此原則，以下將詳述 Undeland 緩震電路的工作原理與設計。

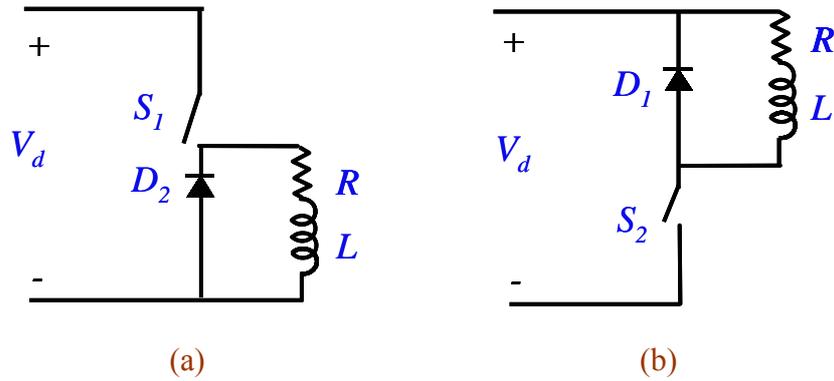


圖 3.7 半橋換流器 (a) S_2 導通 (b) S_1 導通時簡化電路

S_1 導通

1. 在 S_1 導通之前，負載電流流經飛輪二極體 D_{f-} ， $i_{L_s} = 0$ ， $V_{C_s} = V_d$ 。
2. 當 S_1 導通時，電流變換成流經 L_s 及 S_1 ， $i_{L_s} = i_{S_1} = I_1 + I_{rr}$ ，其中 I_{rr} 為 D_{f-} 之反向回復電流。
3. 當 $V_{C_s} = 0$ 時，二極體 D_{S_1} 導通，而電感 L_s 上之能量由電阻 R_s 消耗。
4. 電流之流動情形請參考圖 3.8。

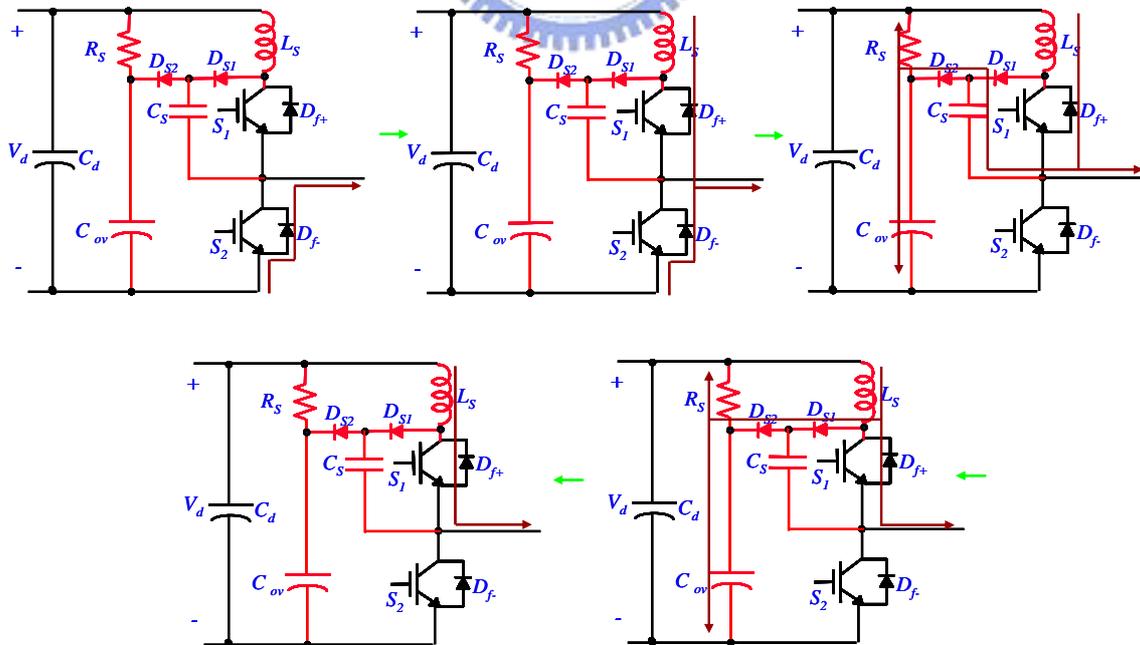


圖 3.8 當 S_1 導通時之電流流動情形

S_1 截止

1. 在 S_1 截止之前，負載電流流經 S_1 ， $i_{L_s} = I_1$ ， $V_{C_s} = 0$ 。
2. 當 S_1 截止時，電流將流經 C_s ，則跨於 C_s 上之電壓上升。
3. 當 $V_{C_s} < V_d$ 時，所有之負載電流流經 C_s ，直到 $V_{C_s} = V_d$ 。
4. 當 $V_{C_s} = V_d$ 時，飛輪二極體 D_{S_2} 將導通，且電感 L_s 上之能量，由電阻 R_s 消耗。
5. 電流之流動情形參考圖 3.9。

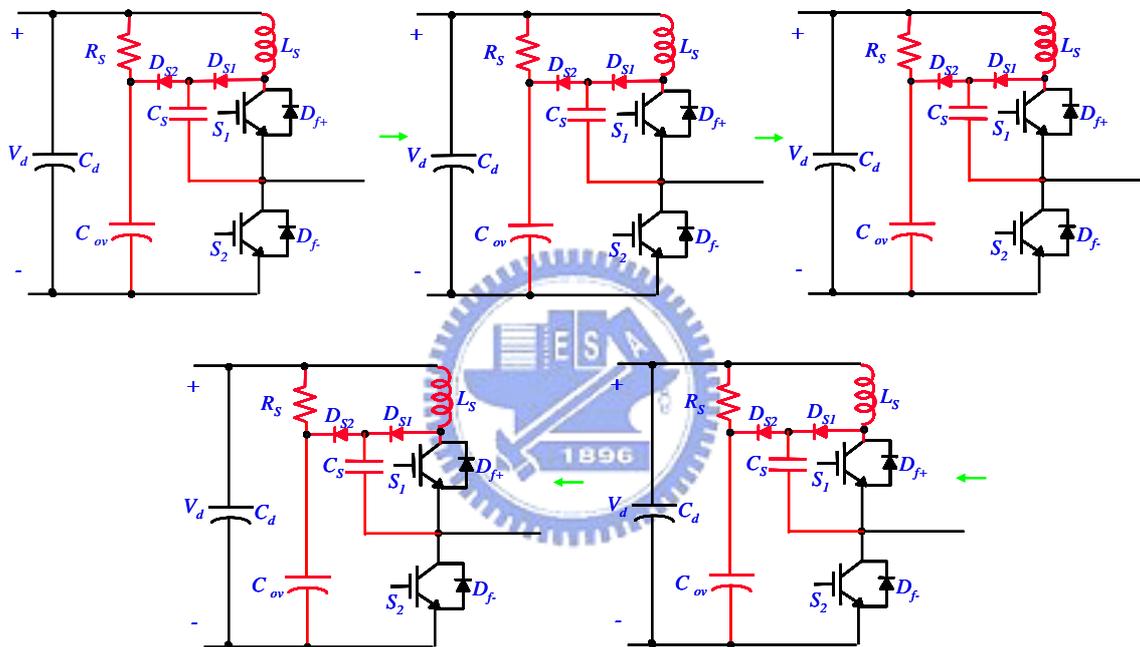


圖 3.9 當 S_1 截止時之電流流動情形

S_2 導通

1. 在 S_2 導通之前，負載電流流經飛輪二極體 D_{f+} ， $i_{L_s} = -I_1$ ， $V_{C_s} = 0$ 。
2. 當 S_2 導通時，電流從 D_{f+} 變換成流經 S_2 。
3. 當 D_{f+} 截止，且 D_{S_1} 導通， i_{L_s} 流經電容 C_s ，跨於 C_s 上之電壓上升。
4. 當 $V_{C_s} = V_d$ 時， D_{S_2} 導通，而電感 L_s 上之能量由電阻 R_s 消耗。
5. 電流之流動情形請參考圖 3.10。

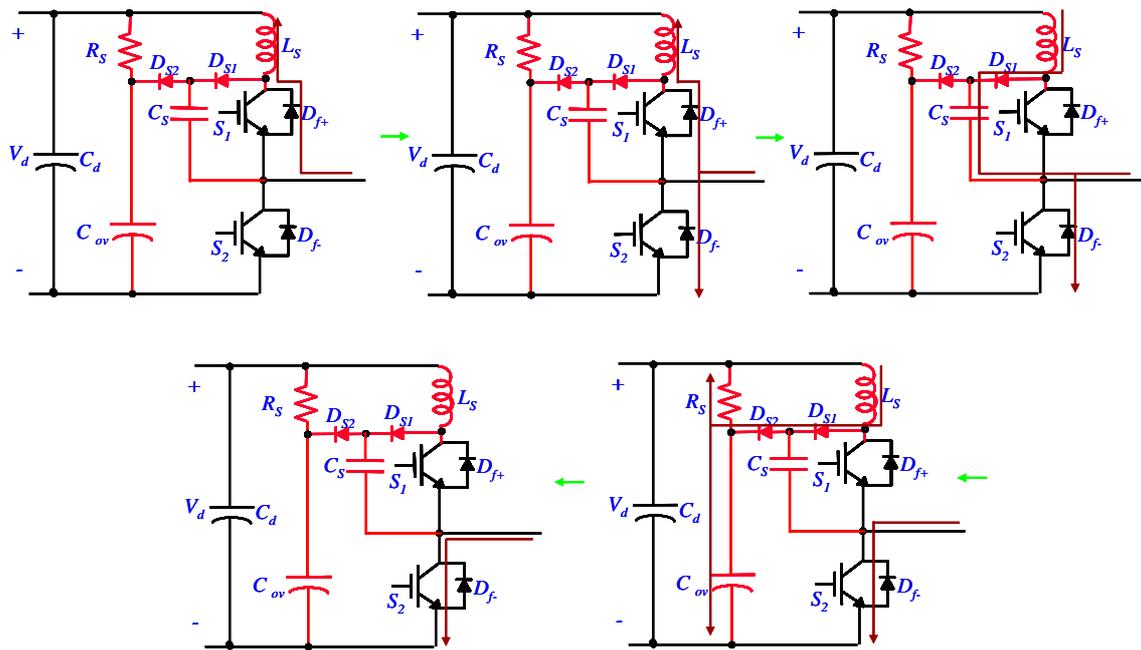


圖 3.10 當 S_2 導通時之電流流動情形

S_2 截止

1. 在 S_2 截止之前，負載電流流經 S_2 ， $i_{L_s} = 0$ ， $V_{C_s} = V_d$ 。
2. 當 S_2 截止時， i_{s_2} 減少而 $i_{C_s} = I_1 - i_{s_2}$ 流經 C_s 而進入 C_{ov} 和 R_s 。
3. 在 $V_{C_s} = 0$ 前， $i_{s_2} = 0$ ，負載電流 i_1 流經 C_s 而進入 C_{ov} 和 R_s 。
4. 當 $V_{C_s} = 0$ 時，飛輪二極體 D_{f+} 和 D_{s_2} 導通， i_1 將從 C_{ov} 和 R_s 變換成流經電感 L_s 。
5. 電流之流動情形請參考圖 3.11。

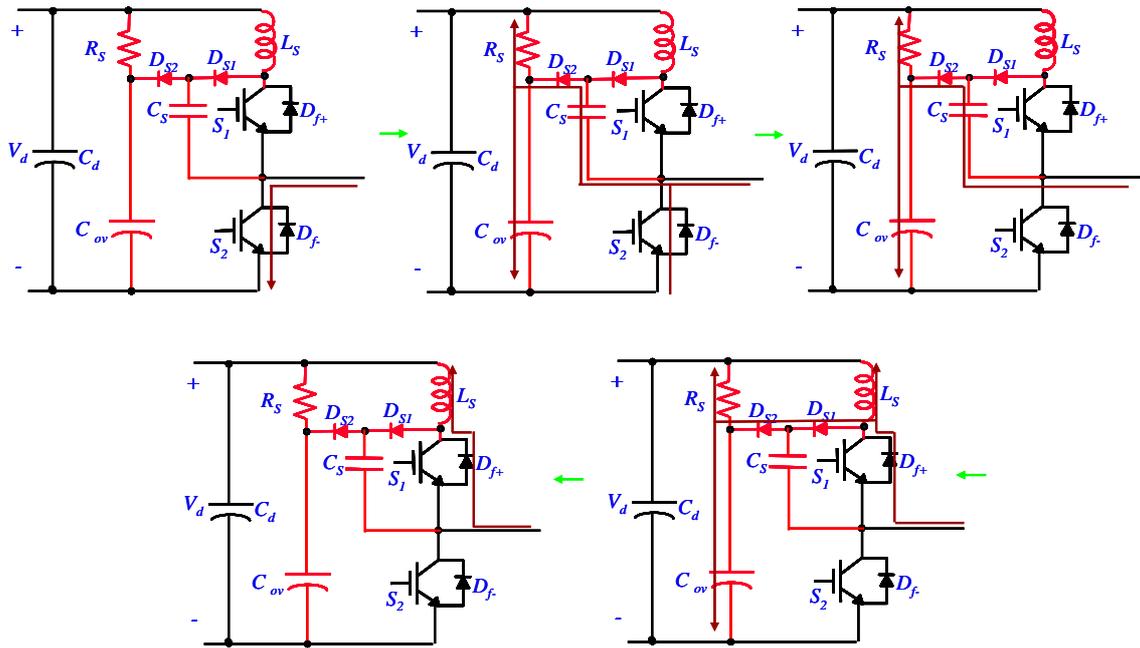


圖 3.11 當 S_2 截止時之電流流動情形

3.3.3 Undeland 緩震電路之設計

由前面電路分析得知，當 S_1 和 S_2 導通時，其電流上升率 di/dt ，主要是受電感 L_s 的影響，而跨於電感 L_s 兩端之電壓為 V_d ，所以

$$V_d = L_s \frac{di}{dt} \quad (3-4)$$

$$L_s = \frac{V_d}{di/dt} \quad (3-5)$$

其中 di/dt 為元件 IGBT 加上緩震電路後電流變化率。

當 S_1 和 S_2 截止時，其電壓上升率 dv/dt ，主要是受電容 C_s 的影響，而跨於電容 C_s 兩端之最大電流為 I_1 ，所以

$$C_s = \frac{I_1}{dv/dt} \quad (3-6)$$

其中 dv/dt 為元件 IGBT 加上緩震電路後電壓變化率。

在圖 3.8 至圖 3.11 的電路分析中，若僅考慮暫態時之響應，則負載端如前面所述，可視為斷路(open)的情形，則上下元件切換有四種不同情形，都可以等效成如圖 3.12 的 RLC 並聯電路。

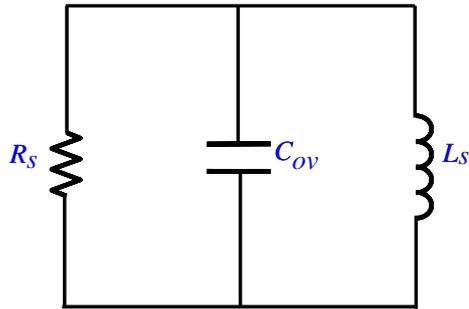


圖 3.12 並聯 RLC 等效電路

由圖 3.8 至圖 3.11 的電路可發現，當元件 S_1 截止或元件 S_2 導通時，電容 C_{ov} 上的電壓即為跨於元件 S_1 兩端之電壓；且當 S_1 導通或是元件 S_2 截止時，電容 C_{ov} 上的電壓則是跨於元件 S_2 兩端的電壓。並聯 RLC 電路的阻尼比(damping ratio)

$$\xi = \frac{1}{2R_s} \sqrt{\frac{L_s}{C_{ov}}} \quad (3-7)$$

在此令 $\zeta=1$ ，即臨介阻尼(critical damping)之意，便是要使得跨於 C_{ov} 兩端之電壓峰值不要太大，亦即使得元件 S_1 和 S_2 之上下不會有電壓突波的產生。此外，為了讓 C_{ov} 內之電荷於切換週期 T_s 內能夠充份的放完，所以通常尚有以下之關係式：

$$5R_s C_{ov} < T_s \quad (3-8)$$

3.4 單相半橋升壓型功率因數修正器緩震電路設計

單相半橋式轉換器結構可以雙向動作，所以本節以單相半橋換流器來設計緩震電路，目的在於降低高頻傳導性電磁干擾之 di/dt 及 dv/dt 。圖 3.13 為單相半橋換流器加上 Undeland 緩震電路，輸入直流電壓 $V_d=400V$ ，輸出交流電壓 $v_o=110V$ ，輸出功率 $P_o=1400W$ ，輸出電感為 $L=0.5mH$ ，輸出電容為 $C=36\mu F$ ，功率開關頻率 f_s 為 24kHz，因為功率開關 T 切換波形與 T_+ 相同，所以本節僅討論功率開關 T_+ 導通及截止切換情形。

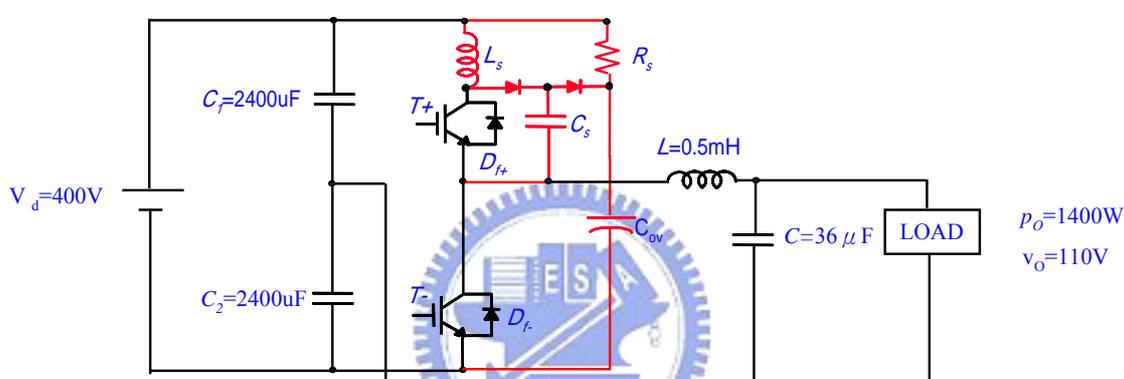


圖 3.13 單相半橋換流器之緩震電路

T_+ 切換方法採用雙極性正弦脈寬調變法 (Sinusoidal Pulse Width Modulated, SPWM)，所以在脈寬調變中每一切換週期中之責任比是變動的，為了降低 T_+ 切換損失，所以以 T_+ 電流最大值之切換週期脈寬為設計依據，可以利用示波器軌跡 (trace) 的功能，設定追蹤 T_+ 最大峰值電流。

未加緩震電路之 T_+ 導通情形如圖 3.14 所示。跨於電感 L_s 兩端之電壓為 406V， T_+ 最大電流 20.5A， T_+ 最大電流上升時間 600ns，此時 $di/dt=34.16V/\mu s$ ，代入(3-5)式，緩震電感 L_s 為：

$$L_s = \frac{v_d}{di/dt} = 12\mu H$$

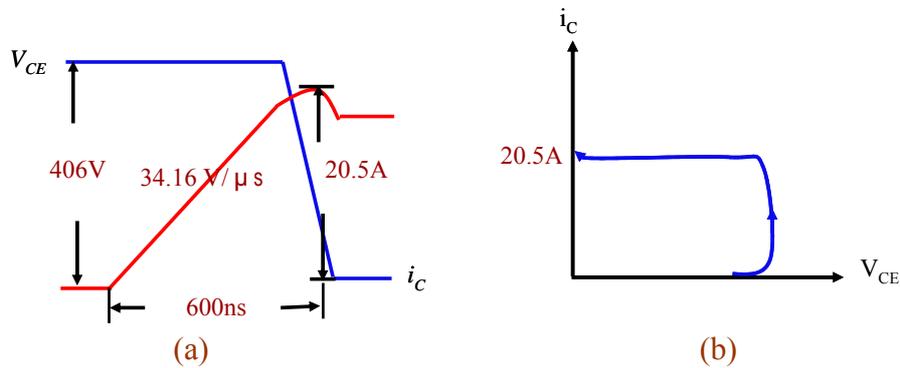


圖 3.14 未加緩震電路功率開關導通 (a)電壓電流波形 (b)切換路徑

未加緩震電路之 T_+ 截止情形，如圖 3.15 所示。電容 C_s 兩端之最大電流 18.27A， T_+ 最大峰值電壓 449V， T_+ 最大峰值電壓上升時間 100ns，此時 $dv/dt = 4.5V/ns$ ，代入(3-6)式，所以此時 C_s 為：

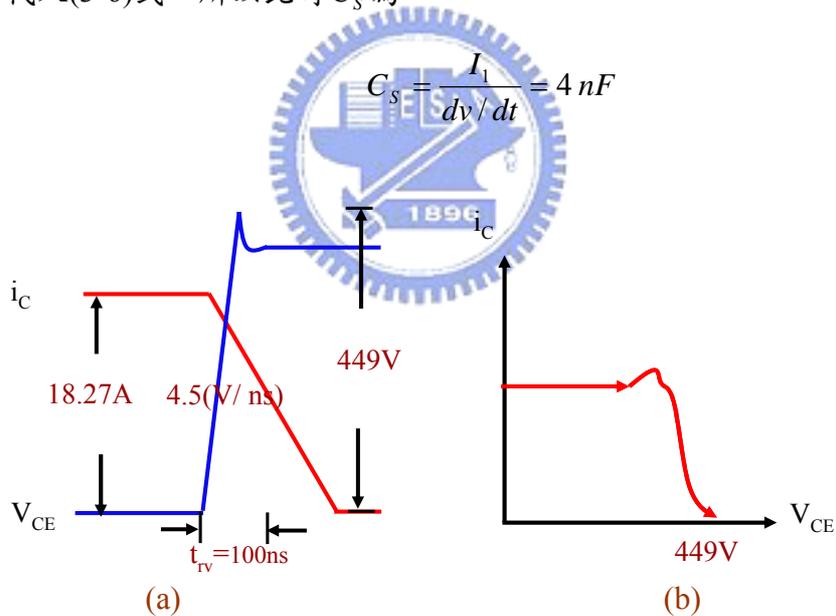


圖3.15 未加緩震電路功率開關截止 (a)電壓電流波形 (b)切換路徑

由(3-7)和(3-8)，令 $\zeta=1$ ，則 $R_s = 0.33 \Omega$ ， $C_{ov} = 25 \mu F$ 。

圖 3.16 為加上 Undeland 緩震電路後， T_+ 導通波形，圖中顯示：

- (1) 功率開關 T_+ 導通切換損失降低。
- (2) 改善 T_+ 導通軌跡並增加 T_+ 應力。

(3) 電流變化率由 $34.16 \text{ A}/\mu\text{s}$ 下降 $18.175 \text{ A}/\mu\text{s}$ ，降低高頻傳導性電磁干擾。

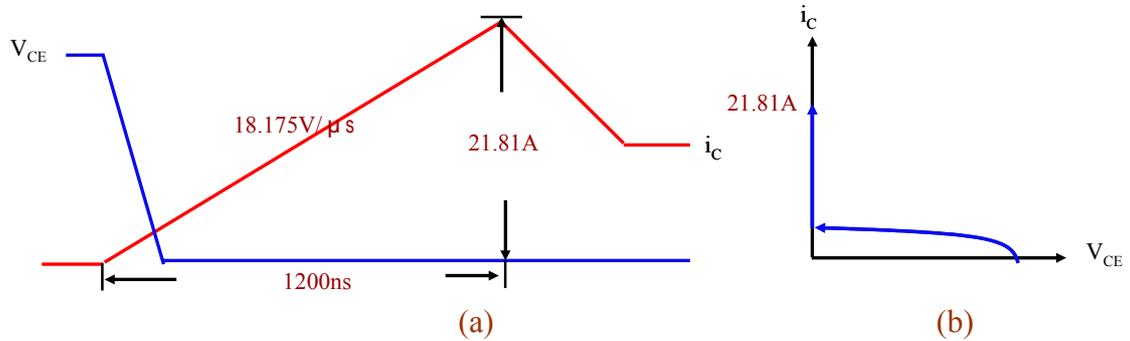


圖3.16 加上Undeland緩震電路功率開關導通 (a)電壓電流波形 (b)切換路徑

圖 3.17 為加 Undeland 緩震電路後功率開關 T_+ 截止波形，圖中顯示：

- (1) 功率開關 T_+ 截止切換損失降低。
- (2) 改善 T_+ 截止軌跡並增加 T_+ 應力。
- (3) 電壓變化率由 4.5 V/ns 下降 0.5 V/ns ，降低高頻傳導性電磁干擾。

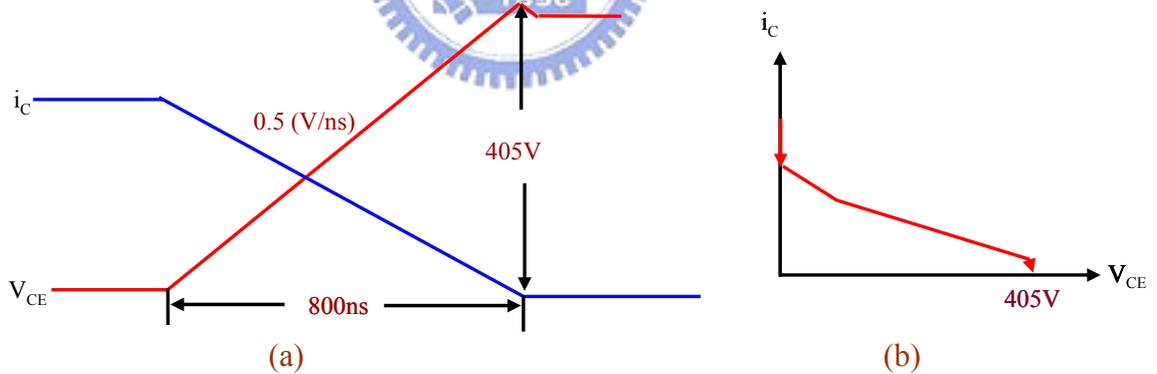


圖3.17 加上Undeland緩震電路功率開關截止 (a) 電壓電流波形 (b) 切換路徑

第四章

傳導性電磁干擾濾波器設計

4.1 電磁干擾濾波器元件特性

圖 4.1 為典型電磁干擾濾波器架構，包含共模電感 L_C 、差模電感 L_D 、 X 電容 C_X 、 Y 電容 C_Y 與放電電阻 R 。以下分別對各個元件做一簡單說明。

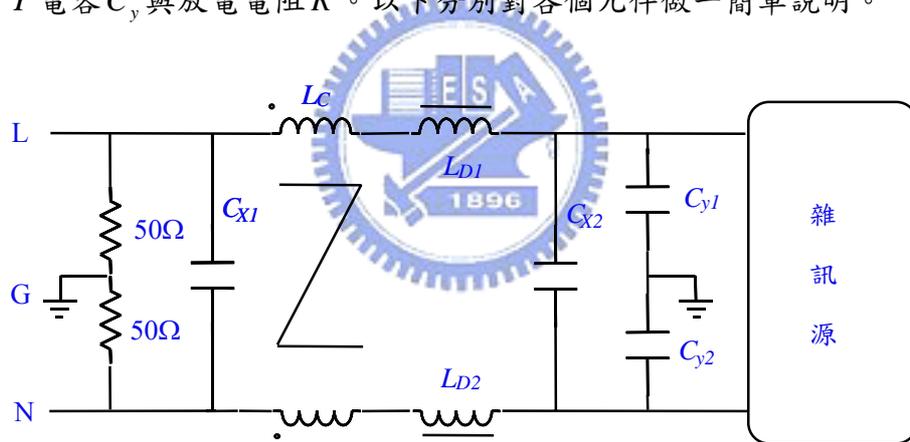


圖 4.1 典型電磁干擾濾波器架構

共模電感

共模電感(CM inductor)如圖 4.2 所示，是兩組相同匝數的線圈，繞在一顆鐵心上，依此繞線方式，將使得由差模電流所產生的磁通互相抵消，而共模電流所產生的磁通相互加成，換句話說，此種繞線方式對差模電流而言，不具有電感效果；對共模電流而言，則具有電感效果。不過事實上繞組兩側的漏磁通，對差模電流而言其磁通無法完全抵消，因此這些漏磁通對差模雜訊的衰減將會有部分的

貢獻。另一方面對共模電流而言，其磁通並無法完全加成，因此這些漏電感將使得有效共模電感感值降低。

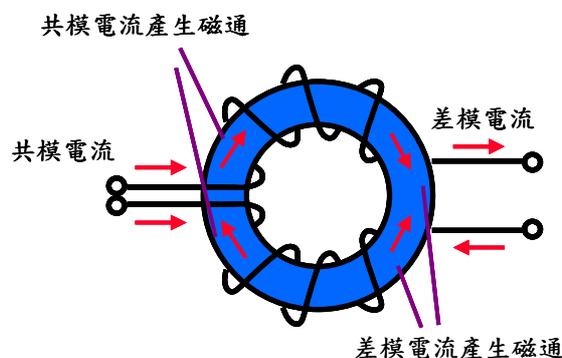


圖 4.2 共模電感

由於共模電流所產生的磁通幾乎相互抵消，因此共模電感較不易飽和，所以可以使用 μ 值較高的鐵心，一般是使用陶鐵磁體(ferrite core)的材質作鐵心。由於 μ 值較高，因此感值也比較高，一般可由幾 mH 至幾十 mH 之間。

如圖 4.3 為共模電感漏感量測方法。將繞組的一端短路，而由另一端量測其電感感值，由圖中可知差模電流在共模環形線圈引起的磁通偏離可由下式(4-1)得出：

$$\Delta\phi = \frac{L_{leak} \Delta I_{DM}}{n} \quad (4-1)$$

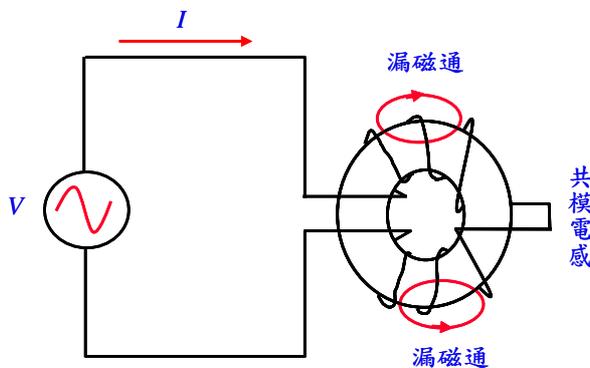


圖 4.3 共模電感漏感量測圖

雖然共模電感的漏電感對差模雜訊有貢獻，但是仍須注意避免其漏感成分造成鐵心的飽和，因此共模電感的漏電感感值不能太大，必須滿足下式：

$$L_{leak} < \frac{nB_{max} A}{I_{DM}} \quad (4-2)$$

差模電感

差模電感如圖 4.4 所示，對於差模電感(DM inductor)而言，由於必須流過大電流，因此要選擇 μ 值較低的鐵心以免飽和，一般材質為鐵粉心(powder core)，不過由於 μ 值較低，因此差模電感的感值較低，一般感值介於幾 μH 至幾百 μH 之間。

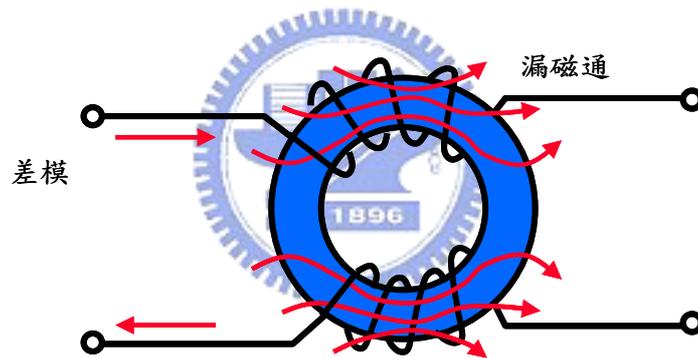


圖 4.4 差模電感

X 電容

X 電容如圖 4.5 所示，是指跨接在 L (line)、N (neutral)之間的電容，主要對付差模雜訊。由於 X 電容為加在交流電源側的電容，必須考慮雷擊的影響，因此要有安規認證許可。材質大多使用可靠度佳且具高容值的金屬皮膜電容，常見規格介於 $0.1\mu\text{F}$ ~ $2.2\mu\text{F}$ 。

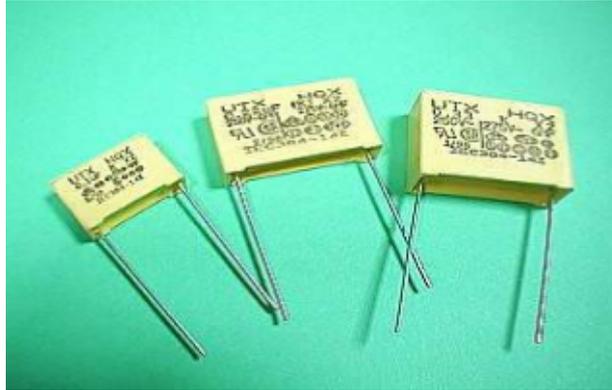


圖 4.5 X 電容

Y 電容

Y 電容，如圖 4.6 所示，是指跨接在 L、G (ground)及 N、G 之間的電容，通常成對出現抑制共模雜訊。材質為高壓陶瓷電容，常見容值為 470pF~0.01 μ F。Y 電容除了認證許可還要加上安規限制，關於這一點以下作說明：



圖 4.6 Y 電容

Y 電容漏電流考量，如圖 4.7 所示，當接地線發生斷裂或是未接上時，跨在金屬外殼與地之間的人，將直接承受經 Y 電容的電流，通常當電流大於 5mA 時，將對人體產生危險。由於線頻率(50/60Hz)下 Y 電容的阻抗，遠大於人體所呈現的阻抗(1~2K Ω)，因此所容許的 Y 電容大小，將直接取決於所允許的漏地電流大小。對於最大的 Y 電容可由下列式子來決定：

$$C_y \leq \frac{I_g}{2\pi V_{in}} \quad (4-3)$$

其中 V_{in} 表示線電壓， f 表示交流電源頻率， I_g 表示安規所允許的漏電流大小。舉個例子來說，若 $V_{in}=110V$ ， $f=60Hz$ ， $I_g=5mA$ ，則 Y 電容必須小於 $0.12\mu F$ 。

表 4.1 列出各國安規所允許 Y 電容大小。

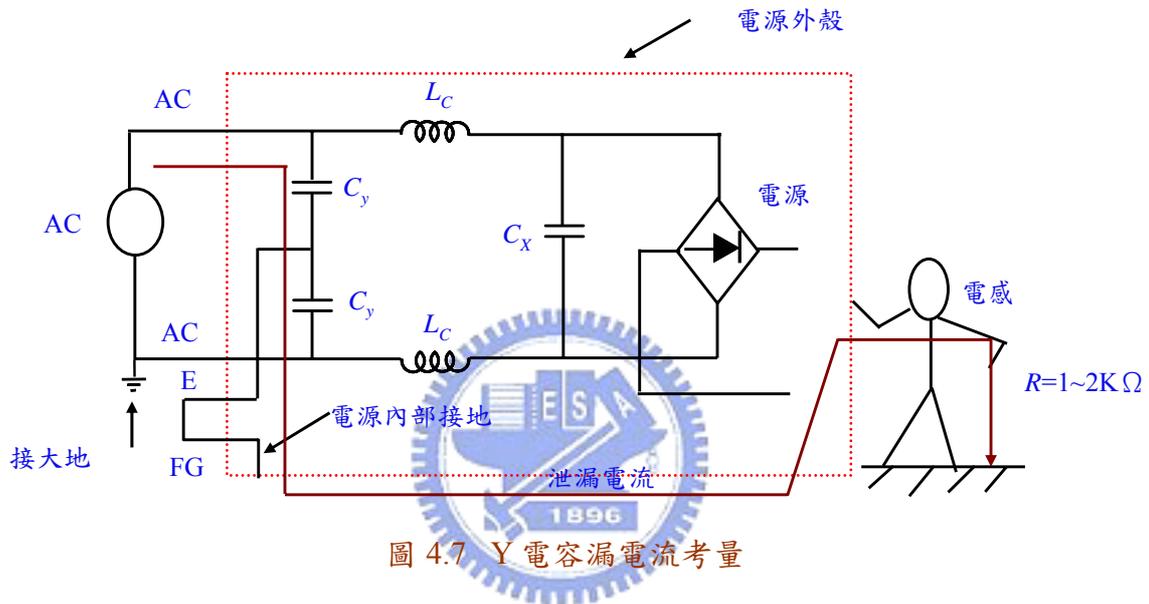


圖 4.7 Y 電容漏電流考量

表 4.1 列出各國安規所允許 Y 電容大小

國家	安全規範	漏電流限制值	Y 電容的最大值
美國	UL478	5mA120V60Hz	0.11 μF
	UL1283	0.5-3.5mA120V60Hz	0.011-0.077 μF
加拿大	C22.2No.1	5Ma120V60Hz	0.11 μF
瑞士	IEC335-1	0.75mA250V50Hz	0.0095 μF
德國	VDE0804	3.5mA250V50Hz	0.0446 μF
		0.5mA250V50Hz	0.0064 μF
英國	BS2135	0.25-0.5mA250V50Hz	0.0032-0.0064 μF
瑞典	SEN432901	0.5mA250V50Hz	0.0064 μF
		0.25-5mA250V50Hz	0.0032-0.0064 μF

放電電阻

前面所提的 X 電容，雖然沒有很嚴格限制其大小，但安規規定當所加的 X 電容大於某個值時，則 EMI 濾波器要加裝放電電阻。放電電阻為跨接在 L 與 N 上的電阻，加入目的在於交流電源關掉時，X 電容的放電路徑，若安全規範為 VDE-0806 與 IEC-380 標準，電路中的放電電阻器之值可由下式求得：

$$R = \frac{T}{2.21C} \quad (4-4)$$

在此 $T=1s$ ，而 C 為所有 X 電容值總合(μF)。

最後將上述 EMI 濾波元件，整理在表 4.2。

表 4.2 EMI 濾波元件特性

濾波元件種類	材質	共模雜訊作用	差模雜訊作用	一般規格
共模電感	陶鐵磁鐵心	有	漏電感	1-30mH
差模電感	鐵粉心鐵心	小	有	1-200 μ H
X 電容	金屬皮模	無	有	0.1-2.2 μ F
Y 電容	高壓陶瓷	有	小	0.47-10nF

4.2 半橋升壓型功率因數修正器雜訊源特性

4.2.1 DM和CM雜訊迴路分析

半橋升壓型功率因數修正器如圖 4.8 所示， C_p 為功率開關汲極到大地之間的寄生電容，功率開關 Q_1 或 Q_2 汲源 V_{ds} 兩端電壓變化 $0 \sim 2V_o$ 能用方波電壓源 V_s 取代。

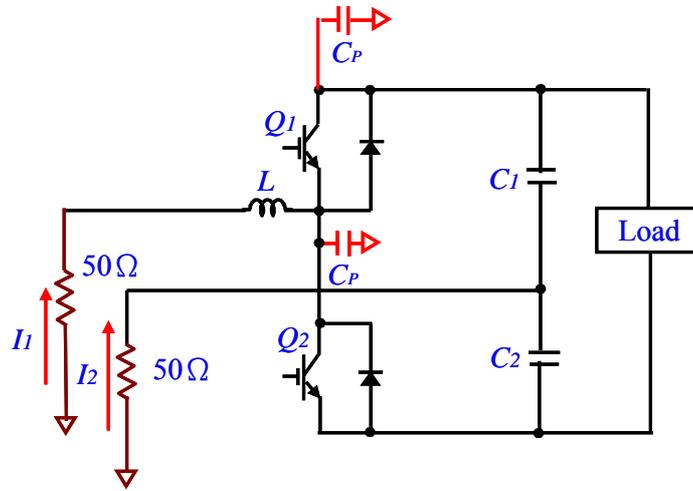


圖 4.8 半橋升壓型功率因數修正器

DM 雜訊源迴路

當電感電流 i_L 工作在 CCM，DM 雜訊迴路可以簡化為圖 4.9。其中 Z_{loop} 為整體電路迴路阻抗， Z_L 為電感 L 等效阻抗， Z_{load} 為 LISN 等效阻抗， V_s 為功率開關 Q_1 或 Q_2 汲源 V_{ds} 兩端電壓變化雜訊源。

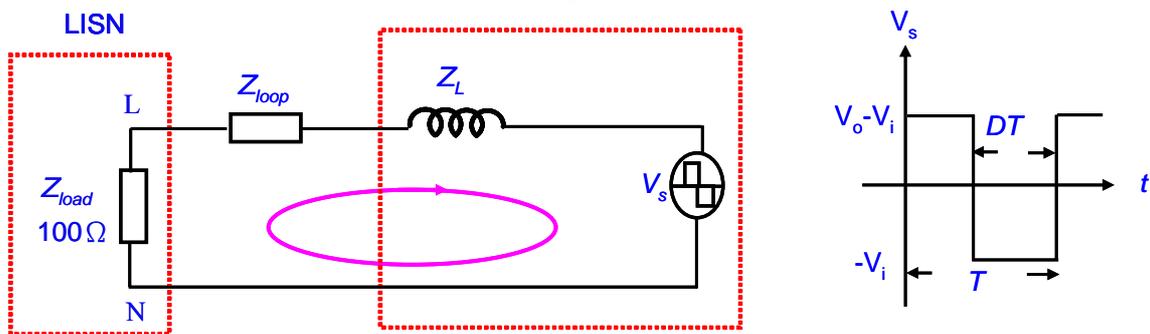


圖 4.9 DM 雜訊迴路

根據 DM 雜訊迴路分析，在 100Ω 兩端 DM 雜訊電壓 V_{DM} 為：

$$V_{DM} = \frac{Z_{load}}{Z_{load} + Z_{loop} + Z_L} V_s \quad (4-4)$$

電感在繞組間會有寄生電容效應，它會導致電感在高頻阻抗變小。大多數情況 $Z_{loop} \ll Z_L$ ，由(4-4)得知， Z_L 為影響在 DM 雜訊最重要的因素。

電感的阻抗-頻率曲線如圖 4.10 所示，說明如下：

- (1) 超過 A 點頻率，B、D 和 F 點呈現低 Z_L 。
- (2) 在 A 點頻率之前， Z_L 會以 +20dB/dec 遞增。
- (3) 在 A 點和 B 點頻率之間， Z_L 效應會以 -20dB/dec 遞減像電容一般。
- (4) 在 B、D 和 F 點頻率附近， Z_L 略小於 -20dB/dec 遞減。

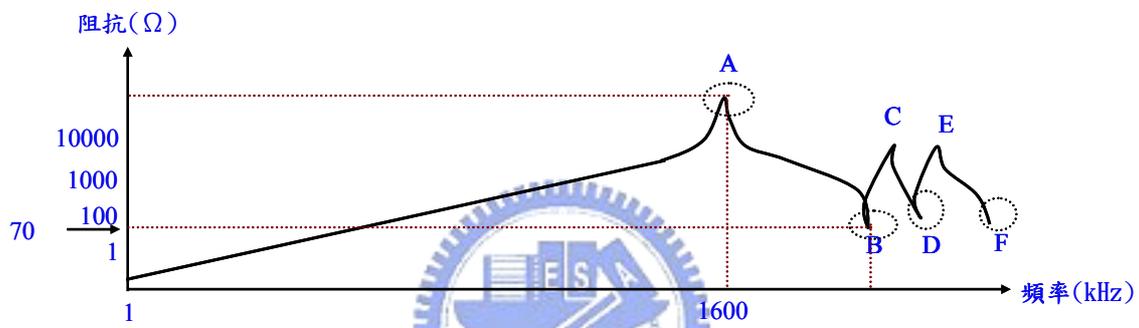


圖 4.10 輸入電感之阻抗-頻率圖

如圖 4.11 為 DM 雜訊頻譜圖。說明如下：

- (1) 方波電壓源 V_S 對於 DM 雜訊有衰減 20dB/dec[20]， Z_L 在 A 點頻率前，衰減 DM 雜訊 20dB/dec，所以 DM 雜訊在 A 點頻率前被衰減 40dB/dec。
- (2) 在 A 點和 B 點頻率之間，電感寄生電容效應，增加 DM 雜訊 20dB/dec，方波電壓源 V_S 對於 DM 雜訊有衰減 20dB/dec，所以 DM 雜訊 0 dB/dec。
- (3) 其他 B、D 和 F 點頻率，由於 Z_L 隨頻率增加而減少，所以會放大 DM 雜訊。

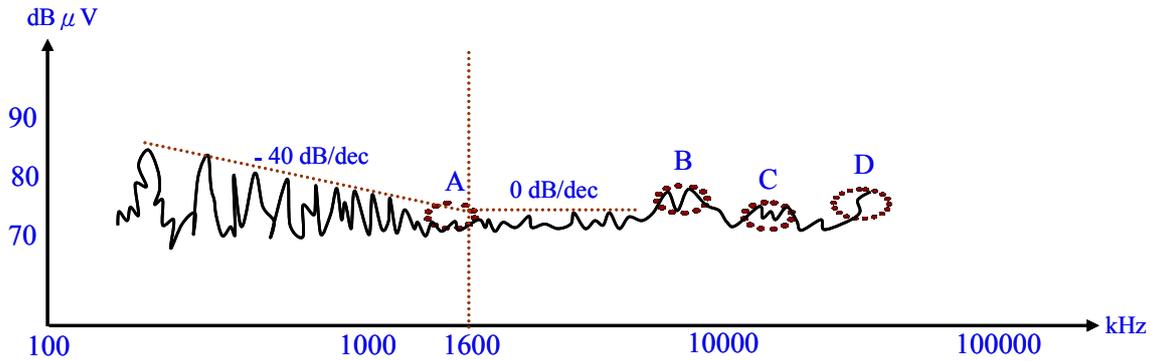


圖 4.11 DM 雜訊頻譜圖

Z_L 對 DM 雜訊影響，在高頻處 DM 雜訊峰值頻率 (B、C 和 D 點) 與 Z_L 低凹處頻率 (B、D 和 F 點) 一致， Z_L 的 A 點頻率與 DM 雜訊頻譜衰減的 A 點頻率一致。基於以上的分析，增加電感阻尼 (damping) 能增加電感電阻性並且減少 DM 雜訊峰值 (B、D 和 F)。此外，增加 Z_L 之 A 點頻率能把 DM 雜訊 40dB/dec 衰減更高的頻率範圍。

為了減少高頻 DM 雜訊，電感設計非常重要。如圖 4.12 所示為使用高功率損失 (高阻尼) 鐵心之電感及電感線圈緊密繞法的阻抗-頻率曲線，說明如下：

- (1) 圖中 B 點頻率 Z_L 超過 350Ω 和未使用高功率損失鐵心之電感比較相差 5-10 倍。
- (2) 圖中 A 點頻率為 3.2MHz 是電感線圈未緊密繞法的兩倍。

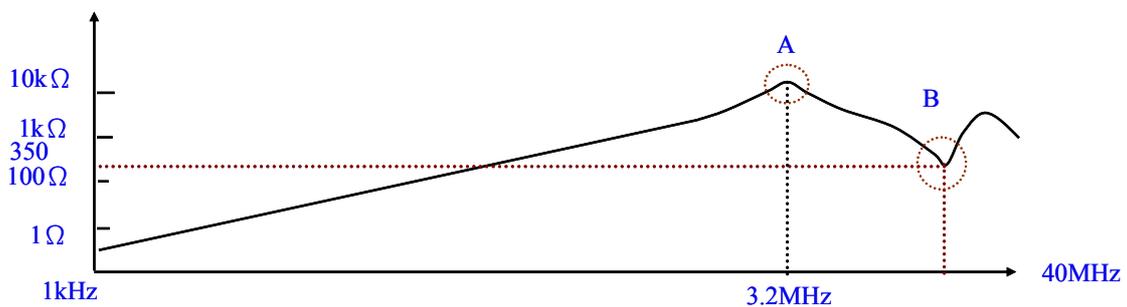


圖 4.12 高功率損失鐵心電感的阻抗-頻率曲線

比較電感鐵心功率損耗大小對 DM 雜訊影響如圖 4.13 所示，藍色為功率損耗小的鐵心，粉紅色為功率損耗大的鐵心，結論為功率損失大鐵心在高頻處 DM 雜訊有比較大的衰減。

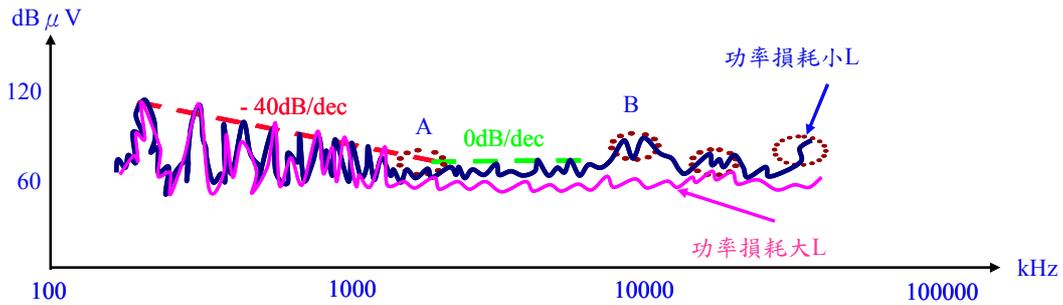
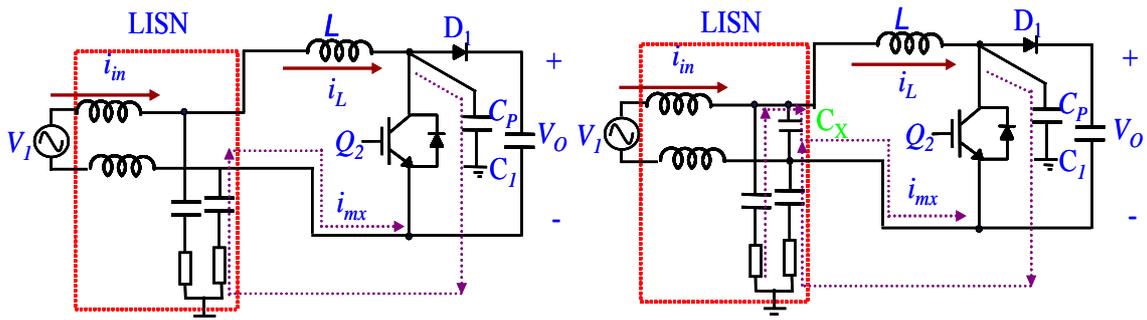


圖 4.13 比較不同材質電感對雜訊衰減能力

CM 雜訊迴路分析

圖 4.14(a)為半橋升壓型功率因數修正器之 CM 雜訊混合-模型(mixed-mode)電流迴路，因為 i_{mx} 存在迴路中會引起很大的 DM 雜訊，所以加入圖 4.14(b)平衡 X-電容 C_x ，變成純粹 CM 雜訊源[21]。



(a) 混合-模型電流迴路路徑 (b) 平衡電流迴路路徑

圖 4.14 CM 雜訊

如圖 4.15 為平衡混合-模型簡化成 CM 雜訊迴路， C_p 為汲極到地的寄生電容， Z_{loop} 為整體電路迴路阻抗， Z_{load} 為 LISN 的阻抗， V_s 為功率開關 Q_1 或 Q_2 汲源 V_{ds} 兩端電壓變化雜訊源。

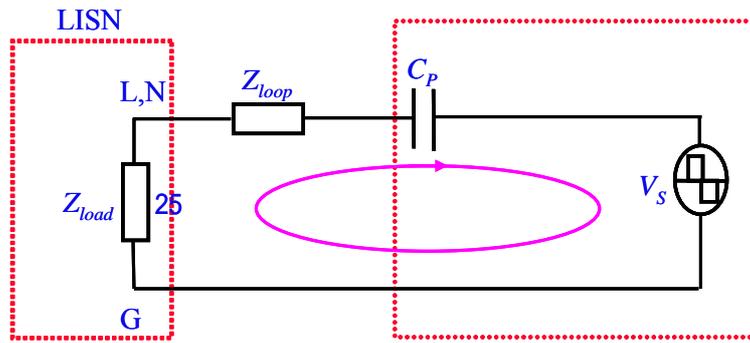


圖 4.15 CM 雜訊迴路

如圖 4.16 為傳導性 CM 雜訊測量頻譜結果。說明如下：

- (1) 因為 V_s 有衰減 CM 雜訊 20dB/dec[20] 及 C_p 有增加 CM 雜訊 20dB/dec，所以 CM 雜訊 0dB/dec。
- (2) 頻率 5000kHz 以上，因為迴路雜散電感和 V_s 衰減 CM 雜訊受功率開關上升和下降時間影響，所以 CM 雜訊會有負的斜率。

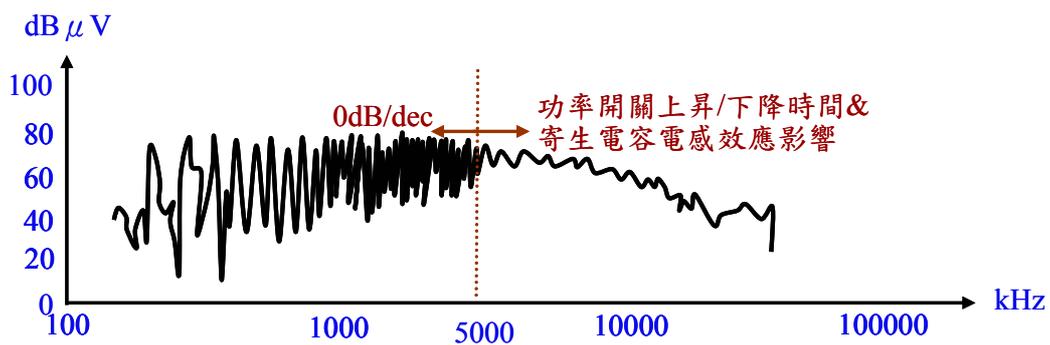


圖 4.16 CM 雜訊頻譜圖

4.2.2 EMI濾波器和雜訊源阻抗效應

如圖 4.17 說明 EMI 濾波器和雜訊源阻抗效應。若 EMI 濾波器要有最大插入損耗能力則 EMI 濾波器兩端阻抗要符合 $|Z_{OC}| \gg |Z_{IF}|$ 和 $|Z_{OF}| \ll |Z_{IC}|$ [14]。

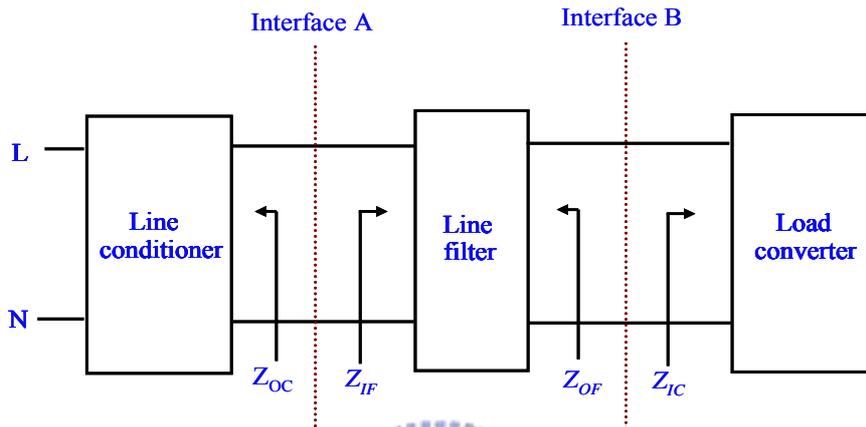


圖 4.17 EMI 濾波器和雜訊源阻抗效應

DM 濾波器和雜訊源阻抗效應

圖 4.12 可以知道 Z_L 在 150kHz~30MHz 阻抗變化範圍為 350Ω~16kΩ，為了減少 Z_L 的影響，DM 濾波器輸入阻抗必須滿足 $Z_{in} \ll 350\Omega$ ，所以 Z_{in} 並聯電容 C_1 阻抗要遠小於 350Ω。如圖 4.18 為 C_1 的阻抗曲線顯示， C_1 在頻率 150kHz~30MHz 阻抗都小於 350Ω，符合上述 $Z_{in} \ll 350\Omega$ 。

EMI 濾波器輸出阻抗必須滿足 $Z_{out} \ll 100\Omega$ ，所以在 Z_{out} 兩端並聯電容阻抗遠小於 100Ω。 C_2 阻抗遠小於 100Ω，符合 $Z_{out} \ll 100\Omega$ 。

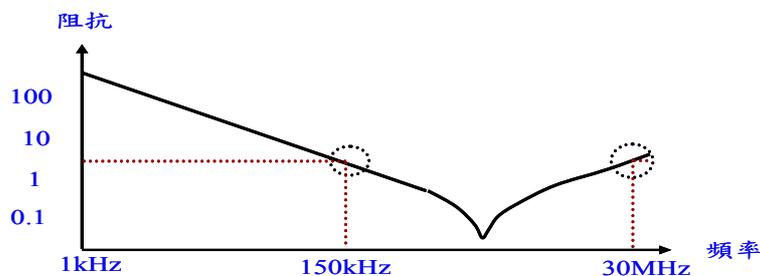


圖 4.18 C_1 阻抗-頻率圖

圖 4.19 為不受雜訊源阻抗效應影響之 DM 濾波器。

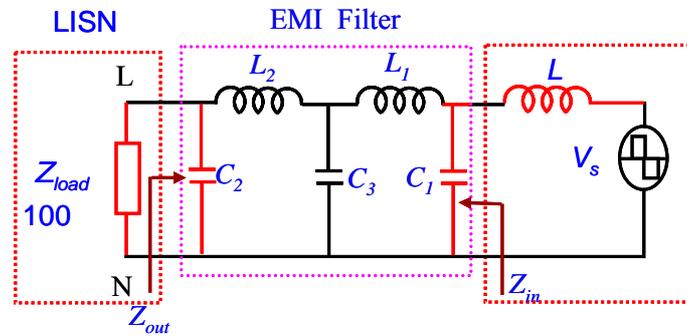


圖 4.19 不受雜訊源影響的 DM 濾波器

$L \gg L_1$ 和 $L \gg L_2$ ，所以 DM 濾波器第一個轉折頻率為

$$f \approx \frac{1}{2\pi\sqrt{L(C_1 + C_2 + C_3)}} \quad (4-5)$$

其餘兩個轉折頻率可以用網路分析法求出。越大的 C_2 和 C_1 會有較低的 DM 濾波器第一個轉折頻率，因此對 DM 雜訊有較大衰減，但是，也造成其餘兩個轉折頻率變低，使得 Z_{in} 和 Z_{out} 變大(因為 Q 值變高)，造成 $Z_{in} \ll 350\Omega$ 及 $Z_{out} \ll 100\Omega$ 不成立。

CM 濾波器和雜訊源阻抗效應

根據前面 CM 雜訊源迴路分析，寄生電容 C_p 阻抗在低頻範圍非常高，為了 CM 濾波器不受寄生電容阻抗效應影響，在 CM 濾波器輸入端可以並聯阻抗小電容或串聯阻抗大 CM 電感，但是，在低頻率範圍，串聯阻抗大 CM 電感體積將非常大，因此，並聯阻抗小電容 C_1 是比較好的選擇。

對於 CM 濾波器輸出端，為了不受 LISN 阻抗效應影響，所以 CM 濾波器輸出端要滿足 $Z_{out} \ll 25\Omega$ 。使用阻抗非常小 CM 電容，但是在低頻範圍很難滿足，因此，為了符合低頻範圍要求，串聯阻抗大的 CM 電感 L_2 是比較好的選擇。

符合不受雜訊源阻抗效應之 CM 濾波器結構如圖 4.20 所示。根據戴維寧定理， C_1 、 C_p 和 V_s 能簡化 4.21(a)，又因為從 150kHz 到 30MHz 範圍， L_1 的阻抗遠大於 $C_1//C_p$ 的阻抗，所以圖 4.21(a)進一步可以簡化 4.21(b)。

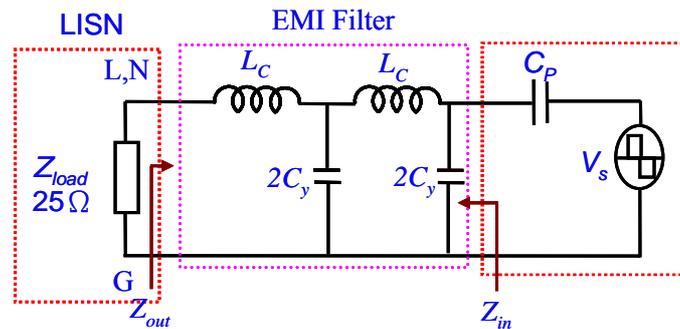
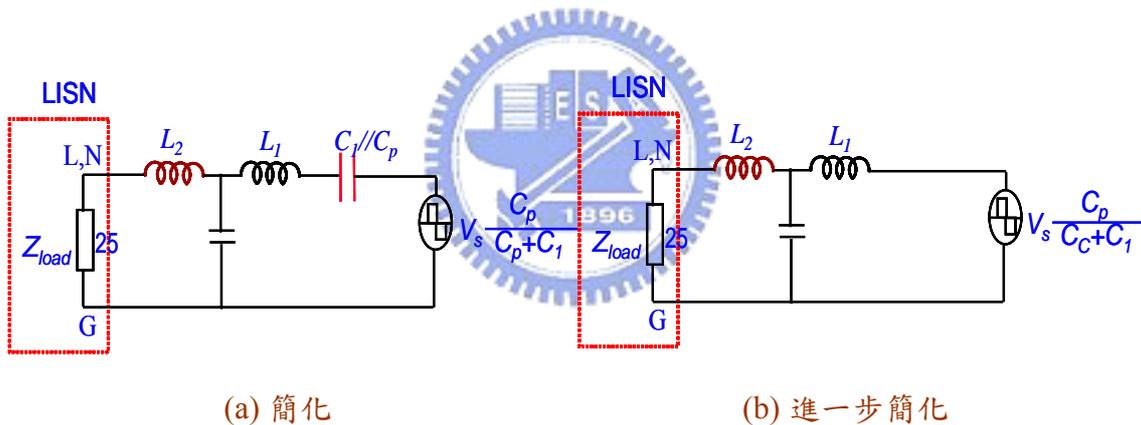


圖 4.20 不受雜訊源阻抗效應影響之 CM 濾波器



(a) 簡化

(b) 進一步簡化

圖 4.21 不受雜訊源阻抗效應影響之 CM 濾波器

4.2.3 EMI濾波器寄生參數的影響

DM 濾波器寄生參數影響

DM 濾波器寄生參數模型如圖 4.22 所示，DM 電感寄生參數模型由 L_{dm} 、 R_{Ld1} 、 R_{Ld2} 和 C_{Ld} 組成，X-電容寄生參數模型由 C_1 、 C_2 、 ESL_1 、 ESL_2 、 ESR_1 和 ESR_2 組成。

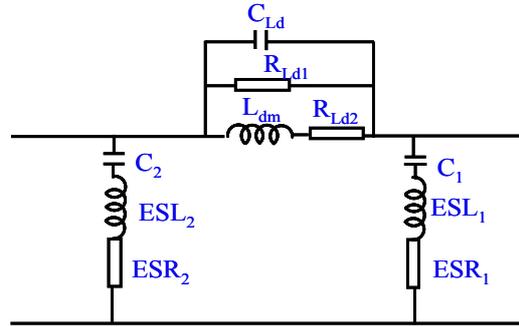
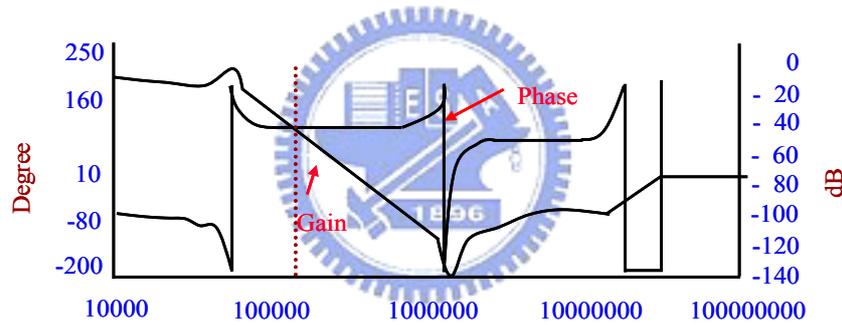
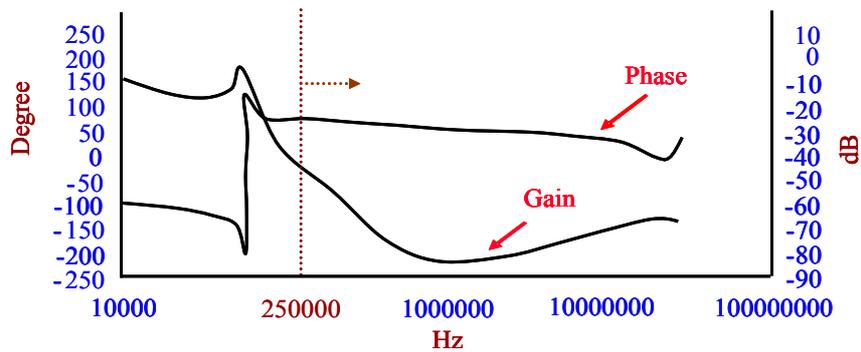


圖 4.22 DM 濾波器元件寄生參數模型

如圖 4.23 為模擬和測量 DM 濾波器寄生參數模型增益-相位轉移曲線圖，圖中頻率 250kHz 以上，模擬和量測曲線不同，原因是 DM 電感是 CM 電感漏感形成，漏磁通將會散佈在空氣中，並且會很容易耦合迴路寄生電感。



(a) 模擬曲線



(b) 量測圖

圖 4.23 DM 濾波器寄生參數模型增益-相位轉移曲線

考慮耦合因素 DM 濾波器元件寄生參數模型如圖 4.24 所示。 L_{p1} 和 L_{p2} 是輸入和輸出迴路寄生電感， M_1 和 M_2 是 DM 電感和迴路雜散電感互相耦合係數。

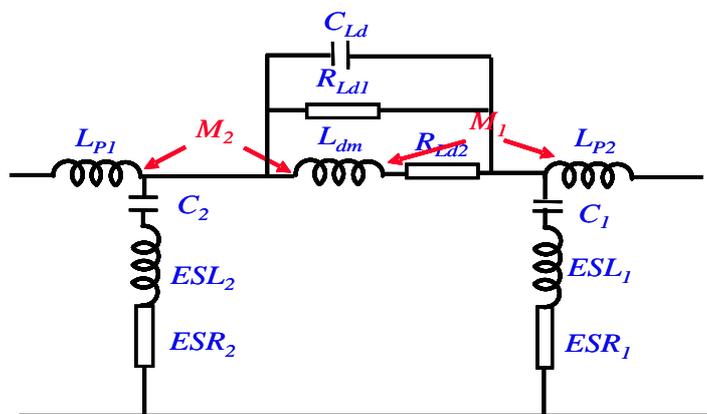


圖 4.24 加上耦合效應 DM 濾波器寄生參數模型

圖 4.25 為圖 4.24 之增益-相位轉移曲線模擬圖，可以發現與圖 4.23(b) 十分匹配，證明 DM 濾波器之 DM 電感會受迴路雜散電感相互影響。

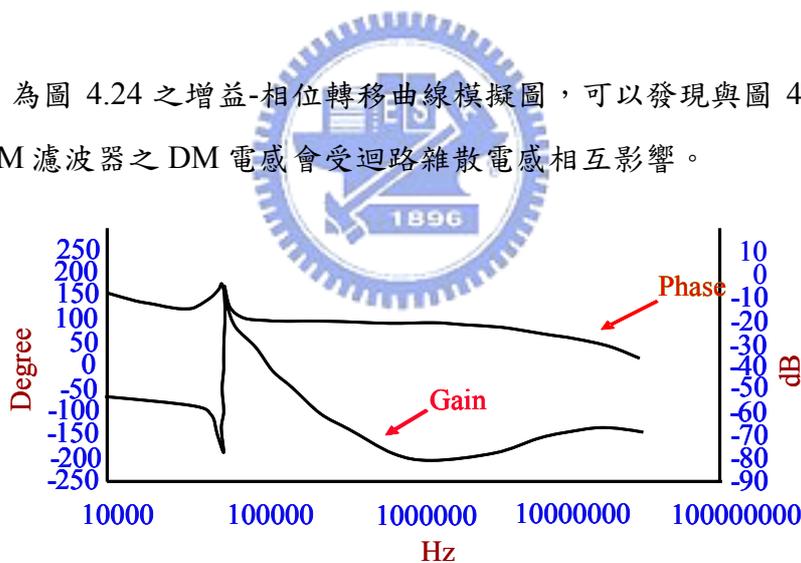


圖 4.25 加上耦合效應 DM 濾波器寄生參數模型增益-相位轉移曲線模擬圖

M_1 和 M_2 會受到迴路面積、電感方向和結構影響，所以減少輸入和輸出迴路面積會減少 M_1 和 M_2 ，使得 DM 濾波器性能比較不受迴路雜散電感影響。因此，在 X-電容附近迴路面積應該儘可能小，對於多階 DM 濾波器，兩個電感放置應該垂直並且離遠一點，使得互感耦合係數變小。

圖 4.26 為輸入及輸出迴路面積小之 DM 濾波器增益-相位轉移曲線量測圖，頻率 1MHz 以下與圖 4.23(a)十分匹配，頻率 1MHz~5MHz 將會被測試系統之背景雜訊覆蓋(干擾)，頻率 5MHz~30MHz 之 DM 濾波器衰減性能比圖 4.23(b)大。

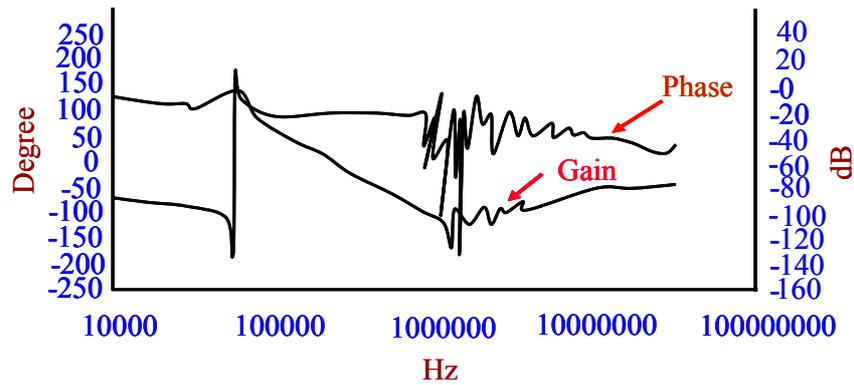


圖 4.26 改善後 DM 濾波器寄生參數模型增益-相位轉移曲線量測圖

CM 濾波器寄生參數影響

圖 4.27 為 CM 濾波器電路圖， C_1 和 C_2 是 DM 電容， C_{cm} 是 Y-電容， L_{cm} 是耦合係數 K 的 CM 電感。

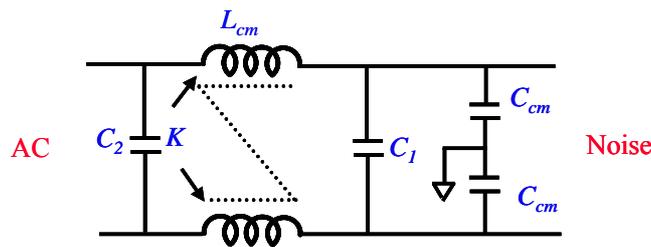


圖 4.27 CM 濾波器電路圖

圖 4.28 為 CM 濾波器寄生參數模型，CM 電感寄生參數模型由 R_{LC} 、 C_{LC} 和 L_{cm} 組成，Y-電容寄生參數模型由 C_{cm} 、ESR 和 ESL 組成，由於 CM 電感兩線圈之間非線性耦合，所以不用考慮 CM 電感和迴路雜散電感互相耦合效應。

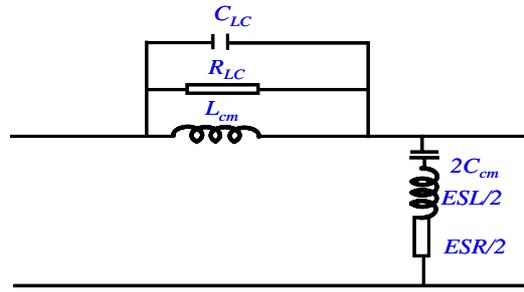
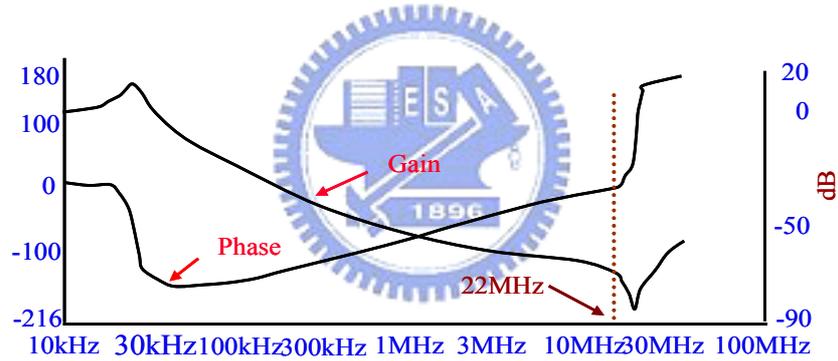
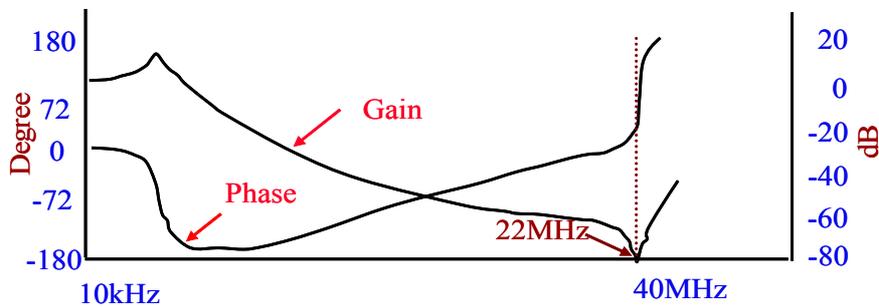


圖 4.28 CM 濾波器寄生效應

CM 濾波器寄生參數模型增益-相位轉移曲線模擬及量測圖分別為圖 4.29(a) 和 4.29(b) 所示，頻率 20MHz 以下模擬 CM 濾波器寄生參數增益-相位轉移曲線和量測圖非常相似，因為 CM 電感的磁通將限制鐵心耦合，使得相互耦合影響變小，因此，相互耦合寄生參數影響在 CM 濾波器並不顯著。



(a) 模擬圖



(b) 量測圖

圖 4.29 CM 濾波器寄生參數模型增益-相位轉移曲線

4.3 半橋升壓型功率因數修正器之 EMI 濾波器設計

4.3.1 EMI 濾波器設計步驟

本節將設計 EMI 濾波器之元件值，使其符合傳導性電磁干擾規範。圖 4.30 為 EMI 濾波器可以分解成圖 4.31(a)之 CM 和圖 4.31(b)之 DM 濾波器等效電路。

EMI 濾波器設計步驟如下：

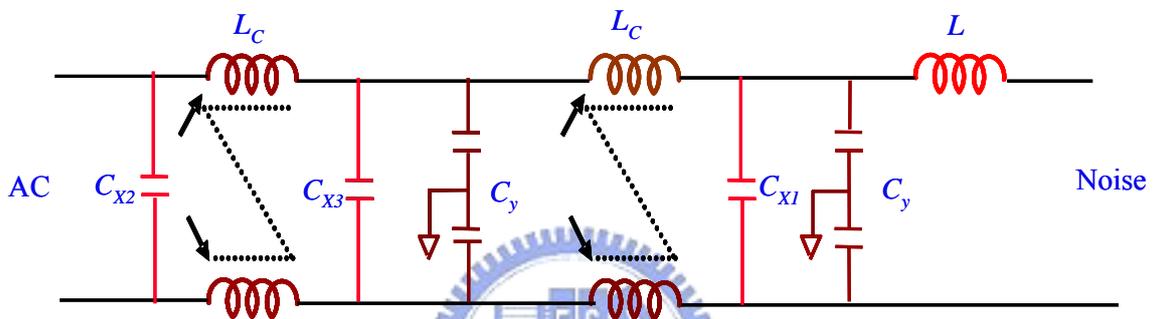


圖 4.30 EMI 濾波器

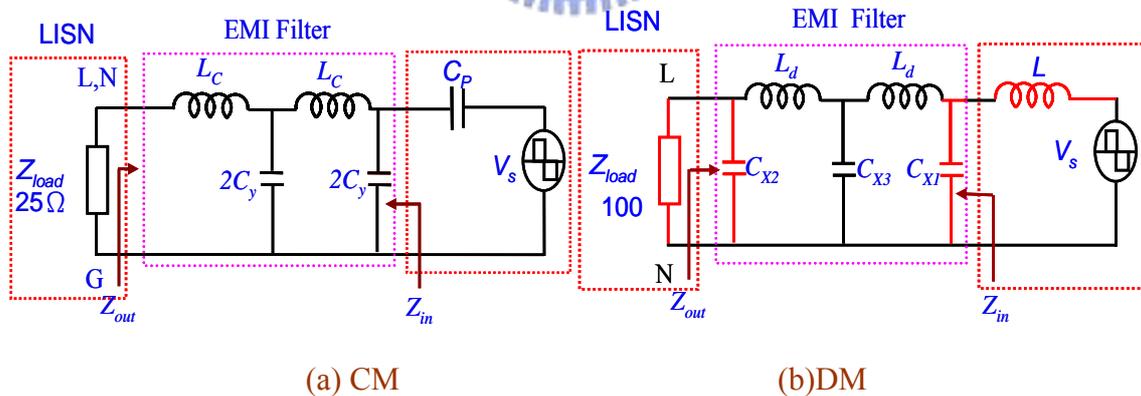


圖 4.31 EMI 濾波器

[步驟一] 量測原始雜訊

測得未加 EMI 濾波器的共模 $(V_{CM})_{dB}$ 及差模 $(V_{DM})_{dB}$ 雜訊。

[步驟二] 計算衰減量

計算 CM 與 DM 濾波器所需的衰減量 $(V_{req,CM})_{dB}$ 、 $(V_{req,DM})_{dB}$ 。計算方式如下

$$(V_{req,CM})_{dB} = (V_{ACT,CM})_{dB} - (V_{limit})_{dB} + 6dB = (V_{CM})_{dB} - (V_{limit})_{dB} + 6dB \quad (4-6)$$

$$(V_{req,DM})_{dB} = (V_{ACT,DM})_{dB} - (V_{limit})_{dB} + 6dB = (V_{DM})_{dB} - (V_{limit})_{dB} + 6dB \quad (4-7)$$

其中 $(V_{limit})_{dB}$ 為各國的傳導性電磁干擾標準，如 CISPR、FCC 或 VDE 等。至於多增加 6dB 的衰減量，則是考慮某個頻率下，可能發生 CM 雜訊和 DM 雜訊同相位，而使得總雜訊振幅增加 6dB 的情況。

[步驟三] 計算轉折頻率

將(4-6)與(4-7)所得的結果，分別畫於對數紙上，縱軸為 dB，橫軸為頻率。將所得的曲線上加畫一條斜率為+40dB/dec 的斜線，並使斜線與曲線相切，此斜線與橫軸相交點即是轉折頻率 $f_{R,CM}$ 、 $f_{R,DM}$ 。

[步驟四] 計算濾波器元件值

在 CM 濾波器元件選擇方面，為了不受 CM 雜訊源阻抗影響， $2C_y$ 之阻抗必須大於汲極到地之寄生電容阻抗及 CM 電感的阻抗必須大於 25Ω ，另外， C_y 需配合各國安規限制。CM 濾波器之轉折頻率 $f_{R,CM}$ 為：

$$f_{R,CM} = \frac{1}{2\pi\sqrt{2L_C C_y}} \quad (4-8)$$

將 CM 濾波器加入測得後，觀察 CM 共振頻率附近雜訊曲線。

在 DM 濾波器元件選擇方面，為了不受 DM 雜訊源阻抗影響， C_{X1} 之阻抗必須小於 100Ω 及 C_{X2} 之阻抗必須小於輸入電感 L 之阻抗，另外，DM 濾波器輸入和輸出迴路面積要儘量小，避免 DM 電感和迴路雜散電感互相耦合影響。DM 濾波器轉折頻率 $f_{R,DM}$ 為

$$f_{R,DM} = \frac{1}{2\pi\sqrt{2L(C_{X1} + C_{X2} + C_{X3})}} \quad (4-9)$$

將 DM 濾波器加入測試得，觀察 DM 共振頻率附近雜訊曲線。

4.3.2 EMI 濾波器設計範例

[步驟一] 量測原始雜訊

(1)圖 4.9 為未加 EMI 濾波器之 DM 雜訊。

(2)圖 4.14 為未加 EMI 濾波器之 CM 雜訊。

[步驟二] 計算衰減值和轉折頻率

(1) 符合 FCC-CLASS B 規範。

(2) 圖 4.32(a)為 DM 濾波器轉折頻率 32.5kHz ,

(3) 圖 4.32(b)為 CM 濾波器轉折頻率 77kHz。

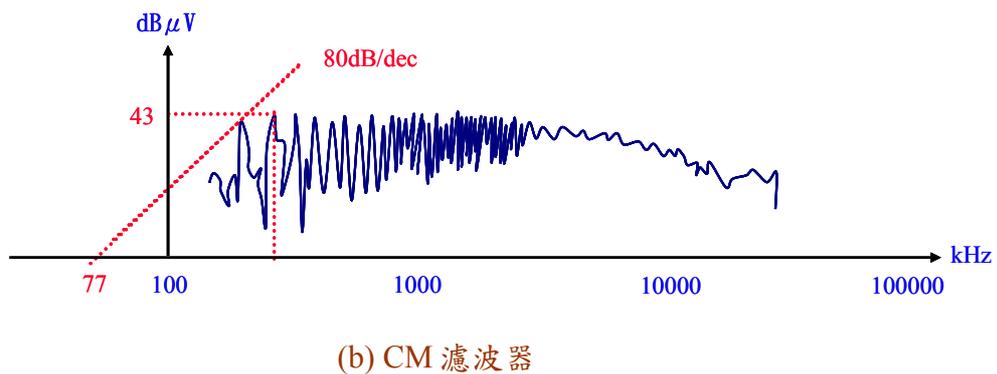
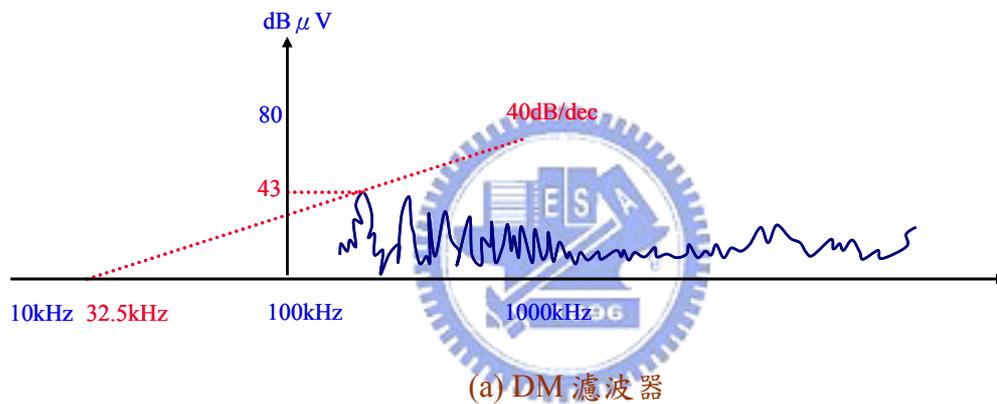


圖 4.32 轉折頻率

[步驟三] 計算 DM 濾波器元件值

- (1) 為了使 DM 濾波器不受 DM 雜訊源阻抗影響，選擇 X 電容 $C_{X1} = 0.1\mu F$ 之阻抗遠小於 100Ω 及 X 電容 $C_{X3} = 0.1\mu F$ 阻抗遠小於 Z_L 。
- (2) 半橋升壓型功率因數修正器之輸入電感 $L=0.5mH$ ，DM 濾波器之 $C_{X1} = 0.1\mu F$ 及 $C_{X3} = 0.1\mu F$ ，代入(4-9)則 DM 濾波器之轉折頻率為 $15.9kHz < 32.5kHz$ ，所以不用設計 DM 電感 L_d 及 C_{X2} 。
- (3) 為了避免 DM 電感和迴路雜散電感互相耦合影響，電容迴路面積要儘量小，兩(多)個 CM 電感連接時要相互垂直並且兩(多)個 CM 電感離遠一點。

[步驟四] 計算 CM 濾波器元件值

- (1) 為了 CM 濾波器不受 CM 雜訊源阻抗影響，選擇 Y 電容 $2C_y = 4.4nF$ 之阻抗遠小於汲極到地寄生電容之阻抗及 CM 電感 L_C 之阻抗遠大於 25Ω
- (2) 由於 CM 濾波器轉折頻率 $77kHz$ ，代入(4-8)則 CM 電感 $L_C = 0.5mH$ 。
- (3) 由前一節可知 CM 電感不受迴路寄生電感影響。

[步驟五] 加上 EMI 濾波器後傳導型雜訊頻譜圖

圖 4.33 黑色為未加入 EMI 濾波器頻譜圖，紅色為傳導性電磁干擾規範 FCC-CLASSB=48dB μV ，綠色為加入 EMI 濾波器頻譜圖都在 FCC-CLASS B 規範下。

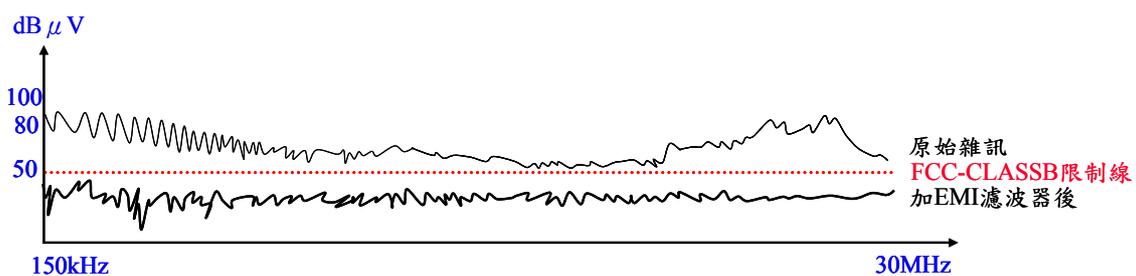


圖 4.33 加入 EMI 濾波器後頻譜圖

第五章

結 論

Undeland緩震電路對半橋升壓型功率因數修正器影響：

- (1) 交換損失近似為零。
- (2) 改善切換軌跡降低功率開關元件之應力。
- (3) 高頻電磁干擾降低， di/dt 及 dv/dt 減少。

為了改善半橋升壓型功率因數修正器之EMI濾波器插入損耗，所以在EMI濾波器設計之前，要考慮雜訊源特性，結論如下：

- (1) 半橋升壓型功率因數修正器之 DM雜訊迴路衰減40dB/dec，主要受輸入電感阻抗及功率開關切換雜訊源影響，但是輸入電感在高頻會有寄生電容效應增加高頻DM雜訊，所以改變輸入電感鐵心材質經實驗會降低高頻DM雜訊。
- (2) 半橋升壓型功率因數修正器之CM雜訊迴路不會增加或減少，主要受到汲極到地的寄生電容及功率開關切換雜訊電壓源影響，但是寄生電容在高頻會有寄生電感效應及功率開關上升和下降時間會減少CM雜訊。
- (3) 若DM濾波器不受雜訊源和LISN負載效應影響，則DM濾波器的輸入電阻要小於輸入電感阻抗及DM濾波器輸出電阻小於LISN阻抗100Ω。
- (4) 若CM濾波器不受雜訊源和LISN負載效應影響，則CM濾波器的輸入電阻要小於汲極到地的寄生電容阻抗和CM濾波器輸出電阻小於LISN阻抗25Ω。

- (5) 半橋升壓型功率因數修正器之DM濾波器組成為CM濾波器的漏感，其漏磁通容易受迴路電感耦合，造成DM濾波器高頻效應不好，改善方法為DM濾波器輸入和輸出迴路面積儘量小。
- (6) 因為CM電感的磁通將限制鐵心耦合使得相互耦合影響變小，因此，迴路中相互耦合寄生參數影響在CM濾波器並不顯著。



參考文獻

- [1] P. C. Sen, "Electric motor drives and control-past, present and future," *IEEE Trans. on Ind. Appl.*, vol. 37, no. 6, pp. 562-574, Nov./Dec. 1990.
- [2] L. Gyugyi, "Reactive power regeneration and control by thyristor circuits," *IEEE Trans. on Ind. Appl.*, vol. 15, no. 5, pp. 521-532, Sep./Oct. 1979.
- [3] A. E. Hammand and M. E. Sadek, "Application of thyristor controlled var compensator for damping subsynchronous oscillation in power system," *IEEE Trans. on Power Appl. System*, vol. 103, no. 1, pp. 198-206, Feb. 1984.
- [4] R. Srinivasan and R. Oruganti, "A unity power factor converter using half-bridge boost topology," *IEEE Trans. on Power Electronics System*, vol. 13, no. 3, pp. 487-500, May. 1998.
- [5] V. Grigore and J. Kyyra, "Input filter design for power factor correction converters operating in discontinuous conduction mode," *PowerTechnics Magazine*, February 1991, pp. 20-24.
- [6] V. Vlatkovic and C. Lee, "Input filter for power factor correction circuit," *IEEE Trans. on Ind. Appl.*, vol. 25, no. 6, pp. 1025-1034, Nov./Dec. 1989.
- [7] C. S. Moo and Y. C. Chung, "Integrated design of EMI filter and PFC low-pass filter for power electronic converter," *IEEE Power Eng. J.*, vol. 8, no. 1, pp. 35-43, Feb. 1994.
- [8] G. Spiazzi, P. Mattavelli and L. Rossetto, "Interaction between EMI filter and power factor preregulators with average current control," *IEEE Trans. on Power Electronics*, vol. 12, no. 2, pp. 343-349, March 1997.
- [9] Y. F. Zhang and C. Q. Lee, "Optimal design of integrated EMI filter," *IEEE Trans. on Ind. Electron.*, vol. 44, no. 5, pp. 654-660, Oct. 1997.
- [10] L. Rossetto and S. Buso, "Conducted EMI Issues in a Boost PFC Design," *IEEE APEC Conf. Rec.*, pp. 551-555, 1994.
- [11] W. Zhange and C. Garcia, "Conducted EMI analysis of a boost PFC circuit," *IEEE PESC Conf. Rec.*, pp. 536-542, 1997.
- [12] J. Christophe and J. Paul, "Common mode disturbance reduction of PFC full bridge rectifiers," *IEEE APEC Conf. Rec.*, pp. 791-796, 1996.

- [13] Q. Chen, "EMI design considerations for a high power AC/DC converter," *IEEE Trans. on Power Electronics*, vol. 11, no. 2, pp. 374-382, March 1996.
- [14] J. Nave, **Power line filter design for switched-mode power supply**, Van Nostrand Reinhold—New York.1991.
- [15] D. H. Liu and J. G. Jiang, "High frequency characteristic analysis of EMI filter in switch mode power supply," *European Power Electronics Conf. (EPE)*, vol. 3, pp. 754-759, Sevilla, Spain, Sept. 1995.
- [16] N. Mohan, T. M. Undeland and W. P. Robbins, **Power Electronics Converters, Application and Design**, New York, 1995.
- [17] T. Undeland and F. Jenset, "A snubber configuration for both power transistors and GTO PWM inverter," *IEEE IECON Conf. Proc.*, pp. 42-53, 1984.
- [18] 工研院，各國資訊產品的電磁干擾相關規格，2004.
- [19] 董光天，電磁干擾防制與量測，修訂版，全華，台北2002.
- [20] F. C. Lee and W. G. Odendaal, "Improving the performance of boost PFC EMI filter," *Ph.D. Thesis, California Institute of Technology*, 2003.
- [21] S. Qu and D. Chen, "Mixed-mode EMI noise and its implications to filter design in off-line switching power supplies," *IEEE Transactions on Power Electronics*, vol. 11, no. 1, pp. 1-6, Jan. 1996.
- [22] P. T. Krein and M. S. Kim, "The effects of nonlinear loads on EMI/RFI filters," *Proc. 10th Ann. Virginia Power Electronics Center Seminar*, pp. 108-120, 1989.
- [23] X. Wu and Q. Zhaoming, "A study of common mode noise in switching power supply from a current balancing viewpoint," *IEEE PESC Conf. Rec.*, pp. 475-482, 1992.
- [24] D. Florean and G. Spiazzi, "Common mode filter project by means of internal impedance measurements," *IEEE PESC Conf. Rec.*, pp. 372-381, 1990.
- [25] I. Takahashi and A. Hiruma, "Active EMI filter for switching noise of high frequency inverters," *IEEE APEC Conf. Rec.*, pp. 476-482, 2002.
- [26] F. Y. Shih and Y. T. Chen, "A procedure for designing EMI filter for AC line applications," *IEEE ISIE Conf. Rec.*, pp. 731-736, 2002.
- [27] M. Domb, "Nondissipative turn-off snubber alleviates switching power dissipation," *IEEE Trans. on Power Electronics*, vol. 12, no. 2, pp. 343-349, March 1997.
- [28] F. Williams and T. Green, "RCD snubber revisited," *IEEE Trans. on Power Electronics*, vol. 12, no. 6, pp. 1000-1006, Nov. 1997.
- [29] W. McMurray, "Efficient snubbers for voltage-source inverters," *IEEE Trans. on Ind. Electron.*, vol. 44, no. 5, pp. 654-660, Oct. 1997.

- [30] S. Wanepoel and V. Wyk, "Analysis and optimization of regenerative linear snubbers applied to switches with voltage and current tails," *IEEE PESC Conf. Rec.*, pp. 536-542, 1997.
- [31] S. Pearson and D. Sen, "Designing optimum snubber circuits for the transistor bridge configuration," *IEEE APEC Conf. Rec.*, pp. 791-796, 1996.
- [32] Z. Sobhani and C. Chokhawala, "Snubber considerations for IGBT applications, integrations," *IEEE Trans. on Power Electronics*, vol. 11, no. 2, pp. 374-382, March 1996.
- [33] C. M. Lee and X. Wu, "EMI due to electric field coupling on PCB," *IEEE IECON Conf. Proc.*, pp. 959-967, 1993.
- [34] R. D. Middlebrook, "Input filter considerations in design and application of switching regulators," *European Power Electronics Conf. (EPE)*, vol. 3, pp. 754-759, Sevilla, Spain, Sept. 1995.
- [35] V. Rajasekaran and J. Sun, "Practical design issues for PFC converters with input filters," *IEEE APEC Conf. Rec.*, pp. 551-555, 1994.
- [36] S. Busquets and A. Arpilliere, "Optimization techniques applied to the design of a boost power factor correction converter," *IEEE PESC Conf. Rec.*, pp. 1137-1144, 1994.
- [37] J. C. Crebier and J. P. Ferrieux, "A new method for EMI study in boost derived PFC rectifiers," *IEEE Trans. on Aerospace and Electronic Systems*, vol. 26, no. 3, pp. 490-496 and pp. 497-505, May 1990.
- [38] J. C. Crebier and J. P. Ferrieux, "Common mode disturbance reduction of PFC full bridge rectifiers," *IEEE PESC Conf. Rec.*, pp. 77-83, 1999.
- [39] D. Chen and D. Sable, "Non-intrinsic differential mode noise caused by ground current in an off-line power supply," *IEEE Int. Symposium on Low Power Electronics and Design*, pp. 88-90, Aug. 1998.
- [40] D. Y. Chen and M. J. Nave, "Measurement of noise source impedance of off-line converters," *IEEE PESC Conf. Rec.*, pp. 1137-1144, 1994.
- [41] C. R. Paul and K. B. Hardin, "Diagnosis and reduction of conducted noise emissions," *IEEE IECON Conf. Proc.*, pp. 959-967, 1993.
- [42] J. A. Ferreira and P. R. Willcock, "Sources, paths and traps of conducted EMI in switch mode circuits," *Proc. EPE*, 1990.
- [43] Z. Kaiser and D. Haselsteiner, "New lossless turn-on and turn-off snubber networks for inverters, including circuits for blocking voltage limitation," *Ph. D. Thesis, California Institute of Technology*, 1988.

作者簡介

個人資料

姓名：鍾志祥 (Zhi-Xiang Zhong)

生日：65年5月22日

性別：男

籍貫：台灣省新竹縣

學歷

2001.9~2003.7 國立交通大學電機與控制工程研究所碩士班

1990.9~1992.6 國立高雄工業專科學校電機科畢業

