


# 國立交通大學

電機與控制工程學系

碩士論文

應用於微型陀螺儀之差動式電容感測電路  
之設計、模擬與製作



**The Design, Simulation and Fabrication of  
Differential Capacitive Sensing Circuits of  
Micro Gyroscope**

研究生：毛志強

指導教授：邱俊誠 教授

中華民國九十三年七月

應用於微型陀螺儀之差動式電容感測電路  
之設計、模擬與製作

The Design, Simulation and Fabrication of  
Differential Capacitive Sensing Circuits of Micro Gyroscope

研究生：毛志強

Student : Chih-Chiang Mao

指導教授：邱俊誠 博士

Advisor : Dr. Jin-Chern Chiou

國立交通大學

電機與控制工程學系

碩士論文

A Thesis

Submitted to Department of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfilment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

July 2004

Hsinchu, Taiwan, Republic of China

中華民國九十三年七月

# 中文摘要

## 應用於微型陀螺儀之差動式電容感測電路 之設計、模擬與製作

學生：毛志強

指導教授：邱俊誠 博士

國立交通大學電機與控制工程學系



本論文之目的在探討電容式微陀螺儀之感測電路的理論與實際應用。首先針對環狀振動式微陀螺儀的架構作分析，接著在介紹目前被廣泛應用在電容感測電路的同步偵測電路、切換式電容感測電路與全差動式電容感測電路。不過由於外界因素的不匹配與微陀螺儀本身結構上的限制，使得這三種架構不適用於本論文所討論的應用中。因此，本論文以差動式電荷放大器的概念為基礎設計出差動式電容感測電路。在利用 TSMC 0.35 $\mu$ m Mixed-Signal 2P4M Polycide 3.3/5V 製程佈局後之模擬結果可看出，差動式電容感測電路具有高度的線性度與靈敏度，利於配合微型陀螺儀形成一完整系統。

# 英文摘要

## The Design, Simulation and Fabrication of Differential Capacitive Sensing Circuits of Micro Gyroscope

Student : Chih-Chiang Mao

Advisor : Dr. Jin-Chern Chiou

Department of Electrical and Control Engineering

National Chiao Tung University



The purpose of this dissertation is to discuss the structure and implementation of sensing circuits of capacitive micro gyroscope. First, the structure of ring-type vibrating gyroscope will be analyzed. Then we will introduce the synchronous detection, switched-capacitor sensing schemes, and fully-differential sensing circuit. As a result of the external mismatch and the natural restriction of structure of micro gyroscope, however, those sensing schemes will not be suitable for application discussed in this dissertation. Therefore, the differential sensing circuit based on differential charge amplifier is used in this thesis. From the post-layout simulation which uses TSMC 0.35 $\mu$ m Mixed-Signal 2P4M Polycide 3.3/5V process and HSPICE results the outputs have quite high linearity and sensitivity. It is good for integrating with micro gyroscope.

## 誌謝

研究所的時光，轉眼過去。努力的學習，換來了更為穩健、踏實的我。在這兩年之間，首先要感謝的是我的指導教授邱俊誠博士，感謝老師的細心指導、督促，讓我能研究的過程中不斷成長、茁壯；讓我學會如何分析與解決難題。感謝口試委員曾繁根老師、余國瑞老師及洪浩喬老師給我的建議與指導，使得本論文能更為完備。另外還要感謝功率與類比積體電路實驗室的胡致暉學長，沒有他的幫忙，就沒有這篇論文的誕生。

感謝我的父母，除了經濟上的支持讓我無後顧之憂，當面臨失敗、挫折的時候，您們的鼓勵，使我能重振信心，繼續面對挑戰。

感謝實驗室的伙伴們聖武、柄逢、俊廷，因為有你們，使得兩年的學習生涯不但充實，又充滿了歡笑。感謝實驗室的學弟立堂、彥廷、建煌、俊凱、志瑋與彥凱，因為你們的加入，使得整個實驗室又更加的活絡。

感謝博士班學長煒挺、永峻、育成、秦輔、振鈞與志良，因為你們的從旁協助，使我避免了許多錯誤的冤枉路。在研究的過程中，你們的建議使我獲益良多。

除此之外還要感謝的人實在太多，我只能深深地向你們大家說句謝謝，謝謝這段路上走過來有你們一同陪伴。在此將本論文與你們分享。

毛志強 謹誌于新竹交通大學電控所

民國 93 年 7 月

# 目錄

中文摘要.....	i
英文摘要.....	ii
誌謝 .....	iii
目錄 .....	iv
圖目錄.....	vii
表目錄.....	x
<b>第一章 緒論</b> .....	<b>1</b>
1.1 研究背景 .....	1
1.2 研究動機 .....	2
1.3 論文架構 .....	3
<b>第二章 系統架構</b> .....	<b>4</b>
2.1 前言 .....	4
2.2 微型陀螺儀簡介 .....	5
2.2.1 環狀陀螺儀原理簡介 .....	5
2.2.2 電容效應分析 .....	6
2.2.3 環狀陀螺儀運作原理 .....	7
2.3 電容感測電路 .....	8
2.3.1 電容感測電路技術 .....	8
2.3.2 同步偵測(Synchronous Detection)電路 .....	9
2.3.3 切換式電容(Switched Capacitance)感測電路 .....	12
2.4 解析度分析 .....	14
2.5 結語.....	15

<b>第三章 相關雙取樣電容感測電路</b> .....	<b>17</b>
3.1 前言.....	17
3.2 電路介紹.....	17
3.2.1 電路中之非理想性.....	17
3.2.2 相關雙取樣電容感測電路.....	18
3.3 電路設計與模擬.....	20
3.3.1 運算放大器.....	20
3.3.2 相關雙取樣電容取樣電路模擬結果.....	21
3.4 量測結果.....	22
3.5 結論.....	26
<b>第四章 差動式感測電路</b> .....	<b>28</b>
4.1 前言.....	28
4.2 擬差動式感測電路(Pseudo-differential Sensing Circuit).....	28
4.3 差動式電荷放大器.....	31
4.3.1 差動式電荷放大器與擬差動式感測電路之比較.....	31
4.3.2 差動式與單端電荷放大器之比較.....	32
4.4 結語.....	35
<b>第五章 電路設計</b> .....	<b>36</b>
5.1 前言.....	36
5.2 電路架構.....	36
5.3 OPS 與 OPA.....	38
5.3.1 基本概念.....	38
5.3.2 設計流程.....	38
5.4 輸出緩衝級(Output Buffer).....	44
5.4.1 基本概念.....	44
5.4.2 設計流程.....	45

5.5 電容.....	50
5.5.1 基本概念.....	50
5.5.2 設計流程.....	51
5.6 結語.....	52
<b>第六章 模擬結果.....</b>	<b>53</b>
6.1 前言.....	53
6.2 各組成元件.....	53
6.2.1 OPS 與 OPA.....	53
6.2.2 輸出緩衝級.....	57
6.2.3 電容.....	60
6.3 差動式電容感測電路.....	62
6.4 結語.....	65
<b>第七章 結論.....</b>	<b>66</b>
7.1 結果與討論.....	66
7.2 未來展望.....	67
<b>參考文獻.....</b>	<b>68</b>





# 圖目錄

圖 2-1 環狀陀螺儀.....	4
圖 2-2 環狀陀螺儀的工作模態.....	5
圖 2-3 各種電容感測電路技術.....	9
圖 2-4 同步偵測.....	10
圖 2-5 調變前的頻域分佈.....	11
圖 2-6 調變後的頻域分佈.....	11
圖 2-7 切換式電容感測電路.....	12
圖 2-8 切換式電容感測電路操作階段.....	13
圖 3-1 電荷注入效應.....	18
圖 3-3 兩級式運算放大器.....	20
圖 3-4 有緩衝級的相關雙取樣電容感測電路.....	21
圖 3-5 Range : 200fF ~ -200fF Step : 10fF $C_{INT} : 0.5\text{pF}$ .....	21
圖 3-6 Range : 400fF ~ -400fF Step : 10fF $C_{INT} : 1.0\text{pF}$ .....	22
圖 3-7 利用 RC 充放電原理測量.....	23
圖 3-8 單位增益迴授緩衝級.....	23
圖 3-9 電阻迴授放大器.....	24
圖 3-10 全系統量測結果.....	25
圖 3-11 $\Delta C$ 與 $V_{OUT}$ 關係圖.....	26
圖 4-1 全差動式結構.....	28
圖 4-2 擬差動式感測電路.....	29
圖 4-3 加入輸入共模迴授的擬差動式感測電路.....	31

圖 4-4 差動式電荷放大器 .....	32
圖 4-5 單端電荷放大器 .....	33
圖 5-1 電路架構.....	37
圖 5-2 理想運算放大器示意圖.....	38
圖 5-3 折疊疊接式與望遠鏡式運算放大器示意圖.....	39
圖 5-4 常見偏壓方式 .....	40
圖 5-5 寬振幅常數互導偏壓電路.....	40
圖 5-6 寬振幅電流鏡.....	41
圖 5-7 折疊疊接式運算放大器.....	42
圖 5-8 有輸出級的兩級式運算放大器之方塊圖 .....	44
圖 5-9 常數互導偏壓電路 .....	45
圖 5-10 兩級式運算放大器 .....	46
圖 5-10 小訊號等效電路 .....	49
圖 5-11 電容並聯與共質心佈局.....	51
圖 5-12 使用填充單元的電容佈局.....	52
圖 5-13 切除角落區域的單位電容.....	52
圖 6-1 OPS 佈局圖.....	54
圖 6-2 OPS 的波德圖.....	55
圖 6-3 共模互斥比(CMRR).....	56
圖 6-4 電源戶斥比(PSRR).....	56
圖 6-5 延遲率(Slew Rate) .....	57
圖 6-6 輸出緩衝級的佈局圖 .....	58

圖 6-7 輸出緩衝級的波德圖 .....	58
圖 6-8 輸出緩衝級的延遲率 .....	59
圖 6-9 一般電容之佈局圖 .....	60
圖 6-10 製程梯度變化帶來的電容值變異示意圖.....	61
圖 6-11 積分電容配置方法.....	61
圖 6-12 積分電容對的佈局圖.....	62
圖 6-13 差動式電容感測電路的佈局圖 .....	63
圖 6-13 $C_{INT} = 2.5\text{pF}$ $\Delta C = 20\text{ fF} \sim -20\text{fF}$ .....	63
圖 6-14 $C_{INT} = 2.5\text{pF}$ $\Delta C = 100\text{ fF} \sim -100\text{fF}$ .....	64
圖 6-15 $C_{INT} = 2.5\text{pF}$ $\Delta C = 200\text{ fF} \sim -200\text{fF}$ .....	64
圖 6-16 $C_{INT} = 2.5\text{pF}$ $\Delta C = 200\text{ fF} \sim -200\text{fF}$ 每點間隔 10fF .....	65



# 表目錄

表 2-1 同步感測電路與切換式電容感測電路之比較.....	16
表 3-1 兩級式放大器特性表 .....	20
表 5-1 寬振幅電流鏡之寬長比.....	42
表 6-1 OPS 特性表.....	55
表 6-2 輸出緩衝級特性表 .....	59
表 7-1 差動式電容感測電路特性表 .....	66



# 第一章 緒論

## 1.1 研究背景

1959 年李查費曼(Richard P.Feynman)在美國物理學會年會發表演講(講題為 There is a plenty of room at the bottom)，在這場演講中，主要是講如何在小尺寸的空間裡操作並控制事物 [1]。由於這次演講因此開啟了微機電系統 ((Micro Electro-Mechanical Systems, MEMS)這個嶄新的領域。微機電系統其技術主要源於 1960 年積體電路的研究，四十年來隨著半導體工業的製程技術迅速的發展，也使得微機電的研究日趨成熟。時至今日，MEMS 已是今日科技界公認在本世紀最具發展潛力及前瞻性的研究領域，世界各國不斷投入金錢與人力來做研究，以期能成為此技術的領導者。

微機電系統是指利用微機械加工(Micro machining)製造技術的微型精密系統，完整的微機電系統包括有微感測器(Micro Sensor)、微致動器(Micro Actuator)以及微電子電路(Micro Electronics)[2]。與傳統加工方式製作方式比較起來，使用微機電技術製作的產品有輕、薄、短、小、低成本、高精確度等優點，因而擁有較大的市場競爭優勢。目前已經商品化的微機電產品，主要有應用領域包含資訊工業(如噴墨印表機噴嘴)、消費性電子(如投影機、掃描器)、光通訊(如光開關、RF 模組)、環境工程(如一氧化碳偵測器)、生醫(如血糖檢測、DNA 晶片)及汽車工業(安全汽囊、氣體偵測器、溫度偵測器)等等。

近十幾年內，各式各樣的微加速計和微陀螺儀之相關研究不勝枚舉，這兩種元件已有相當成熟的理論與實作研究。然而，由於設計理念的不同，所以衍生出十分多樣化的產品。這些產品有著各自的優點及缺點，因此發展穩健之微慣性導航系統的關鍵技術，在於製造更適合的微加速規和微陀螺儀元件，以及積體控制電路系統的整合。我們期望應用微系統整合方式，能提供廉價且高可靠度的系

統，以降低目前該系統的高額費用，對於全球定位系統（Global Positioning System, GPS）中的慣性導航系統（Inertial Navigation System, INS）之平民化有所貢獻。

## 1.2 研究動機

科技之快速發展，各項運輸工具亦隨著科技的變化而有自動化的發展趨勢。在諸多實際的考量下，相較於現行慣性導航系統的體積龐大且價格昂貴，目前所發展的系統都以積體化為設計目標，如此才能在有限的空間有更多設計的彈性，以增加產品的功能，以期能有更廣泛的應用範圍，如太空科技、現代化的軍事武器、民生科技等。此系統的研究範圍，涵蓋系統工程、電子、機械、材料、光學、航太及控制等相關科技。所以慣性導航系統研究，更是國家科技水準的衡量標準之一。

微陀螺儀在慣性導航系統中，是必備的控制元件之一。陀螺儀的目的是量測物體角速度。由所量得之角速度，經過一次積分，可得物體之旋轉角度；若改經過微分則可得到物體之角加速度。在一般的慣性導航系統中，使用陀螺儀搭配加速度量測儀，來取得載具對地位置、速度、加速度和姿態等重要資訊，藉以判斷與控制載具的運動形態。而陀螺儀更針對各項外在的因素如地球自轉速率、飛行速率和地球非完美的真圓球體，所產生之科氏力（Coriolis）效應與離心（Centrifugal）效應做系統的補償。因此我們期望配合微系統整合技術，利用微電子電路的方法來產生一數位的輸出訊號，使擷取的訊號直接輸入慣性導航系統內的電腦做補償，以期獲得價格低、體積小、重量輕和系統整合性高的慣性導航系統。

## 1.3 論文架構

在本論文中，介紹了一個利用雙晶片方式實現電容式感應器介面電路。這個介面電路主要是使用了差動式電容感測電路來達到高輸入阻抗與低偏移。

第二章提供了微機械振動式陀螺儀的系統結構之概論，這個系統結構包含了兩部分：一部份是利用微機電技術製作的微型振動式陀螺儀；另一部份則是電容式感測電路。

在第三章中則是一個利用第二章中介紹的切換式電容感測電路為基礎所衍生的電路架構，包含了原理簡介、設計與製作後的量測結果。

第四章承襲了第二章的介紹與第三章最後的結果，討論單端感測、全差動式感測與差動式電荷放大器這三種電容式感測電路，並針對這三種結構在實現上的限制與考量做了詳盡的分析。

第五章則是包含了差動式電容感測電路裡各個組成元素的分析與設計流程，針對在量測微小角速度這個應用上的特殊性質來做設計上之最佳化。當然除了組成元素外，本章也介紹了如何利用差動式電荷放大器來實現差動式電容感測電路，並解釋其運作原理。而這些組成元素與差動式電容感測電路的佈局圖與模擬結果都在第六章中被討論。

最後，結論與未來可以繼續努力的方向將在第七章中說明。

## 第二章 系統架構

### 2.1 前言

陀螺儀在慣性導航系統中，是一個基本控制測量元件。運用牛頓運動定律，在慣性空間中角慣量與其作用力矩的關係，來製作振動式微陀螺儀。振動式陀螺儀使用表面微結構的製造技術，可獲得感測元件與感測電路整合的優點，因此我們能夠得到低價位和小體積的高靈敏性元件。目前大多數的結構都是採用橫向振動，並以懸浮臂所支撐之質塊的垂直方向為感測方向。若加上差動式感測的考量，就必須在振動結構上下各加一層電極版，如此設計的缺點是需要較大的空間。針對這個問題，環形振動式陀螺儀引起了相當廣泛的研究。因為環形振動式陀螺儀的感測軸與驅動軸位於同一個平面，並不需要在垂直方向加電極版。在本章中，將針對振動式環狀陀螺儀的工作原理做概念性介紹，並且說明幾種較常用來感測電容的電路結構。

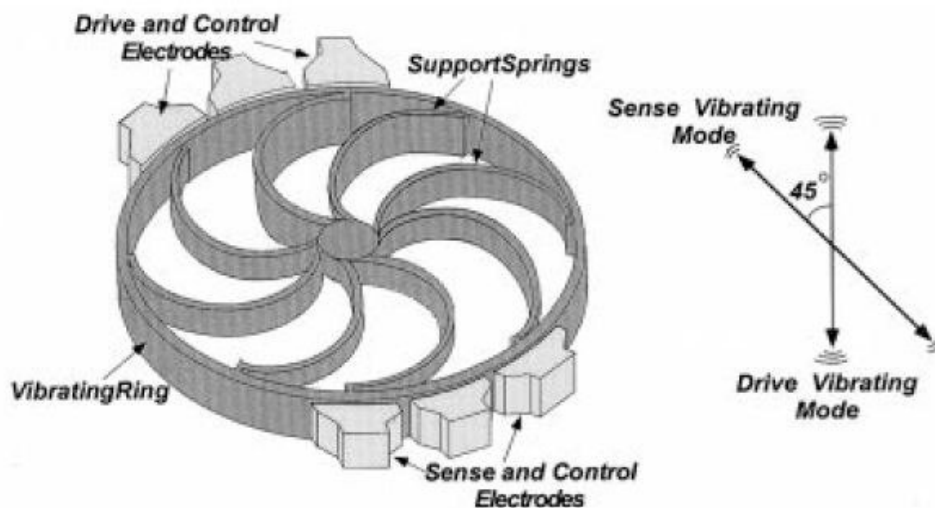


圖 2-1 環狀陀螺儀



## 2.2 微型陀螺儀簡介

### 2.2.1 環狀陀螺儀原理簡介

圖 2-1 中的振動式環狀陀螺儀包含了一個環、數個半圓支撐彈簧與用來驅動、感測和控制的電極[3]。為了使結構對稱，必須至少使用八個半圓支撐彈簧來建構一個平衡的環狀元件。一個平衡的環狀元件會有兩個擁有相同自然頻率以及相差  $45^\circ$  的橢圓形模態。在未受外來轉動時，驅動電極與環狀結構間的靜電力使得環狀結構以固定振幅開始振動，此為驅動模態(Driving Mode)。當物體產生垂直於振動軸方向的轉動時，由於科式力的影響，環狀結構將轉換到感測模態(Sensing Mode)[4]。此兩種模態的振動方式可以從圖 2-2 明顯看出。所以結合上述對於兩種模態的說明可以看出，當環狀結構受到科氏力作用時不像非環狀結構的陀螺儀會產生平行振動軸的位移，因此可省去非環狀結構所必需的上下電極。

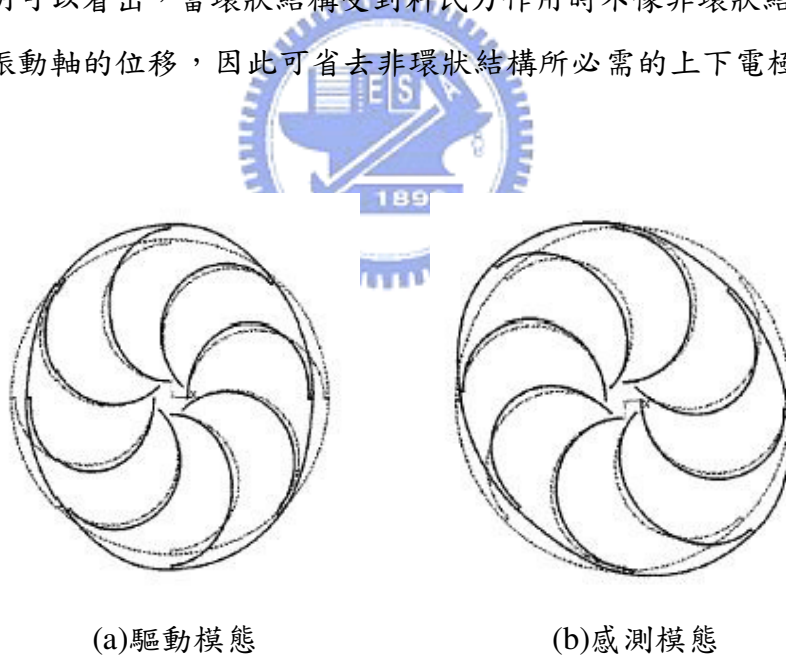


圖 2-2 環狀陀螺儀的工作模態

當環狀結構處於感測模態時，環狀結構的振幅和外來角速度成正比。關係式如下：

$$q_{sense} = 4A_g \cdot \frac{Q}{\omega_0} \cdot q_{drive} \cdot \Omega_S \quad (2-1)$$

其中：

$q_{sense}$ ：感測模態時的振幅。


$q_{drive}$ ：驅動模態時之振幅。

$A_g$ ：環狀結構的角增益(Angular gain)。  $A_g$  和結構的幾何參數有關，並且對溫度與時間相當不敏感。

$Q$ ：整體結構的品質因素(Quality factor)。

$\omega_0$ ：共振頻率。

$\Omega_S$ ：角速度。即是欲量測之參數。



除了可節省空間外，環狀振動陀螺儀相較於其他類型的振動陀螺儀，還有著數個重要的特色。首先，環狀陀螺儀是幾何對稱的結構，一般來說較不易產生相似振型干擾。而只有當結構發生質量或剛性上的不平衡時，會由環境造成相似振型干擾。第二，由於驅動與感測模態的頻率相同，因此靈敏度由於經過陀螺儀的品質因素放大可以獲得較佳的表現。第三，因兩個模態受到溫度影響相同，對於溫度的敏感度就相對降低。最後，可以利用電性調整來補償在製作時造成的誤差 [3]。

## 2.2.2 電容效應分析

在此將先討論靜電致動 (Electrostatic Actuation) 與電容式感測 (Capacitive Sensing) 的基本概念，以進一步瞭解微型陀螺儀與電容感測電路之關係。在電極版兩端只要有電位差就產生彼此吸引的靜電力，而此靜電力的大小等於能量對於

位移的變化率：

$$F = \frac{\partial E}{\partial x} = \frac{\partial}{\partial x} \left( \frac{CV_{bias}^2}{2} \right) \quad (2-2)$$

$V_{bias}$  是兩電容版間的電壓。一般來說，較大、較高的結構配合上窄間隙與高電壓會造成較大的靜電力。但觀察式 2-2 可得到，靜電力不僅不是電壓的線性函數，亦非位移量的線性函數。

在絕大部分的情況下，微型陀螺儀的感測部分可以用一個平行板電容加以近似。如果忽略邊緣效應(Fringing effect)，平行板電容的電容值如：

$$C = \frac{\epsilon_0 \epsilon_r A}{x} \quad (2-3)$$

$\epsilon_0$  是真空的介電係數， $\epsilon_r$  是兩平行板間的介質相對於真空的介電係數。 $A$  是兩平行板覆蓋的面積， $x$  是平行板間的距離。由於忽略了邊緣效應，實際的電容值將不會如式 2-3 般理想。但若平行板間距  $x$  大於平行板寬度四倍以上，則邊緣效應帶來的誤差則是可以被合理忽略的。



### 2.2.3 環狀陀螺儀運作原理

如 2.2.1 所述，環狀陀螺儀所使用的電極依功能可大略分為驅動、感測與控制電極。不過控制電極與陀螺儀操作無關，在此不做討論。觀察圖 2-2(a)，變形量最大的地方必定是放置驅動電極之處，因此可推論圖 2-2(a)的驅動電極必定放置在  $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$  這四個位置。另外當環狀結構進入驅動模態時， $45^\circ$ 、 $135^\circ$ 、 $225^\circ$ 、 $315^\circ$  這四點的位移趨近於零。

接著從圖 2-2(b)可看出，當有外來轉動使得環狀結構進入感測模態時，由於感測模態與驅動模態剛好相差  $45^\circ$ ，因此最大位移點轉移到  $45^\circ$ 、 $135^\circ$ 、 $225^\circ$ 、 $315^\circ$  這四點，而節點換成是  $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$  之處。

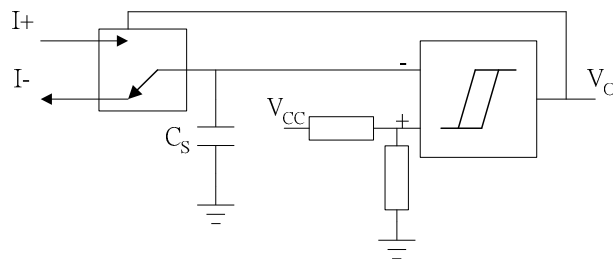
因此若能將感測電極放置在  $45^\circ$ 、 $135^\circ$ 、 $225^\circ$ 、 $315^\circ$  這四個位置，當沒有外來轉動，也就是環狀結構處於驅動模態時，因無位移將使得感測電極量到的電容將會是一致的(即是後文中所提之  $C_{S,0}$ )。而當有外來轉動，在同一瞬間四個感測電極量到的電容將會是兩個電極量到較大的電容值 ( $C_{S,0} + \Delta C$ )，而另外兩個則量到較小的電容值 ( $C_{S,0} - \Delta C$ )。所以如果取出時，量到較大電容值與較小電容值的電極各選取一個輸出，即會得到差動的電容變化，配合下一節介紹的電容感測電路，將可獲得兩倍的電容變化量  $\Delta C$ 。

## 2.3 電容感測電路

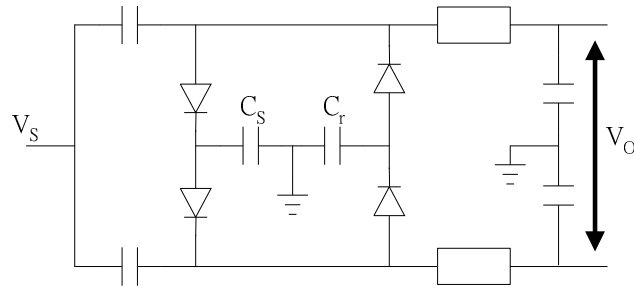
### 2.3.1 電容感測電路技術

經由前節的介紹，可以大致瞭解微型陀螺儀的運作方式。由於感測電極與環狀結構間的距離極小，產生的電容變化也相當的小，大約在  $10^{-14}$  法拉(Farad)這個數量級以下。因此應用於微機械系統的電容感測電路不僅要能量到電容變化，還必須是能量到微小電容變化才行。

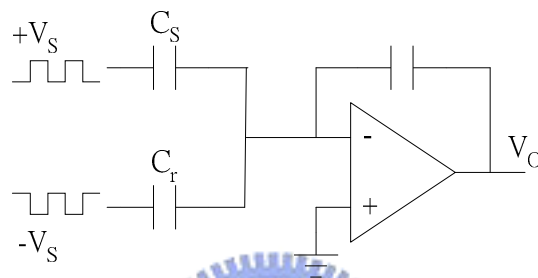
要量測電容變化有下列幾種方法：無穩態振盪器(Relaxation Oscillator)、阻抗電橋(Impedance Bridge)與電荷放大器(Charge Amplifier)[7]。在這之中，由於電荷放大器可以達成高解析度、不需要高品質因素(Quality factor)，並且其轉換函數與寄生電容無關，成為最常被使用與討論的架構。



(a) 無穩態震盪器



(b) 阻抗電橋



(c) 電荷放大器

圖 2-3 各種電容感測電路技術

而電荷放大器大致上可粗分為同步偵測 (Synchronous Detection) 電路與切換式電容 (Switched Capacitor) 感測電路兩種，本節將就這兩種常見的電荷放大器加以說明。

### 2.3.2 同步偵測 (Synchronous Detection) 電路

同步偵測偵測的架構如圖 2-4 所示。其中， $C_{s,0}$  是當待測物無轉動時微陀螺儀的輸出； $\Delta C$  則是對應角速度的電容變化，也就是欲量測之電容輸入； $V_S$  是輸入參考電壓； $C_P$  是從放大器負輸入端看到的寄生電容之總和。在圖 2-4 中，兩個反相的高頻參考訊號加在感測電容 ( $C_{s+}$ ,  $C_{s-}$ ) 的相異端，若感測電容發生差異，在

運算放大器的負輸入端會產生一股正比於  $\Delta C$  與參考訊號振幅的電荷。此電荷經由電荷放大器積分，運算放大器的輸出將會是  $\Delta C$  與參考訊號振幅的函數。

$$V_o = \frac{2\Delta C}{C_{INT}} V_s \quad (2-4)$$

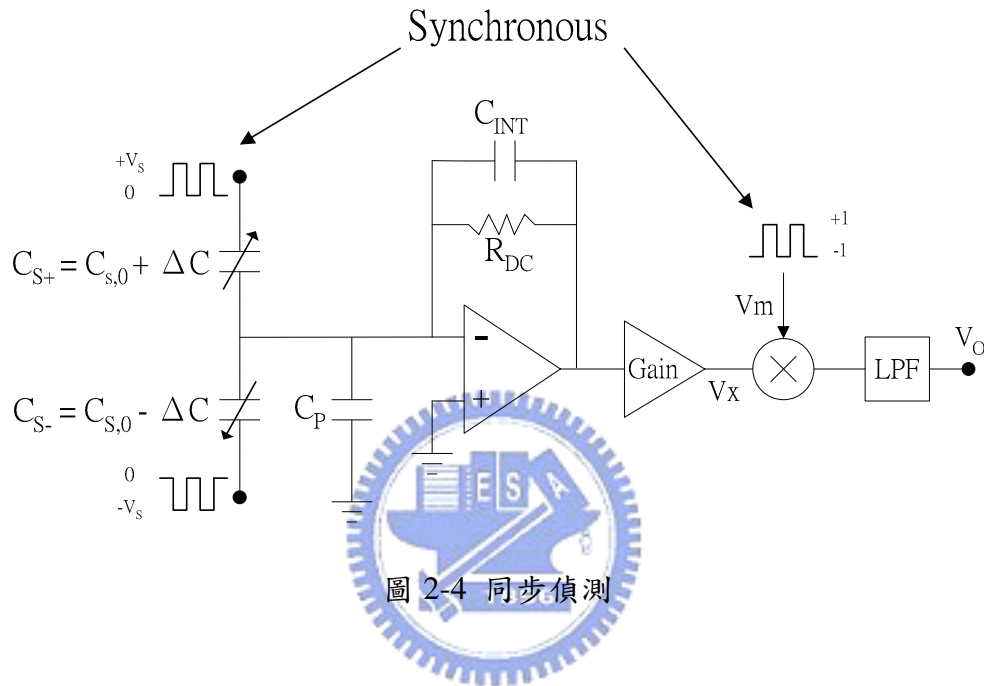


圖 2-4 同步偵測

同步指的是調變和解調變的訊號同步。首先輸入參考電壓  $V_s$  將低頻輸入訊號調變為高頻，此時運算放大器產生的雜訊 (如抵補電壓與閃爍雜訊) 處於低頻處。接著經過乘法器時，由於乘法器的兩輸入頻率相同，因此奇數倍頻被解調變到偶數倍頻處，偶數倍頻處被解調變至奇數倍頻處。根據前述結果，原本被調變到高頻的訊號  $V_x$ ，又會解調回到低頻，而原本低頻的雜訊會被移到高頻區 (圖 2-5 及圖 2-6)。接著經由低通濾波器後，則可消除被調變到高頻的  $1/f$  雜訊。這種消除低頻雜訊的方法又被稱為截波穩定 (Chopper Stabilization)。除了低頻雜訊之外，對於寄生電容的敏感度，也因為運算放大器的虛接地 (Virtual ground) 而大大的減少。利用緩衝器 (Buffer) 取代圖 2-4 中的電荷積分器也是另一種實現同步偵測電路的方法 [8]。

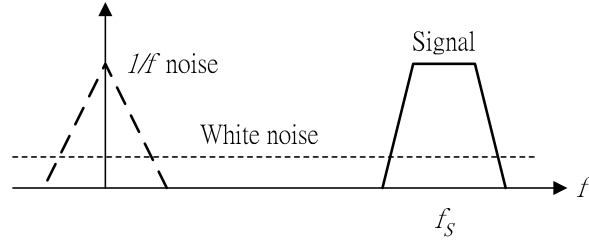


圖 2-5 調變前的頻域分佈

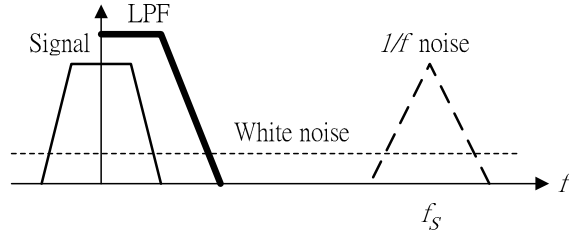


圖 2-6 調變後的頻域分佈

接著分析同步偵測電路的雜訊，輸出雜訊主要由運算放大器和迴授電阻的熱雜訊所決定，

$$\frac{\overline{v_{on}^2}}{\Delta f} = \left( \frac{2C_{S,0} + C_{INT} + C_P + C_{IP}}{C_{INT}} \right) \cdot \frac{\overline{v_n^2}}{\Delta f} + \left| \frac{1}{j\omega C_{INT}} \right|^2 \cdot \frac{4kT}{R_{DC}} \quad (2-5)$$

$\frac{\overline{v_n^2}}{\Delta f}$  是運算放大器熱雜訊的等效輸入頻譜密度 (Input-referred spectral density)， $C_{IP}$  是運算放大器的輸入電容。因此若從雜訊來分析，電阻值越大對雜訊越有幫助。而放大器方面，除了在設計上把熱雜訊  $\frac{\overline{v_n^2}}{\Delta f}$  降低之外，有效降低  $C_P$  與  $C_{IP}$  也同樣可以達到降低雜訊的效果。另外，若選擇較大的  $C_{INT}$ ，可同時降低等號右邊兩項的影響，但是由於輸出反比於  $C_{INT}$  (見式 2-4)，大  $C_{INT}$  帶來的是量測範圍 (Sensing Range) 的縮小。而雜訊代表的是解析度 (Resolution)，要如何在解析度與量測範圍中做取捨，可能就必須從應用範圍著手。

### 2.3.3 切換式電容(Switched Capacitance)感測電路

切換式電容感測電路最基本的概念是利用開關與電容來取代同步偵測電路裡的電阻，除了使用較小的晶片面積外，還可以帶來較好的對稱性與一致性。此外，由於切換式電容感測電路可以利用時脈區分出操作階段，像是感測、驅動、迴授、比較與訊號處理，因此切換式電容感測電路能夠提供更多在系統整合上的彈性[9]。

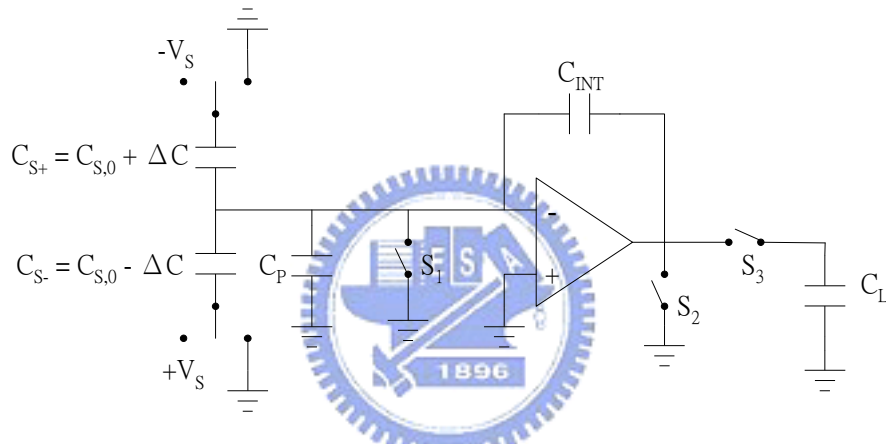
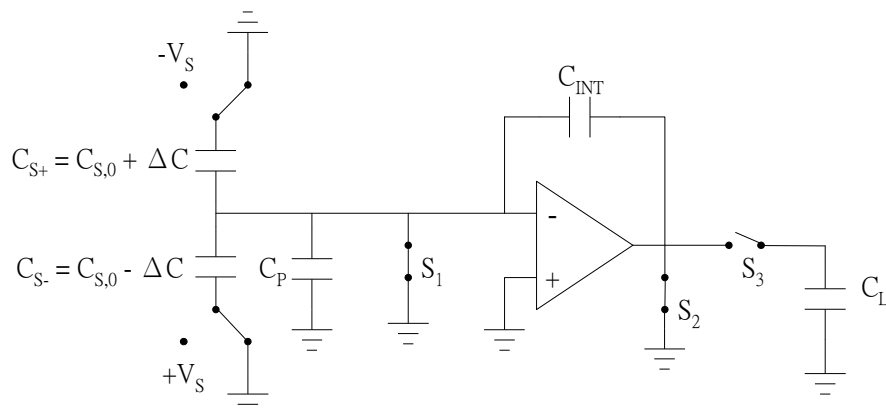
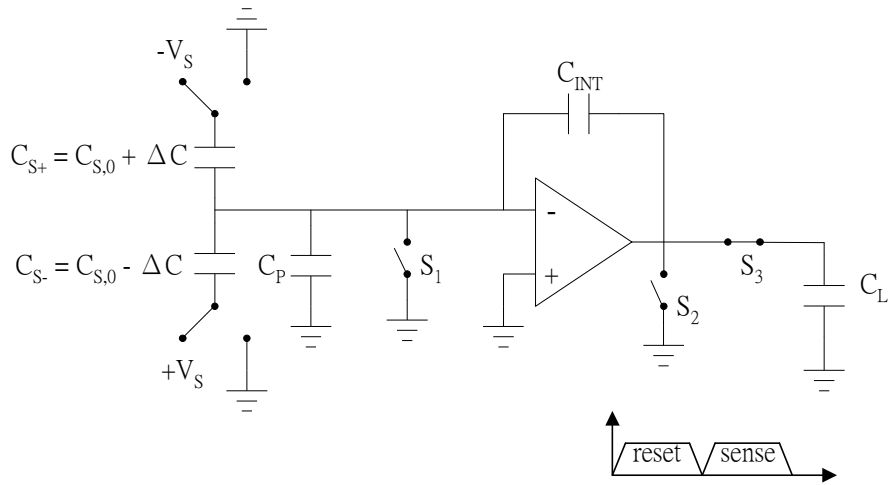


圖 2-7 切換式電容感測電路



(a)重設階段





(b)感測階段

圖 2-8 切換式電容感測電路操作階段

圖 2-7 是切換式電容感測電路的一般實現方法，除了輸入訊號從電壓變化改成電容變化之外，其餘部分都和切換電容式的放大器一模一樣。如同前述提到的，切換式電容感測電路可以區分出許多不同的操作階段，但使其能夠正常運作的基本需求只需「重設」與「感測」兩個階段。在「重設」階段時，電路中所有電容(感測電容和積分電容)以及放大器本身都被接到地或是參考準位，如圖 2-8(a)。切換到「感測」階段，輸入參考電壓 $\pm V_S$ 被通入感測電容，由於感測電容的不匹配，出現一股正比於不匹配量的電荷流向積分電容，形成輸出電壓。而負載電容( $C_L$ )的效果則是對輸出電壓取樣。式 2-6 為圖 2-7 的轉換函數，與同步偵測電路的轉換函數(式 2-4)相同。

$$V_o = \frac{2\Delta C}{C_{INT}} V_s \quad (2-6)$$

切換式電容的主要雜訊來源可分為兩部分：由開關 S1 造成的取樣雜訊(或稱 kT/C 雜訊)，以及被負載電容所取樣的運算放大器雜訊。而 kT/C 雜訊的等效輸出頻譜密度(Output-referred spectral density)為：

$$\frac{\overline{v_{KT/C}^2}}{\Delta f} = \frac{1}{f_s} \cdot \left( \frac{C_T}{C_{INT}} \right)^2 \cdot \frac{kT}{C_T} \quad (2-7)$$

其中  $C_T = 2C_S + C_{INT} + C_P + C_{IP}$ ，即為在運算放大器輸入端所看到的電容總和。 $f_s$  是取樣頻率。運算放大器雜訊為：

$$\frac{\overline{v_{opamp}^2}}{\Delta f} = \left( \frac{C_T}{C_{INT}} \right)^2 \cdot \frac{\overline{v_n^2}}{\Delta f} \cdot \frac{f_u}{f_s} \cdot \frac{\pi}{2} \quad (2-8)$$

$\overline{v_n^2}/\Delta f$  是運算放大器熱雜訊的等效輸入頻譜密度 (Input-referred spectral density)， $f_u$  是運算放大器的閉迴路頻寬[8]。

## 2.4 解析度分析

理論上，感測電路解析度受限於感測電路本身的熱雜訊與前端感測元件的布朗運動 (Brownian motion) 帶來的效應。但實際上，電路的非理想性亦會使解析度無法達到理論值。

解析度的定義是：造成訊號雜訊比 (Signal to Noise Ratio) 為一的電壓訊號之電容變化。

$$\sqrt{v_{no}^2} = v_o = \frac{dv_o}{dC} \cdot \Delta C_{\min} \quad (2-9)$$

$\sqrt{v_{no}^2}$  是感測電路的輸出雜訊。將式 2-9 重新整理以表示電容變化解析度：

$$\Delta C_{\min} = \frac{\sqrt{v_{no}^2}}{dv_o/dC} \quad (2-10)$$

由於討論的重點集中在電路部分，假設布朗運動帶來的效應是可忽略的，以便單純比較不同電路的熱雜訊。在 2.3.1 節討論的同步偵測電路中，假設迴授電

阻( $R_{DC}$ )所造成的雜訊已由於電阻值取其最小值而被最佳化。而電容變化的解析度可以從訊號轉換函數(式 2-4)與雜訊轉換函數(式 2-5)推算出來：

$$\sqrt{\frac{\Delta C_{\min}}{\Delta f}} = (2C_S + C_{INT} + C_P + C_{IP}) \cdot \sqrt{\frac{v_n^2}{\Delta f}} \cdot \frac{1}{V_S} \quad (2-11)$$

同樣的對於切換式電容感測電路，其解析度可從訊號轉換函數與雜訊轉換函數(式 2-6 ~ 2-8)中得到：

$$\sqrt{\frac{\Delta C_{\min}}{\Delta f}} = \frac{1}{V_S} \cdot \sqrt{\left(\frac{kTC_T}{f_S}\right)_{\frac{kT}{C}} + \left(\frac{C_T^2 v_n^2 f_u \frac{\pi}{2}}{f_S}\right)_{OPAMP}} \quad (2-12)$$

$C_T = 2C_S + C_{INT} + C_P + C_{IP}$ ，根號裡的第一項來自於開關  $S_1$  的  $kT/C$  雜訊，第二項來自於運算放大器的熱雜訊。在微機械(Micromachined)的應用中， $kT/C$  雜訊通常是主要雜訊源。因此以如何消除切換式電容感測電路裡  $kT/C$  雜訊帶來的影響為課題的討論亦不在少數。

比較這兩種電容感測技術的解析度，可以發現：

$$\frac{\Delta C_{\min,sw}}{\Delta C_{\min,syn}} = \sqrt{\frac{\pi f_u}{f_S}} \quad (2-13)$$

根據式 2-13，切換式電容感測電路的理論最小感測電容通常會比同步感測電路來得大兩到四倍。

## 2.5 結語

在這一章中，介紹了利用微機電技術製作的環狀振動式陀螺儀與兩種常見的電容感測電路。

電容式感測由於不需要額外製程、其較佳的靈敏度以及其可忽略的溫度係

數，是目前感測方式的首選。不過增加感測效能的關鍵在於如何降低寄生效應鍵。

由於同步感測電路與切換式電容感測電路可以不用添加額外的元件而可以達到高解析度，因此在積體化上是兩個很具吸引力的架構。而比較這兩種技術，切換式電容感測電路的理論最小感測電容在先天上就比同步感測電路大兩到四倍，但是在其他方面則是勝過同步感測電路，如較佳的系統整合彈性與可用來實現迴授系統。

表 2-1 同步感測電路與切換式電容感測電路之比較

	同步感測電路	切換式電容感測電路
時脈	僅需一種時脈	配合系統整合，操作階段越多需要越多時脈
雜訊	閃爍雜訊、熱雜訊與抵補電壓	閃爍雜訊、熱雜訊、抵補電壓與開關雜訊
閉迴路應用	低通濾波器會產生相位延遲，故不適合閉迴路應用。	較適合使用閉迴路應用

## 第三章 相關雙取樣電容感測電路

### 3.1 前言

在上述的描述中，我們一直假設電路中各部分皆為理想的，但是實際上其存在了很多的非理想效應，如放大器的抵補電壓(Offset Voltage)、閃爍雜訊(Flicker Noise)以及若有開關時的電荷注入效應(Charge Inject Effect)等。接下來的章節將介紹如何將相關雙取樣(Correlated Double Sampling)的概念應用在切換式電容感測電路以消除上述非理想性。

### 3.2 電路介紹

#### 3.2.1 電路中之非理想性



抵補電壓的定義是在輸入端必須外加之電壓使得輸出為零，而形成的原因有兩種：第一種是由於輸入端元件的寬長比與門檻電壓(Threshold Voltage)不匹配；而另一種則是由於設計上的取捨，使得輸出無法為零，除以增益後即成為輸入抵補電壓。

而相較於抵補電壓肇因於電路，閃爍雜訊則是製程上的缺陷。一般來說，半導體元件中的閃爍雜訊是由晶體結構中雜質的缺陷引起之各種效應產生的。在場效電晶體結構中，閃爍雜訊與定期捕獲和釋放載流子的氧化物表面狀態有關。

電荷注入現象是以場效電晶體為開關時所特有的雜訊，當閘極端的控制訊號為高準位時，場效電晶體將處於導通狀態，此時在汲極與源極間形成一個充滿電荷的通道。而當控制訊號轉為低準位，也就是場效電晶體處於截止狀態，此時通

道消失，儲存在通道內的電荷將往汲極端與源極端散溢。此多餘且無法預估的電荷將會對此場效電晶體兩端的訊號造成影響，即為電荷注入效應。

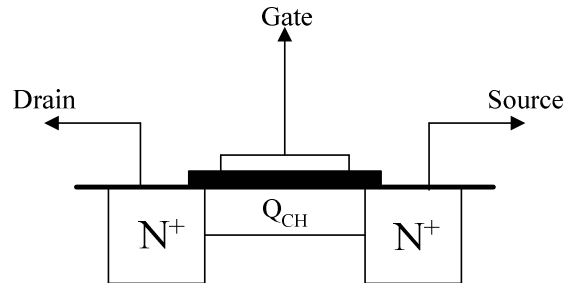


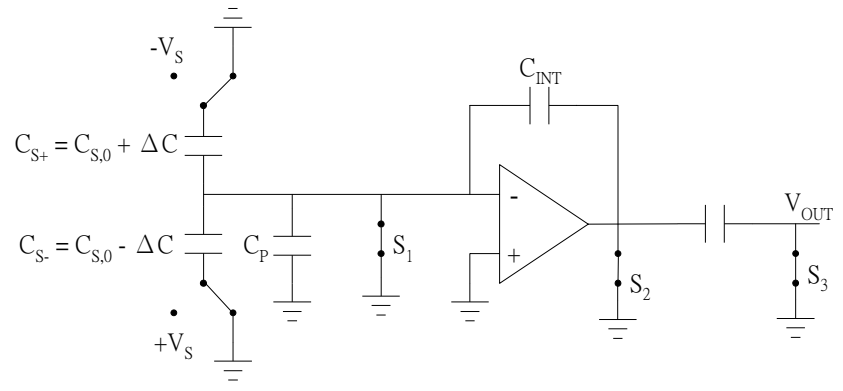
圖 3-1 電荷注入效應

### 3.2.2 相關雙取樣電容感測電路

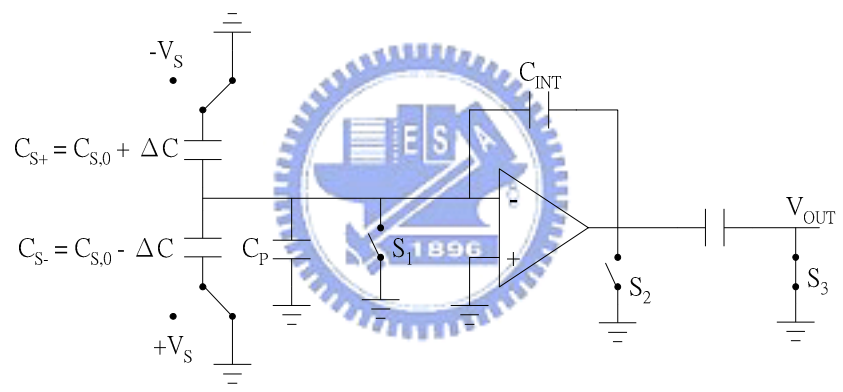
切換電容電路中的非線性失真在許多的訊號處理應用中是一個最重要的限制，這些失真的主要原因來自於由開關造成的訊號相關電荷注入、電容的非線性充放電特性與運算放大器的非線性輸入輸出特性。幸運的是，對於開關與電容所造成的失真，已經有一些有效的技術來降低他們的影響。而為了降低運算放大器所造成的影響，運算放大器的增益必須大於訊號範圍或是將訊號限制在運算放大器的線性操作區。不過在低電壓的環境下，上述的方法其實並不容易達成。在之後的章節中，將介紹相關雙取樣電容感測電路，這個架構一般是用來消除像是運算放大器的抵補電壓等非線性失真與閃爍雜訊的影響，但也可以用來消除當開關運作時造長的電荷注入效應。相關雙取樣電容感測電路與運作模式如圖 3-2

在「重設」階段時，由於電路中所有的電容的上下極版都接到地，因此電容儲存的電荷全部被重設為零。而在「重設」階段結束時，開關  $S_1$  開路，此時，開關造成的雜訊如電荷注入效應都累積在運算放大器的輸入端。等到進入「誤差感測」階段時，運算放大器的抵補電壓與閃爍雜訊連同電荷注入效應形成一個誤差源。此誤差源經過積分放大，並且儲存在電容  $C_H$  中。到了「訊號感測」階段時，

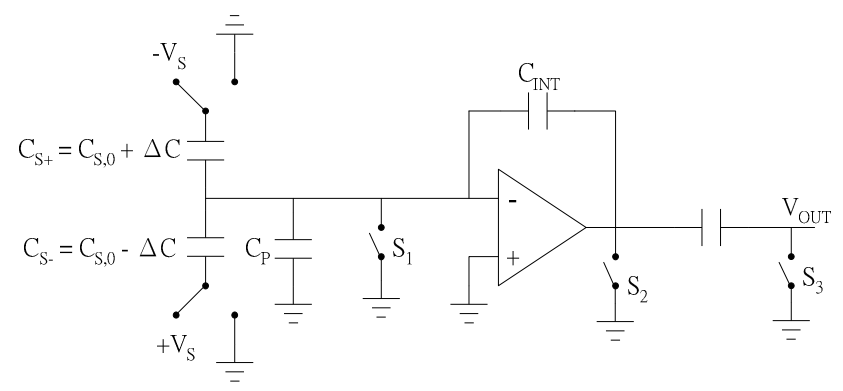
輸入參考電壓  $\pm V_S$  將通入感測電容，使得運算放大器的輸出端將同時包含了訊號輸出與雜訊。然而由於在「誤差感測」階段時已將雜訊儲存在電容  $C_H$  兩端，因此，輸出  $V_{OUT}$  將是純的訊號輸出。



(a) 重設階段



(b) 誤差感測階段



(c) 訊號感測階段

圖 3-2 相關雙取樣電容感測電路的運作模式

### 3.3 電路設計與模擬

#### 3.3.1 運算放大器

圖 3-2 中的運算放大器是由兩級式所構成，電路如圖 3-3：

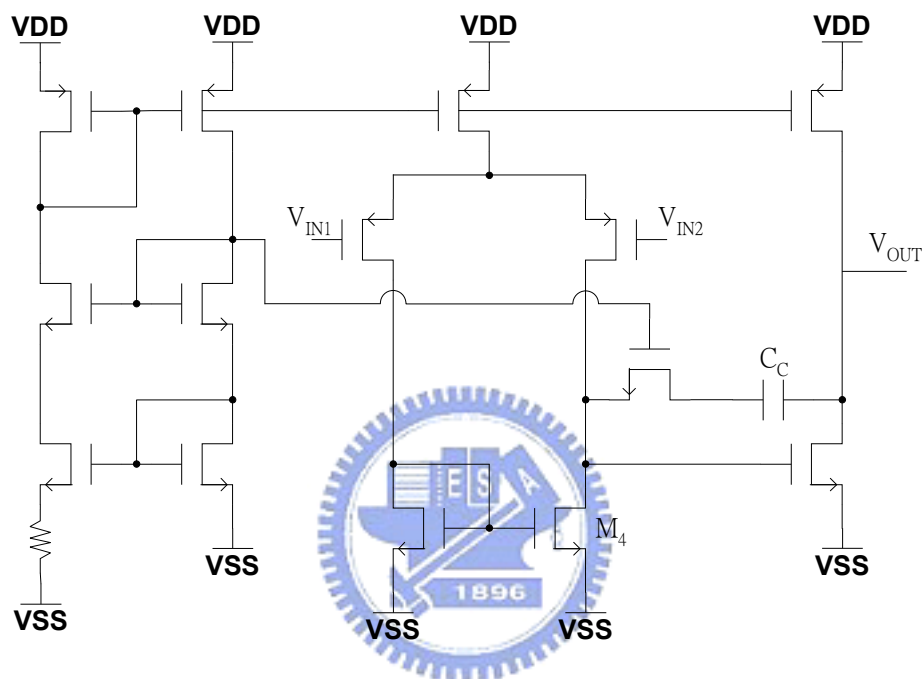


圖 3-3 兩級式運算放大器

表 3-1 兩級式放大器特性表

Open-loop gain	55 dB	Slew Rate	80V/us
Phase Margin	75°	Output Swing	3.3 ~ -3.28 V
Gain Margin	33 dB	CMRR	72 dB
Bandwidth	190 kHz	PSRR+	77 dB
Unity gain freq.	117 MHz	PSRR-	57 dB
Offset Voltage	14.78mV	Power Dissipation	6.3 mW



### 3.3.2 相關雙取樣電容取樣電路模擬結果

若是將直接在晶片中設計如圖 3-2 的結構，在輸出端必須直接面對 PAD 的效應，因此在輸出端之後再加上一個緩衝級，如圖 3-4：

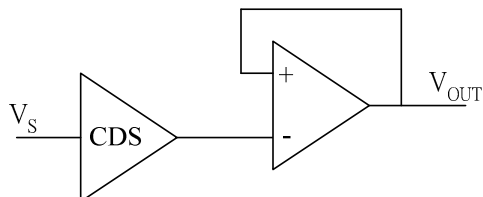


圖 3-4 有緩衝級的相關雙取樣電容感測電路

圖 3-5 與圖 3-6 是改變  $C_{INT}$  時，得到的模擬結果。而根據式 2-6， $C_{INT}$  越大表示能量測的  $\Delta C$  範圍就越大，但同時解析度被犧牲了。

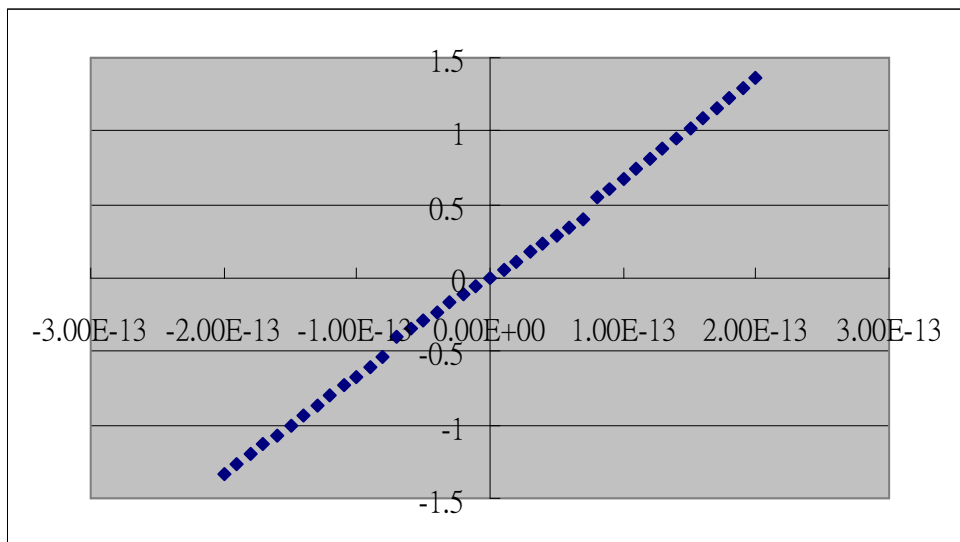


圖 3-5 Range : 200fF ~ -200fF Step : 10fF  $C_{INT}$  : 0.5pF

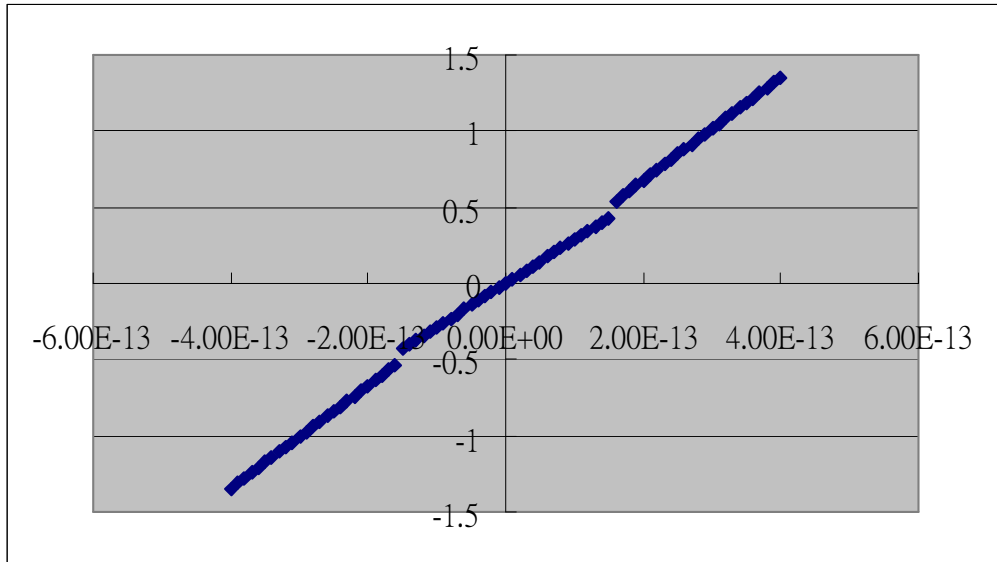
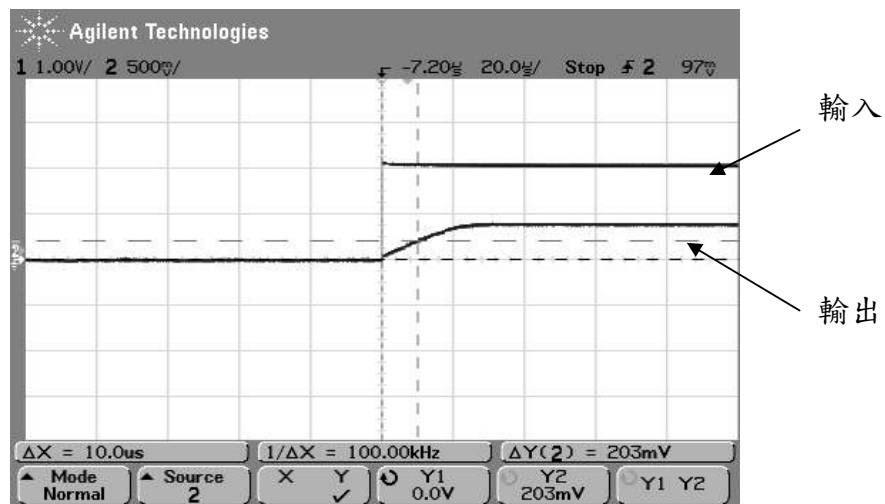


圖 3-6 Range : 400fF ~ -400fF Step : 10fF  $C_{INT} : 1.0pF$

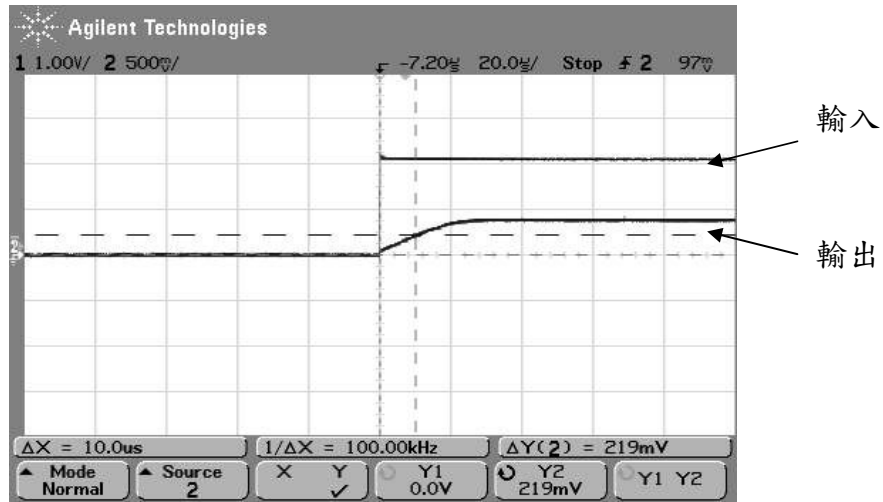


### 3.4 量測結果

在晶片中布置了兩個分別為  $0.5pF$  與  $1.0pF$  的電容，利用 RC 充放電的原理推算量測到的電容值為多少，在互相比較兩電容值以去除外界影響。



(a)  $R = 3.3M\Omega$   $C = 0.5pF$



(b)  $R = 3.3M\Omega$   $C = 0.5pF$

圖 3-7 利用 RC 充放電原理測量

從圖 3-6 與圖 3-7 中計算出的電容大約分別為 3.69pF 與 4.13pF。比較兩者結果，可大約估計外界影響約為 3pF。

除了電容，同時也設置了一個單獨的運算放大器，接下來將利用單位增益迴授輸出級(Unit-gain Buffer)與電阻迴授放大器做量測的方法。

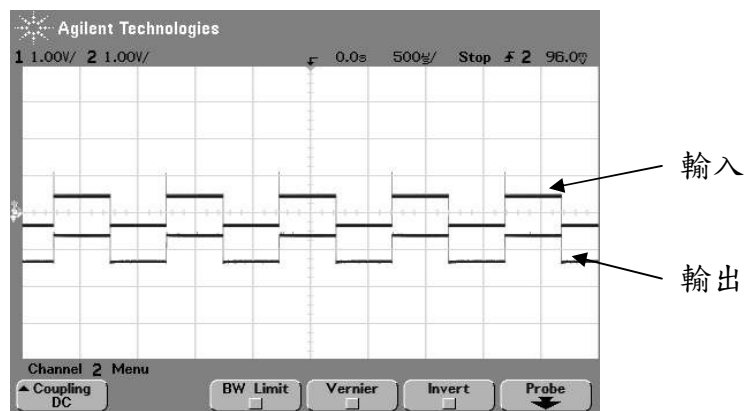
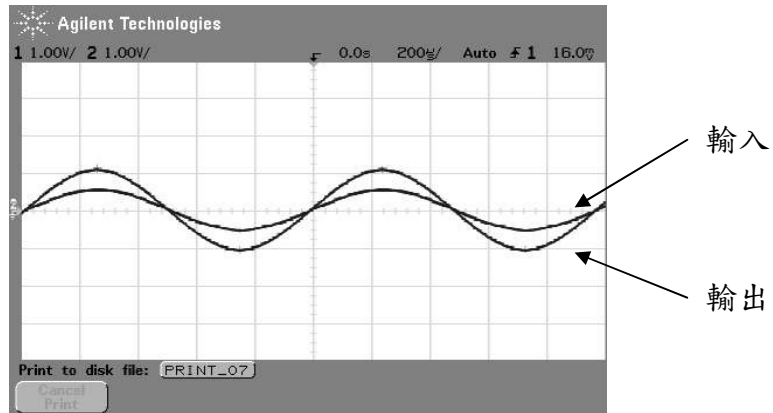
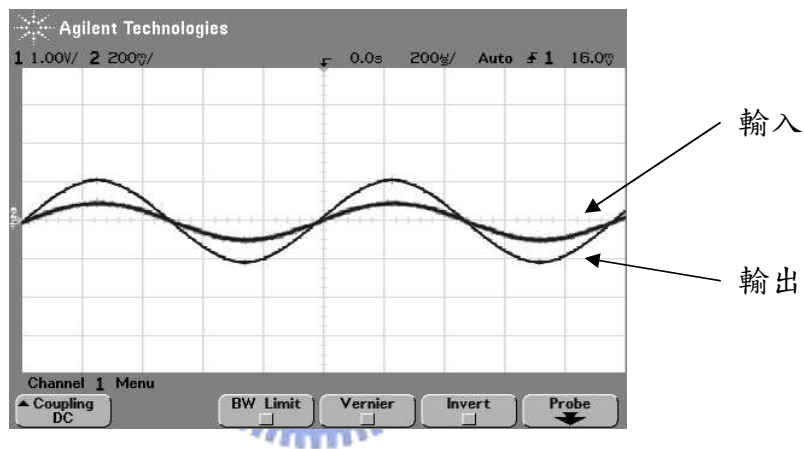


圖 3-8 單位增益迴授緩衝級



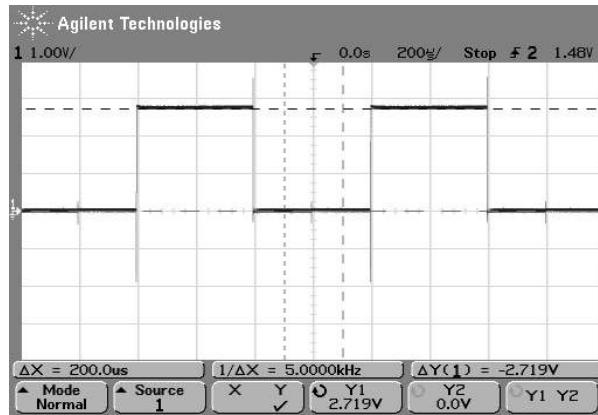
(a)  $R_1/R_2 = 0.5$



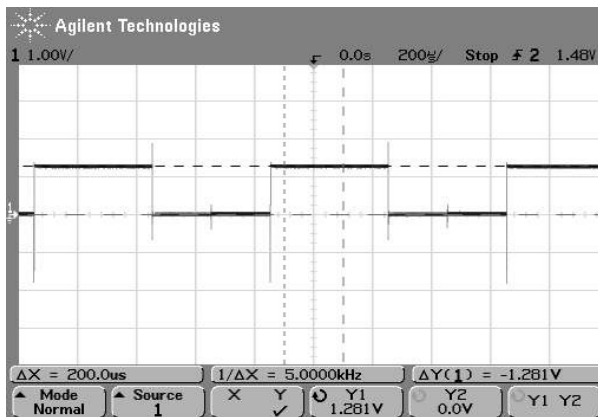
(b)  $R_1/R_2 = 0.1$

圖 3-9 電阻迴授放大器

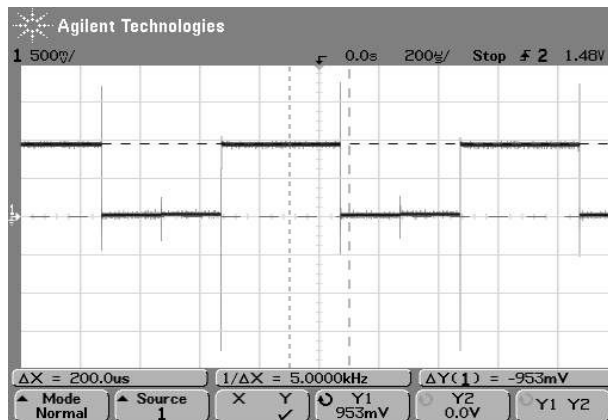
從圖 3-8 可以看出單位增益緩衝級除了輸出與輸入的直流成分不同，其他像是頻率、相位或振幅都表示運算放大器可正常操作。而圖 3-9 為了方便比較，將輸出訊號的直流成分拿掉。另外若  $R_1$  與  $R_2$  的比大於一，容易造成運算放大器飽和，因此都採用小於一的比例來進行量測。



(a)  $C_{S1} = 3.3 \text{ pF}$   $C_{S2} = 2.7 \text{ pF}$



(b)  $C_{S1} = 2.7 \text{ pF}$   $C_{S2} = 3.3 \text{ pF}$



(c)  $C_{S1} = 2.7 \text{ pF}$   $C_{S2} = 3.6 \text{ pF}$

圖 3-10 全系統量測結果

原本應為微陀螺儀的電容部分，在測量時利用成對的離散電容加以模擬。這樣的方法雖然較為方便，但是離散電容的值有精確度上的問題，而且並不是任何一種電容值都可以得到，因此在量測時挑選兩電容值使  $C_{S,0}$  與  $\Delta C$  接近設計時的數值。

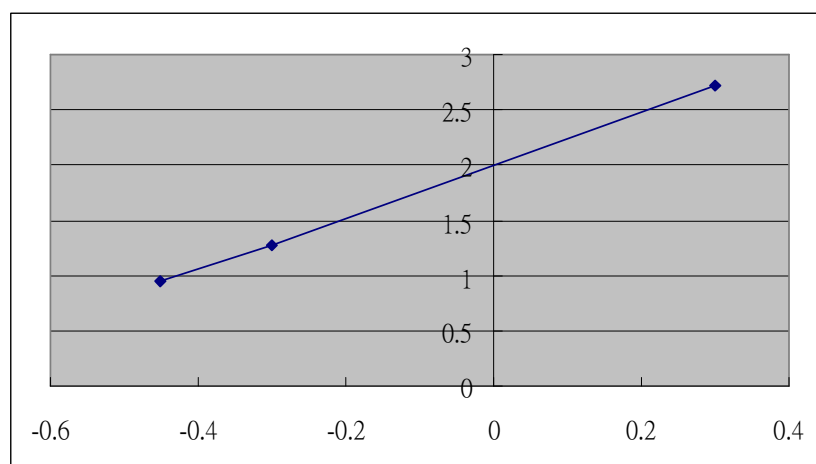


圖 3-11  $\Delta C$  與  $V_{OUT}$  關係圖

在設計時  $C_{S,0}$  為 3.18pF， $\Delta C$  的範圍大約為  $\pm 400$ fF。圖 3-10 是在量測過程中較符合此設計數值的結果。從圖 3-11 的輸出值可明顯看出即使當兩電容值相同時，輸出值亦非為零。這是因為運算放大器量測出的特性已與設計時的不符，如圖 3-8，再加上其他像是雜訊的影響，使得有此誤差產生。

### 3.5 結論

在本章中大致介紹了利用單端感測來實現電容感測電路的方法、設計與實體電路的量測。從 3.4 節中的測量結果可以看出，雖然說相關雙取樣的概念在消除部分雜訊時有其獨到之處，但是在對抗外界的影響時的表現就沒有叫亮眼的表現。

在下一章中，將介紹與單端感測不同的電路結構：差動式感測。除了將介紹差動式感測與單端感測不同之處外，同時也將說明兩者在對抗外界影響時，會有如何不同的表現。



## 第四章 差動式感測電路

### 4.1 前言

在第二章與第三章中介紹的電容感測技術，雖然偵測的概念不同，但是他們卻有一個共通點：皆為單端感測，運算放大器的正端都接到地準位或是某一參考位準。相較於單端感測，差動式感測也發展出數種常見的電路。

在這一章中，不僅將針對這些常見的電路作介紹。並且分析當單端感測與差動式感測兩種不同的感測方式遇到外界誤差時，會對自身的訊號帶來什麼樣的變化。



### 4.2 擬差動式感測電路(Pseudo-differential Sensing Circuit)

一般來說，全差動式(Fully-differential)的結構，由於有著天生對雜訊的抵抗能力，因此是設計上的首選。前述提到的雜訊抵抗能力包含了降低雜訊耦合(Noise Couple)、消除偶次項諧波失真 (Harmonic Distortion) 與改善電源互斥比 (Power-Supply Rejection Ratio, PSRR)。

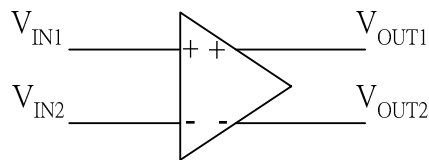


圖 4-1 全差動式結構



不過很可惜的是，在微機械(Micro-machined)的應用中無法實現全差動式結構，主要的原因在於差動感測電容( $C_{S+}$ ,  $C_{S-}$ )必定要共用一個電極，無法如圖 4-1 一般擁有兩獨立輸入。因此為了兼得微機械系統與全差動式的優點，可以利用擬差動式的方法。從圖 4-2 可看出輸入參考電壓  $V_S$  加在兩感測電容的共同端，另外兩端則接到運算放大器的兩輸入端，如此一來既可避開微機械上的先天限制，又保留了全差動式的優點[9]。

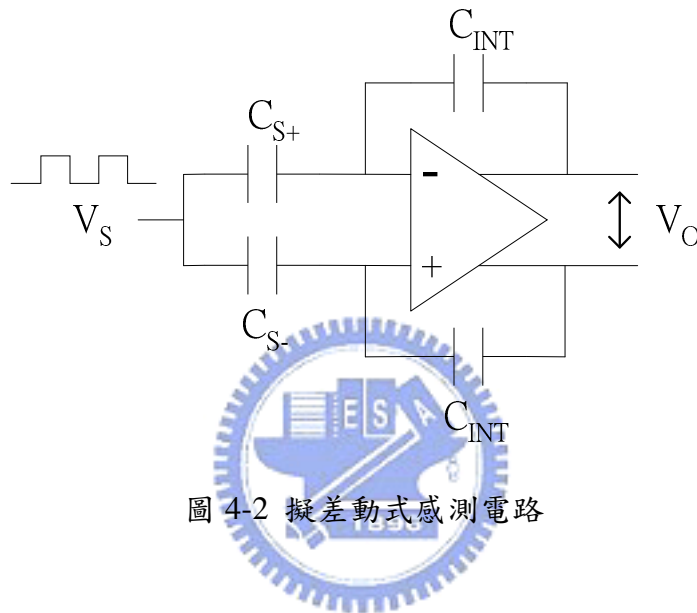


圖 4-2 擬差動式感測電路

不過這種擬差動式感測電路有一個嚴重的缺點：運算放大器的共模輸入準位 (Input Common-mode Level) 會飄移。這個問題迫使放大器必須能容忍更寬的共模輸入範圍，這將使得放大器的設計變得更複雜。此外，擬差動式的輸入端由於不像單端感測有虛接地 (Virtual Ground) 的特性，因此擬差動式感測電路的轉換函數會與放大器輸入端的寄生效應有關。

在計算共模輸入準位偏移之前，先做幾個基本假設：

1. 運算放大器的增益夠大使得兩輸入端有虛短路 (Virtual Short) 的現象。
2. 由於運算放大器內的輸出共模迴授 (Common-mode Feedback, CMFB) 正常運作，若共模輸出準位產生偏移都可被拉回設計值。

$$3. C_{S+} = C_{S,0} + \Delta C_S, C_{S-} = C_{S,0} - \Delta C_S, C_{P1} = C_{P,0} + \Delta C_P, C_{P2} = C_{P,0} - \Delta C_P。$$

當  $V_S$  通入兩感測電容時，輸入和輸出的共模準位都會產生變化，不過由於輸出部分有輸出共模迴授，可將輸出共模準位拉回設計值。在輸出共模迴授作用時，輸入共模準位會再度產生飄移，進而到達終值。

首先，由  $V_S$  引起的輸入共模準位偏移 ( $V_{icm-ini}$ ) 為：

$$V_{icm-ini} = \alpha \cdot V_S \quad ; \quad \alpha = \frac{C_S}{C_S + C_P + C_{IP} + \frac{C_{INT} C_L}{C_{INT} + C_L}} \quad (4-1)$$

由  $V_{icm-ini}$  造成的輸出共模準位變化為：

$$V_{ocm-ini} = \beta \cdot V_{icm-ini} \quad ; \quad \beta = \frac{C_{INT}}{C_{INT} + C_L} \quad (4-2)$$

輸出共模迴授會將輸出共模準位鎖回正確準位，因此輸入共模準位也跟著發生第二次變化：

$$V_{icm-final} = V_{icm-ini} - \gamma V_{ocm-ini} \quad (4-3)$$

$$= \alpha (1 - \beta \gamma) \cdot V_S \quad (4-4)$$

$$= \delta \cdot V_S \quad (4-5)$$

其中  $\gamma = \frac{C_{INT}}{C_{INT} + C_S + C_P + C_{IP}} = \frac{C_{INT}}{C_T}$ 、 $\delta = \alpha (1 - \beta \gamma) < 1$ 。若  $C_{INT}$  遠小於  $C_L$  與  $C_T$  時，利

用電荷守恆定理，可以得到：

$$V_{icm-final} = \frac{C_S}{C_T} \cdot V_S \quad (4-6)$$

由於共模輸入準位飄移，使得轉換函數變為：

$$V_O = \left[ -\Delta C_S (C_{INT} + C_P + C_{IP}) + \Delta C_P \cdot C_S \right] \cdot \frac{V_S}{C_I C_T} \quad (4-7)$$

比較式 2-4、式 2-6 與式 4-7，可明顯看出擬差動式感測電路的轉換函數變為  $C_p$  之函數，且  $C_p$  並不是一個能夠詳細掌控的參數。另外， $\Delta C_p$  代表的是放大器兩輸入端的寄生電容的不匹配，這不匹配的量有可能會遠大於欲感測的量  $\Delta C_s$ ，因而產生額外的誤差量。

輸入共模準位飄移的問題可以利用輸入共模迴授 (Input Common-Mode Feedback, ICMFB) 來解決，如圖 4-3。但是如此就增加了電路複雜度、放大器輸入端上額外的電容與輸入和輸出共模迴授的相互影響。[1]

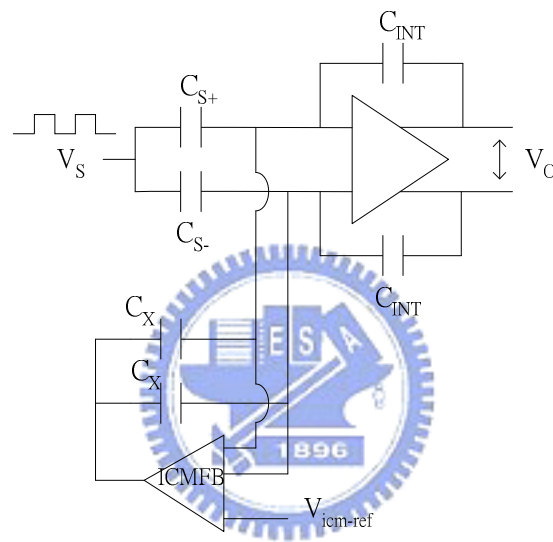


圖 4-3 加入輸入共模迴授的擬差動式感測電路

## 4.3 差動式電荷放大器

### 4.3.1 差動式電荷放大器與擬差動式感測電路之比較

從上節的說明可以知道，擬差動式放大器雖然有全差動式的好處，但是由於先天上的限制，使得必須加上額外的輸入共模迴授電路來降低天生缺陷。所以若要將全差動式的概念應用於微機械系統，擬差動式並不是一個好選擇。因此結合了擬差動式感測電路與單端感測的電荷放大器，產生了差動式電荷放大器這種架

構[7]，如圖 4-4。

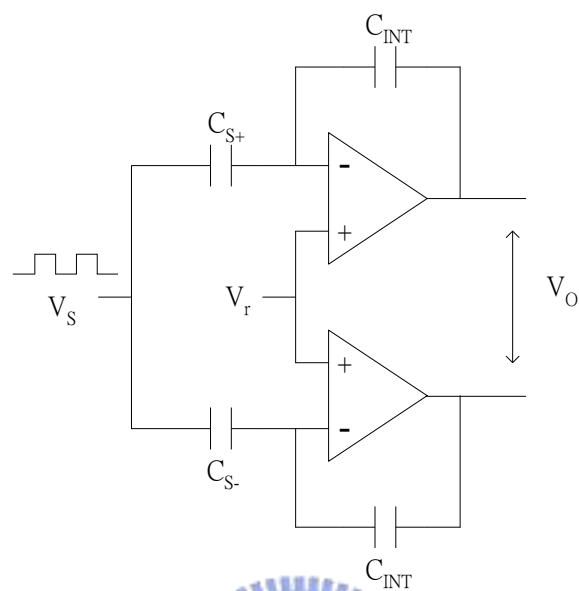


圖 4-4 差動式電荷放大器

從圖中可以明顯看出，差動式電荷放大器與擬差動式感測電路最大的差別在於：差動式電荷放大器多使用了一個運算放大器，且在兩放大器的正輸入端同樣接到一個參考電壓。利用運算放大器兩輸入端間的虛短路(Virtual Short)效應，使得正輸入端的電壓不再如擬差動式感測電路一般為浮動的，因此可藉此解決輸入共模電壓偏移的問題。

### 4.3.2 差動式與單端電荷放大器之比較

單端電荷放大器就如同前述所介紹，除了能夠達到電容感測的目的外，對於電路內部的雜訊，像是抵補電壓(Offset Voltage)、閃爍雜訊(Flicker Noise)等，都有些特殊的方法能夠降低其影響。但是對於外部的誤差，反而不容易像電路內部雜訊般利用電路架構來消除。

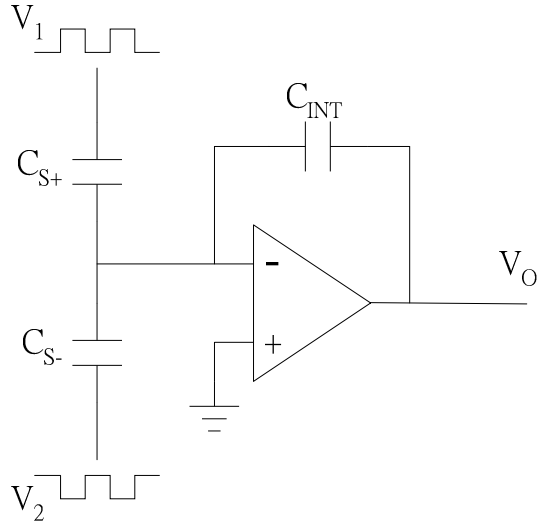


圖 4-5 單端電荷放大器

雖然單端電荷放大器的轉換函數如式 2-4，但是這是理想狀況，也是不可能發生的情況。而如圖 4-5 中的轉換函數為：

$$V_O = -\frac{C_{S+}}{C_{INT}} \cdot V_1 - \frac{C_{S-}}{C_{INT}} \cdot V_2 \quad (4-8)$$

第一種誤差源是輸入參考電壓振幅的絕對值不相同 ( $|V_1| \neq |V_2|$ )。假設  $V_1 = V_S$ 、 $V_2 = -(V_S + \Delta V)$ ，代入式 4-8 得到輸出為：

$$V_O = -(2V_S + \Delta V_S) \cdot \frac{\Delta C_S}{C_{INT}} + \Delta V_S \cdot \frac{C_{S,0}}{C_{INT}} \quad (4-9)$$

式 4-9 中等號右邊第二項就是由於振幅絕對值不相等而造成的誤差項。不過由於該項偏為直流或是低頻項，故可以利用簡單的訊號處理，將其濾掉。

第二種誤差來源是如果輸入參考電壓並不是很完美的相差  $180^\circ$ 。假設  $V_1 = V_S \sin(\omega t)$ 、 $V_2 = -V_S \sin(\omega t - \Psi)$ ，其中  $\Psi$  是相位差。代入式 4-8 得到：

$$V_O = -\frac{C_{S+}}{C_{INT}} \cdot V_S \cdot \sin(\omega t) - \frac{C_{S-}}{C_{INT}} \cdot V_S \cdot \sin(\omega t - \Psi) \quad (4-10)$$

式 4-10 可以重新整理為：

$$V_O = -\frac{V_S}{C_{INT}} \left[ C_{S,0} (\sin \omega t - \sin(\omega t - \Psi)) - \Delta C_S (\sin \omega t + \sin(\omega t - \Psi)) \right] \quad (4-11)$$

再套用三角函數中的和差化積  $\sin A - \sin B = 2 \sin((A-B)/2) \cos((A+B)/2)$ ，式 4-11 變成：

$$V_O = -\frac{2V_S}{C_{INT}} \left[ C_{S,0} \sin \frac{\Psi}{2} \cos(\omega t - \Psi) + \Delta C_S \cos \frac{\Psi}{2} \sin(\omega t - \Psi) \right] \quad (4-12)$$

為了便於理解，將式 4-12 表示為：

$$V_O = -\frac{2V_S}{C_{INT}} \cdot A \cos(\omega t - B) \quad (4-13)$$

至於  $A$  與  $B$  所代表的函數經由比較式 4-12 與式 4-13 得到：

$$A = \sqrt{\frac{\Psi(C_{S,0} - \Delta C_S) \left( \frac{\Psi^2}{4} C_{S,0} + \Delta C_S \right)}{\sin 2B}} \quad (4-14)$$

$$B = \tan^{-1} \frac{\frac{\Psi^2 C_{S,0}}{2} + 2\Delta C_S}{\Psi \Delta C_S} \quad (4-15)$$

很明顯的，輸出  $V_O$  的振幅  $(-\frac{2V_S}{C_{INT}} \cdot A)$  並不是電容變化  $\Delta C_S$  的線性函數，而相位  $B$  則是跟著電容變化而變化。雖然相位可以用來偵測振動的情況[2]，不過由於電容變化太小，需要再加一個靈敏的相位偵測電路來達成，因此這樣的應用並不常見，所以相位的影響可以先忽略。但是卻不能輕忽振幅是電容變化的非線性函數這個問題，且從式 4-13 到式 4-15 可看出量測出來的訊號變化和電容變化間的關係是非常的複雜。這表示不論後級接的是哪種系統，在判讀訊號時都會造成額外的負擔。

## 4.4 結語

在第二章與本章的討論中，分別介紹了單端感測技術與差動式感測技術。而由於本論文主要應用在微機械系統，由於微機械系統的結構使然，在實現差動式感測技術上，首先嘗試採用擬差動式感測技術。但在經過分析之後，擬差動式感測技術由於其電路複雜性不論是否加入了輸入共模迴授都有一定的難度，且較困難的設計並未帶來等值的效能進步，因此決定繼續研究其他技術。

最後，在比較了差動式與單端感測式的電荷放大器後，發現差動式的電荷放大器不僅擁有單端感測式電荷放大器的優點，也克服了單端感測式在外來誤差產生時容易受影響的缺憾。因此在第五章中，將介紹如何將利用差動式電荷放大器的概念來實現適合應用在微機械系統的電容感測電路，並且將對於電路結構中的重要組成元件進行詳盡的討論與說明。



# 第五章 電路設計

## 5.1 前言

比較數種不同的電容感測技術之後，最後決定採用差動式電荷放大器的概念。因此在本章中將介紹如何利用差動式電荷放大器的概念來完成適合的電容感測電路，以及每一個組成元件做設計上的描述、考量。這些組成元件包括運算放大器、輸出緩衝級與電容。

## 5.2 電路架構



圖 5-1 是為了實現電容感測而設計的電路架構，從輸入參考電壓  $V_S$  到  $OPS$  的輸出端，是前述介紹過的差動式電荷放大器。由於電容變化極小，差動式電荷放大器量測到的訊號差亦隨之極小，因此在  $OPS$  輸出之後使用了一個  $OPA$ ， $OPA$  主要的功能在於先提供訊號相減的函式以產生此訊號差，再對此訊號差採取放大的動作，讓最大欲量測之電容變化處於輸出電壓的最大值，以使電容變化產生的電壓差為最大。

而  $OPS$  的輸出端到  $OPA$  的輸入端中間有個緩衝器，目的在於提供極高的輸入阻抗，避免在  $OPS$  輸出端的額外或是不可預期的負載影響了差動式電荷放大器的運作。這些額外或不可預期的負載包括  $OPA$  的輸入阻抗與寄生電阻或電容。

經過  $OPA$  放大以後，由於訊號帶有輸入參考電壓  $V_S$  的頻率，因此必須使用取樣保持電路(Sample and Hold Circuit)來獲得穩定輸出。最後，在這次設計中，由於只是單純的量測電容變化，並沒有要和後級的數位系統作整合，在輸出端處必須加上實作上的考量，如 PAD、拉線(Bonding)以及量測時探針的效應，因此在



最後一級使用了一個緩衝器。輸出緩衝級與連接 *OPS* 和 *OPA* 間的緩衝器功用不同，後者的主要是提供阻抗匹配，而輸出緩衝級除了阻抗匹配外，還必須考慮到是否能夠提供足夠的電流推力，克服 PAD、拉線甚至是量測探針所帶來的阻抗。

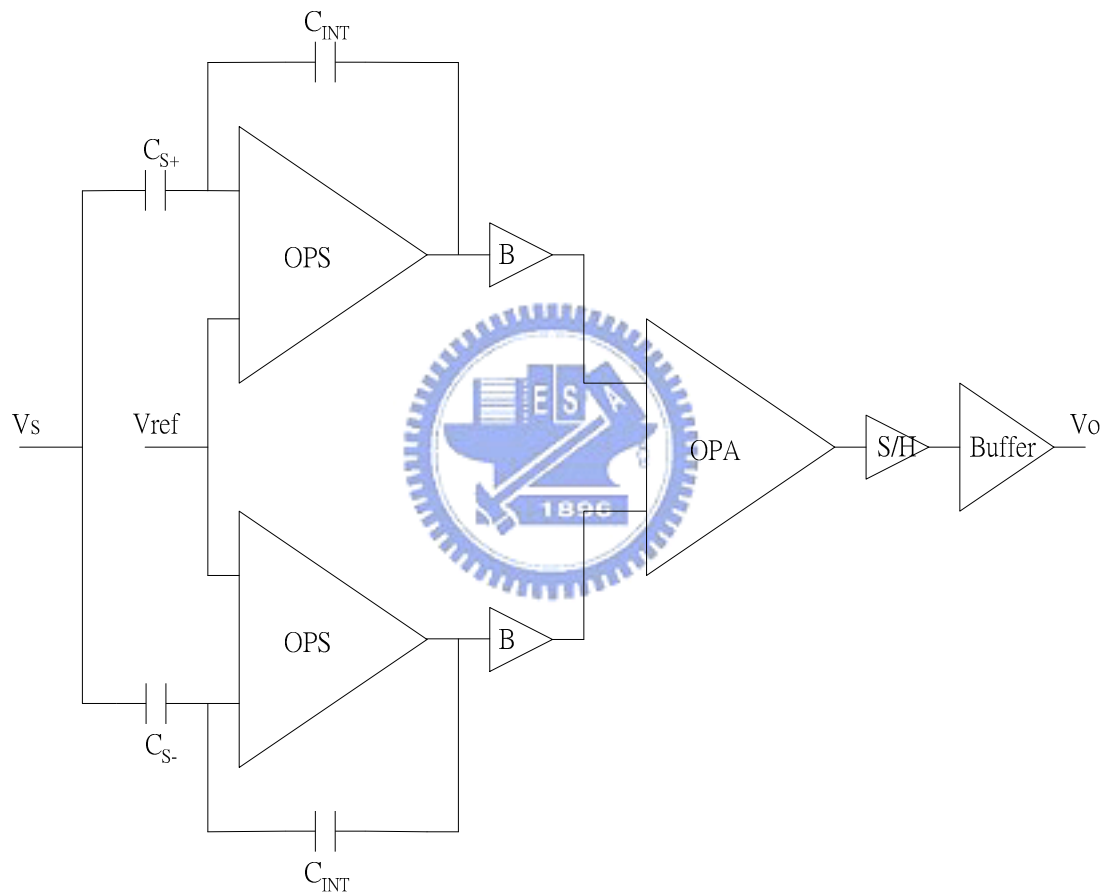


圖 5-1 電路架構

## 5.3 OPS 與 OPA

### 5.3.1 基本概念

一般來說，運算放大器在類比電路裡扮演了舉足輕重的角色。當然，在電容感測電路裡更是主角。解析度、量測範圍、量測速度(或稱量測頻率)等特性都取決於運算放大器。在這次設計中使用了兩種不同類型的運算放大器，都將在本章中介紹其概念與設計流程。

一個理想的單端輸出運算放大器有差動輸入、電壓增益無限大、輸入阻抗無限大與零輸出阻抗等特性。圖 5-2 是理想運算放大器的示意圖。雖然實際的運算放大器無法完美的達到上述特性，但在大多數的應用中，這些實際運算放大器的特性足以使電路特性可接近於理想的運算放大器。

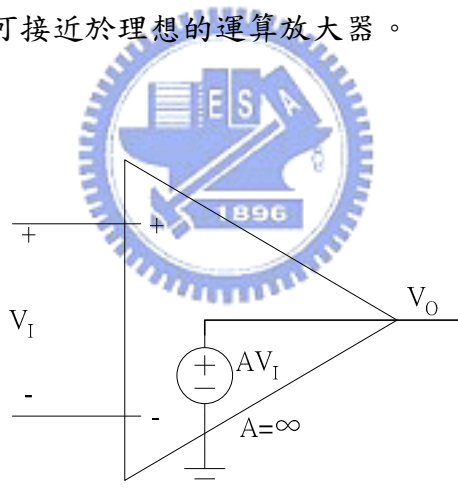


圖 5-2 理想運算放大器示意圖

### 5.3.2 設計流程

*OPS* 與 *OPA*，主要的功能在於電容感測與訊號放大。不過因增益主要由閉迴授上的阻抗所決定，運算放大器本身不需要提供極高的增益，再加上並非為高頻應用，因此考量到簡化設計，故採用折疊疊接式(Folded-cascode)的運算放大器架

構。

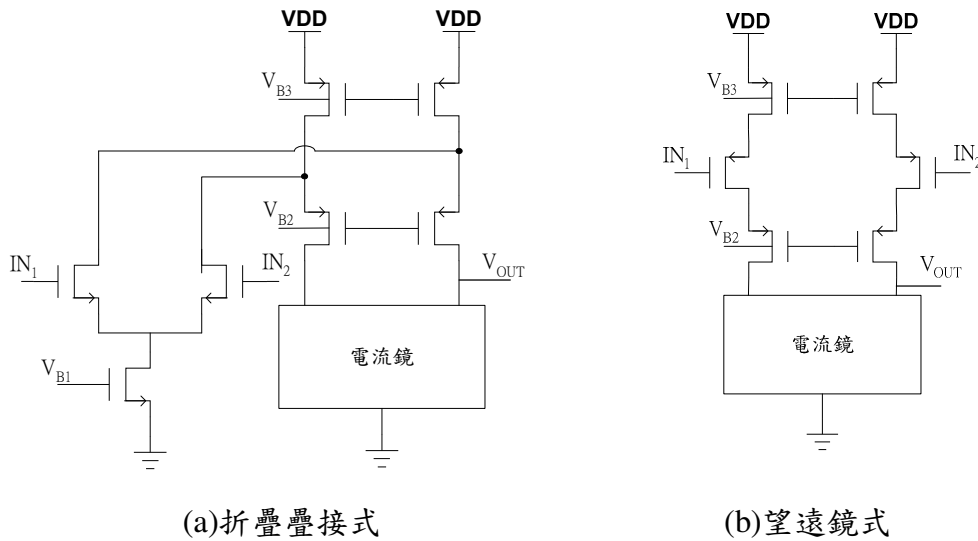


圖 5-3 折疊疊接式與望遠鏡式運算放大器示意圖

與折疊疊接式相類似的是望遠鏡式(Telescopic)的架構，從圖 5-3 可看出，折疊疊接式的輸出端到電源端或地端中間經過的電晶體數目比望遠鏡式來得少，這也代表著輸出振幅會比望遠鏡式來得大。這對電容感測電路是個極為誘惑的特性，因為如果輸出振幅大，可量測的範圍也隨之較大。

但不管是折疊疊接式也好，還是望遠鏡式也好，要能夠正常操作，必須要讓每一個電晶體都能運作在適當的工作點，因此需要一個穩定的偏壓電路。常見的偏壓方式是利用簡單的電流鏡，將參考電流放大至每一級所設計的值並且鏡射到各級，如圖 5-4。不過最大的問題就在於參考電流如何產生。有一種作法是利用歐姆定律：由於  $I_{BIAS}$  兩端會有壓差，只要在這兩端之間放入電阻，不論是實體電阻還是場效電晶體(MOSFET)模擬出的電阻，就會產生電流。這樣的方法雖然簡單，但是會有很大的缺點：電流會隨著製程參數或是溫度而改變。如果變化程度輕微，只是造成電晶體偏離設計的工作點，但未變換工作區，電路特性也只是輕微改變。若是電流變化使得電晶體離開了設計好的工作區，帶來的後果即是電路無法如預期般操作。

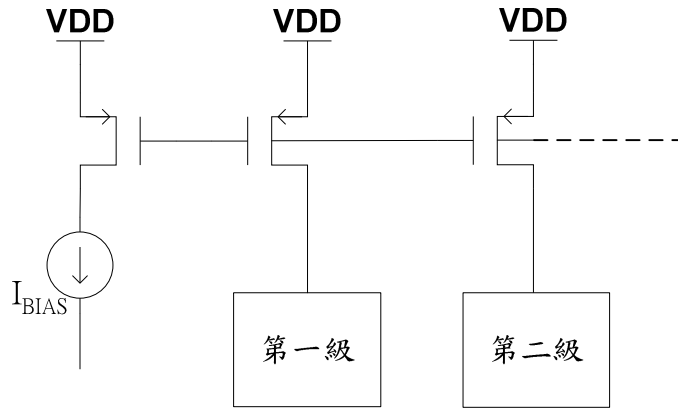


圖 5-4 常見偏壓方式

在這次設計中使用的偏壓電路是寬振幅電流鏡(Wide-swing Current Mirror)與常數互導(Constant Transconductance)結合而成[17]。前述提到參考電流的問題，由常數互導部分來解決，而寬振幅電流鏡主要降低電流鏡原有的最小電壓限制，以增加訊號擺幅。常數互導的部分由於輸出緩衝級(Output Buffer)亦有使用，故在此先不討論。另外，由於常數互導本身的特性，必須再加上啟動電路，以確保偏壓網路能夠正常運行。

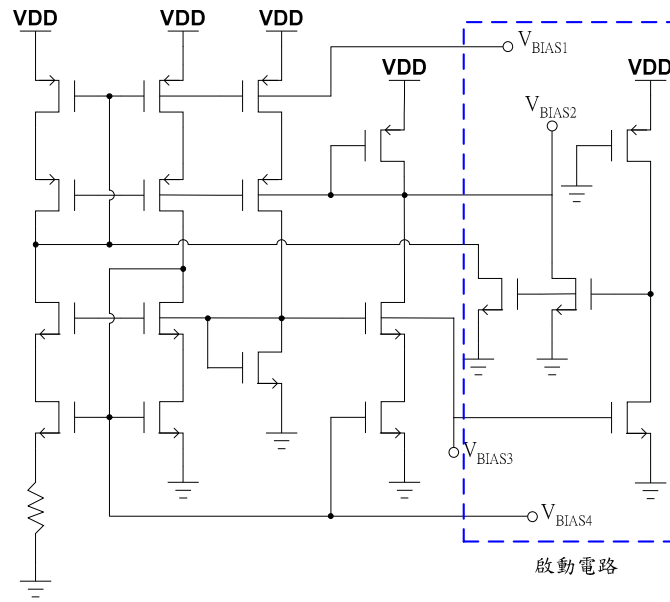


圖 5-5 寬振幅常數互導偏壓電路

電流鏡的最小電壓限制是指  $V_{OUT}$  不能過小使得  $Q_1$  與  $Q_2$  離開主動區(Active Region)。若假設  $I_{OUT}=I_{IN}$ ，則：

$$V_{ov} = V_{ov2} = V_{ov3} = \sqrt{\frac{2I_{IN}}{\mu_n C_{ox} (W/L)}} \quad (5-1)$$

由於  $Q_1$ 、 $Q_4$  與  $Q_5$  的寬長比剛好分別與  $Q_2$ 、 $Q_3$  差  $n^2$ 、 $(n+1)^2$  倍，因此電流也分別差  $n^2$ 、 $(n+1)^2$  倍，代入式 5-1：

$$V_{ov5} = (n+1)V_{ov} \quad (5-2)$$

$$V_{ov1} = V_{ov4} = nV_{ov} \quad (5-3)$$

此外，

$$V_{DS2} = V_{GS5} - V_{GS1} = [(n+1)V_{ov} + V_m] - (nV_{ov} + V_n) = V_{ov} \quad (5-4)$$

$V_{DS2}$  是  $Q_2$  操作在主動區的最小所需電壓，所以輸出最小電壓為：

$$V_{out} > V_{ov1} + V_{ov2} = (n+1)V_{ov} \quad (5-5)$$

為了簡便，取  $n=1$ ，則  $V_{OUT} > 2V_{ov}$  [17]。以現今技術來說，大約是 0.5V 左右。相較於一般的疊接電流鏡限制在約 1V，寬振幅電流鏡可多提供近一倍的訊號擺幅。

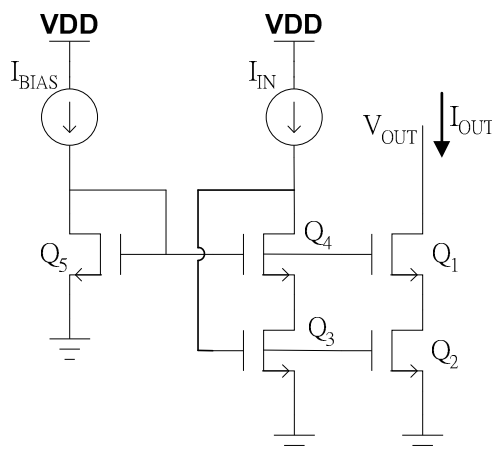


圖 5-6 寬振幅電流鏡

表 5-1 圖 5-6 之寬長比

	Q1	Q2	Q3	Q4	Q5
寬長比	$\frac{W/L}{n^2}$	$\frac{W}{L}$	$\frac{W}{L}$	$\frac{W/L}{n^2}$	$\frac{W/L}{(n+1)^2}$

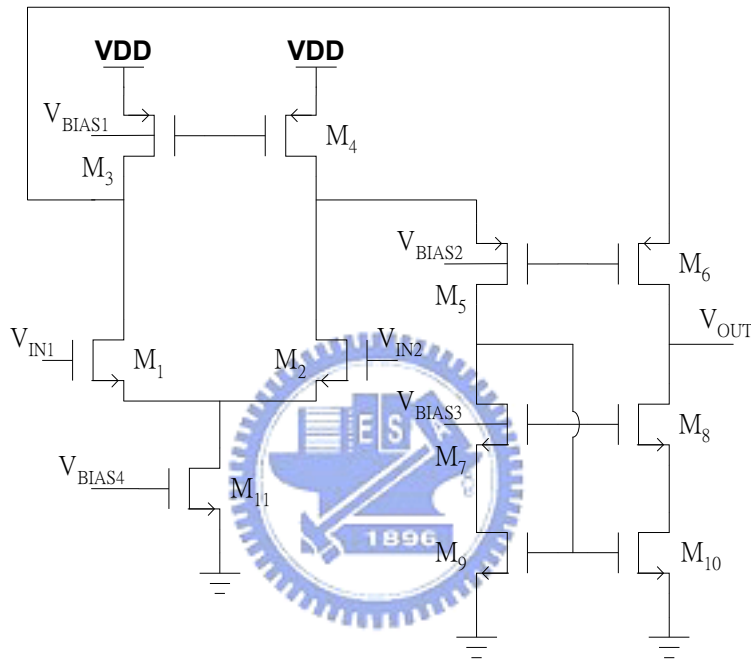


圖 5-7 折疊疊接式運算放大器

圖 5-7 中， $V_{IN}$  到  $V_{OUT}$  的小訊號增益為：

$$A_v = g_{m1} \cdot (R_{O6} \parallel R_{O8}) \quad (5-6)$$

其中  $R_{O6} = g_{m4} \cdot r_{o4} \cdot r_{o6}$ 、 $R_{O8} = g_{m10} \cdot r_{o10} \cdot r_{o8}$ 。相較於一般的差動對來說，增益增加了  $g_m \cdot r_o$  倍。

輸出振幅主要是由  $M_4$ 、 $M_6$ 、 $M_8$ 、 $M_{10}$  這四顆疊接的電晶體所決定，若  $M_4$ 、 $M_6$  的工作區已由外來偏壓調整在主動區的邊緣，則  $V_{DS4} = V_{DS6} = V_{ov}$ ，因此輸出電壓的最大值為：

$$V_{OUT(MAX)} = V_{DD} - 2V_{ov} \quad (5-7)$$

而  $M_8$ 、 $M_{10}$  則是和  $M_7$ 、 $M_9$  以及偏壓網路形成了寬振幅電流鏡，亦即  $V_{D8(MIN)} = 2V_{ov8}$ ，故輸出電壓的最小值為：

$$V_{OUT(MIN)} = V_{D8(MIN)} = 2V_{ov8} \quad (5-8)$$

類似於輸出振幅，輸入共模電壓也同樣受到  $M_1 \sim M_4$ 、 $M_{11}$  的限制：

$$V_{ICM(MAX)} = V_{DD} - V_{ov3} - V_{t1} \quad (5-9)$$

$$V_{ICM(MIN)} = V_{ov1} + V_{t1} + V_{ov11} \quad (5-10)$$

相較於輸出緩衝級使用的兩級式運算放大器(2-stages Op Amp)，折疊疊接式很明顯的沒有補償用的電容  $C_C$ 。雖然缺少了  $C_C$  在頻域的貢獻，折疊疊接式的頻率響應依然不遑多讓。最主要的原因就是負載電容同時擔任了補償的工作：

$$p_1 \approx -\frac{1}{(R_{O6} \parallel R_{O8}) \cdot C_L} \approx -\frac{1}{R_{OUT} \cdot C_L} \quad (5-11)$$

$$\omega_u = \frac{g_{m1}}{C_L} \quad (5-12)$$

負載電容除了能夠補償頻域之外，也決定了延遲率(Slew Rate)。尤其是  $OPS$  有輸出端看到的不只是後級的輸入電容還有迴授電容，若是延遲率過低，會造成輸出訊號的上昇時間或下降時間過長，而導致取樣錯誤。

$$SR = \frac{I_{D4}}{C_L} \quad (5-13)$$

因此在兼顧增益、延遲率與頻域表現的考量下，設計適當的輸出阻抗，以及後級的輸入電容，便能設計出符合規格的運算放大器。

## 5.4 輸出緩衝級(Output Buffer)

### 5.4.1 基本概念

輸出緩衝級最大的目的在於其電流輸出能力，因此並非和 *OPS* 與 *OPA* 一樣採用折疊疊接式運算放大器，而改用兩級式運算放大器(2-stages Op Amp)。不過為了進一步增加輸出電流，在一般的兩級(輸入級與放大級)之後再加入輸出級

如圖 5-8[17]，一開始是差動輸入級，主要是提供差動輸入，以及些許增益。其次是放大級，一般是由共源放大器(Common Source Amplifier)組成。最後是輸出級，以提供電流輸出能力。圖中跨接在放大級處的電容  $C_C$ ，是用來做迴授補償。加上這個電容，會因為米勒效應(Miller Effect)而在高頻處產生一個零點(Zero)。如此一來，雖然高頻處的增益會因為這個零點而降低，但同時也提升了相位邊界(Phase Margin)，亦即提高了穩定度。而輸出級除了前述提到的提供高輸出電流，還有一個優點是可以穩定輸出電壓。

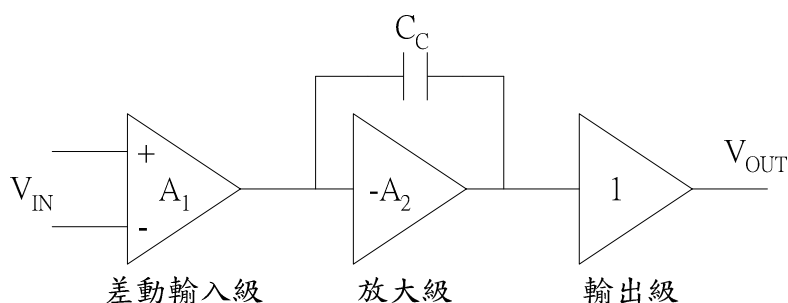


圖 5-8 有輸出級的兩級式運算放大器之方塊圖



## 5.4.2 設計流程

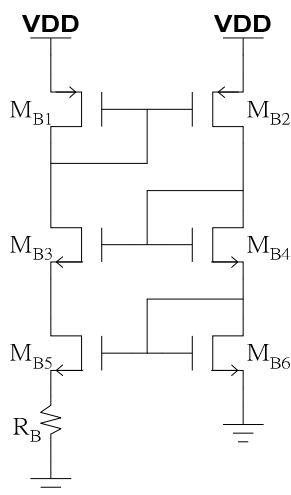


圖 5-9 常數互導偏壓電路

設計的第一步是要設計出一個穩定的偏壓電路，以保證各個電晶體會工作在預想的範圍。在此用的是常數互導 (Constant Transconductance) 的電路，如圖 5-9。首先假設  $(W/L)_1 = (W/L)_2$  與  $V_{i5} = V_{i6}$ ，可以得到：

$$V_{ov6} = V_{ov5} + I_{D5}R_B \quad (5-14)$$

式 5-14 可以改寫為：

$$\sqrt{\frac{2I_{D6}}{k_n(W/L)_6}} = \sqrt{\frac{2I_{D5}}{k_n(W/L)_5}} + I_{D5}R_B \quad (5-15)$$

$k_n = \mu_n C_{ox}$ ，從假設可以得到  $I_{D5} = I_{D6}$ ，因此

$$\sqrt{\frac{2I_{D6}}{k_n(W/L)_6}} = \sqrt{\frac{2I_{D6}}{k_n(W/L)_5}} + I_{D6}R_B \quad (5-16)$$

重新整理式 5-16 重新整理可得到：

$$\frac{2}{\sqrt{2k_n(W/L)_6 I_{D6}}} \left[ 1 - \sqrt{\frac{(W/L)_6}{(W/L)_5}} \right] = R_B \quad (5-17)$$

由於  $g_{m6} = \sqrt{2k_n(W/L)_6 I_{D6}}$ ，因此：

$$g_{m6} = \frac{2 \left[ 1 - \sqrt{\frac{(W/L)_6}{(W/L)_5}} \right]}{R_B} \quad (5-18)$$

由式 5-18， $g_{m6}$  只跟  $M_5$  與  $M_6$  的寬長比有關，而獨立於電源或製程參數等會有大量變異的參數。由於偏壓電路中的電晶體都流過相同的電流，因此各個電晶體的  $g_m$  都只與  $M_i$  跟  $M_6$  的寬長比有關[17]。

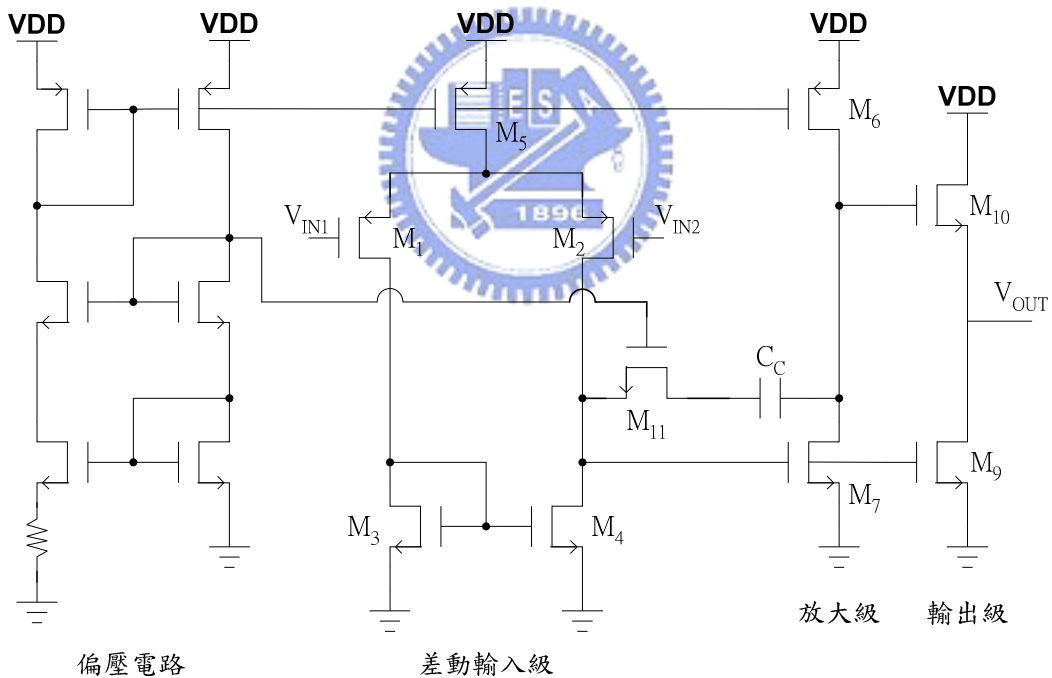


圖 5-10 兩級式運算放大器

決定了偏壓電路，就可以藉由調整  $M_5$  的寬長比來決定差動輸入級的偏壓電流  $I_{D5}$ 。 $I_{D5}$  決定了許多重要運算放大器的特性，像是：增益、共模互斥比(CMRR)、

功率消耗、雜訊與延遲率(Slew Rate)。差動輸入級的小訊號增益為：

$$A_1 = g_{m1} (r_{o2} \parallel r_{o4}) \quad (5-19)$$

$g_m = \sqrt{2k(W/L)I_D}$ ， $r_o = V_A / I_D$ ， $V_A$  是爾利電壓(Early Voltage)。除了決定  $I_{D5}$  之外，還必須決定差動對的  $V_{GS}$ 。一般來說，在固定的偏壓電流下，若增加場效電晶體的寬長比，則會降低  $V_{GS}$ 。如此一來，雜訊跟著降低，對稱度提高，增益也隨之上升。不過加大寬長比的缺點是會增加佈局時所需的面積，以及引入較大的寄生電容造成速度下降。

第二級是一個簡單的共源增益級，利用 P 型的主動負載  $M_6$  達到放大的效果。

$$A_2 = -g_{m7} (r_{o6} \parallel r_{o7}) \quad (5-20)$$

第三級是共汲緩衝級。由於  $M_{10}$  的源級電壓會跟著開級電壓變化，因此有時也被稱為源級隨耦器(Source Follower)。主要就是用來提供阻抗轉換與電流輸出能力。不過源級隨耦器有個較嚴重的缺點， $M_{10}$  的基體效應(Body Effect)會很明顯。最簡單的解決方法就是把  $M_{10}$  的源極與基極短路，就不會產生基體效應。但是在普遍的製程中，大多都只提供 n-well，而無 Twin-well 或是 p-well 的服務，因此除非使用 P 型場效電晶體，不然無法將源極與基極短路。不過這個缺陷在此處並非是無法克服的。若  $M_{10}$  無基體效應，則增益將為：

$$A_3 = \frac{g_{m10}}{G_L + g_{m10} + g_{o10} + g_{o9}} \quad (5-21)$$

而若  $M_{10}$  遭受到基體效應的影響，增益變為：

$$A_3 = \frac{g_{m10}}{G_L + g_{m10} + g_{s10} + g_{o10} + g_{o9}} \quad (5-22)$$

$G_L$  是負載電導， $g_o$  是爾利效應造成的阻抗之倒數， $g_s$  是基體效應等效電導。由於  $G_L$ 、 $g_o$  相較於  $g_m$  都很小，因此當  $M_{10}$  無基體效應時增益可以逼近一。而  $g_s$  根據計算大約為  $g_m/5$ ，式 5-21 則約為 0.83。雖然因為基體效應導致增益不為一，不過

由於此處只是取源極隨耦器的輸出電流能力，增益不足的部分可以利用增加差動輸入級或放大級的增益來補償。

整體增益由於場效電晶體的特性：閘級電阻近乎無限大，因此可以單純的將各級增益相乘即可得到：

$$A_V = -g_{m1}(r_{o2} \parallel r_{o4}) \cdot g_{m7}(r_{o6} \parallel r_{o7}) \cdot \frac{g_{m10}}{G_L + g_{m10} + g_{s10} + g_{o10} + g_{o9}} \quad (5-23)$$

觀察式 5-23 可以得到總增益跟  $g_m r_o$  有關，又

$$g_m r_o = \frac{2V_A}{V_{ov}} \quad (5-24)$$

因此總增益和爾利電壓( $V_A$ )與  $V_{ov}$  強烈相關，而爾利電壓和有效通道長度成正比， $V_{ov}$  則是由偏壓所決定。

兩級式雖然不像折疊疊接式受到疊接的影響導致輸出振幅下降，但由於加上了輸出級，使得最大輸出振幅受到限制：

$$V_{OUT(MAX)} = V_{DD} - V_{ov6} - V_{GS10} \quad (5-25)$$

$$V_{OUT(MIN)} = V_{ov9} \quad (5-26)$$

而由於輸入級兩者都是差動對配上電流鏡當主動負載，因此兩級式的輸入共模範圍與式 5-9、式 5-10 相類似：

$$V_{ICM(MAX)} = V_{DD} - V_{ov1} - V_{t1} - V_{ov5} \quad (5-27)$$

$$V_{ICM(MIN)} = V_{ov3} + V_{t1} \quad (5-28)$$

在頻率響應方面，圖 5-10 是差動輸入級與放大級的小訊號等效電路。圖中的  $R_C$  是  $M_{11}$  等效電阻，其值為：

$$R_C = r_{ds11} = \frac{1}{k_n (W/L)_{11} V_{ov11}} \quad (5-29)$$

首先假設未加入  $M_{11}$ ，也就是  $R_C = 0$ ，分析圖 5-10 可得到：

$$\omega_{p1} \approx \frac{1}{g_{m7} R_1 R_2 C_C}$$

( 5 - 3 0 )

$$\omega_{p2} \approx \frac{g_{m7}}{C_1 + C_2} \quad (5-31)$$

$$\omega_z \approx \frac{-g_{m7}}{C_C} \quad (5-32)$$

值得注意的是，式 5-32 代表的是一個右半平面的零點。右半平面的零點會引入負的相位移，或稱相位延遲(Phase Delay)，這將使得維持電路穩定性更加困難。

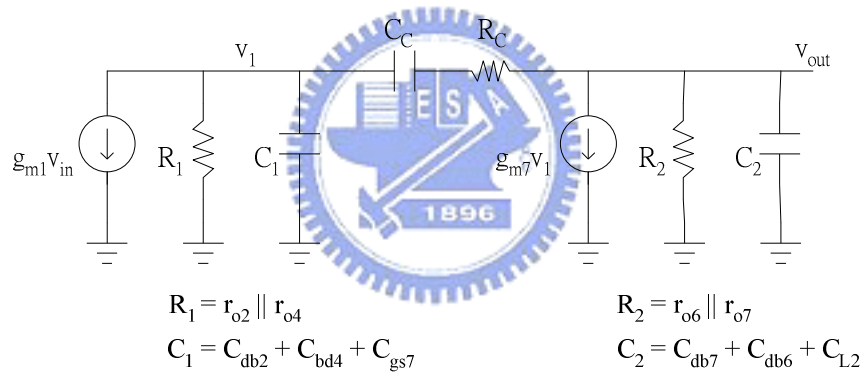


圖 5-10 小訊號等效電路

幸運的是，這個右半平面零點的問題可以藉由非零  $R_C$  來解決。當  $R_C \neq 0$  時，前兩個極點仍然近似於式 5-29 與式 5-30，而引入的第三個極點因為於極高頻，對頻率響應的影響非常小。而最重要的零點將變為：

$$\omega_z = \frac{-1}{C_C (1/g_{m7} - R_C)} \quad (5-33)$$

如此一來不僅可以解決右半平面的零點，還可藉由選擇不同的  $R_C$  來改善頻率響應：可以讓  $R_C = 1/g_{m7}$  使得零點移到無限遠處；也可以選擇

$R_C = \frac{1}{g_{m7}} \left[ 1 + \frac{(C_1 + C_2)}{C_C} \right]$  來抵消第二個極點；更甚至可選擇更大的  $R_C$ ，使零點些微大於單位增益頻率。

最後，考慮延遲率：

$$SR = \frac{I_{D5}}{C_C} = \frac{2I_{D1}}{C_C} \quad (5-34)$$

又因  $\omega_u = g_{m1}/C_C$ ，式 5-34 可整理為：

$$SR = V_{ov1} \cdot \omega_u \quad (5-35)$$

因此若要增加延遲率，可從增加輸入電晶體的  $V_{ov}$  或是增加單位增益頻率著手。這也就是輸入級採用 P 型場效電晶體的原因：P 型場效電晶體的  $V_{ov}$  會比 N 型來的大。不過缺點是 P 型場效電晶體會增加熱雜訊(Thermal Noise)。



## 5.5 電容

### 5.5.1 基本概念

電容在電容感測電路裡是一個很重要的元件。不僅在運算放大器裡需要電容來作補償，更需要電容迴授以達到感測的目的。因此除了設計電容值之外，佈局時還要考慮到雜散電容的分佈與對稱性。由於這次是利用國家晶片系統設計中心 (NSC Chip Implementation Center, CIC) 所提供的 TSMC 0.35 $\mu$ m Mixed-Signal 2P4M Polycide 3.3/5V 製程，因此所有的電容都是利用雙層多晶矽來組成。

而電容在實現時，最主要的誤差會來自於過度蝕刻 (Overetching) 與氧化層厚度變異 (Oxide-thickness variation) [17]。如何利用設計上的方法來減小這兩個誤差源，將在 5.5.2 節中討論。

## 5.5.2 設計流程

過度蝕刻造成實際上的面積會小於光罩所定義的面積。如果原本規劃為電容上下極版的區域因過度蝕刻而變小，導致電容值偏差，這在對稱考量上會產生極不良的影響。因此若利用小電容並聯結合為大電容的方法，將可使過度蝕刻的影響最小。

氧化層就是兩平行板間的介電質，介電質的厚度也是影響電容值的一個參數，因此若氧化層的厚度不一，則每個電容的電容值都會有些微差別。如同過度蝕刻，這在對稱考量上也不是樂於見到的。所以在電容的分佈上要採用共質心的佈局方式，以將厚度變異平均化，得到良好的對稱性。

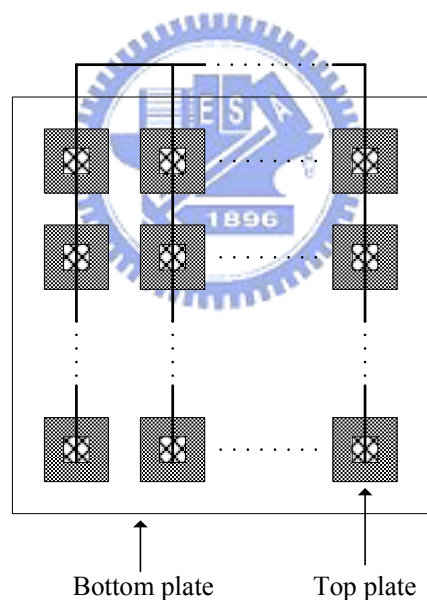


圖 5-11 電容並聯與共質心佈局

除了並聯與共質心佈局之外，在外圍加上填充單元(Dummy Cell)也是一種減少電容彼此之間不匹配的技術。另外，由於電荷有往尖端聚集的效應，因此將角落切除成為鈍角不僅可以避免尖端放電，還可以減少製程上的邊緣效應 (Edge Effect)。

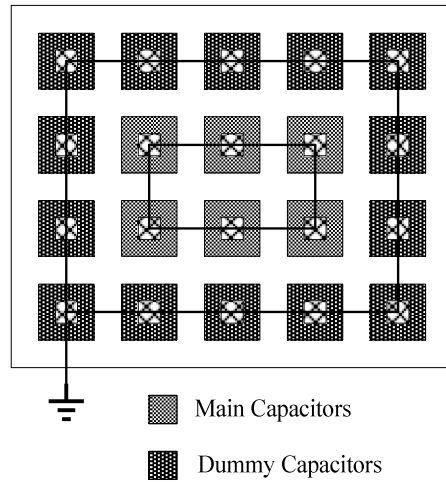


圖 5-12 使用填充單元的電容佈局

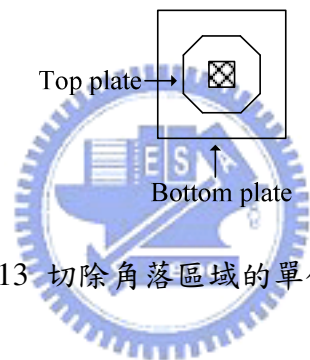


圖 5-13 切除角落區域的單位電容

## 5.6 結語

在本章中闡述了設計差動式電容感測電路時，所面對的設計課題：從最初的選擇適當架構，到設計電晶體的寬長比以達到需求，以及對於未達要求的部分做補償。而利用本章結論設計出的電路，將在下一章中描述其佈局概念、模擬結果與各項特性。



## 第六章 模擬結果

### 6.1 前言

在第五章中，差動式電容感測電路需要的組成元素在設計上的限制、考量與取捨都已經做了詳盡的說明。因此，在本章中將對於各元素與整個架構的模擬結果與特性做一個整理。

在這次設計中，由於考慮到電容的製作，因此使用由國家晶片系統設計中心 (NSC Chip Implementation Center, CIC) 所提供的 TSMC 0.35 $\mu$ m Mixed-Signal 2P4M Polycide 3.3/5V 製程。再配合思源科技的 LAKER<sup>®</sup> 這套佈局工具軟體與 Synopsys 公司所出的 Hspice<sup>®</sup> 完成整個設計工作。最後則是委託國家晶片系統設計中心代為製作。



### 6.2 各組成元件

#### 6.2.1 OPS 與 OPA

*OPS* 與 *OPA* 用折疊疊接式的運算放大器。圖 6-1 是佈局圖，此運算放大器的設計理念與考量都已在 5.3 節中闡述。從表 6-1 與圖 6-2 可以看出雖然沒有補償電容，但是頻域表現並不差。由於 *OPS* 有電容迴授，因此考慮到電路穩定性與整體頻率，相位邊界、頻寬與延遲率將是 *OPS* 中的重要特性。

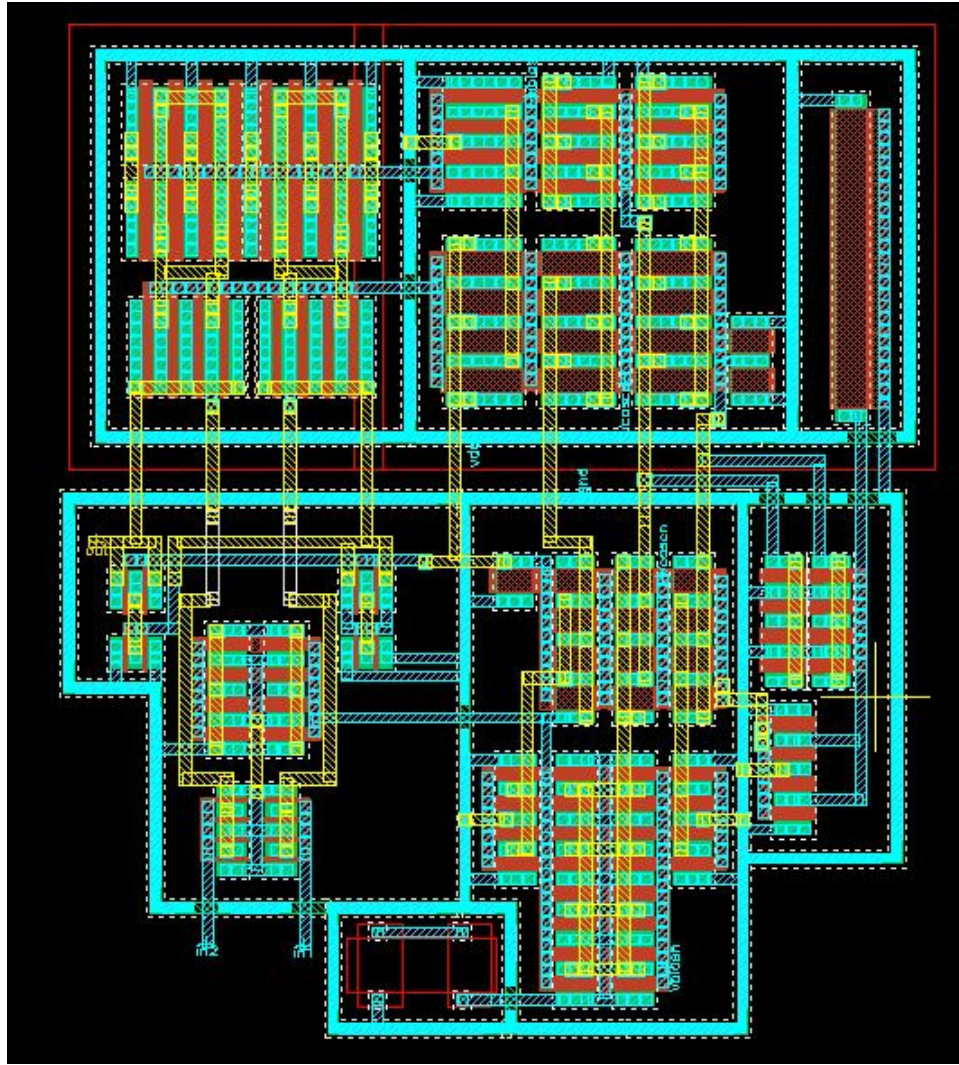


圖 6-1 OPS 佈局圖

圖 6-1 中，明顯的被保護環(Guard Ring)分成三個區域。最左邊的是運算放大器本體，也就是差動輸入級與疊接的部分；中間是寬振幅電流鏡配合常數互導的偏壓電路；最右邊就是為了使常數互導能夠正常運作的啟動電路 (Start-up Circuit)。

表 6-1 OPS 特性表

Open-loop Gain	59dB	Slew Rate	100V/us
Phase Margin	77°	Output Swing	3V ~ 1mV
Gain Margin	30dB	CMRR	105dB
Bandwidth	100kHz	PSRR+	125dB
Unit-gain freq.	91MHz	Power Dissipation	920uW
Offset Voltage	4mV		

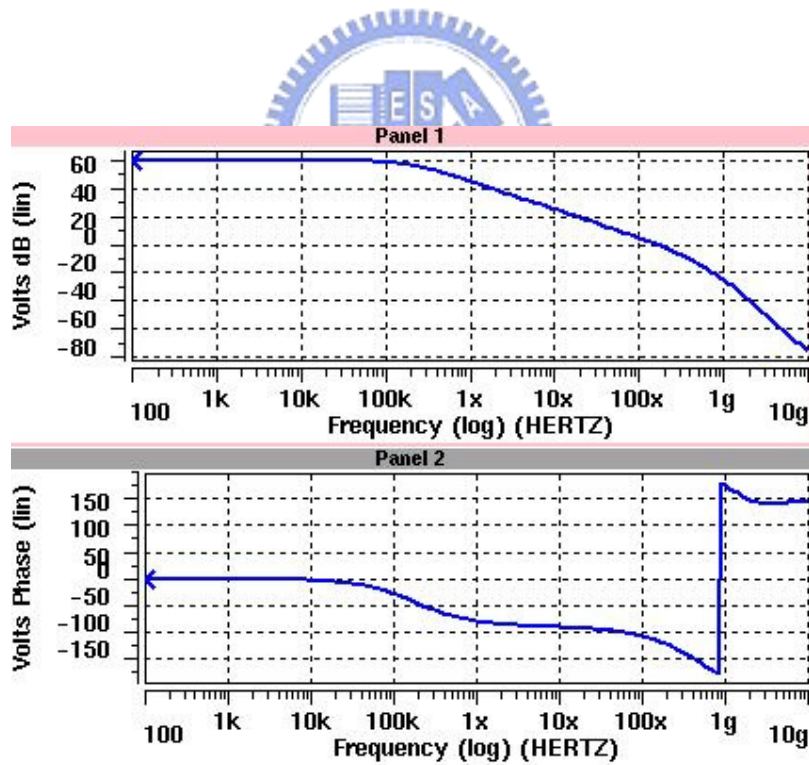


圖 6-2 OPS 的波德圖

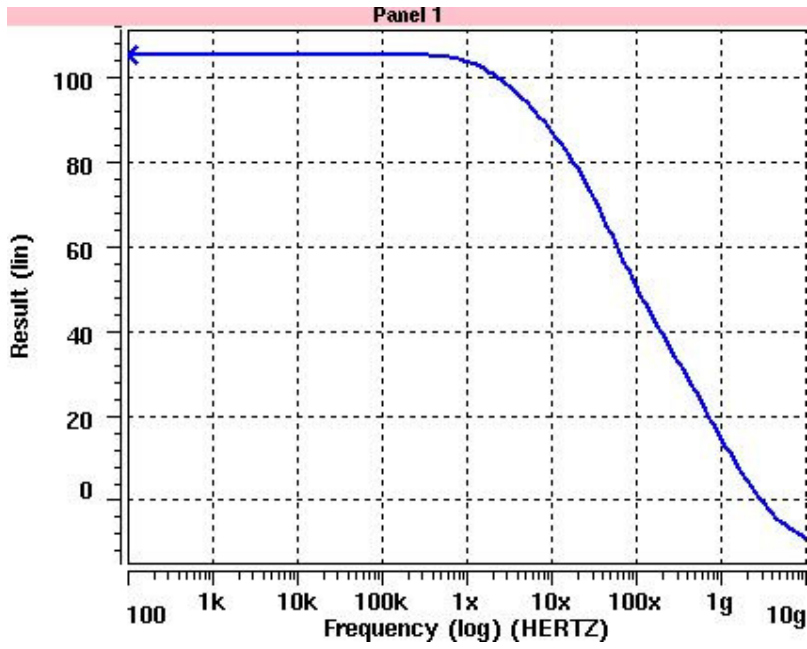


圖 6-3 共模互斥比(CMRR)

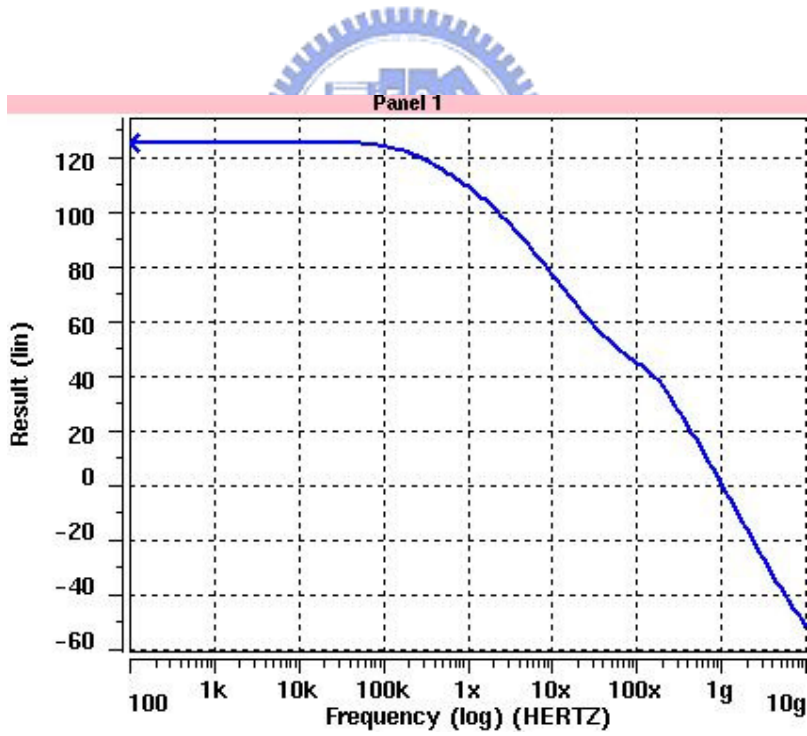


圖 6-4 電源戶斥比(PSRR)

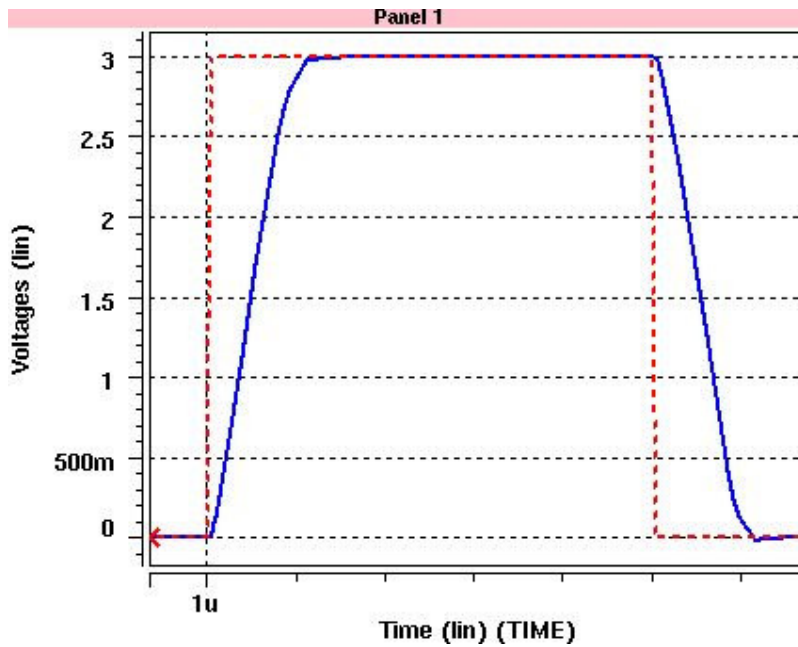


圖 6-5 延遲率(Slew Rate)

## 6.2.2 輸出緩衝級



比較表 6-1 與表 6-2 可以看出輸出緩衝級的頻域響應比 *OPS* 來的亮眼，如相位邊界與頻寬，這歸功於加了  $M_{11}$  這個等效於電阻的電晶體。但是由於兩級式運算放大器最後的輸出級採用源級隨耦器 (Source Follower)，限制了最大的輸出電壓，因此在輸出振幅上略遜於折疊疊接式運算放大器。

輸出緩衝級的佈局不像 *OPS* 分的那麼清楚，不過可以看到最明顯的就是補償電容  $C_C$ 。這裡使用的補償電容只有 0.5 pF，但所佔用的面積近乎與其他部分總和一樣多，因此將被動元件直接放置在晶片裡是個佔面積且不經濟的作法。另外，為了讓電容值更準確，在第五章也提出了許多的方法。這也同時說明了除面積問題之外，被動元件還遭受無法確保元件的絕對值這個嚴重的問題。

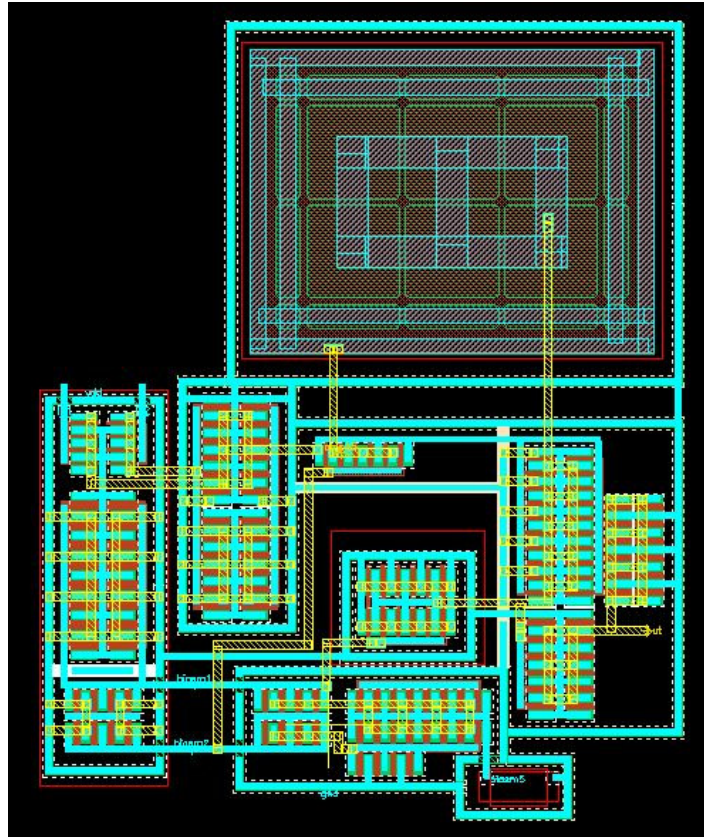


圖 6-6 輸出緩衝級的佈局圖

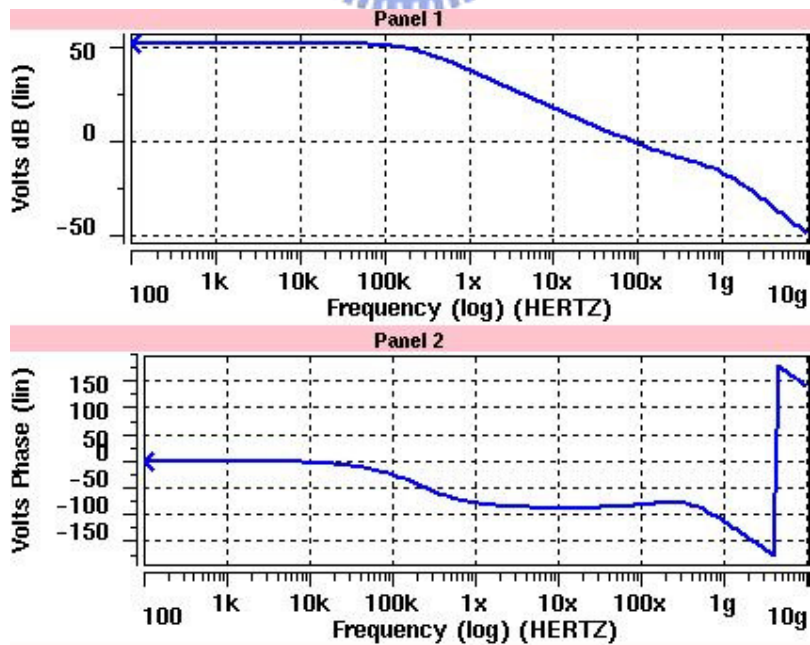


圖 6-7 輸出緩衝級的波德圖

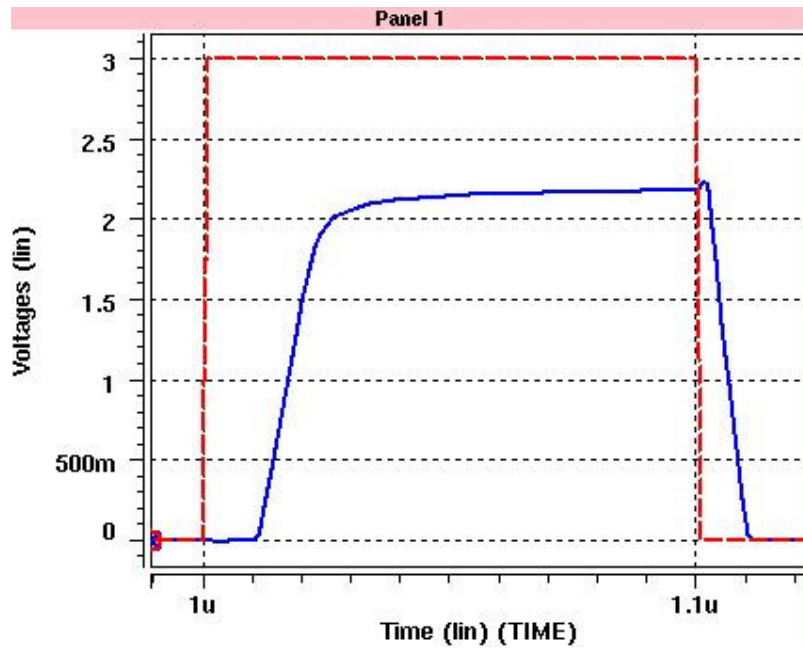


圖 6-8 輸出緩衝級的延遲率



表 6-2 輸出緩衝級特性表

Open-loop Gain	51.8 dB	Slew Rate	90V/us
Phase Margin	97°	Output Swing	2.5V ~ 0V
Gain Margin	35dB	CMRR	70.46 dB
Bandwidth	208kHz	PSRR+	70.1 dB
Unit-gain freq.	85MHz	Power Dissipation	1.7 mW
Offset Voltage	1mV		

## 6.2.3 電容

在這次設計中，電容由於考量不同，可以分成兩種類別：1.運算放大器裡的迴授電容或取樣保持電路的保持電容；2.積分電容。主要是由於積分電容是成對的，需要高度對稱性，因此除了積分電容以外，其餘電容都只要遵循第四章中的幾個要點即可。圖 6-9 中，使用了電容並聯、共質心佈局與填充單元的技巧。而積分電容是成對的，若是這成對的積分電容彼此間有誤差，此誤差將會出現在量測輸出上，因此必須利用額外的方法來提高積分電容的對稱性。

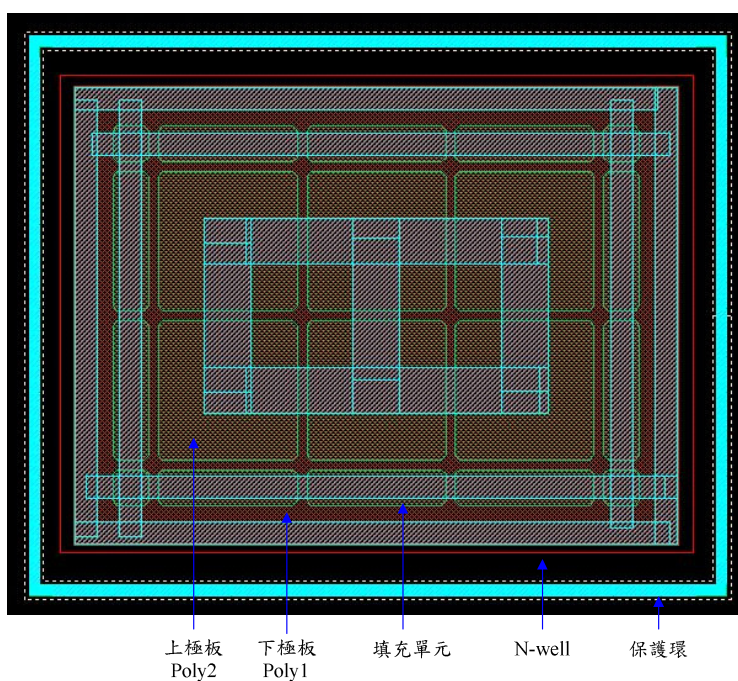


圖 6-9 一般電容之佈局圖

首先在採用電容並聯的方法後，若在製作時有梯度型的誤差，會導致每個小電容的電容值不一致。因此若是兩個積分電容受到的影響不一時，就會使得兩電容不匹配。因此如果能把兩電容佈的很靠近，那彼此受到的影響理想上就會相差不遠。但是必須考慮電容的配置，使的各個方向的梯度都可使誤差降至最小，因



此參考圖 6-10，假設梯度變化來自 45° 方向，而方框中的數字是假設製程梯度變化對每個小電容造成的電容值變化。如果採用圖 6-11 的配置方式，可以讓 45° 的梯度變化對於兩積分電容的影響皆相同，綠黃兩色的電容值變化皆為 288 個單位值。也就是說當製程有梯度變化時，利用圖 6-11 的方式可以使得兩個積分電容受到同樣的影響，讓輸出訊號不會受到干擾。

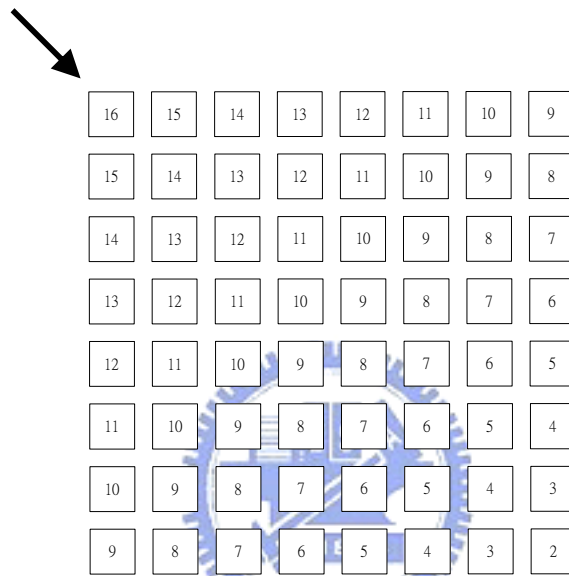


圖 6-10 製程梯度變化帶來的電容值變異示意圖

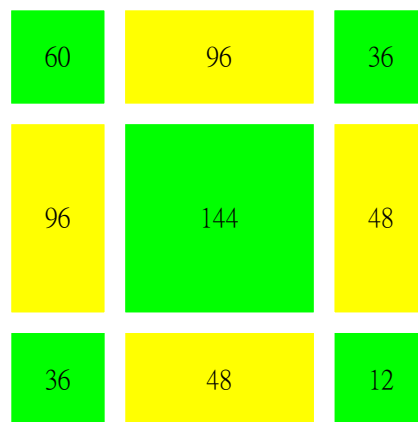


圖 6-11 積分電容配置方法

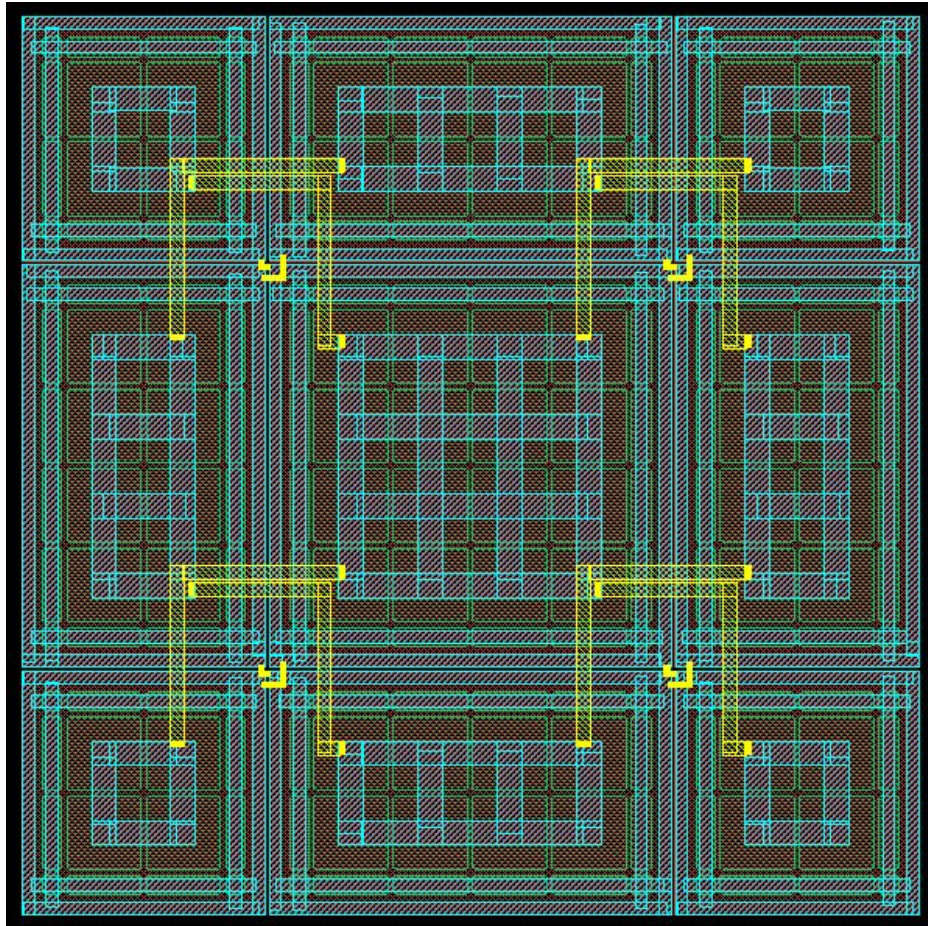


圖 6-12 積分電容對的佈局圖

### 6.3 差動式電容感測電路

前一節展示了各個組成元件根據第四章的概念所得到模擬結果，在本節中將針對完整電路闡述其結果。根據之前的分析，差動式電容感測電路的轉換函數為：

$$V_o = \frac{2\Delta C}{C_{INT}} \cdot V_s \quad (6-1)$$

$V_s$  是輸入參考電壓， $C_{INT}$  是積分電容， $\Delta C$  是欲感測的電容變化。

假使  $\Delta C=10$  fF 時，代入式 6-1：

$$V_o = \frac{2\Delta C}{C_{INT}} \cdot V_s = \frac{2 \cdot 10 \text{ fF}}{2.5 \text{ pF}} \cdot 3 = 0.024 \quad (6-2)$$

比較式 6-2 與圖 6-14 至圖 6-16，可以發現結果極為相似，且線性度亦可由圖 6-17 中得到印證。

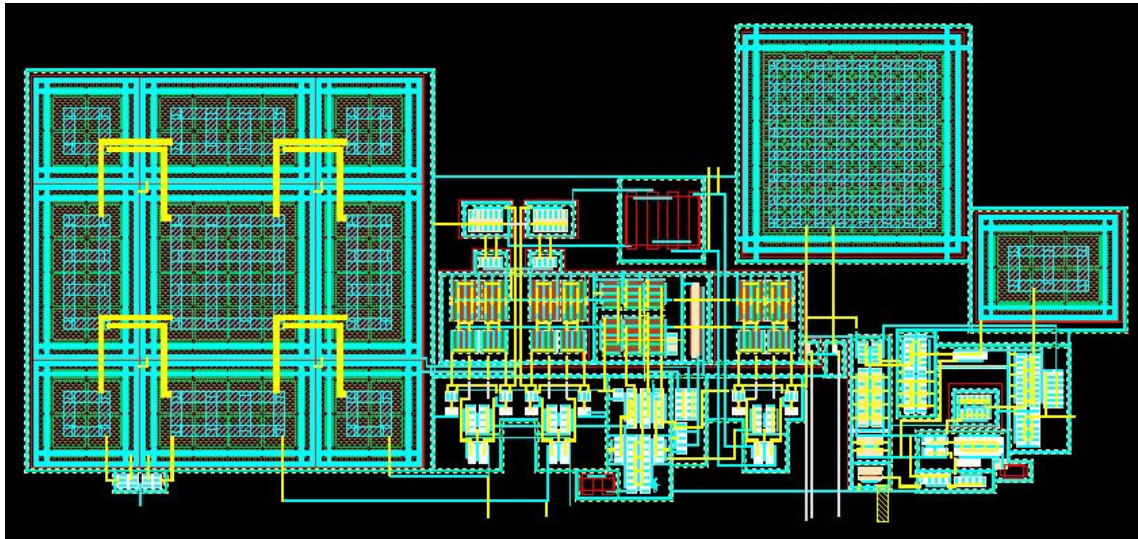


圖 6-13 差動式電容感測電路的佈局圖

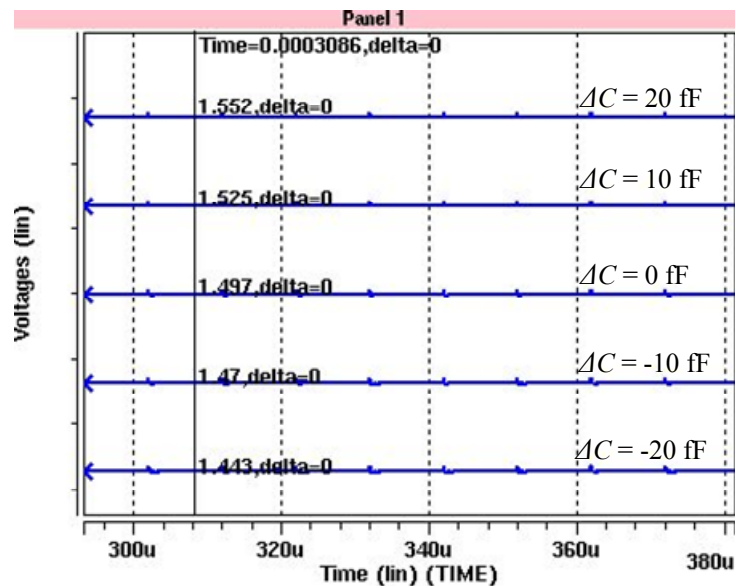


圖 6-13  $C_{INT} = 2.5 \text{ pF}$   $\Delta C = 20 \text{ fF} \sim -20 \text{ fF}$

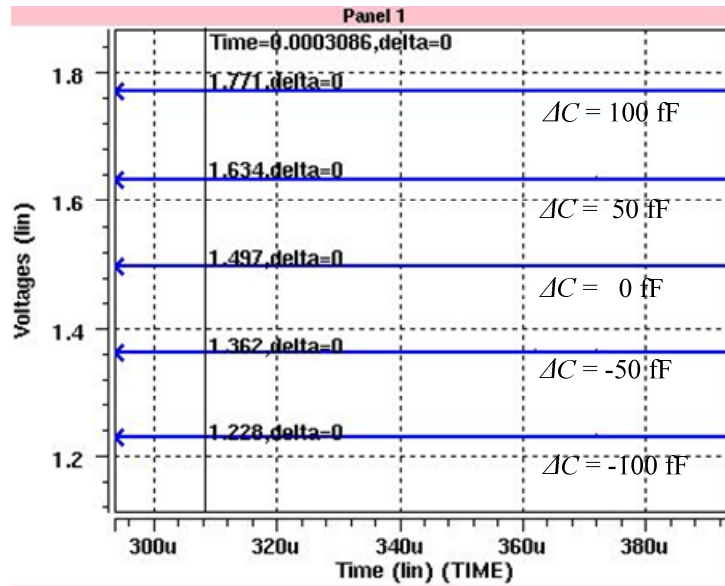


圖 6-14  $C_{INT} = 2.5\text{pF}$   $\Delta C = 100\text{ fF} \sim -100\text{fF}$

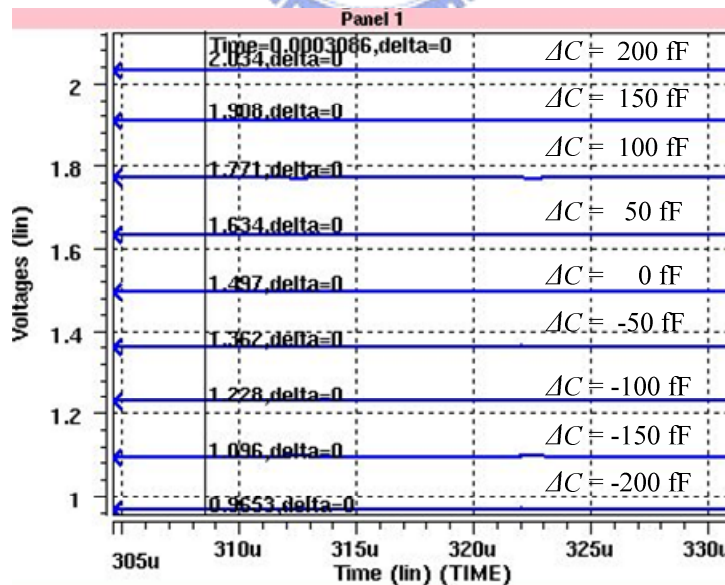
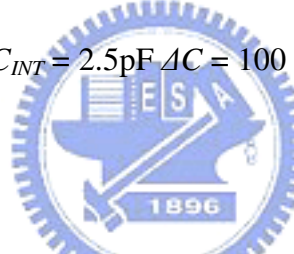


圖 6-15  $C_{INT} = 2.5\text{pF}$   $\Delta C = 200\text{ fF} \sim -200\text{fF}$

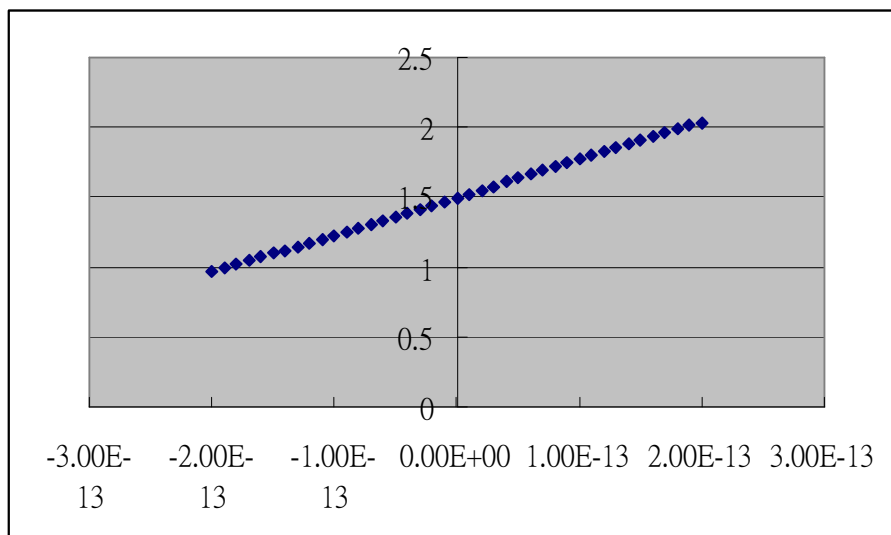


圖 6-16  $C_{INT} = 2.5\text{pF}$   $\Delta C = 200\text{ fF} \sim -200\text{fF}$  每點間隔  $10\text{fF}$

## 6.4 結語

在本章中可以看到幾個差動式電容感測電路中的重要元件，根據前章中闡述的考量與限制來設計所得到的之模擬結果。將這些設計好的組成元素加上適當的佈線與放置即可得到差動式電容感測電路的完整佈局。

雖然欲感測之電容變化  $\Delta C$  在此的變化量最大只到  $\pm 200\text{fF}$ ，但可根據應用範圍來做調整，而後再利用 *OPA* 的放大倍率讓輸出訊號的極值與整體電路的輸出極值相符。

## 第七章 結論

### 7.1 結果與討論

本篇論文主要是在介紹一個可與微型陀螺儀整合的電容感測電路之設計與製造。在第二章中，介紹了利用微機電(Micro Electro-Mechanical Systems, MEMS)技術製造的微型陀螺儀，由於環狀陀螺儀不僅可以免去在結構上下方添加額外的電極，亦有相當多的優勢，因此近來的微型陀螺儀多採用環狀結構。而從第二章後半開始到第四章，從常見的單端感測，以及先天較佳的全差動式感測，到配合微機電系統特性而結合兩者的差動式電荷放大器都有詳盡的分析與討論。

而根據第五章所得的結論，第六章中展示了各個組成元素與差動式電容感測電路整體的模擬結果。從中可以得到如表 7-1 之特性。

表 7-1 差動式電容感測電路特性表

$C_{s,0}$	3.18 pF
輸入轉速 $\Omega_S$ 對應電容變化 $\Delta C$	1.2 fF @ 1°/sec
	120 fF @ 100°/sec
工作電壓	3 V
消耗功率	4 mW
解析度	1 fF
量測範圍	$\pm 200$ fF

首先要說明的是， $C_{S,0}$  與輸入轉速  $\Omega_S$  對應電容變化  $\Delta C$  這兩個特性是微型陀螺儀的特性，而表中的數值是從文獻中估計出的值。

## 7.2 未來展望

對於將來後續研究的有幾項建議：首先，由於已委託國家晶片系統設計中心代為製作晶片，故待晶片完成後即可進行量測，並可驗證電路運作是否與預期的相同。若否，則根據測試電路的輸出結果來改善電路佈局方式，或是分析工作異常的原因為何，根據分析結果重新設計組成元素，以加強對該因素的抵抗能力。

而若量測結果表示電路可正常運作，則在改進電路結構上可以從幾個地方著手：第一個可改進的是 *OPA* 的放大部分。由於這個部分需要的放大倍率不高，無法直接使用運算放大器的增益，因此目前採用電阻迴授的方式產生增益。不過由於需要較大迴授電阻，若是直接佈局在晶片中相當不經濟，所以選用外接電阻的方式，而外接電阻會牽扯到 PAD 或是拉線(Bonding Wire)的問題。因此，若是能找到一個可將電阻放入晶片但又不會浪費面積的方法或是改變 *OPA* 產生放大倍率的方式，勢必可以維持晶片的完整性，避免外接時帶來的雜訊。

接下來就是設法替換現有的元素，如 *OPS* 與 *OPA* 間的緩衝器或取樣保持電路。雖然前者目前使用的 P 型源級隨耦器可以避開基體效應(Body Effect)，但輸出與輸入間的電壓差還是無法避免。而取樣保持電路現使用場校電晶體開關搭配電容的組合，由於這是最簡單的架構，帶來額外雜訊是可以預期的。所以如果將來能把這兩個部分替換成較適合的架構，必可改善整體電路表現。

最後一項建議是：由於現在整合微型陀螺儀與電容感測電路的解決方法是雙晶片式，也就是微型陀螺儀與電容感測電路個別製作，最後再利用拉線(Bonding Wire)做連接。而在微型陀螺儀與電容感測電路之間的訊號相當微小，若是晶片間的連結引入外來雜訊很容易就蓋過實際訊號，因此若能利用覆晶(Flip Chip)或是直接採用同一製程，系統表現將會有長足的進步。

## 參考文獻

- [1] 楊龍杰, 認識微機電, 滄海出版社, 民國 90 年。
- [2] B. Minhang, W. Weiyuan, “Future of microelectromechanical systems(MEMS),” Sensors and Actuators, A56, pp.135-141, 1996.
- [3] Farrokh Ayazi, Khalil Najafi, “A HARPSS Polysilicon Vibrating Ring Gyroscope,” IEEE Journal of MEMS, Vol. 10, No. 2, Jun 2001.
- [4] Farrokh Ayazi, Khalil Najafi, “Design and Fabrication of A High-Performance Polysilicon Vibrating Ring Gyroscope,” IEEE/ASME International Workshop on MEMS, Jan. , pp 25-29, 1998.
- [5] Bernhard E. Boser, Roger T. Howe, “Surface Micromachined Accelerometers,” IEEE Journal of Solid-State Circuits, Mar. , pp 366-375, 1996.
- [6] B. N. Lee, H.D. Park, “A Signal Conditioning Circuitry for Capacitive Accelerometers,” AP-ASIC 2000, Aug. 29th, 2000
- [7] Zsolt Kádár, “Integrated Resonant Magnetic Field Sensor,” Delft Univ., Ph.D. Dissertation, 1997
- [8] W. Yun, “A Surface Micromachined Accelerometer with Integrated CMOS Detection Circuitry,” Univ. of California at Berkeley, Ph.D. Dissertation, 1992
- [9] Naiyavudhi Wongkomet, “Position Sensing for Electrostatic Micropositioners,” Univ. of California at Berkeley, Ph D. Dissertation, 1998
- [10] R.F.Wolffenbuttel and P.P.L.Regtien, “Capacitance-to-Phase Angle Conversion for the Detection of Extremely Small Capacities,” IEEE Trans. Instr. Meas., Vol. IM-36, 1987, pp. 868-872.
- [11] H. Maarefi, A. Parsa, H. Hatamkhani, D. Shiri, “A Wide Swing 1.5V Fully Differential OP-AMP Using A Rail-to rail Analog CMFB Circuit,” Circuits and Systems, 4-7 Aug, 2002.
- [12] Mohamad Adnan Al-Alaoui, “A Differential Integrator with a Built-In High-Frequency Compensation,” IEEE Transaction on Circuit and System I, Vol. 45, No. 5, May. 1998.



- [13] Amit Burstein, W.J. Kaiser, "Mixed Analog-Digital Highly-sensitive Sensor Interface," The 8th International Conference on Solid-State Sensors and Actuators, 1995 and Eurosensors IX. Transducers '95. Vol 1, June 25-29, 1995
- [14] B. Boser "Capacitive Interfaces for Monolithic Integrated Sensors," <http://www-bsac.eecs.berkeley.edu/~boser/publications/aacd97kap.pdf>
- [15] Haluk Kulah, Navid Yazdi, Khalil Najafi, "A CMOS Switched-Capacitor Interface Circuit for an Integrated Accelerometer," Proc. 43rd IEEE Midwest Symp. on Circuits and Systems, Lansing MI, pp 244-247, Aug. 8-11, 2000.
- [16] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, Analysis and Design of Analog Integrated Circuits, Fourth Ed., John Wiley & Sons, INC., 2001.
- [17] David Johns, Ken Martin, Analog Integrated Circuit Design, John Wiley & Sons, INC., 1997.
- [18] Behzad Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill, 2001
- [19] Hirokazo Yoshizawa, Yunteng Huang, Gabor C. Temes, "MOSFET-Only Switched-Capacitor Circuits in Digital CMOS Technologies," IEEE International Symp. on Circuits and Systems, pp 457-460, Jun. 9-12, 1997.
- [20] C. C. ENZ, C. G. Temes, "Circuit Techniques for Reducing the Effects of OP-AMP Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization," Proceedings of the IEEE, 84, pp 1584-1614, 1996.
- [21] G. Wegmann, E. A. Vittoz, Foulad, Rahali, "Charge Injection in Analog MOS Switches," IEEE Journal of Solid-State Circuit, pp 1091-1097, 1987.
- [22] R. Jacob Baker, Harry W. Li, David E. Boyce, CMOS Circuit Design, Layout, and Simulation, John Wiley & Sons, INC., 1998.