

國立交通大學

電機與控制工程學系

碩士論文

以 NMOS 電阻作 $0.2\text{ppm}/^\circ\text{C}$ 曲線補償能
隙參考電壓電路

A $0.2\text{ppm}/^\circ\text{C}$ Curvature-Compensated Bandgap
Voltage Reference by NMOS Resistance

The logo of National Tsing Hua University is a circular emblem with a gear-like border. Inside the circle, there is a stylized representation of a book and a torch, with the letters 'ES' and 'A' visible. The year '1895' is also present at the bottom of the emblem.

研究生：賴立峰

指導教授：鄭木火博士

中華民國九十三年七月

以 NMOS 電阻作 $0.2 \text{ ppm}/^{\circ}\text{C}$ 之曲線補償能隙參考電壓電路

研究生：賴立峰

指導教授：鄭木火博士

國立交通大學電機與控制工程學系

摘要

在能隙參考電壓電路以曲線補償來降低非線性項的影響是近年來研究設計能隙參考電壓電路的一重要課題。其中有以不同溫度係數的電阻產生高階項或利用 BJT 的 $\beta(T)$ 對溫度的特性來降低非線性項的效應。本論文提出一個新架構來降低非線性項的影響。我們利用 NMOS 在三極區工作時其可視為一壓控電阻；此電阻值在閘源極電壓不變時由於電子遷移率隨溫度增加而降低，因此電阻值之隨溫度變化是正溫度係數但是非線性。而由此非線性的溫度係數，即可用來補償非線性項產生的溫度係數，進而將輸出參考電壓對溫度變化的敏感度降的更低。我們並以台積電 $0.35 \mu\text{m}$ 3P3M SiGe BiCMOS 製程來實現此參考電壓電路。經後段模擬結果 (Post-Sim)，本電路輸出電壓值為 1.15 V ，溫度係數為 $0.2 \text{ ppm}/^{\circ}\text{C}$ ，消耗功率是 1.5 mW ，電源電壓雜訊抑制比在 100 Hz 時為 -59 dB 。

關鍵詞：能隙參考電壓電路、曲線補償。

A 0.2 ppm/°C Curvature-Compensated Bandgap Voltage Reference by NMOS Resistance

Student: Li-Feng Lai Advisor: Dr. Mu-Huo Cheng

Institute of Electrical and Control Engineering
National Chiao-Tung University

Abstract

In the bandgap reference circuit, applying the curvature-compensated technique to reduce the effect of the nonlinear dependence of the base-emitter voltage with temperature is an important research topic in recent years. Several approaches using high-order temperature-dependent resistors or the temperature characteristics of the current gain β of a bipolar transistor have been proposed. This thesis presents a new curvature-compensated bandgap voltage reference; the circuit uses the voltage control resistance of an NMOS operated in the triode region to generate a nonlinear dependence with positive temperature coefficients because the electron mobility decreases as the temperature increases. This nonlinear dependence is used to compensate for the nonlinearity of the base-emitter voltage with temperature. The proposed circuit is implemented using the TSMC 0.35um 3P3M SiGe BiCMOS technology. The design IC, after post simulation, attains the output reference voltage 1.15 V, temperature coefficient of 0.2 ppm/°C, power consumption 1.5 mW, and power supply noise rejection ratio -59 dB at 100 Hz.

Keywords: bandgap voltage reference, curvature-compensated.

誌謝

此論文能順利完成，要特別真誠地感謝我的指導教授鄭木火教授，在這短短的兩年研究生涯中，無論是待人接物的誠懇真摯或治學態度的嚴謹細心，均使我在生活及學識上獲益良多。因此在本論文付梓之際，對於辛勤傳道授業的老師致上最誠摯的謝意。

在口試期間承蒙張隆國教授、邱一教授和莊正教授撥空指正並提供許多寶貴的意見。在此感謝你們的辛勞。同時感謝畢業學長昌男、哲毅、家弘等的加油打氣，以及實驗室的所有成員：再生學長、琪展、鈞哲、逸帆、政衛、國偉、阿貴、嘉富、振杰、佩華在課業上的切磋討論及生活上的歡聲笑語，為平靜單調的研究生活增添不少色彩。

最後要感謝我的家人及女友，由於他們的付出和不斷地鼓勵，讓我能無後顧之憂的從事研究，順利完成學業，並且有能力面對下一波的困難與挑戰。



目錄

中文摘要	i
英文摘要	ii
誌謝	iii
圖目錄	vi
表目錄	vii
1 緒論	1
1.1 能隙參考電壓電路基本觀念與研究動機	1
1.2 文獻回顧	2
1.2.1 以不同溫度係數的電阻產生高階項來抵消非線性項的效應 [8]	2
1.2.2 以 PTAT 及定電流 (對溫度) 流經 BJT 產生不同溫度係數的 $V_{BE}(T)$, [10]	2
1.2.3 利用 BJT $\beta(T)$ 的曲線補償能隙參考電壓電路, [4]	4
1.2.4 以切換電容電路為開關取得適當 T_0 值的曲線補償能隙參考電壓電路, [12]	5
1.3 研究目的	6
1.4 研究方法	7
1.5 論文架構	8
2 普通的能隙參考電壓電路 (Conventional Bandgap Voltage Reference)	9
2.1 基本理論	9
2.2 非線性項造成的限制	11
3 以 NMOS 元件作曲線補償之能隙參考電壓電路	13



3.1	理論分析	13
3.2	電路設計	16
3.3	使用最小平方誤差法 (Least Square Error) 的曲線近似	25
4	電路模擬結果與分析	28
4.1	溫度變化分析	28
4.2	電源電壓變化分析	28
4.3	製程變動分析	32
4.4	電源電壓訊號排斥比和輸出雜訊之分析	37
5	曲線補償能隙參考電壓電路之佈局結果	40
5.1	系統佈局結果	40
5.2	規格列表	41
6	結論與未來展望	42
6.1	結論	42
6.2	未來展望與建議	42
	參考文獻	43



圖目錄

圖 1.1	能隙參考電壓電路基本架構	1
圖 1.2	文獻[8]提出的曲線補償能隙參考電壓電路.	3
圖 1.3	文獻[10]提出的曲線補償能隙參考電壓電路	4
圖 1.4	文獻[4]提出的曲線補償能隙參考電壓電路.	5
圖 1.5	普通能隙參考電壓電路輸出電壓對溫度變化曲線	5
圖 1.6	普通能隙參考電壓電路	6
圖 1.7	文獻[12]的能隙參考電壓電路輸出電壓對溫度變化曲線	6
圖 1.8	文獻[12]的能隙參考電壓電路	7
圖 2.1	能隙參考電壓電路輸出電壓對溫度的變動	12
圖 3.1	普通能隙參考電壓電路架構	14
圖 3.2	曲線補償能隙參考電壓電路	15
圖 3.3	理想曲線補償能隙參考電壓電路之輸出電壓	16
圖 3.4	加入NMOS(r_{ds} , Triode Region) 設計的曲線補償能隙參考電壓電路	18
圖 3.5	電壓 V_G 的設計電路	19
圖 3.6	Q_1 、 Q_2 面積的比值及 R_1 的阻值決定後的電路圖	21
圖 3.7	$V_{BE}(T)$ 曲線與 $V_{BE}(T)$ 之近似曲線	22
圖 3.8	$V_{ds}(T)$ 曲線與 $V_{ds}(T)$ 之近似曲線	23
圖 3.9	設計一電路求得 $\left(\frac{W}{L}\right) r_{ds}(T_1) \sim \left(\frac{W}{L}\right) r_{ds}(T_n)$	24
圖 3.10	曲線補償能隙參考電壓電路.	25
圖 4.1	普通能隙參考電壓電路輸出電壓(V_{out})對溫度 T 變化關係	29
圖 4.2	曲線補償能隙參考電壓電路輸出電壓(V_{out})對溫度 T 變化關係	29
圖 4.3	$0^\circ C \sim 90^\circ C$, 普通能隙參考電壓電路輸出電壓(V_{out})對溫度 T 變化關係	30

圖 4.4	$0^{\circ}C \sim 90^{\circ}C$, 曲線補償能隙參考電壓電路輸出電壓(V_{out})對溫度 T 變化關係. . .	30
圖 4.5	普通能隙參考電壓電路輸出電壓對電源電壓變化的關係.	31
圖 4.6	曲線補償能隙參考電壓電路輸出電壓對電源電壓變化的關係.	32
圖 4.7	在SS 下普通能隙參考電壓電路輸出電壓對溫度變化關係.	33
圖 4.8	在SS 下曲線補償能隙參考電壓電路輸出電壓對溫度變化關係.	33
圖 4.9	在FF 下普通能隙參考電壓電路輸出電壓對溫度變化關係.	34
圖 4.10	在FF 下曲線補償能隙參考電壓電路輸出電壓對溫度變化關係.	34
圖 4.11	在SS 下普通能隙參考電壓電路輸出電壓對電源電壓變化的關係.	35
圖 4.12	在SS 下曲線補償能隙參考電壓電路輸出電壓對電源電壓變化的關係.	35
圖 4.13	在FF 下普通能隙參考電壓電路輸出電壓對電源電壓變化的關係.	36
圖 4.14	在FF 下曲線補償能隙參考電壓電路輸出電壓對電源電壓變化的關係.	36
圖 4.15	普通能隙參考電壓電路電源電壓訊號排斥比.	38
圖 4.16	曲線補償能隙參考電壓電路電源電壓訊號排斥比.	38
圖 4.17	普通能隙參考電壓電路輸出雜訊.	39
圖 4.18	曲線補償能隙參考電壓電路輸出雜訊.	39
圖 5.1	曲線補償能隙參考電壓電路佈局圖.	40

表目錄

表 4.1 二電路輸出電壓在SS 與 FF 的模型下針對溫度及偏壓變化的模擬結果.	37
表 5.1 曲線補償能隙參考電壓電路規格列表.	41



第 1 章

緒論

1.1 能隙參考電壓電路基本觀念與研究動機

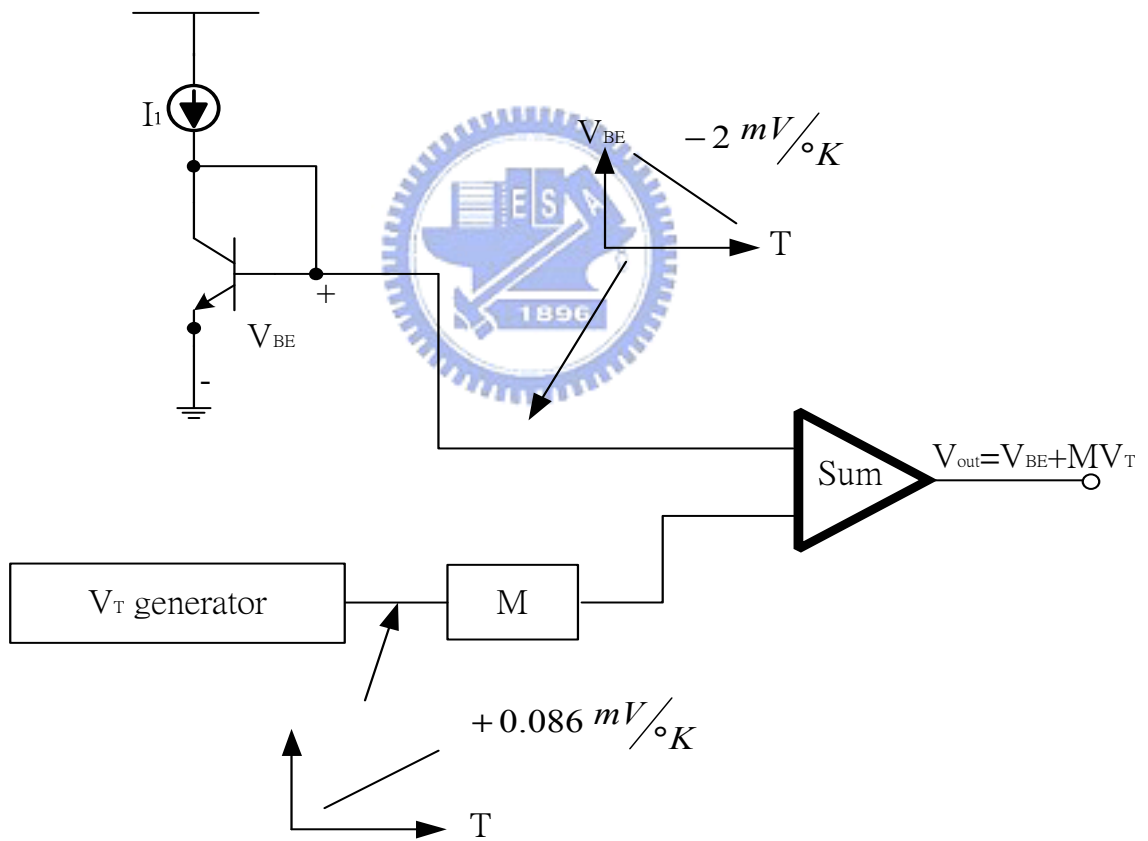


圖 1.1: 能隙參考電壓電路基本架構

在類比電路應用上常常需要一個穩定參考電壓源，其電壓值不會因電源電壓或環境溫度的變化而產生太大變動。此參考電壓是經常是利用來產生穩定的偏電壓 (bias voltage) 或偏電流 (bias current)，以使整個電路系統能在正確工作點操作。所以此一參考電壓源設計的良好常常是影響整體電路的精確度，可靠度及良率。目前穩定參考電壓源的設計幾乎都是以電路來將電晶體能隙 (Bandgap)

值萃取為輸出值，故此電路稱為能隙參考電壓產生器 (Bandgap Reference Voltage Generator)。此電路的基本工作原理是製造一個正溫度係數與一負溫度係數的物理量，將兩物理量處理相加即可使其溫度效應相互抵銷即得到一不隨溫度變化的參考值。典型的能階差參考電壓產生電路 (Bandgap Reference Voltage Generator) 請參考圖 1.1，它是利用雙載子接面電晶體 (Bipolar Junction Transistor, BJT) 中的 V_{BE} 為一負溫度係數的物理量 (約為 $-2 \text{ mV}/^\circ\text{C}$)，而再利用由差動所產生之電流其與物理量 $V_T = kT/q$ 成正比，因此使用為所需的正溫度係數之量。由於 V_T 其對溫度的變化係數約為 $k/q = 0.8617 \times 10^{-4} \text{ V}/^\circ\text{C}$ 。將 V_T 乘上適當的比例係數 M 即可抵銷 V_{BE} 之負溫度係數之效應。其輸出電壓為：

$$V_{out} = V_{BE} + MV_T \quad (1.1)$$

其中 M 計算後為 $2/(0.8617 \times 10^{-4})$ 。

1.2 文獻回顧

在設計新的能隙參考電壓電路之前，我們參考了許多的文獻，以期確立研究的方向。能隙參考電壓電路最主要的參數之一就是溫度變化對輸出參考電壓的影響，於是在搜尋文獻來研讀的重心，就放在溫度係數 TC_F ，也是此篇論文的重心。以下，將介紹四篇降低溫度係數的文獻。

1.2.1 以不同溫度係數的電阻產生高階項來抵消非線性項的效應 [8]

此篇文獻提出一個新的架構，如圖 1.2，可將 BJT Transistor $V_{EB}(T)$ 的非線性項的效應削減，使溫度變化對輸出電壓的影響更小。它先將 $V_{EB}(T)$ 以泰勒級數展開：

$$V_{EB}(T) = a_0 + a_1T + a_2T^2 + a_3T^3 + \dots + a_nT^n \quad (1.2)$$

其中 a_0, a_1, \dots, a_n 為常數；而圖 1.2 中可推導出：

$$V_{REF} = V_{EB2} + V_T \left[\frac{R_2}{R_1} \cdot \ln N \right] + V_T \left[\frac{R_3}{R_1} \cdot \ln N \right] \quad (1.3)$$

其中 R_1, R_2 的材質是相同的，所以 $V_T \left[\frac{R_2}{R_1} \cdot \ln N \right]$ 為溫度的一次項，而 R_3 與 R_1 材質不同，因此溫度係數不同， $V_T \left[\frac{R_3}{R_1} \cdot \ln N \right]$ 可以產生溫度 T 的高次項，藉由調整 R_3 的阻值便可削減去 $V_{EB}(T)$ 的高次項，若想削去 $V_{EB}(T)$ 更多的高次項，可再加入不同溫度係數的電阻。最後得到的輸出電壓便是對溫度變化的敏感度更低的結果。

1.2.2 以 PTAT 及定電流 (對溫度) 流經 BJT 產生不同溫度係數的 $V_{BE}(T)$, [10]

參考圖 1.3 文獻中描述 $V_{BE}(T)$ 的數學式：

$$V_{BE}(T) = V_{BG} - (V_{BG} - V_{BE0}) \frac{T}{T_0} - (\eta - \alpha) V_T \ln \frac{T}{T_0} \quad (1.4)$$

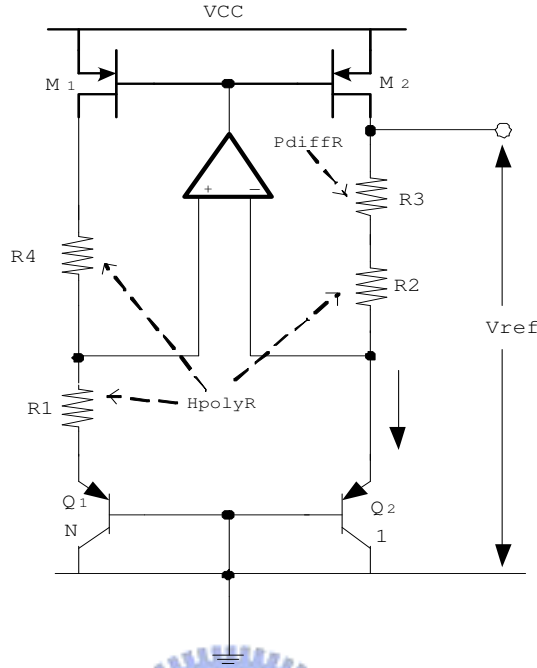


圖 1.2: 文獻[8]提出的曲線補償能隙參考電壓電路

而 PTAT 及定電流的 α 值分別為 1, 0, 其所流經的 BJT 的 $V_{BE}(T)$ 分別為:

$$V_{BE,Q_{1,2}}(T) = V_{BG} - (V_{BG} - V_{BE0}) \frac{T}{T_0} - (\eta - 1) V_T \ln \frac{T}{T_0} \quad (1.5)$$

$$V_{BE,Q_3}(T) = V_{BG} - (V_{BG} - V_{BE0}) \frac{T}{T_0} - (\eta) V_T \ln \frac{T}{T_0} \quad (1.6)$$

兩式相減後:

$$V_{NL} \cong V_{BE,Q_3}(T) - V_{BE,Q_{1,2}}(T) = V_T \ln \frac{T}{T_0} \quad (1.7)$$

最後可得 V_{out} :

$$\begin{aligned} V_{out} &= V_T \left(\frac{R_3 \ln N}{R_0} \right) + V_{BE} \left(\frac{R_3}{R_1} \right) + V_{NL} \left(\frac{R_3}{R_{4,5}} \right) \\ &= \frac{R_3}{R_1} \left(\frac{R_1 \ln N}{R_0} V_T + V_{BE} + \frac{R_1}{R_{4,5}} V_{NL} \right) \end{aligned} \quad (1.8)$$

其中 $R_{4,5} = \frac{R_1}{\eta - 1}$; 由 (1.5) 式及 (1.6) 式我們可知, 此篇文獻以兩不同電流流經 BJT 產生不同的 $V_{BE}(T)$ 相減後得到一係數為正的非線性項 $T \ln T$, 再以調整 $R_{4,5}$ 來抵消 $V_{BE}(T)$ 係數為負的非線性項, 達到曲線補償的效果, 降低溫度變化對輸出電壓的影響。

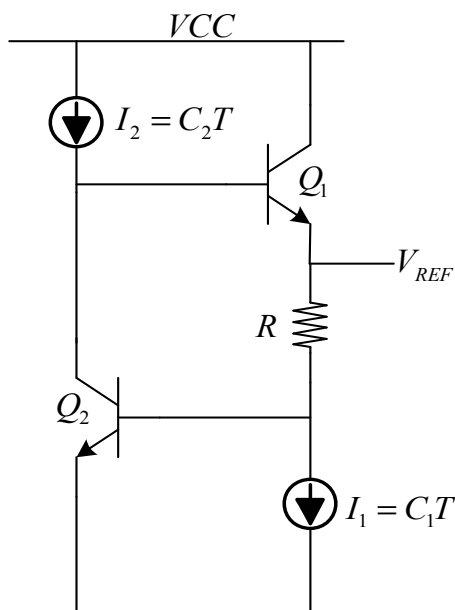


圖 1.4: 文獻[4]提出的曲線補償能隙參考電壓電路

1.2.4 以切換電容電路為開關取得適當 T_0 值的曲線補償能隙參考電壓電路,[12]

此文獻提出的想法是，在原先的普通能隙參考電壓電路（如圖1.5、1.6），加入幾個開關電路

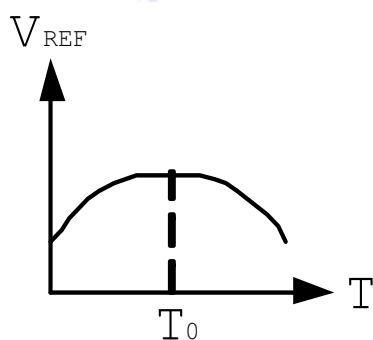


圖 1.5: 普通能隙參考電壓電路輸出電壓對溫度變化曲線

連接不同大小的電阻後，每個開關會在不同的溫度範圍下連接電路，使得不同的溫度範圍內有各自的 T_0 （即 $\left. \frac{\partial V_{out}}{\partial T} \right|_{T=T_0} = 0$ ），如圖1.7、1.8；普通能隙參考電壓電路數學式如下：

$$V_{REF} = V_{BE}(T) + K\Delta V_{BE} \quad (1.12)$$

此文獻的概念就在於將原本的溫度區間分成數個，在不同的區間，產生不同的 K （ $= \frac{R_3}{R_1 + R_{10,11,12,13}}$ ）值，則有不同的 T_0 。其結果如圖1.7。

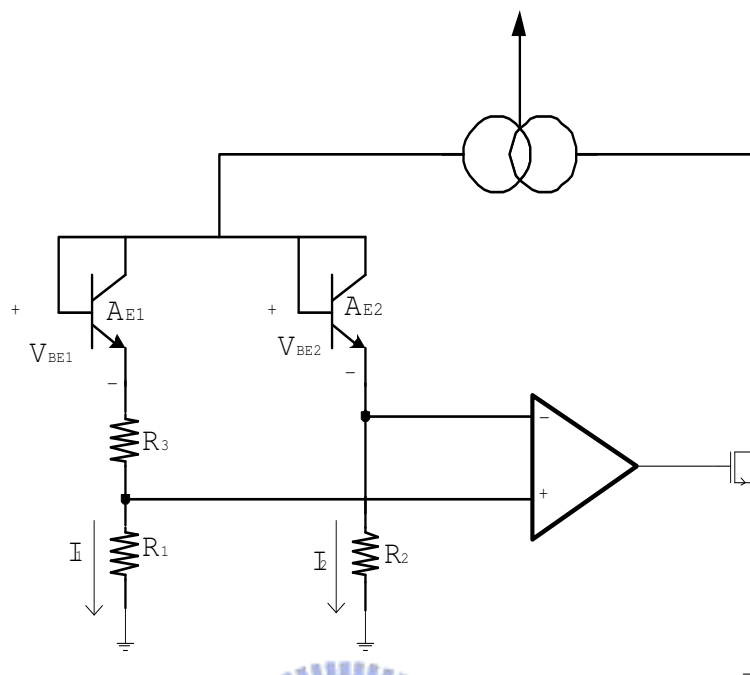


圖 1.6: 普通能隙參考電壓電路

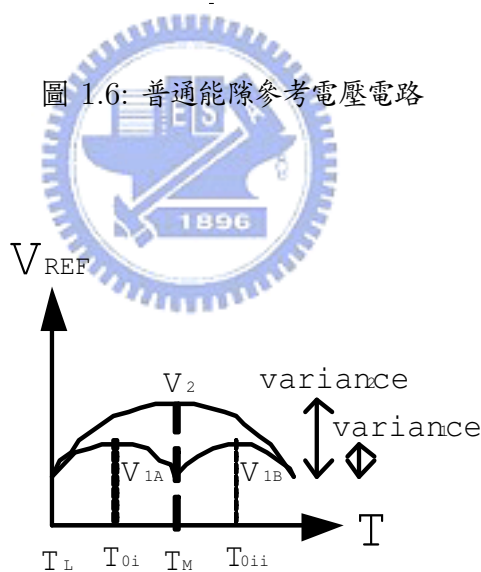


圖 1.7: 文獻[12]的能隙參考電壓電路輸出電壓對溫度變化曲線

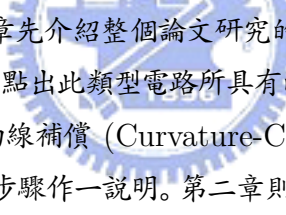
1.3 研究目的

能隙參考電壓電路在類比電路上是使整個系統能在正確的工作點工作，於是參考電壓愈是穩定，整個系統的效能、表現也就越穩定，在精準度的要求日益嚴格下，參考電壓穩定度的要求也隨之提高；由於原先的普通能隙參考電壓電路只能消除 Bipolar transistor V_{BE} 的線性項，卻無力消除其非線性項 $T \ln T$ 所造成的影響，而這影響的程度已漸漸不能再被忽略。於是，要改進的方法有二種，一是改進製程，使 Bipolar transistor V_{BE} 的非線性項 $T \ln T$ 的係數能夠更微小，使之對輸出電壓隨溫

什麼其他原因造成。

4. 各元件的數學模型建立後，再設計新的電路，並以各元件的數學模型來推導新電路的設計理論。
5. 新電路完整的數學理論完成後，再以 *SPICE* 架構起新電路來模擬，若模擬結果與數學推導的結果非常接近，便可開始進行前段模擬 (*Pre-Simulation*) 的工作；若不是非常接近，則必須明瞭其中的誤差出於何處；若差甚遠，模擬的結果和數學推導結果的趨勢根本南轅北轍，必須重回上一步，檢視是元件的數學模型建構的不夠完整，還是完整電路的理論推導錯誤。
6. 再將電阻、電容實際的製程資料放入模擬 (前段模擬)，因為實際的電阻、電容特性與理想電阻、電容特性有些微不同，所以還必須進行細微的調整，以錯誤嘗試法漸漸逼近之前模擬的結果。
7. 最後將其實現至矽晶片上，為確保 IC 成品能與模擬時一致，再佈局 (*Layout*) 結束後必須執行後段模擬 (*Post-Simulation*)，以將佈局所伴隨的寄生效應列入考慮。

1.5 論文架構



本論文一共分為六章：第一章先介紹整個論文研究的基本觀念與動機，並對能隙參考電壓電路發展背景及應用概況加以介紹，並點出此類型電路所具有的特點，接著回顧過去文獻研究實現能隙參考電壓電路所採行的方法，並以曲線補償 (*Curvature-Compensated*) 為主要探討目標，最後針對研究目標與所採取之研究方法與步驟作一說明。第二章則針對普通能隙參考電壓電路的基本理論加以詳細討論，並提出其受限的原因。第三章則針對普通能隙參考電壓電路所受限的地方，以理論分析改進的方法，接著以理論為基礎設計一新的曲線補償能隙參考電壓電路，接著分析其電路的可行性，決定電路中各元件值，最後簡介以最小平方誤差法的曲線近似。第四章開始針對一般能隙電壓電路所要考慮到的效能表現，包括了對溫度、偏壓、製程等變動的分析，及電源電壓訊號排斥比、輸出雜訊的分析。第五章則為佈局結果及規格列表。第六章對研究成果作出總結，並提出未來的展望與建議。

第 2 章

普通的能隙參考電壓電路 (Conventional Bandgap Voltage Reference)

2.1 基本理論

本節我們將由純理論面來推導證明能階差參考電壓產生電路 (Bandgap Reference Voltage Generator) 之工作原理及可行性。首先參考1.1電路, 輸出電壓 $V_{BE(on)}$ 是加上 M 倍的 V_T ; 爲了決定 M 值需要多少, 我們必須先得出 $V_{BE(on)}$ 的溫度係數, 忽略基極電流, BJT之 $V_{BE(on)}$ 對溫度之關係式 [2]爲:

$$V_{BE(on)} = V_T \ln \frac{I_1}{I_S} \quad (2.1)$$

而在 [2]的第一章中得知飽和電流 I_S 與元件結構的關係爲:

$$I_S = \frac{qAn_i^2\bar{D}_n}{Q_B} = Bn_i^2T\bar{D}_n = B'n_i^2T\bar{\mu}_n \quad (2.2)$$

其中 n_i 爲純值少數載體濃度 (intrinsic minority-carrier concentration), Q_B 爲每單位面積基極摻雜量 (total base doping per unit area), $\bar{\mu}_n$ 爲基極平均電子遷移率 (average electron mobility in the base), B 和 B' 爲常數; 在 (2.2) 式中, 從愛因斯坦關係式 $\mu_n = (q/kT) D_n$ 可將 I_S 以 $\bar{\mu}_n$ 及 n_i^2 兩項來表示。(2.2) 式中與溫度有相關的量分別表示如下:

$$\bar{\mu}_n = CT^{-n} \quad (2.3)$$

$$n_i^2 = DT^3 \exp\left(-\frac{V_{G0}}{V_T}\right) \quad (2.4)$$

其中 V_{G0} 爲矽在 $0^\circ K$ 時的能隙電壓 (bandgap voltage of silicon extrapolated to $0^\circ K$), C, D 爲常

第 2 章 普通的能隙參考電壓電路 (Conventional Bandgap Voltage Reference)

數; 對 $\bar{\mu}_n$ 而言, n 則與基極的摻雜程度有關。接下來, 由 (2.1)、(2.2)、(2.3)、(2.4) 式可得出:

$$V_{BE(on)} = V_T \ln(I_1 T^{-\gamma} E \exp \frac{V_{G0}}{V_T}) \quad (2.5)$$

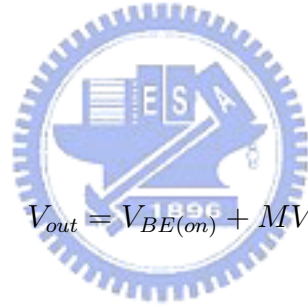
其中 E 為常數, $\gamma = 4 - n$; 在實際的能隙電路中, 電流 I_1 是隨溫度變化而非定值, 可以表示如下式:

$$I_1 = GT^\alpha \quad (2.6)$$

其中 G 為常數; 由 (2.5)、(2.6) 式可得:

$$V_{BE(on)} = V_{G0} - V_T[(\gamma - \alpha) \ln T - \ln(EG)] \quad (2.7)$$

由圖 1.1 中, 輸出電壓為:



$$V_{out} = V_{BE(on)} + MV_T \quad (2.8)$$

將 (2.7) 帶入 (2.8) 中可得:

$$V_{out} = V_{G0} - V_T(\gamma - \alpha) \ln T + V_T[M + \ln(EG)] \quad (2.9)$$

(2.9) 式是以電路參數 G 、 α 、 M 和元件參數 E 、 γ 表示的溫度函式, 可得出輸出電壓。在設計能隙參考電壓電路中, 我們最主要的觀念是希望溫度的變化對輸出電壓完全沒有影響; 因此, 我們令輸出電壓對溫度作微分的微分值為零, 也就是 TC_F (Fractional Temperature coefficient) 為零, 接下來可求得我們所需要的 G 、 α 、 M 等未知數。微分式如下式:

$$0 = \frac{dV_{out}}{dT} \Big|_{T=T_0} = \frac{V_{T0}}{T_0} [M + \ln(EG)] - \frac{V_{T0}}{T_0} (\gamma - \alpha) \ln T_0 - \frac{V_{T0}}{T_0} (\gamma - \alpha) \quad (2.10)$$

其中, T_0 為 V_{out} 的 TC_F 為零時的溫度, V_{T0} 為熱電壓 (thermal voltage) V_T 在 $T = T_0$ 時的值; (2.10) 式在重新安排下可得:

$$[M + \ln(EG)] = (\gamma - \alpha) \ln T_0 + (\gamma - \alpha) \quad (2.11)$$

此方程式可將我們所需要的值 G 、 α 、 M 以元件參數 E 、 γ 來表示。接下來，我們可將 (2.11) 式帶入 (2.9) 式來對能隙電壓電路有更進一步的了解，結果如下：

$$V_{out} = V_{G0} + V_T(\gamma - \alpha) \left(1 + \ln \frac{T_0}{T} \right) \quad (2.12)$$

因此，溫度變化對輸出電壓的影響可由單一參數 T_0 來描述，而 T_0 的值則由 G 、 α 、 M 來決定。當輸出電壓在 TC_F 等於零 ($T = T_0$) 時如下式：

$$V_{out} \Big|_{T=T_0} = V_{G0} + V_{T0}(\gamma - \alpha) \quad (2.13)$$

舉例來說，若我們在 $25^\circ C$ 時的 TC_F 等於零，假設 $\gamma = 3.2$ 、 $\alpha = 1$ ，可得下式：

$$V_{out} \Big|_{T=T_0=25^\circ C} = V_{G0} + 2.2V_{T0} \quad (2.14)$$

矽的能隙電壓 $V_{G0} = 1.205 V$ ，所以：

$$V_{out} \Big|_{T=T_0=25^\circ C} = 1.205 V + 2.2(0.026 V) = 1.262 V \quad (2.15)$$

由此結果可以看出，輸出電壓在溫度係數等於零時後的值很接近矽的能隙電壓值，這也正是能隙參考電壓電路名稱的緣由。

2.2 非線性項造成的限制

接著，我們將 (2.12) 式對溫度微分，可得：

$$\begin{aligned} \frac{dV_{out}}{dT} &= \frac{1}{T} \left[V_T(\gamma - \alpha) \left(1 + \ln \frac{T_0}{T} \right) \right] - \frac{V_T}{T}(\gamma - \alpha) \\ &= (\gamma - \alpha) \frac{V_T}{T} \left(\ln \frac{T_0}{T} \right) \end{aligned} \quad (2.16)$$

(2.16) 式是表示電壓對溫度 T 的斜率。圖 2.1 是在 $\alpha = 0$ 且 I_1 對溫度無關的特殊情況下，畫出輸出電壓在不同的 T_0 下對溫度變化的曲線；每條曲線的斜率在 $T = T_0$ 的點都為零，在 $T < T_0$ 時，因為 \log 函數裡的值大於 1，斜率是正值；反之， $T > T_0$ 時，斜率為負。當 $T \approx T_0$ 時，

$$\ln \frac{T_0}{T} = \ln \left(1 + \frac{T_0 - T}{T} \right) \approx \frac{T_0 - T}{T} \quad (2.17)$$

第 2 章 普通的能隙參考電壓電路 (Conventional Bandgap Voltage Reference)

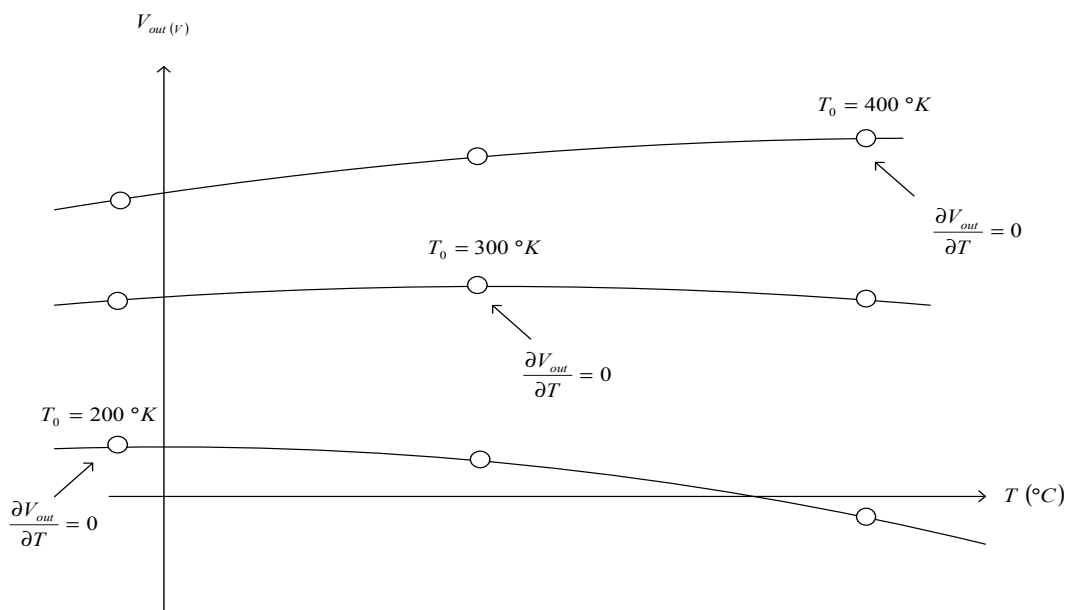


圖 2.1: 能隙參考電壓電路輸出電壓對溫度的變動



我們可以得到:

$$\frac{dV_{out}}{dT} \approx (\gamma - \alpha) \frac{V_T}{T} \left(\frac{T_0 - T}{T} \right) \quad (2.18)$$

由 (2.17) 式和 (2.18) 式, 我們可以知道, 溫度係數只有在 $T = T_0$ 為零; 我們從開始的 (1.1) (如圖 1.1) 推導至此, 由於 V_{BE} 的溫度係數並非完全是常數, 只是接近常數的一個溫度 T 的函數, 而 MV_T 的溫度係數則為常數 $(M \times \frac{k}{q})$, 因此, 我們可設計一個 MV_T , 使 $V_{BE} + MV_T$ 在 $T = T_0$ 時的溫度係數為零, 卻無法使溫度係數在所有溫度 (for all T) 時為零, 也就是無法使輸出電壓不受溫度變化的影響, 原因就是 MV_T 無法消除 V_{BE} 對溫度的非線性項 $T \ln T$; 爲了要使溫度變化對能隙參考電壓電路輸出電壓的影響降的更低, 我們必須設法消除 V_{BE} 的非線性項所帶來的影響; 於是, 補償此非線性項的能隙參考電壓電路我們稱之爲「曲線補償 (Curvature Compensated)」。

第 3 章

以 NMOS 元件作曲線補償之能隙參考電壓電路

3.1 理論分析

承接 2.2 節之概念，此概念就是我們所要設計的能隙參考電壓電路的主要目的之所在：「降低或消除 V_{BE} 非線性項之影響，使得溫度變化對能隙參考電壓電路輸出電壓值的影響更小甚至不造成任何影響。」

在相關的曲線補償能隙參考電壓電路的論文中，要補償 V_{BE} 非線性項 $T \ln T$ 的概念有兩種：一是設法得出一可抵消的非線性項 $T \ln T$ ，調整係數以抵消 V_{BE} 之 $T \ln T$ 項；二則是設計出一組高階項，由於可將 $T \ln T$ 以泰勒級數展開成以高階項組成的函數，於是能消除的項數越多，非線性項 $T \ln T$ 所影響的效應便越微小。接著，以上述的兩種概念，開啓了此篇論文研究、設計的方向及目標。

在圖 1.1 及 (1.1) 式，我們可知普通能隙參考電壓電路的輸出電壓為：

$$V_{out} = V_{BE} + MV_T \quad (3.1)$$

而在圖 3.1 中，由於我們將 I_1 、 I_2 以電流鏡的方式輸出，也就是 $I_1 = I_2$ ，因此可知：

$$V_{out} = V_{BE2} + \frac{R_2}{R_1} \Delta V_{BE} \quad (3.2)$$

其中

$$\begin{aligned} \Delta V_{BE} &= V_T \ln \frac{I_2}{I_{S2}} - V_T \ln \frac{I_1}{I_{S1}} \\ &= V_T \ln \left(\frac{I_2}{I_{S2}} \frac{I_1}{I_{S1}} \right) \\ &\approx V_T \ln \left(\frac{A_1}{A_2} \right) \\ &= V_T \ln \left(\frac{NA_2}{A_2} \right) \\ &= V_T \ln N \end{aligned} \quad (3.3)$$

代入 (3.2) 式後可得：

$$V_{out} \approx V_{BE2} + \frac{R_2}{R_1} V_T \ln N \quad (3.4)$$

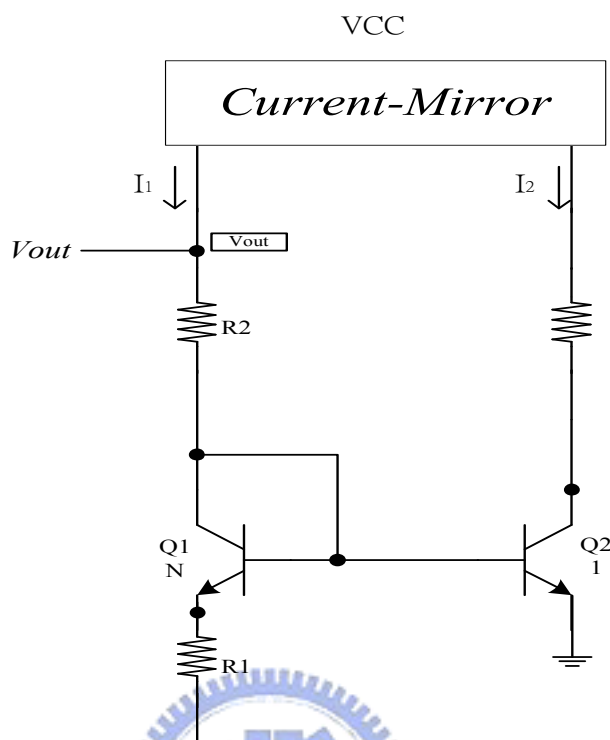


圖 3.1: 普通能隙參考電壓電路架構

(3.4) 式由觀察可得知:

$$M = \frac{R_2}{R_1} \ln N \quad (3.5)$$

接下來, 我們要設計一新的能隙參考電壓電路, 也就是曲線補償能隙參考電壓電路, 如圖3.2, 其輸出電壓為:

$$V_{out} = V_{BE} + MV_T + LV(T) \quad (3.6)$$

其中 L 為常數, $V(T)$ 為以溫度為函數的電壓函式; 理論上, 我們想要設計此電路輸出電壓對溫度的微分為:

$$\left. \frac{\partial V_{out}}{\partial T} \right|_{for\ all\ T} = \left[\frac{\partial V_{BE}}{\partial T} + M \frac{\partial V_T}{\partial T} + L \frac{\partial V(T)}{\partial T} \right] \Big|_{for\ all\ T} = 0 \quad (3.7)$$

也就是溫度的變化對輸出電壓值完全沒有影響:

$$V_{out}(T) = const. \quad (3.8)$$

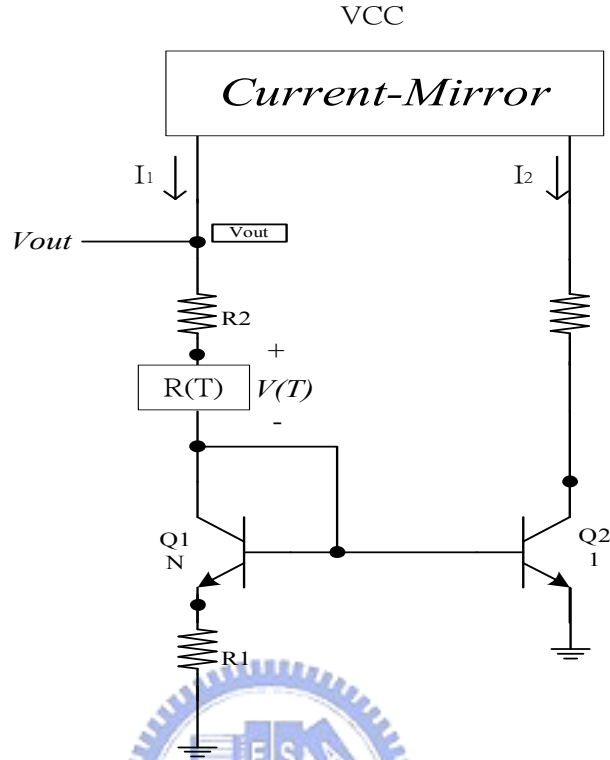


圖 3.2: 曲線補償能隙參考電壓電路

在 2.1 節中，我們已知 (2.7) 式如下：

$$V_{BE(on)} = V_{G0} - V_T[(\gamma - \alpha) \ln T - \ln(EG)] \quad (3.9)$$

因此設計一個可以產生 $V(T)$ 電路，與普通能隙參考電壓電路結合為一新的電路，使得 V_{BE} 非線性 $T \ln T$ 項之影響能被 $V(T)$ 抵消掉，於是我們希望 $V(T)$ 為：

$$V(T) = C_1 T + C_2 T \ln T \quad (3.10)$$

其中 C_1 為常數且 $C_1 < -\frac{k}{qL} \ln(EG)$, C_2 為常數且不為零；且

$$LC_2 T \ln T - (\gamma - \alpha) V_T \ln(T) = 0 \quad (3.11)$$

以及

$$LC_1 T + V_T \ln(EG) + M V_T = 0 \quad (3.12)$$

(3.11) 式及 (3.12) 式經過整理後如下：

$$L = (\gamma - \alpha) \frac{k}{qC_2} \quad (3.13)$$

$$M = - \left[\ln(EG) + \frac{qLC_1}{k} \right] \quad (3.14)$$

由 (3.13) 式及 (3.14) 式中我們可以發現，在一新的電路結合了普通能隙參考電壓電路後，我們可以先由非線性項 $T \ln T$ 的消除，得到我們所需要的 L 值，再由線性項 T 的消除，得到我們所要的 M 值；其中， L 的調整為新電路設計的要點，而 M 則可由 R_1 或 R_2 來調整。調整完後，輸出電壓為：

$$V_{out}(T) = const. \approx V_{G0} \quad (3.15)$$

目標達成，如圖 3.3。

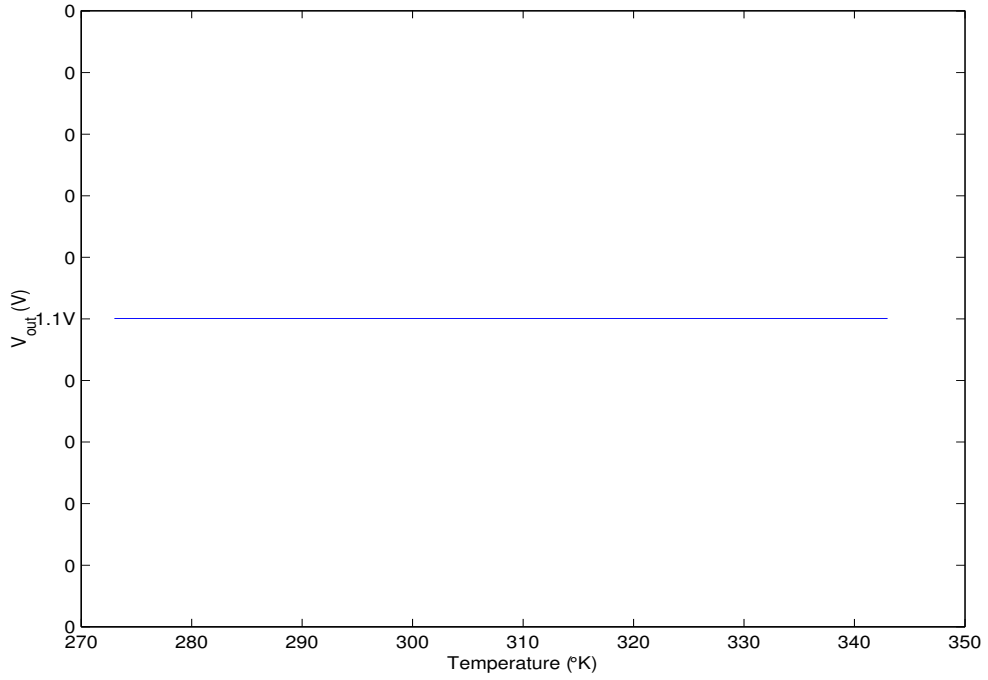


圖 3.3: 理想曲線補償能隙參考電壓電路之輸出電壓

3.2 電路設計

理論分析完成之後，便要開始設計曲線補償能隙參考電壓電路。在文獻的回顧中，我們發現非線性項 $T \ln T$ 可以泰勒級數展開成高階項來表示，許多先進、前輩設計能產生高階項的電路，來降低 $T \ln T$ 所產生的影響，其成果非常卓越。於是，以此概念為前提，我們開始思考並設計一個新的曲線補償能隙參考電壓電路。由圖 3.2 中，我們發現電流 I_1 ：

$$I_1 = \frac{\Delta V_{BE}}{R_1} = \left(\frac{k}{qR_1} \ln N \right) T \quad (3.16)$$

於是，補償的電壓 $V(T)$ ：

$$\begin{aligned} V(T) &= I_1 R(T) \\ &= \left(\frac{k}{qR_1} \ln N \right) T \times R(T) \end{aligned} \quad (3.17)$$

由 (3.17) 式中我們得到一個結論: 設計一個 $R(T)$, 此 $R(T)$ 對溫度 T 不為常數且階數大於零, 我們便有機會補償 V_{BE} 的非線性項 $T \ln T$ 所造成的影響, 使得溫度的變化對輸出電壓的影響更小。

首先, 在文獻中 [9], 曾提及 MOS 元件的 μ_n (電子遷移率, electron mobility) 及 V_{tn} (臨界電壓, Threshold Voltage) 對溫度變化的關係:

$$\mu_n(T) = \mu_{n0} T^{-\alpha_\mu} \quad (3.18)$$

$$V_{tn}(T) = V_{tn}(T_0) - \alpha_{VT}(T - T_0) \quad (3.19)$$

其中, μ_{n0} 為常數, α_μ, α_{VT} 為常數且其值為正; 我們由 [2] 知道 NMOS 元件在三極管區 (Triode Region) 的電流-電壓關係式為:

$$I = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(V_{GS} - V_{tn})V_{DS} - V_{DS}^2] \quad (3.20)$$

由於 V_{DS} 在三極管區的值很小, 所以 (3.20) 式可近似為:

$$I \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{tn}) V_{DS} \quad (3.21)$$

因此 NMOS 在三極管區的特性近似一壓控 (V_{GS}) 電阻, 如下式:

$$r_{ds} = \frac{V_{DS}}{I} \approx \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{tn})} \quad (3.22)$$

將 (3.18) 式及 (3.19) 式代入 (3.22) 式, 可得:

$$r_{ds} \approx \frac{T^{\alpha_\mu}}{\mu_{n0} C_{ox} \frac{W}{L} (V_{GS} - V_{tn}(T_0) + \alpha_{VT}(T - T_0))} \quad (3.23)$$

其中, 一般來說, α_μ 約: 1.5 ~ 2.5, α_{VT} 約: 1 ~ 4 mV/°C, 現在, 我們已得知了 r_{ds} 在三極管區對溫度的關係式, 接著, 便可著手將 NMOS 元件此一特性應用在能隙參考電壓電路中, 首先我們設計電路如圖 3.4:

接下來, 我們還需要設計 V_{GS} , 由圖 3.4 可知:

$$V_{GS} = V_G - V_{BE2} \quad (3.24)$$

於是, 我們設計一電路來產生 V_G , 如圖 3.5:

設計流程如下:

1. 我們先設計一電路其上方是電流鏡, 下方是差動電路, 來映射輸出電壓 V_{outo} 。
2. 映射出的輸出電壓點, 接一電阻接地, 產生電流源。
3. 接一電晶體 Q_3 , 其尺寸與 Q_2 相同, 將其基極端電壓接至 V_G 。

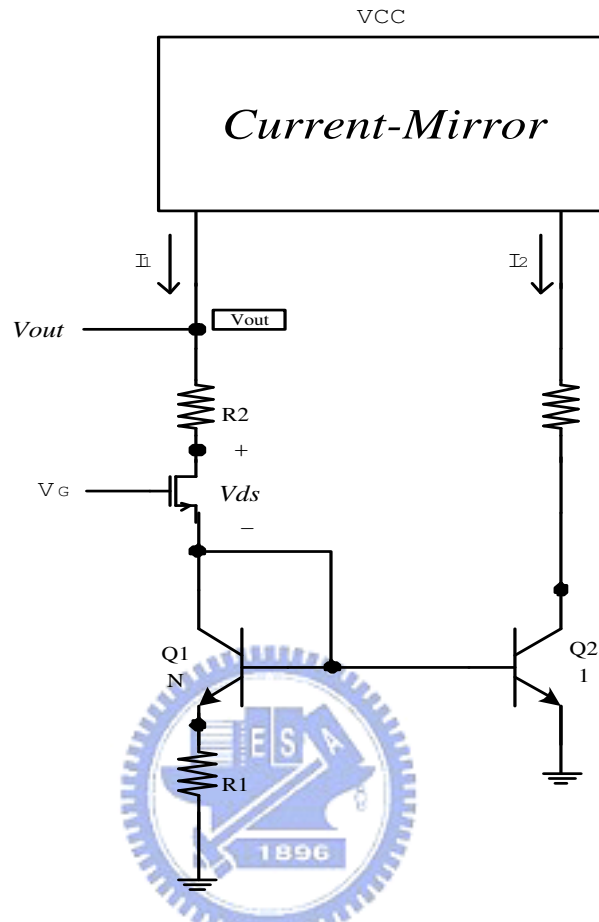


圖 3.4: 加入NMOS(r_{ds} , Triode Region) 設計的曲線補償能隙參考電壓電路

設計理由如下:

1. 我們希望 V_G 的電壓由自己本身的電路產生, 而非以另一參考電壓源來產生; 若由另一參考電壓源來產生, 一來會造成面積過大, 再者, 一能隙參考電壓電路動作正常與否不應還受另一參考電壓源來決定, 在加上電源電壓時, 電路本身就應產生一參考電壓, 於是, 我們設計一回授電路來產生 V_G 。
2. 由於 V_{BE2} 非線性項 $T \ln T$ 之係數為負, V_{DS} 的溫度係數需要為正值才可補償, 因此, 在分母項裡的 $(V_{GS} - V_{tn})$ 隨溫度越大而增加的趨勢越小, 則 V_{DS} 之溫度係數為正值的趨勢越強, Q_3 的設計就是為了降低 $(V_{GS} - V_{tn})$ 隨溫度越大而增加的趨勢, 因 V_{GS} :

$$V_{GS} = V_{out} + I_3 R_4 + V_{BE3} - V_{BE2} \quad (3.25)$$

因此我們設計 Q_3 的尺寸與 Q_2 相同, 且流過 Q_3 的電流值與流過 Q_2 的電流值接近, 雖然流過 Q_3 與 Q_2 的電流受溫度變化的影響分別為常數與PTAT(Proportional to Absolute Tempera-

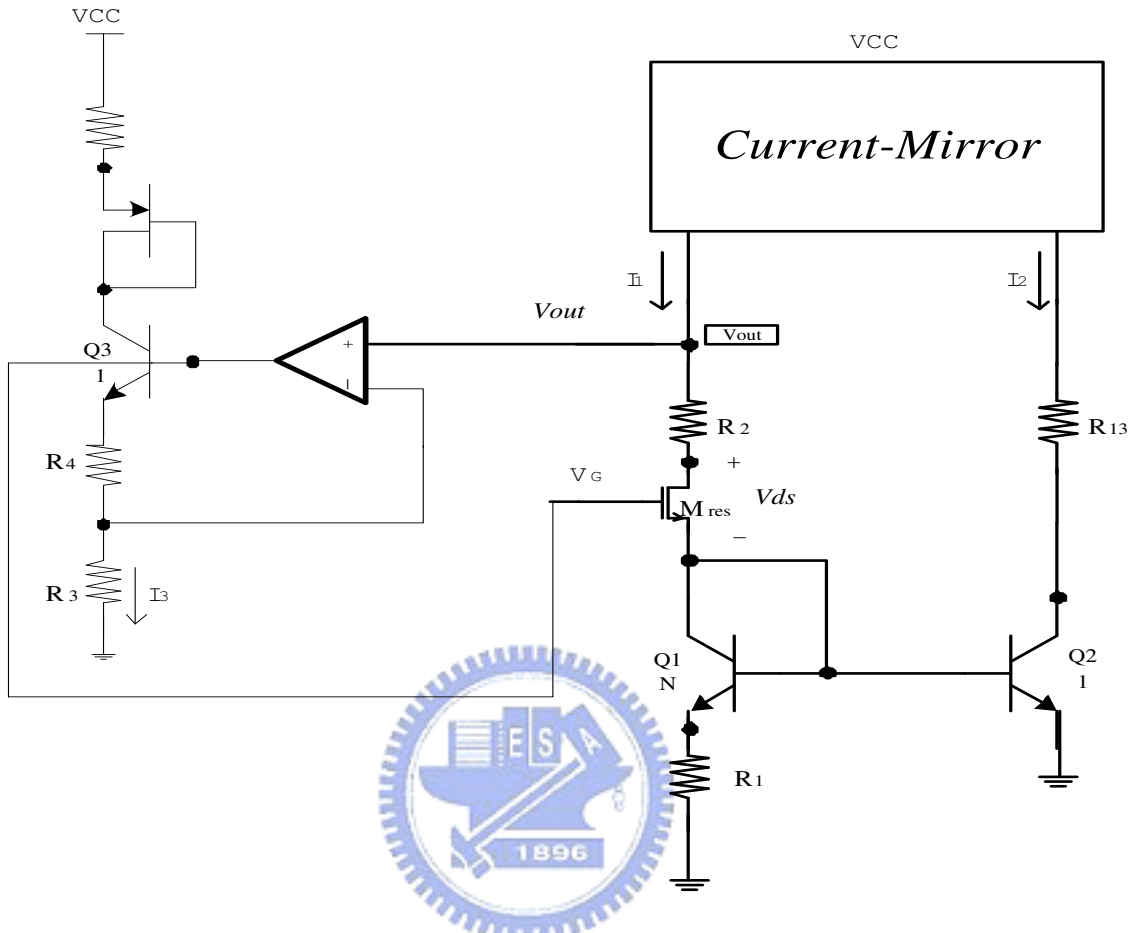


圖 3.5: 電壓 V_G 的設計電路

ture), 但 V_{BE3} 與 V_{BE2} 隨溫度變化影響的差距相當微小, 推導如下:

$$I_2 = GT^\alpha, \alpha = 1 \quad (3.26)$$

$$\begin{aligned} I_3 &= \frac{V_{out}}{R_3} = G_1 \\ &= GT_0 = I_2|_{T=T_0} \end{aligned} \quad (3.27)$$

將 (3.26)、(3.27) 式分別代入 (3.9) 式, 可得:

$$\begin{aligned} V_{BE3} &= V_{G0} + V_T \ln(EG_1) - \gamma V_T \ln T \\ &= V_{G0} + V_T \ln(EGT_0) - \gamma V_T \ln T \end{aligned} \quad (3.28)$$

$$V_{BE2} = V_{G0} + V_T \ln(EG) - (\gamma - 1)V_T \ln T \quad (3.29)$$

將 (3.28) 式及 (3.29) 式相減可得:

$$V_{BE3} - V_{BE2} = V_T \ln \left(\frac{T_0}{T} \right) \quad (3.30)$$

前面曾提到, α_{VT} 大約 $1 \text{ mV}/^\circ\text{C} \sim 4 \text{ mV}/^\circ\text{C}$, 且 $-\frac{\Delta V_{tn}}{\Delta T} = \alpha_{VT}$; 而

$$\begin{aligned}\frac{\Delta V_{GS}}{\Delta T} &= \frac{\Delta(V_{BE3} - V_{BE2})}{\Delta T} \\ &= \frac{k}{q} \frac{[(T + \Delta T) \ln\left(\frac{T_0}{T + \Delta T}\right) - T \ln\frac{T_0}{T}]}{\Delta T} \\ &\approx \frac{k}{q} \frac{\Delta T \ln\frac{T_0}{T}}{\Delta T} = \frac{k}{q} \ln\frac{T_0}{T}\end{aligned}\quad (3.31)$$

其中 $\frac{k}{q} = 0.8617 \times 10^{-4} \text{ V}/^\circ\text{C}$; 若 $T_0 = 25^\circ\text{C} = 298^\circ\text{K}$, $T = 70^\circ\text{C} = 343^\circ\text{K}$, $\frac{\Delta V_{GS}}{\Delta T} \approx -1.2 \times 10^{-5} \text{ V}/^\circ\text{C}$ 與 $\frac{\Delta V_{tn}}{\Delta T}$ 比較起來要小的很多, 可知 V_{tn} 與 V_{GS} 對溫度的變化差了大約 80 ~ 300 倍, 於是, 加入 Q_3 的電路可使我們將溫度對 V_{GS} 的效應忽略, 更方便我們設計, 這就是加入 Q_3 的理由, 因此 V_{out} 近似後的結果如 (3.32), 參考圖 3.5。

$$\begin{aligned}V_{out} &= V_{BE2} + V_{ds} + V_{R2} \\ &= V_{BE2} + I_1 r_{ds} + I_1 R_2 \\ &= V_{BE2} + \frac{\Delta V_{BE}}{R_1} \left(\frac{T^{\alpha_\mu}}{\mu_{n0} C_{ox} \frac{W}{L} (V_{out} + I_3 R_4 + V_{BE3} - V_{BE2} - V_{tn}(T_0) + \alpha_{VT}(T - T_0))} \right) + \frac{\Delta V_{BE}}{R_1} R_2 \\ &= (V_{G0} + V_T \ln(EG) - (\gamma - 1)V_T \ln T) + \left[\left(\frac{k}{qR_1} \ln N \right) T \left(\frac{T^{\alpha_\mu}}{\mu_{n0} C_{ox} \frac{W}{L} (V_{out} + I_3 R_4 + V_T \ln \frac{T_0}{T} - V_{tn}(T_0) + \alpha_{VT}(T - T_0))} \right) \right] + \left(\frac{kR_2}{qR_1} \ln N \right) T \\ &\approx (V_{G0} + V_T \ln(EG) - (\gamma - 1)V_T \ln T) + \left[\left(\frac{k}{qR_1} \ln N \right) T \left(\frac{T^{\alpha_\mu}}{\mu_{n0} C_{ox} \frac{W}{L} (V_{out} + I_3 R_4 - V_{tn}(T_0) + \alpha_{VT}(T - T_0))} \right) \right] + \left(\frac{kR_2}{qR_1} \ln N \right) T\end{aligned}\quad (3.32)$$

輸出 V_G 電壓的電路決定後, 便可以開始決定整個電路最重要的幾個元件值。

重要參數的設計流程如下:

1. 決定 N, R_1 。我們首先設定 ΔV_{BE} 之溫度係數 $\left(= \frac{k}{q} \ln N \right)$ 來決定 N , 再由可接受的功率消耗範圍選定 I_1 電流值, $R_1 \left(= \frac{k}{qI_1} \ln N \right)$ 的值也就被決定了, 如圖 3.6。
2. 決定 $R_3, R_4, \left(\frac{W}{L} \right)$ 。由於台灣積體電路公司提供的製程資料不夠完整, 諸如 Bipolar transistor 之 C, D, E, γ , MOS transistor 之 $\mu_{n0}, \alpha_\mu, \alpha_{VT}, C_{ox}$ 等重要參數未提供, 造成設計上窒礙

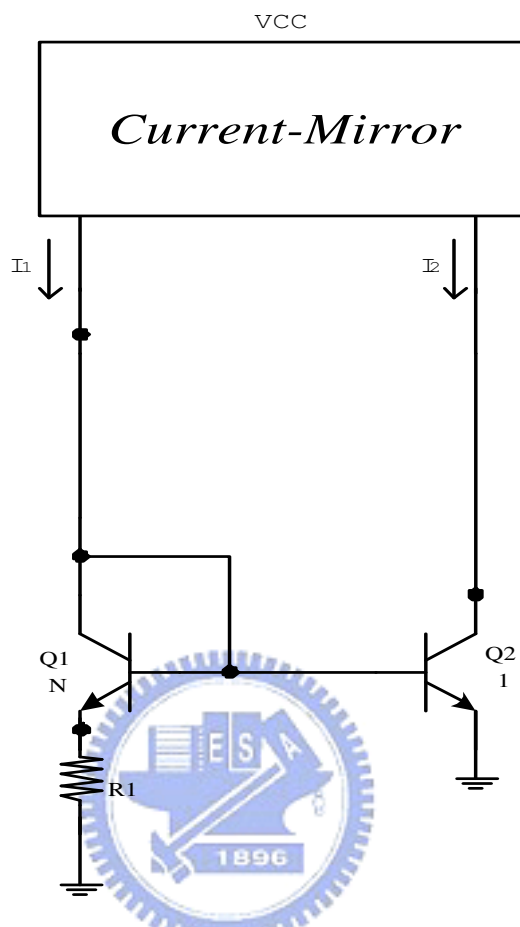


圖 3.6: Q_1 、 Q_2 面積的比值及 R_1 的阻值決定後的電路圖

難行，我們只能推得 r_{ds} 有高階項之特性，無法得知確切的數學函式，參數的決定方式也就失去方向，於是，我們運用「最小平方誤差法 (Least Square Error Algorithm, 下節中會提到)」來近似曲線；我們將 V_{BE2} 、 V_{ds} 以此法近似成如下的函式：

$$F(T) = C_0 + C_1 T + C_2 T \ln T \quad (3.33)$$

其中 C_0 、 C_1 、 C_2 為常數，利用此函式來近似的理由有二點：一是 Bipolar transistor 之 $V_{BE}(T)$ 數學函式與此式相同，可準確地求得 $V_{BE}(T)$ 之 T^0 、 T 、 $T \ln T$ 三項之係數，近似後如圖 3.7；二，在 $V_{ds}(T)$ 之曲線近似上，近似後的曲線與原曲線幾乎重疊在一起，近似得相當地準確，如圖 3.8，由於 $\frac{\partial(T \ln T)}{\partial T}$ 函式在溫度越高時上升的幅度越慢，而我們在 (3.32) 式的分母項中，知道了 $(\alpha_{VT} T)$ 在 $V_{ds}(T)$ 電壓隨溫度上升而增高的傾向裡也有些微抑制的效果；因此，在一段溫度區間內（我們所設計的範圍為 $0^\circ\text{C} \sim 70^\circ\text{C}$ ），此二條曲線對溫度的變化趨勢很接近，近似函式可以近似 $V_{ds}(T)$ 實際函式之如此精確，是可以理解的。

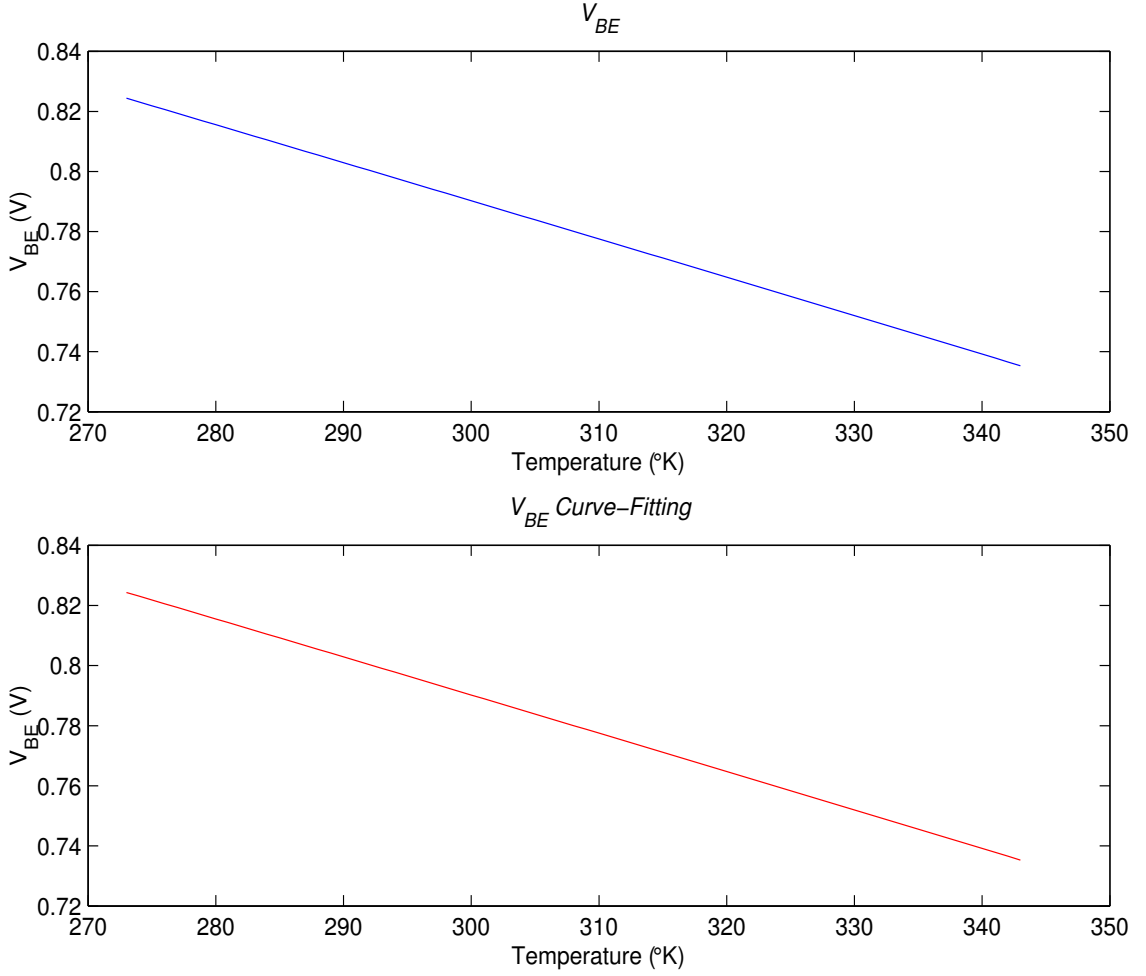


圖 3.7: $V_{BE}(T)$ 曲線與 $V_{BE}(T)$ 之近似曲線

我們先將 $V_{BE2}(T_1) \sim V_{BE2}(T_n)$ 的 n 點電壓值取出，以最小平方誤差法近似；接著要近似 $V_{ds}(T)$ ，由於 $\left(\frac{W}{L}\right)$ 還未知，我們可先近似 $\left(\frac{W}{L}\right) V_{ds}(T)$ ，由 (3.32) 式可得：

$$\begin{aligned}
 \left(\frac{W}{L}\right) V_{ds}(T) &\approx \left(\frac{W}{L}\right) I_1(T) r_{ds}(T) \\
 &\approx \left(\frac{W}{L}\right) \left(\frac{k}{qR_1} \ln N\right) T \left(\frac{T^{\alpha_\mu}}{\mu_{n0} C_{ox} \frac{W}{L} (V_{out} + I_3 R_4 - V_{tn}(T_0) + \alpha_{VT}(T - T_0))}\right) \\
 &= \left(\frac{k}{qR_1} \ln N\right) T \left(\frac{T^{\alpha_\mu}}{\mu_{n0} C_{ox} (V_{out} + I_3 R_4 - V_{tn}(T_0) + \alpha_{VT}(T - T_0))}\right) \quad (3.34)
 \end{aligned}$$

其中

$$I_3 = \frac{V_{out}}{R_3} = G_1 = GT_0 = I_1 \Big|_{T=T_0} \quad (3.35)$$

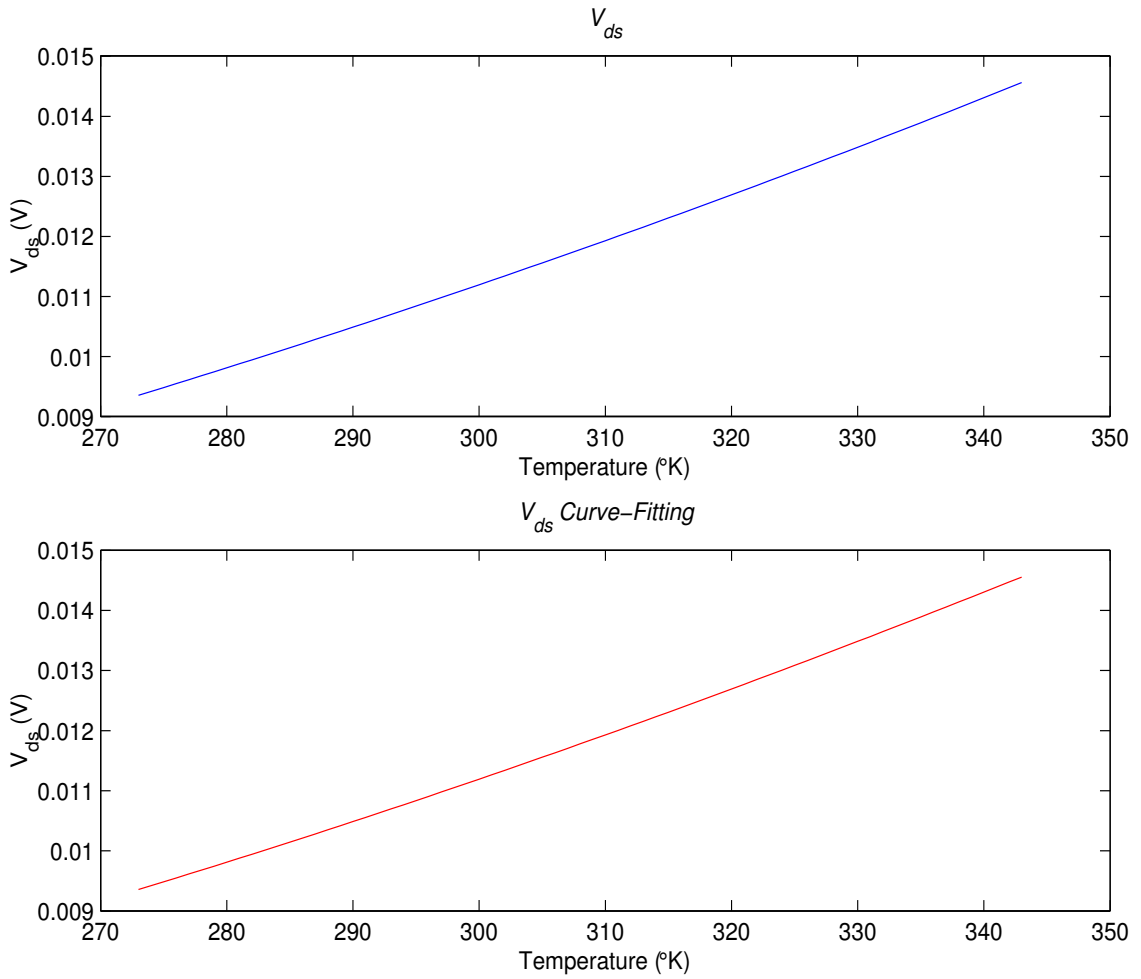


圖 3.8: $V_{ds}(T)$ 曲線與 $V_{ds}(T)$ 之近似曲線

理論上:

$$\begin{aligned}
 V_{out} &= V_{BE2} + V_{ds} + V_{R2} = const. \\
 &= (V_{BE2} + I_1 r_{ds} + I_1 R_2) \Big|_{T=T_0} \\
 &= V_{G0}
 \end{aligned} \tag{3.36}$$

所以:

$$R_3 = \frac{V_{G0}}{I_1 \Big|_{T=T_0}} \tag{3.37}$$

而 R_4 的加入是為了補償製程變動 (TT、FF、SS) 的影響 (4.3 節), 只要不影響電路正常工作在最低的電源電壓, 其值的選擇愈大對製程變動的補償愈好, 因此 R_4 可自行選擇一適當的阻值;

將 (3.36) 式代入 (3.34) 式, 可得:

$$\left(\frac{W}{L}\right) r_{ds}(T) \approx \frac{T^{\alpha\mu}}{\mu_{n0} C_{ox} (V_{G0} + I_3 R_4 - V_{tn}(T_0) + \alpha_{VT}(T - T_0))} \quad (3.38)$$

由於 $r_{ds}(T)$ 與 $I_1(T)$ 無關, 從圖 3.6 電路已可先得知 $I_1(T_1) \sim I_1(T_n)$, 再設計一電路來求得 $V_{ds1}(T_1) \sim V_{ds1}(T_n)$ 等 n 點電壓再乘以 $\frac{W/L}{I_3}$ 後可得 $\left(\frac{W}{L}\right) r_{ds}(T_1) \sim \left(\frac{W}{L}\right) r_{ds}(T_n)$ 等 n 點值, 如圖 3.9: 最後, 將 $I_1(T_1) \sim I_1(T_n)$ 等 n 組電流值分別乘對應的 $\left(\frac{W}{L}\right) r_{ds}(T_1) \sim \left(\frac{W}{L}\right) r_{ds}(T_n)$ 等 n 組

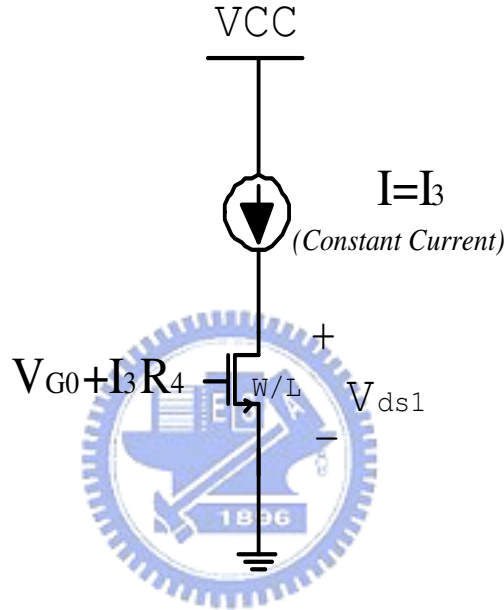


圖 3.9: 設計一電路求得 $\left(\frac{W}{L}\right) r_{ds}(T_1) \sim \left(\frac{W}{L}\right) r_{ds}(T_n)$

阻值便可得知 $\left(\frac{W}{L}\right) V_{ds}(T_1) \sim \left(\frac{W}{L}\right) V_{ds}(T_n)$ 等 n 點電壓值, 再重複近似 $V_{BE}(T)$ 曲線之步驟, 求得 $\left(\frac{W}{L}\right) V_{ds}(T)$ 之近似曲線。於是, 我們由近似後的曲線分別得到 $V_{BE}(T)$ 、 $\left(\frac{W}{L}\right) V_{ds}(T)$ 之近似函式:

$$V_{BE}(T) = A_0 + A_1 T + A_2 T \ln T \quad (3.39)$$

$$\left(\frac{W}{L}\right) V_{ds}(T) = C_0 + C_1 T + C_2 T \ln T \quad (3.40)$$

(3.40) 式經過整理後可得:

$$V_{ds}(T) = \frac{C_0 + C_1 T + C_2 T \ln T}{(W/L)} \quad (3.41)$$

由 (3.39) 式及 (3.41) 式中可看出, 要消除 $V_{BE}(T)$ 之非線性項 $T \ln T$, 決定於 $\left(\frac{W}{L}\right)$ 的選擇:

$$A_2 + \frac{C_2}{(W/L)} = 0 \quad (3.42)$$

$$\frac{W}{L} = -\frac{C_2}{A_2} \quad (3.43)$$

3. 決定 R_2 。在決定了 $\left(\frac{W}{L}\right)$ 後, R_2 也隨即由 (3.36)、(3.39)、(3.41)、及 (3.43) 式整理後得到:

$$V_{R2} = \left(\frac{kR_2}{qR_1} \ln N\right) T = -\left(A_1 + \frac{C_1}{W/L}\right) T \quad (3.44)$$

$$R_2 = -\left(\frac{k}{qR_1} \ln N\right)^{-1} \left(A_1 + \frac{C_1}{W/L}\right) \quad (3.45)$$

經過這三個步驟後, 電路中主要的元件值都已確立, 設計完成, 完整的電路如下:

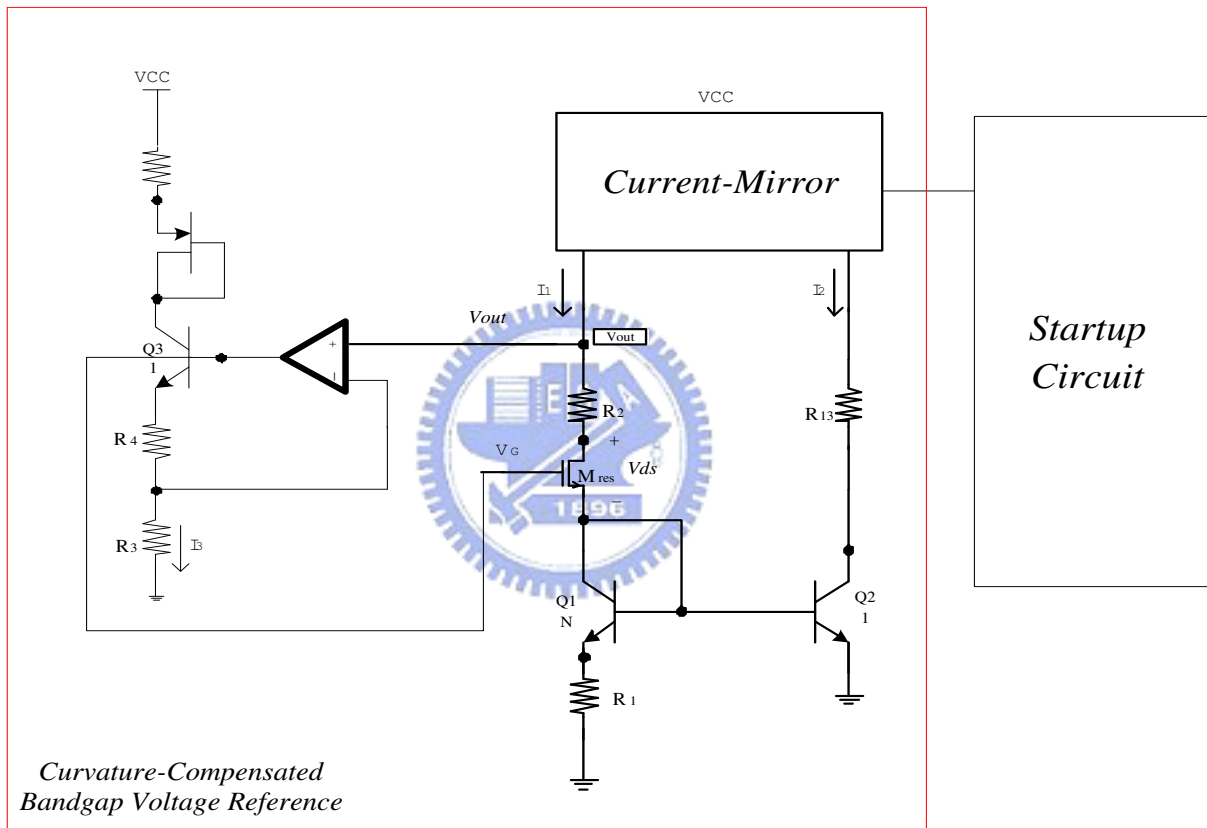


圖 3.10: 曲線補償能隙參考電壓電路

3.3 使用最小平方誤差法 (Least Square Error) 的曲線近似

假設有 n 個以 T 為變數的值 $g_i(T_i)$, $i = 1 \sim n$, 我們想以一數學函式 $f(C_0, C_1, C_2, \dots, T)$ 來描述或近似 $g_i(T_i)$ 的值, 其中 C_0, C_1, C_2, \dots 未知, 不同的 C_0, C_1, C_2, \dots 組合會產生不同的曲線、函式, 最小平方誤差法的涵義就是在這無限多組 C_0, C_1, C_2, \dots 的組合中, 找出一組 C_0, C_1, C_2, \dots 其產生的曲線上每個對應 T_i 的值與 $g_i(T_i)$ 個別相減, 如下式:

$$error(C_0, C_1, C_2, \dots, T_i) = f(C_0, C_1, C_2, \dots, T) - g_i(T_i) \quad (3.46)$$

其 $error(T_i)$ 個別取平方後再相加的值 E 相較其他組 C_0, C_1, C_2, \dots 所產生的結果都要小, 也就是:

$$\min(E(C_0, C_1, C_2, \dots)) = \min \left[\sum_{i=1}^n (error(C_0, C_1, C_2, \dots, T_i))^2 \right] \quad (3.47)$$

我們便以這組 C_0, C_1, C_2, \dots 所產生的函式 $f(C_0, C_1, C_2, \dots, T)$ 為最近似 $g_i(T_i)$ 曲線的函式。

接著, 為了找出這組 C_0, C_1, C_2, \dots , 我們將最小平方誤差 $E(C_0, C_1, C_2, \dots)$ 分別對 C_0, C_1, C_2, \dots 微分, 其理由為 $E(C_0), E(C_1), E(C_2), \dots$ 是誤差的平方 $(error(C_0, C_1, C_2, \dots, T_i))^2$ 的原因, 所以皆為開口向上的二次曲線, 也就是當:

$$\begin{aligned} \left. \frac{\partial E(C_0, C_1, C_2, \dots)}{\partial C_0} \right|_{C_0=C'_0} &= 0 \\ \left. \frac{\partial E(C_0, C_1, C_2, \dots)}{\partial C_1} \right|_{C_1=C'_1} &= 0 \\ \left. \frac{\partial E(C_0, C_1, C_2, \dots)}{\partial C_2} \right|_{C_2=C'_2} &= 0 \\ &\vdots \end{aligned} \quad (3.48)$$

則 $E(C'_0), E(C'_1), E(C'_2), \dots$ 皆為最小值, 所以

$$\min(E(C_0, C_1, C_2, \dots)) = E(C'_0, C'_1, C'_2, \dots) \quad (3.49)$$

以我們的電路為例, $g_i(T_i)$ 為我們以 T 為變數要近似電壓點, $f(C_0, C_1, C_2, T) = C_0 + C_1 T + C_2 T \ln T$ 為要近似 $g_i(T_i)$ 的函式, 推導如下: 函式裡每個對應 T_i 的值與 $g_i(T_i)$ 個別相減得到的誤差值:

$$\varepsilon_i(C_0, C_1, C_2, T_i) = f(C_0, C_1, C_2, T_i) - g_i(T_i) \quad (3.50)$$

最小平方誤差為:

$$\min(E(C_0, C_1, C_2)) = \min \left[\sum_{i=1}^n (\varepsilon_i(C_0, C_1, C_2, T_i))^2 \right] \quad (3.51)$$

平方誤差分別對 C_0, C_1, C_2 偏微

$$\begin{aligned} \left. \frac{\partial E(C_0, C_1, C_2)}{\partial C_0} \right|_{C_0=C'_0} &= \sum_{i=1}^n 2 (C'_0 + C'_1 T_i + C'_2 T_i \ln T_i - g_i(T_i)) = 0 \\ \left. \frac{\partial E(C_0, C_1, C_2)}{\partial C_1} \right|_{C_1=C'_1} &= \sum_{i=1}^n 2 (C'_0 T_i + C'_1 T_i^2 + C'_2 T_i^2 \ln T_i - g_i(T_i) T_i) = 0 \\ \left. \frac{\partial E(C_0, C_1, C_2)}{\partial C_2} \right|_{C_2=C'_2} &= \sum_{i=1}^n 2 (C'_0 T_i \ln T_i + C'_1 T_i^2 \ln T_i + C'_2 T_i^2 (\ln T_i)^2 - g_i(T_i) T_i \ln T_i) = 0 \end{aligned} \quad (3.52)$$

可寫成矩陣形式如下:

$$\begin{bmatrix} n & \sum_{i=1}^n T_i & \sum_{i=1}^n T_i \ln T_i \\ \sum_{i=1}^n T_i & \sum_{i=1}^n T_i^2 & \sum_{i=1}^n T_i^2 \ln T_i \\ \sum_{i=1}^n T_i \ln T_i & \sum_{i=1}^n T_i^2 \ln T_i & \sum_{i=1}^n T_i^2 (\ln T_i)^2 \end{bmatrix} \begin{bmatrix} C'_0 \\ C'_1 \\ C'_2 \end{bmatrix} = \begin{bmatrix} \sum_{i=1}^n g_i(T_i) \\ \sum_{i=1}^n g_i(T_i) T_i \\ \sum_{i=1}^n g_i(T_i) T_i \ln T_i \end{bmatrix} \quad (3.53)$$

最近似的一組 C'_0, C'_1, C'_2 可求得如下:

$$\begin{bmatrix} C'_0 \\ C'_1 \\ C'_2 \end{bmatrix} = (\underline{X} \underline{X}^T)^{-1} \underline{X} \underline{d} \quad (3.54)$$

其中

$$\underline{X} = \begin{bmatrix} 1 & 1 & 1 & \cdots & 1 \\ T_1 & T_2 & T_3 & \cdots & T_n \\ T_1 \ln T_1 & T_2 \ln T_2 & T_3 \ln T_3 & \cdots & T_n \ln T_n \end{bmatrix}_{3 \times n}$$

$$\underline{d} = \begin{bmatrix} g_1(T_1) \\ g_2(T_2) \\ g_3(T_3) \\ \cdots \\ g_n(T_n) \end{bmatrix}_{n \times 1}$$

而 $f(C'_0, C'_1, C'_2, T)$ 則為最近似 $g_i(T_i)$ 曲線的一組函式。



第 4 章

電路模擬結果與分析

電路設計完成後，開始進行電路的模擬與分析。我們以普通能隙參考電壓電路與曲線補償能隙參考電壓電路來做下列幾項電路參數之比較與分析，經由與普通能隙參考電壓電路的比較後，我們才能更清楚曲線補償能隙參考電壓電路的優缺點所在。以下我們分四個小節分別探討溫度變化、電源電壓變化、製程變動對輸出電壓的影響，及比較電路的輸出電壓的電源電壓訊號排斥比和輸出雜訊。

4.1 溫度變化分析

一般用來分析參考電壓受溫度變化的影響的參數為 TC_F (effective temperature coefficient), [2]:

$$TC_{F(eff)} = \frac{1}{V_{out}} \left(\frac{V_{MAX} - V_{MIN}}{T_{MAX} - T_{MIN}} \right) \quad (4.1)$$

我們以一般常用的溫度區間 ($0^{\circ}C \sim 70^{\circ}C$) 來比較普通能隙參考電壓電路與曲線補償能隙參考電壓電路 $TC_{F(eff)}$ 的優劣，其值越小，代表其輸出電壓受溫度變化的影響越小。見圖4.1、圖4.2:

圖4.1、4.2分別為普通能隙參考電壓電路與曲線補償能隙參考電壓電路，經由圖中計算可知:

$$TC_{F(Conventional)} = \frac{1}{1.16061 V} \left(\frac{1.1607 V - 1.16052 V}{70^{\circ}C - 0^{\circ}C} \right) = 2.22 \text{ ppm}/^{\circ}C$$
$$TC_{F(Curvature)} = \frac{1}{1.158003 V} \left(\frac{1.1580095 V - 1.1579955 V}{70^{\circ}C - 0^{\circ}C} \right) = 0.17 \text{ ppm}/^{\circ}C$$

比較計算出來後的溫度係數我們可知，加入了曲線補償電路後，溫度變化對能隙參考電壓電路輸出電壓的影響大大地降低了。由圖4.2中我們還可發現，在溫度接近 $66^{\circ}C$ 時，曲線補償能隙參考電壓電路輸出電壓有上升的趨勢，而普通能隙參考電壓電路輸出電壓卻沒有，可見，當溫度變化範圍變大時(ex: $0^{\circ}C \sim 90^{\circ}C$)，曲線補償能隙參考電壓電路所顯現的效能比起普通能隙參考電壓電路會更佳，如圖4.3、4.4。

4.2 電源電壓變化分析

由於能隙參考電壓電路是輸出一參考電壓，此輸出參考電壓的穩定與否，與需要此參考電壓源的電路能否工作正常，有相當大的關係，除了上一節所提，不希望受溫度變化的影響，還有另一重要參

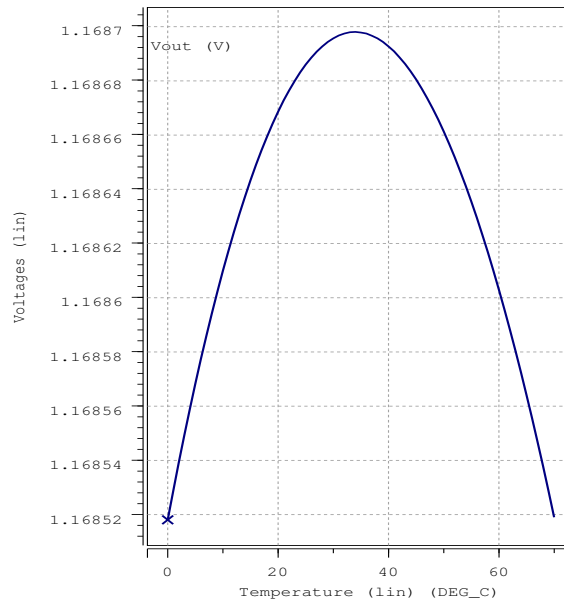


圖 4.1: 普通能隙參考電壓電路輸出電壓(V_{out})對溫度 T 變化關係

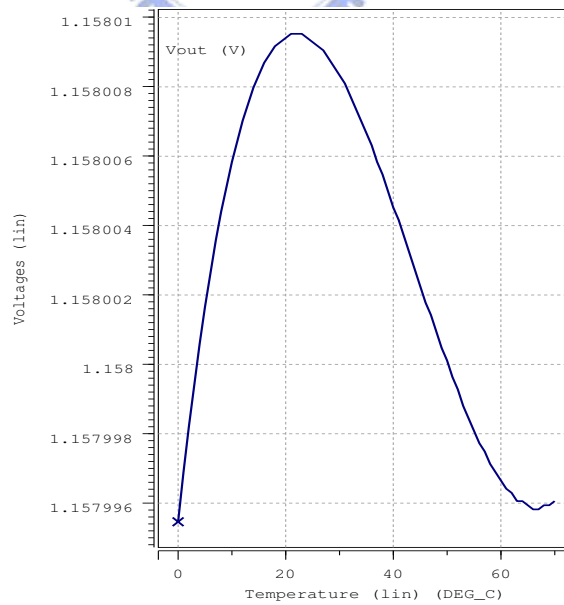


圖 4.2: 曲線補償能隙參考電壓電路輸出電壓(V_{out})對溫度 T 變化關係

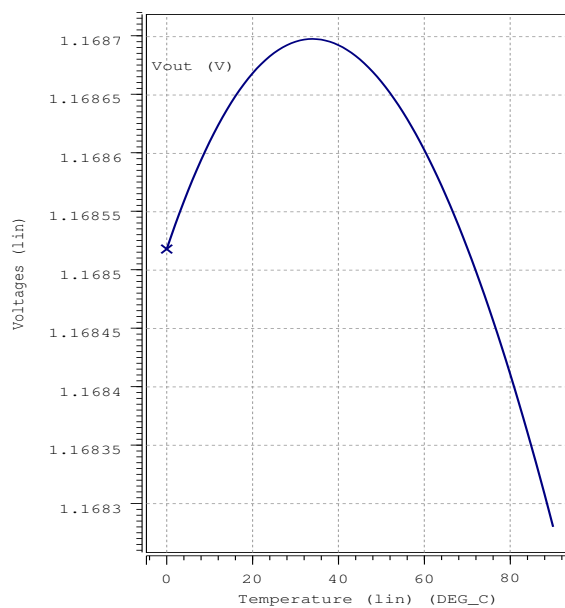


圖 4.3: $0^{\circ}\text{C} \sim 90^{\circ}\text{C}$, 普通能隙參考電壓電路輸出電壓(V_{out})對溫度 T 變化關係

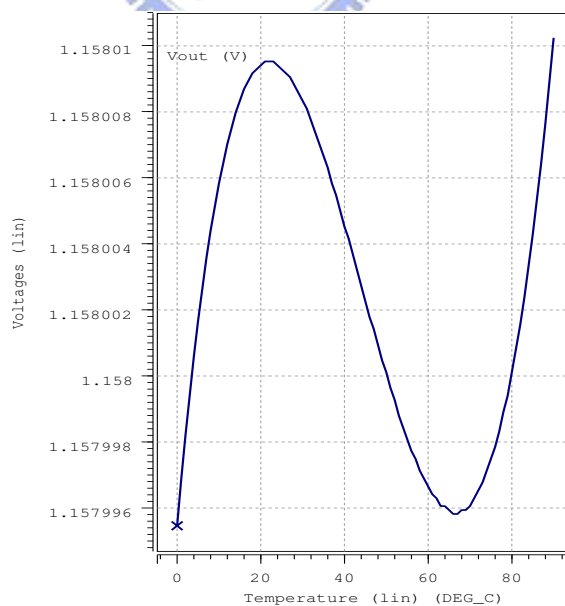


圖 4.4: $0^{\circ}\text{C} \sim 90^{\circ}\text{C}$, 曲線補償能隙參考電壓電路輸出電壓(V_{out})對溫度 T 變化關係

數，就是電源電壓變化的影響；我們不希望我們的參考電壓電路的輸出電壓會受電源電壓的變化而影響，在提供的電壓範圍內，使其他需要此參考電壓的電路皆能工作正常。我們模擬電路在電源電壓從 3V~5V 的變動範圍，其效能參數一般使用 *Line Regulation*：

$$LineRegulation = \pm \frac{V_{out(MAX)} - V_{out(MIN)}}{2(V_{CCMAX} - V_{CCMIN})} \quad (4.2)$$

普通及曲線補償能隙參考電壓電路對電源電壓變化後的影響模擬結果分別如下，其中兩張圖中的四條曲線是輸出電壓分別在 0°C、25°C、50°C、70°C 的溫度條件下，對電源電壓所畫出的曲線： 由

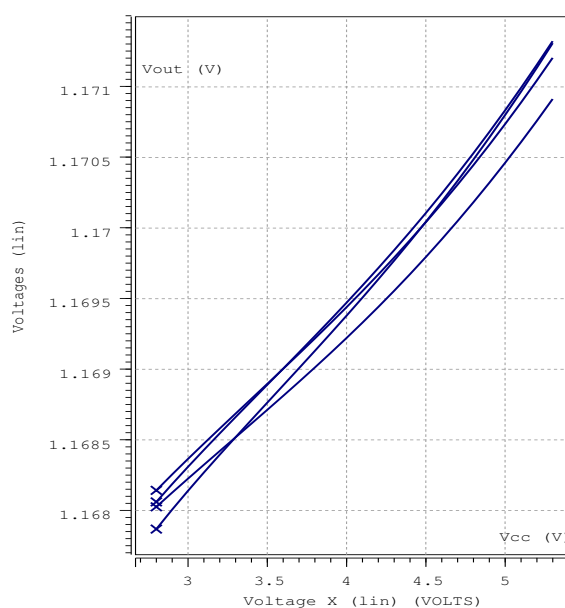


圖 4.5: 普通能隙參考電壓電路輸出電壓對電源電壓變化的關係

圖4.5、4.6中，我們可計算出兩不同電路的 *Line Regulation*：

$$LineRegulation_{(Conventional)} = \pm \frac{1.1708 \text{ V} - 1.1682 \text{ V}}{2(5 \text{ V} - 3 \text{ V})} = \pm 0.65 \text{ mV/V}$$

$$LineRegulation_{(Curvature)} = \pm \frac{1.1606 \text{ V} - 1.1576 \text{ V}}{2(5 \text{ V} - 3 \text{ V})} = \pm 0.75 \text{ mV/V}$$

由計算出來的值中我們可發現，曲線補償能隙參考電壓電路的 *Line Regulation* 要比普通能隙參考電壓電路的 *Line Regulation* 稍微差一點。輸出電壓會隨電源電壓變化上升的原因敘述如下：當 V_{cc} 增加， V_{ds2} (電流鏡的源汲壓降) 也隨著增加， I_2 便增加了一點，因為電流鏡的關係 I_1 也會跟著上升一點，我們重複 (3.3) 式：

$$\Delta V_{BE} = V_T \ln \frac{I_2}{I_{S2}} - V_T \ln \frac{I_1}{I_{S1}}$$

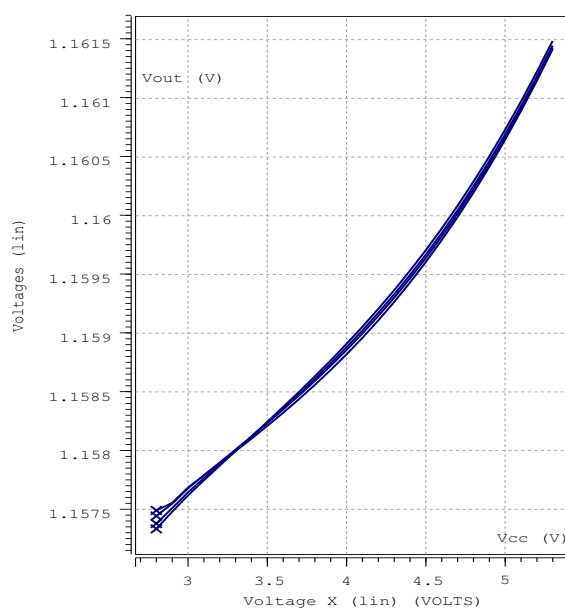


圖 4.6: 曲線補償能隙參考電壓電路輸出電壓對電源電壓變化的關係

$$= V_T \ln \left(\frac{I_2}{I_{S2}} \frac{I_1}{I_{S1}} \right) = I_1 R_1 \quad (4.3)$$

所以 ΔV_{BE} 增加; 因為 I_1 增加, $V_{R2} = I_2 R_2$ 增加, V_{BE2} 增加, 最後 $V_{out} = V_{BE2} + V_{R2}$ 增加。而加了 NMOS 元件的補償電路效果較差是因為, 補償電路是一個負回授電路, V_{CC} 升高時, r_{ds} 反而將低, 造成 $R_2 + r_{ds}$ 下降而與 R_{13} 不匹配, 造成 I_1 、 I_2 都增加的更多, 雖然 V_{ds} 是下降了, 但構成 V_{out} 的兩個主要壓降 V_{BE2} 、 V_{R2} 卻大大地提高了, 這就是為何曲線補償能隙參考電壓電路輸出電壓受電源電壓變化影響較大的原因。

4.3 製程變動分析

電路在設計好完成後, 便送入晶圓廠做成積體電路, 通常, 我們的電路在一片晶圓上只佔一小部份, 而相同的元件在晶圓上不同的地方被製造出來, 其元件參數會有所差別, 造成電路積體化後的效能不一; 一般晶圓廠會提供四種極端及一個典型的例子給設計者在 SPICE 模擬時使用, 分別是邊緣模型 (Corner Model) FF、FS、SF、SS 及典型 TT, 使我們可以在 Pre-Simulation 及 Post-Simulation 考慮到最極端的情形, 確保積體化後的電路能被使用在一定的範圍。台灣積體電路公司在 $0.35\mu\text{m}$ *Sige BiCMOS* 製程資料中, 只提供了 SS、FF 及 TT 等模型來模擬, 以下就是我們將兩電路架構以 SS、FF 分別對溫度變化及電源電壓變化的模擬結果:

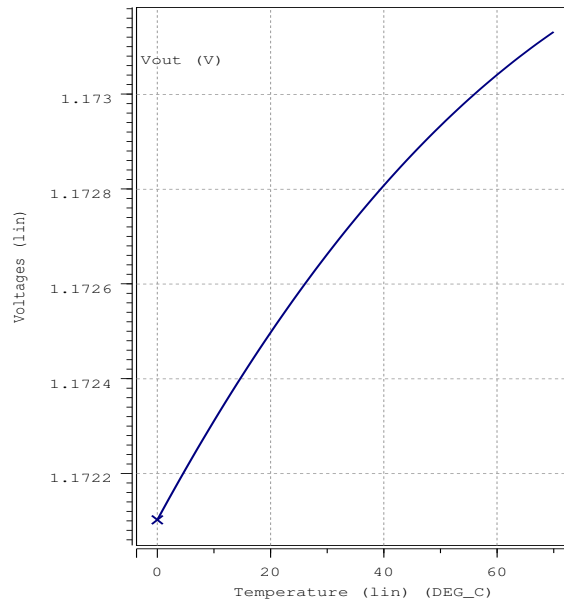


圖 4.7: 在SS 下普通能隙參考電壓電路輸出電壓對溫度變化關係

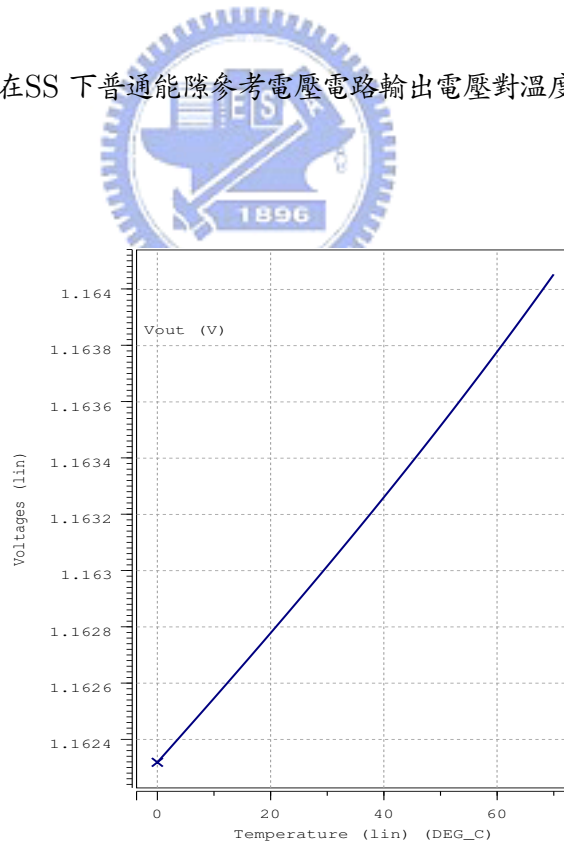


圖 4.8: 在SS 下曲線補償能隙參考電壓電路輸出電壓對溫度變化關係

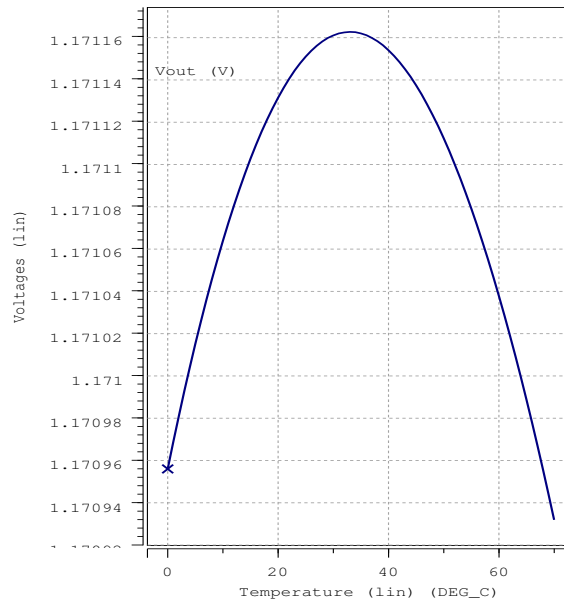


圖 4.9: 在FF 下普通能隙參考電壓電路輸出電壓對溫度變化關係

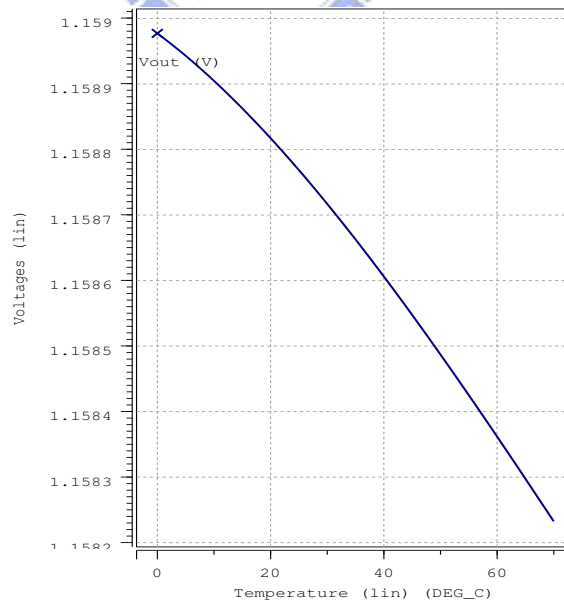


圖 4.10: 在FF 下曲線補償能隙參考電壓電路輸出電壓對溫度變化關係

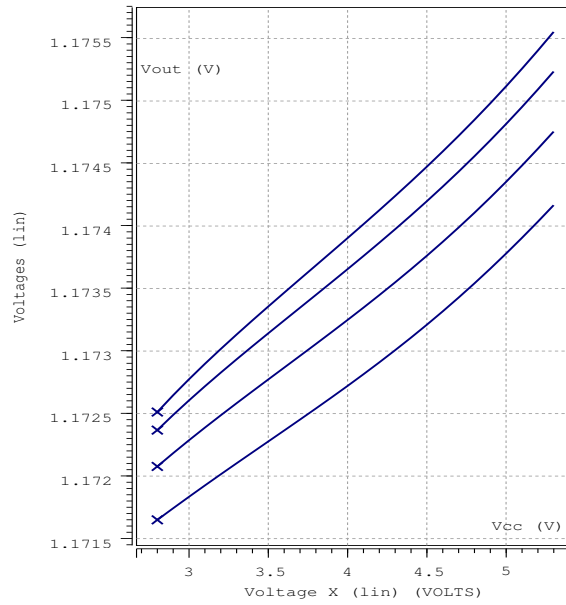


圖 4.11: 在SS 下普通能隙參考電壓電路輸出電壓對電源電壓變化的關係

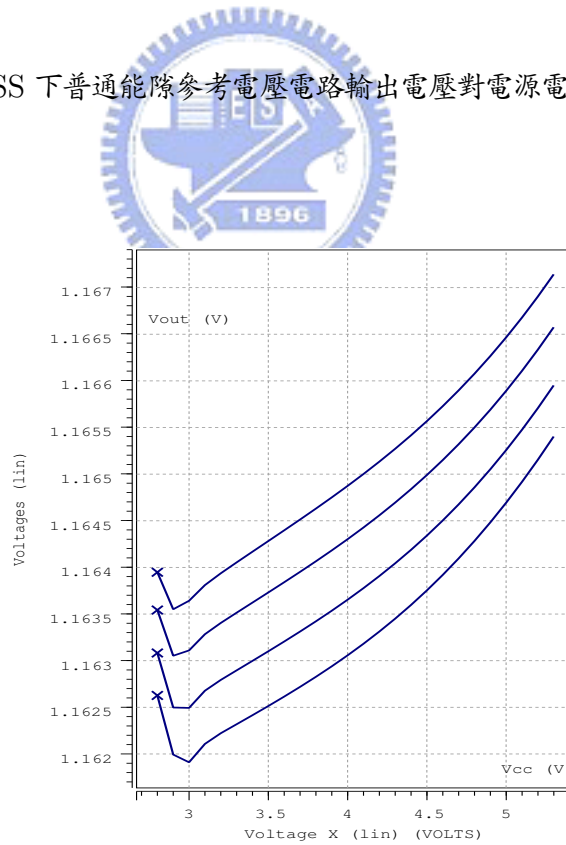


圖 4.12: 在SS 下曲線補償能隙參考電壓電路輸出電壓對電源電壓變化的關係

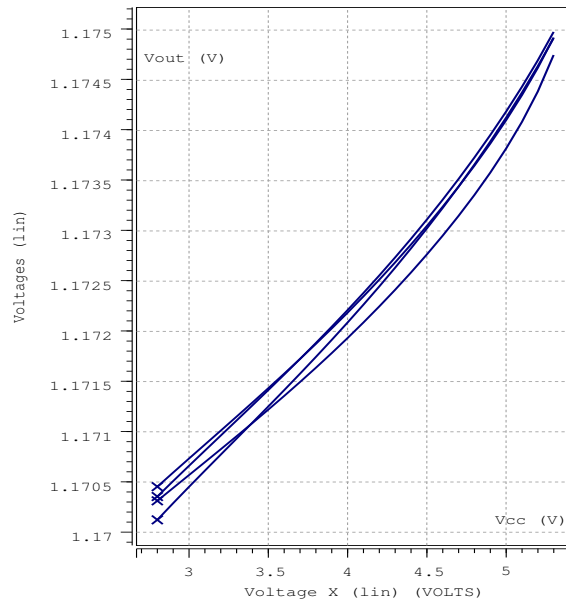


圖 4.13: 在FF 下普通能隙參考電壓電路輸出電壓對電源電壓變化的關係

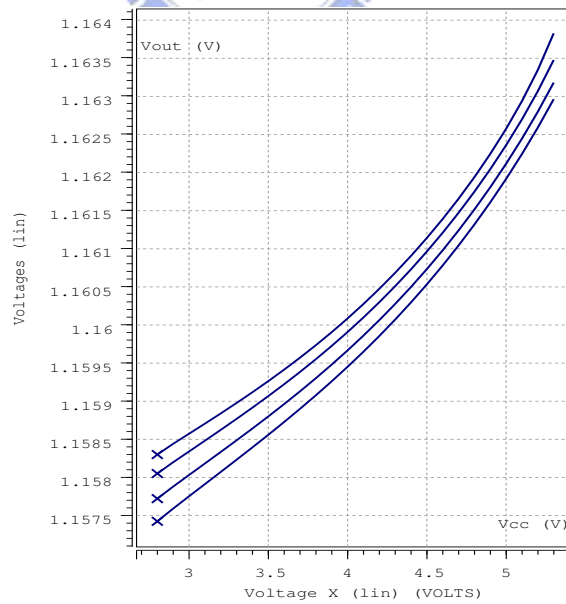


圖 4.14: 在FF 下曲線補償能隙參考電壓電路輸出電壓對電源電壓變化的關係

表 4.1: 二電路輸出電壓在 SS 與 FF 的模型下針對溫度及偏壓變化的模擬結果

model	普通能隙參考電壓電路		曲線補償能隙參考電壓電路	
	SS	FF	SS	FF
0°C ~ 70°C	12.8ppm/°C	2.7ppm/°C	20.8ppm/°C	9.12ppm/°C
3 V ~ 5 V	±0.58 mV/V	±0.9 mV/V	±0.7 mV/V	±1.0 mV/V

由圖4.7~4.14及表4.1中比較可知，製程的變動對曲線補償能隙參考電壓電路的影響較大，因為 NMOS 元件在 SS、FF 模型下會加重原本普通能隙參考電壓電路在 SS、FF 模型下就已存在的偏差，因為對此曲線補償能隙參考電壓電路本身而言，就是普通能隙參考電壓電路再加入一 NMOS 元件而成，而 NMOS 元件本身在 SS、FF 模型下所造成的偏差皆約7ppm/°C。

3.2節曾提及是爲了補償製程變動的影響而設計的，因為電阻在 SS Model 時阻值會增加+10%，我們將 (3.38) 式再寫一次：

$$\left(\frac{W}{L}\right) r_{ds}(T) \approx \frac{T^{\alpha_{\mu}}}{\mu_{n0} C_{ox} (V_{G0} + I_3 R_4 - V_{tn}(T_0) + \alpha_{VT}(T - T_0))} \quad (4.4)$$

可知若沒有加入 R_4 ，製程由 TT 變動到 SS，NMOS 的 V_G 並不會增加，但若有 R_4 的加入，NMOS 的 V_G 便會增加 $0.1 I_3 R_4$ V， $V_{ov} (= (V_{GS} - V_{tn}))$ 與沒有加入 R_4 的情況比較，增加了許多， V_{ds} 的溫度係數就隨著降低，原本變大的輸出電壓溫度係數也隨著降低；相反地，電阻在 FF Model 時阻值會減少-10%，原本會變小的輸出電壓溫度係數就會增加一些。

4.4 電源電壓訊號排斥比和輸出雜訊之分析

同樣地，爲了要求穩定的輸出參考電壓，我們希望電源電壓的訊號對輸出電壓的影響及電路本身各元件對電路產生的輸出雜訊也能越小越好。電源電壓不只有直流的成分，其中也包含了交流小訊號的成分，在能隙參考電壓電路正常工作的狀態下，電路本身對交流小訊號而言是一放大器，我們希望增益值很小，降低電源電壓的交流小訊號放大後對輸出電壓的影響，我們以電源電壓訊號排斥比爲參數來評判其影響的程度，電源電壓排斥比爲：

$$PSRR = 20 \log \left| \frac{v_{out}}{v_{cc}} \right| \text{ dB} \quad (4.5)$$

當 $PSRR$ 的值越小時，代表電源電壓訊號對輸出電壓的影響越小。同理，我們希望電路元件所產生的輸出雜訊也能越小越好，使得輸出的參考電壓能夠更穩定。

在電源電壓訊號排斥比方面，從圖4.15、4.16中可得知，當普通能隙參考電壓電路加了一個 NMOS 元件後成了曲線補償能隙參考電壓電路，NMOS 元件對整個電路的電源電壓訊號排斥比並沒有太大的影響，曲線補償能隙參考電壓電路的電源電壓訊號排斥比的效能還是相當地優良。

而在輸出雜訊方面也是，如圖4.17、4.18，NMOS 元件是有產生了點輸出雜訊，但並不顯著，曲線補償能隙參考電壓電路的輸出雜訊還是相當地小。

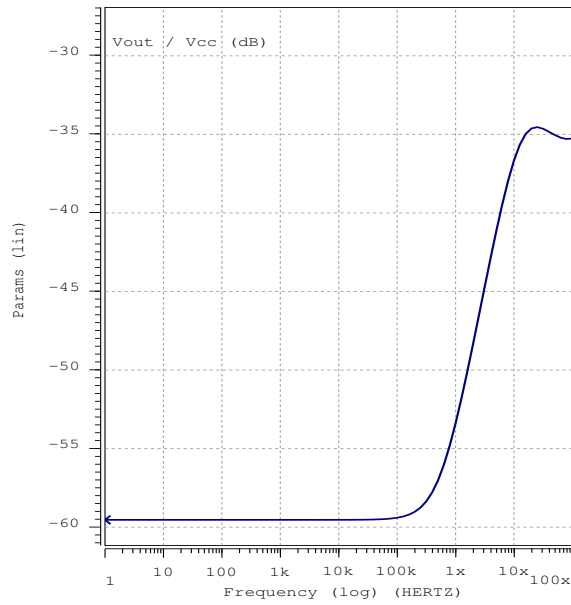


圖 4.15: 普通能隙參考電壓電路電源電壓訊號排斥比

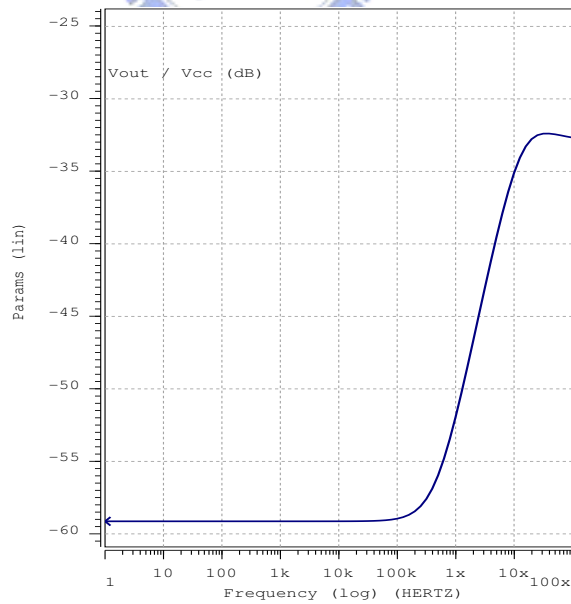


圖 4.16: 曲線補償能隙參考電壓電路電源電壓訊號排斥比

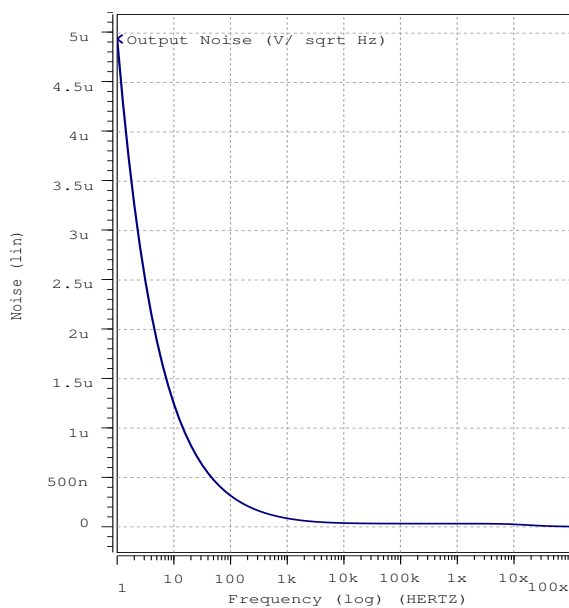


圖 4.17: 普通能隙參考電壓電路輸出雜訊

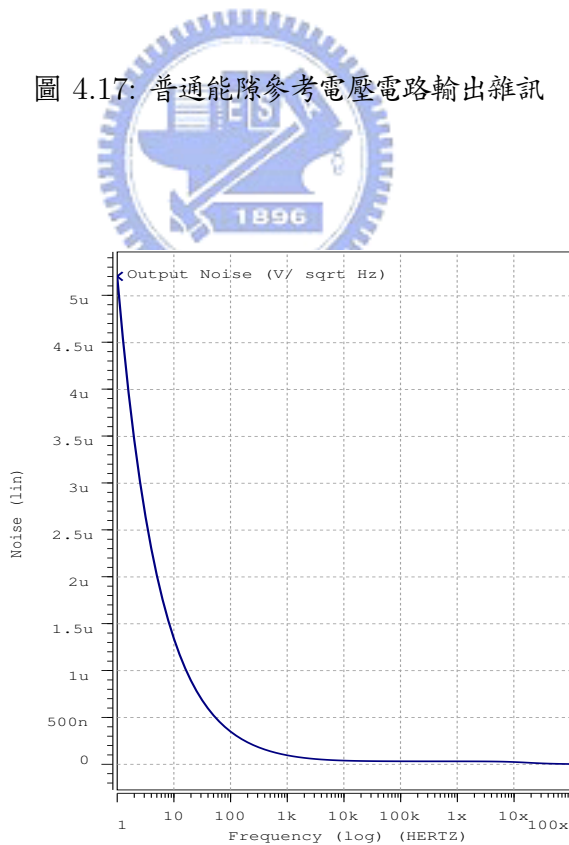


圖 4.18: 曲線補償能隙參考電壓電路輸出雜訊

第 5 章

曲線補償能隙參考電壓電路之佈局結果

5.1 系統佈局結果

本論文所設計的曲線補償能隙參考電壓電路乃是經由 TSMC 0.35 μm 3P3M SiGe BiCMOS 製程完成下線動作，整體電路佈局如圖5.1所示，核心電路加上標準 I/O Pad 後總共佔用的晶片面積大約 $0.476 \times 0.394\text{mm}^2$ ，並以 Side Braze 18Pin 包裝方式完成晶片封裝。

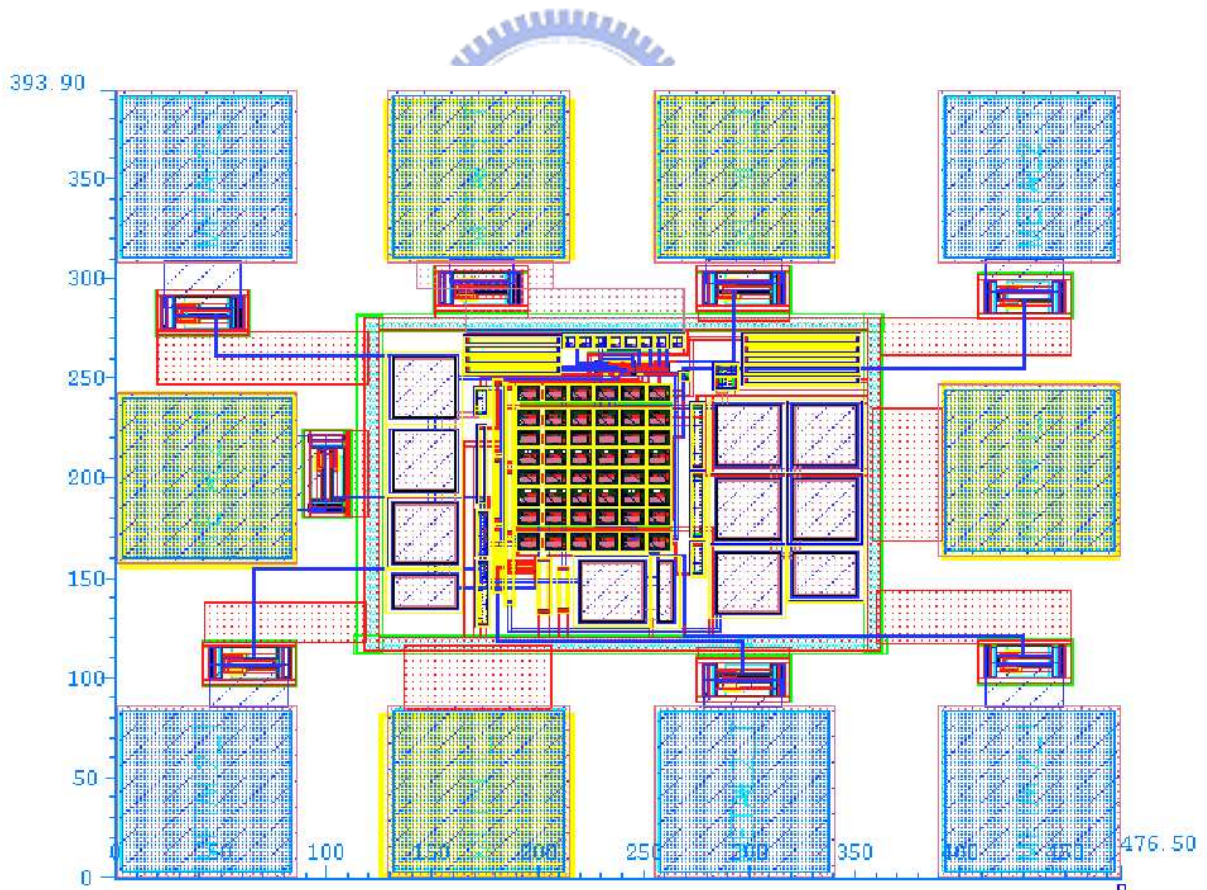


圖 5.1: 曲線補償能隙參考電壓電路佈局圖

5.2 規格列表

此曲線補償能隙參考電壓電路各重要參數列表如下：

表 5.1: 曲線補償能隙參考電壓電路規格列表

參數	測試條件	最小值	典型值	最大值	單位
電源電壓	$25^{\circ}C$	3.0	3.3	5.0	V
供應電流	$25^{\circ}C$		443.6		μA
TC_F	$0^{\circ}C \sim 70^{\circ}C$		0.2		$ppm/^{\circ}C$
Line Regulation	$25^{\circ}C$		± 0.75		mV/V
PSRR	100Hz		-59		dB
	100k Hz		-59		dB
	1M Hz		-52		dB
Output Noise	100Hz		400n		V/\sqrt{Hz}



第 6 章

結論與未來展望

6.1 結論

本文提出一新的架構, 主要在減少能隙參考電壓電路受溫度變化的影響, 其補償 V_{BE} 非線性項的概念特別被稱為曲線補償 (Curvature-Compensated)。首先針對 NMOS 元件, 分析其對溫度變化的特性, 以推測其加入並補償普通能隙參考電壓電路的可能性; 接著設計它加入原電路的方式, 推導其數學理論, 確認其可行性, 這當中也常藉著 SPICE 的輔助, 反覆地進行模擬來求證, 也利用了最小平方誤差法的曲線近似來增加我們分析時的便利性, 在不斷的嘗試與挫敗之中, 對原本不了解的細節也漸漸有了概念, 最後建構起一完整的電路架構及分析的步驟。實現出來後的新電路在針對溫度變化的效應上確實有了很大的改進, 比普通能隙參考電壓電路的溫度係數降低十倍左右 ($0.2 \text{ ppm}/^\circ\text{C}$), 但在電源電壓變化及製程變動方面的表現卻稍微變差了。最後並已利用國家晶片中心(CIC) 所提供的 TSMC $0.35\mu\text{m}$ 3P3M SiGe BiCMOS 製程完成下線。

6.2 未來展望與建議

在此曲線補償能隙參考電壓電路中, 溫度變化對輸出參考電壓的影響已大幅降低, 可惜的是在電源電壓變化及製程變動對輸出參考電壓的影響方面, 卻也變差了一些, 雖然 *Trade-off* 在類比 IC 設計中是不可避免的, 只要願意犧牲心血和時間設計, 或是在電路中犧牲其他較不重要的參數, 或依賴製程技術、新材料的發現, 要同時提升這些重要的參數是可以做得到的。關於電源電壓變化, 可試著在 Q_2 和 R_{13} 設計一個與 M_{res} (見圖3.10) 匹配的 NMOS 元件, 使得兩邊在溫度變化後的阻值仍然匹配, 如此 I_2 才不會因為那些許的不匹配大量的增加而使得 I_1 跟隨著大量增加, 輸出參考電壓隨著電源電壓的變動也就降低了。而關於製程變動, 由於在研讀文獻中, 曾讀到文獻中設計一系列阻值不同的電阻分別接到數個 I/O PAD, 我們也可沿用這設計, 當我們製程變動時, 可以藉連接 I/O PAD 來使用這些電阻與 R_1 、 R_2 串聯或並聯, 以補償製程變動的影響。以上就是我的一些粗淺的建議。

參考文獻

- [1] R. J. Widlar “New developments in IC voltage regulators,” *IEEE J. Solid-State Circuits*, vol. SC-6, pp. 2-7, Feb. 1971.
- [2] P. R. Gray, “*Analysis and Design of Analog Integrated Circuits*,” John Wiley & Sons, 2001.
- [3] B.-S. Song and P. R. Gray, “A precision curvature-compensated CMOS bandgap reference,” *IEEE J. Solid-State Circuits*, vol. SC-18, pp. 634-643, Dec. 1983.
- [4] I. Lee, G. Kim, and W. Kim, “Exponential curvature-compensated BiCMOS bandgap reference,” *IEEE J. Solid-State Circuits*, vol. 29, pp. 1396-1403, Nov. 1994.
- [5] G. A. Rincon-Mora and P. E. Allen, “A 1.1-V current-mode and piecewise-linear curvature-corrected bandgap reference,” *IEEE J. Solid-State Circuits*, vol. 33, pp. 1551-1554, Oct. 1998.
- [6] J. M. Audy, “Bandgap voltage reference circuit and method with low TCR resistor in parallel with high TCR and in series with low TCR portions of tail resistor,” U. S. Patent 5,292,122, March 1994.
- [7] G. A. Rincon-Mora, *Voltage References-From Diodes to Precision High-Order Bandgap Circuits*, New York: Wiley, 2002.
- [8] K. N. Leung, K. T. Mok, and C. Y. Leung, “A 2-V 23- μ A 5.3-ppm/ $^{\circ}$ C Curvature-Compensated CMOS Bandgap Voltage Reference,” *IEEE J. of Solid-State Circuits*, vol. 38, No. 3, March 2003.
- [9] I. M. Filanovsky, and Ahmed Allam, “Mutual Compensation of Mobility and Threshold Voltage Temperature Effects with Applications in CMOS Circuits,” *IEEE Transactions on Circuit and Systems-I: Fundamental Theory and Applications*, vol. 48, NO. 7, July 2001.

- [10] P. Malcovati, F. Malobertu, C. Fiocchi, and M. Pruzzi, "Curvature-Compensated BiCMOS Bandgap with 1-V Supply Voltage," *IEEE J. of Solid-State Circuits*, vol. 36, No. 7, March 2001.
- [11] S.Y. Chin, C.Y. Wu, "A New Type of Curvature-Compensated CMOS Bandgap Voltage References," *Int. Symposium on VLSI Technology, Systems, and Applications*, pp. 398-402, May 1991.
- [12] K. C. Tiew, J. Cusey*, R. Geiger, "A Curvature Compensation Technique for Bandgap Voltage References Using Adaptive Reference Temperature," *IEEE International Symposium on Circuits and Systems*, vol.4, pp. 265-268, May 2002.
- [13] C. Popa and O. Mitrea, "Optimal Curvature-Compensated BiCMOS Bandgap Reference," *Proceedings of the 2nd International Symposium on Image and Signal Processing and Analysis*, pp. 507-510, June 2001.
- [14] J. P. C. Cajueiro and A. Einstein, "CMOS Bandgap with Base-Current Thermal Compensation," *Proceedings of the 15th Symposium on Integrated Circuits and Systems Design*, pp. 345-349, Sept. 2002.

