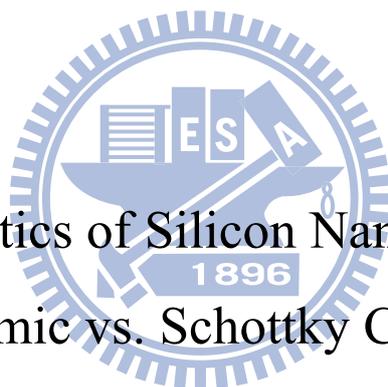


國立交通大學

奈米科技研究所

碩士論文

矽奈米線元件:歐姆與蕭特基介面比較



Characteristics of Silicon Nanowire Devices:
Ohmic vs. Schottky Contacts

研究生：廖明莉

指導教授：許鈺宗 博士

中華民國九十九年七月

矽奈米線元件:歐姆與蕭特基介面比較

Characteristics of Silicon Nanowire Devices:
Ohmic vs. Schottky Contacts

研究生：廖明莉

Student : Ming-Li Liao

指導教授：許鈺宗

Advisor : Jeng-Tzong Sheu



A Thesis

Submitted to Department of Institute Nanotechnology

College of Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master

in

Nanotechnology

July, 2010

Hsinchu, Taiwan

中華民國九十九年七月

矽奈米線元件:歐姆與蕭特基介面比較

學生：廖明莉

指導教授：許鈺宗 博士

國立交通大學

奈米科技研究所

摘 要

近幾年來各式各樣的感測器已廣泛的被許多研究團隊做為研究，包含如何使元件的感測度提升。現今元件皆以微小化邁進，奈米線的縮小不僅可以降低元件體積，增加元件製作密度，更可利用元件之高表體比特性，提升元件對表面電位改變之靈敏度。本研究建立於之前的研究基礎上，同時建立 N 型以及 P 型的歐姆界面與蕭特基界面懸浮奈米線元件，並將奈米線(100 奈米)的直徑經氧化方式成功的縮小到約 22 奈米左右。在考量與現今微電子製程的配合下，本研究選用鎳矽化物(Nickel-silicide)做為金屬/半導體蕭特基界面之金屬部分。金屬/半導體蕭特基界面元件與歐姆界面元件對載子傳輸之影響亦在本論文中探討；可以發現不論是 N 型或是 P 型結構的蕭特基界面元件，在元件表面鍵結帶電分子之後電性所表現出來的差異都比歐姆界面的元件還要優異。最後本研究運用帶電分子 APTS 與 NTA 鍵結在元件表面上，當表面接上不同之帶電分子時，將形成類似上閘極(Top gate)之結構，進而影響元件之電流電壓特性，據此來比較四種不同元件的感測度。無論從實驗與實作來看，蕭特基界面元件確實為一高靈敏度之感測元件，在未來應可成為生物感測器的主要元件之一。

Characteristics of Silicon Nanowire Devices:

Ohmic vs. Schottky Contacts

Student : Ming-Li Liao

Advisors : Dr. Jeng-Tzong Sheu

Department (Institute) of Nanotechnology

National Chiao Tung University

ABSTRACT

In recent years, a variety of sensors with different sensing mechanisms have been proposed by many research teams to enhance the sensitivity in very low concentration. Modern electronic devices especially nanowire devices possess properties of high surface to volume ratio and high device density in device fabrication so that array of devices can be easily prepared. In this thesis, suspended N-type and P-type silicon nanowire devices of Ohmic contacts and Schottky contacts were prepared and characterized. The nanowire diameter are successfully reduced to ca. 22 nm via thermal oxidation. Carrier transport mechanisms of Metal/semiconductor Schottky contacts and Ohmic contacts devices were also evaluated and compared based on their transconductance. For CMOS compatibility, nickel was chosen to form nickel silicide and Schottky contacts with silicon. Finally, different charged molecules, NTA and APTS, were bound onto the surface of device to demonstrate the sensitivities of different devices. Based on sensitivities and sensing mechanisms of the four devices, the Schottly contact devices present higher sensitivity. It is believed that the nanowire devices with Schottky contacts are suitable for future applications.

誌 謝

首先最感謝的是恩師 許鈺宗 博士當我指導教授，研究期間給我很大的研究自由，讓我可以自由發揮，並提供學生良好的研究環境與資源，也感謝老師在碩士生涯中一路叮嚀和指導，讓我可以很順利的完成碩士學位。

感謝實驗室中所有的學長，不管在我的知識或實驗上都給予我很多的支持與幫助！特別感謝帶我做研究的學長 振嘉學長，謝謝他對於我碩士生涯的辛苦指導及建議。感謝柏鈞學長幫忙提供的矽奈米線，讓我元件可以順利完成。感謝皓恆學長在實驗機台操作上的幫忙，跟學弟妹感情都很好。感謝治廷學長在我剛進入實驗室時教我許多製程方面的原理以及帶我跑實驗流程。感謝大我一屆的學長姐，履安、柏勳、盈潔、昭睿在我還是碩一時傳授許多實驗技巧和實驗經驗傳承。

感謝實驗室所有的學長、同學與學弟妹，東育、振翔、珊聿、以倫、新怡、子瑄、俊良、于聖、承樺，感謝你們在碩士班的兩年裡，陪我一起辛苦，一起歡笑，有了你們的陪伴，讓我的碩士生涯過得更充實。最後要感謝我的父母親，總是在我身後給我支持，從小到大從不給我壓力，讓我走自己想走的路，訓練我獨立自主的能力。你們無止盡地付出是我今天能拿到學位的力量泉源，謝謝你們。

目 錄

摘 要	I
ABSTRACT	II
誌 謝	III
目 錄	IV
表目錄	VI
圖目錄	VII
第一章 緒論	1
1-1 前言	1
1-2 矽奈米線生物感測器	2
1-3 矽奈米線蕭特基界面感測器	5
1-4 金屬矽化物	7
1-5 奈米線回顧	9
1-6 論文撰寫大綱	11
第二章 元件的製作與量測方式	13
2-1 元件製作	13
2-1-1 N 型與 P 型的鎳矽化物蕭特基電晶體製作流程	14
2-1-2 N 型與 P 型的歐姆界面電晶體製作流程	15
2-1-3 表面修飾化學分子	16
2-2 量測與分析所使用的儀器與方法	17
2-2-1 鎳矽化物(Nickel-silicide)材料特性分析	17
2-2-2 電性量測方式	18
2-3 載子傳輸機制	19
2-3-1 載子傳輸機制	21
2-3-2 蕭特基障礙高度的不理想效應	21

2-3-3 蕭特基二極體 電流-電壓關係式	23
2-4 歐姆界面與蕭特基界面能帶圖	26
2-5 矽奈米線直徑測試方式	27
第三章 實驗結果與討論	33
3-1 鎳矽化物熱退火溫度測試	33
3-2 蕭特基位能障計算(電流-溫度法)	39
3-3 矽奈米線氧化作用測試	43
3-4 蕭特基界面與歐姆界面的元件電性	44
3-4-1 懸浮矽奈米線造成遲滯現象	45
3-4-2 閘極效應對元件電性的影響	49
3-5 化學分子修飾元件表面	52
第四章 結論與未來展望	62
4-1 結論	62
4-2 未來展望	63
參考文獻	64



表目錄

表 1-1、三種金屬矽化物之比較。.....	7
表 1-2、使用 VLS 機制長成奈米線寬度比較。.....	9
表 2-1、爐管反應溫度以及時間所生成的氧化層厚度。.....	28
表 2-2、線性區域與飽和區域的參數。.....	31
表 3-1、鎳矽化物的平均擴散速率。.....	36
表 3-2、元素成分比例表。.....	38
表 3-3、比較 N 型與 P 型的閘極效應。.....	52
表 3-4、比較臨界電壓的位移。.....	60



圖目錄

圖 1-1、矽奈米線場效電晶體生物感測器之感測機制示意圖[3]。.....	2
圖 1-2、Charles M. Lieber 團隊 pH 值感測之實驗結果[3]。.....	3
圖 1-3、Charles M. Lieber 團隊蛋白質感測之實驗結果[3]。.....	4
圖 1-4、奈米碳管蕭特基界面生物感測器[6]。.....	5
圖 1-5、奈米碳管蕭特基二極體及電流電壓特性圖[7]。.....	6
圖 1-6、鎳矽化物以不同溫度熱退火後的 XRD 圖[8]。.....	8
圖 1-7、使用氧化作用降低矽奈米線的流程圖[24]。.....	10
圖 1-8、矽奈米線剖面圖[24]。.....	11
圖 2-1、四種不同結構的電晶體。.....	13
圖 2-2、蕭特基界面電晶體示意圖。.....	15
圖 2-3、歐姆界面電晶體示意圖。.....	16
圖 2-4、奈米線蕭特基界面元件量測示意圖。.....	18
圖 2-5、奈米線歐姆界面元件量測示意圖。.....	18
圖 2-6、電子傳輸機制[28]。.....	19
圖 2-7、蕭特基能位障穿隧電流/熱游離輻射之電流比值圖[28]。.....	20
圖 2-8、在一個金屬-介電質界面處的影像電荷。.....	22
圖 2-9、具有一定電場，由於影像作用力所造成的位能勢扭曲示意圖[28]。.....	22
圖 2-10、蕭特基二極體電流-電壓圖。.....	23
圖 2-11、n 型之歐姆界面與蕭特基界面電晶體能帶圖。.....	26
圖 2-12、p 型之歐姆界面與蕭特基界面電晶體能帶圖。.....	27
圖 2-13、爐管反應溫度以及時間所生成的氧化層厚度關係圖。.....	28
圖 2-14、Deal-Grove Model 數學模型。.....	29
圖 2-15、線性區域以及飽和區域氧化層厚度不同算法。.....	30
圖 2-16、Deal-Grove Model 氧化層與時間的關係圖。.....	30

圖 3-1、奈米線蕭特基界面示意圖。.....	33
圖 3-2、鎳原子擴散至矽奈米線形成鎳矽化物[24]。.....	33
圖 3-3、奈米線蕭特基界面之電子顯微鏡俯視圖。.....	35
圖 3-4、(a)為 SEM 下的矽奈米線，分別在 Spectrum1 和 Spectrum2 這兩個點做 EDX 成分分析；(b)及(c)分別為 Spectrum1 及 Spectrum2 在矽奈米線及鎳矽化物奈米線進行 EDX 元素分析的結果。.....	37
圖 3-5、鎳矽化物晶格繞攝圖。.....	38
圖 3-6、鎳矽化物的變溫量測電流電壓圖。.....	39
圖 3-7、利用電流-溫度法所得到的線性圖形。.....	41
圖 3-8、利用電流-溫度法所得到的線性圖形。.....	42
圖 3-9、950°C 下不同溫度用 TEM 來觀察矽奈米線的直徑 (a)未經氧化的矽奈米線；(b)反應 15 分鐘後；(c)反應 30 分鐘後；(d)矽奈米線的寬度與氧化時間的關係圖。.....	43
圖 3-10、光學顯微鏡拍攝元件之俯視圖。.....	44
圖 3-11、光學顯微鏡拍攝元件奈米線之俯視圖。.....	45
圖 3-12、使用 SEM 拍攝元件圖。.....	45
圖 3-13、使用 SEM 拍攝懸浮的矽奈米線圖。.....	46
圖 3-14、N 型的歐姆界面電流電壓特性圖。.....	47
圖 3-15、N 型的蕭特基界面電流電壓特性圖。.....	47
圖 3-16、P 型的歐姆界面電流電壓特性圖。.....	48
圖 3-17、P 型的蕭特基界面電流電壓特性圖。.....	48
圖 3-18、N 型奈米線歐姆界面元件之電流電壓特性圖。.....	50
圖 3-19、P 型奈米線歐姆界面元件之電流電壓特性圖。.....	50
圖 3-20、N 型奈米線蕭特基界面元件之電流電壓特性圖。.....	51
圖 3-21、P 型奈米線蕭特基界面元件之電流電壓特性圖。.....	51

圖 3-22、N 型歐姆接面電晶體表面修飾 APTS 前後電流電壓特性圖。.....53

圖 3-23、P 型歐姆接面電晶體表面修飾 APTS 前後電流電壓特性圖。.....53

圖 3-24、N 型蕭特基接面電晶體表面修飾 APTS 前後電流電壓特性圖。.....54

圖 3-25、P 型蕭特基接面電晶體表面修飾 APTS 前後電流電壓特性圖。.....55

圖 3-26、N 型歐姆接面電晶體表面修飾 NTA 前後電流電壓特性圖。.....56

圖 3-27、P 型歐姆接面電晶體表面修飾 NTA 前後電流電壓特性圖。.....56

圖 3-28、N 型蕭特基接面電晶體表面修飾 NTA 前後電流電壓特性圖。.....57

圖 3-29、P 型蕭特基接面電晶體表面修飾 NTA 前後電流電壓特性圖。.....58



第一章

緒論

1-1 前言

隨著科技的進步，可以開始發現到原來材料的特性並非一成不變，當尺度縮小變成奈米等級時，物質的特性會發生巨大的變化。而奈米材料(Nanomaterial)的定義就是材料的特徵長度在一百奈米以下，此長度可以是粒子的直徑、晶粒的尺寸、薄膜的厚度和電子元件中導線的寬度等等。廣義而言，材料或是其建構單位(Building block)至少有一維度之特徵尺寸介於一到一百奈米級可稱為奈米材料，而研究奈米尺度下效應的科學就叫做奈米科技。

近幾十年來半導體科技蓬勃發展，使人類生活得以飛躍式地進步；在我們生活中，舉凡生活消費電子產品、交通設備、醫療設備、國防工業等，我們都享受著半導體科技所帶給我們生活上之便利與改善。不論是在藥學或生醫工程領域上，發展一種同時具備操作簡單、分析快速且結果準確，可進行多物種、多樣品的分析監測方法，一直是科學家長久努力的目標，這個從前看似遙不可及的技術，隨著生物感測器的發展而漸漸地實現。自然界中有許多特殊的分子，包括微生物、酵素、抗體等，由於他們對於特定物質具有反應性高，反應時間短、靈敏度佳及專一性高的特性，使得他們的在生物感測的應用愈來愈受重視，而生物感測器[1, 2]就是結合此類生物辨識分子與適當電子傳遞元件(如電學、光學、聲學)的一種裝置，使其能夠專一、精確快速地分析待測物。

根據摩爾定律(Moore's Law)，一顆晶片上的電晶體數目會每 18 個月成長一倍，元件大小也會隨之微縮，目前為止半導體業已經即將從 CMOS 45 奈米量產技術延伸至到 32 奈米。當傳統的一維平面電晶體(Planar transistor)結構微縮到一定的尺度下，通道便跟著微縮，將遭遇越來越嚴重的漏電流問題，稱為短通道效應或窄通道效應，因此許多研究試圖另闢新路，找出解決之道。在這裡我們希望

使用蕭特基界面(Schottky contact)，來提升蕭特基的位能障(Schottky barrier)對奈米線通道的控制能力，兼具高驅動電流(Drain driving current)及高開關電流比(On off ratio)。

1-2 矽奈米線生物感測器

在 2001 年，哈佛大學化學暨生化系的 Charles M. Lieber 團隊首先提出以化學氣相沉積成長(Vapor-Liquid-Solid, VLS)方法製造出矽奈米線[3]，將此奈米線組裝到晶片表面的電極上而形成場效應電晶體，應用於生物感測器的技術。因此，後續有許多的團隊都致力於開發一維奈米結構用來當作高靈敏之生物分子感測器，偵測許多微小物質，例如：離子、蛋白質以及 DNA 等等。

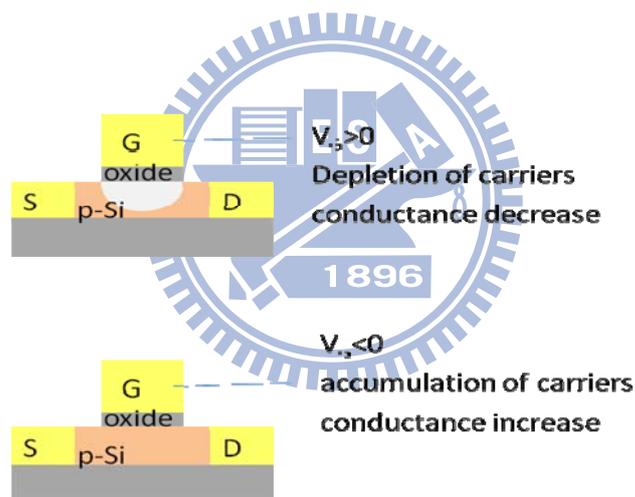


圖 1-1、矽奈米線場效電晶體生物感測器之感測機制示意圖[3]。

圖 1-1 為感測器之感測機制示意圖。因為在矽奈米線上鍵結帶電的分子等效於加上一個上電極，因為這裡所使用的是 P 型的通道，若 V_G 大於零的話，電流以及電導都會下降，如果 V_G 小於零的話，電流跟電導都會上升。

矽奈米線場效電晶體之感測原理首先被應用於 pH 值感測器，不同 pH 值會讓矽奈米線表面帶不同電荷，pH 值愈小代表溶液中 $[H^+]$ 愈多，則矽奈米線表面

帶愈多正電，則電導愈小；反之，pH 值越大代表溶液中 $[H^+]$ 愈少、 $[OH^-]$ 愈多，則矽奈米線表面帶越多負電，則電導越大。Charles M. Lieber 之團隊在矽奈米線上修飾 APTMS，使矽奈米線的電導與 pH 值有線性關係，如圖 1-2，pH 值改變會造成矽奈米線的電導也跟著改變，即成為靈敏的 pH 值感測器。

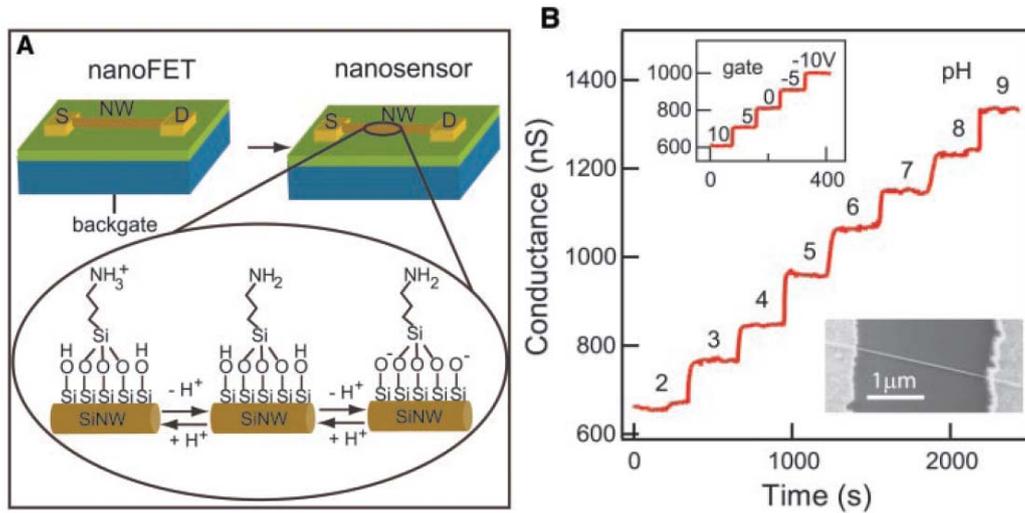


圖 1-2、Charles M. Lieber 團隊 pH 值感測之實驗結果[3]。

由於矽奈米線場效應電晶體極為靈敏，所以 Charles M. Lieber 團隊量測了不同濃度的 Streptavidin 蛋白質對奈米線的電導度如圖 1-3。奈米線上的載子密度 (Carrier density)，受到表面接著分子(例如：DNA 或是蛋白質)所帶電荷的影響，依據固態物理理論其載子會被 Depletion 或 Accumulation，進而改變奈米線的電導值。Charles M. Lieber 之團隊當時所使用之矽奈米線為 P 型矽，因此若接上矽奈米線之物質帶正電，則等效於對元件加上一上電極之正電壓，造成 P 型矽載子空乏，而使電晶體之電流及電導因此下降；同理，若接上之物質帶負電，則等效於對元件加上一上電極之負電壓，造成 P 型矽載子聚集，而使電晶體之電流及電導因此上升，達到其感測分子之目的。

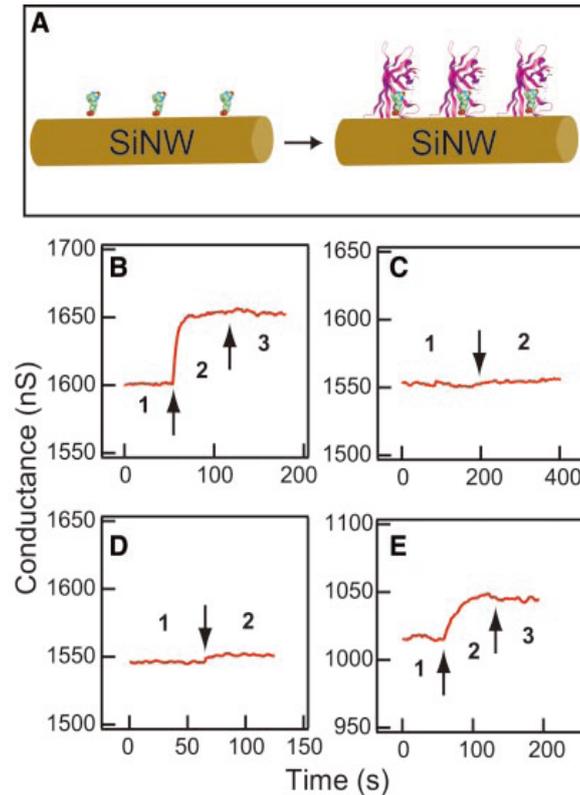


圖 1-3、Charles M. Lieber 團隊蛋白質感測之實驗結果[3]。

圖 1-3 即為 2001 年 Charles M. Lieber 團隊之實驗結果，感測目標為 Streptavidin。首先會在矽奈米線表面修飾 BSA-biotin，利用其與 Streptavidin 的生物專一性及帶電性(負電)，使矽奈米線場效應電晶體的電導上升，如圖 1-3B。圖 1-3C 為表面未修飾 BSA-biotin 矽奈米線電晶體元件，加上 Streptavidin 後因為沒有專一性，所以電性無明顯變化。圖 1-3D 為表面修飾另一種 d-biotin 的矽奈米線電晶體元件，因為與 Streptavidin 無專一性，所以電性也不會有任何影響，利用此結果可以證明矽奈米線電晶體感測器對生物專一性擁有良好的辨別度。而圖 1-3E 則表示當時此感測器對 Streptavidin 濃度感測極限為 25pM。此篇文獻的感測方法也將作為本研究矽奈米線蕭特基界面感測器的感測機制。

1-3 矽奈米線蕭特基界面感測器

近年來，許多一維的奈米結構生物感測器之研究使用奈米碳管作為材料[4, 5]。其中有一些研究利用金屬與奈米線之蕭特基界面作為感測器，藉由帶電之微小分子接至蕭特基界面，造成蕭特基界面之蕭特基能位障的改變，而使電性上有所改變。

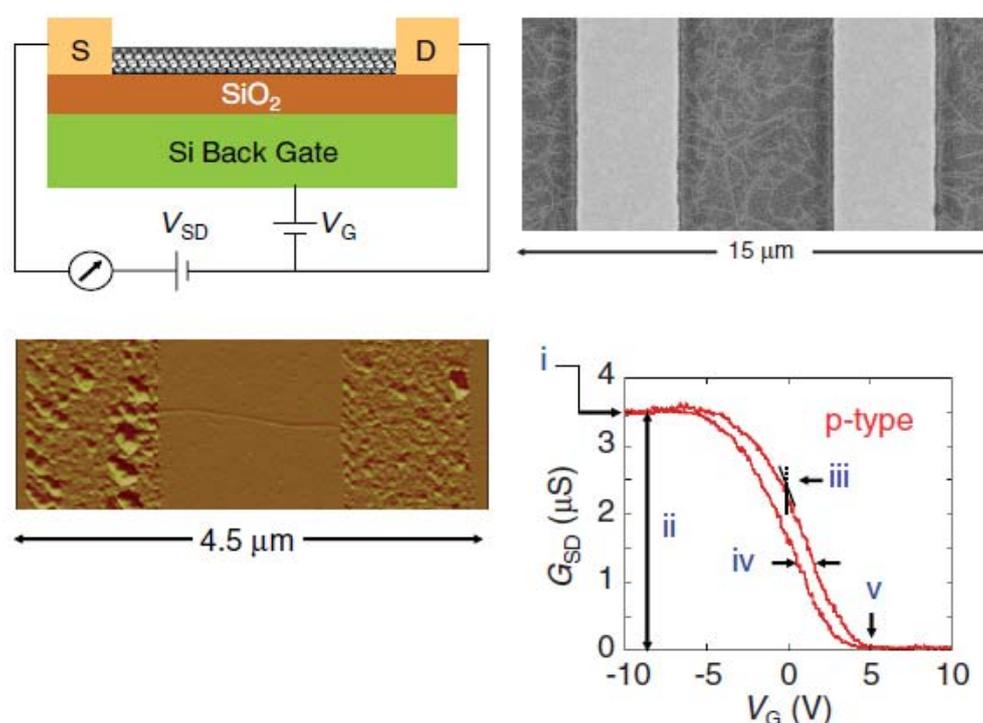


圖 1-4、奈米碳管蕭特基界面生物感測器[6]。

此篇為美國加州大學 NanoSystem 的團隊奈米碳管場效應電晶體應用於生物感測之研究。此篇文獻中強調分子在金屬和奈米碳管間，介面的蕭特基接觸 (Schottky Contact) 感測機制佔著很重要的角色，被吸附的分子可被此介面接觸產生變化靈敏的現象。透過金屬功函數 (Work function) 的不同會影響到金屬/奈米碳管的蕭特基介面，對整體元件電導質有重大的變化量。

無論是矽奈米線歐姆接面或蕭特基接面元件之生物感測器，主要都是利用表面接上帶電之生物分子，等效於加上一上閘極電壓。

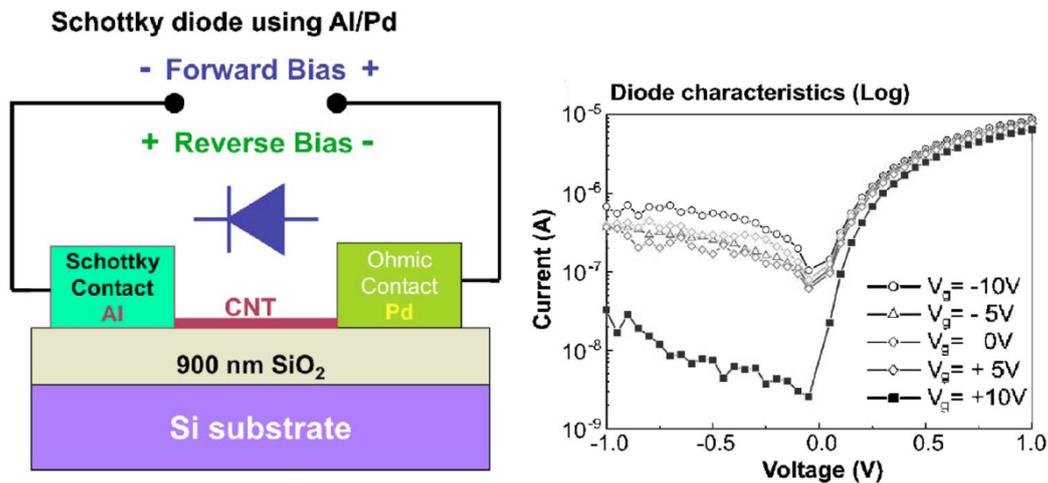


圖 1-5、奈米碳管蕭特基二極體及電流電壓特性圖[7]。

圖 1-5 即為一研究團隊於 2005 年所發表之奈米碳管蕭特基二極體測試圖及加入不同閘極(背電極)電壓所得到之電流電壓特性圖。其實驗所做的奈米碳管為 P 型半導體。由量測結果可知當加入之閘極電壓由-10 伏特加至+10 伏特時，造成電流持續的下降；且在正向偏壓($V_D > 0$)時，閘極效應所造成電流的改變較不明顯，然在逆向偏壓時($V_D < 0$)，閘極效應所造成電流之變化相當的顯著。此篇文獻結論為，蕭特基二極體順向和逆向導通電壓隨閘極大小增加而增加，導通電壓和閘極電壓為函數關係。多數載子數量在順向偏壓時，隨閘極變化之改變量較小，而在逆向偏壓操作下有較大閘極效應。推論當加入不同閘極電壓時，造成其蕭特基接面之蕭特基能位障高度改變，進而造成電性之改變。

藉由以上文獻可知，經表面修飾後的奈米線蕭特基二極體，利用表面接上帶電之生物分子等效於加上一上閘極電壓。奈米線蕭特基二極體電流特性易受閘極

影響，尤其當元件操作在逆向偏壓下時電導改變量更是明顯。推測奈米線蕭特基二極體可作為較佳之生物感測器應用。未來實驗中，也將針對蕭特基能位障高度受閘極效應之改變作深入探討，以確認蕭特基界面元件之感測機制。

1-4 金屬矽化物

對於蕭特基界面元件而言，金屬-半導體界面是相當重要的。若選用一般之金屬與半導體直接形成界面，可能會造成界面相當粗糙，且因此得到極大之漏電流[8]。一般會選用金屬之矽化物如 Ti-silicide (TiSi_2)、Co-silicide (CoSi_2)以及 Ni-silicide (NiSi)來形成蕭特基界面。

表 1-1、三種金屬矽化物之比較。

	Ti-silicide	Co-silicide	Ni-silicide
Silicidation temperature (°C)	800~950	550~900	400~500
Resistivity ($\mu\Omega\text{-cm}$)	12~14	16~18	14~16
Barrier height (eV)	0.61	0.68	0.70
Moving Species	Si	Co	Ni
Silicon Consumption (nm)			
Per nm of Metal	2.27	3.64	1.83
Silicon Formation (nm)			
Per nm of Metal	2.51	3.52	2.54

表 1-1 為三種最常見金屬矽化物的各項特性比較表，在此表可以看電阻率

(Resistivity)最低的為 Ti-silicide (TiSi_2)，然而將蕭特基界面元件縮小至奈米尺寸，屆時 Ti-silicide 將由於尺寸的降低而造成阻值(R_s)直線上升。Co-silicide (CoSi_2)與 Ni-silicide (NiSi)則沒有這方面的問題。相較之下，Ni-silicide 之電阻率較 Co-silicide 更低，所以最後選用 Ni-silicide 作為本研究蕭特基界面之金屬部份。

金屬矽化物一般皆使用快速熱退火(RTA)的方式形成，所以快速熱退火溫度的控制及選擇是相當重要的。

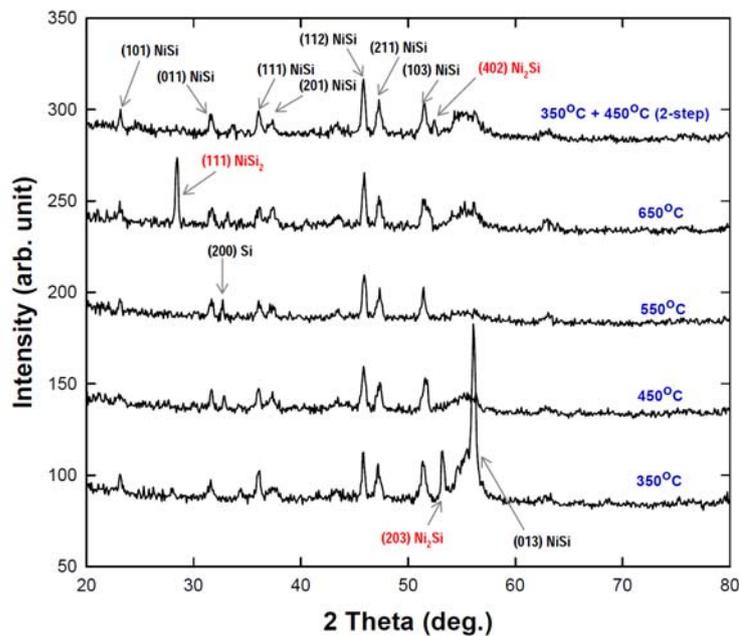


圖 1-6、鎳矽化物以不同溫度熱退火後的 XRD 圖[8]。

圖 1-6 為以各種不同溫度快速熱退火 30 秒，以 $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ (4:1) 100°C 去除未反應之金屬後，所得到之 X 光繞射分析儀(X-ray Diffractometer, XRD)圖[8]。由圖可知，以 650°C 快速熱退火 30 秒將形成 NiSi_2 之相， NiSi_2 會造成表面聚集及電阻的直線上升[9, 10, 11]；而以 350°C 快速熱退火 30 秒則形成 Ni_2Si 之相， 450°C 快速熱退火 30 秒則皆為 NiSi 之相。低電阻之 NiSi 相可在 400°C 至 500°C 穩定的形成[8]。而兩段式的快速熱退火製程(350°C 30 秒+ 450°C 30 秒)可降低蕭

特基二極體之漏電流及形成較低之能位障高度[12]。

1-5 奈米線回顧

奈米線技術的應用，包括生物感測元件[13]、奈米線記憶體[14]、奈米線薄膜電晶體[15]及 CMOS 元件，因為它的高表面積對體積比，體積固定下，表面積越大能吸附的面積也大，使其有很高的表面靈敏度用於感測方面。奈米線有許多製作方法，包括以光學微影 (KrF, ArF, DUV...)或電子束直寫[16]很快就能將奈米線製作出來，大大提升產能。

表 1-2、使用 VLS 機制長成奈米線寬度比較。

Year	Author	Nanowire diameter	After oxidation
2001	M. S. Gudiksen, J. Wang, and C. M. Lieber[17]	600nm	12nm
2002	J. Redwing, T. Mayer[18]	100nm	NO
2003	C. Li, Daihua, S. Han, X. Liu, T. Tang, and C. Zhou[19]	50nm	10nm
2006	N. Singh, A. Agarwal, L. K. Bera, T. Y. Liow, R. Yang, S. C. Rustagi, C. H. Tung, R. Kumar, G. Q. Lo, N. Balasubramanian, and D.L. wong[20]	50nm	NO
2006	P. Nguyen, S. Vaddiraju, and M. Meyyappan[21]	60nm	~5nm
2008	E. C. Dickey, T. E. Clark, X. hang, J. M. Redwing[22]	80nm	10nm

2009	H. K. Lin, H. A. Cheng, C. Y. Lee, and H. T. Chiu[23]	60nm	15nm
------	---	------	------

表 1-2 為近十年來使用蒸汽液體生長法(Vapor-Liquid-Solid, VLS)[22]來長成奈米線所能到達的寬度，之後繼續使用氧化作用使奈米線變得更細。實驗室在製作奈米線方面技術純熟，包括以電子束直寫，以及利用國家奈米元件實驗室裡的 G-line 微影機台，可供量產之最小線幅為 100 nm 的奈米線。因此本實驗使用國家奈米元件實驗室(National Nano Device Laboratories, NDL)來製作奈米元件。但是，若想要製作直徑更小的奈米線，最困難的是在製做過程中良好的控制奈米線的直徑以及形狀。因此選擇藉由氧化作用來降低奈米線的直徑，使用此方法必須先測量與計算乾式氧化(Dry oxide)爐管對於不同溫度的氧化速率為何。

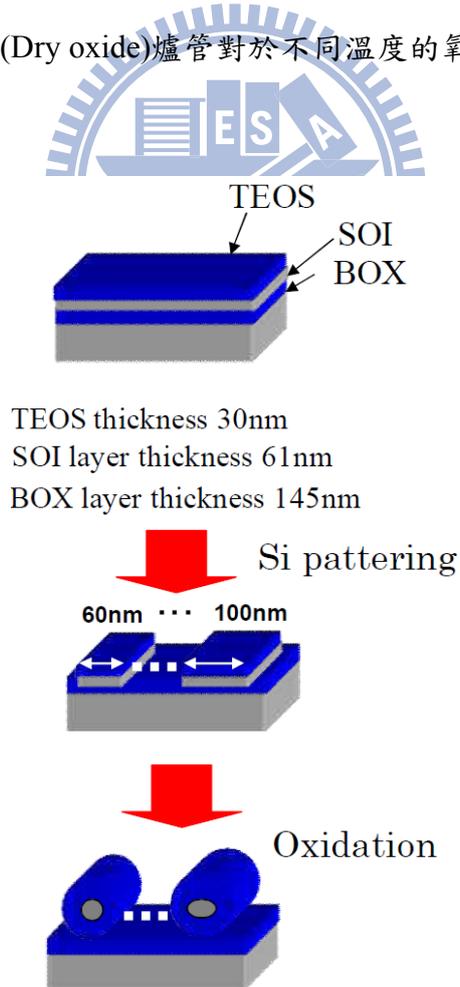


圖 1-7、使用氧化作用降低矽奈米線的流程圖[24]。

圖 1-7 是使用氧化作用的技術來降低系奈米線直徑的流程圖，首先在 SOI 上製作 60 nm 與 100 nm 的矽奈米線，接下來送去爐管做氧化作用[20, 25, 26]，之後矽奈米線就會因為被氧化而降低直徑。圖 1-8 為實際的 SEM 圖，上圖為氧化作用前的矽奈米線，大約是 60 nm 左右。下圖為氧化作用後的矽奈米線，經由多次的測試，矽奈米線最終可以降低到 20 nm 左右。

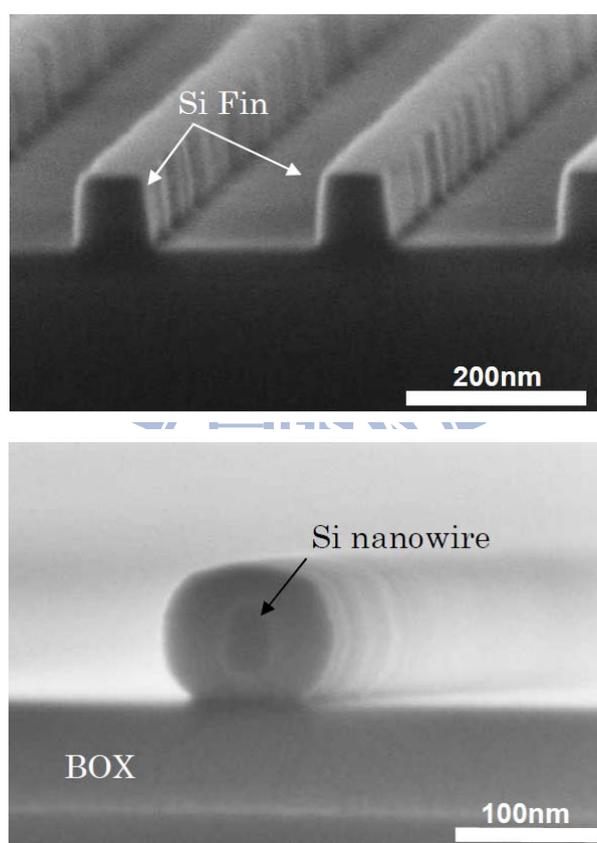


圖 1-8、矽奈米線剖面圖[24]。

1-6 論文撰寫大綱

本論文分為四個章節。第一章為「緒論」，首先介紹感測器及其發展。接著文獻討論，包含矽奈米線應用於感測上之技術介紹以及回顧近年來奈米結構生物感測器之研究。對於蕭特基接面而言，金屬與半導體接面相當重要，因此也將對金屬矽化物的特性做介紹。

第二章為「元件製作與量測分析」，此章分為兩部分。首先為元件製作，主要是敘述奈米線歐姆界面與蕭特基界面元件的製作流程、表面修飾時的化學使用步驟。量測分析部份，介紹研究中所做的材料分析實驗、元件進行電性量測時示意說明以及蕭特基位障高度計算求取方法。本章將詳細討論歐姆界面以及蕭特基界面的載子傳輸機制和感測機制。

第三章為「實驗結果與討論」，展示所作元件材料特性、電性量測分析結果，其中材料特性包含元件之電子顯微鏡下俯視圖、穿透式顯微鏡圖、成分分析檢測，以便觀察蕭特基界面，本實驗所使用的是鎳矽化物的組成成份以及相位；電性分析則為 I_D-V_D 、 I_D-V_G 以及變溫量測下結果。關於遲滯現象的發生原因以及解決方法也在本章有做分析與探討，同時也展示利用 APTS 與 NTA 兩種帶不同電荷的分子來鍵結在元件上，測試奈米線歐姆界面與蕭特基界面的元件之感測結果。

第四章為「結論與未來展望」，會將本論文所達到的成果作個總結。針對此歐姆界面與蕭特基界面奈米線感測器，提供實際實驗上元件在設計及製造上該注意什麼的建議。



第二章

元件的製作與量測方式

2-1 元件製作

本次實驗所選用的是 Silicon on insulator (SOI)(100)之晶片。而樣品 SOI 晶片為長 $10\ \mu\text{m}$ 、寬 $80\ \text{nm}$ 、高 $50\ \text{nm}$ 的矽奈米線在 $150\ \text{nm}$ 厚二氧化矽絕緣層之上，製作出四種不同的結構分別是：N 型與 P 型的鎳矽化物蕭特基界面電晶體、N 型與 P 型的歐姆界面電晶體。

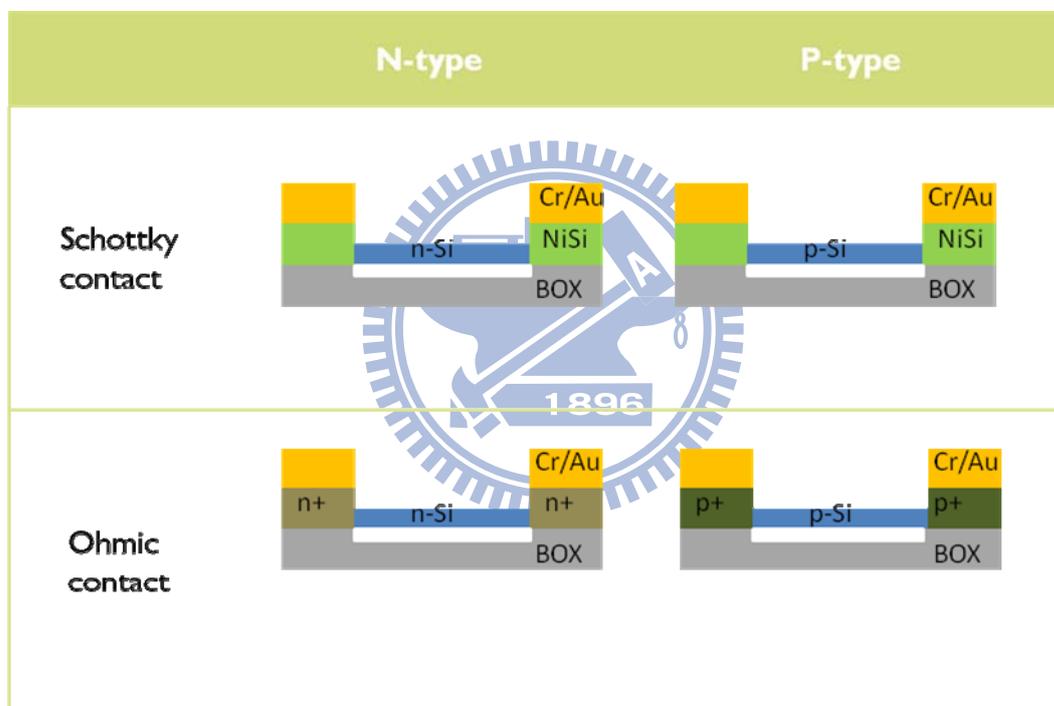


圖 2-1、四種不同結構的電晶體。

圖 2-1 為本實驗的四種元件的示意圖，奈米線的部分會先使用氧化作用的方式降低到直徑約為 $22\ \text{nm}$ 左右，為了使之後鍵結帶電分子的表面積增大，於是用光阻保護其餘的部分後泡 BOE 掏掉下層的氧化層使奈米線呈現懸空的狀態，其中因為 BOE 的蝕刻速率為 $800\ \text{\AA}/\text{min}$ ，因此泡了 $3\ \text{min}$ 希望可將奈米線下面的氧化層蝕刻掉，最後會鍍上金電極以便量測。

2-1-1 N 型與 P 型的鍍矽化物蕭特基電晶體製作流程

本次實驗所選用的是 SOI(100)之晶片。而晶片上為長 10 μm 、寬 80 nm、高 50 nm 的矽奈米線在 150 nm 厚二氧化矽絕緣層之上，之後再依照以下不同的製程來製作出 N 型以及 P 型的蕭特基界面元件。

首先將晶片浸泡在 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=3:1$ 的溶液中 10 分鐘，並且使溶液溫度在 75~85°C 之間。這是在佈植離子前先做清洗的動作，而此溶液擁有分解有機物的作用。再來在元件上佈植磷以及硼，劑量皆為 10^{18} cm^{-3} ，分別是 N 型以及 P 型。佈植完將晶片做標準濕式清潔(RCA clean)的動作，因為進爐管前必須將晶片清洗乾淨。RCA clean 的步驟如下：1. DI water rinse，5 分鐘。2. $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=3:1$ ，(10 分鐘，75~85°C)目的是分解、氧化有機物。3. DI water rinse，5 分鐘。4. $\text{HF}:\text{H}_2\text{O}=1:100$ ，室溫下，目的是去除 chemical oxide。5. DI water rinse，5 分鐘。6. $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$ (SC1)，(煮 10 分鐘，75~85°C)目的是去除微小粒子。7. DI water rinse，5 分鐘。8. $\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:6$ (SC2)，(煮 10 分鐘，75~85°C)目的是去除鹼金屬離子。9. DI water rinse，5 分鐘。10. $\text{HF}:\text{H}_2\text{O}=1:100$ ，室溫下目的為去除 chemical oxide。11. DI water rinse，5 分鐘。最後用 Spinner 旋乾機旋乾。

接下來將晶片放入 Dry oxide 爐管，溫度調控在 950°C，氧化作用 30 分鐘。在長氧化層同時也做活化所佈植離子的動作。接下來清洗晶片，要做掏空底部的氧化層(Buried oxide, BOX)的黃光(Lithography)，步驟如下：1. 上六甲基二矽氮烷(Hexamethyldisilane, HMDS)，目的是為了讓 6400 光阻附著性更好。2. 旋塗光阻(Spinner)，在本次實驗所使用的是 6400 正光阻，一開始會先慢轉 500rpm 10 秒鐘為了使光阻能平均散佈在晶片上，接下來會快轉 3500 rpm 30 秒鐘控制光阻的厚度。3. 軟烤(Soft Bake)90°C 90 秒鐘，目的是去除光阻裡的有機溶劑並且增加與晶片的附著力。4. 曝光(Exposure, EXP)，定義所要去除光阻的區域。5. 顯影以及定影(Development, DEV)，使照光的部分被分解去除。6. 顯微鏡檢視，確認是否有對準所需定義的區域。

再來將晶片泡入 BOE 溶液中約 3 分鐘，蝕刻掉矽奈米線下面的 BOX，形成懸浮的矽奈米線。然後浸入 ACE 溶液放在超音波震盪器裡振 10 分鐘，目的為去掉光阻。接下來做矽化物的黃光(Lithography_silicide)之後，使用濺鍍機(Sputter)鍍 35 nm 的鎳。用丙酮(Actone, ACE)去掉光阻。使用金屬快速退火爐(Metal Rapid Thermal Annealing, MRTA)，550°C 30 秒鐘，讓鎳和矽形成鎳矽化物。做黃光前要先清洗晶片表面，之後做鍍金屬的黃光顯影製程(Lithography_Metal)，接下來使用濺鍍機鍍 100 nm 的金來當做電極的部分。用 ACE 去光阻後，Anneal 400°C，30 分鐘使金屬的接面可以更為平滑減少漏電。圖 2-2 為矽奈米線蕭特基接面元件製作完成後的示意圖。

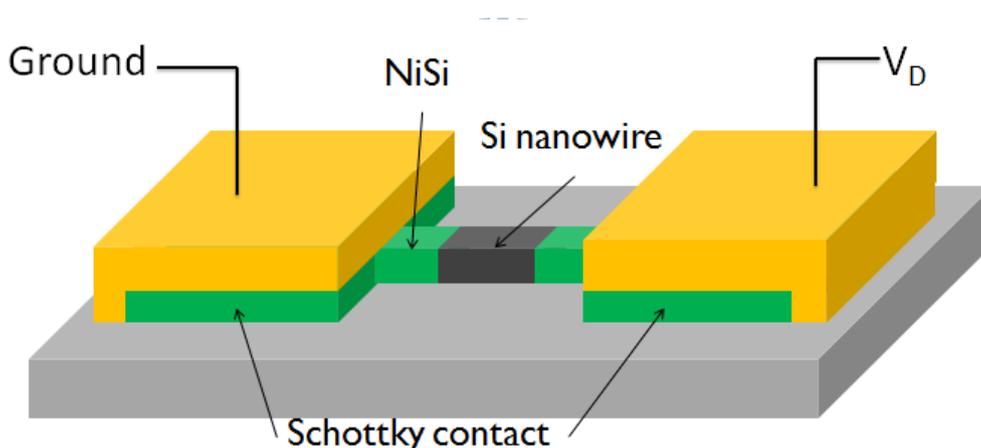


圖 2-2、蕭特基接面電晶體示意圖。

2-1-2 N 型與 P 型的歐姆接面電晶體製作流程

本次實驗所選用的是 SOI(100)之晶片。而晶片上為長 10 μm 、寬 80 nm、高 50 nm 的矽奈米線在 150 nm 厚二氧化矽絕緣層之上，之後在依照以下不同的製程來製作出 N 型以及 P 型的歐姆接面元件。

首先將晶片浸泡在 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=3:1$ 的溶液中 10 分鐘，並且使溶液溫度在 75~85°C 之間。這是在佈植離子前先做清洗的動作，而此溶液擁有分解有機物的作用。再來在元件上佈植磷以及硼，劑量皆為 10^{18}cm^{-3} ，分別是 N 型以及 P 型。

佈植完將晶片做 RCA clean 的動作，因為進爐管前必須將晶片清洗乾淨。接下來將晶片放入 Dry oxide 爐管，溫度調控在 950°C，氧化作用 30 分鐘。在長氧化層同時也做活化所佈植離子的動作。接下來清洗晶片，要做掏空 BOX 的黃光微影製程(Lithography)，再來將晶片泡入 BOE 溶液中約 3 分鐘，蝕刻掉矽奈米線下面的 BOX，形成懸浮的矽奈米線。然後將晶片放入 ACE 溶液置於超音波震盪器裡振 10 分鐘，目的為去掉光阻。

因為要做歐姆接面，於是要做定義重參雜的黃光微影製程(Lithography)後，佈植磷以及硼，劑量皆為 10^{20} cm^{-3} ，分別是 N 型以及 P 型。用 ACE 去掉光阻之後，做鍍金屬電極的黃光(Lithography_Metal)，使用 Sputter 鍍 100nm 的金。用 ACE 去光阻，最後則退火至 400°C，30 分鐘使金屬的接面可以更為平滑減少漏電。圖 2-3 為矽奈米線蕭特基接面元件製作完成後的示意圖。

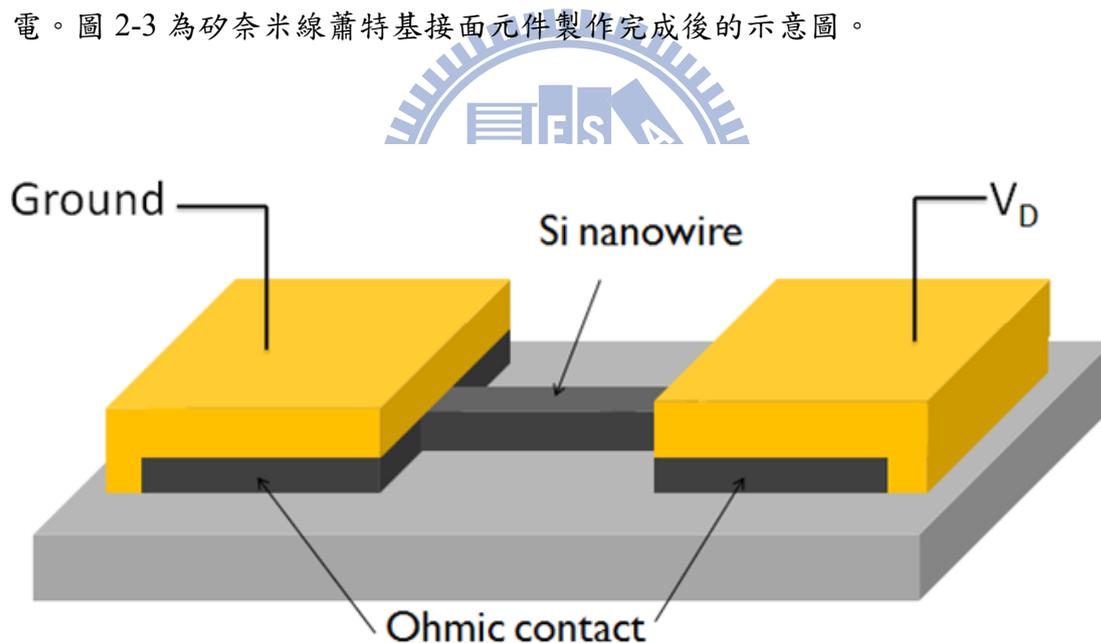


圖 2-3、歐姆接面電晶體示意圖。

2-1-3 表面修飾化學分子

奈米線蕭特基二極體在電性量測後會在表面修飾化學分子以比較化學分子對元件之影響。

(1).表面修飾APTS(3-Aminopropyltriethoxy silane)：

1. UV Ozone treatment 10分鐘。
2. 浸泡入APTS溶液(10ml 酒精 + 1ml APTS) 10分鐘。此時鍵結上的APTS分子的濃度為9%。
3. 使用酒精清洗晶片，洗去未鍵結在元件上的分子。
4. 使用烤盤(Hot plate)加熱到120°C，維持30分鐘。
5. 使用4156機台量測鍵結前與鍵結後電性的變化。

(2).表面修飾NTA(N-trimethoxy silypropyl-ethylenediamine triacetic acid)：

1. UV Ozone treatment 10分鐘。
2. 浸泡入NTA溶液(10ml 酒精 + 1ml NTA) 10分鐘。此時鍵結上的NTA分子的濃度為6%。
3. 使用酒精清洗晶片，洗去未鍵結在元件上的分子。
4. 使用烤盤(Hot plate)加熱到120°C，維持30分鐘。
5. 使用4156機台量測鍵結前與鍵結後電性的變化。



2-2 量測與分析所使用的儀器與方法

2-2-1 鎳矽化物(Nickel-silicide)材料特性分析

實驗中，將針對所作的奈米線蕭特基界面進行一系列材料分析。首先，使用掃描式電子顯微鏡 (Scanning electron microscope, SEM)去拍攝元件的外觀情況，同時進行元素成分比例分析(EDX)。接著，利用穿透式電子顯微鏡 (Transmission electron microscope, TEM)去拍攝奈米線的截面狀況，以及拍攝晶格繞射圖案(Diffraction pattern)。

2-2-2 電性量測方式

本次實驗使用ICS程式和4155-6及probe station來做電性上的量測。 V_G 為probe station底座所給之背電極電壓，另外兩點探針則分別為 V_D 及接地。當元件接上APTS及NTA後分別都會做電性之量測，看分子對元件電性之影響。量測方式如下圖：

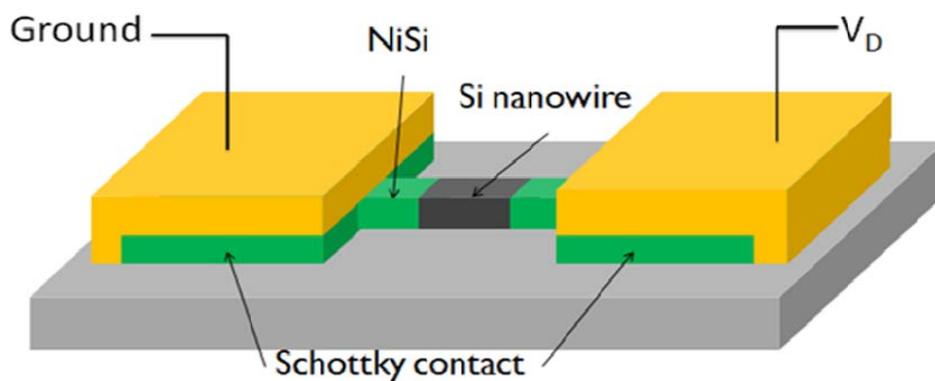


圖 2-4、奈米線蕭特基界面元件量測示意圖。

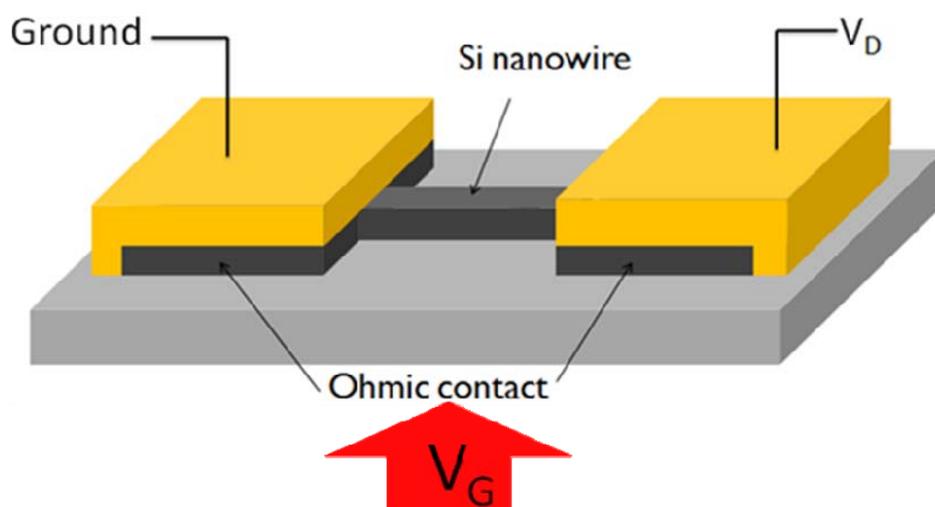


圖 2-5、奈米線歐姆界面元件量測示意圖。

本實驗會在製作完元件的時候先測量 I_D - V_D 圖，加上不同的背電極 V_G 來看閘極效應是否明顯，之後會量測 I_D - V_G 圖看電流的特性。最後會鍵結有帶正電特

性的 APTS 分子以及帶負電特性的 NTA 分子在元件表面，看元件是否能感測到鍵結分子後所帶來的影響。

2-3 載子傳輸機制

一般半導體的載子傳輸機制是由以下五種情況所組成：Thermionic emission、Tunneling、Recombination、Diffusion of electrons、Diffusion of holes。如圖 2-6[28]所示，依據參雜的濃度不同來推測出元件的傳輸機制，其中 Thermionic emission 主要濃度約在參雜濃度 $N_D < \sim 10^{17} \text{cm}^{-3}$ ，在界面處的空乏區相當寬，電子較難穿透位能障。當位能障較低時電子可經由熱離子發射克服能障而形成電流。Tunneling 在高參雜之情況， $N_D > \sim 10^{18} \text{cm}^{-3}$ ，此時界面區的空乏區非常狹窄，雖然電子的能量不足以克服蕭特基位能障，但是經由穿隧效應，電子不論從金屬穿隧至半導體或是由半導體穿隧至金屬都非常容易，此時就可得到良好的歐姆接觸，電子主要都是利用穿隧效應來移動。此次製作的蕭特基界面元件遵循著 Thermionic emission 機制，歐姆界面元件則遵循著 Tunneling 機制。

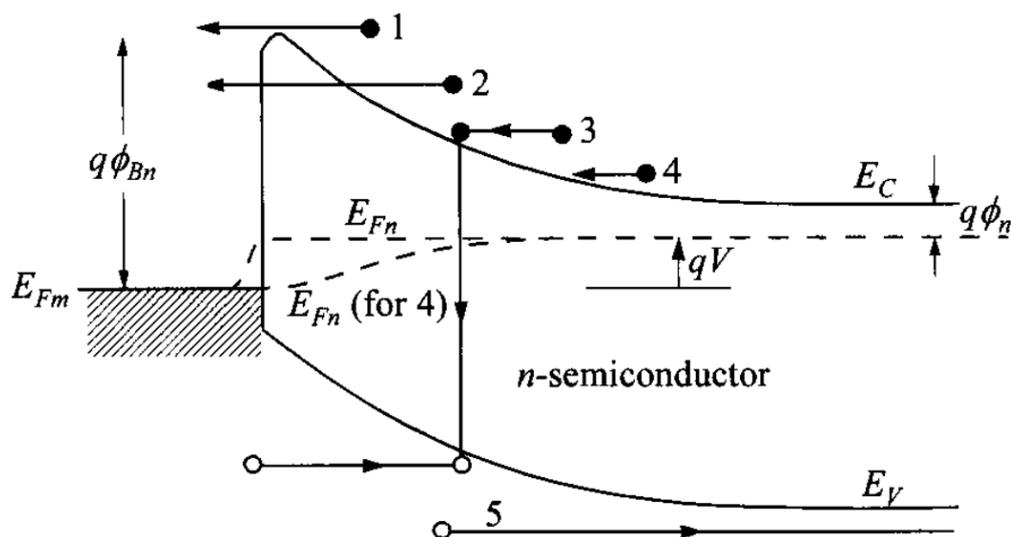


圖 2-6、電子傳輸機制[28]。

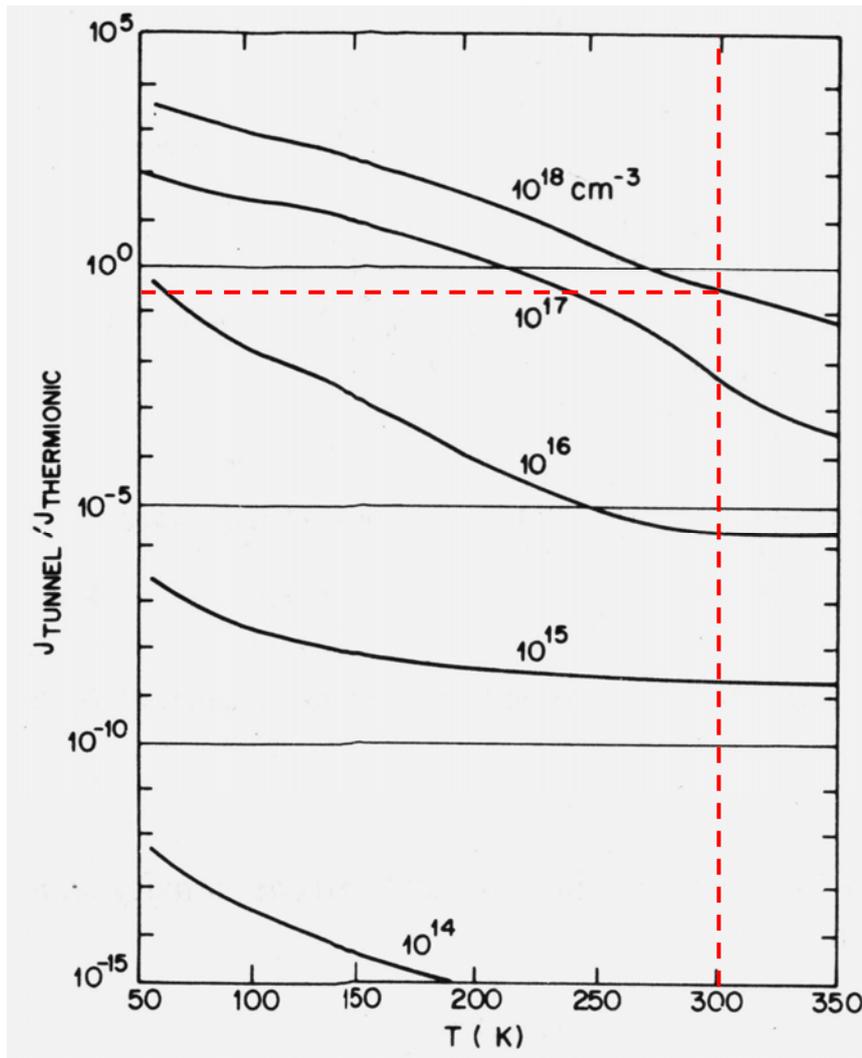


圖 2-7、蕭特基能位障穿遂電流/熱游離輻射之電流比值圖[28]。

圖2-7即為蕭特基二極體之穿遂電流/熱游離輻射電流之比值與參雜濃度、溫度之關係圖。由圖可見，當參雜濃度逐漸上升時，穿遂電流/熱游離輻射電流之比值也逐漸的上升，也代表著當參雜濃度增高時，穿遂電流也因此而增加，當參雜濃度下降時，穿遂電流也因此而下降。我們的蕭特基界面元件參雜濃度為 10^{18} cm^{-3} ，室溫下熱游離輻射電流所佔比例大於穿遂電流，理論上電流主要是由熱游離輻射電流所主導。此實驗所製作的歐姆界面元件參數濃度為 10^{20} cm^{-3} ，室溫下穿遂電流所佔比例大於熱游離輻射電流，理論上電流主要是由穿遂電流所主導。

2-3-1 載子傳輸機制

蕭特基界面就是金屬/半導體兩材料的費米能階，在熱平衡狀態時拉平所形成、有位能障存在的界面。在接觸前，半導體之中的費米能階是比金屬的費米能階高。為了使整個系統的費米能階成為一個固定的常數來達到熱平衡，電子會由半導體流進金屬之中的較低能量狀態。帶正電荷的電洞會留在半導體之中，而產生一個空間電荷區域。

$$W_D = \sqrt{\frac{2\epsilon_s(\Psi_{bi} - V - \frac{KT}{q})}{qN_D}} \quad (2.1)$$

Ψ_{Bn} 是半導體接觸的障礙高度(Barrier Height)，這是金屬之中試圖移動進入半導體的電子所看到的障礙。這個障礙稱為蕭特基障礙(Schottky barrier)，理想而言，它是由下式來加以表示：

$$q\phi_{Bno} = q(\phi_m - \chi) \quad (2.2)$$

元件操作在逆向偏壓(Reverse Bias)下，相當於在半導體上外加一個相對於金屬的正電壓，則半導體/金屬的障礙高度會增大，而在理想化的狀況下 Ψ_{Bn} 會保持固定不變。相反地，元件操作在順向偏壓(Forward Bias)下，相當於在金屬上外加一個相對於半導體的正電壓，則半導體/金屬的障礙高度 V_{bi} 會下降，而 Ψ_{Bn} 會保持固定不變。然而，在這種情況下由於障礙已經被降低，因此電子會比較容易由半導體流進金屬之中。 V_R 是逆向偏壓大小， V_F 是順向偏壓大小。

2-3-2 蕭特基障礙高度的不理想效應

在一個介電質之中，一個位於與金屬的距離為 X 處的電子將會製造一個影像電場。電場線必須與金屬表面垂直，而且會與位於金屬裡面並且金屬表面有相同距離的一個影像電荷(+e)所產生的電場相同。這種效應顯示於圖2-8之中。當

有電場出現在介電質之中，位勢將會被修正。位勢的下降是蕭特基效應(Schottky Effect)或是影像力衍生下降，如圖2-9所示。

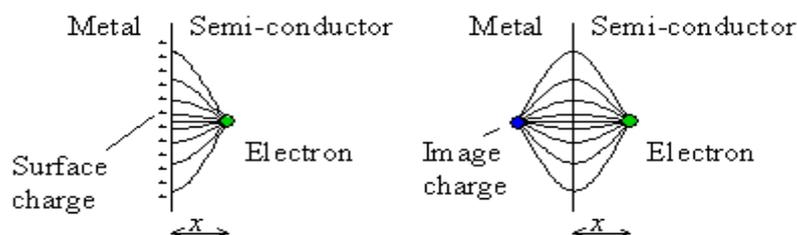


圖 2-8、在一個金屬-介電質介面處的影像電荷。

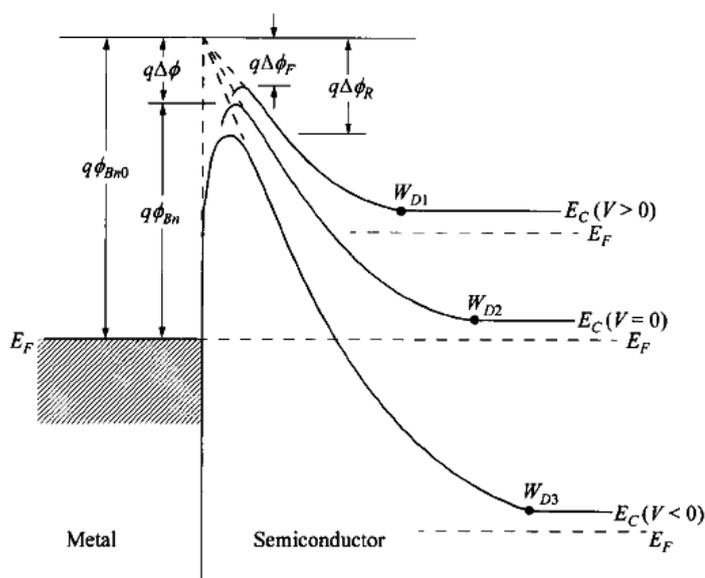


圖 2-9、具有一定電場，由於影像作用力所造成的位能勢扭曲示意圖[28]。

$$x_m = \sqrt{\frac{q}{16\pi\epsilon_0|E|}} \quad (2.3)$$

$$\Delta\phi = \sqrt{\frac{q|E|}{4\pi\epsilon_0}} = 2|E|x_m \quad (2.4)$$

$$q\phi_{Bn} = q\phi_{Bn0} - q\Delta\phi \quad (2.5)$$

在具有一定電場下，由於影像的作用力會造成蕭特基位能障上升或是下

降，雖然蕭特基障位能障的變化看起來是一個小值，但是位能障高度及位能障降低存在於電流-電壓關係式的指數項中，因此，障礙高度的微小值改變對蕭特基界面元件的電流有一顯著的影響，在接下來這一小節來做探討。

2-3-3 蕭特基二極體 電流-電壓關係式

在金屬-半導體界面之中[28]，電流的傳導主要是由多數載子所造成的，這乃是與P-N界面中的少數載子相反。在具有N型半導體的整流接觸之中的基本過程乃是電子越過位障勢的傳輸，這種過程可以以熱離子放射理論(Thermionic Emission Theory)來加以描述。

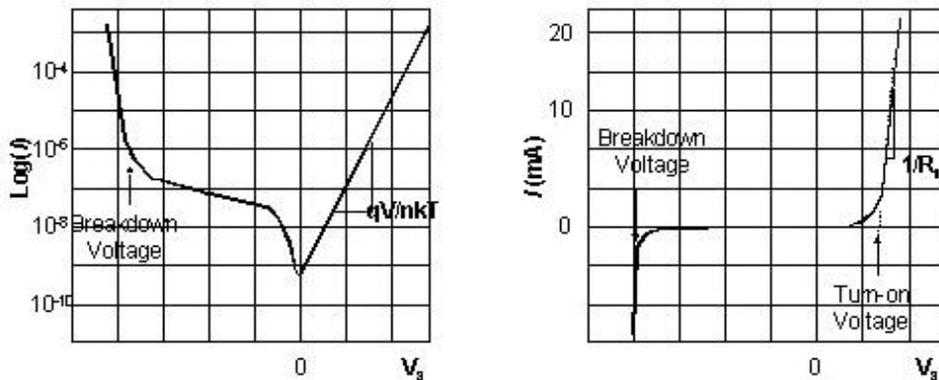


圖 2-10、蕭特基二極體電流-電壓圖。

如半導體-金屬界面之電流傳輸機制來自於熱游離輻射 (Thermionic Emission)，則其電流-電壓之特性將會遵循下列方程式：

$$J = \left(A^* T^2 e^{\frac{-q\phi_B n}{nKT}} \right) \left(e^{\frac{qV}{nKT}} - 1 \right) \quad (2.6)$$

$$J_s = \left(A^* T^2 e^{\frac{-q\phi_{Bn}}{nKT}} \right) \text{ and } A^* = \frac{4\pi q m^* k^2}{h^3} \quad (2.7)$$

其中， J 為流經金屬半導體界面之電流密度， J_s 為逆向飽和電流密度，單位皆為安培/平方公尺； A^* 為李察生常數(Richardson constant)； q 為單一電子所帶的電量大小，即為 1.6×10^{-19} 庫倫； ϕ_{Bn} 為金屬半導體界面的蕭特基能位障高，單位為伏特； V 為加至金屬半導體界面兩端的電壓，單位為伏特； n 為理想因子，不具單位； k 為波茲曼常數，即為 1.38×10^{-23} 焦耳/絕對溫度； T 為量測時之溫度，單位為絕對溫度。在 $qV \gg nKT$ 之條件下，式(3.7)式近似為：

$$J = \left(A^* T^2 e^{\frac{-q\phi_{Bn}}{nKT}} \right) \left(e^{\frac{qV}{nKT}} \right) = A^* T^2 e^{\frac{q(V - \phi_{Bn})}{nKT}} \quad (2.8)$$

最後一種則是穿隧障礙機制，當半導體之中的參雜濃度增大時，空乏區的寬度會縮小；因此，當參雜濃度增大時，穿隧通過障礙的機率就會增大，此時就會形成良好的歐姆界面。

依據固態物理理論奈米線上的載子密度(Carrier density)，受到外加閘極影響其載子會被Depletion或Accumulation，進而改變奈米線的電導值。舉例本次實驗中矽奈米線的N型矽，因此若外加閘極為負電壓，造成N型矽載子空乏，而使電晶體之電流及電導因此下降；同理，若外加閘極為正電壓，造成N型矽載子聚集，而使電晶體之電流及電導因此上升。

隨著元件外加閘極正電壓愈大時，可以吸引更多N型矽載子聚集，使得空乏區寬度下降變窄。式(2.15)為：

$$W = x_n = \left[\frac{2\epsilon_s (V_{bi} + V_R)}{eN_d} \right]^{1/2} \quad (2.9)$$

由介面間電場與空乏區寬度關係式(2.16)推導，可知空乏區寬度下降使得介面間的電場強度增大。

$$E = -\frac{eN_d}{\epsilon_s}(x_n - x) \quad (2.10)$$

理論蕭特基效應(Schottky effect)可知，當介電質之中具有一定電場，由於影像作用力所造成的位障勢扭曲，位勢將會下降修正。而外部的電場愈大，所引起的蕭特基位能障下降將更大。

$$\Delta\phi = \sqrt{\frac{eE}{4\pi\epsilon_s}} \quad \phi_{Bn} = \phi_{Bo} - \Delta\phi \quad (2.11)$$

元件操作在逆向偏壓(Reverse bias)下，電流貢獻主要為電子由金屬端跨過蕭特基位能障到達半導體端。隨著蕭特基位能障高度下降，電子容易越過蕭特基能障。在具有一定電場下，由於影像的作用力會造成蕭特基位能障上升或是下降，雖然蕭特基障位能障的變化看起來是一個小值，但是位能障高度及位能障降低存在於電流-電壓關係式的指數項中，因此，障礙高度的微小值改變對蕭特基界面元件的電流有一顯著的影響，式(2.12)位能障高度的微小值改變對蕭特基電晶體的電流有顯著的影響。

$$J_{sT} = A^* T^2 \exp(-e\phi_{Bn}/KT) \exp(e\Delta\phi/KT) \quad (2.12)$$

2-4 歐姆界面與蕭特基界面能帶圖

圖 2-11 分別為 N 型歐姆界面與蕭特基界面電晶體的能帶圖，最上面的能帶圖為金屬與半導體界面尚未接觸前，中間則是接觸後的能帶圖，因為是 N 型的半導體，所以當金屬的功函數小於半導體的功函數時，兩界面連結時會形成歐姆界面；若金屬的功函數大於半導體的功函數時，兩界面連結時會形成蕭特基界面。最下面的能帶圖是加入了 V_d 後，黃色線為元件加背閘極 $V_G > 0$ 後，能帶會下降；紅色線為元件加背閘極 $V_G < 0$ 後，能帶會因此上升，由以下的圖可以觀察到能帶曲線的變化。

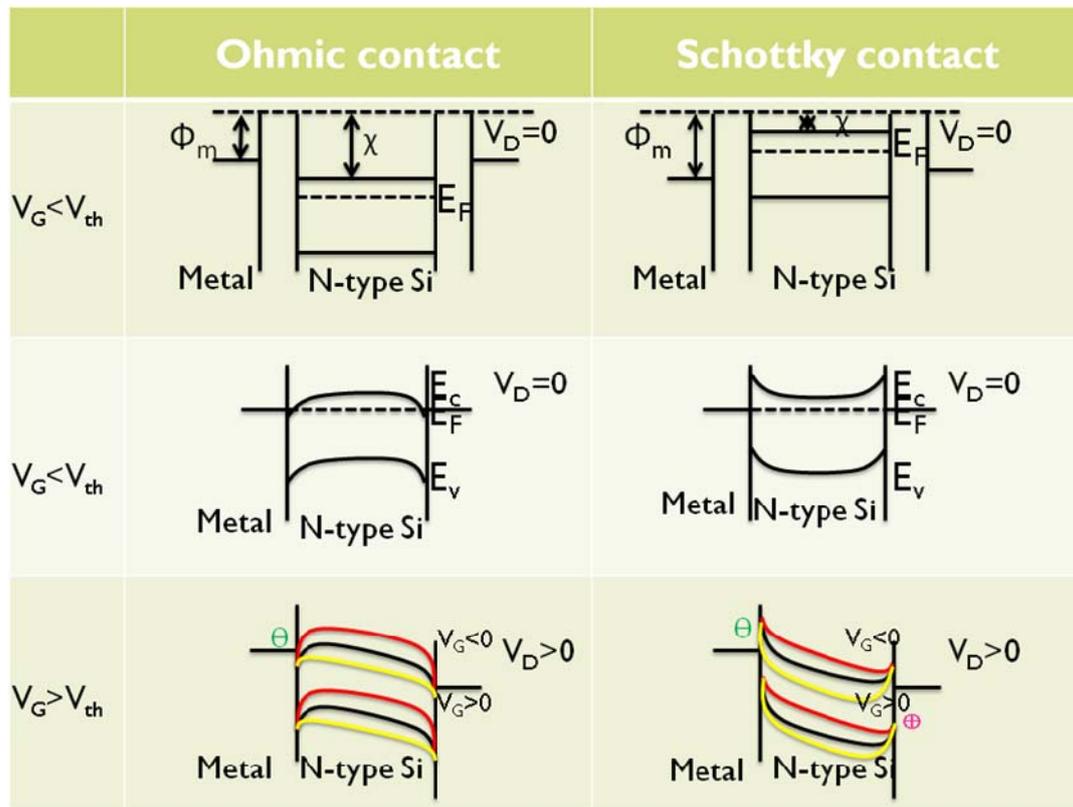


圖 2-11、n 型之歐姆界面與蕭特基界面電晶體能帶圖。

圖 2-12 分別為 P 型歐姆界面與蕭特基界面電晶體能帶圖，最上面的能帶圖為金屬與半導體界面尚未接觸前，中間則是接觸後的能帶圖，因為是 P 型半導體

體，若金屬的功函數大於半導體功函數時，兩界面連結時會形成歐姆接觸；若金屬的功函數小於半導體的功函數時，兩界面連結時會形成蕭特基接觸。最下面的能帶圖是加入了 V_d 後，紫色線為元件加背閘極 $V_G > 0$ 後，因此能帶會下降；紅色線為元件加背閘極 $V_G < 0$ 後，因此能帶會因此上升，由以下的圖可以觀察到能帶曲線的變化。

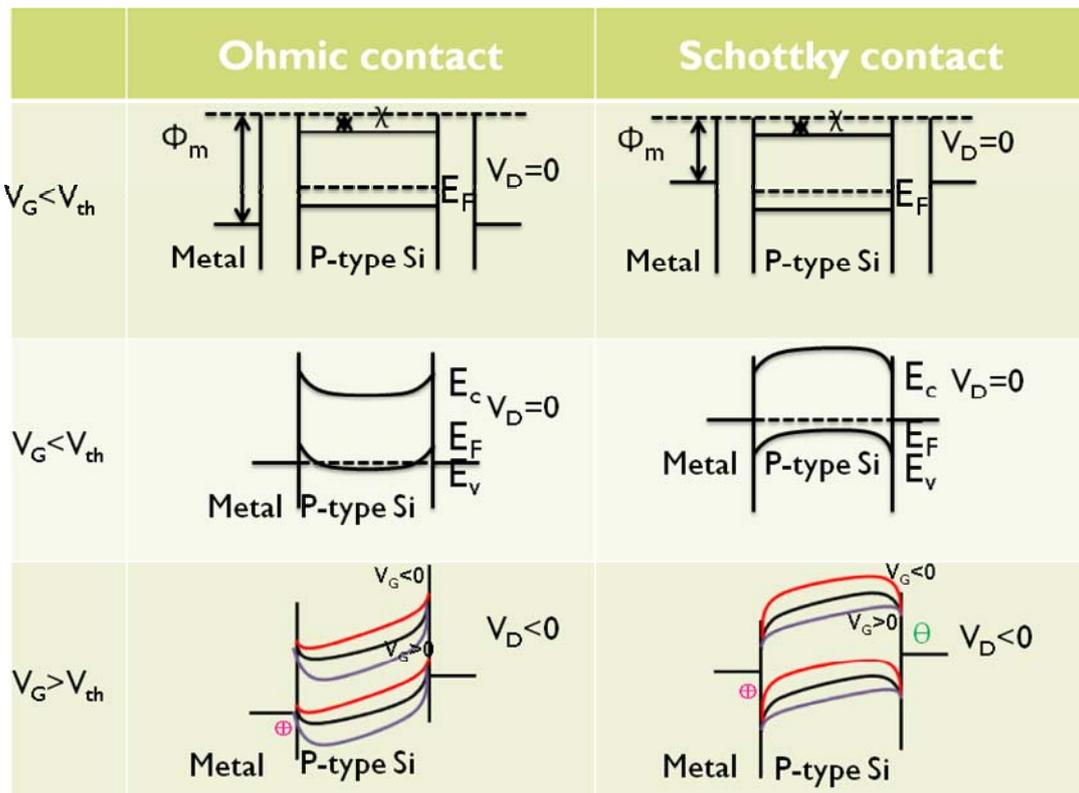


圖 2-12、p 型之歐姆接觸與蕭特基接觸電晶體能帶圖。

2-5 矽奈米線直徑測試方式

此次實驗所使用的方式是乾式氧化爐管(Dry oxide)來測試，化學式為：



表 2-1、爐管反應溫度以及時間所生成的氧化層厚度。

dry oxide	850°C	900°C	950°C	1000°C	1050°C
5min	91Å	106Å	186Å	227Å	288Å
15min	117Å	142Å	239Å	333Å	481Å
30min	122Å	179Å	315Å	482Å	666Å
60min	169Å	242Å	439Å	671Å	962Å
90min	188Å	317Å	544Å	837Å	1270Å

表 2-1 為奈米中心內的乾式氧化爐管在反應溫度以及時間的不同，所生成的氧化層厚度。圖 2-13 為他的關係圖。

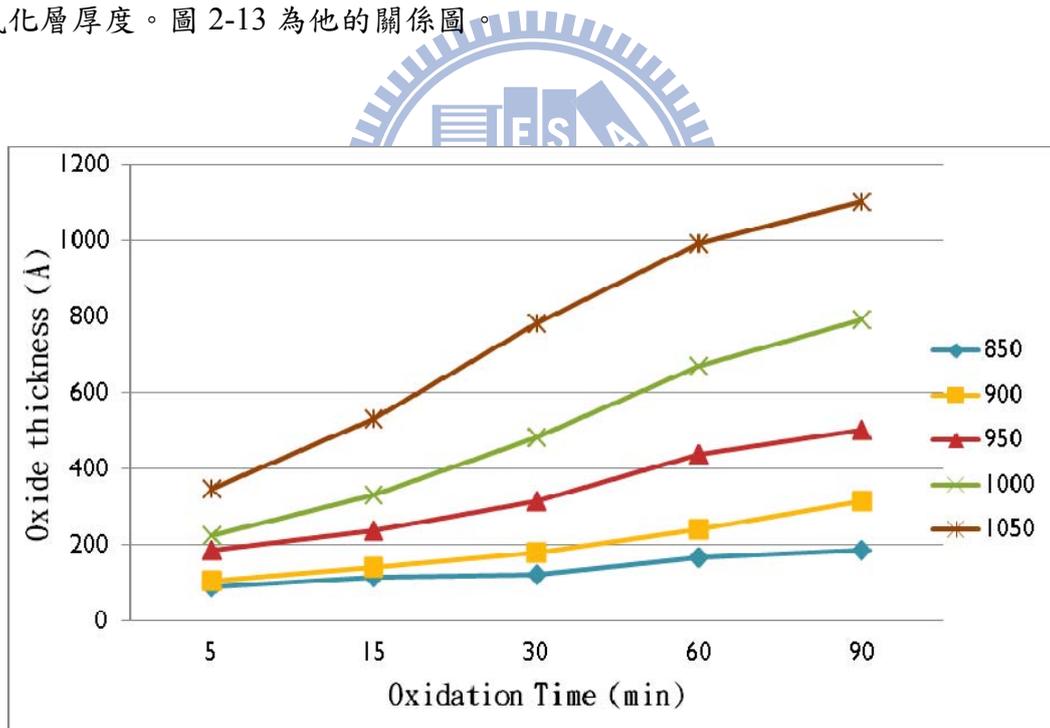


圖 2-13、爐管反應溫度以及時間所生成的氧化層厚度關係圖。

反應的時間越久氧化的速率會越慢，這是因為二氧化矽越來越厚，矽原子與氧原子無法順利的產生反應，但由於此元件本身的矽奈米線寬度已經是 79 nm，所以要特別注意反應的溫度以及時間，避免矽奈米線完全反應掉，但又要使奈米

線的直徑變得更小，因此本研究選用了反應溫度 950°C 來做不同時間的測試。

在矽奈米線上形成二氧化矽的氧化速率可以藉由 Deal-Grove Model 來計算，這個數學模型主要是在描述半導體製程中，使用熱氧方式來形成二氧化矽時的氧化速率，可藉由此式來推算出不同的溫度下，所需氧化的時間可形成多厚的氧化層以及氧化作用後矽奈米線的寬度。

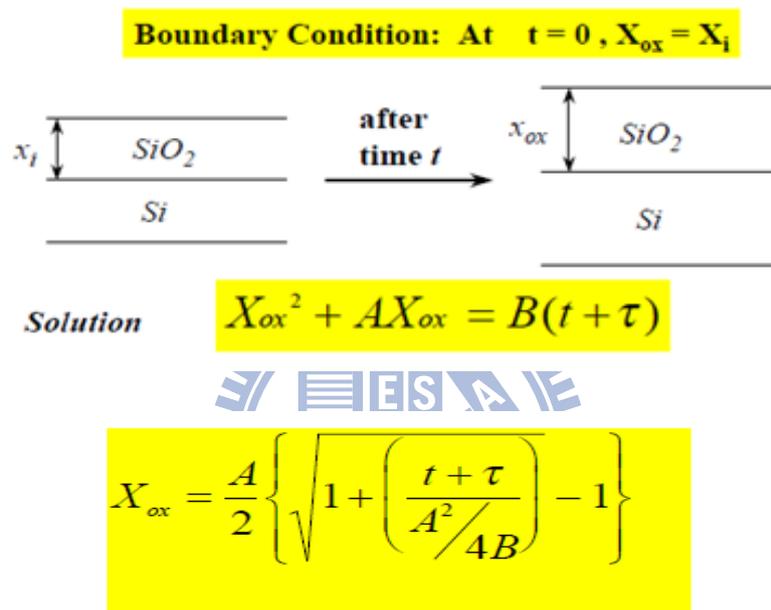


圖 2-14、Deal-Grove Model 數學模型。

圖 2-14 即為 Deal-Grove Model 數學模型，在一開始時間為零時，氧化層的厚度為 X_i ，在氧化作用後二氧化矽會變厚，此時為 X_{ox} 。而時間與溫度的關係如上，其中 D 為跟溫度相關的氧原子擴散係數； k_s 為介面反應速率的常數； h 為表面質量轉換的常數； C_A 為氧化溶解度的常數。 T 為氧化反應的時間，可分為線性區域與飽和區域，在計算方面也有所不同，如圖 2-15 所示。

(Case 1) Large t [large X_{ox}]

$$X_{ox} \rightarrow \sqrt{Bt}$$

(Case 2) Small t [Small X_{ox}]

$$X_{ox} \rightarrow \frac{B}{A} t$$

圖 2-15、線性區域以及飽和區域氧化層厚度不同算法。

其中在線性區域時 B/A 與在飽和區域中 B 的算法如下：

$$B = C_1 \exp\left(-\frac{E_1}{kT}\right) \quad (2.20)$$

$$\frac{B}{A} = C_2 \exp\left(-\frac{E_2}{kT}\right) \quad (2.21)$$

由圖 2-15 可以發現，當在飽和區域時(Case 1)與線性區域時(Case 2)氧化層的厚度算法是不一樣的，這是因為在線性區域時氧原子能夠順利的和矽原子產生反應，因此氧化層的厚度會隨時間增長較快；在飽和區域時，因為二氧化矽已經太厚了，所以氧原子無法順利的和矽原子產生反應，因此氧化層厚度相較線性區域，生成的厚度就比較少。

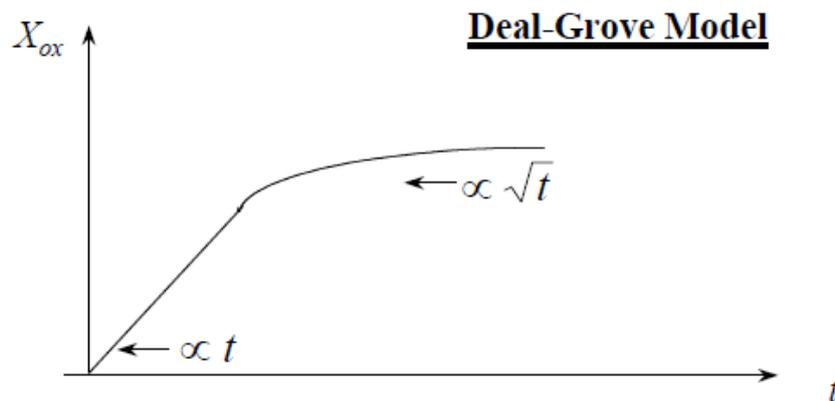


圖 2-16、Deal-Grove Model 氧化層與時間的關係圖。

表 2-2、線性區域與飽和區域的參數。

	Case 1	Case 2
Dry oxide	$C_1=7.72 \times 10^2 \mu\text{m}^2/\text{hr}$	$C_2=6.23 \times 10^6 \mu\text{m}^2/\text{hr}$
	$E_1=1.23 \text{ eV}$	$E_2=2.00 \text{ eV}$
Wet oxide	$C_1=3.86 \times 10^2 \mu\text{m}^2/\text{hr}$	$C_2=1.63 \times 10^8 \mu\text{m}^2/\text{hr}$
	$E_1=0.78 \text{ eV}$	$E_2=2.05 \text{ eV}$

由圖 2-16 所示，線性區域中 X_{xo} 與時間 t 成正比，飽和區域中 X_{xo} 與 \sqrt{t} 成正比，因此可得到氧化速率，可以發現 Deal-Grove Model 的氧化層厚度與氧化時間關係圖與本實驗在奈米中心所做的氧化層厚度與氧化時間圖相似，在剛開始反應的時候會呈現線性的區域，之後漸漸的形成飽和的現象。在本實驗不只會經由計算來推算出氧化作用後的矽奈米線寬度和奈米線上二氧化矽的厚度，也會經由實際的量測來測出二氧化矽的厚度。表 2-2 是依照飽和區域時(Case 1)以及線性區域時(Case 2)參數 C(Pre-exponential factor)和 E(Activation energy)的值，並且乾式氧化與濕式氧化的分別。在計算時分別依照不同的區域代入 A 和 B 的值，接下來便可得到氧化層的厚度了。

若是依照 Deal-Grove Model 來計算本實驗的氧化層厚度以及矽奈米線厚度的話，因為是操作在線性區域裡，因此氧化層的厚度會等於 $(B/A)t$ ，其中 B/A 等於 C_2 乘上 $\exp(-E_2/kT)$ ，因為使用的是乾式氧化爐管，因此 $C_2=6.23 \times 10^6 \mu\text{m}^2/\text{hr}$ ； $E_2=2.00 \text{ eV}$ ；k 為波茲曼常數 $1.38 \times 10^{-23} \text{ J/T}$ 又等於 $8.63 \times 10^{-5} \text{ eV/T}$ ；T 為絕對溫度，在此實驗裡是 950°C 也就是 1223K 。

將所有的參數帶入可以得到 B/A 等於 3.63×10^{-2} ，氧化層的厚度為 $(B/A)t$ ，其中時間我們分別使用了 15 分鐘也就是 0.25 小時，以及 30 分鐘也就是 0.5 小時，算出來的氧化層厚度分別是 9.08 nm 和 18.2 nm。

因為這是在理想狀態下，使用平面成長二氧化矽層數學計算式，所以會與本實際氧化作用後的有差異。差異的原因會因為活化能的不同而造成最後形成氧化層的速率以及厚度不同，Deal-Grove Model 所使用的平面上成長二氧化矽層，本實驗的矽奈米線則是三面同時成長，因此活化能較大，使能氧化速率較快。另一個擁有差異的原因有可能是因為奈米中心的爐管較為老舊，因此對於溫度的掌控並不是非常精準，有時爐管內的溫度會過高或是過低，甚至是爐管內部前端、中端和後端的溫度不一致，這些原因都可能導致氧化層的形成。因此除了使用 Deal-Grove Model 做氧化層的估算，本實驗更實際去測量奈米中心 Dry oxide 爐管各種溫度以及在不同的反應時間後，實際長出來的氧化層厚度多厚，兩種方法都比較後才來決定要使用何種參數。



第三章

實驗結果與討論

3-1 鎳矽化物熱退火溫度測試

圖3-1為鎳矽化物產生的示意圖，此次實驗會先在矽奈米線的一端鍍上35 nm的鎳，之後使用MRTA 550°C 30秒鐘，使鎳原子和矽原子反應形成鎳矽化物。

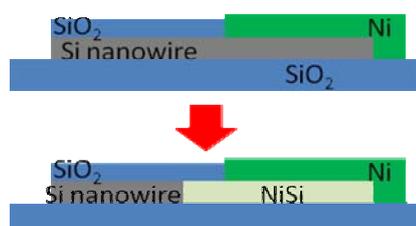


圖 3-1、奈米線蕭特基界面示意圖。

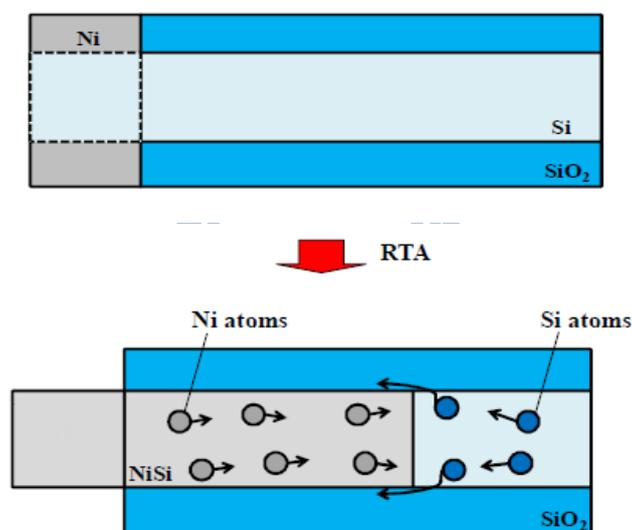


圖 3-2、鎳原子擴散至矽奈米線形成鎳矽化物[24]。

鍍鎳金屬前會先用光阻定義區域，用氫氟酸蝕刻掉二氧化矽後再鍍上鎳金屬，接下來使用 RTA 使鎳原子擴散進去矽奈米線形成鎳矽化物。關於他的擴散速率可以由式得知[30]：

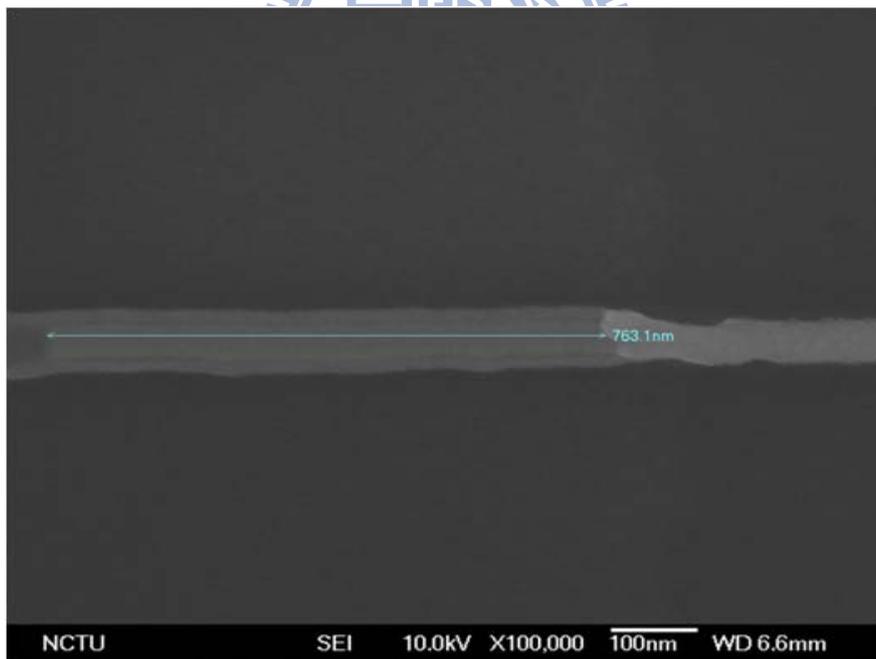
$$W = R \times t \tag{3.1}$$

其中 W 為擴散的體積； R 為鎳矽化物的擴散速率係數，與溫度相關； t 為 RTA 的時間。擴散係數 R 等於以下的式子：

$$R \cong 10^3 \exp\left(-\frac{1.4}{kT}\right) \quad (3.2)$$

其中 k 為波茲曼常數 1.38×10^{-23} J/T，又等於 8.63×10^{-5} eV/T； T 為 RTA 時的絕對溫度； R 的單位是 cm/s。將所使用的參數帶進去後便可以經由計算推論出鎳矽化物的擴散的長度以及擴散的速率。

圖 3-3 為所製作出的奈米線蕭特基接面於 10 萬倍率下所拍攝的電子顯微鏡 (SEM) 俯視圖，可看出明顯之鎳矽化物與矽接面，其中右邊較明亮之部分即為鎳矽化物，左邊為矽。由圖可以明顯觀察到右邊的鎳矽化物有向左往矽奈米線方向擴散延伸的趨勢，且擴散長度與奈米線的寬度有關係。



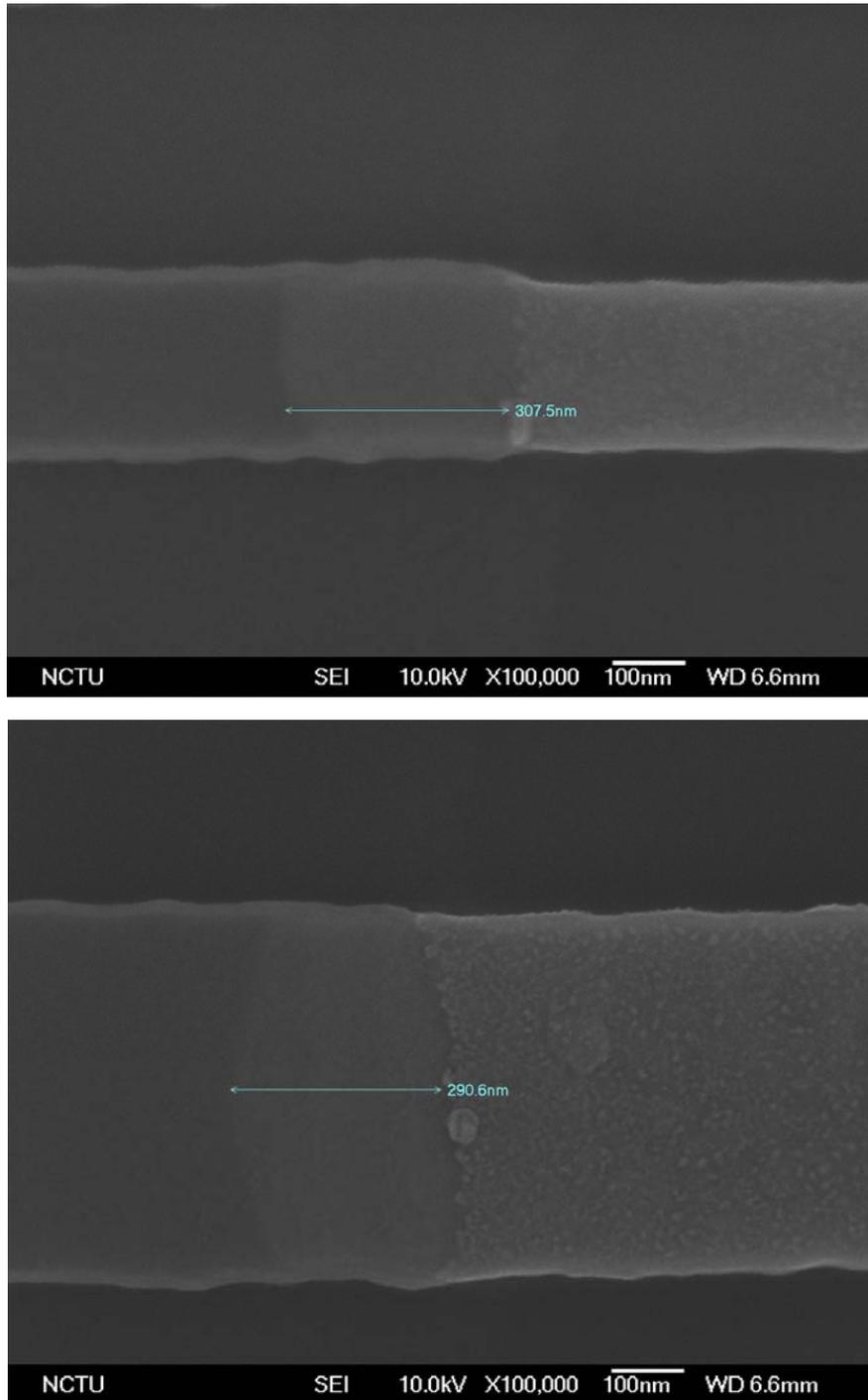


圖 3-3、不同線寬的奈米線蕭特基界面之電子顯微鏡俯視圖。

經由文獻可得知鍍 1 nm 厚的鎳原子需要與 1.83 nm 厚的矽原子產生反應成約 2.54 nm 厚的鎳矽化物[31]，於是在鍍完金屬鎳之後做快速熱退火 550°C 30 秒鐘的動作，可以看到圖 3-3，最右邊為鎳矽化物，中間為鎳矽化物的擴散，最左

邊則是矽奈米線。在這裡每種寬度的奈米線都做了一百根奈米線關於鎳矽化物擴散長度以及速率的整理，當通道寬度為 30 nm 時，快速熱退火 550°C 30 秒鐘後，平均擴散的長度為 738.7±15.7 nm，而平均擴散速率為 24.6±0.5 nm/s；當通道寬度為 180 nm 時，快速熱退火 550°C 30 秒鐘後，平均擴散的長度為 307.5±21.1 nm，而平均擴散速率為 10.2±7.0 nm/s；當通道寬度為 400 nm 時，快速熱退火 550°C 30 秒鐘後，平均擴散的長度為 290.6±24.4 nm，而平均擴散速率為 9.6±8.1 nm/s，如表 3-1。

表 3-1、鎳矽化物的平均擴散速率。

Channel width (nm)	Diffusion length (nm)	Diffusion rate (nm/s)
~30	738.7±15.7	24.6±0.5
~180	307.5±21.1	10.2±7.0
~400	290.6±24.4	9.6±8.1

經由文獻可以得知，當在一樣的溫度以及時間對鎳金屬與矽半導體做 RTA 時，所反應出來的鎳矽化物體積會是一樣的[32]，藉由本實驗可以得知當通道的寬度越寬，他的擴散速率越慢，並且擴散長度較短；反之當通道的寬度越窄，擴散速率越快，擴散長度越長，這是因為擴散長度 L 正比於 $1/t_{si}^2$ [32]，其中 t_{si} 是奈米線的寬度。在相同的 RTA 溫度和時間下，鎳矽化物擴散的體積會是相同的，所以會因為通道寬度的不同，導致擴散速率的不同[30, 32]。

接下來分析鎳矽化物的成分，圖 3-4 為鎳矽化物奈米線 SEM 圖，並且進行 EDX 元素分析的結果，在左端部分只有元素矽的成分被檢測出來，而右端主要組成成分為元素鎳以及矽，鎳與矽組成成分接近於 48.32%與 51.68%如表 3-2，

鎳原子與矽原子所佔的比例接近一比一。

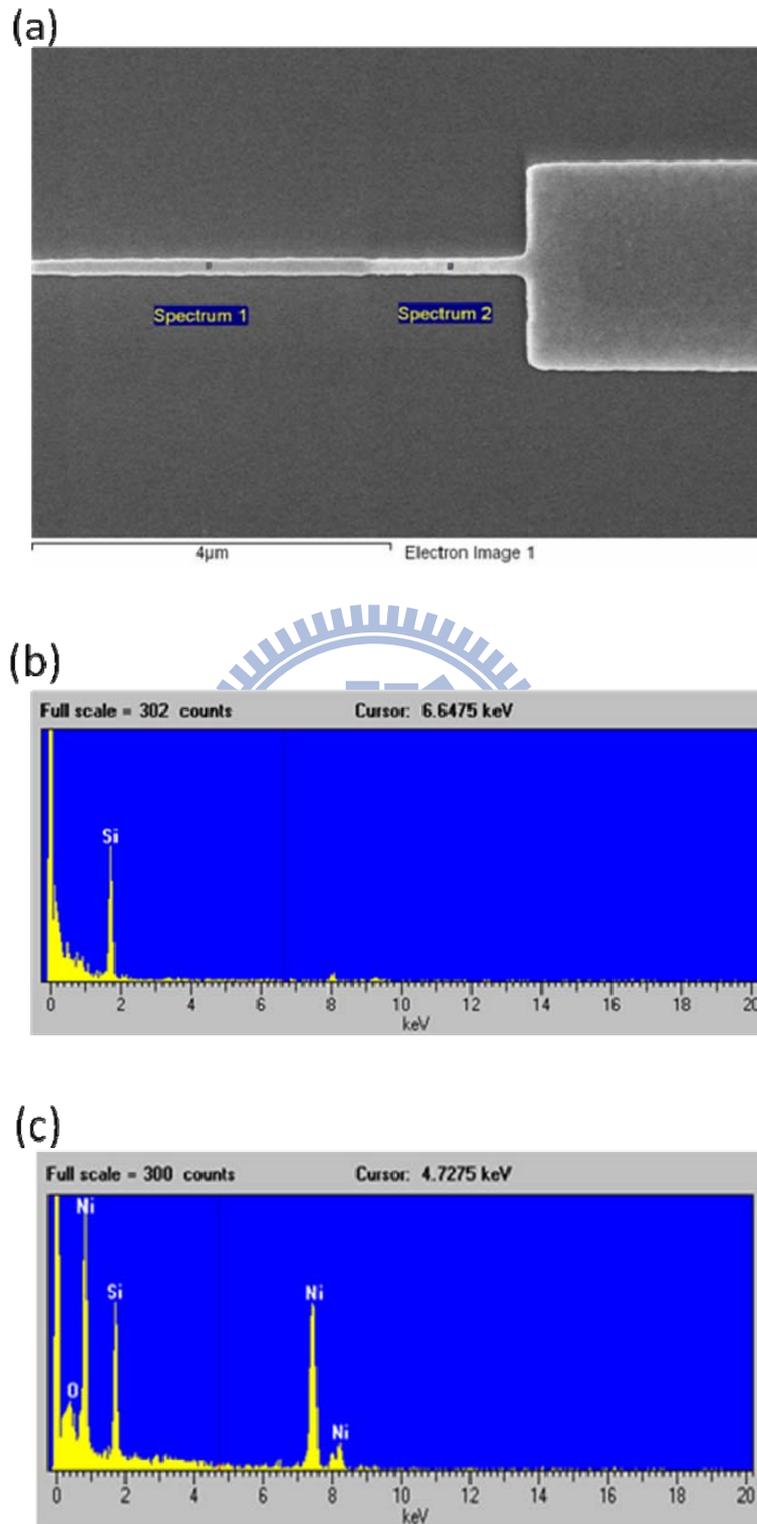


圖 3-4、(a)為 SEM 下的矽奈米線，分別在 Spectrum1 和 Spectrum2 這兩個點做 EDX 成分分析；(b)及(c)分別為 Spectrum1 及 Spectrum2 在矽奈米線及鎳矽化物

奈米線進行 EDX 元素分析的結果。

表 3-2、元素成分比例表。

Ni silicide Composition (%)	
Ni	Si
48.32	51.68

圖 3-5 為鎳矽化物奈米線沿著[110]軸方向所拍攝的晶格繞射圖，可以清楚得知本實驗所製作出的鎳矽化物為單晶結構。

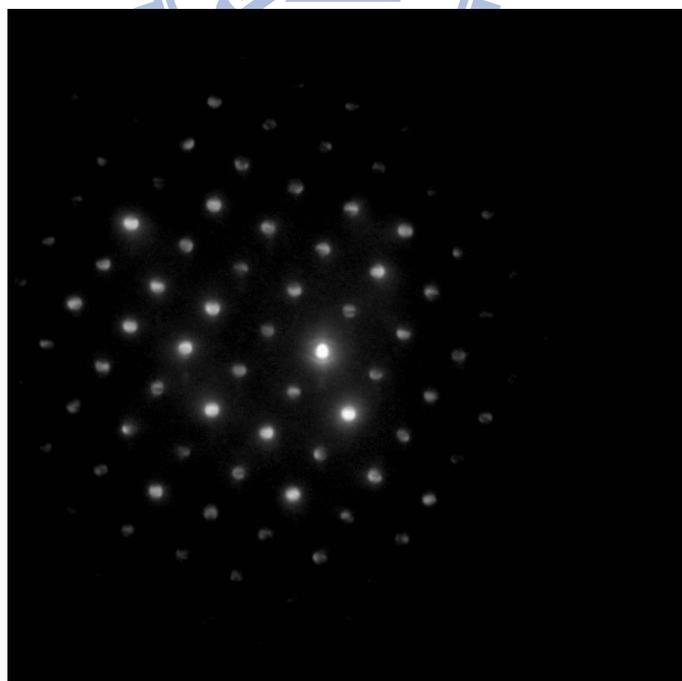


圖 3-5、鎳矽化物晶格繞攝圖。

結合 EDX 成分分析出在鎳矽化物的部分，鎳原子與矽原子的比例接近於一比一，加上沿著[110]軸方向所拍攝的晶格繞射圖，與文獻上晶格相位的對照[33, 34]，可以推測出此實驗所製作出來的鎳矽化物為單晶的 NiSi 相。

3-2 蕭特基位能障計算(電流-溫度法)

本實驗使用 ICS 程式和 4155-6 及變溫量測系統來做蕭特基位障高度之量測。利用了變溫量測 305K~330K，來計算蕭特基接面的位能障高，量測後的電流電壓圖如圖 3-5。

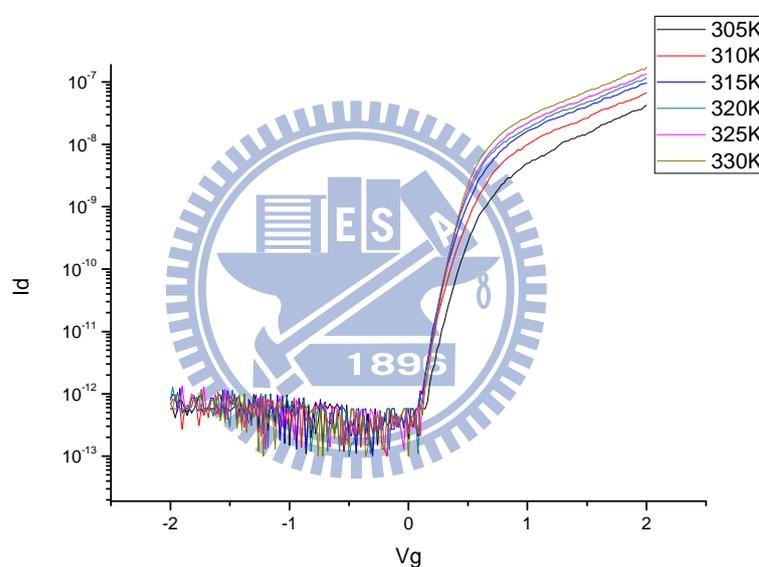


圖 3-6、鎳矽化物的變溫量測電流電壓圖。

在每次實驗中都會抽真空至 10 mTorr 之下才開始作變溫之動作。 V_G 為 probe station 底座所給之背電極電壓，另外兩點探針則分別為 V_D 及接地。變溫條件為 305K~330K。利用變溫量測之結果即可計算出當時奈米線蕭特基二極體之蕭特基位障高度。

如半導體-金屬接面之電流傳輸機制來自於熱游離輻射 (Thermionic emission)，則其電流-電壓之特性將會遵循下列方程式[27, 28, 29]：

$$J = \left(A^* T^2 e^{-\frac{q\phi_{Bn}}{nkT}} \right) \left(e^{\frac{qV}{nkT}} - 1 \right)$$

$$J_s = A^* T^2 e^{-\frac{q\phi_{Bn}}{nkT}} \text{ and } A^* = \frac{4\pi q m^* k^2}{h^3} \quad (3.3)$$

其中，J為流經金屬半導體界面之電流密度， J_s 為逆向飽和電流密度，單位皆為安培/平方公尺； A^* 為李察生常數(Richardson constant)，單位是 $A/K^2\text{-cm}^2$ ；q為單一電子所帶的電量大小，即為 1.6×10^{-19} 庫倫； ϕ_{Bn} 為金屬半導體界面的蕭特基能位障高，單位為伏特；V為加至金屬半導體界面兩端的電壓，單位為伏特；n為理想因子，不具單位；k為波茲曼常數，即為 1.38×10^{-23} 焦耳/絕對溫度；T為量測時之溫度，單位為絕對溫度。在 $qV \gg nkT$ 之條件下，(3.3)式近似為：

$$J = \left(A^* T^2 e^{-\frac{q\phi_{Bn}}{nkT}} \right) \left(e^{\frac{qV}{nkT}} \right) = A^* T^2 e^{-\frac{q(V-\phi_{Bn})}{nkT}} \quad (3.4)$$

左右兩端同取自然對數後，經過適當整理可得：

$$J = A^* \times T^2 \times e^{-\frac{q(V-\phi_{Bn})}{nkT}}$$

$$\Rightarrow \ln\left(\frac{J}{T^2}\right) = \ln(A^*) + \frac{q(V-\phi_{Bn})}{nkT} \quad (3.5)$$

之後取 $\ln [J/T^2]$ 與 $1/T$ 作圖如下圖：

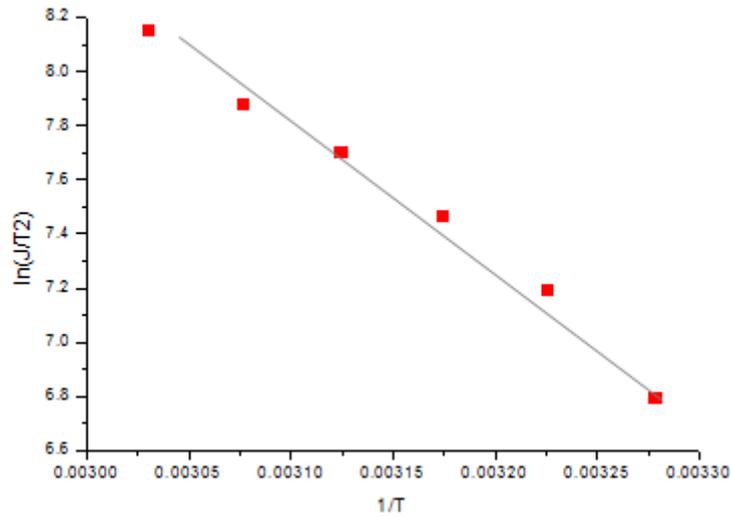


圖 3-7、利用電流-溫度法所得到的線性圖形。

所得到之斜率即為：

$$\text{slope} = -\frac{q\phi_{Bn}}{nk} \quad (3.6)$$

將參數代入後即可得到蕭特基位障高度。其中理想因子n也是要經由量測電流後計算出來，遵循以下的電流公式：

$$\begin{aligned} I &= I_s \left(e^{\frac{qV}{nkT}} - 1 \right) \\ \Rightarrow I &= I_s e^{\frac{qV}{nkT}} \quad \text{as } qV \gg nkT \\ \Rightarrow \ln(I) &= \ln(I_s) - \frac{qV}{nkT} \end{aligned} \quad (3.7)$$

因此對取ln [I] 與1/T作圖如下圖：

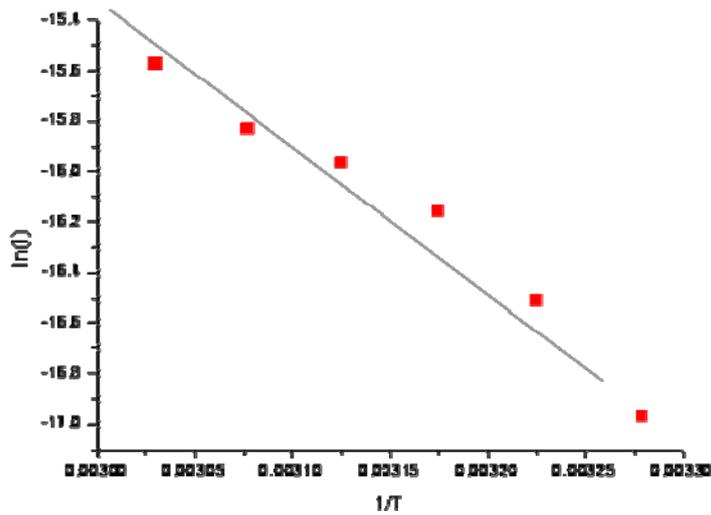


圖 3-8、利用電流-溫度法所得到的線性圖形。

所得到之斜率即為：

$$\text{slope} = -\frac{qV}{nk}$$

(3.8)

將參數代入後即可得到理想因子n。

在使用電流溫度法後[27, 28, 29]，藉由變溫量測以及電流電壓的式子，可以算出本實驗的理想因子 n 為 1.51，而算出來蕭特基的位能障高為 0.653eV。

可以得知使用矽化鎳有下列這幾個優點：矽化鎳適合於低溫製程，且擁有相當寬的製程溫度範圍；鎳金屬在形成矽化鎳的過程中矽的消耗量較矽化鈦和矽化鈷小，可由表1-1得知，1 nm的鎳原子只需要與1.83 nm的矽原子便可生成2.54 nm的矽化鎳[31]；鎳金屬在矽化過程中傾向於金屬移動到矽基座或複晶矽薄膜與矽反應，因此它幾乎沒有橋接短路現象；與矽化鈦比較，矽化鎳在摻雜方面也有較佳的穩定性；蕭特基的位能障較高，能改善漏電流的現象。

3-3 矽奈米線氧化作用測試

因為氧化反應的時間越久，矽奈米線被氧化的速率會越慢，這是因為二氧化矽的厚度越來越厚，矽原子與氧原子無法順利的產生反應，但由於此元件本身的矽奈米線寬度已經是 79.33 nm，所以要特別注意反應的溫度以及時間，避免矽奈米線完全反應掉，但又要使奈米線的直徑變得更小，因此選用了反應溫度 950°C 來做不同時間的測試。

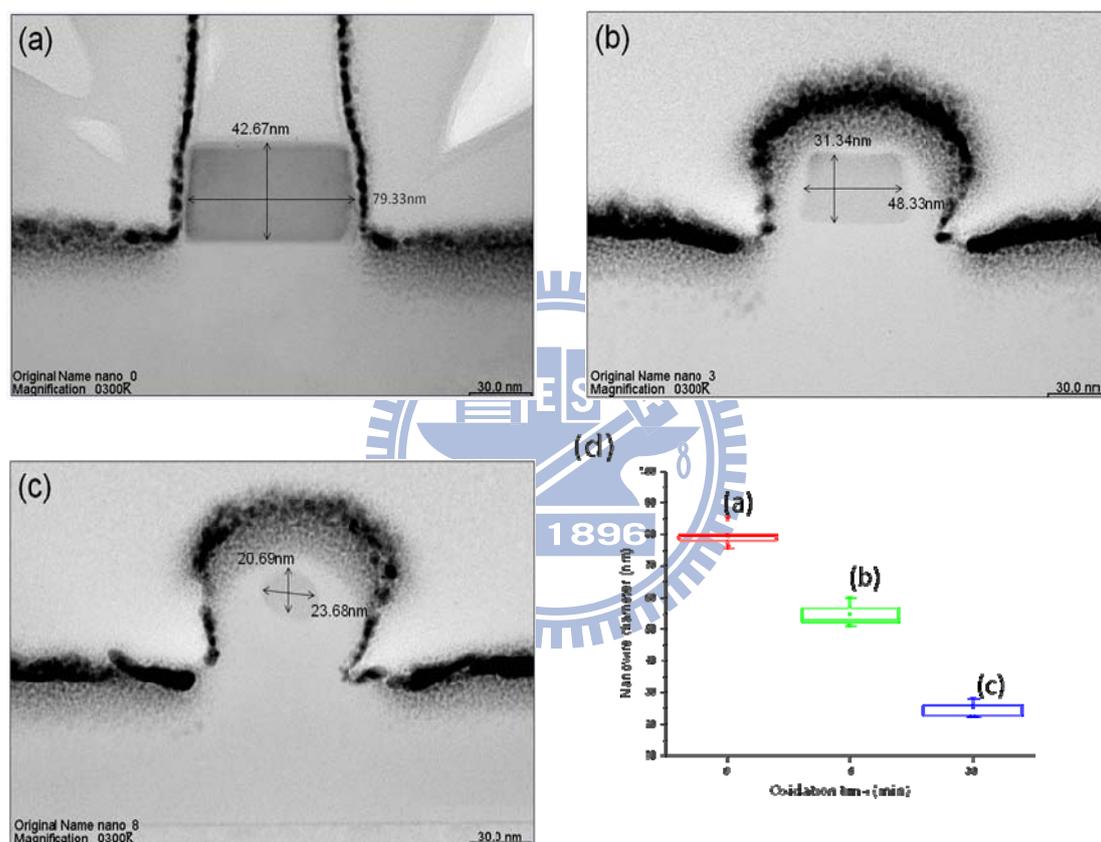


圖 3-9、950°C 下不同溫度用 TEM 來觀察矽奈米線的直徑 (a) 未經氧化的矽奈米線；(b) 反應 15 分鐘後；(c) 反應 30 分鐘後；(d) 矽奈米線的寬度與氧化時間的關係圖。

從圖 3-9 (a) 的 TEM 圖可以發現，未經氧化作用的矽奈米線寬度大約是 79.33 nm；圖 3-9 (b) 為反應溫度 950°C 下氧化時間 15 分鐘後，矽奈米線的寬度大約是 48.33 nm；圖 3-9 (c) 為反應溫度 950°C 下氧化時間 30 分鐘後，矽奈米線的直徑大

約是 23.68 nm；圖 3-9 (d)為反應溫度 950°C 下，矽奈米線與氧化時間的關係圖。本實驗希望藉由降低矽奈米線的寬度來降低之後元件的體積，在此所使用乾式熱氧化爐管的參數為 950°C 氧化 30 分鐘來做接下來的元件，目前可做到最細的矽奈米線直徑為 20~23 nm 左右。

3-4 蕭特基界面與歐姆界面的元件電性

奈米線蕭特基界面與歐姆界面電晶體元件製作完成後，利用光學顯微鏡拍攝元件之俯視圖，如圖3-10以及圖3-11所示。其中歐姆界面的奈米線之左右兩端為參雜濃度 10^{20} cm^{-3} 之矽；蕭特基界面的奈米線則是兩端皆為鎳矽化物，兩邊對稱之黃色部分為金之電極。奈米線長為 $10 \mu\text{m}$ 、寬為22.68 nm，矽與鎳矽奈米線之厚度為20.69 nm，電極金之厚度為100 nm。

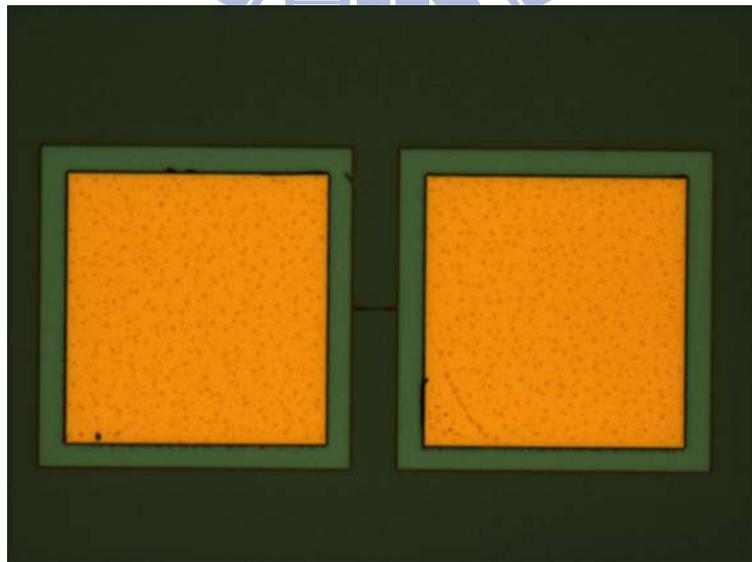


圖 3-10、光學顯微鏡拍攝元件之俯視圖。



圖 3-11、光學顯微鏡拍攝元件奈米線之俯視圖。

3-4-1 懸浮矽奈米線造成遲滯現象

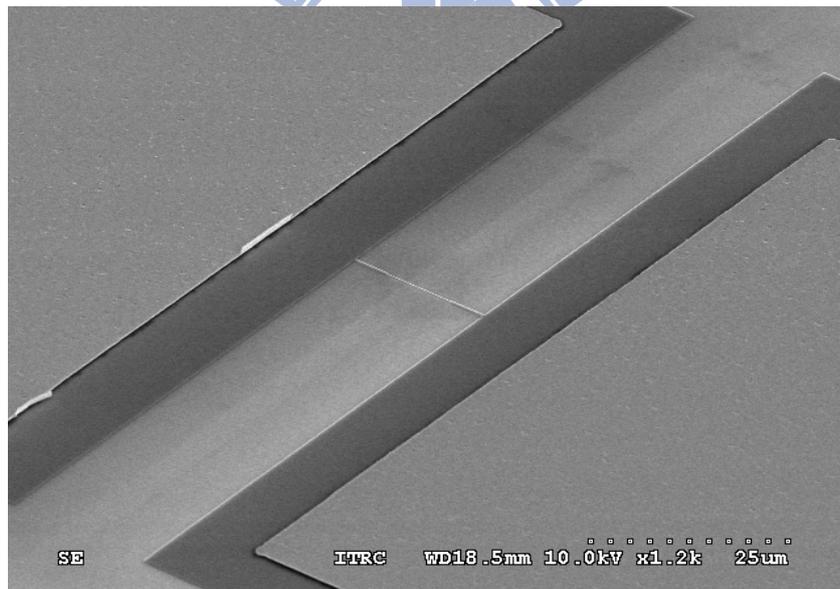


圖 3-12、使用 SEM 拍攝元件圖。

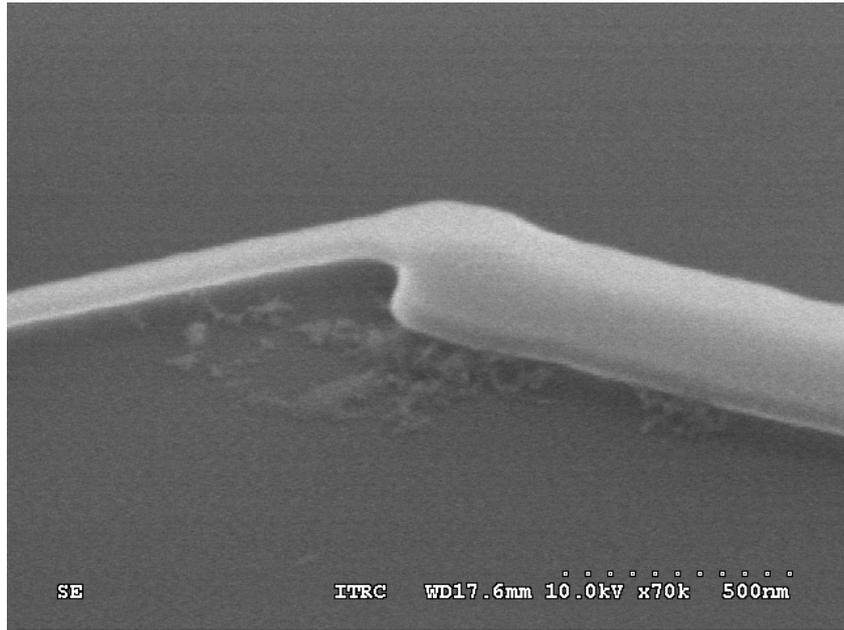


圖 3-13、使用 SEM 拍攝懸浮的矽奈米線圖。

由於此次所製作的是懸浮的矽奈米線如圖3-12以及圖3-13，目的為使鍵結帶電分子的表面積增大，但實際量測後會發現有嚴重的遲滯現象產生，這是因為大氣中的水分子會附著在元件上，使得載子可能會掉入通道裡的表面缺陷(trap)中，無法順利的導通，在電流傳輸的時候造成臨界電壓的位移(shift)。改善的方式就是使元件在真空下量測，本實驗在抽一小時的真空後，成功的移除掉元件上水分子，可以發現遲滯現象有效的改善了，其中N型的歐姆接面電流電壓特性如圖3-14，其中黑色的線是在大氣下正掃與反掃的電流電壓特性圖，紅色的線則是在抽真空下一小時之後所量出來的正掃反掃電流電壓特性圖；N型的蕭特基接面電流電壓特性如圖3-15；P型的歐姆接面電流電壓特性如圖3-16；P型的蕭特基接面電流電壓特性如圖3-17。

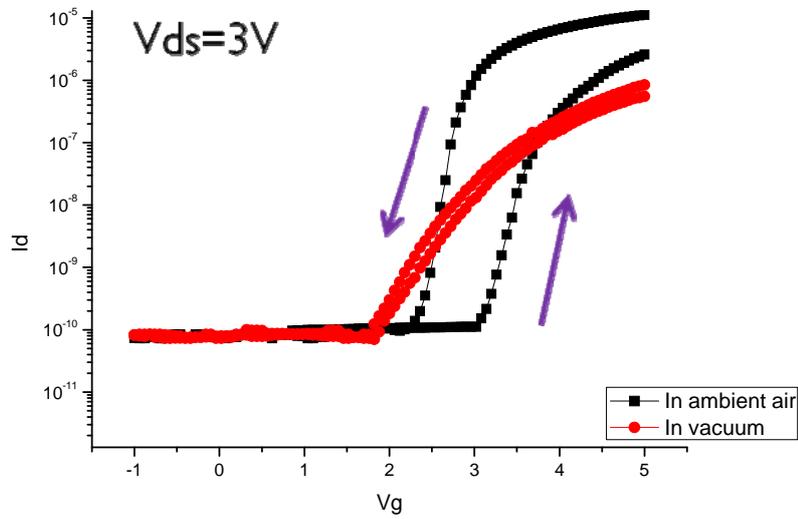


圖 3-14、N 型的歐姆接觸面電流電壓特性圖。

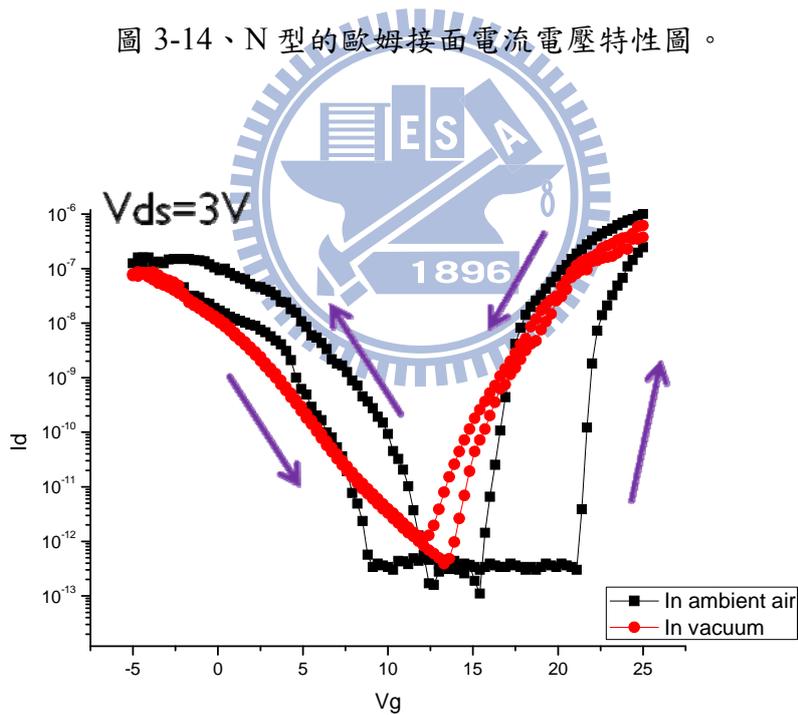


圖 3-15、N 型的蕭特基接觸面電流電壓特性圖。

由圖 3-14 可以看到 N 型的歐姆接觸面電流電壓特性圖，原本臨界電壓的位移現象有 1 V 左右，在抽完一小時的真空後量測發現，臨界電壓位移的現象明顯的減少許多。由圖 3-15 可以看到 N 型的蕭特基接觸面電流電壓特性圖，原本臨界電

壓的位移現象有 3~5 V 左右，在抽完一小時的真空後量測發現，臨界電壓位移的現象明顯的減少許多。

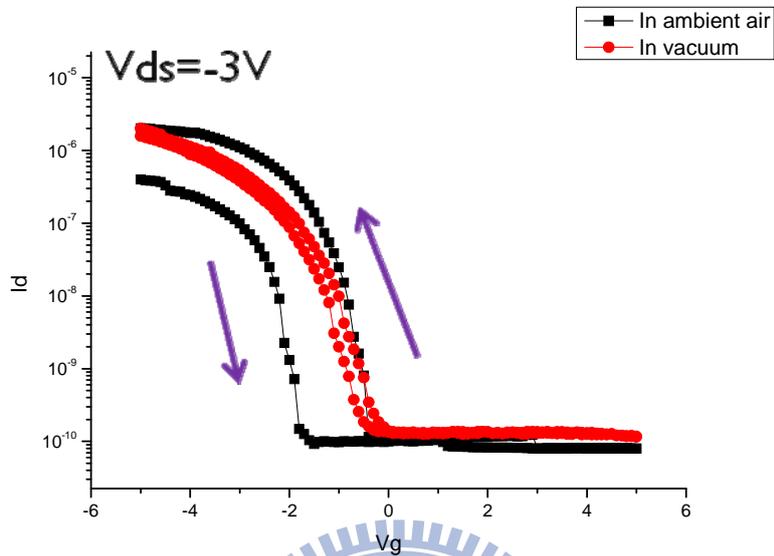


圖 3-16、P 型的歐姆接面電流電壓特性圖。

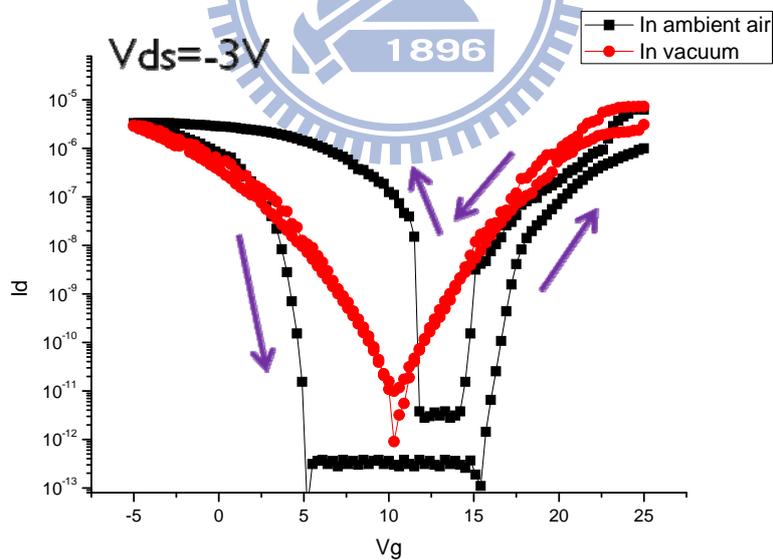


圖 3-17、P 型的蕭特基接面電流電壓特性圖。

由圖3-16可以看到P型的歐姆接面電流電壓特性圖，原本臨界電壓的位移現象有2 V左右，在抽完一小時的真空後量測發現，臨界電壓位移的現象明顯的減

少許多。由圖3-17可以看到P型的蕭特基界面電流電壓特性圖，原本臨界電壓的位移現象有1~7 V左右，在抽完一小時的真空後量測發現，臨界電壓位移的現象明顯的減少許多。

經由比較N型與P型的元件電流圖能夠發現，由於水分子帶有些微的負電，因此對於P型的元件影響較深，因為P型的載子為電洞，若通道上有帶負電的分子，那會產生較多的電洞，因此載子被trap後所表現出來的現象會比較嚴重，因此臨界電壓的位移也因此較大；若是N型的元件，因為水分子帶著些微的負電，對於載子也就是電子的影響較少，因此臨界電壓的位移較P型的元件還要小。進而比較歐姆界面與蕭特基界面的元件可以發現，不論是N型或是P型蕭特基界面的元件臨界電壓位移的現象皆比歐姆界面還要大，尤其是逆向偏壓的部分，這是因為閘極效應的影響[7]。因此可以證明懸浮的矽奈米線蕭特基元件對於表面電壓，也就是上閘極電壓的變化感測相當敏感。

3-4-2 閘極效應對元件電性的影響

當元件奈米線蕭特基界面與歐姆界面電晶體完成後，首先測試元件之電流-電壓特性，並加上不同之背電極 V_G 閘極電壓，比較當加上不同之閘極電壓時，元件受到閘極電壓影響之變化量。當 V_G 大於 V_{TH} 時，若繼續增加 V_G 的話，電流就會越大，量測結果如下圖：

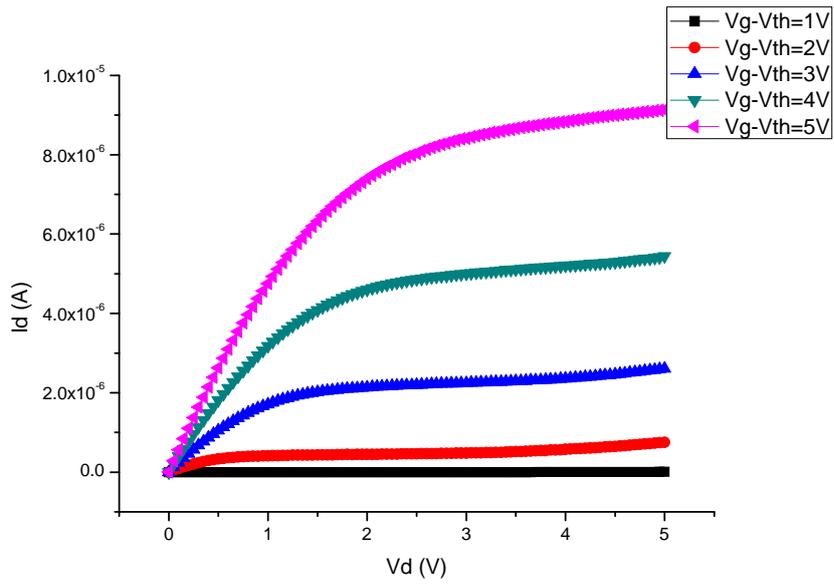


圖 3-18、N 型奈米線歐姆接面元件之電流電壓特性圖。

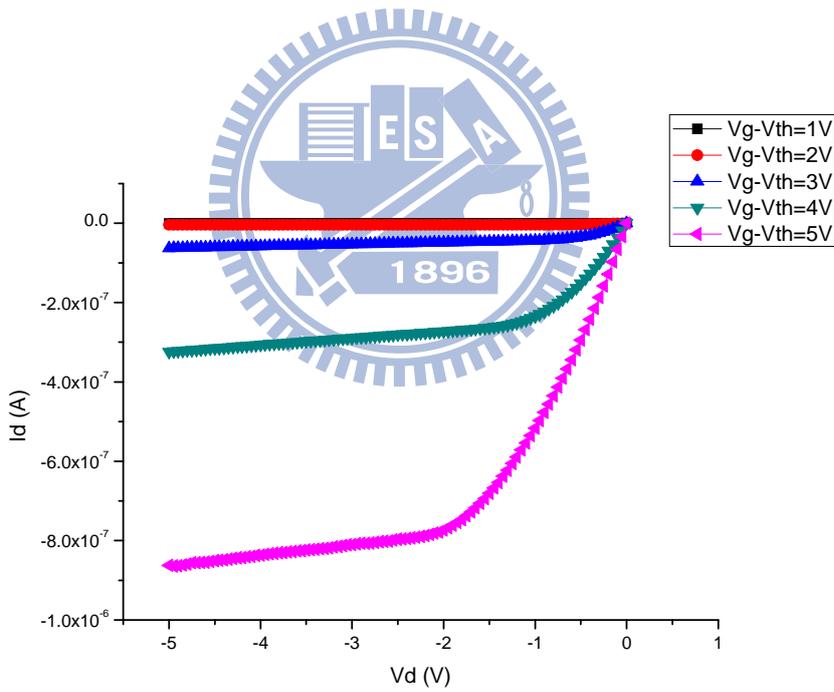


圖 3-19、P 型奈米線歐姆接面元件之電流電壓特性圖。

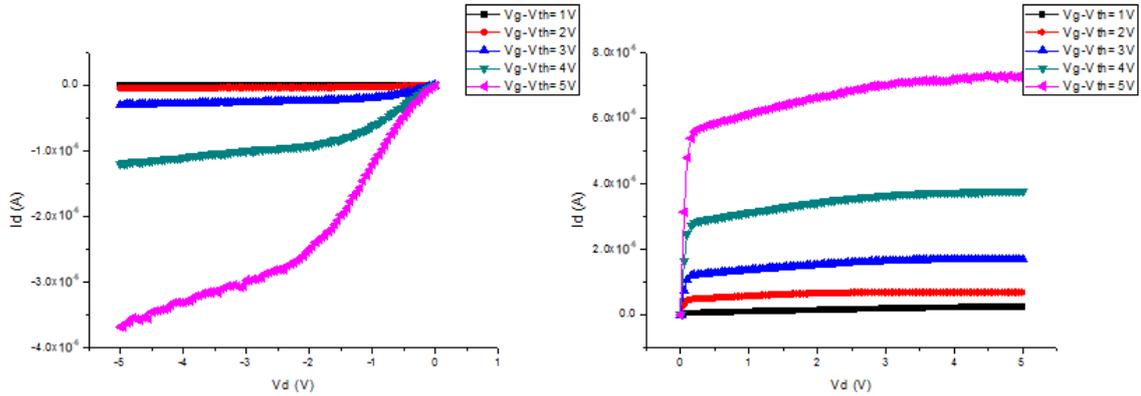


圖 3-20、N 型奈米線蕭特基界面元件之電流電壓特性圖。

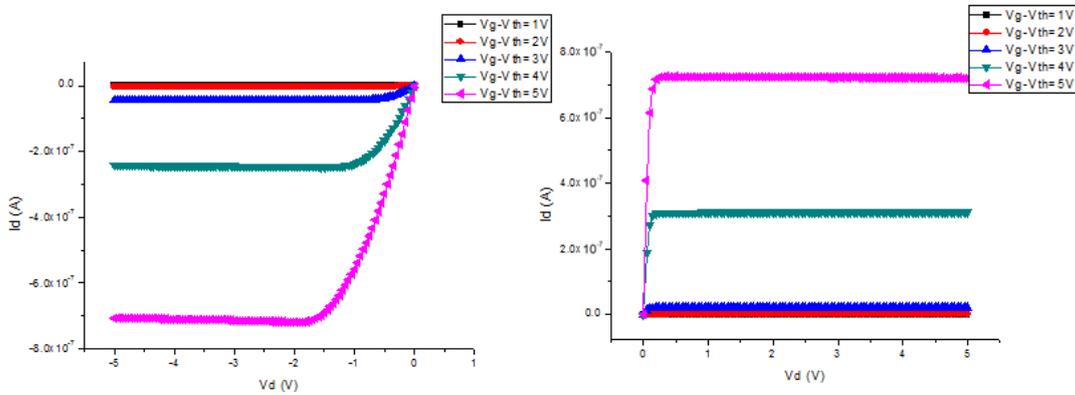


圖 3-21、P 型奈米線蕭特基界面元件之電流電壓特性圖。

由固態物理理論可知，奈米線上的載子密度受到外加閘極電壓所影響，載子會被空乏(Depletion)或是聚集(Accumulation)，進而改變奈米線的電流值。圖 3-18與圖3-19為所製作的奈米線歐姆界面元件之電流電壓特性圖，圖3-20與圖 3-21為所製作的奈米線蕭特基界面元件之電流電壓特性圖。量測結果符合固態物理理論，本次實驗元件在N型參雜時，外加閘極為負電會造成N型載子空乏，而使元件之電流及電導因此下降；同樣地，當外加閘極為正電時，使得N型載子聚集，元件之電流及電導因此上升。反之，實驗元件在P型參雜時，外加閘極為負電會造成P型載子聚集，而使元件之電流及電導因此上升；同樣地，當外加閘極為正電時，使得P型載子空乏，元件之電流及電導因此下降。在表3-3整理了在

$V_G - V_{TH} = 5$ V時的飽和電流 I_D 減掉 $V_G - V_{TH} = 4$ V時的飽和電流 I_D 所得到的值，目的在於了解當 V_G 多加1 V後， I_D 飽和電流的變化量。

表 3-3、比較 N 型與 P 型的閘極效應。

	N-type			P-type		
	Ohmic contact	Schottky contact		Ohmic contact	Schottky contact	
		$V_D < 0$	$V_D > 0$		$V_D < 0$	$V_D > 0$
Current change	$\sim 3 \times 10^{-6}$ A	$\sim 3.5 \times 10^{-6}$ A	$\sim 3.5 \times 10^{-6}$ A	$\sim 4 \times 10^{-7}$ A	$\sim 5 \times 10^{-7}$ A	$\sim 5 \times 10^{-7}$ A

由表3-3裡能夠看到，N型的蕭特基接面元件電流改變量大於歐姆接面的元件，而P型的也一樣，蕭特基接面元件電流改變量大於歐姆接面元件，由此可知，在矽奈米線蕭特基元件的閘極效應較歐姆接面的元件明顯。接下來會藉由在元件表面鍵結帶正電的APTS分子以及帶負電的NTA來看歐姆接面與蕭特基接面的元件閘極效應是否與以上的實驗成果相符合。

3-5 化學分子修飾元件表面

為了測試此次所製作出來的四種元件之感測特性，在元件完成電流-電壓量測後，即在元件表面修飾帶電之化學分子。其中，實驗選用之系統為 APTS(3-Aminopropyltriethoxy silane)及 NTA(N-trimethoxy-silypropyl-ethylenediamine triacetic acid)，APTS 的特性帶有正電，NTA 則是帶負電。奈米線電晶體表面接上特定之帶電微小物質，相當於形

成類似一個上電極的結構。因此若接上奈米線之物質帶正電，則等效於對元件加上一個上電極之正電壓；同理，若接上之物質帶負電，則等效於對元件加上一上電極之負電壓。實驗中分別在修飾 APTS 及 NTA 後作電流-電壓之量測，以比較表面修飾化學分子對於元件電性上之影響。

本實驗對四種元件表面作分子之修飾，並作電性之量測，修飾 APTS 前後的電性圖結果如下圖：

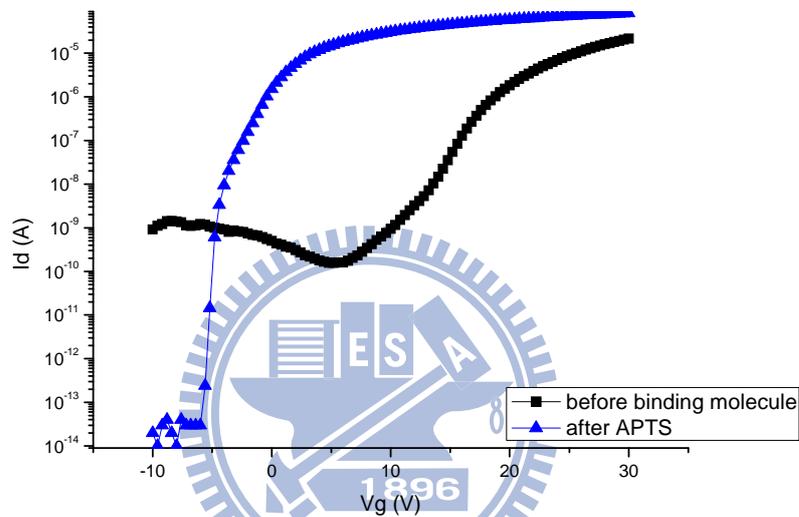


圖 3-22、N 型歐姆接面電晶體表面修飾 APTS 前後電流電壓特性圖。

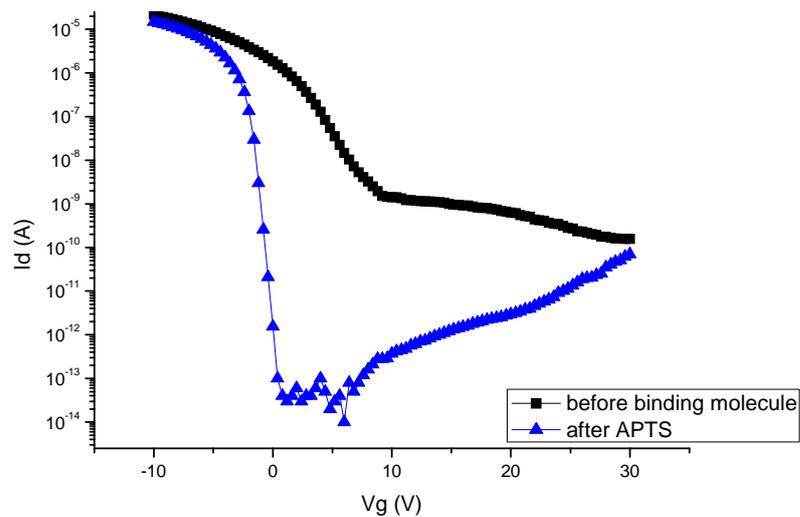


圖 3-23、P 型歐姆接面電晶體表面修飾 APTS 前後電流電壓特性圖。

在這裡所鍵結的是 APTS 分子，所帶的電荷是正電，因此對於本實驗的四種元件臨界電壓造成位移(Shift)的現象。關於 N 型歐姆接面元件載子是電子，因此若加了一個正電的分子等同於在通道上加了一個上閘極的正電壓，使臨界電壓會往左移動，這是因為加了 APTS 後通道裡的載子會聚集變多，所以只需要施加比加入 APTS 前更少的 V_G 便可以使電流導通。如圖 3-22 所示，黑色的線是加入 APTS 前的電流圖，藍色的線則是加入 APTS 後的電流圖，可以觀察到在加入帶有正電的 APTS 後，臨界電壓明顯有往左邊位移的現象。關於 P 型歐姆接面元件的載子是電洞，因此若加了一個正電的分子等同於在通道上加了一個上閘極的正電壓，使臨界電壓會往左移動，這是因為加了 APTS 後通道裡的載子空乏變少，所以必須要施加比加入 APTS 前更多的 V_G 才可以使電流導通。如圖 3-23 所示，黑色的線是加入 APTS 前的電流圖，藍色的線則是加入 APTS 後的電流圖，可以觀察到在加入帶有正電的 APTS 後，臨界電壓明顯有往左邊位移的現象。

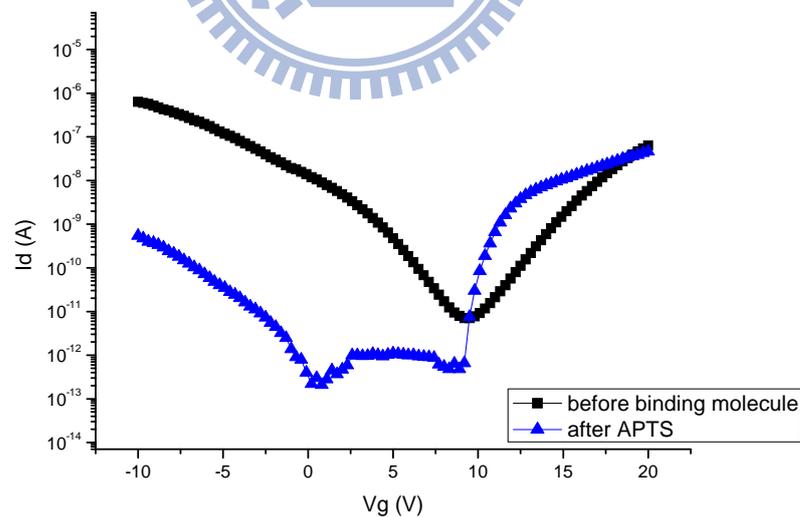


圖 3-24、N 型蕭特基接面電晶體表面修飾 APTS 前後電流電壓特性圖。

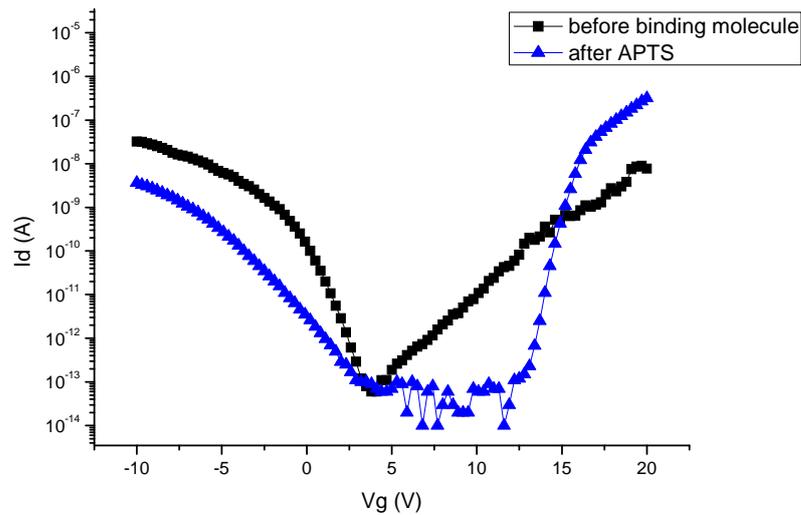


圖 3-25、P 型蕭特基界面電晶體表面修飾 APTS 前後電流電壓特性圖。

由於蕭特基界面的元件擁有雙載子傳輸(Ambipolar)的特性，因此會依照所給的 V_g 不同而擁有不同的載子，加入的 APTS 帶有正電，因此對於 N 型的元件會較為敏感。看到圖 3-24，在 N 型的蕭特基界面，因為加入的是帶正電的 APTS，因此在 $V_g > 0$ 的部分臨界電壓會往左移，這是因為加了 V_g 後主要載子為電子，而加了帶正電的 APTS 如同加了一個上閘極的正電壓，造成更多的載子出現，因此只需要給比加入 APTS 前還要少的 V_g 便可以使電流導通；若是 N 型的蕭特基界面在 $V_g < 0$ 的部分臨界電壓會往左移，因為此時的載子會是電洞，加入了帶正電的 APTS 如同加了一個上閘極的正電壓，使得載子變少，因此必須要給比加入 APTS 前還要更多的 V_g 才可以使電流導通，因此臨界電壓會往左位移。

之後也做了鍵結帶負電的 NTA，加入 NTA 前的電流為黑色的線，加入 NTA 後的電流為藍色的線，將此分別來做歐姆界面與蕭特基界面的比較，來看臨界電壓的位移是否明顯。修飾 NTA 前後的電性圖結果如下圖：

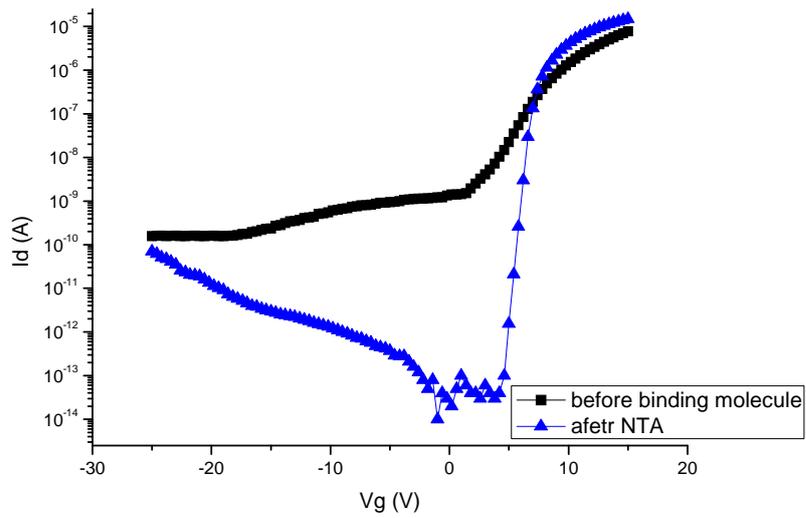


圖 3-26、N 型歐姆接觸電晶體表面修飾 NTA 前後電流電壓特性圖。

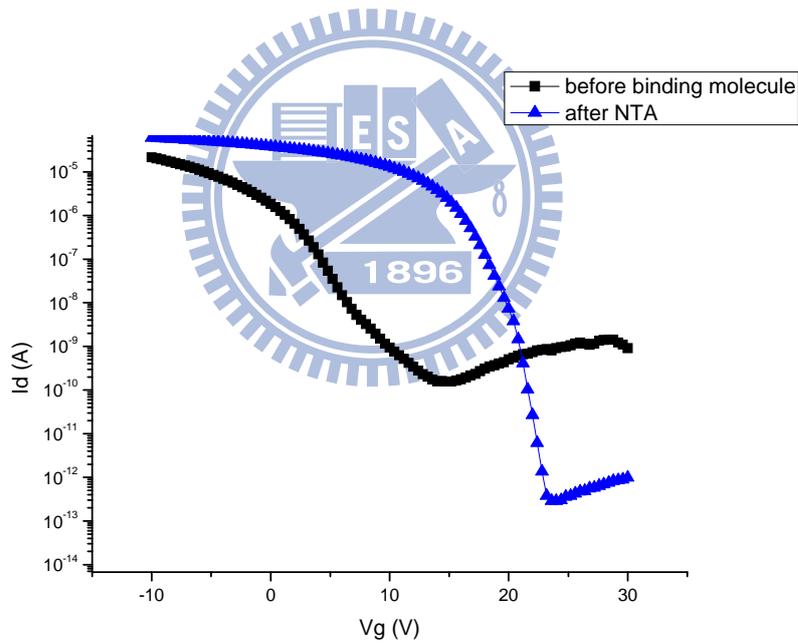


圖 3-27、P 型歐姆接觸電晶體表面修飾 NTA 前後電流電壓特性圖。

在這裡所鍵結的是 NTA 分子，所帶的電荷是負電，因此對於本實驗的四種元件臨界電壓會造成位移(Shift)的現象。關於 N 型歐姆接觸元件載子是電子，因此若加了一個負電的分子等同於在通道上加了一個上閘極的負電壓，使臨界電壓會往右移動，這是因為加了 NTA 後通道裡的載子空乏變少，所以必須要施加比

加入 NTA 前更多的 V_G 才可以使電流通。如圖 3-26 所示，黑色的線是加入 NTA 前的電流圖，藍色的線則是加入 NTA 後的電流圖，可以觀察到在加入帶有負電的 NTA 後，臨界電壓明顯有往右邊位移的現象。關於 P 型歐姆接面元件載子是電洞，因此若加了一個負電的分子等同於在通道上加了一個上閘極的負電壓，使臨界電壓會往右移動，這是因為加了 NTA 後通道裡的載子聚集變多，所以只需要施加比加入前更少的 V_G 就可以使電流通。如圖 3-27 所示，黑色的線是加入 NTA 前的電流圖，藍色的線則是加入 NTA 後的電流圖，可以觀察到在加入帶有負電的 NTA 後，臨界電壓明顯有往右邊位移的現象。

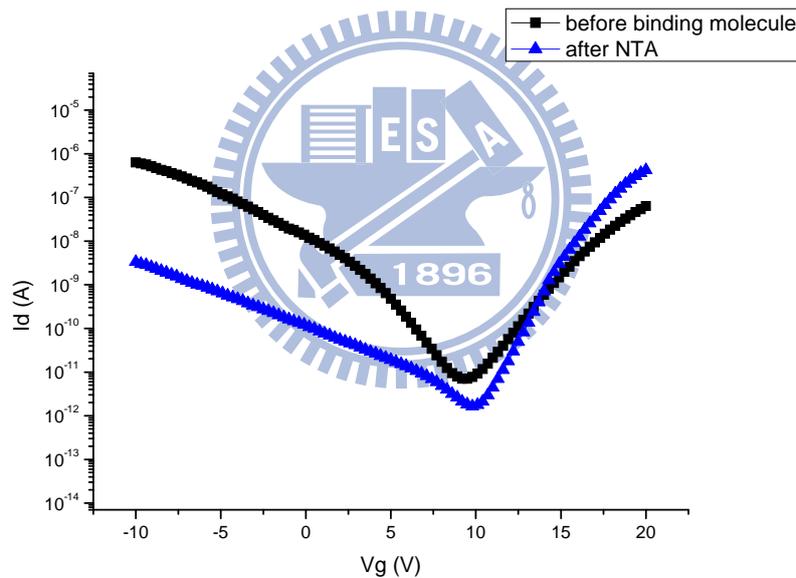


圖 3-28、N 型蕭特基接面電晶體表面修飾 NTA 前後電流電壓特性圖。

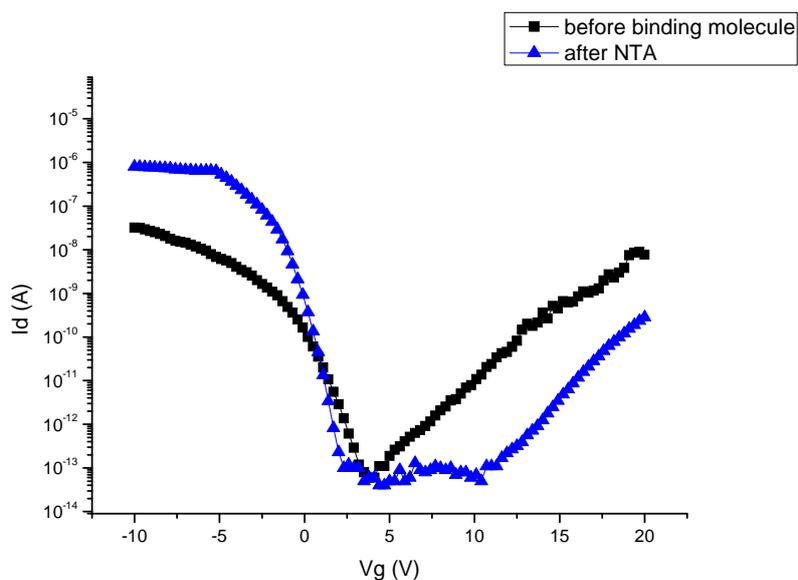


圖 3-29、P 型蕭特基界面電晶體表面修飾 NTA 前後電流電壓特性圖。

在加入帶有負電的 NTA 後，看到圖 3-28，在 N 型的蕭特基界面，因為加入的是帶負電的 NTA，因此在 $V_g > 0$ 的部分臨界電壓會稍微往右移，這是因為加了 V_g 後主要載子為電子，而加了帶負電的 NTA 如同加了一個上閘極的負電壓，造成載子的空乏，因此必須要給比加入 NTA 前還要多的 V_g 才可以使電流導通；若是 N 型的蕭特基界面在 $V_g < 0$ 的部分臨界電壓也會稍微往右移，因為此時的載子是電洞，加入了帶負電的 NTA 如同加了一個上閘極的負電壓，使得載子變多，因此只需要給比加入 NTA 前更少的 V_g 就可以使電流導通，因此臨界電壓會往右位移。對於 P 型的元件會較為敏感。看到圖 3-29，在 P 型的蕭特基界面，因為加入的是帶負電的 NTA，因此在 $V_g > 0$ 的部分臨界電壓會往右移，這是因為加了 V_g 後主要載子為電子，而加了帶負電的 NTA 如同加了一個上閘極的負電壓，造成載子的空乏，因此必須要給比加入 NTA 前還要多的 V_g 才可以使電流導通；若是 P 型的蕭特基界面在 $V_g < 0$ 的部分臨界電壓也會往右移，因為此時的載子是電洞，加入了帶負電的 NTA 如同加了一個上閘極的負電壓，使得載子變多，因此只需要給比加入 NTA 前更少的 V_g 就可以使電流導通，因此臨界

電壓會往右位移。

奈米線電晶體之感測器，主要即是利用對奈米線表面做鍵結特定之帶電微小物質，而形成類似一個上電極的結構。奈米線上的載子密度(Carrier Density)，受到表面接著分子(在這裡是帶有正電的 APTS 以及帶有負電的 NTA)所帶電荷的影響，依據固態物理理論其載子會被 Depletion 或 Accumulation，進而改變奈米線的臨界電壓值，因為當通道裡因鍵結帶電分子後載子變多，於是背電極 V_g 只需要加比鍵結帶電分子前較少的電壓即可形成電流的導通；反之，當通道裡因鍵結帶電分子後載子變少，那背電極 V_g 就必須要加比鍵結帶電分子前更多的電壓才能造成電流的導通。

本次論文實驗所製作的元件有 N 型矽，因此若接上奈米線之物質帶負電，則等效於對元件加上一上電極之負電壓，造成 N 型載子空乏，而使元件之臨界電壓變大；同理，若接上之物質帶正電，則等效於對元件加上一上電極之正電壓，造成 N 型載子聚集，而使元件之臨界電壓變小。借由觀測臨界電壓的位移達到其感測分子之目的。P 型矽的元件則是相反，若接上奈米線之物質帶負電，則等效於對元件加上一上電極之負電壓，造成 P 型載子聚集，而使元件之臨界電壓下降；同理，若接上之物質帶正電，則等效於對元件加上一上電極之正電壓，造成 P 型載子空乏，而使元件之臨界電壓上升。然而，一樣是藉由觀測臨界電壓的位移來達到感測分子之目的。

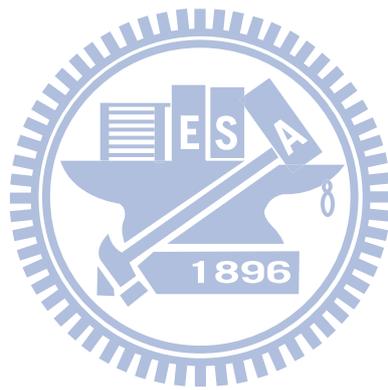
表 3-4、比較臨界電壓的位移。

Molecular		APTS		NTA	
		Ohmic contact	Schottky contact	Ohmic contact	Schottky contact
N-type	Vth shift (V)	~10	~10	~2	~5
P-type	Vth shift (V)	~5	~8	~10	~10

可以經由表 3-4 的整理來看，在鍵結帶正電的 APTS 時，P 型的蕭特基接面的臨界電壓位移比歐姆接面的元件還要大，而在鍵結帶有負電的 NTA 時則是 N 型的蕭特基接面的臨界電壓位移比歐姆接面的元件還要大。由此表可以得知，若是 N 型的元件，在鍵結帶正電的 APTS 時不論是歐姆界面或是蕭特基接面的元件都可以明顯的看到臨界電壓的位移，但是在鍵結 NTA 時，蕭特基接面的元件比起歐姆接面的元件臨界電壓的位移還要大。也就是說一樣是 N 型，歐姆接面的元件在感測帶正電的分子時臨界電壓的位移與蕭特基界面雖然差不多，但是在感測帶負電的分子時臨界電壓的位移卻只有蕭特基界面的一半，因此推測元件是 N 型時，蕭特基界面比歐姆接面的元件感測度比較好。

若是 P 型的元件，在鍵結帶負電的 NTA 時不論是歐姆界面或是蕭特基接面的元件都可以明顯的看到臨界電壓的位移，但是在鍵結 APTS 時，蕭特基接面的元件比起歐姆接面的元件臨界電壓的位移還要大。也就是說一樣是 P 型，歐姆接面的元件在感測帶負電的分子時臨界電壓的位移與蕭特基界面雖然差不多，但是在感測帶正電的分子時臨界電壓的位移卻只有蕭特基界面的一半，因此推測元件是 P 型時，蕭特基界面比歐姆接面的元件感測度比較好。綜合以上電性圖的量測

來做統整，可以得知不論是 N 型或是 P 型的元件，蕭特基接面的元件在鍵結帶電分子後所改變的臨界電壓位移會較歐姆接面還要優異。



第四章

結論與未來展望

4-1 結論

由以上之實驗結果與討論，可以歸納出以下之結論：

1. 藉由 SEM、TEM、EDX、XPS 等材料分析儀器，探討我們所實驗的鎳矽化物材料特性。由 SEM 圖可以成功的看出鎳矽化物擴散的長度以便推算出鎳矽化物的擴散速率；由 TEM 可以看出我們矽奈米線的剖面圖，可得知經由氧化作用後的矽奈米線直徑最低可以降到多少奈米；由 EDX 成功的分析出本實驗的鎳矽化物中，鎳原子與矽原子的成分比例為 48.32%與 51.68%，接近於一比一；由 XPS 拍攝到鎳矽化物的晶格繞射圖，比較對照過後確定鎳矽化物的相位是 NiSi。
2. 經由變溫量測實驗，計算出蕭特基界面之等效蕭特基位能障高度，並且討論歐姆界面與蕭特基界面感測器之載子傳輸機制以及感測機制。
3. 藉由氧化作用成功的降低了矽奈米線的寬度達到縮小元件的目的，並且經由 TEM 觀測出矽奈米線直徑從約 79 nm 降低為約 22 nm 左右。
4. 為了增加帶電分子吸附的面積，成功的做出懸浮的奈米線。
5. 由於大氣中的水分子會吸附在奈米線上造成電性遲滯現象的產生，因此利用抽真空把量測系統中的水分子移除，成功的解決了遲滯現象的發生。
6. 此實驗成功的製作出 N 型以及 P 型之奈米線歐姆界面與蕭特基界面元件感測器，並進行電性量測分析。成功的發現到這四種元件對於閘極效應在逆向偏壓部分很明顯。
7. 分別在鍵結帶有正電的 APTS 分子或是帶有負電的 NTA 分子下，N 型或是 P 型的奈米線歐姆界面或是蕭特基界面元件皆可因為臨界電壓明顯的位移而成功的感測到帶電之分子，並且以蕭特基界面元件的逆向偏壓部分，臨界電壓

的位移較歐姆界面元件明顯許多，因此推論不論是 N 型或是 P 型的矽奈米線蕭特基界面元件，皆適合拿來當做感測器使用，期待未來可成為感測器的主要元件之一。

4-2 未來展望

由以上所得到之結果，我們預測奈米線蕭特基界面所製造的元件，對於感測帶電分子極具潛力，可能成為未來應用於生物分子感測之主要元件之一。在此，對於未來之工作有幾項建議。

首先是研究開發更好之製程參數以及材料，實驗中所製作出之奈米線蕭特基界面感測元件，對於生物感測而言並不見得是最佳化製程，因此研究開發更好的製程參數來符合生物感測之需求是相當重要的。在設計元件前可以利用數值分析模擬程式來預測奈米線蕭特基界面元件感測器之最佳化製程參數以及建立感測機制模型。其次是即時量測(Real-time)，在本次的實驗中，量測之方式皆為靜態量測，但對於生物檢測而言，即時量測是必須要的。相信奈米線蕭特基界面的元件未來可以應用於生物感測器主要元件之一。

參考文獻

- [1] K. Grosios, and P. Traxler, "Tyrosine kinase targets in drug discovery," *Drugs Future*, vol. 28, pp. 670-697, 2003.
- [2] J. Becker, "Signal transduction inhibitors—a work in progress," *Nat. Biotechnol.*, vol. 22, pp. 15-18, 2004.
- [3] Y. Cui, Q. Wei, H. Park, and C. M. Lieber, "Nanowire nanosensors for highly sensitive and selective detection of biological and chemical species," *Science*, vol. 293, pp. 1289-1292, 2001.
- [4] H. R. Byon, and H. C. Choi, "Network single-walled carbon nanotube-field effect transistors with increased Schottky contact area for highly sensitive biosensor applications," *J. Am. Chem. Soc.*, vol. 128, pp. 2188-2189, 2006.
- [5] X. Tang, S. Bansaruntip, N. Nakayama, E. Yenilmez, Y. L. Chang, and Q. Wang, "Carbon nanotube DNA sensor and sensing mechanism," *Nano Lett.*, vol. 6, no. 8, pp. 1632-1636, 2006.
- [6] B. L. Allen, P. D. Kichambare, and A. Sta, "Carbon Nanotube Field-Effect-Transistor-Based Biosensors," *Adv. Mater.*, vol.19, pp. 1439–1451, 2007.
- [7] M. H. Yang, K. B. K. Teo, and W. I. Milne, "Carbon nanotube Schottky diode and directionally dependent field-effect transistor using asymmetrical contacts," *Appl. Phys. Lett.*, vol. 87, pp. 253116-253123, 2005.
- [8] B. Y. Choi, "Experimental study on self-aligned nickel silicide technology," *SMDL Annual Report*, 2003.
- [9] B. Cafra, A. Alberti, L. Ottaviano, C. Bongiorno, G. Mannino, T. Kammler, and T. Feudel, "Thermal stability of nickel silicide on silicon on insulator (SOI) material," *Mater. Sci. Eng. B*, vol. 114–115, pp. 228–231, 2004.

- [10] A. Alberti, B. Cafra, C. Bongiorno, G. Mannino, V. Privitera, T. Kammler, T. Feudel, "Thin nickel silicide layer formation on silicon on insulator material," *Mater. Sci. Eng. B*, vol. 114–115, pp. 42–45, 2004.
- [11] A. Lauwers, J. A. Kittl, M. J. H. Van Dal, O. Chamirian, M. A. Pawlak, M. de Potter, R. Lindsay, T. Raymakers, X. Pages, B. Mebarki, T. Mandrekar, and K. Maex, "Ni based silicides for 45 nm CMOS and beyond," *Mater. Sci. Eng. B*, vol. 114–115, pp. 29–41, 2004.
- [12] Y. L. Jiang, G. P. Ru, W. Huang, X. P. Qu, B. Z. Li, A. Agarwal, G. Cai, J. Poate, C. Detavernier, R. L. V. Meirhaeghe, "Electrical characterization of NiSi/Si interfaces formed by a single and a two-step rapid thermal silicidation," *Semicond. Sci. Technol.*, vol. 20, pp. 716–719, 2005.
- [13] Y. Cui, Q. Wei, H. Park, C. M. Lieber, "Nanowire nanosensors for highly sensitive and selective detection of biological and chemical species," *Science*, vol. 293, pp. 1289-1292, 2001.
- [14] S. C. Chen, T. C. Chang, P. T. Liu, Y. C. Wu, P. S. Lin, B. H. Tseng, J. H. Shy, S. M. Sze, C. Y. Chang, and C. H. Lien, "A Novel Nanowire Channel Poly-Si TFT Functioning as Transistor and Nonvolatile SONOS Memory," *IEEE Electron Device Letters*, vol. 28, no. 9, pp. 809-811, 2007.
- [15] X. Duan, C. Niu, V. Sahi, J. Chen, J. W. Parce, S. Empedocles, and J. L. Goldman, "High-performance thin-film transistors using semiconductor nanowires and nanoribbons," *Nature*, vol.425, pp.274-278, 2003.
- [16] Y. C. Wu, T. C. Chang, C. Y. Chang, C. S. Chen, C. H. Tu, P. T. Liu, H. W. Zan, and Y. H. Tai, "High-performance polycrystalline silicon thin-film transistor with multiple nanowire channels and lightly doped drain structure," *Applied Physics Letters*, vol. 84, no. 19, pp. 3822-3824, 2004.
- [17] M. S. Gudiksen, J. Wang, and C. M. Lieber, "Synthetic Control of the Diameter

- and Length of Single Crystal Semiconductor Nanowires," J. Phys. Chem. B, pp. 4062-4064, 2001.
- [18] J. Redwing, T. Mayer, "Semiconductor Nanowires: Building Blocks for Nanoscale Electronics," NSF Nanoscale Science and Engineering Grantees Conference, pp. 11-13, 2002.
- [19] C. Li, Daihua, S. Han, X. Liu, T. Tang, and C. Zhou, "Diameter-Controlled Growth of Single-Crystalline In₂O₃ Nanowire and Their Electronic Properties," Adv. Mater, vol. 15, no. 2, pp. 143-146, 2003.
- [20] N. Singh, A. Agarwal, L. L. Bera, T. Y. Liow, R. Yang, S. C. Rustagi, C. H. Tung, R. Kumar, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, "High-performance fully depleted silicon nanowire (diameter ≤ 5 nm) gate-all-around CMOS devices," IEEE Electron Device Letters, vol. 27, no. 5, pp. 383-386, 2006.
- [21] P. Nguyen, S. Vaddiraju, and M. Meyyappan, "Indium and Tin Oxide Nanowires by Vapor-Liquid-Solid Growth Technique," Journal of ELECTRONIC MATERIALS, vol. 35, no. 2, 2006.
- [22] E. C. Dickey, T. E. Clark, X. hang, J. M. Redwing, "Size Effects in the Vapor-Liquid Solid (VLS) Growth of Semiconductor Nanowires," Microsc Microanal pp. 14, 2008.
- [23] H. K. Lin, H. A. Cheng, C. Y. Lee, and H. T. Chiu, "Chemical Vapor Deposition of TiSi Nanowires on C₅₄ TiSi₂ Thin Film: An Amorphous Titanium Silicide Interlayer Assisted Nanowire Growth," Chem. Mater, vol. 21, pp. 5388–5396, 2009.
- [24] H. Iwai, H. Kamimura, "Nickel silicide contact for Silicon Nanowire FET," Department of Electronics and Applied Physics Tokyo Institute of Technology Master Thesis, 2009.

- [25] S. C. Rustagi, N. Singh, W. W. Fang, K. D. Buddharaju, S. R. Omampuliyur, S. H. G. Teo, C. H. Tung, G. Q. Lo, N. Balasubramanian and D. L. Kwong, "CMOS Inverter Based on Gate-All-Around Silicon-Nanowire MOSFETs Fabricated Using Top-Down Approach," IEEE Electron Device Letters, vol. 28, no. 11, pp. 1021, 2007.
- [26] A. Hubert, J. P. Colonna, S. Becu, C. Dupre, V. M. Alvaro, J. M. Hartumann, "Oxidation of Suspended Stacked Silicon Nanowire for Sub-10nm Cross-Section Shape Optimization," ECS Transactions, vol. 13, pp. 195-199, 2008.
- [27] J. Pelleg, and A. Douhin, "Evaluation of Schottky barrier height of TiN/p-type Si (100)," J. Vac. Sci. Technol., vol. 22, no. 5, pp. 1980-1983, 2004.
- [28] S. M. Sze, "Physics of semiconductor devices," Wiley-Interscience, 3rd Edition, pp. 134-373, 2007.
- [29] D. A. Neamen, "Semiconductor physics & devices," Mc-Graw-Hill, 3rd Edition, pp. 375-415, 2003.
- [30] D. J. Coe, and E. H. Rhoderick, "Silicide formation in Ni-Si Schottky barrier diodes," J. Phys. D: Appl. Phys., vol. 9, 1976.
- [31] W. Chang, "Improvement of Thermal Stability for Nickel Silicide formed on Poly-Si_{0.82}Ge_{0.18}," Graduate Institute of Electronic Engineering Master's Thesis, pp. 135, 2005.
- [32] J. Appenzeller, J. Knoch, E. Tutuc, M. Reuter, and S. Guha, "Dual-gate silicon nanowire transistors with nickel silicide contacts," INTERNATIONAL ELECTRON DEVICES MEETING, vol. 1, pp. 302-305, 2006.
- [33] V. Teodorescu, L. Nistor, H. Bender, A. Steegen, A. Lauwers, K. Maex, and J. Van Landuyt, "In situ transmission electron microscopy study of Ni silicide phases formed on .001. Si active lines," J. Appl. Phys, vol. 90, no. 1, pp.167-175, 2001.

- [34] D. Smeets, A. Vantomme, K. D. Keyser, C. Detavernier, and C. Lavoie, "The role of lattice mismatch and kinetics in texture development: $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ thin films on Si(100)," J. Appl. Phys, vol. 103, pp. 063506-063517, 2008.
- [35] D. K. Schroder, "Semiconductor material and device characterization," A Wiley-Interscience Publication, pp. 163-365, 1998.
- [36] N. Biswas, J. Gurganus, and V. Misraa, "Work function tuning of nickel silicide by co-sputtering nickel and silicon, " Appl. Phys. Lett., vol. 87, no. 17, pp. 171908-171910, 2005.

