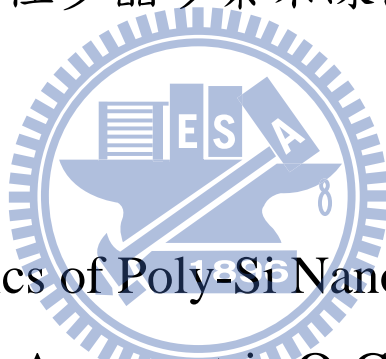


國立交通大學

材料科學與工程學系奈米科技碩士班

碩士論文

非對稱 Ω 式閘極多晶矽奈米線薄膜電晶體之特性



Characteristics of Poly-Si Nanowire TFTs With
Asymmetric Ω -Gate

研究生：羅以倫

指導教授：許鈺宗 博士

中華民國九十九年九月

非對稱 Ω 式閘極多晶矽奈米線薄膜電晶體之特性

Characteristics of Poly-Si Nanowire TFTs With Asymmetric Ω -Gate

研究生：羅以倫

Student : E-Lun Lou

指導教授：許鈺宗

Advisor : Jeng-Tzong Sheu

國立交通大學

材料科學與工程學系奈米科技碩士班



Submitted to Department of Institute Nanotechnology
College of Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master

in

Nanotechnology

September, 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年九月

非對稱 Ω 式閘極多晶矽奈米線薄膜電晶體之特性

學生：羅以倫

指導教授：許鈺宗 博士

國立交通大學

材料科學與工程學系奈米科技碩士班

摘 要

近年來電晶體的尺度日漸縮小，為了增加閘極對通道的掌控能力，從傳統的微米級通道轉變為奈米級通道，且多重閘極結構被廣泛的研究。本實驗室之前已經利用環繞式閘極成功地和記憶體結合，利用其優秀的通道掌控能力，抑制了通道微小化後的問題。本實驗建立於之前的研究上，將環繞式閘極結構的多晶矽奈米線電晶體應用到 Ω 式閘極多晶矽奈米線電晶體，除了有環繞式結構元件的特性，亦包覆著通道的四個角落，有良好的控制能力，之後並將三重閘極和 Ω 式閘極作結合，改良成非對稱式 Ω 式閘極多晶矽奈米線電晶體，除了維持原先良好的通道控制能力，並有較低的漏電流和關閉狀態，提升元件整體特性。

元件完成後，比較 Ω 式閘極結構和非對稱式閘極結構的元件特性，發現改變非對稱結構的比例時，能夠有效改善元件特性。當非對稱結構比例高時，元件特性趨近於三重閘極，比例低時元件則有 Ω 式閘極結構特性，包括高驅動電流，低次臨界擺幅，較高的開關比，低閘極引發汲極漏電流(Gate Induced Drain Leakage)和抑制短通道效應。這說明本實驗成功地融合三重閘極和 Ω 式閘極的元件特性，並有效抑制漏電流和關閉電流，良好地提升元件整體的電性。

Characteristics of Poly-Si Nanowire TFTs with Asymmetric Ω -Gate

Student : E. L. Lou

Advisor : Dr. J.-T. Sheu

Department (Institute) of Nanotechnology

National Chiao Tung University

ABSTRACT

In order to increase the gate control capacity on the channel, multi-gate structure has been extensively studied as the critical dimension of thin-film transistors (TFTs) is scaled down. Both gate-all-around (GAA) TFTs and TFT SONOS memory devices have been demonstrated previously with excellent channel controllability and outstanding memory properties. On the base of previous research, polysilicon nanowire transistors with Ω -Gate have been proposed in this study. The Ω -Gate structure exhibits good controllability on channel presumably due to the coverage of four corners of device channel. Moreover, an asymmetric gate structure by converting one side of Ω -Gate into Tri-Gate such that lower leakage current and off state current enhanced.

A comparison on the characteristics of both Ω -Gate devices and asymmetric Ω -Gate device were performed. It is found that changing the ratio of asymmetric structure can effectively change the device characteristics. When in high proportion of asymmetric structure, the device characteristics close to the Tri-Gate, and for low proportion of asymmetric structure, devices exhibit characteristics like Ω -Gate devices which possess properties including a high driving current, a steep subthreshold swing, a high on/off current ratio, low gate induced drain leakage (GIDL), and short channel effect suppression (SCE). The proposed asymmetric gate devices, combining Tri-gate and Ω -Gate, successfully inhibit the leakage current and suppress off-state current, and enhance the overall electrical properties.

誌謝

人生很奇妙，仔細回想這兩年來的點滴生活，成長的不只是學術上的知識，對人生的態度也成熟了。在此論文即將完成之時，心情很複雜，意謂我即將邁入人生的另一個階段，回想當初剛進實驗室的期許，和現在豐收的喜悅，一切都很不可思議，在實驗不斷失敗下，這一路都要感謝許多人對我的提攜和指導，謝謝你們的鼓勵，讓我更有勇氣往前走，也謝謝那些曾經看衰我的人，讓我能夠更爭氣，完成這項實驗。

首先感謝我的恩師 許鈺宗 教授給我機會完成碩士學位，教導我領略半導體領域的深奧，謝謝老師在實驗上給我的龐大的研究資源，在我實驗低潮時給我很大的研究自由和鼓勵，並不時地提點並引領我邁入正確的軌道，對學術上的嚴謹，更是我學習的典範，而在我人生低落的時候，教導我人生的道理，讓我對人生的態度更完整，引領我成長的方向，很謝謝老師讓我在這兩年獲益匪淺。

感謝曾經在 NDL 一起奮鬥的夥伴，柏鈞學長教導我實驗的流程方法，並指出我實驗的缺點，分享許多寶貴的經驗，讓我受益良多。感謝東育學長、子瑄和承樺在我實驗機台方面的幫忙，沒有你們的幫忙我無法順利的完成實驗，和你們一起熬夜做實驗的日子讓人很難忘，很開心可以和你們一起奮鬥。也感謝在 NDL 的工程師、操作員和其他實驗團隊的成員，因為你們的指導和幫助讓我實驗的方法更成熟，對機台的特性更了解，能順利

完成實驗。

感謝實驗室的學長、同學與學弟妹，振嘉、柏鈞、皓恆、建穎，東育、振翔、珊聿、明莉、子瑄、新怡、俊良、承樺、于聖。這些日子以來，很開心認識你們，不論是在實驗室或是在日常生活中，有你們在的地方就有歡笑，在生活上遇到挫折也不時地給我鼓舞和建議，並在閒暇之餘給我歡樂，讓忙碌的生活增添了許多活力和色彩，更有原動力可以完成實驗。雖然在這個實驗室的時間不長，但很開心能夠進入這個研究團隊，你們是很棒的一群夥伴，希望在往後的日子裡，祝福你們實驗順利。

感謝中山大學物理所張鼎張老師的研究團隊，感謝你們在忙碌之餘幫忙切 FIB 的試片，因為你們的幫忙讓我的研究資料更完整，謝謝你們。

最後，我想謝謝我的家人，感謝你們對我無止盡的付出，在求學過程中給我物質上充裕的支助和精神上的關懷和支持，你們是我心底最深層的原動力，沒有你們我也無法達到今日的成就，謝謝你們。

目錄

中文摘要	I
英文摘要	II
致謝	III
目錄	V
圖目錄	VII
表目錄	XI
第一章 緒論	1
1.1 環繞式閘極與多晶矽薄膜電晶體回顧	1
1.2 多晶矽的缺陷	3
1.2.1 該缺陷影響的電性	3
1.2.2 多晶矽裡的載子傳輸	4
1.2.3 漏電流的機制	4
1.2.4 閘極引發汲極漏電流	5
1.3 短通道效應	7
1.4 文獻回顧	8
1.5 實驗動機	16
第二章 奈米線製作流程	17
2.1 實驗動機	17
2.2 Spacer 奈米線製作流程	17
第三章 Ω 式閘極電晶體製作流程與量測	25
3.1 實驗動機	25
3.2 Ω -Gate 薄膜電晶體製作流程	25
3.3 Ω -Gate 薄膜電晶體 SEM 與 TEM	26
3.4 參數萃取方法	29

3.4.1 臨界電壓定義	29
3.4.2 次臨界斜率定義	31
3.4.3 汲極引發位能障下降定義	31
3.4.4 電流開關比定義	31
3.5 Ω -Gate 薄膜電晶體元件電性量測	32
第四章 非對稱 Ω -Gate 薄膜電晶體製作流程與量測	37
4.1 ASY200 Ω -Gate 薄膜電晶體製作流程.....	37
4.2 ASY200 Ω -Gate 薄膜電晶體 SEM 與 TEM.....	40
4.3 ASY200 Ω -Gate 薄膜電晶體電性量測.....	44
4.4 減少非對稱閘極氧化層寬度	48
4.4.1 ASY20 Ω -Gate 薄膜電晶體 SEM 與 TEM.....	48
4.4.2 ASY20 Ω -Gate 薄膜電晶體電性量測	50
4.5 糾結效應	55
第五章 結論和未來展望	57
參考文獻	58



圖目錄

圖 1-1、(a) Dirac well.(b) repulsive Columbic well.(c) is the Columbic well.	4
圖 1-2、GIDL 偏壓下能帶圖。	5
圖 1-3、GIDL 偏壓下空乏區域圖。	6
圖 1-4、GAA 結構奈米線通道薄膜電晶體的通道圖[26]。	8
圖 1-5、電漿處理前後的 I_d-V_g 特性比較圖[26]。	9
圖 1-6、氬電漿處理前後的 I_d-V_d 特性比較圖[26]。	9
圖 1-7、傳統對稱元件和非對稱元件示意圖[27]。	10
圖 1-8、非對稱元件側壁 Spacer TEM 圖[27]。	10
圖 1-9、模擬非對稱和對稱式 NMOS I_d-V_g 電性比較圖[27]。	11
圖 1-10、模擬非對稱和對稱式 NMOS I_d-V_d 電性比較圖[27]。	11
圖 1-11、元件示意圖，左邊元件為下閘極和源極區域重疊，右邊為下閘極和汲極 區域重疊[28]。	12
圖 1-12、元件電場模擬圖，左邊元件為下閘極和源極區域重疊，右邊為下閘極和 汲極區域重疊[28]。	12
圖 1-13、元件 I_d-V_g 電性比較圖[28]。	13
圖 1-14、元件閘極氧化層不對稱圖[29]。	14
圖 1-15、對稱結構電場模擬圖[29]。	14
圖 1-16、非對稱結構電場模擬圖， $L_{OTG} = 15$ 奈米[29]。	15
圖 1-17、不同非對稱閘極氧化層高度和厚度元件 I_d-V_g 電性比較[29]。	15

圖 2-1、將 75 奈米 α -Si 沉積在氧化層上。	18
圖 2-2、在 α -Si 薄膜上沉積 100 奈米 TEOS。	19
圖 2-3、用 TEL5000 垂直蝕刻出 TEOS Block 的形狀。	19
圖 2-4、用 TEL5000 垂直蝕刻氮化矽，在側壁留下的 Spacer。	20
圖 2-5、在兩端 S/D 的光阻圖案。	20
圖 2-6、將 TEOS Block 用 BOE(1:7) 濕式蝕刻移除。	21
圖 2-7、TCP9400 垂直蝕刻 75 奈米的非晶矽。	21
圖 2-8、移除光阻和氮化矽完成奈米線。	22
圖 2-9、In-Line SEM 下 TEOS Block 圖形。	22
圖 2-10、中間為倚靠 TEOS Block 的氮化矽 Spacer。	23
圖 2-11、寬度為 32 奈米多晶矽奈米線。	23
圖 2-12、寬度為 60 奈米多晶矽奈米線。	24
圖 3-1、 Ω -Gate 薄膜電晶體 SEM 圖。	27
圖 3-2、 Ω -Gate 薄膜電晶體 SEM 圖。	27
圖 3-3、 Ω -Gate 薄膜電晶體剖面 TEM 圖。	28
圖 3-4、 Ω -Gate 薄膜電晶體剖面 TEM 圖(O/N/O = 10 奈米/ 10 奈米/ 15 奈米)。	28
圖 3-5、TriGate 薄膜電晶體 TEM 圖(O/N/O = 45 奈米/ 10 奈米/ 15 奈米)。	29
圖 3-6、 V_{th} 參數萃取方法。	30
圖 3-7、定電流 V_{th} 定義方法。	30

圖 3-8、不同的通道數目比較圖。.....	32
圖 3-9、不同的閘極長度比較圖。.....	33
圖 3-10、外加不同汲極電壓圖。.....	34
圖 3-11、外加不同汲極電壓圖。.....	34
圖 3-12、 Ω -Gate 和 TriGate 元件 I_d-V_g 比較圖。.....	35
圖 4-1、完成的多晶矽奈米線。.....	38
圖 4-2、在奈米線上覆蓋 TEOS 氧化層 200 奈米。.....	38
圖 4-3、經過非對稱的光阻蝕刻完的圖形。.....	39
圖 4-4、經過 HF(1:100) 濕式蝕刻過後的圖形。.....	39
圖 4-5、由閘極的形狀可以看出氧化層為非對稱的結構。.....	40
圖 4-6、非對稱元件的 SEM 圖。.....	41
圖 4-7、非對稱元件的 SEM 圖。.....	41
圖 4-8、靠近源極奈米線通道剖面圖。.....	42
圖 4-9、靠近源極奈米線通道剖面放大圖(O/N/O = 10 奈米/ 10 奈米/ 15 奈米)。.....	42
圖 4-10、橫跨在 Ω -Gate 和 Trigate 之間 TEM 圖。.....	43
圖 4-11、非對稱閘極靠近汲極方向的圖。.....	43
圖 4-12、外加不同的汲極電壓。.....	44
圖 4-13、ASY200 Ω -Gate 和 In-ASY200 Ω -Gate 元件 I_d-V_g 比較圖。.....	45
圖 4-14、ASY200 Ω -Gate 和 Ω -Gate 元件 I_d-V_g 比較圖。.....	46

圖 4-15、不同結構元件 I_d-V_g 比較圖。.....	47
圖 4-16、ASY20 Ω -Gate 薄膜電晶體 SEM 圖。.....	48
圖 4-17、ASY20 Ω -Gate 薄膜電晶體 TEM 圖。.....	48
圖 4-18、ASY20 Ω -Gate 薄膜電晶體 TEM 圖(O/N/O=10 奈米/10 奈米/15 奈米)。.....	48
圖 4-19、ASY20 Ω -Gate 和 ASY200 Ω -Gate 元件 I_d-V_g 電性比較圖。.....	50
圖 4-20、In-ASY20 Ω -Gate 和 In-ASY200 Ω -Gate 元件 I_d-V_g 電性比較圖。.....	51
圖 4-21、ASY20 Ω -Gate 不同通道長度的元件 I_d-V_g 電性比較。.....	51
圖 4-22、不同的元件 I_d-V_g 電性比較。.....	52
圖 4-23、不同通道長度 V_{th} 比較。.....	53
圖 4-24、不同通道長度 S.S. 比較。.....	54
圖 4-25、不同通道長度 DIBL 比較。.....	54
圖 4-26、ASY200 Ω -Gate 和 Ω -Gate 元件 I_d-V_d 特性比較。.....	55
圖 4-27、ASY20 Ω -Gate 和 Ω -Gate 元件 I_d-V_d 特性比較。.....	56

表目錄

表 3-1、各項電性數據整理。.....	36
表 4-1、各項電性數據整理。.....	47
表 4-2、各項電性數據整理。.....	52

