

第一章

緒論

1.1 環繞式閘極電晶體與多晶矽薄膜電晶體回顧

近年來，摩爾定律對未來製程持續微縮所面臨的極限挑戰，當傳統的一維平面電晶體(Planar Transistor)結構為縮到一定的尺度下，通道也跟著縮短，將遭遇到越來越嚴重的漏電流問題，這稱為短通道效應(Short Channel Effect)，因此許多研究試圖尋找新的方法。研究發現可以重另一個維度的開發，改善平面電晶體的微縮瓶頸，發展出了三維結構的電晶體，藉由增加閘極對通道的控制面積，使得漏電流得以控制，抑制短通道效應，也為下一個世代的半導體產業找到新的方向。

當電晶體微縮到奈米尺度下，能夠有效的控制閘極能力越來越重要，因此有許多方法被發展出來，包括通道以奈米線的方式呈現，配合多閘極、三閘極、 Ω 閘極或是環繞式閘極(Gate-All-Around)都是目前改善短通道效應的方法[1,2,3]。與傳統的平面式雙閘極金氧半場效電晶體比較，奈米線電晶體能夠提供更好的閘極控制，且製程單純，對於在元件上的設計更具彈性。因為閘極在通道的包覆面積最大，控制能力最好，有高驅動電流，以及更好的電晶體特性。假如通道是方形結構，最大的電場將會落在通道的四個角落(Corner Effect)[4]，造成電子密度提高，但也造成漏電流(GIDL)增加現象。為了抑制漏電流的增加，許多團隊提出了方法抑制汲極電場，會採用低汲極摻雜(LDD)方式，使整個通道通道的電場降低，避免表面高漏電[5]，也有研究採用通道不摻雜(Un-doping Channel)，可以降低通道中的摻雜原子造成的散射現象[6]，或者使用汲極遠離閘極結構(Offset)，讓汲極離開閘極遠一點，如同增加串聯電阻讓電場降低[7,8]。

使用 SOI 的好處在於沒有基底效應並且抑制軟性錯誤(Soft Error)，通常奈米

線電晶體元件均使用 SOI 晶圓[9]，並且有完全空乏的能力，但單晶 SOI 製造成本高，價格昂貴，是其最大的缺點。因此本研究以 Poly-Silicon on Insulator 作為研究的基本材料，且由於薄膜電晶體受限於本身晶粒邊界的缺陷，漏電流大及載子遷移率低，所以我們使用環繞式閘極電晶體，來提升閘極對於奈米線通道的控制能力，兼具有高驅動電流(Drain Driving Current)及高開關電流比(On Off Ratio)，改善載子遷移率，並且有很陡的次臨界擺幅(Subthreshold Swing)。

本實驗利用固相結晶法，讓多晶矽的晶體變大，來提升電晶體特性。除此之外，使用多重閘極結構，可降低臨限電壓(Threshold Voltage)的變動，降低背閘極對通道的影響，並提升開關速度[10]。由於液晶顯示面板所使用的基板材料為玻璃，因此低溫多晶矽的薄膜電晶體[11]也受到廣泛的應用，強調製程溫度不能超過 600°C 或是更低溫，目前本實驗的元件仍需要高溫活化，尚無法以玻璃基板取代，這方面製程條件還需要改善。另外本實驗所使用的閘極為經過摻雜的 N 多晶矽閘極，早期多直接以金屬當閘極，省去許多製程步驟，但從自我對準的離子佈植發明後，因金屬不適合高溫製程，且多晶矽和氧化層的介面特性良好，且能忍受高溫的製程，因此改為 N⁺多晶矽閘極以利後續之高溫離子活化。

1.2 多晶矽的缺陷

但是多晶矽有許多缺陷(Traps)在晶體邊界(Grain Boundry)[12]上，多晶矽薄膜電晶體專換特性會受到這些缺陷影響而降低，因此許多團隊希望能降低缺陷密度與增加多晶矽的晶體體積，來抑制多晶矽中晶體邊界對於元件特性的影響。例如準分子雷射退火(Excimer Laser Anneal)[13]、金屬誘發側向結晶(Metal Induce Lateral Crystallization)[14,15]、固相結晶法(Solid Phase Crystallization)等方法[16,17]，都是利用再次結晶的步驟提升多晶矽的品質，改善多晶矽受到缺陷影響的問題，並提升電晶體轉換特性。

1.2.1 該缺陷影響的電性

通常該缺陷可以分為兩類，一種是受體似的缺陷(Acceptor-like Defects)，另外一種是施體式的缺陷(Donor-like Defects)。前者是由中立的電子，當缺陷未被佔據時，被帶負電荷的電子所佔據，而後者是由電洞佔據了缺陷。因此，當電子或是電洞填進缺陷時，該缺陷將展現出不同的特性。以受體是缺陷為例子，當電子面對一個中立的缺陷，在電子和缺陷之間沒有交互作用，該缺陷就像是一個狄拉克井(Dirac well)，如圖 1-1(a)所示。然而一個電子遇到帶負電的受體式缺陷，就會在電子和缺陷之間產生庫倫斥力，如圖 1-1(b)所示。因為庫倫斥力而沒有辦法獲得比狄拉克井更多的載子。相對而言，當電洞遇到中立的受體式缺陷，缺陷的方式就如同電子遇到中立受體式缺陷。當電洞遇到帶負電的受體式缺陷，如圖 1-1(c)，這種缺陷可以可以捕捉更多的載子。同樣的原因，當電子遇到中立施體式的缺陷，而缺陷就像是狄拉克井；電子遇到帶正電的施體式缺陷，則缺陷就像是庫倫井(Columbic well)。當電洞遇到中立施體式的缺陷，而缺陷就像是狄拉克井；電洞遇到帶正電的施體式缺陷，則缺陷就像是庫倫斥力井(Repulsive Columbic well)。

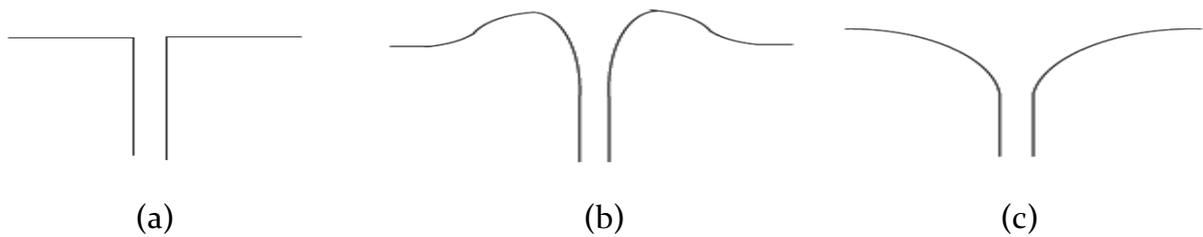


圖 1-1、(a) Dirac well.(b) repulsive Columbic well.(c) Columbic well.

1.2.2 多晶矽裡的載子傳輸

在晶體邊界的區域是呈現混亂的晶粒結構和不穩固的鍵結，這些晶體邊界陷阱會捕抓載子，而這些低能量的晶體邊界陷阱無法將載子貢獻到導帶，這樣會在晶體邊界上產生空乏區和位能井，因此將嚴重影響元件的特性。因次，一些基本的電性，如臨界電壓(Threshold Voltage)、次臨界擺幅(Subthreshold Swing)、FM 驅動電流(On Current)、遷移率(Mobility) 和電導性(Transconductance)等將不如製作在單晶上的元件。因而也發現，多晶矽薄膜電晶體表出很大的漏電流(Leakage Current)。隨著汲極正電壓的增加和關閉狀態(Off State)閘極電壓的增加，漏電流將不斷增加。而漏電流的主導機制是因為在汲極高電場的場發射(Field Emission)通過晶粒邊界的陷阱[18]。為了克服多晶矽薄膜晶粒邊界缺陷的缺點，許多研究都集中在修改或排除晶粒邊界缺陷的陷阱。其中一個有用的解決方法，利用鈍化的氫原子或氮原子修補這些陷阱和不穩定的鍵結[19,20]，當被陷阱捕捉的載子降低，晶粒邊界的位能井也降低，因而降低了漏電流。

1.2.3 漏電流的機制(Leakage Current Mechanisms)

在通道靠近汲極接面的區域，正偏壓所產生的高電場會發生在晶粒邊界上，這有三種主要的機制[21]：

(a) thermionic emission (TE).[22]

這是一種連結晶粒禁止能帶和晶粒邊界擾動區的缺陷密度，作為這種載子缺陷就如同 Shockley-Read-Hall 模型，因為熱激發載子會在晶粒邊界中產生和重組。

(b) thermionic field emission (TFE).[23]

這個機制是因為在半導體接面缺陷熱輻射而產生的電場效應。這個效應可以分成兩個部分，一種是熱效應，另一種則是穿隧效應。藉由電子和聲子(Phonon)的重組，電子能夠從一個缺陷的狀態跳至一個虛擬的狀態(Virtual State)，在缺陷狀態的電子會藉由電場的增加從缺陷狀態要穿隧至傳導能帶(Conduction Band)。

(c)field emission (FE).

如果在空乏區有一個夠大的電場，而載子會藉由晶粒邊界的陷阱穿隧。

一般而言，摻雜濃度小於 10^{17} cm^{-3} 呈現 TE(Thermionic Emission)情況，即空乏區較寬導致電子需要越過能障才能到達汲極端。若摻雜濃度介於 $10^{17} \text{ cm}^{-3} \sim 10^{20} \text{ cm}^{-3}$ 則呈現 TFE(Thermionic Field Emission)情況，即空乏區變窄導致電子直接穿隧過能障到達汲極端。如果摻雜濃度大於 10^{20} cm^{-3} 則呈現 FE(Field Emission)情況，即空乏區更窄導致電子很容易越過能障到達汲極端，甚至不需要額外能量。

1.2.4 閘極引發汲極漏電流(Gate Induced Drain Leakage)

GIDL 漏電流[24,25]發生在閘極與汲極重疊區域(Gate to Drain Overlap Region)，在閘極外加大負偏壓時，使通道操作在關閉狀態(Off State)或堆積(Accumulation)狀態，而重疊區域的汲極受到空乏(Depletion)，加上汲極又外加大正電位，當兩端 V_{GD} 電壓差越大，電場越高，兩邊能帶受到拉扯，將會在汲極區

域產生由價帶穿遂到導帶 (Tunneling of Valence Band Electrons Into The Conduction Band) 的電子電洞對 (Electron-Hole Pairs)，如圖 1-2 所示，產生的電子及電洞分別被汲極和基底 (Substrate) 所收集，造成漏電流，如圖 1-3。因此閘極電壓越負，或是汲極電壓增加，垂直電場越大，GIDL 漏電流就越高。

Gate to Drain Overlap Region

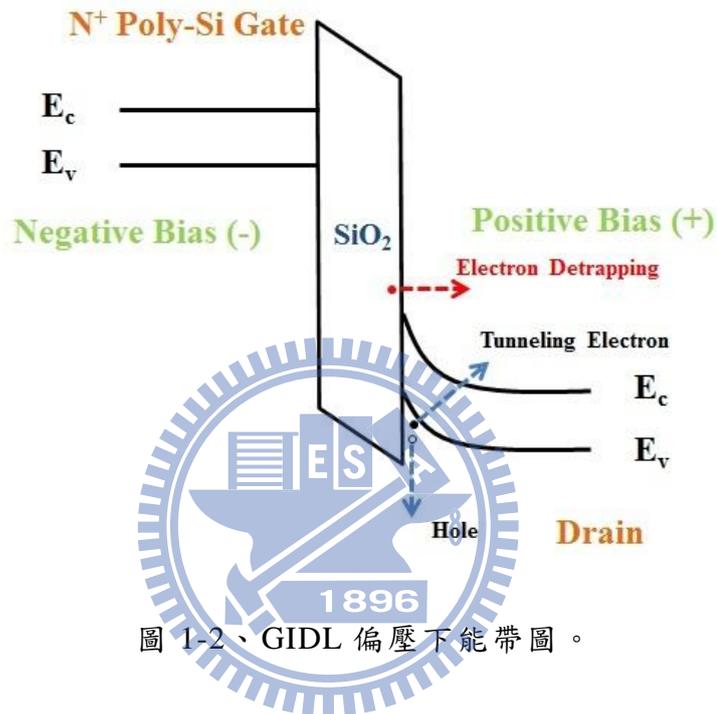


圖 1-2、GIDL 偏壓下能帶圖。

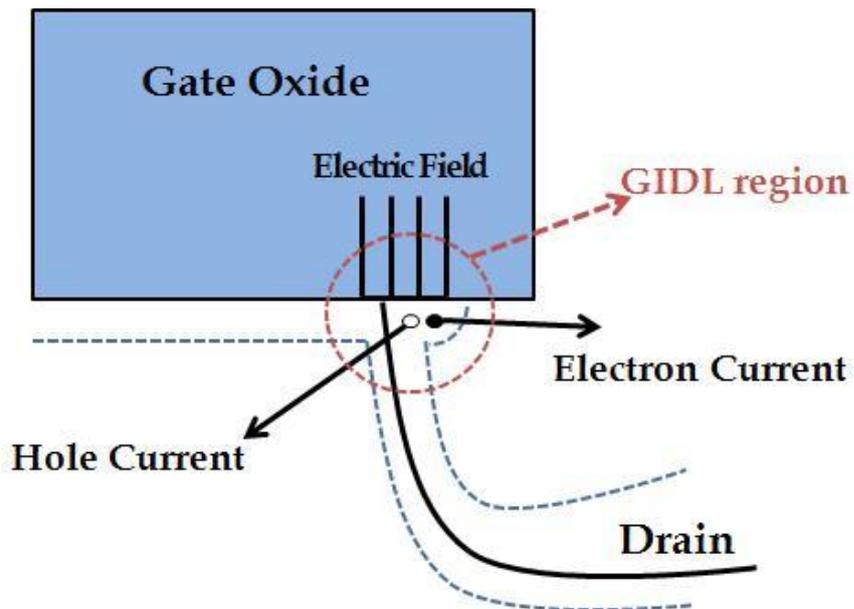


圖 1-3、GIDL 偏壓下空乏區域圖。

1.3 短通道效應(Short Channel Effects)

隨著 MOS 場效電晶體元件微縮，通道的長度也隨著縮短，電晶體的操作速度會加快。但電晶體的通道長度並無法無限制的縮短，因通道長度縮短將衍生出許多問題，這種現象稱為短通道效應(Short Channel Effects)。而通道的定義為源極到汲極的距離。此效應包括 V_{th} 下降、汲極引發位能障下降、次臨界斜率上升。以下將一一說明這些問題的造成原因。

臨界電壓下降(V_{th} Roll-off)是因為部份通道被源極及汲極的空乏區共享，次臨界電流(Subthreshold Current)將上升，使得 MOS 場效電晶體的 V_{th} 下降，使得閘極電壓(V_g)對汲極電流(I_d)的控制能力下降。因此當元件通道長度縮短，會造成臨界電壓下降及閘極電壓對元件通道失控，無法關掉電流。另外由於汲極靠近通道的地方電場高，電子能量高，容易撞擊出電子電洞對(E-H Pairs)，造成汲極電流增加，稱為熱電子效應，過多的熱電子會造成電子射入閘氧化層，及容易導致汲極崩潰發生。

次臨界斜率或次臨界擺幅(Subthreshold Swing, mV/dec)為一典型的參數，用來描述閘極對通道的控制能力，在一定量的閘極電壓下，相對增加多少的汲極電流，它也表示了元件的開關速度，很陡的次臨界斜率表示閘極可以快速將通道反轉導通，但因為通道縮短，造成漏電流問題，使次臨界斜率值變大。

當汲極電壓在短通道下加大，汲極端會引發位能障下降(Drain Induce Barrier Lowering, mV/V)，導致電子容易由源極端經通道進入汲極，造成漏電流上升，在較長的通道亦可看見此效應。可藉由增加閘極長度(Gate Length)來提升控制能力，但驅動電流(On Current)會變小。

1.4 文獻回顧

此節將討論幾篇近年來其他團隊的期刊論文，第一篇論文發表於 2009 IEEE EDL[26]，此篇論文裡用側壁 Spacer 奈米線技術製作出環繞式閘極多晶矽薄膜電晶體，利用經過 24 小時退火的多晶矽奈米線，將其下面底部的氧化層濕式蝕刻移除後，使奈米線呈懸樑臂的懸空狀態，再將薄氧化層沉積上去當作閘極絕緣層，之後覆蓋 N^+ 多晶矽薄膜，此層須將整個空隙填滿，包住整個通道，如圖 1-4，來提升閘極對通道的控制能力，改善短通道效應。元件完成後，經過氬電漿處理，發現整個電性有非常明顯的改善，包括高驅動電流，低次臨界擺幅達到 114mV/dec ，載子遷移率也獲得改善，幾乎零汲極引發位能障下降、高開關電流比 $> 10^8$ ，且有更低的不導通電流，如圖，而且還抑制了 Kink Effect，如圖 1-5 和圖 1-6。此外，文中也比較傳統的平面多晶矽薄膜電晶體與環繞式閘極薄膜電晶體在電性上的差異，很明顯環繞式閘極多晶矽薄膜電晶體備有較好的轉換特性。

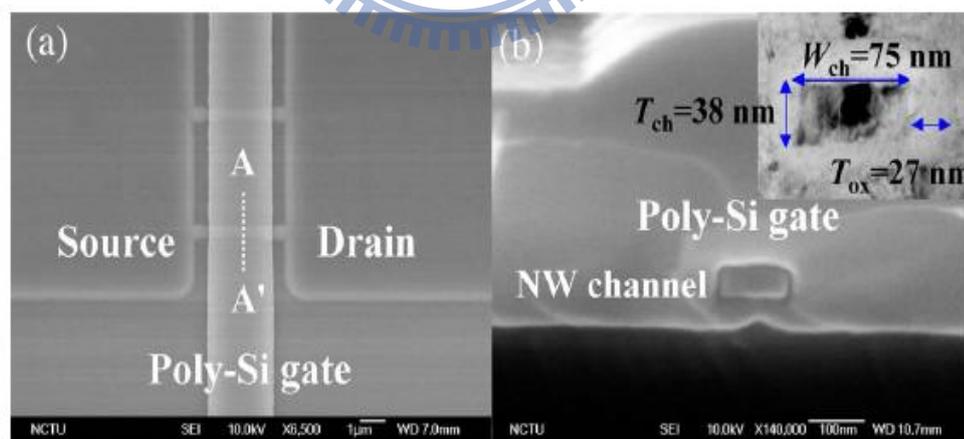


圖 1-4、GAA 結構奈米線通道薄膜電晶體 SEM 圖[26]。

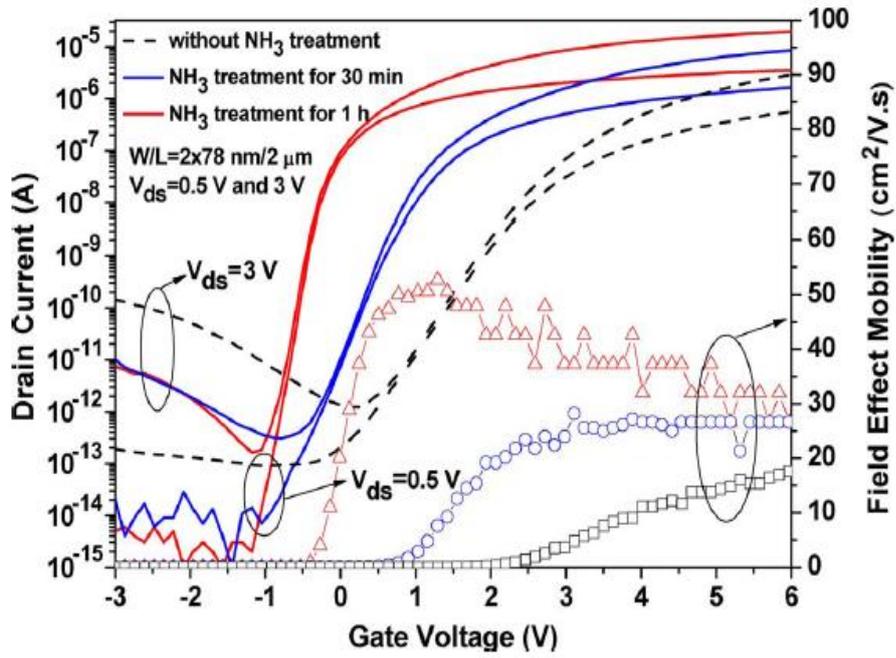


圖 1-5、氨電漿處理前後的 I_d - V_g 特性比較圖[26]。

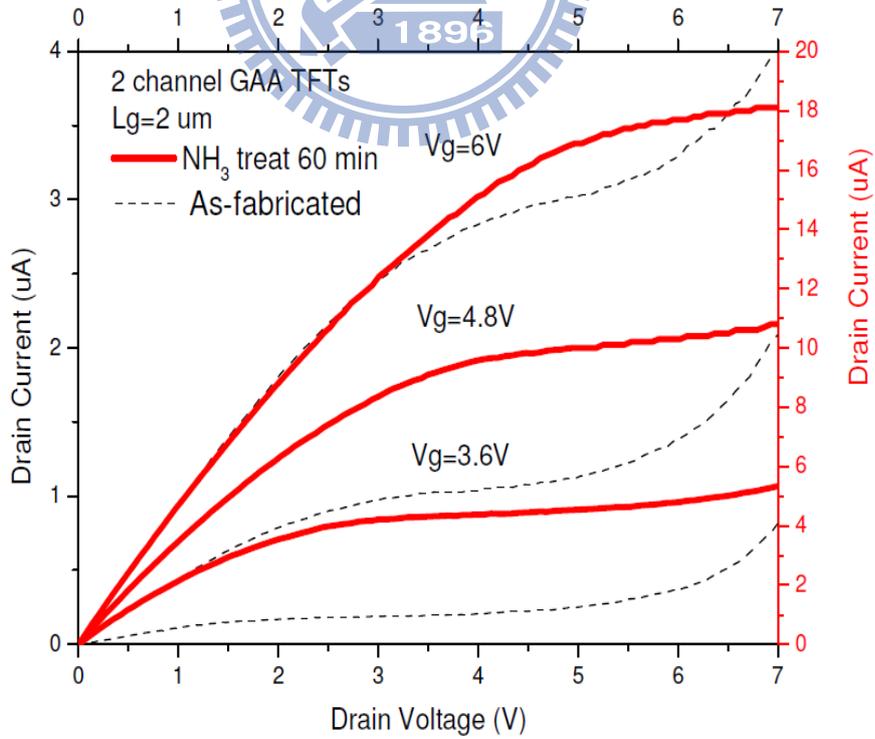


圖 1-6、氨電漿處理前後的 I_d - V_d 特性比較圖[26]。

第二篇是論文發表於 2007 IEEE TED [27]，此篇論文首先用薄氧化層覆蓋整個元件，在沉積多晶矽，利用光阻保護源極靠近閘極的區域和機台蝕刻選擇比對多晶矽較高的方式，而在源極靠近閘極的區域形成 Spacer，再用 POCl_3 離子佈植作輕參雜，之後沉積一層氧化層，利用側壁 Spacer 的技術在汲極的那端保護輕參雜的區域，再用 Ar 離子佈植重參雜，如圖 1-7 和如圖 1-8。這將造成通道左右兩邊的離子佈植不對稱，且降低在源極區域的寄生電阻，及降低了通道內的電阻，這可以增加元件的穩定性和電性，之後這個團隊去模擬電性，發現非對稱的元件有更好的驅動電流，而臨界電壓比對稱式的結構大一些，對短通道效應有所改善，如圖 1-9，且在 I_d-V_d 特性上有更大的飽和電流，如圖 1-10。

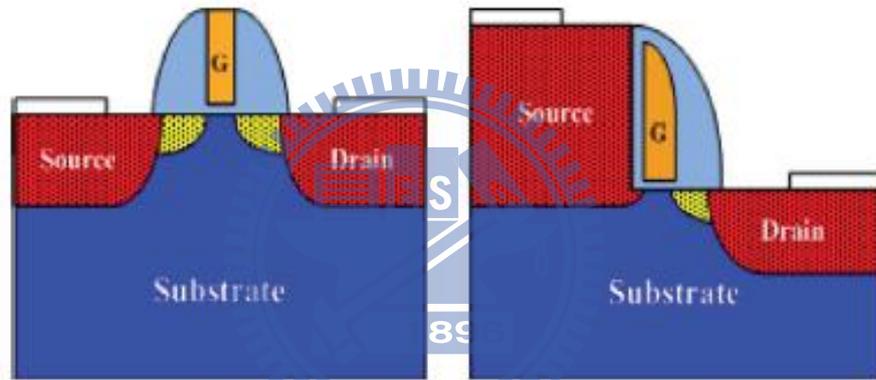


圖 1-7、傳統對稱元件和非對稱元件示意圖[27]。

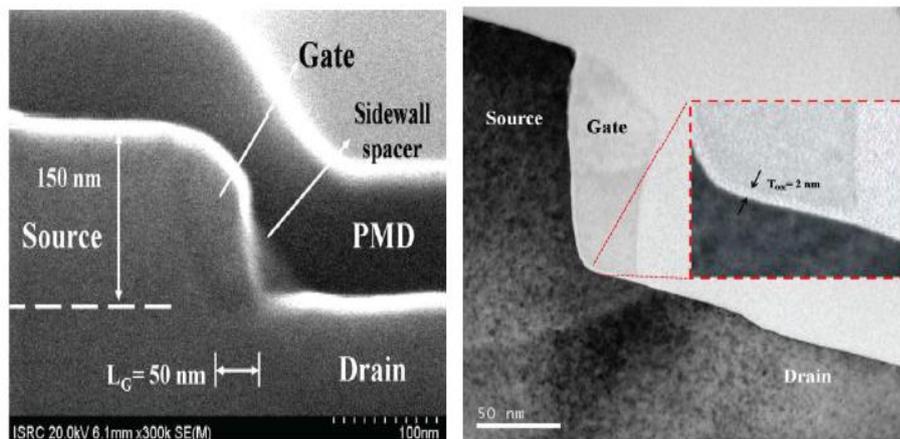


圖 1-8、非對稱元件側壁 Spacer TEM 圖[27]。

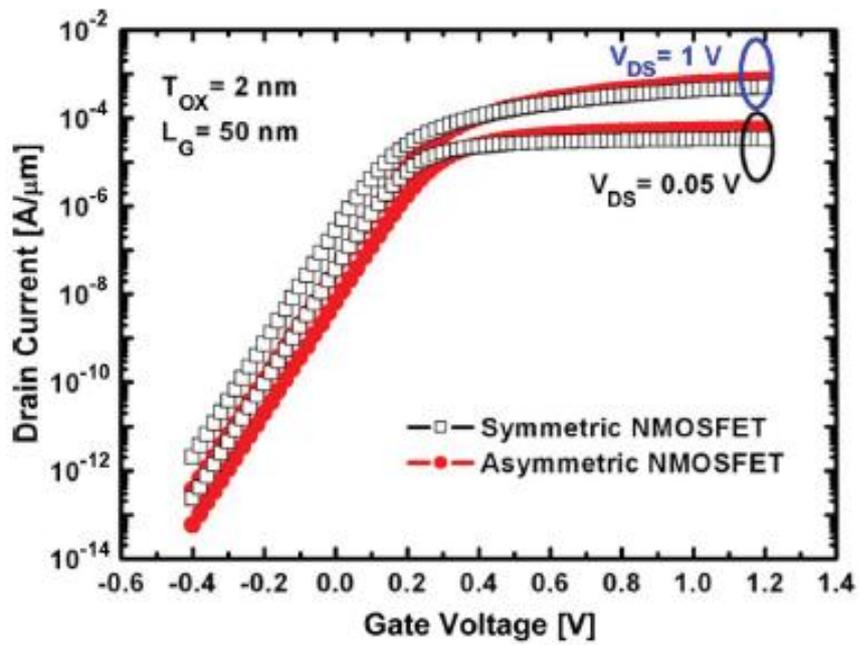


圖 1-9、模擬非對稱和對稱式 NMOS I_d - V_g 電性比較圖[27]。

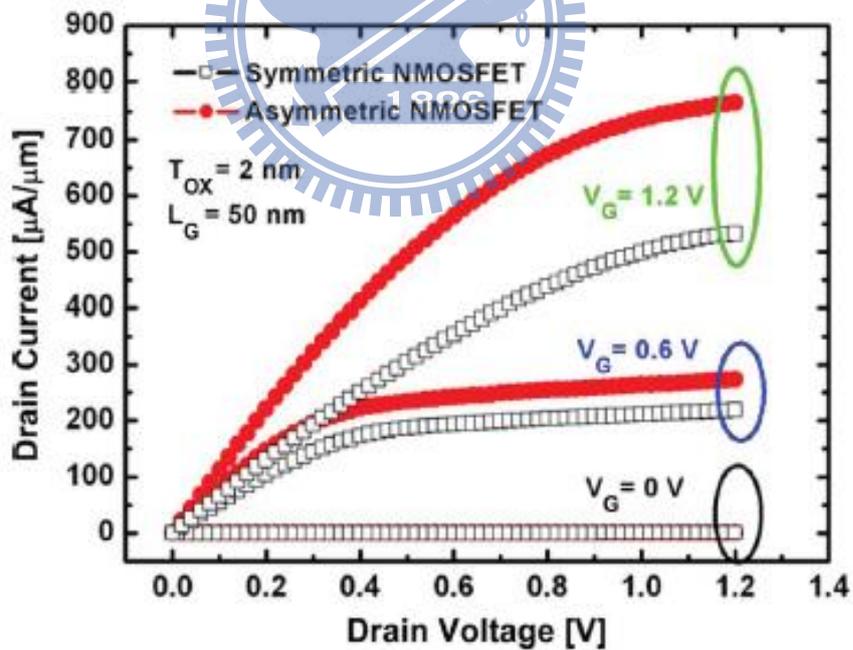


圖 1-10、模擬非對稱和對稱式 NMOS I_d - V_d 電性比較圖[27]。

第三篇是論文發表於 2005 IEEE TED [28]，此論文是雙閘極的元件，利用下閘極分別在源極和汲極重疊的區域去做電性量測，如圖 1-11。因此這個團隊做了電性模擬，如圖 1-12，可以發現當下閘極和汲極端重疊的時候，在靠近汲極電子的濃度極高，而當下閘極和源極端重疊的時候，在靠近汲極的電子濃度不再這麼密集。因次他作了實際的電性量測，如圖 1-13，在驅動的電流沒有很大差別，但在不導通的狀態時，源極和下閘極重疊的元件明顯低很多，且可以降低汲極區域的電容和閘極漏電流，而汲極和下閘極重疊的元件可以抑制 DIBL(汲極引發位能障降低)。

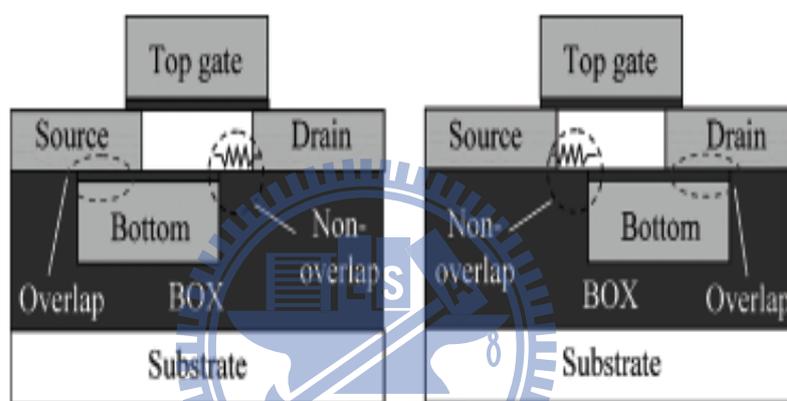


圖 1-11、元件示意圖，左邊元件為下閘極和源極區域重疊，右邊為下閘極和汲極區域重疊[28]。

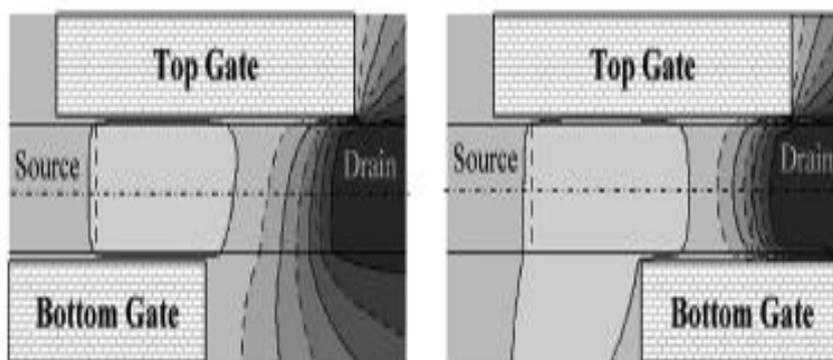


圖 1-12、元件電場模擬圖，左邊元件為下閘極和源極，右邊為下閘極和汲極區域重疊[28]。

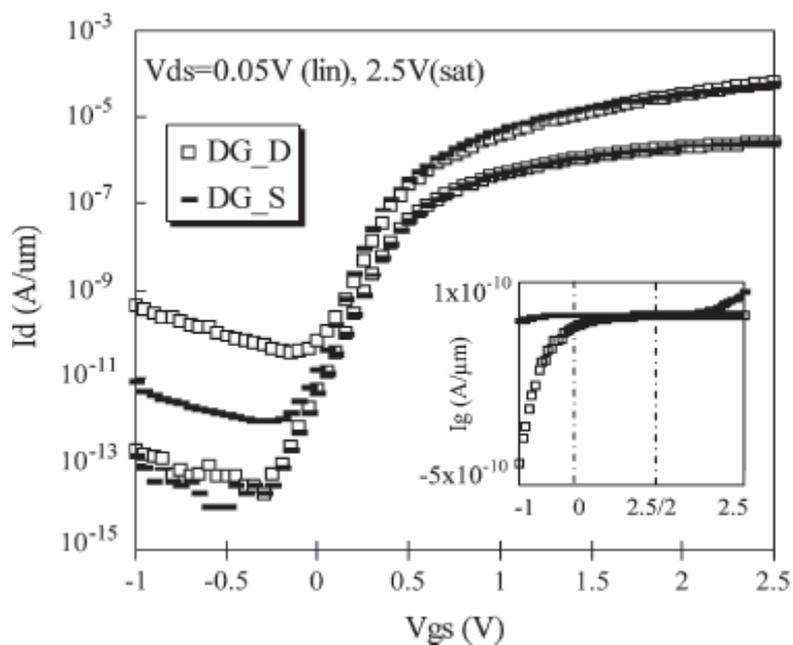
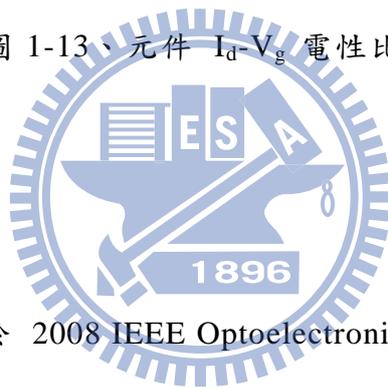


圖 1-13、元件 I_d - V_g 電性比較圖[28]。



第四篇論文是發表於 2008 IEEE Optoelectronic and Microelectronic Materials and Devices Conference[29]，此篇論文通道長度為 80 奈米，改變在靠近汲極的閘極氧化層寬度和高度，來降低通道和汲極區接面的電場，如圖 1-14。而圖 1-15 是模擬沒有非對稱閘極氧化層的寬度所作的模擬，這時候電子濃度最高的地方，在通道和汲極接面的空乏區，當增加非對稱閘極氧化層寬度 15 奈米，高度 8 奈米，如圖 1-16。很明顯的是電子的濃度最高的地方往通道移動，這樣的作法很明顯地降低了在汲極區域的電場。圖 1-17 是改變非對稱閘極氧化層的寬度和高度所作的電性量測，當非對稱的寬度增加到 15 奈米，高度 8 奈米時，有較低的漏電流，較低的關閉電流，而又不失去原本對通道的掌控能力和驅動電流。

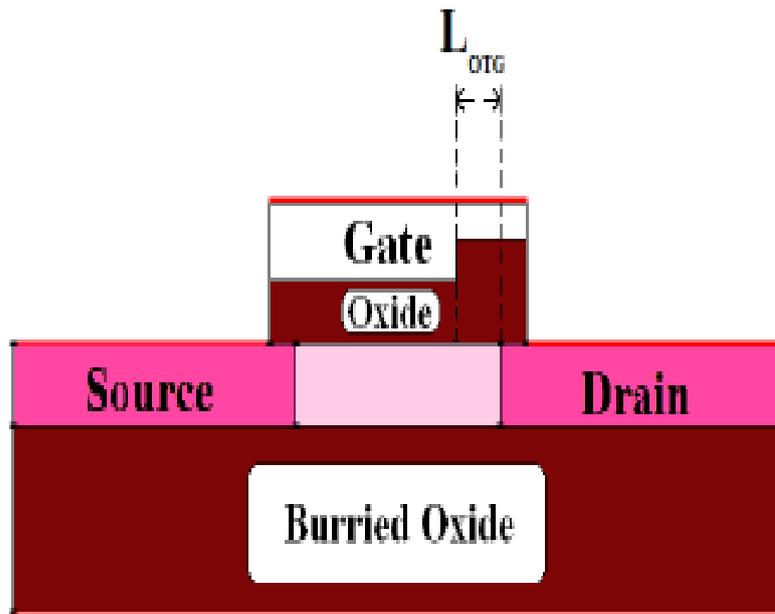


圖 1-14、元件閘極氧化層不對稱圖[29]。

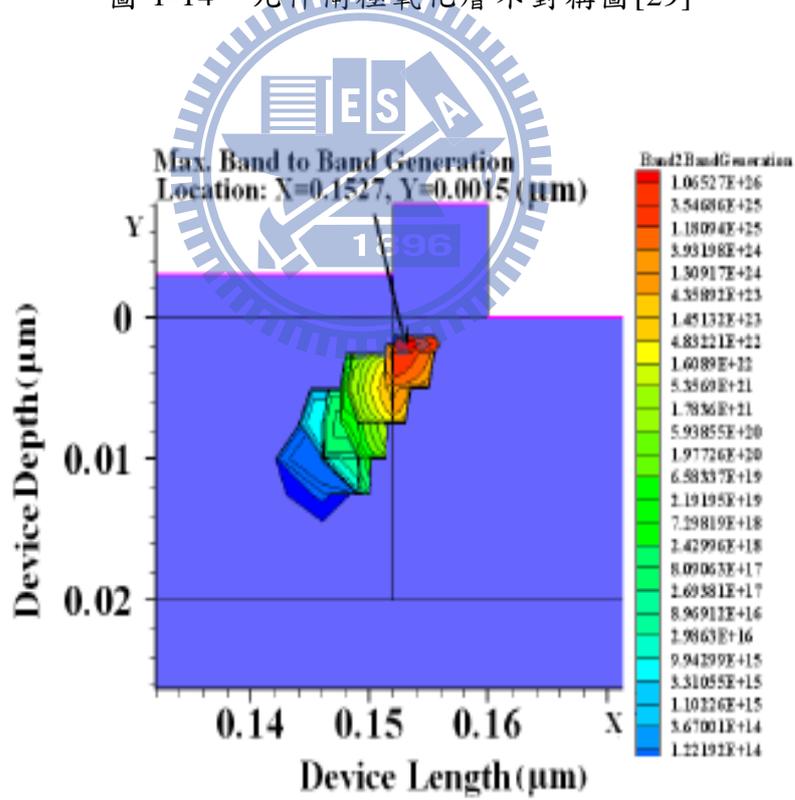


圖 1-15、對稱結構電場模擬圖[29]。

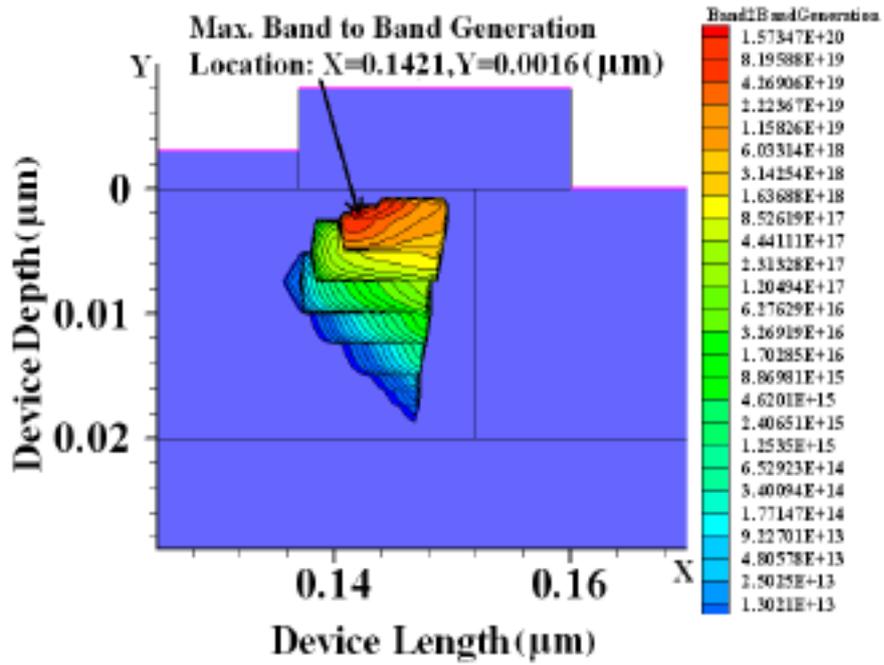


圖 1-16、非對稱結構電場模擬圖， $L_{OTG} = 15$ 奈米[29]。

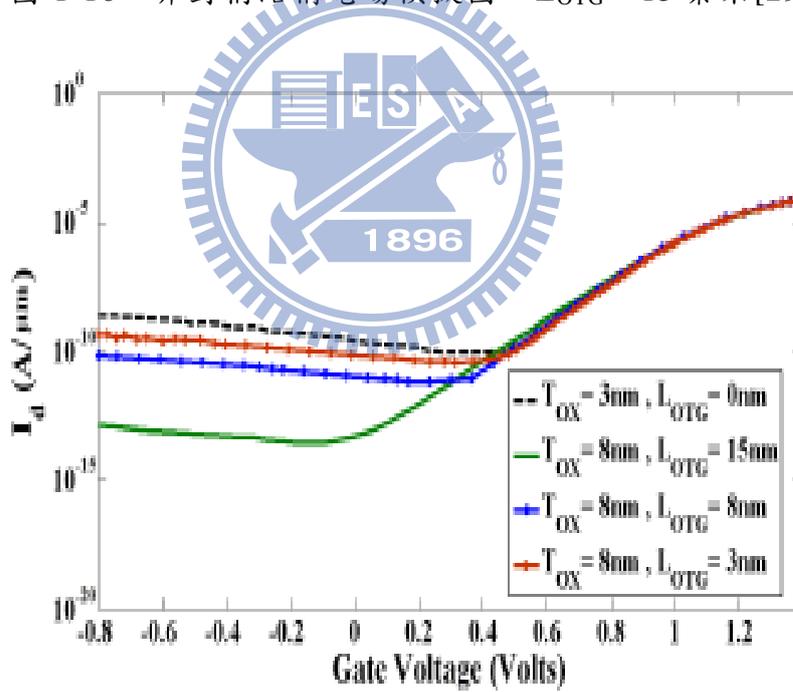


圖 1-17、不同非對稱閘極氧化層高度和厚度元件 I_d - V_g 電性比較[29]。

1.5 實驗動機

近年來越來越多人投入 Poly-Si TFTs 的整合研究，但是多晶矽薄膜有許多晶粒邊界(Grain Boundary)，因此造成電晶體的轉換特性差，隨著元件越來越小，漏電流增加極短通道效應越趨明顯，為了克服此問題，本實驗提出兩種新穎的薄膜電晶體結構，第一種將 GAA 的元件結構改良成 Ω -Gate 元件結構，希望能有 GAA 元件結構四個角落高電場的控制能力，減低通道下方的電場。第二種將原本的 Ω -Gate 元件結構改良成非對稱式(Asymmetric)的 Ω -Gate 結構，為 TriGate 和 Ω -Gate 結構的結合，希望降低在閘極下方靠近汲極區域的高電場，以降低漏電流，抑制 GIDL 效應。

因此本論文的架構，首先先介紹奈米線的製作流程， Ω -Gate 元件結構製作流程和量測，介紹對稱式 Ω -Gate 的元件特性並且和 TriGate 作電性比較，之後將介紹非對稱(Asymmetric) Ω -Gate 元件結構製作流程和量測，並且和 Ω -Gate 元件結構作電性上的比較，希望能有原本 Ω -Gate 的高驅動電流、高開關比、低臨界電壓和低次臨界擺幅，也有 TriGate 的低 GIDL，接著我們將降低非對稱閘極氧化層的寬度(Asymmetric Gate Oxide Width)，期望能在次臨界擺幅和臨界電壓變好，也有更低的關閉電流。

第二章

奈米線製作流程

上一章介紹了非對稱薄膜電晶體的相關文獻與效應，本章節將會開始進入實驗的流程及電性量測，將 Spacer 奈米線應用到 Ω -Gate 元件上，將會分章節做討論。本章節會介紹奈米線製作方法、In-Line SEM 圖。

2.1 實驗動機

實驗室在製作奈米線方面技術純熟，包括以電子束直寫，最細線寬可曝達 70 奈米的寬度技術，以及利用 NDL I-Line 微影機台，再利用側壁 Spacer 技術製作奈米線。引此本實驗利用 NDL 奈米元件實驗室，來製作奈米元件。

2.2 Spacer 奈米線製作流程

將 6 吋晶圓經過 RCA 清洗過後，以濕式氧化(Wet oxidation)高溫常壓水平爐管在晶圓上面氧化一層 500 奈米的氧化層，之後在非晶矽薄膜上用 LPCVD 700 $^{\circ}$ C 沉積 TEOS 氧化層 250 奈米(Tetraethoxysilan, 四乙氧基矽烷， $\text{Si}(\text{OC}_2\text{H}_5)_4$)，之後再利用 LPCVD 550 $^{\circ}$ C 沉積 75 奈米的非晶矽(α -Si)薄膜，目的可以使退火後晶粒更大顆，如圖2-1。之後在非晶矽薄膜上用 LPCVD 700 $^{\circ}$ C 沉積 TEOS 氧化層 100 奈米，如圖2-2。

以這層氧化層 TEOS 經過 Track 上光阻、I-Line 曝光及 Track 顯影出長條方型圖案，利用 TEL5000 RIE(氧化矽乾式蝕刻機台)垂直蝕刻出來，此圖形必須垂直於側壁，以供 Spacer 倚靠，如圖2-3和圖2-9。用 Mattson Asher (光阻乾式蝕刻機台)和 硫酸去除光阻後，用 LPCVD 700 $^{\circ}$ C 氮化矽氧化層(Nitride Oxide) 100 奈米，利用 TEL5000 RIE 垂直蝕刻 100 奈米，將在 TEOS 周圍的側壁留下氮化矽的殘留物(Spacer)，如圖2-4和圖2-10。然後在方形長條狀結構的兩端做出方形圖案的光阻，作為源極/汲極區，如圖2-5。下一步需將中間的 TEOS

Block 用 BOE(1:7) 蝕刻掉，只留下 Spacer 與兩邊的光阻當 Hard Mask，如圖 2-6，再以 TCP9400(多晶矽乾式蝕刻機台) 往下蝕刻深度 75 奈米，並預留 5 奈米過蝕刻，如圖 2-7。之後再利用 Mattson Asher 和硫酸去掉光阻，用磷酸去除氮化矽，非晶矽的奈米線就完成了，如圖 2-8。再經過 N₂ 環境下的 24 小時 600 °C 爐管退火，便成為晶粒較大的多晶矽奈米線，如圖 2-10 和圖 2-11。

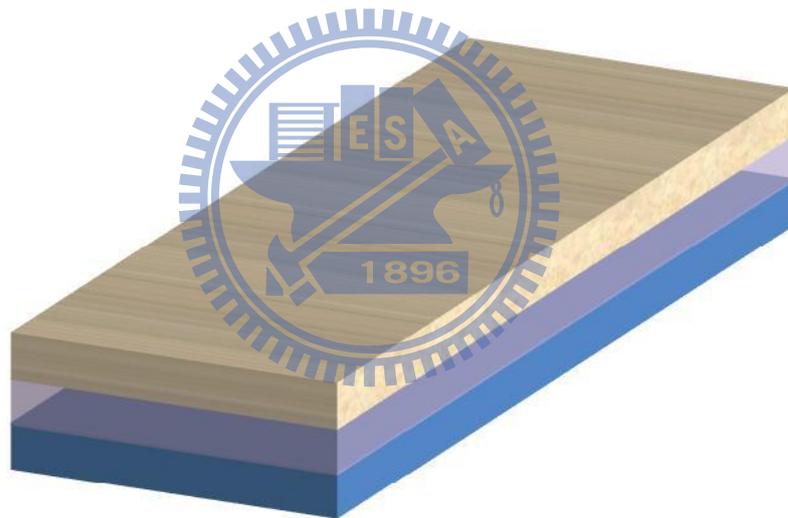


圖 2-1、將 75 奈米 α -Si 沉積在氧化層上。

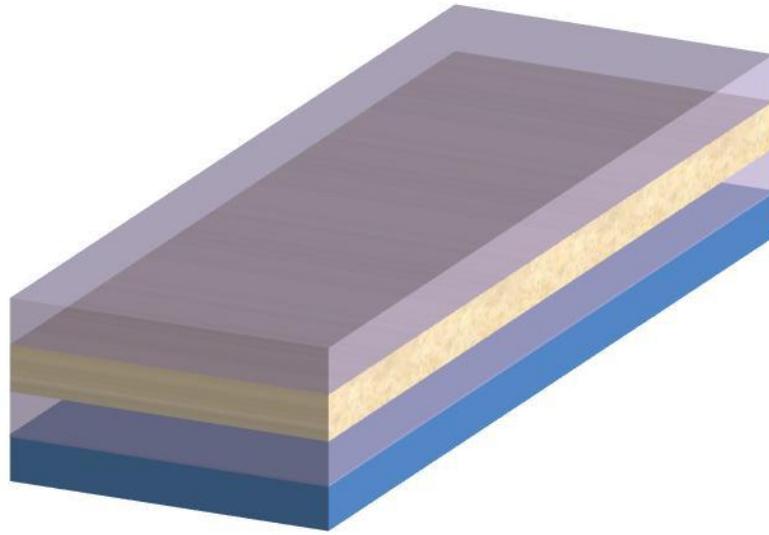


圖2-2、在 α -Si 薄膜上沉積 100 奈米 TEOS。

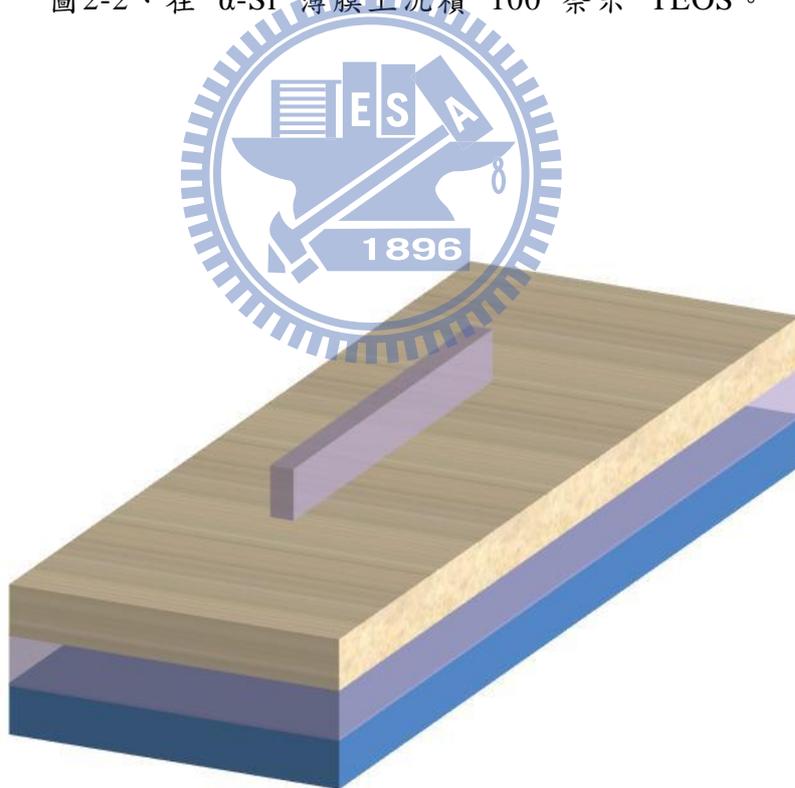


圖2-3、用 TEL5000 垂直蝕刻出 TEOS Block 的形狀。

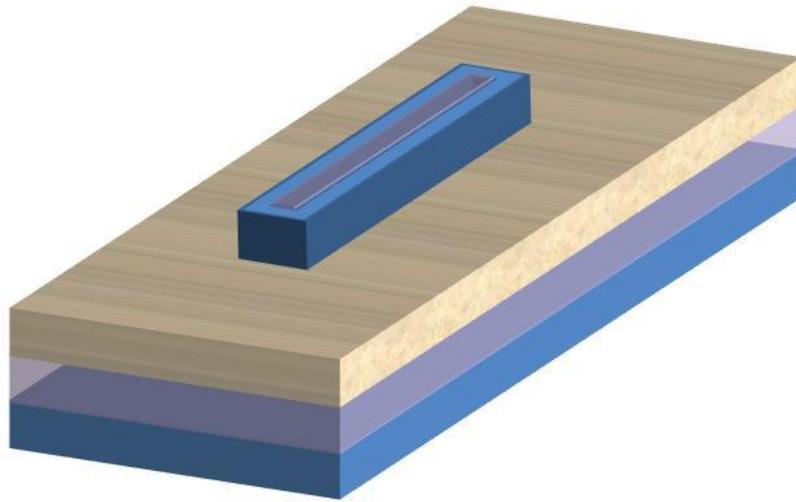


圖2-4、用 TEL5000 垂直蝕刻氮化矽，在側壁留下的 Spacer。

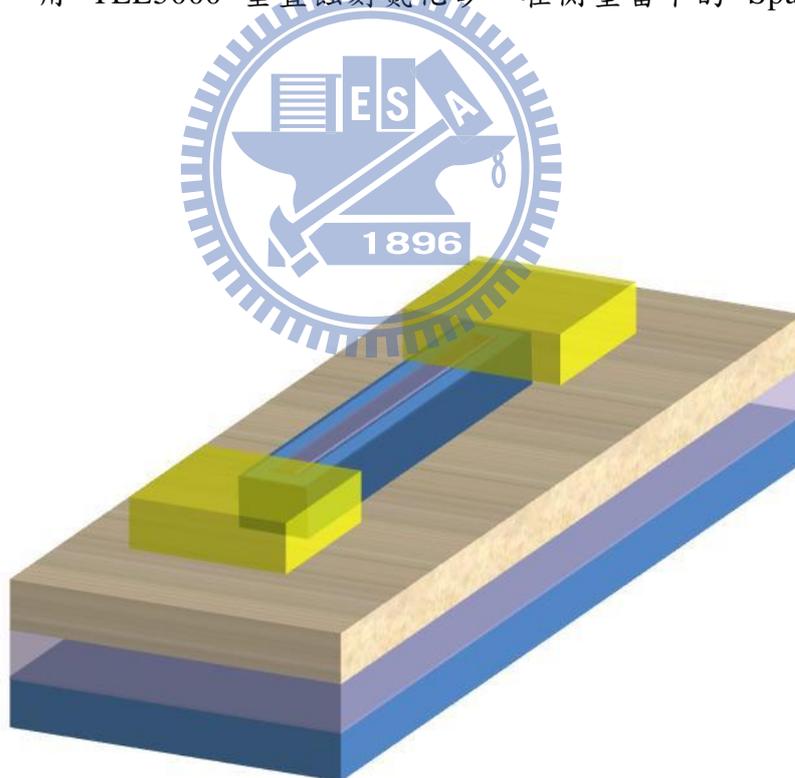


圖2-5、在Source/Drain兩端的光阻圖案。

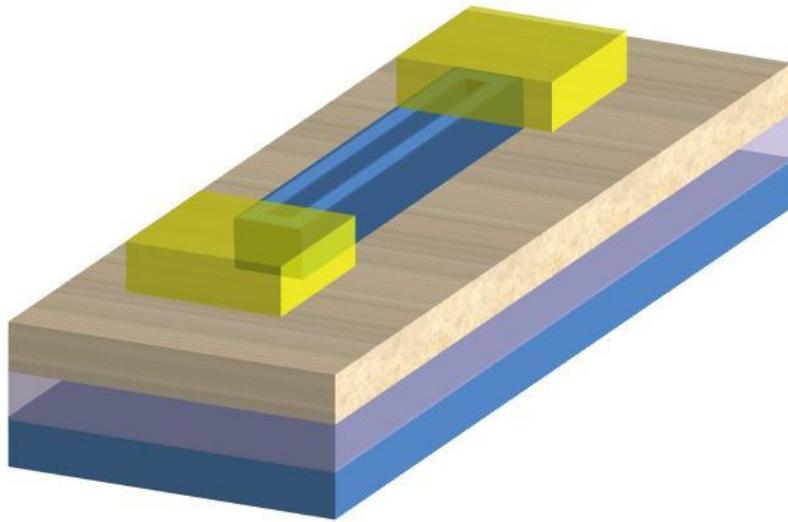


圖2-6、將 TEOS Block用BOE(1:7)濕式蝕刻移除。

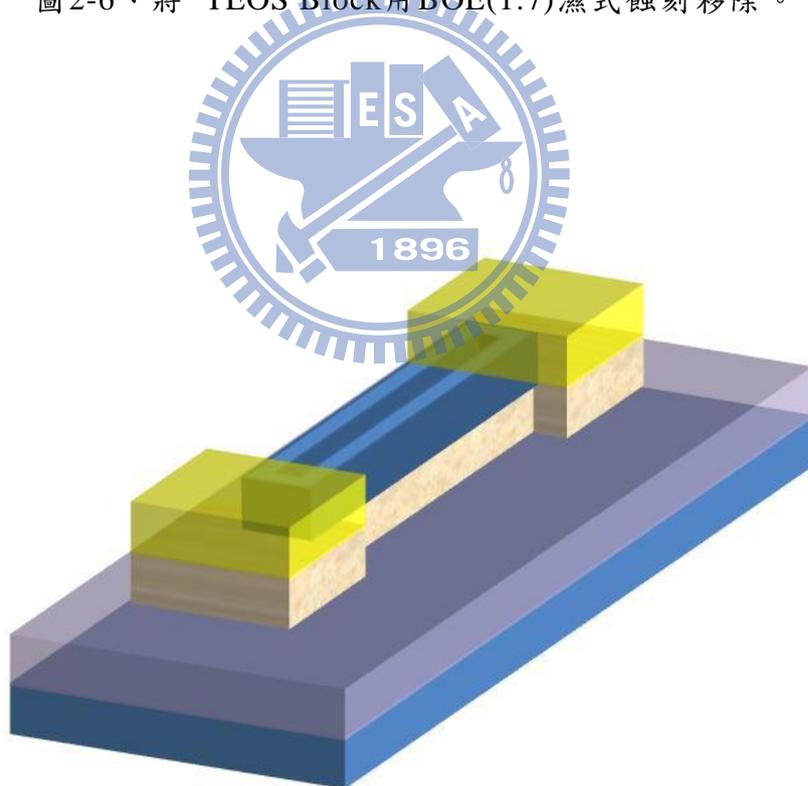


圖2-7、TCP9400 垂直蝕刻75奈米的非晶矽。

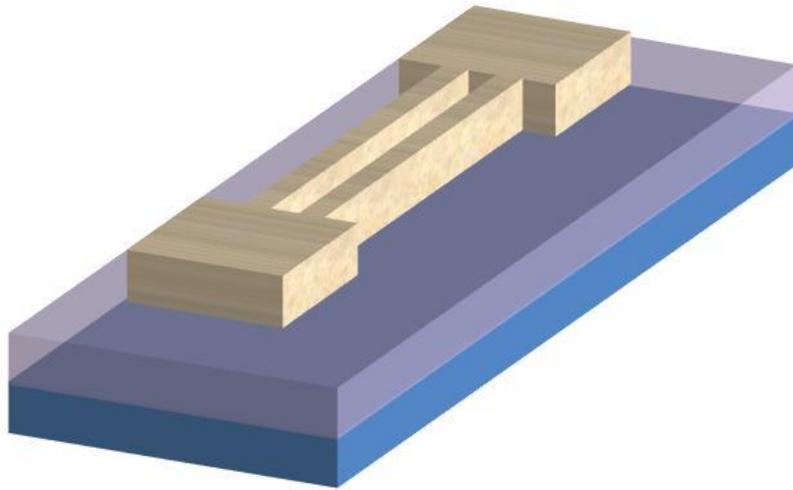


圖2-8、移除光阻和氮化矽完成奈米線。

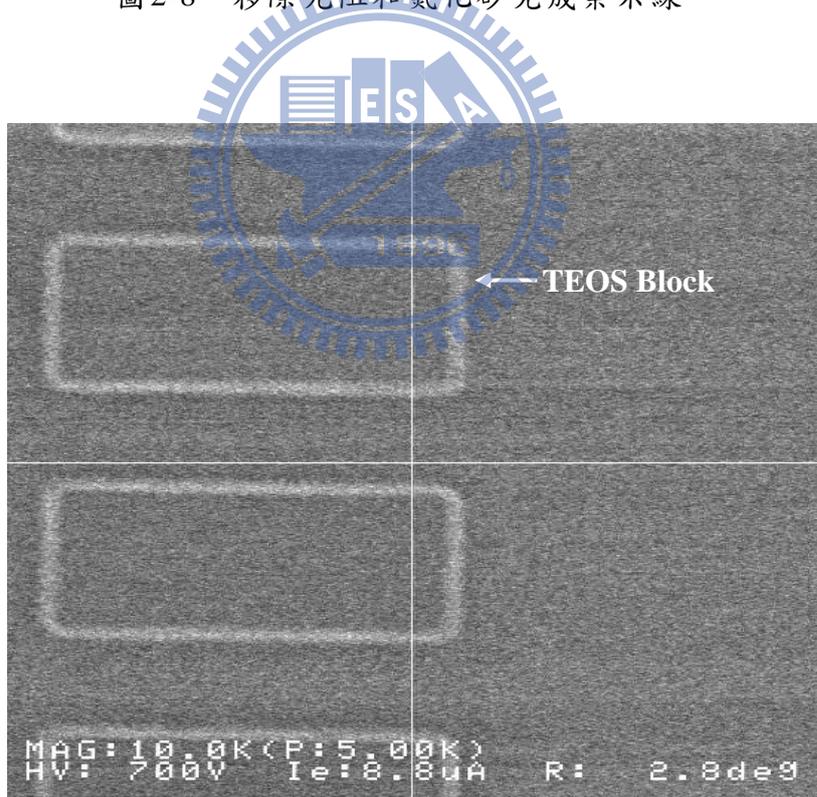


圖2-9、In-Line SEM下TEOS Block圖形。

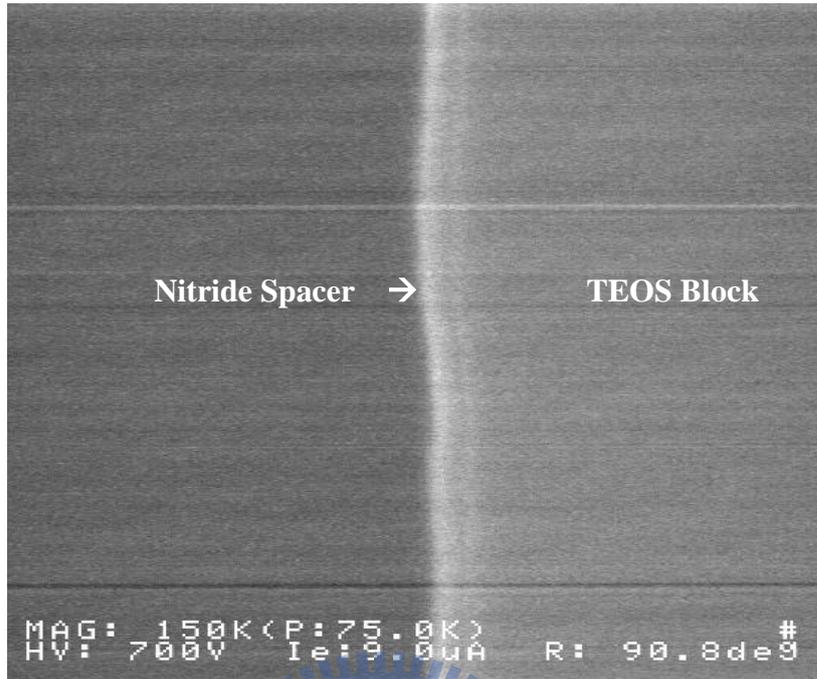


圖2-10、中間為倚靠 TEOS Block 的氮化矽 Spacer。

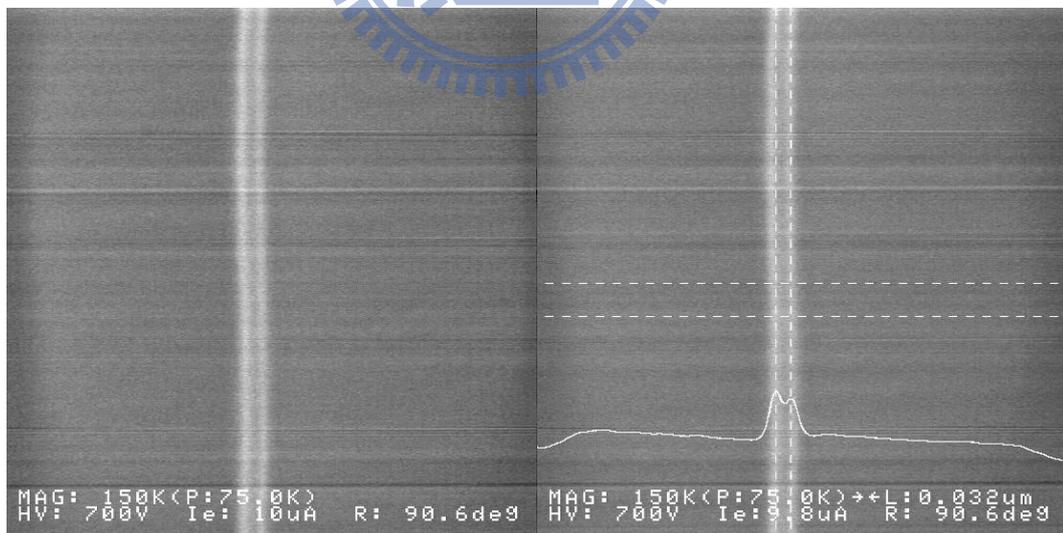


圖2-11、寬度為 32 奈米多晶矽奈米線。

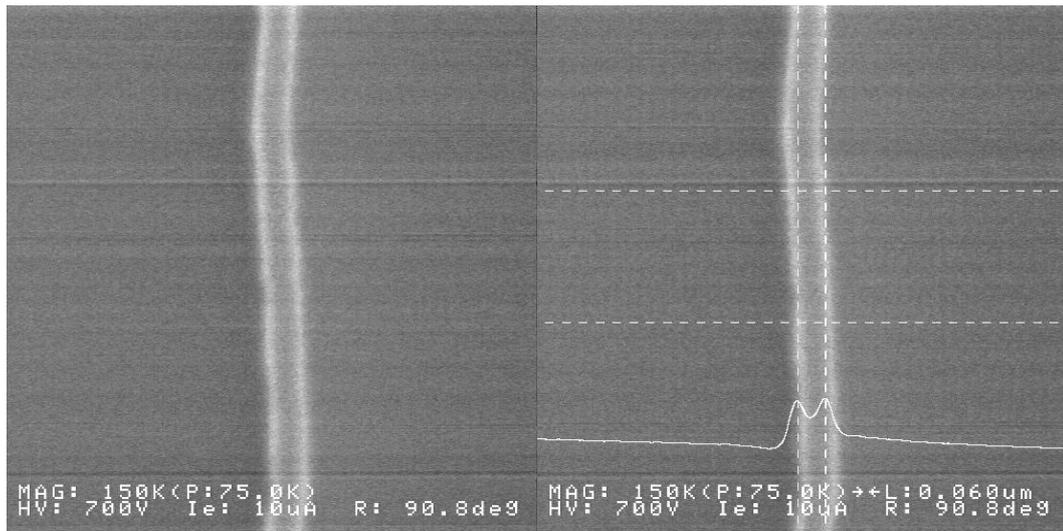


圖2-11、寬度為 60 奈米多晶矽奈米線。



第三章

Ω -Gate 薄膜電晶體製作流程與量測

3.1 實驗動機

如上一章所敘述，實驗室的奈米線製作技術成熟，包括奈米線記憶體、奈米線 CMOS 及奈米線電晶體等等，在平面顯示器方面有很好的應用，如主動式液晶顯示器(AMLCD)、微顯示器(Micro Display)、製程方面可與 IC 整合。因此在選擇製作的元件，我們選擇 Ω 式的閘極。

3.2 Ω -Gate 薄膜電晶體製作流程

將製作出來的奈米線，經過氮氣環境下的 24 小時 600°C 退火，之後 RCA 清洗，用 LPCVD 700°C 沉積 TEOS 氧化層 200 奈米，之後利用 TEL5000 RIE 垂直蝕刻 180 奈米，接下來就要進行奈米線掏空的動作，用氫氟酸 HF(1:100) 把奈米線下面的 TEOS 氧化層蝕刻 165 奈米，約 3 分鐘，使奈米線懸空 (Suspending)，之後進入 LPCVD 700°C 沉積 TEOS 氧化層 10 奈米、LPCVD 700°C 氮化矽氧化層(Nitride Oxide) 10 奈米、LPCVD 700°C TEOS 氧化層 15 奈米，之後進入垂直爐管沉積 N⁺ 多晶矽薄膜(Doped Polysilicon) 300 奈米 包覆通道。經過黃光微影，將閘極的形狀定義出來，並利用 Mattson Asher 和硫酸將光阻去除，之後做 Source/Drain 電極的離子佈植 N⁺ 重參雜(As75⁺，80keV，5E15cm⁻²)，為了避免金屬和光阻汙染，離子佈植結束後需用硫酸清洗。接下來在氮氣環境中 600°C 低溫活化 6.5 小時，之後經過 LPCVD 蓋上 300 奈米的 TEOS Oxide 做防護層(Passivation)來隔絕空氣，接下來利用黃光微影做出接觸孔(Contact Hole)的形狀，利用 TEL5000 RIE 垂直蝕刻和BOE(氫氟酸:氟化氫=1:7) 蝕刻使三個電極裸露出來並去除光阻，再以多層金屬濺鍍系統(FSE Cluster PVD)

鍍上 Al/Si/Cu 400 奈米。接下來經過黃光微影，將接觸(Contact)的光阻定義出來，進入金屬蝕刻機(TCP9600)蝕刻 Al/Si/Cu 400奈米，並將多餘的光阻去除，這樣元件已經完成。

3.3 Ω -Gate 薄膜電晶體 SEM 與 TEM

元件完成後，本實驗將進行 SEM 和 TEM 的圖片確認。圖3-1和圖3-2為 Ω -Gate 薄膜電晶體的 SEM 圖，很明顯的可以看到以 TEOS Block 為側壁做出來的奈米線，奈米線的數目為 16 根，奈米線上面是源極電極，下面是汲極電極。圖3-3和圖3-4是 Ω -Gate 薄膜電晶體的 TEM 圖，可以清楚的看到奈米線通道為方形的結構，圖中通道的寬度(W_{ch})約為 60 奈米，高度(T_{ch})約為 60 奈米，第一層閘極氧化層 10 奈米，第二層氮化矽 10 奈米，第三層 TEOS 氧化層 15 奈米。奈米線的寬度取決於氮化矽 Spacer 的寬度，假如希望有較小線寬的奈米線，可以降低 TEOS Block 的高度，或是增加蝕刻氮化矽 Spacer 時過蝕刻的時間。而奈米線的高度則取決於 α -Si 的厚度，需注意的地方是，蝕刻 TEOS Block 時，過大的過蝕刻會引起 α -Si 厚度的降低。圖3-5是 TrigGate 薄膜電晶體的 TEM 圖，第一層的閘極氧化層厚度為 45 奈米、第二層氮化矽為 10 奈米、第三層 TEOS 氧化層為 15 奈米，用意在於以利之後的比較及非對稱結構上。

本實驗可以看到 Ω -Gate 薄膜電晶底元件可以完整的包覆奈米線通道的四個角落，而沒有包覆奈米線的下方，原因在於希望降低通道在靠近汲極的電場，又沒有失去控制奈米線的能力。

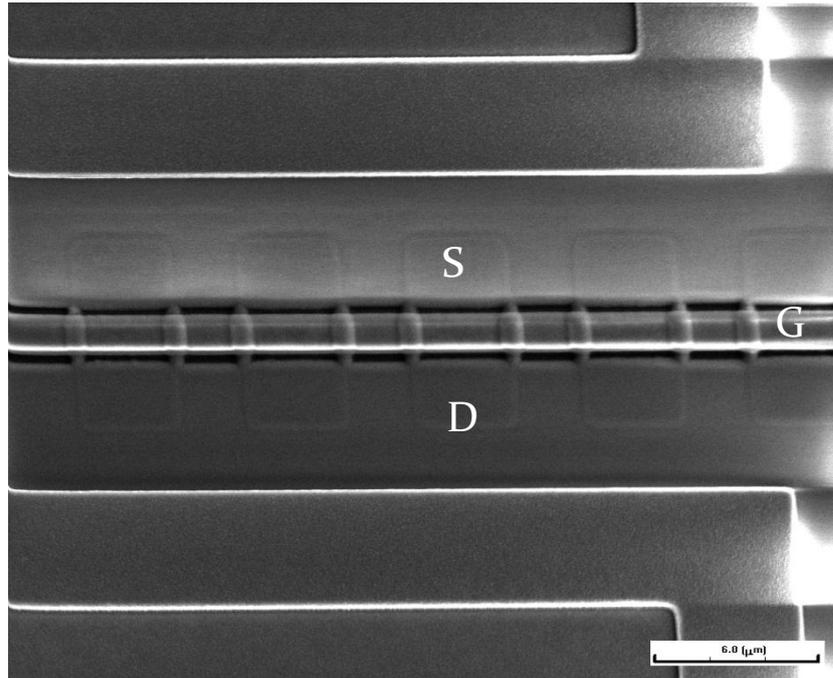


圖3-1、 Ω -Gate 薄膜電晶體SEM圖。

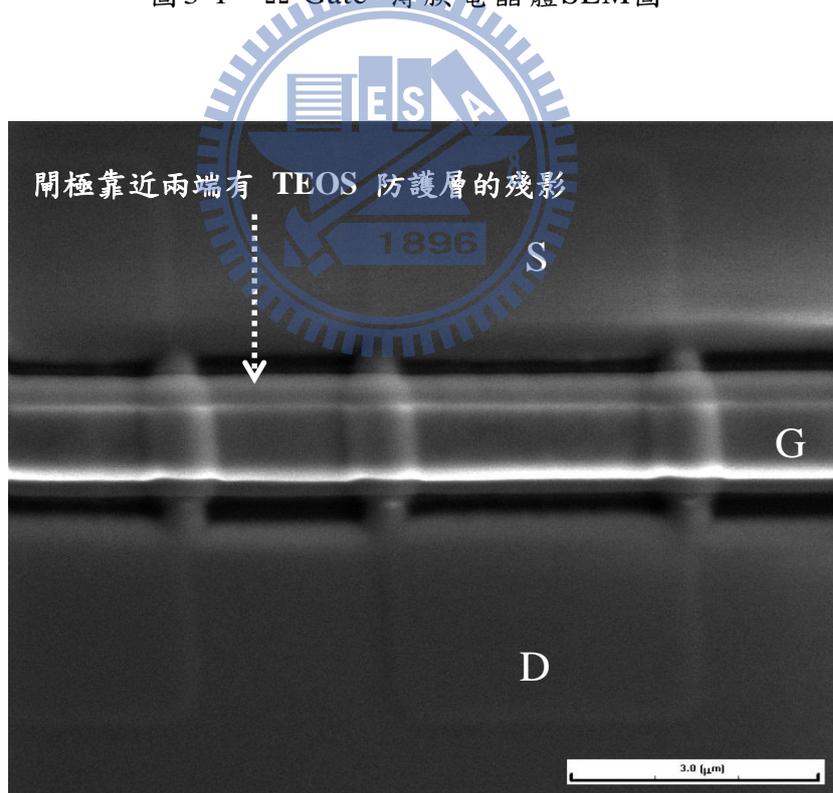


圖3-2、 Ω -Gate 薄膜電晶體局部放大之SEM圖。

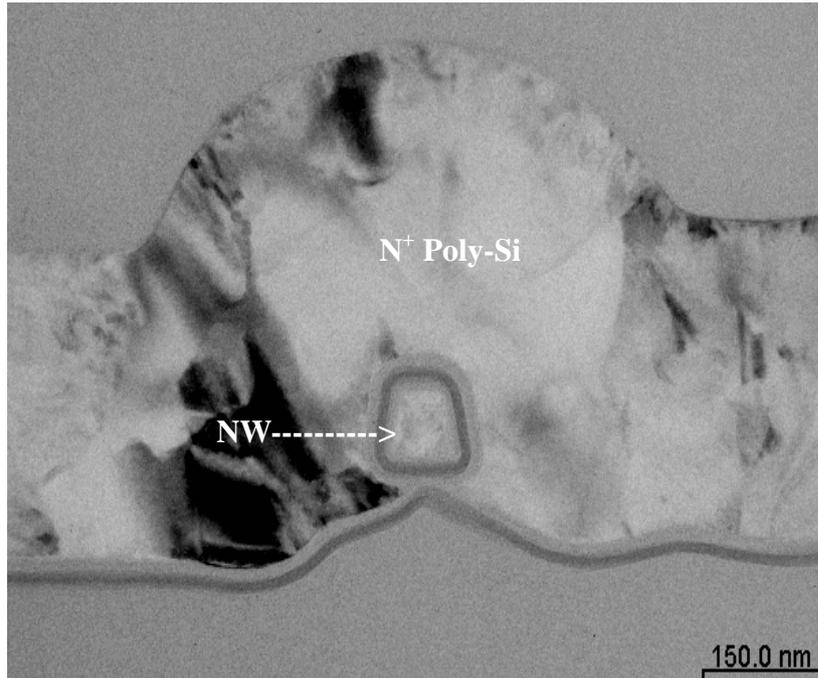


圖3-3、Ω-Gate 薄膜電晶體剖面TEM圖。

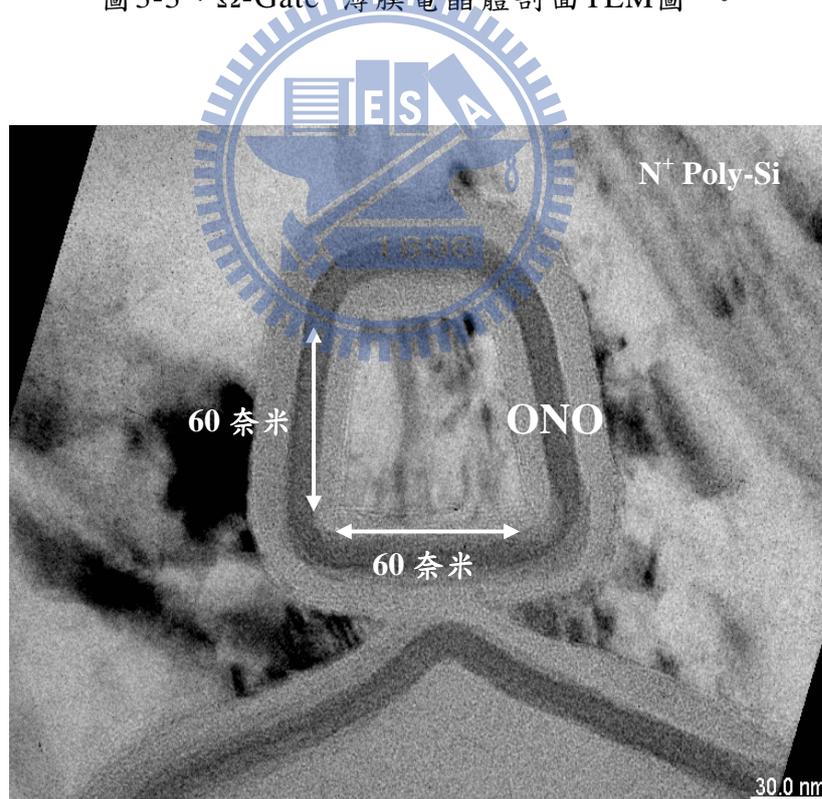


圖3-4、Ω-Gate 薄膜電晶體局部放大剖面TEM圖(O/N/O = 10 奈米/ 10 奈米/ 15 奈米)。

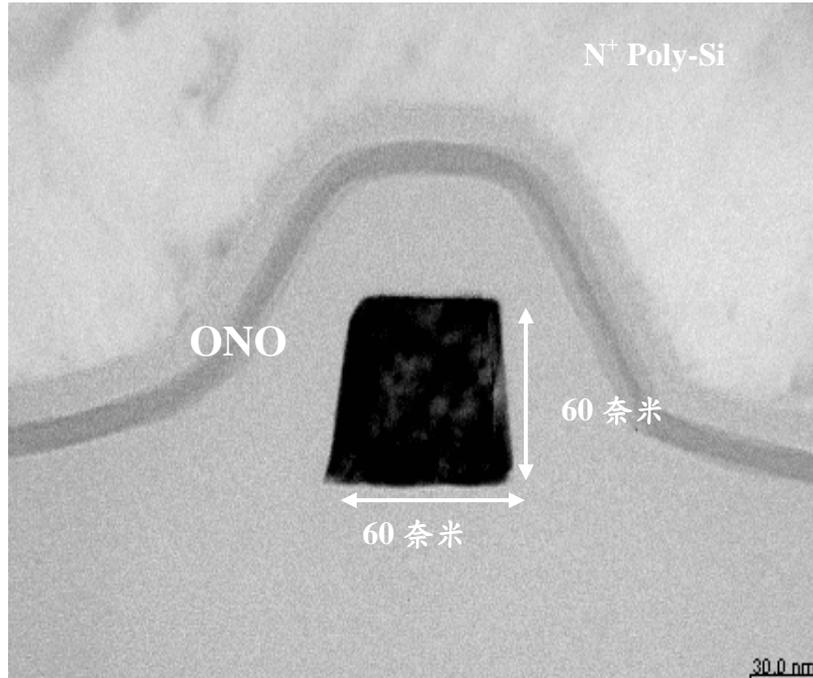


圖3-5、TriGate 薄膜電晶體TEM圖(O/N/O = 45 奈米/ 10 奈米/ 15 奈米)。

3.4 參數萃取方法

本節將介紹量測的參數萃取，包括臨界電壓(Threshold Voltage)、次臨界斜率(Subthreshold Swing)、汲極引發位能障下降(DIBL)、電流開關比(On/Off Ratio)、載子遷移率(Field-Effect Mobility)等特性。將量到的參數比較分析，而電性的量測機台主要以 HP 4156 半導體分析儀量測，軟體則為 ICS 操作系統， GPIB 為連接兩硬軟體的溝通介面。

3.4.1 臨界電壓定義(Threshold Voltage)

V_{th} 為 MOSFET 元件中最基本且重要的參數，它的定義方法為將量到的 I_d-V_g 圖，在固定的 V_d 下，本實驗設 $V_d = 0.5$ V，取 G_m (Transconductance) 最大值對應到 I_d-V_g 下的 V_{g1} 且 Fit 出一條直線與 X 軸的切點 V_g ，在扣掉二分之一 V_d (線性區電流等於零時)，即為 V_{th} ，如圖3-6。亦可利用定電流法估

計，在 $I_d = (W/L) \times 10^{-8} \text{A}$ 時的 V_g ，如圖3-7。

$$V_{th} = V_g - \frac{V_d}{2}$$

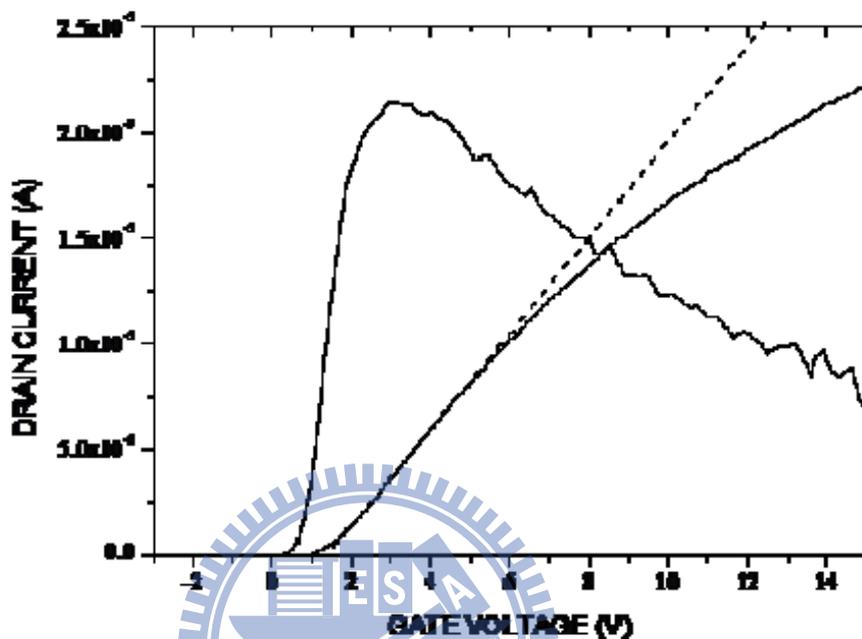


圖3-6、 V_{th} 參數萃取方法。

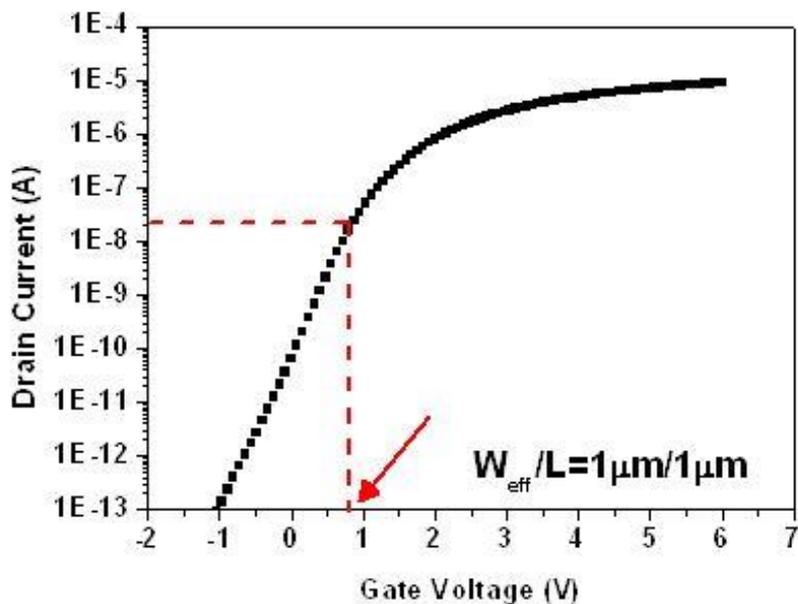


圖3-7、定電流 V_{th} 定義方法。

3.4.2 次臨界斜率定義 (Subthreshold Swing)

次臨界斜率的定義方法為在弱反轉區的次臨界電流，取對數除以 V_g 的倒數，因此元件操作在線性區，通常外加 V_d 較小，一般為小於0.5V。其估算的公式如下：

$$S = \left\{ \frac{\partial \log_{10}(I_d)}{\partial V_g} \right\}^{-1} \quad (3-1)$$

3.4.3 汲極引發位能障下降定義 (Drain Induce Barrier Lowering)

汲極引發位能障下降(DIBL)的原因是由於汲極端的電壓 V_d 增加，汲極端的位能下降，連帶源極端的能位障 V_b 也隨之下降，而 V_{th} 下降，使元件容易導通。當元件越做越小，通道長度也隨之下降，DIBL 的現象也會越來越明顯，越小的 DIBL 值表示元件閘極控制能力強，源極端的能位障 V_b 不容易被汲極端的電壓影響 V_d ，是判斷元件閘極控制能力的重要指標。在此本實驗定義 DIBL(mV/V) 的公式如下：

1. $V_{th-linear} - V_{th-saturation}$
2. $\frac{\Delta V_g}{\Delta V_d}$

第二種為我們採用的方法，設 V_d 為 0.5V 與 2V 下所量到的 V_g ，兩者的差相除。另外一簡單的方法可觀察 V_d 為 0.5V 與 2V 下的 I_d - V_g 圖，兩者的弱反轉區是否重疊，無重疊表示無 DIBL 效應。

3.4.4 電流開關比定義 (On Off Ratio)

本實驗定義 I_{on}/I_{off} Ratio 為取 $V_g = 10V$ 下的 I_d 為 I_{max} 除以 I_d 的最小值。開關比越大表示越容易區分開與關兩種狀態，一般電晶體至少要 10^6 以上，才算是一顆好的元件。

$$\frac{I_{on}}{I_{off}} = \frac{I_{max}}{I_{min}}$$

3.5 Ω -Gate 薄膜電晶體電性量測

圖3-8為不同通道數目的 Ω -Gate 元件 I_d - V_g 電性比較，包括 2 通道、4 通道、8 通道、16 通道、40 通道及 80 通道等等，在外加 $V_d=0.5V$ 下，隨著通道數目的增加導通電流(On Current)增加，而關閉電流(Off Current)也增加，因此電流開關比(I_{on}/I_{off} Ratio)沒有很明顯的改變。而臨界電壓(V_{th})通道的數目越多，及閘極的控制面積增加，元件沒有提早進入反轉區(Inverse Region)導通， V_{th} 沒有太大的變化，原因可能是因為，當一根奈米線導通時，其他多根的也跟著導通，並不會因為奈米線的多寡而影響 V_{th} 。次臨界斜率方面，S.S. 也沒有太大的變化。

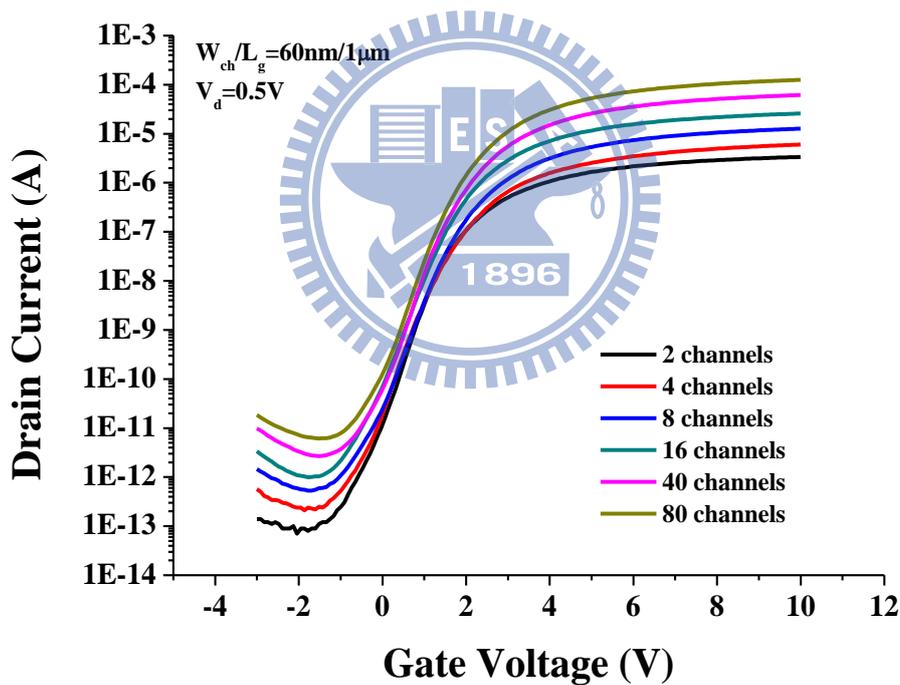


圖3-8、不同的通道數目比較圖。

接下來我們去比較不同閘極長度(Gate Length)，如圖3-9所示，相對於0.5 微米長度的通道，通道較長的元件臨界電壓較大，且次臨界斜率也比較高。由此可知，單看電性的話，0.5 微米長度的通道閘極控制能裡較好。

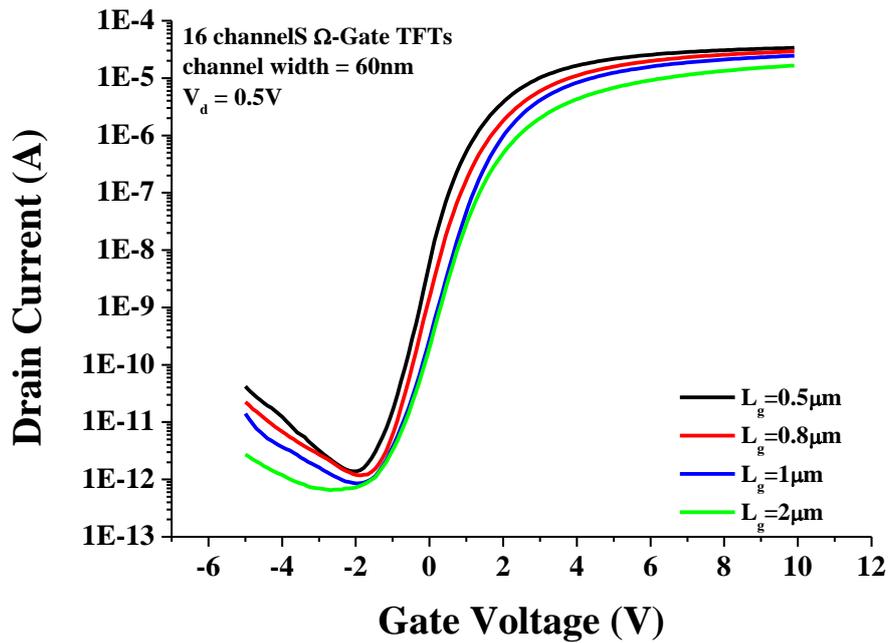


圖3-9、不同的閘極長度比較圖。

圖3-10則是在外加 V_d 從 0.1V 到 3V 的特性圖，圖中顯示在關閉電流的 (Off Current) 的部分，會隨著汲極的電壓變大而變大，使漏電流越大，此乃汲極接近通道附近的電場越高，導致熱電子從價帶 (Valance Band) 產生躍遷至能隙中的缺陷態 (Trap State)，在穿隧 (Tunneling) 至位能障變低的導帶 (Conduction Band) 中，因此造成熱場發射漏電機制。如果閘極與汲極間所建立的電場過於強烈，會造成更嚴重的能帶對能帶直接穿隧 (Band To Band Tunneling) 的漏電。圖3-11為 V_d 分別加 0.5V 和 2V，其 DIBL 為 67.4(mV/V)。

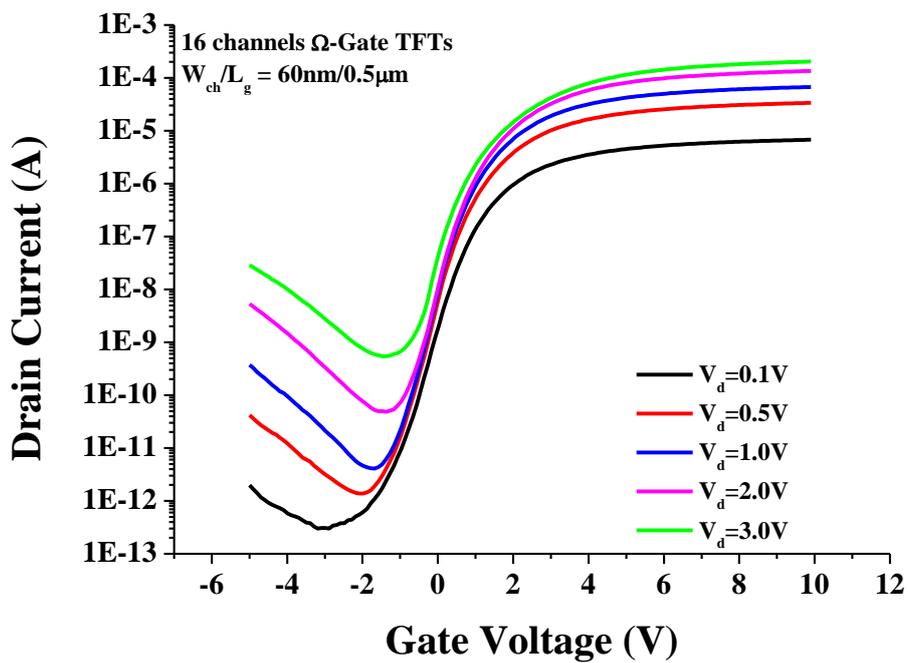


圖3-10、外加不同汲極電壓圖。

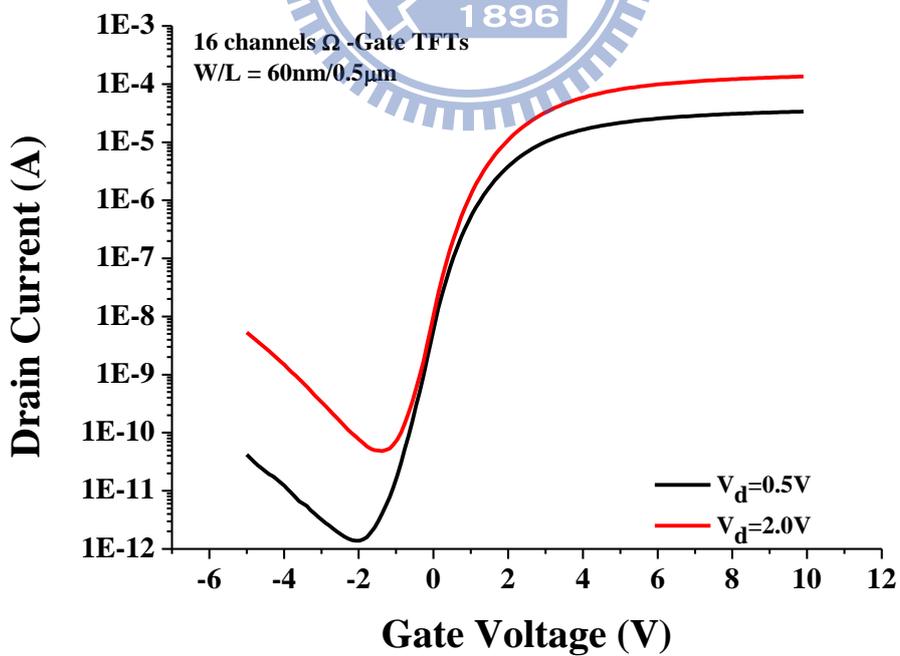


圖3-11、外加不同汲極電壓圖。

圖3-12為 Ω -Gate 和 TriGate 比較圖，發現 Ω -Gate 有比較好的臨界電壓、次臨界擺幅和開關比， TriGate 則有比較小的漏電流。其中 Ω -Gate 薄膜電晶體的介電層厚度為，閘極 TEOS 氧化層 10 奈米/氮化矽氧化層 10 奈米/ TEOS 氧化層 15 奈米)， TriGate 介電層厚度為，閘極 TEOS 氧化層 45 奈米/氮化矽氧化層 10 奈米/ TEOS 氧化層 15 奈米)。

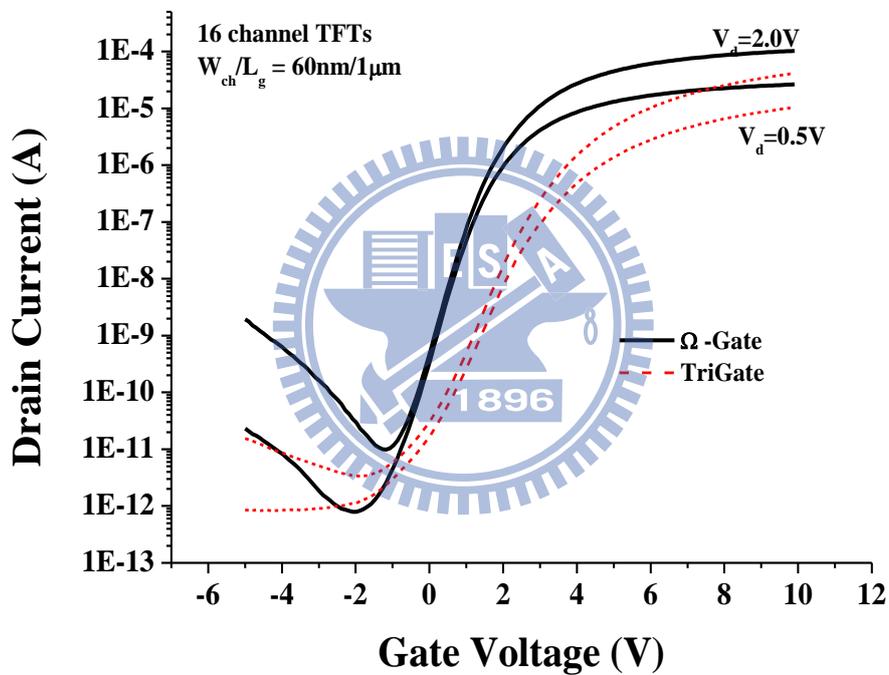
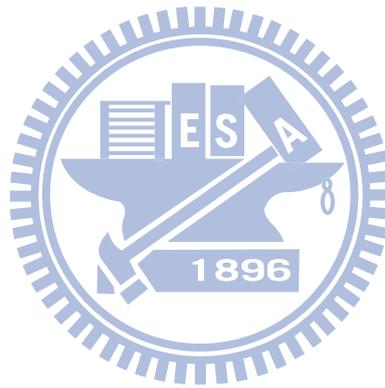


圖3-12、 Ω -Gate 和 TriGate 元件 I_d - V_g 比較圖。

表3-1為元件完成後量得的電性，針對 1 微米長度各項參數做比較的整理如下其中臨界電壓有逐漸增加的趨勢，但大致上還是差不多，元件的導電性(G_m)越來越高， S.S. 大致上不變，開關比則漸漸降低。

表3-1、各項電性數據整理。

| Gate length | 1 μm ($V_d=0.5\text{V}$) | | | | | |
|----------------------------------|---------------------------------------|-------|-------|-------|-------|-------|
| | 2 | 4 | 8 | 16 | 40 | 80 |
| $V_{th}(\text{V})$ | 1.013 | 1.159 | 1.279 | 1.213 | 1.336 | 1.366 |
| S.S.(mV/dec) | 373 | 384 | 398 | 379 | 368 | 399 |
| I_{on}/I_{off} ratio(10^7) | 4.78 | 2.86 | 2.37 | 2.60 | 2.27 | 2.02 |
| $I_{onmax}(\mu\text{A})$ | 3.65 | 6.00 | 12.6 | 25.7 | 61.1 | 125.0 |
| $G_{max}(\mu\text{S})$ | 0.68 | 1.09 | 2.38 | 4.79 | 11.20 | 22.66 |



第四章

非對稱 Ω -Gate 薄膜電晶體製作流程與量測

由上一章節中，可以看見 Ω -Gate 有良好的臨界電壓、次臨界擺幅和開關比，但漏電流的和 TriGate 相比卻大很多，因此本章將融合這兩種結構，期望元件有 Ω -Gate 良好的元件特性也有較低的漏電流。本章節將逐步討論元件的製作流程和量測分析。

4.1 ASY200 Ω -Gate 薄膜電晶體製作流程

將製作出來的奈米線，如圖4-1，經過氮氣環境下的 24 小時 600°C 退火，RCA 清洗，用 LPCVD 700°C 沉積 TEOS 氧化層 200 奈米，如圖4-2。接下的步驟相當重要，利用黃光微影將非對稱(Asymmetric)的形狀做出來，之後利用 TEL5000 RIE 垂直蝕刻 180 奈米，如圖4-3。接下來就要進行奈米線掏空的動作，用氫氟酸 HF(1:100) 把奈米線下面的 TEOS 氧化層蝕刻 165 奈米，約 3 分鐘，使靠近源極的奈米線懸空(Suspending)，而汲極的奈米線並未懸空，如圖4-4。之後進入 LPCVD 700°C 沉積 TEOS 氧化層 10 奈米、LPCVD 700°C 氮化矽氧化層(Nitride Oxide) 10 奈米、LPCVD 700°C TEOS 氧化層 15 奈米，之後進入垂直爐管沉積 N^+ 多晶矽薄膜(Doped Polysilicon) 300 奈米包覆通道。經過黃光微影，將閘極的形狀定義出來，並利用 Mattson Asher 和硫酸將光阻去除，如圖4-5。之後做 Source/Drain 電極的離子佈植 N^+ 重參雜(As75⁺, 80 keV, 5E15cm⁻²)，為了避免金屬和光阻汙染，離子佈植結束後須用硫酸清洗。接下來在氮氣環境中 600°C 低溫活化 6.5 小時，之後經過 LPCVD 蓋上 400 奈米的 TEOS 氧化層作防護層(Passivation)來隔絕空氣，接下來利用黃光微影做出接觸孔(Contact Hole)的形狀，利用 TEL5000 RIE 垂直蝕刻和 BOE(氫氟酸:氟化氫=1:7) 蝕刻使三個電極裸露出來並去除光阻，再以多層金屬濺鍍系統(FSE Cluster PVD)鍍上

Al/Si/Cu 400 奈米。接下來經過黃光微影，將接觸(Contact)的光阻定義出來，進入金屬蝕刻機(TCP9600)蝕刻 Al/Si/Cu 400 奈米，並將多餘的光阻去除，這樣元件已經完成。

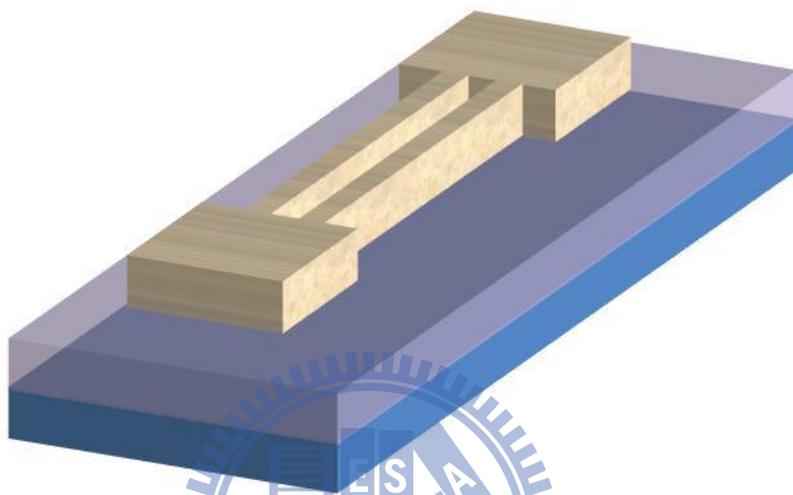


圖4-1、已完成的多晶矽奈米線。

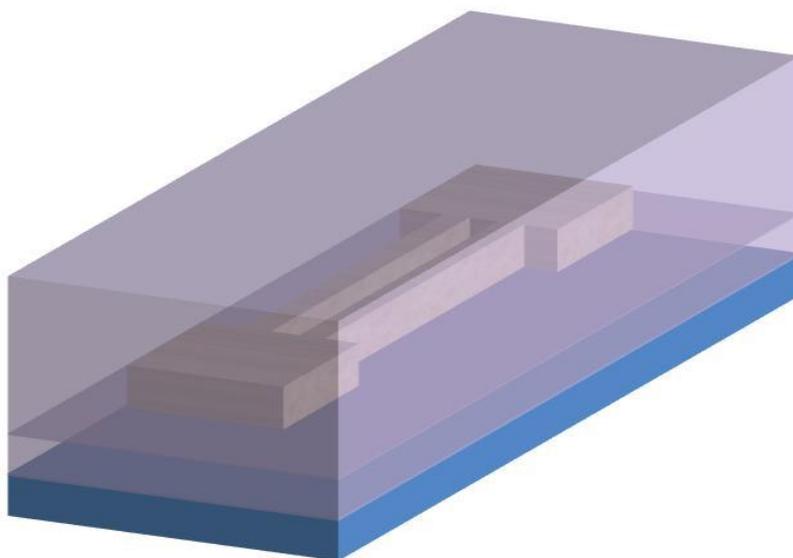


圖4-2、在奈米線上覆蓋 TEOS 氧化層 200 奈米。

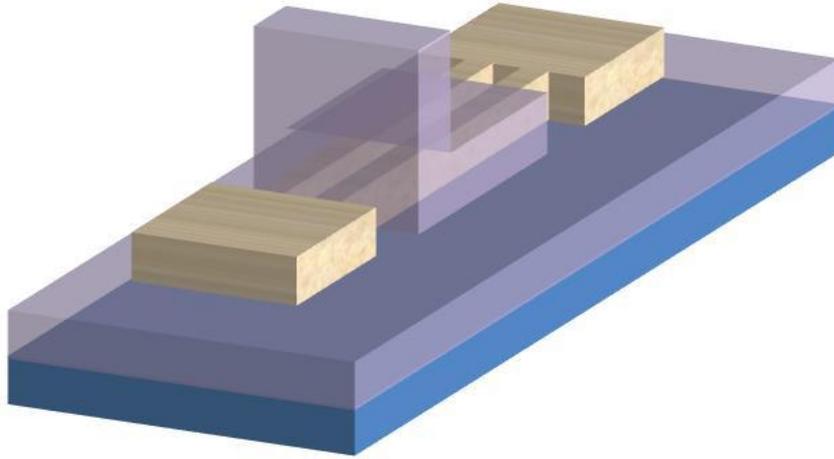


圖4-3、經過非對稱的光阻蝕刻完的圖形。

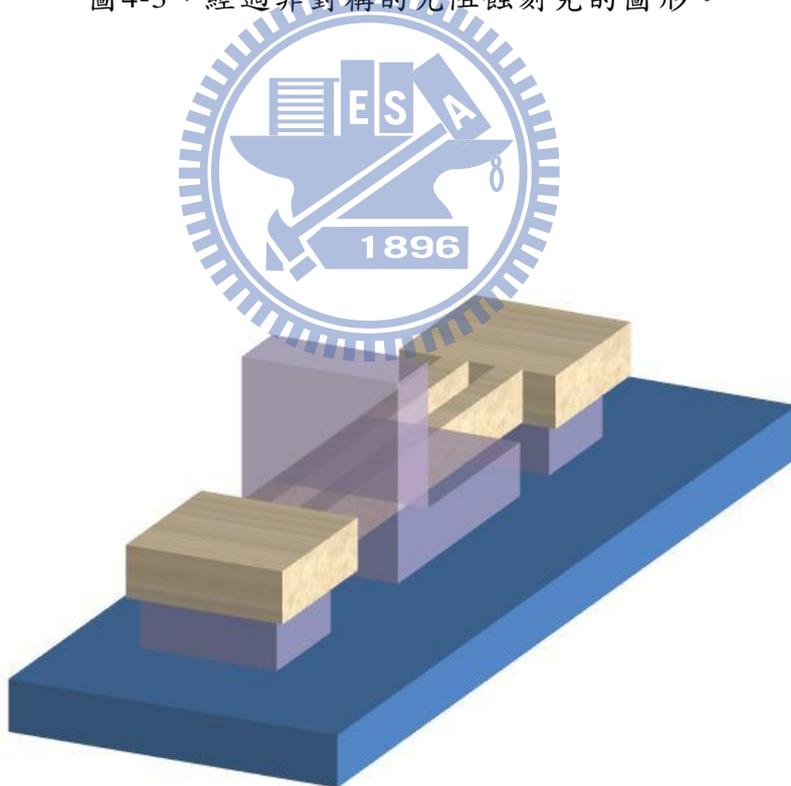


圖4-4、經過 HF(1:100) 濕式蝕刻過後的圖形。

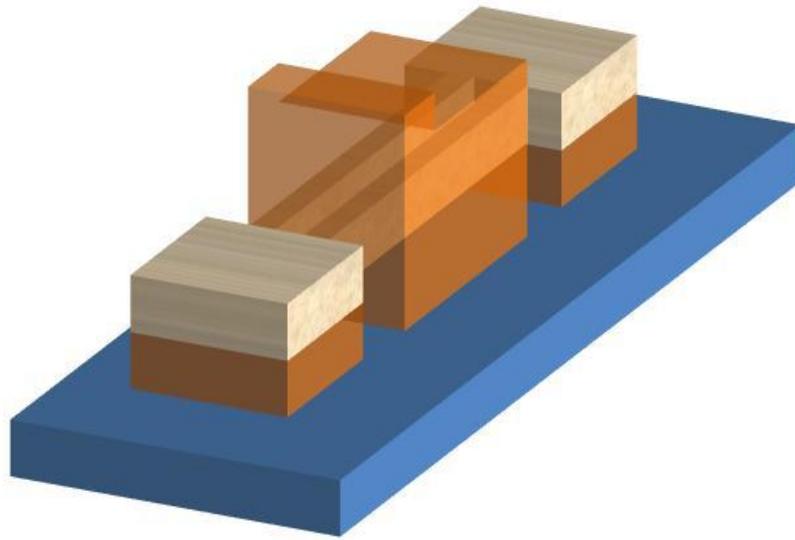


圖4-5、由閘極的形狀可以看出氧化層為非對稱的結構。

4.2 ASY200 Ω -Gate 薄膜電晶體 SEM 與 TEM

圖4-6和圖4-7為 ASY200 Ω -Gate 薄膜電晶體元件的 SEM 圖，可以很明顯地看到奈米線，而閘極靠近源極的方向為 Ω -Gate 的形狀，靠近汲極的方向則是 TriGate 的形狀，從圖形中可以看見靠近汲極方向的閘極上方有突出。圖4-8和圖4-9為奈米線通道靠近源極剖面圖，可以清楚的看到奈米線的寬度為 60 奈米、高度為 60 奈米，中間的閘極氧化層 TEOS/NIT/TEOS = 10 nm/10 nm/15 nm 而閘極的形狀為 Ω 的形狀。圖4-10為 TEM 的圖剛好橫跨在 Ω -Gate 和 TriGate 之間，因此在圖下方可以看見 Ω -Gate 的形狀，而上方可以看見 TriGate 形狀的影子。圖4-11是沿著奈米線所拍的 TEM 圖，可以清楚的看見奈米線靠近汲極的方向，閘極的氧化層高出了一個非對稱的階梯(Asymmetric Step)，此階梯的高度為35奈米，階梯的寬度為 200 奈米。

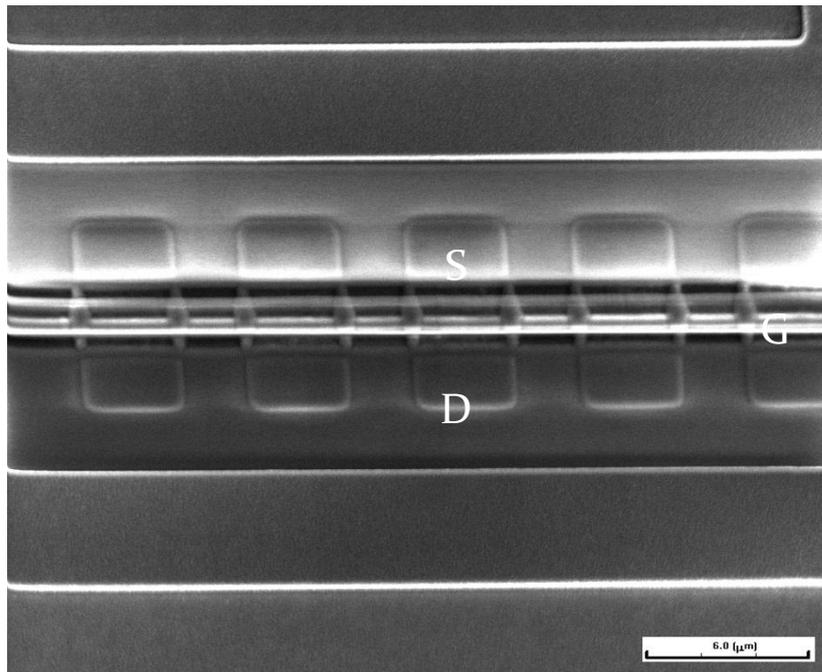


圖4-6、非對稱元件的 SEM 圖。

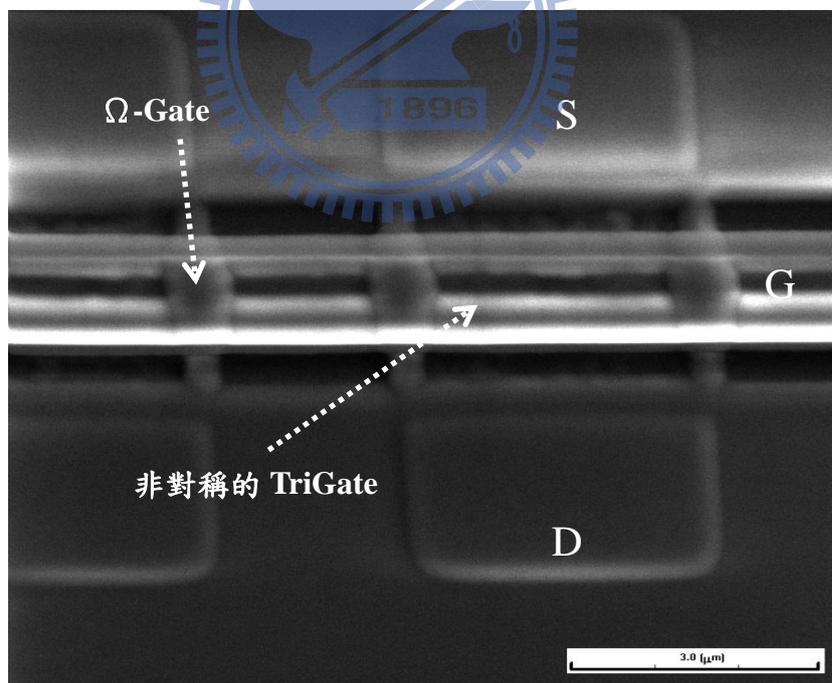


圖4-7、非對稱元件的 SEM 圖。

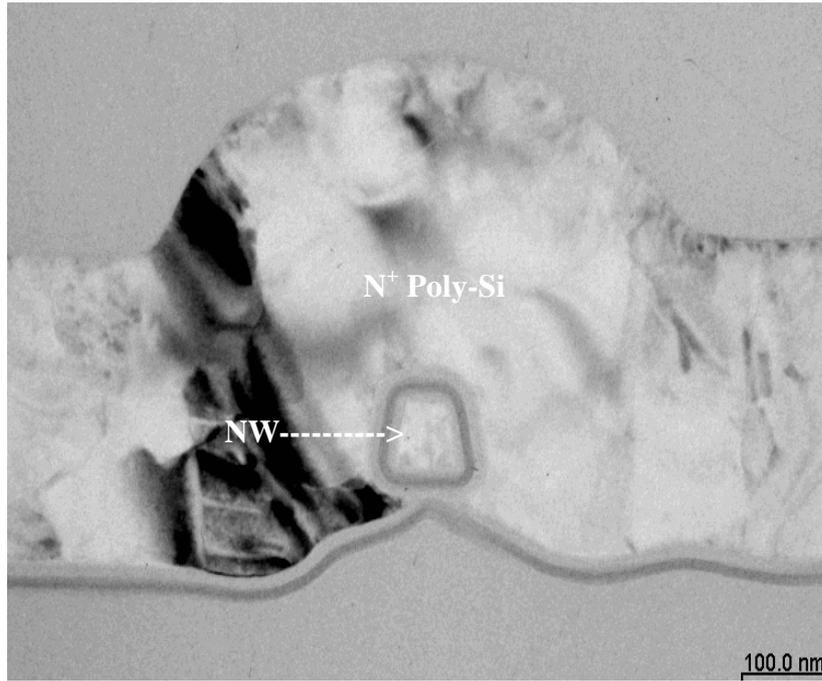


圖4-8、靠近源極奈米線通道剖面圖。

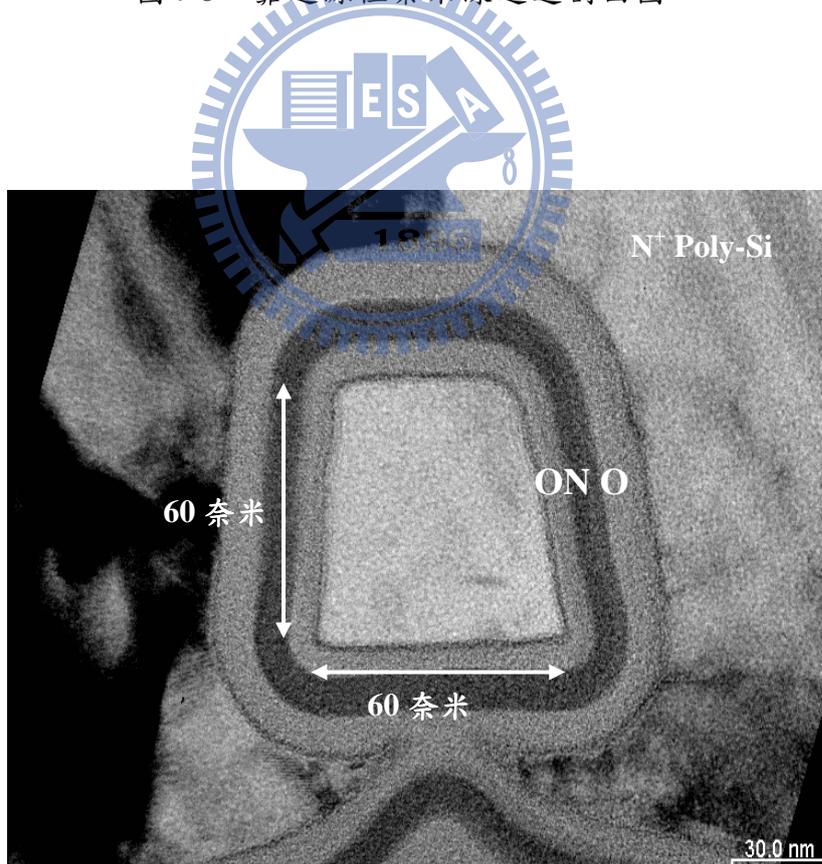


圖4-9、靠近源極奈米線通道剖面局部放大圖(O/N/O = 10 奈米/ 10 奈米/ 15 奈米)。

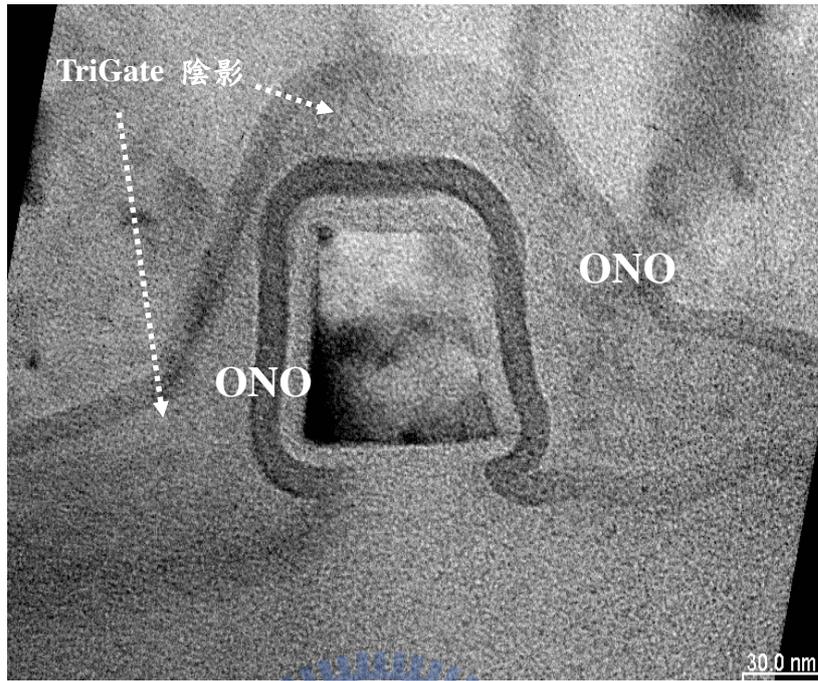


圖4-10、橫跨在 Ω -Gate 和 Trigate 之間 TEM 圖。

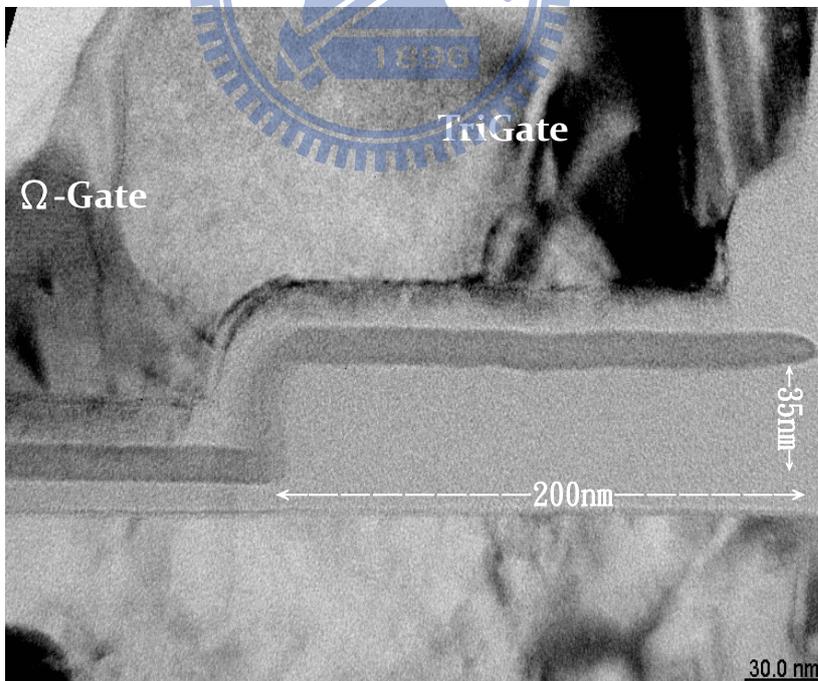


圖4-11、非對稱閘極靠近汲極方向圖。

4.3 ASY200 Ω -Gate 薄膜電晶體電性量測

圖4-12為奈米線通道數 16 根，通道長度為 1 微米，外加不同汲極電壓的電性圖，可以很明顯地看到漏電流的效應降低了，有良好的臨界電壓，次臨界擺幅。

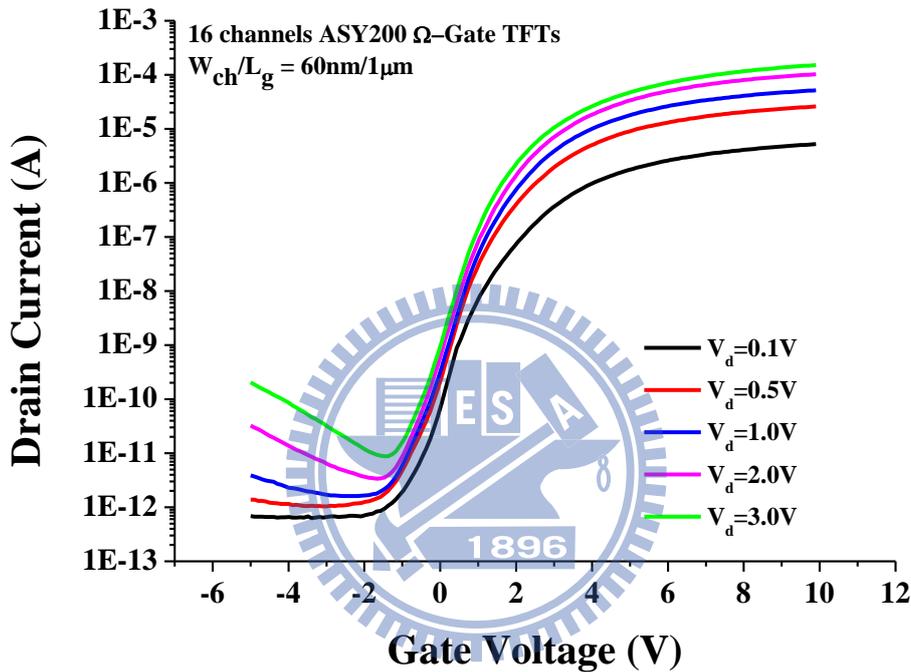


圖4-12、外加不同的汲極電壓。

圖4-13為奈米線通道數 16 根，通道長度為 1 微米，將元件正向量測 (ASY200)和反向量測(In-ASY200)，可以清楚地發現 GIDL 效應在漏電流的部分不同，證明此元件為非對稱的結構。而正向量測(ASY200)比反向量測(In-ASY200)的漏電流更小，其他的電性上，臨限電壓和次臨界擺幅幾乎沒有太大的差異。在導通時(On State)幾乎是差不多，在關閉狀態時(Off State)，當汲極外加 0.5V 時兩者之間沒有差異，當汲極外加 2.0V 時，正向量測比反向量測低一些，這說明降低在汲極方向的閘極電場，能夠有效的抑制漏電流，而降低在源極的閘極電場，對抑制漏電流沒有幫助。

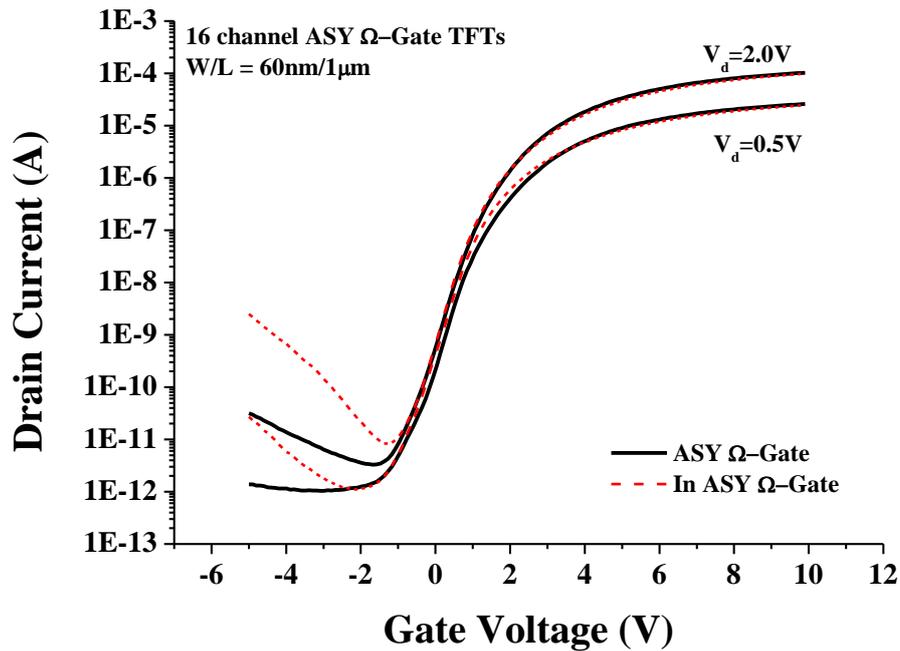


圖4-13、ASY200 Ω -Gate 和 In-ASY200 Ω -Gate 元件 I_d - V_g 比較圖。

接下來我們去比較 ASY200 Ω -Gate 和 Ω -Gate，如圖4-14所示。從此圖可以清楚的看到 Ω -Gate 的臨界電壓和 ASY200 Ω -Gate 沒有太大差別，但 Ω -Gate 在線性區域中較快到達飽和，這代表著次臨界擺幅比較低，控制能力較好。而在導通時的電流也是大致相同的，但在關閉時的電流，當汲極外加 0.5V 的電壓時， Ω -Gate 比 ASY200 Ω -Gate 低一點點，而在汲極外加 2.0V 的電壓時，ASY200 Ω -Gate 比 Ω -Gate 低了許多。在漏電流方面，很明顯的 ASY200 Ω -Gate 能夠抑制漏電流。

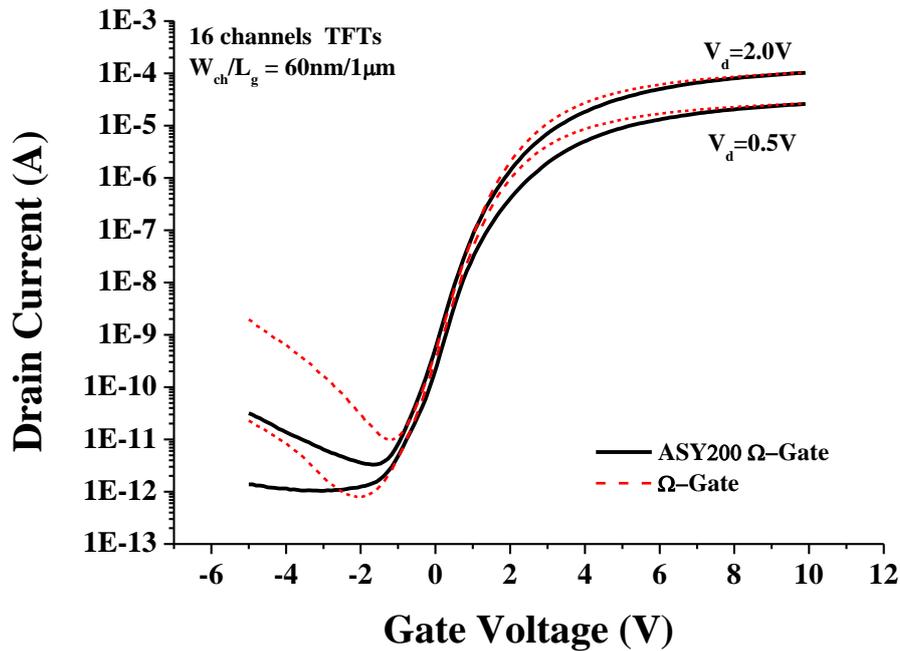


圖4-14、ASY200 Ω -Gate 和 Ω -Gate 元件 I_d - V_g 比較圖。

接下去比較 ASY200 Ω -Gate、In-ASY200 Ω -Gate、 Ω -Gate 和 TriGate，如圖4-15所示。從此圖中可以發現非對稱和對稱的 Ω -Gate 臨界電壓均差不多，在 In-ASY200 Ω -Gate 和 Ω -Gate 的比較上，電特性幾乎相同，唯一的差別在次臨界擺幅好一些，而在關閉狀態和漏電流，ASY200 Ω -Gate 則相當接近 TriGate，這和我們期望的相同。因此 ASY200 Ω -Gate 的結構，在電性上有相同的臨界電壓和趨動電流，有更低的關閉電流，而且改善了漏電流，唯一較差一點的是在控制能力上，因此這個結果相當符合本實驗的預期。

表4-1比較了這四種結構的電性，針對 1 微米做了整理，在臨界電壓方面，對稱式的結構較小，而非對稱式的結構因為通道掌控能力的關係，因而臨界電壓大了一點。次臨界擺幅上和 DIBL，因為非對稱的結構是由 TriGate 所部分組成，也比對稱式的結構多了些。在開關比面，因為非對稱結構有較低的關閉狀態，因此非對稱的開關比較好。在漏電流方面非對稱的結構跟 TriGate 差不多。

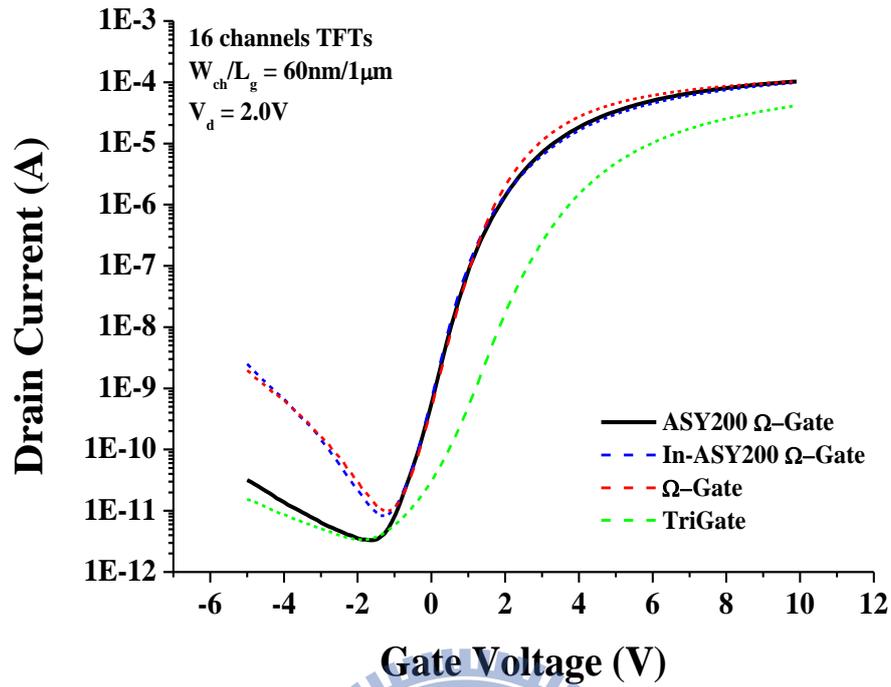


圖4-15、不同結構元件 I_d - V_g 比較圖。

表4-1各項電性數據整理。

| 1 μm 比較 | Ω -Gate | ASY200 Ω -Gate | In-ASY200 Ω -Gate | TriGate |
|---|----------------|--------------------------|-----------------------------|----------|
| $V_{th}(\text{V})$ | 0.885 | 0.992 | 0.932 | 2.46 |
| S.S.(mV/dec) | 401 | 420 | 419 | 662 |
| $G_{max}(\mu\text{S})$ | 4.73 | 5.40 | 4.66 | 2.26 |
| DIBL(mV/V) | 67.4 | 122 | 104 | 199.3 |
| $I_{on}/I_{off}(10^7)$ $V_d=2.0\text{V}$ | 1.04 | 3.11 | 1.18 | 1.23 |
| GIDL $V_d=2.0\text{V}$ | 1.95E-09 | 3.16E-11 | 2.04E-09 | 1.55E-11 |

4.4 減少非對稱閘極氧化層寬度

從上一節量測的元件，證明出 ASY200 Ω -Gate 結構比 Ω -Gate 擁有較好的電特性，較低的關閉狀態、更低的漏電流，但是由於非對稱閘極氧化層的寬度太寬，Asymmetric Step Oxide = 200 奈米，這對短通道而言導致閘極對通道的掌控能力不足，使臨界電壓變大，次臨界擺幅增加，導通電流降低，因此本實驗為了修正上述缺點，將降低非對稱階梯的寬度，Asymmetric Step Oxide = 20 奈米，目的是期望能夠增加通道的掌控能力，而不失去較低的關閉電流和更低的漏電流等特性。

4.4.1 ASY20 Ω -Gate 薄膜電晶體 SEM 與 TEM

這組元件同樣利用 Spacer 技術定義元件的奈米線通道，除了非對稱階梯寬度降低之外，其餘製作流程與之前介紹的一模一樣。圖4-16為 ASY20 Ω -Gate 元件結構的 SEM，從圖中可以清楚的看到奈米線通道長度為 2 微米，上方為源極，下方為汲極，而閘極靠近汲極的方向有凸起，實際上非對稱階梯的寬度才 20 奈米，判斷原因應該是防護層 TEOS 400 奈米，才會造成凸起的圖案明顯。

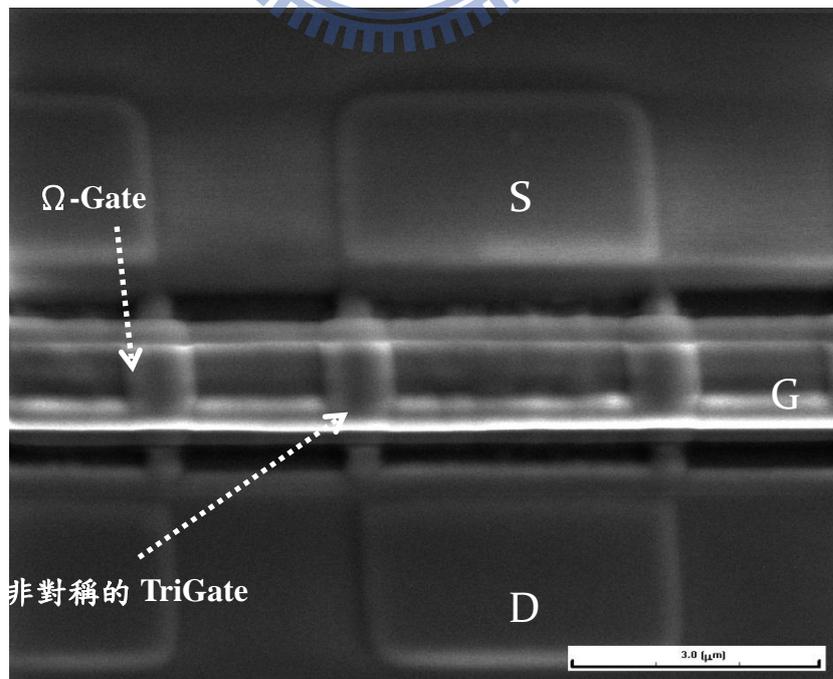


圖4-16、ASY20 Ω -Gate 薄膜電晶體 SEM 圖。

圖4-17與圖4-18為沿著通道的剖面圖，可以看見奈米線靠近汲極的方向，閘極氧化層高出了一個非對稱的階梯(Asymmetric Step)，此階梯高度為 35 奈米，階梯寬度為 20 奈米。

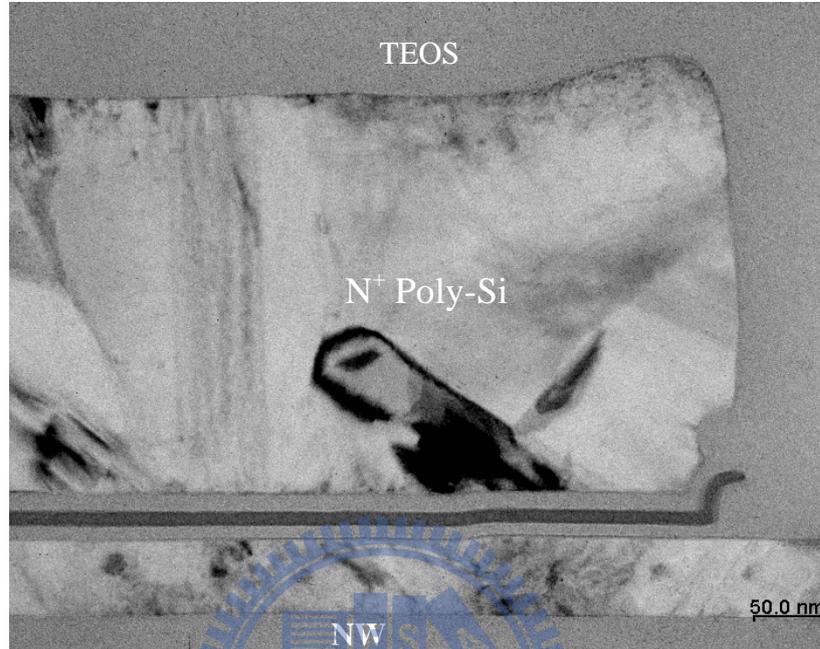


圖4-17、ASY20 Ω-Gate 薄膜電晶體 TEM 圖。

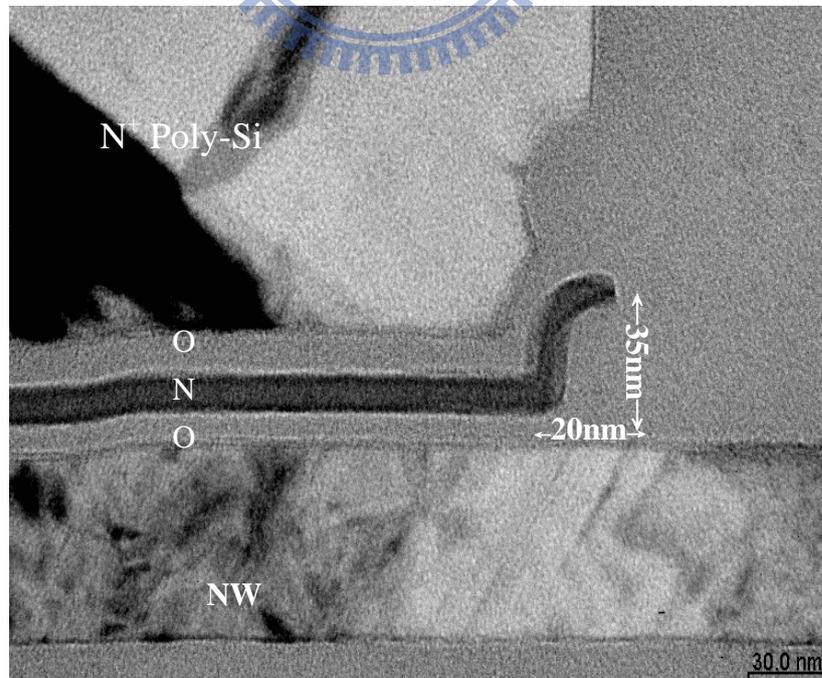


圖4-18、ASY20 Ω-Gate 薄膜電晶體 TEM 圖(O/N/O = 10 奈米/ 10 奈米/ 15 奈米)。

4.4.2 ASY20 Ω -Gate 薄膜電晶體電性量測

圖4-19為 ASY20 Ω -Gate 和 ASY200 Ω -Gate 的比較圖，奈米線通道長度均為 1 微米，通道寬度、高度均為 60 奈米。由此圖看可以看見在臨界電壓大致上相同，在次臨界擺幅上 ASY20 Ω -Gate 較好，在導通電流上 ASY20 Ω -Gate 也較高，不導通電流 ASY20 Ω -Gate 較低，而唯一增加的是漏電流，這現象和本實驗預期的相當接近，原因是因為在閘極有效的通道長度中，降低了 TriGate 在實驗中的比例，讓閘極有效的掌控面積增加，控制能力也因此增加了。

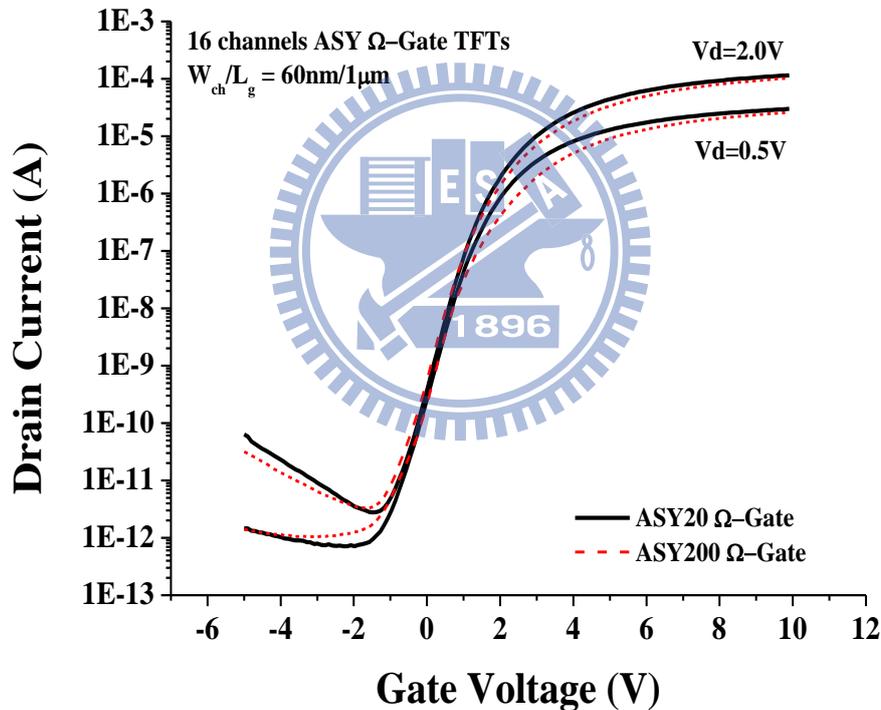


圖4-19、ASY20 Ω -Gate 和 ASY200 Ω -Gate 元件 I_d - V_g 電性比較圖。

圖4-20即為圖4-19元件的反向量測，在此圖表現的特性中，In-ASY20 Ω -Gate 有較好的次臨界擺幅、較大的導通電流，In-ASY200 Ω -Gate 則有較低關閉電流，而在漏電流方面，大致上是相同，這也應證了，當改變源極非對稱階梯的寬度，對漏電流沒有任何影響。

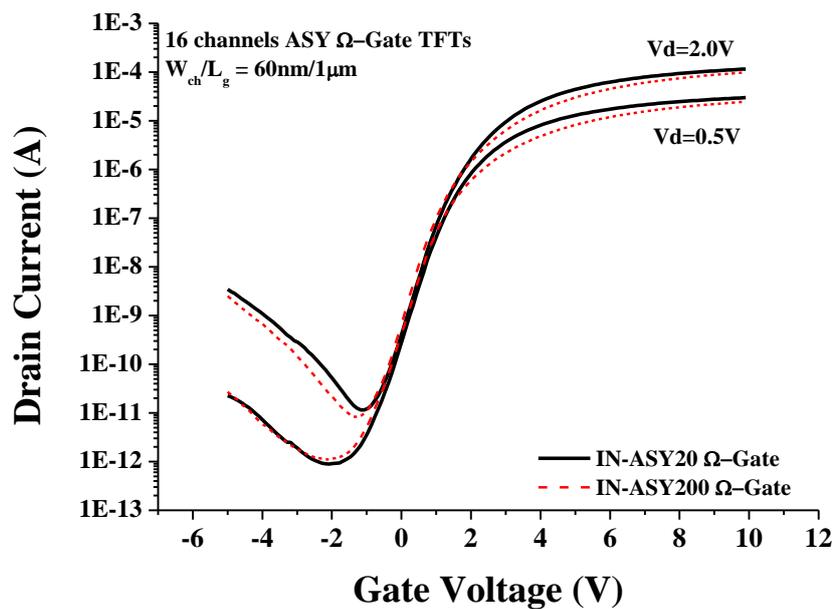


圖4-20、In-ASY20 Ω-Gate 和 In-ASY200 Ω-Gate 元件 I_d - V_g 電性比較。

圖4-21是 ASY20 Ω-Gate 比較不同通道的長度，很明顯的發現通道長度在 0.5 微米時，有較低的臨界電壓和次臨界擺幅，因此在 0.5 微米時控制的能力較好。

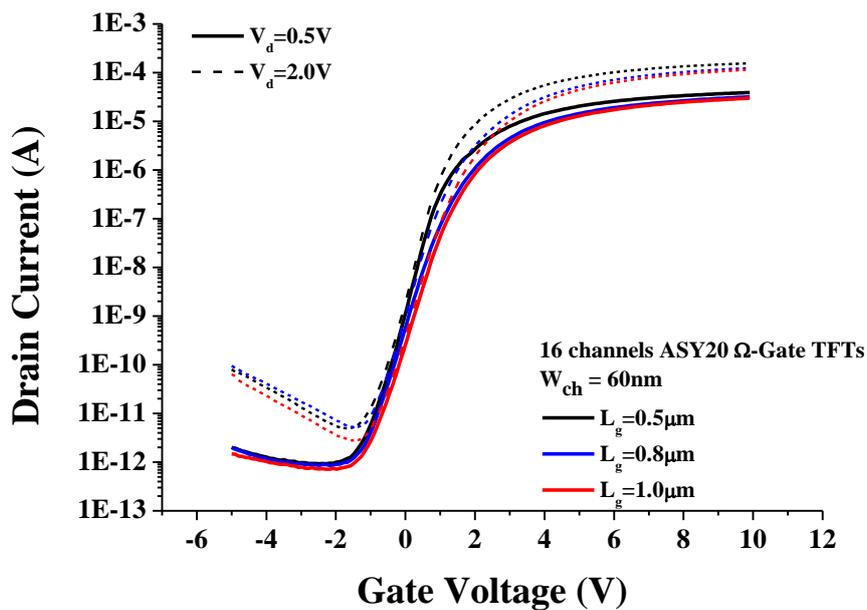


圖4-21、ASY20 Ω-Gate 不同通道長度的元件 I_d - V_g 電性比較。

圖4-22在奈米線通道長度 0.5 微米做不同元件的特性比較，在臨界電壓方面 Ω -Gate 則是較低，而 ASY20 Ω -Gate 元件有良好的次臨界擺幅、導通電流、較低的不導通電流，以及較低的漏電流，以及最低的漏電流。而 ASY200 Ω -Gate 則因為 TriGate 在閘極的比例偏高，導致控制通道的面積不足，控制能力下降。表4-2比較了這四種結構的電性。

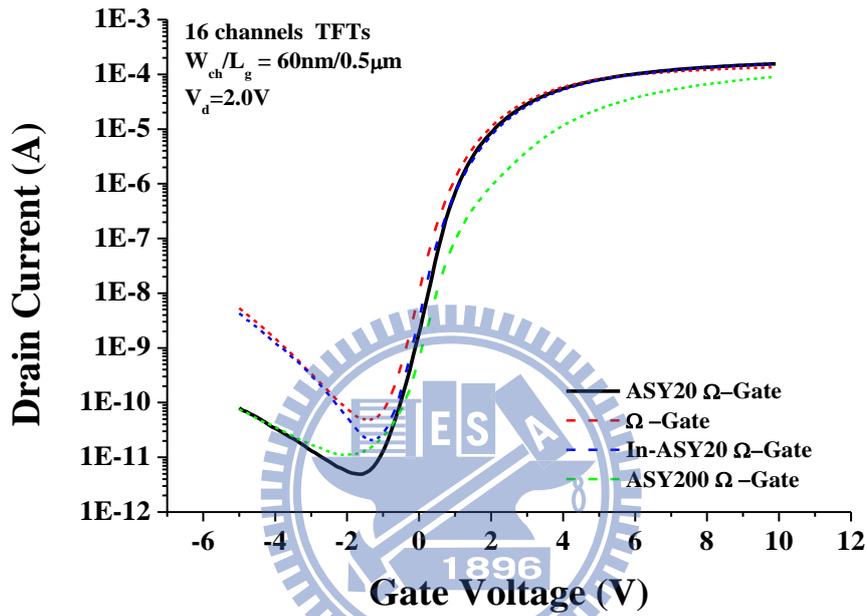


圖4-22、不同的元件 I_d - V_g 電性比較。

表4-2、各項電性數據整理。

| 0.5 μ m比較 | Ω -Gate | ASY20 Ω -Gate | In-ASY20 Ω -Gate | ASY200 Ω -Gate |
|--------------------------------------|----------------|----------------------|-------------------------|-----------------------|
| $V_{th}(V)$ | 0.404 | 0.624 | 0.612 | 1.40 |
| S.S.(mV/dec) | 333 | 351 | 350 | 469 |
| $G_{max}(\mu S)$ | 7.09 | 7.08 | 7.02 | 3.84 |
| DIBL(mV/V) | 94.8 | 132.8 | 124.7 | 359.4 |
| $I_{on}/I_{off}(10^7)$ $V_d=2.0V$ | 0.368 | 3.17 | 0.748 | 0.813 |
| GIDL $V_d=2.0V$ | 4.92E-09 | 7.98E-11 | 4.26E-09 | 7.49E-11 |

圖4-23為觀察 V_{th} 的變動，傳統的平面電晶體會因為通道的縮短，早成臨界電壓下降，元件提早導通，即為短通道效應。從圖中可知明顯的下降了，但在圖4-24觀察次臨界擺幅中，次臨界擺幅也不斷下降代表著短通道效應並不明顯，有可能是因為離子佈植完，退火活化的時間剛好，沒有將離子活化進通道裡。另一方面可以發現，在圖4-23和圖4-24裡 Ω -Gate 和 ASY20 Ω -Gate 隨著通道長度增加，臨界電壓和次臨界擺幅不斷增加，而 ASY200 Ω -Gate 不斷降低，原因是因為在 0.5 微米時，TriGate 所佔有閘極的比例增加，隨著通道長度變長，佔有閘極的比例降低，因此當通道長變長時，元件的電特性將越來越傾向對稱式的元件。圖4-25觀察 DIBL 的變化，當通到長度縮短時，閘極對通道的掌控能力下降，越來越容易受到汲極端電場的影響。

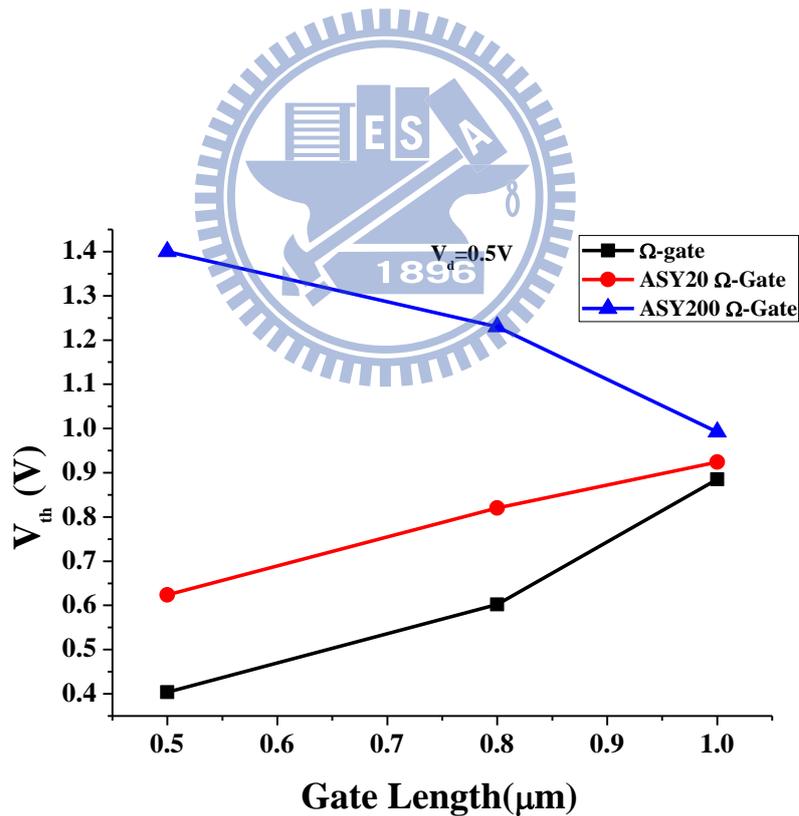


圖4-23、不同通道長度 V_{th} 比較。

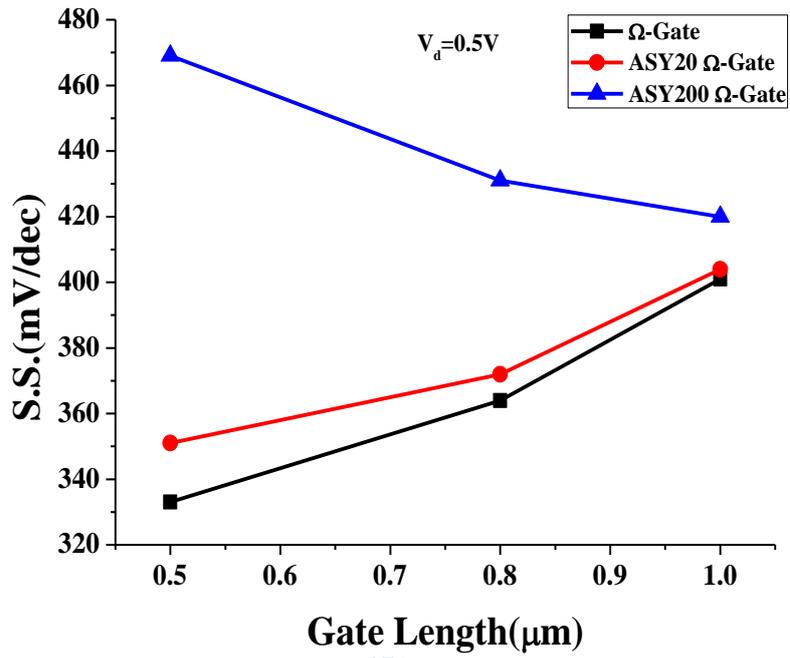


圖4-24、不同通道長度 S.S. 比較。

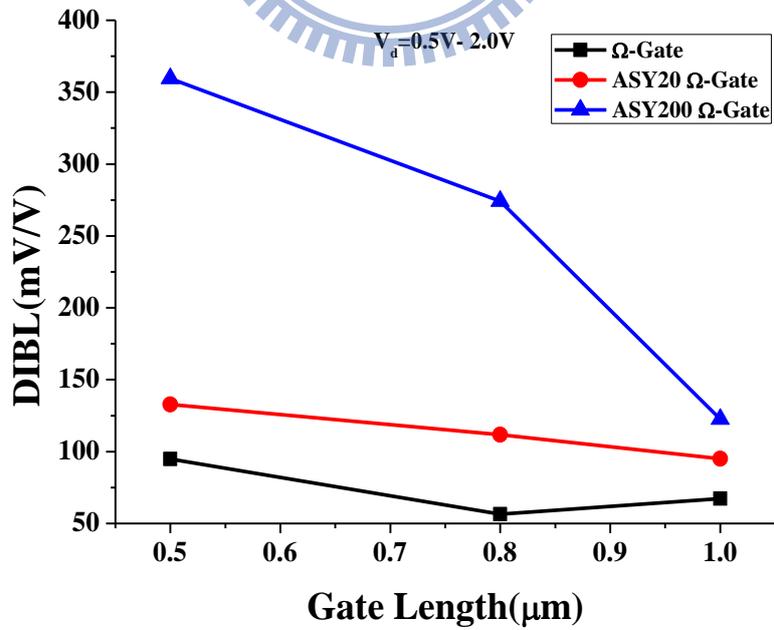


圖4-25、不同通道長度 DIBL 比較。

4.5 糾結效應

糾結效應(Kink Effect)[30,31]也是部分空乏(Partially-depleted)多晶矽薄膜電晶體(Polysilicon TFTs)所出現的一個非理想現象，由於懸浮的通道結構(Floating Body Structure)，源極到通道的位能障很高，造成來自汲極的高電場撞擊解離(Impact Ionization)的電洞(Holes)容易被通道(Body)的缺陷捕捉(Trap)，當電洞累積越多，源極到通道的位能障降低，撞擊解離的電洞流會由通道流入源極，形成迴路使量到的電流上升，因此需偏壓在較大的汲極電壓將會產生此效應。

降低糾結效應最直接的方法就是限制撞擊解離的貢獻，以使汲極接面的電場降低，包括汲極輕摻雜(LDD)、汲極補償(Drain Offset)、多重閘極(Multiple Gates)平均分攤汲極電壓、或使用非對稱指狀結構(AF-TFTs)[32]等，都有效降低糾結效應，本實驗的元件使用非對稱的結構，發現可以有效的降低糾結效應，如圖4-26和圖4-27所示，由於通道中閘極靠近汲極的電場降低，晶粒邊界缺陷數(Grain Boundry Defects)所產生的電子電洞對數目降低，能抑止糾結效應。

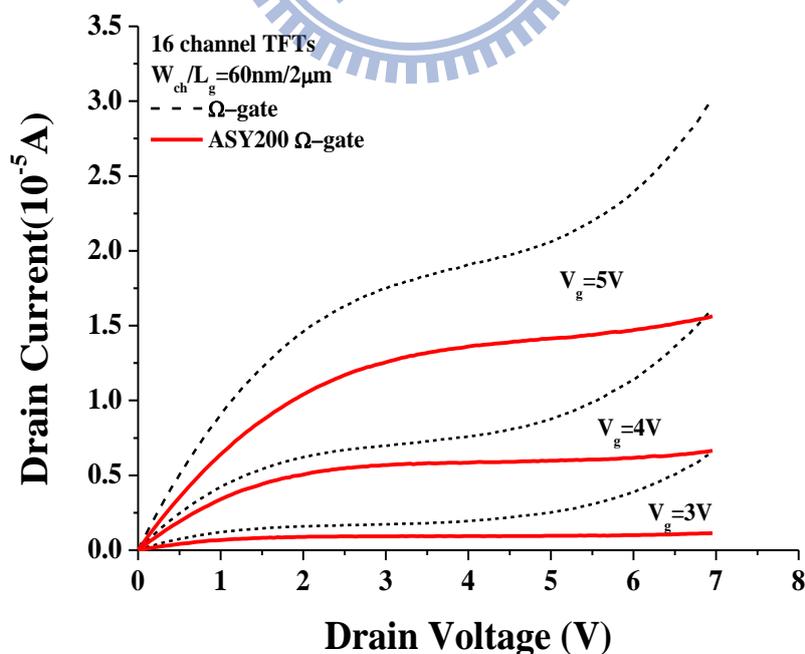


圖4-26、ASY200 Ω -Gate 和 Ω -Gate 元件 I_d - V_d 特性比較。

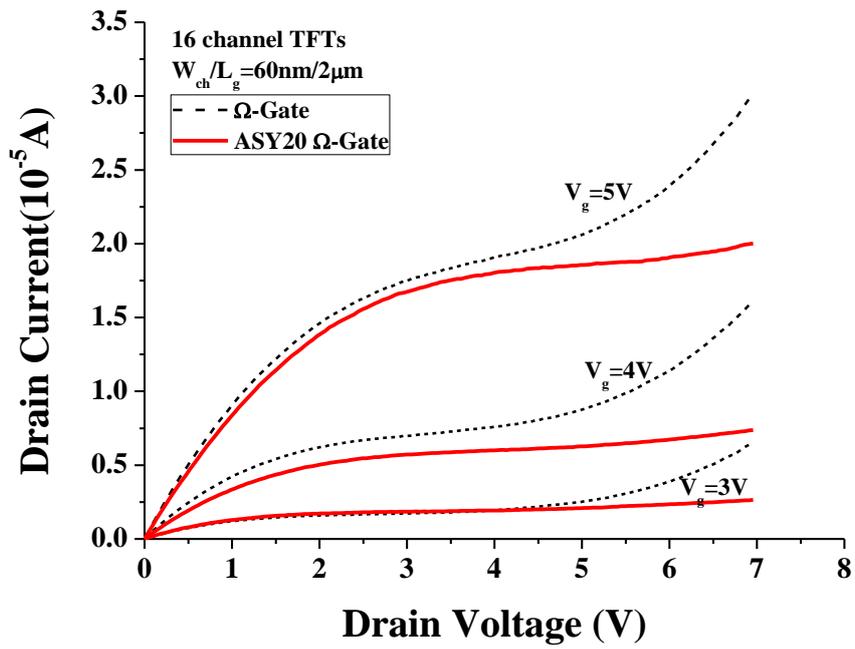
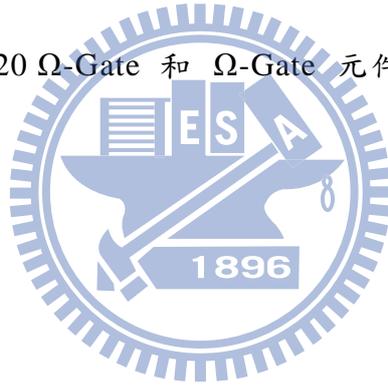


圖4-27、ASY20 Ω-Gate 和 Ω-Gate 元件 I_d - V_d 特性比較。



第五章

結論與未來展望

本實驗利用側壁 Spacer 及光微影製程技術，成功的製作出對稱式 Ω -Gate 多晶矽奈米線薄膜電晶體，也利用 Ω -Gate 和 TriGate 的結合，成功的製作出非對稱式 Ω -Gate 多晶矽奈米線薄膜電晶體。利用側壁 Spacer 的技術，可以簡易地做出奈米尺度的通道，並且降低製作成本。當元件使用 Ω -Gate 元件結構時，發現其電性和 GAA(Gate-All-Around) 非常相像，擁有好的次臨界擺幅，較高的驅動電流，較低的臨界電壓，短通道效應明顯，汲極和閘極空乏區高電場有大的漏電流，這是因為此結構包覆著通道的四個角落，有角落效應(Corner Effect)，而適當地增加了非對稱閘極氧化層，減少閘極接觸通道面積和角落，顯示出優越的特性，有效的降低汲極和閘極重疊區域的高電場，因而使的元件的漏電流和關閉電流降低，又有元件良好的控制能力和驅動電流，可以證明控制靠近汲極閘極的與汲極空乏區電場，能有效的降低晶粒邊界所產生的電子電洞對，因而降低 GIDL 效應和糾結效應。

本實驗雖然犧牲了少許次臨界擺幅和驅動電流特性，但明顯的抑制了閘極引發漏電流(GIDL)，而提升了元件的整體特性。但在本實驗沒有測試出非對稱閘極氧化層對通道的最佳比例，在未來方向上可以朝這個方向研究。通常最常見抑制漏電流的就是輕汲極參雜(LDD)，本實驗原本預計在非對稱的結構加上輕汲極參雜作為對照組，但因為機台的問題而無法完成，另外，多晶矽薄膜電晶體電性不佳所面臨的問題是因為晶粒邊界的缺陷密度過高，因此有鑑於 Paper Review 第一篇的想法[26]，可以利用此 NH_3 Plasma 修補多晶矽晶粒之間較脆弱的鍵結，有效降低缺陷密度，加強元件特性。

References

- [1] T. Saito, T. Saraya, T. Inukai, H. Majimi, T. Nangumo, T. Hiramoto, "Suppression of Short Channel Effect in Triangular Parallel Wire Channel MOSFETs," *IEICE Trans. On Electronics*, vol. E85-C, no. 5, pp. 1073, 2002.
- [2] J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee, and B.-G. Park, "Design Optimization of Gate-All-Around (GAA) MOSFETs," *IEEE Trans. on Nanotechnology*, vol. 5, no. 3, 2006.
- [3] N. Singh, A. Agarwal, L. K. Bera, T. Y. Liow, R. Yang, S. C. Rustagi, C. H. Tung, R. Kumar, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, "High-Performance Fully Depleted Silicon Nanowire (Diameter 5 nm) Gate-All-Around CMOS Devices," *IEEE Electron Device Letters*, vol. 27, no. 5, 2006.
- [4] A. Burenkov, J. Lorenz, "Corner Effect in Double and Triple Gate FinFETs," *European Solid-State Device Research*, pp. 135–138, 2003.
- [5] S. Miyamoto, S. Maegawa, S. Maeda, T. Ipposhi, H. Kuriyama, T. Nishimura, and N. Tsubouchi, "Effect of LDD Structure and Channel Poly-Si Thinning on a Gate-All-Around TFT (GAT) for SRAM's," *IEEE Trans. on Electron Devices*, vol. 46, no.8, 1999.
- [6] Y. Yamamoto, T. Hidaka, H. Nakamura, H. Sakuraba, and F. Masuoka, "Decananometer Surrounding Gate Transistor (SGT) Scalability by Using an Intrinsically-Doped Body and Gate Work Function Engineering," *IEICE Trans. on Electronics*, vol. E89–C, no.4, pp.560-567, 2006.
- [7] Z. B. Xiong, H. T. Liu, C. X. Zhu, and J. K. O. Sin, "A Novel Self-Aligned Offset-Gated Polysilicon TFT using High-Kappa, Dielectric Spacers," *IEEE Electron Device Lett.*, vol. 25, no. 4, pp. 194-195, Apr 2004.
- [8] S. Seki, O. Kogure, and B. Tsujiyama, "Leakage Current Characteristics of

- Offset-Gate-Structure Polycrystalline-Silicon MOSFET's," IEEE Electron Device Lett., vol. 8, no. 9, pp. 434-436, Sep 1987.
- [9] T. J. King, "Impact of Low Temperature Polysilicon On The AMLCD Market," Solid State Tech., pp. 406-410, 2000.
- [10] Z. B. Xiong, H. T. Liu, C. X. Zhu, and J. K. O. Sin, "A New Polysilicon CMOS Self-Aligned Double-Gate TFT's technology," IEEE Trans. Electron Devices, vol. 52, no. 12, pp. 2629-2633, Dec 2005.
- [11] T. Serikawa, S. Shirai, A. Okamoto, and S. Suyama, "Low-Temperature Fabrication of High-Mobility Poly-Si TFT's for Large-Area LCD's," IEEE Trans. Electron Devices, vol. 36, no. 9, pp. 1929-1933, Sep 1989.
- [12] Y. Huo, "Thin Film Transistors Materials and Process Volume 2: Polycrystalline Silicon Thin Film Transistors."
- [13] C. W. Lin, L. J. Cheng, Y. L. Lu, Y. S. Lee, and H. C. Cheng, "High-Performance Low-Temperature Poly-Si TFTs Crystallized by Excimer Laser Irradiation with Recessed-Channel Structure," IEEE Electron Device Lett., vol. 22, no. 6, pp. 269-271, Jun 2001.
- [14] S. W. Lee and S. K. Joo, "Low Temperature Poly-Si Thin-Film Transistor Fabrication by Metal-Induced Lateral Crystallization," IEEE Electron Device Lett., vol. 17, no. 4, pp. 160-162, Apr 1996.
- [15] C. J. Su, H. C. Lin, and T. Y. Huang, "High-Performance TFTs with Si Nanowire Channels Enhanced by Metal-Induced Lateral Crystallization," IEEE Electron Device Lett., vol. 27, no. 7, pp. 582-584, Jul 2006.
- [16] H. C. Lin, M. H. Lee, C. J. Su, and S. W. Shen, "Fabrication and Characterization of Nanowire Transistors with Solid-Phase Crystallized Poly-Si Channels," IEEE Trans. Electron Devices, vol. 53, no. 10, pp. 2471-2477, Oct 2006.

- [17] M. K. Hatalis, and D. W. Greve, "Large Grain Polycrystalline Silicon by Low-Temperature Annealing of Low-Pressure Chemical Vapor Deposited Amorphous Silicon Films," *J. Appl. Phys.*, vol. 63, no. 7, pp. 2260-2266, Apr 1988.
- [18] K. R. Olasupo and M. K. Hatalis, "Leakage Current Mechanism in Sub-Micron Polysilicon Thin-Film Transistors," *IEEE Trans. Electron Devices*, vol. 43, no. 8, pp. 1218, 1996.
- [19] W. Wu, T. Y. Huang, W. B. Jackson, A. G. Lewis, and A. Chiang, "Passivation Kinetics of Two Types of Defects in Polysilicon TFT by Plasma Hydrogenation," *IEEE Electron Device Lett.*, vol. 12, pp. 181-183, 1991.
- [20] W. Wu, A. G. Lewis, T.-Y. Huang, and A. Chiang, "Effects of Trap-State Density Reduction by Plasma Hydrogenation in Low-Temperature Polysilicon TFT," *IEEE Electron Device Lett.*, vol. 10, pp. 123-125, 1989.
- [21] K. R. Olasupo and M. K. Hatalis, "Leakage Current Mechanism in Sub-Micron Polysilicon Thin-Film Transistors," *IEEE Trans. Electron Devices*, vol. 43, no. 8, pp. 1218, 1996.
- [22] S. M. Sze, "Physics of Semiconductor Devices, 2nd ed" New York: Wiley-Interscience, 1982.
- [23] G. Vincent, A. Chantre, and D. Bois, "Electric Field Effect on the Thermal Emission of Traps In Semiconductor Junctions" *J. Appl. Phys.* Vol.50, No.8, August, 1979.
- [24] M. V. Dunga, A. Kumar, and V. R. Rao, "Analysis of Floating Body Effects in Thin Film SOI MOSFETs Using the GIDL Current Technique," *IEEE Physical and Failure Analysis of Integrated Circuits*, pp. 254-257, 2001.
- [25] H. S. Byun, W. S. Lee, J. W. Lee, K. H. Lee, Y. K. Park, J. T. Kong, "3-Dimensional Analysis on the GIDL Current of Body-tied Triple Gate

- FinFET," IEEE Simulation of Semiconductor Processes and Devices, 2006, pp. 267-270.
- [26] J. T. Sheu, P. C. Huang, T. S. Sheu, C. C. Chen, and L. A. Chen, "Characteristics of Gate-All-Around Twin Poly-Si Nanowire Thin-Film Transistors," IEEE Electron Device Lett., vol. 30, no. 2, pp. 139-141, Feb 2009.
- [27] J. P. Kim, W. Y. Choi, J. Y. Song, S. W. Kim, J. D. Lee, and B. G. Park, "Design and Fabrication of Asymmetric MOSFETs Using a Novel Self-Aligned Structure," IEEE Transactions on Electron Devices, vol. 54, no. 11, NOV 2007.
- [28] C. Yin, and Philip C. H. Chan, "Investigation of the SourceDrain Asymmetric Effects Due to Gate Misalignment in Planar Double-Gate MOSFETs," IEEE Transactions of Electron Devices, vol. 52, no. 1, JAN 2005.
- [29] M. Fathipour, F. Kohani, and Z. Ahangari, "Asymmetric Gate Oxide Thickness Technology for Reduction of Gate Induced Drain Leakage Current in Nanoscale Single Gate SOI MOSFET," presented at the Optoelectronic and Microelectronic Materials and Devices, 2008.
- [30] J. P. Colinge, "Reduction of Kink Effect in Thin-Film SOI MOSFET's," IEEE Electron Device Letters, vol. 9, no. 2, 1988.
- [31] S. C. Lin, and J. B. Kuo, "Temperature-Dependent Kink Effect Model for Partially-Depleted SOI NMOS Devices," IEEE Trans. on Electron Devices, vol. 46, no. 1, 1999.
- [32] L. Mariucci, G. Fortunato, A. Bonfiglietti, M. Cuscuna, A. Pecora, and A. Valletta, "Polysilicon TFT Structures for Kink-Effect Suppression," IEEE Trans. on ElectronDevices, vol. 51, no. 7, 2004.