

寬頻分碼多重擷取系統之部分平行干擾消除多使用者接收機:演算法及 FPGA 實現

研究生：許慶霖

指導教授：吳文榕 教授

國立交通大學電信工程學系碩士班

中文摘要

部分平行干擾消除(partial parallel interference cancellation: PIC)是一個簡單且有效率的多使用者偵測技術，此種方法需要部分消除因子(partial cancellation factors :PCFs)作為參數。近年來，可以達到有最小平均平方誤差(minimum mean square error: MMSE)和最小位元錯誤率(minimum bit error rate :MBER)的最佳PCFs值被推導出來，但現有的推導結果都是假設所有使用者的處理增益(processing gain: PG)是相同的。然而在實際的商業系統如W-CDMA系統上並非如此，W-CDMA系統使用可變展頻的方法使每個使用者可以有不一樣的處理增益。在本篇論文中，吾人提出三種最佳的二級partial PIC偵測器來解決這個問題。吾人使用MMSE的方法可以在使用者的PG不同的條件下推導出最佳的PCFs值，事實顯示使用吾人所推導的PCFs值可以增進很大的效能。最後吾人依照FPGA設計流程實現一可應用於W-CDMA系統上低複雜度之接收機，此接收機包括了碼追蹤(code tracking loop)電路。此外吾人並將碼擷取及頻率偏移估測電路和吾人所提出的偵測器整合在一起，使整個partial PIC多使用者接收機更為完整。

A Partial PIC Multi-user Receiver for W-CDMA: Algorithm and FPGA Implementation

Student: Ching-Lin Hsu

Advisor: Dr. Wen-Rong Wu

Institute of Communication Engineering

National Chiao-Tung University

Abstract

The partial parallel interference cancellation (PIC) is known to be a simple yet effective multi-user detection scheme. Parameters need to determine for this approach are partial cancellation factors (PCFs). Recently, optimal PCFs achieving minimum mean square error (MMSE) and minimum bit error rate (MBER) have been derived. Existing results all assume that processing gains for all users are identical. However, this is not true for commercially operated systems such as wideband CDMA (W-CDMA). W-CDMA uses a variable spreading scheme in which all users can have different processing gains. In this thesis, we propose three optimal two-stage partial PIC detectors to solve the problem. Using the MMSE criterion, we are able to derive the optimal PCFs under the different processing gain scenario. It is shown that the detection performance can be greatly enhanced using the derived PCFs. Finally, a low complexity receiver architecture for the W-CDMA system, including the code tracking loop, is proposed and implemented using a FPGA design flow. We also

integrate a code acquisition and a frequency offset estimation circuit into the proposed architecture and this results in a complete partial PIC multi-user receiver.



誌謝

首先我要感謝指導老師吳文榕教授，在我研究所這段期間內對論文研究及課業學習上不厭其煩的悉心指導，使我受益匪淺。其次，我要感謝謝雨滔學長、陳仁智學長、楊華龍學長、李彥文學長和許兆元學長他們在研究及課業學習上不吝指導及鼓勵，且同時感謝寬頻傳輸與訊號處理實驗室所有同學與學弟妹們的幫忙。最後致上我最深感謝給我父母，他們給予我精神和經濟上的支持，使我無後顧之憂順利完成研究所的碩士學位。



內容目錄

中要摘要	i
abstract	ii
誌謝	iv
內容目錄	v
表目錄	vi
圖目錄	vii
第一章 緒論	1
第二章 WCDM 簡介	4
2.1 序言	4
2.2 IMT-2000 的目標與要求	6
2.3 3GPP 系統特色	7
2.4 傳輸頻道(transport channel)	9
2.4.1 共用傳輸頻道	9
2.4.2 專用傳輸頻道	9
2.5 上鏈實體頻道(uplink physical channel)	10
2.5.1 上鏈專用頻道	10
2.5.2 上鏈共用頻道	11
2.6 展頻與調變	13
2.6.1 通道碼(channelization codes)	17
2.6.2 上鏈攪亂碼(uplink scrambling code)	19
2.6.3 展頻與調變架構	20
第三章 多使用者偵測技簡介	18
3.1 直接序列分碼多工(DS-CDMA)簡介	18
3.1.1 DS-CDMA 架構介紹	18
3.1.2 DS-CDMA 同步方法	20
3.1.3 傳統偵測器(conventional detector)	22
3.2 多重使用者偵測器	24
3.2.1 最佳偵測器	24
3.2.2 解相關偵測器(de-correlating detector)	25
3.2.3 最小均方差偵測器	26
3.2.4 連續干擾消除(SIC)	26
3.2.5 平行干擾消除(PIC)	27
第四章 MMSE Partial PIC 偵測器在 W-CDMA 系統上的應用	32
4.1 系統架構	32
4.2 MMSE Partial PIC 偵測器	33

4.2.1 Deterministic MMSE Partial PIC 偵測器	33
4.2.2 Random MMSE Partial PIC 偵測器	38
4.3 Sub-bit random MMSE Partial PIC 偵測器	42
4.4 模擬結果	43
第五章 硬體設計	61
5.1 設計流程	61
5.2 信號處理流程	62
5.3 基本元件介紹	66
5.3.1 複數乘法器	66
5.3.2 pulse shaping filter	66
5.3.3 Chip matched filter	70
5.3.4 Interpolation filter	70
5.3.5 改良式 noncoherent delay locked loop(DLL)	73
5.3.6 MAI 消除器	74
5.4 接收機 FPGA 實現	75
5.4.1 接收機硬體架構	75
5.4.2 電路驗證流程和測試結果	79
5.5 合併擷取電路及頻率偏移估測器之接收機 FPGA 實現	82
5.5.1 碼擷取及頻率偏移估測電路介面介紹	82
5.5.2 頻率偏移補償器	83
5.5.3 整合碼擷取及頻率偏移估測電路之接收機架構	85
第六章 結論	89
參考文獻	90

表目錄

表2.1 IMT-2000 地面無線傳輸技術之提案	6
表2.2 DPDCH 不同k 相對應參數表	12
表2.3 DPCCH 格式表	12
表5.1 主要元件閘數表	80
表5.2 改良元件閘數比較表	81

圖目錄

圖 2.1 各國頻段分布圖	8
圖 2.2 傳輸頻道和實體頻道相對應圖	10
圖 2.3 上鏈DPDCH/DPCCH 架構圖	11
圖 2.4 (a) 隨機擷取傳輸架構 (b) 前序碼(preambles)架構	13
圖 2.5 OVSF code樹狀圖	15
圖 2.6 上鏈擾亂碼產生器	16
圖 2.7 DPCCH和DPDCH上鏈展頻圖	17
圖 2.8 上鏈調變圖	17
圖 3.1 DS-CDMA系統(a)傳送機(b)接收機	19
圖 3.2. 同步系統功能方塊圖	21
圖 3.3. 非同調delay-locked loop	21
圖 3.4. S-curve	22
圖 3.5 傳統接收機偵測器	24
圖 3.6 SIC架構圖	27
圖 3.7 二級平行干擾消除偵測器架構圖	29
圖 3.8 二級partial PIC偵測器架構圖	30
圖 3.9 二級低複雜度partial PIC偵測器架構圖	31
圖 4.1 複數展頻CDMA系統架構	34
圖 4.2 提出的MMSE partial PIC偵測器架構圖	41
圖 4.3 PCF vs. user number(complex CDMA, equal power)	45
圖 4.4 BER vs. user number(complex CDMA, equal power)	45
圖 4.5 PCF vs. user number(complex CDMA, equal power)	46
圖 4.6 BER vs. user number(complex CDMA, equal power)	46
圖 4.7 PCF vs. user number(complex CDMA, equal power)	47
圖 4.8 BER vs. user number(complex CDMA, equal power)	47

圖4-9 PCF vs. user number (complex CDMA, SIR=-6dB).....	49
圖4-10 BER vs. user number (complex CDMA, SIR=-6dB).....	50
圖4-11 PCF vs. user number (complex CDMA, SIR=-6dB).....	50
圖4-12 BER vs. user number (complex CDMA, SIR=-6dB).....	51
圖4-13 PCF vs. user number (complex CDMA, SIR=-6dB).....	51
圖4-14 BER vs. user number (complex CDMA, SIR=-6dB).....	52
圖4.15 PCF vs. user number (WCDMA, equal power).....	53
圖4.16 BER vs. user number (WCDMA, equal power).....	54
圖4.17 PCF vs. user number (WCDMA, equal power).....	54
圖4.18 BER vs. user number (WCDMA, equal power).....	55
圖4.19 PCF vs. user number (WCDMA, equal power).....	55
圖4.20 BER vs. user number (WCDMA, equal power).....	56
圖4.21 PCF vs. user number (WCDMA, SIR=-6dB).....	57
圖4.22 BER vs. user number (WCDMA, SIR=-6dB).....	58
圖4.23 PCF vs. user number (WCDMA, SIR=-6dB).....	58
圖4.24 BER vs. user number (WCDMA, SIR=-6dB).....	59
圖4.25 PCF vs. user number (WCDMA, SIR=-6dB).....	59
圖4.26 BER vs. user number (WCDMA, SIR=-6dB).....	60
圖5.1 硬體設計流程.....	62
圖5.2 多工器架構.....	67
圖5.3 複數乘法器架構.....	67
圖5.4 SRRC波型取樣點.....	68
圖5.5 (a)原本資料(b)補零之後的資料.....	68
圖5.6 改良式convolution process.....	69
圖5.7 改良SRRC pulse shaping filter架構.....	70
圖5.8 (a)direct form (b)transposed form	

(c)Hybrid form(with length3 subfilters).....	72
圖5.9 modified matched filter form.....	72
圖 5.10 (a)digital/analog mixed timing adjustment architecture	
(b)digital timing adjustment architecture.....	72
圖5.11 Linear interpolation 示意圖.....	73
圖5.12 linear interpolation filter架構.....	73
圖5.13 改良式noncoherent DLL架構.....	74
圖5.14 MAI 消除器架構.....	75
圖5.15 接收機RTL架構.....	77
圖5.16 user entity架構.....	78
圖5.17 接收機外部介面圖.....	78
圖5.18 接收機mapping report.....	79
圖5.19 接收機timing report.....	79
圖5.20 BER Vs. SNR (WCDMA, equal power).....	82
圖5.21 碼擷取及頻率偏移估測電路介面圖.....	83
圖5.22 頻率偏移補償器架構圖.....	85
圖5.23 整合之介面圖.....	86
圖5.24 整合之RTL架構圖.....	87
圖5.25 整合之接收機外部接腳介面圖.....	88