

國立交通大學

電信工程學系碩士班

碩士論文

寬頻分碼多重擷取系統之快速碼擷取及頻率偏

移估測架構及其FPGA實現



Fast Code Acquisition and Frequency Offset Estimation for

W-CDMA Systems and Its FPGA Implementation

研究生：沈英宗

指導教授：吳文榕 博士

中華民國九十三年六月

Fast Code Acquisition and Frequency Offset Estimation for W-CDMA  
Systems and Its FPGA Implementation

寬頻分碼多重擷取系統之快速碼擷取及頻率偏移估測架構  
及其 FPGA 實現

研究生：沈英宗  
指導教授：吳文榕 博士

Student: Ying-Tsung Shen  
Advisor: Dr. Wen-Rong Wu



A Thesis  
Submitted to Department of Communication Engineering  
College of Electrical Engineering and Computer Science  
National Chiao-Tung University  
in Partial Fulfillment of the Requirements  
for the Degree of  
Master of Science  
In  
Communication Engineering  
June 2004  
Hsinchu, Taiwan, Republic of China.

中華民國九十三年六月

# 寬頻分碼多重擷取系統之快速碼擷取及頻率偏 移估測架構及其FPGA實現

研究生：沈英宗

指導教授：吳文榕 教授

國立交通大學電信工程學系碩士班



本篇論文的主要目的是設計及硬體實現一個寬頻分碼多重擷取系統上鏈通道的快速碼擷取(acquisition)及頻率偏移估測系統。在寬頻分碼多重擷取系統中，實體隨機擷取頻道(PRACH)的前序碼(preambles)通常被用來做傳輸初始同步的工作。由於特殊的前序碼結構，傳統匹配濾波器(matched filter)碼擷取架構需要很高的計算複雜度。在本篇論文中，吾人使用快速哈達馬轉換(Fast Hadamard Transform)的方法來解決這個問題，提出一可抵抗頻率偏移的非同調快速碼擷取架構。當碼同步達成時，我們使用以相關函數為基礎的頻率偏移估測方法。另外我們也使用雙重區塊(double dwell)搜尋技術來降低錯誤通報(false alarm)率。模擬的結果顯示出我們的設計在有頻率偏移的環境中也能有很高的碼擷取正確機率。最後我們使用 VHDL 硬體描述語言與 Xilinx FPGA 的設計流程來實現我們設計的系統。

# Fast Code Acquisition and Frequency Offset Estimation for W-CDMA Systems and Its FPGA Implementation

Student: Ying-Tsung Shen


Advisor: Dr. Wen-Rong Wu

Department of Communication Engineering

National Chiao-Tung University

Hsinchu, Taiwan 30050

Abstract

The logo of National Chiao-Tung University is a circular emblem. It features a gear-like outer border. Inside the circle, there is a stylized building with the letters 'ES' on it. Below the building, there is a banner with the year '1896'. The word 'Abstract' is written in a serif font above the logo.

In this thesis, we design and implement a fast acquisition and frequency offset estimation system for W-CDMA uplink transmission. In W-CDMA systems, preambles of the PRACH (physical random access channel) are used for initial synchronization. Due to the special preamble format, the conventional matched-filtering acquisition scheme requires high computational complexity. In this thesis, we employ a fast Hadamard transform (FHT) approach to solve the problem. A non-coherent acquisition architecture that can resist the frequency offset is developed. Once the code phase is acquired, we then apply a correlation-based method to estimate the frequency offset. To reduce the false alarm probability, we also use a double-threshold detection scheme. Simulations show that our design has high acquisition probability in presence of frequency offset. Finally, the proposed method is implemented using the VHDL hardware description language and the Xilinx FPGA design flow.

## 誌謝

首先我要對我的指導老師吳文榕教授致上最深的感謝，在我研究所這段期間內對課業學習及論文研究上不厭其煩的指導，使我受益良多。其次，我要感謝李彥文學長、陳仁智學長、許兆元學長、楊華龍學長和謝雨濤學長們在研究上不吝指導及鼓勵，且同時感謝寬頻傳輸與訊號處理實驗室所有同學與學弟們的相互幫忙與鼓勵，最後深深感謝我父母，家人們給予我精神上的鼓勵與支持，使我能無後顧之憂的完成研究所的學位。



# 目錄

中文摘要.....	i
Abstract .....	ii
致謝.....	iii
目錄.....	iv
表目錄.....	vi
圖目錄.....	vii
第一章 緒論.....	1
第二章 W-CDMA 系統簡介.....	3
2.1 前言.....	3
2.2 IMT-2000 的特色與標準.....	4
2.3 W-CDMA 系統特色.....	5
2.4 W-CDMA 實體層規格簡介.....	7
2.4.1 傳輸頻道(Transport Channels).....	8
2.4.2 實體頻道(Physical channel).....	9
2.4.2.1 上鏈實體通道.....	10
2.4.2.2 下鏈實體頻道.....	14
2.4.3 展頻與調變.....	16
2.4.3.1 通道碼(channelization codes).....	17
2.4.3.2 攪亂碼(scrambling code).....	19
2.4.3.3 上鏈展頻與調變架構.....	20
第三章 DS-CDMA 系統傳統碼擷取技術.....	23
3.1 傳統碼擷取技術.....	23
3.1.1 單一區塊串列搜尋技術(single dwell serial search technique).....	24
3.1.2 多重區塊串列搜尋技術(multi-level serial search dwell).....	24
3.1.3 並列搜尋 (parallel search).....	25
3.1.4 混合搜尋(hybrid search).....	25
3.1.5 匹配濾波器碼擷取(matched filter code acquisition).....	28
3.2 適應性濾波器估測搜尋.....	29

3.2.1 系統模型(system Model).....	29
3.2.2 系統描述(system Description).....	29
3.3 DFT 碼擷取技術.....	32
<b>第四章 結合碼擷取及頻率估測新架構.....</b>	<b>37</b>
4.1 哈達馬轉換.....	37
4.1.1 哈達馬矩陣的建立.....	37
4.1.2 哈達馬矩陣的特性.....	40
4.1.3 快速哈達馬轉換.....	40
4.2 應用 FHT 的快速碼擷取架構.....	43
4.3 M&M 頻率估測架構.....	47
4.4 系統模擬.....	49
<b>第五章 FPGA 設計.....</b>	<b>57</b>
5.1 FPGA 簡介.....	57
5.2 實體隨機擷取頻道傳送器.....	59
5.2.1 長攪亂碼產生器.....	60
5.2.2 複數乘法器.....	60
5.2.3 脈衝限頻濾波器(Pulse Shaping Filter).....	62
5.3 碼擷取及頻率偏移估測.....	64
5.3.1 切片匹配濾波器(Chip Matched Filter).....	64
5.3.2 記憶單元與控制信號.....	66
5.3.3 快速哈達馬轉換.....	69
5.3.4 最大值選擇器.....	70
5.3.5 搜尋控制器.....	71
5.3.6 利用 Bussgang's 定理計算自身關聯函數元件.....	72
5.3.7 頻率估測器.....	74
5.3.7.1 CORDIC 技術.....	75
5.4 FPGA 實現.....	79
<b>第六章 結論.....</b>	<b>86</b>
<b>參考文獻.....</b>	<b>87</b>

# 表目錄

表 2.1 W-CDMA 主要系統參數.....	8
表 2.2 Preamble signature.....	13
表 4.1 Calculation example for an 8-point FHT.....	42
表 4.2 Normalized correlation gain due to frequency offset and L.....	43
表 5.1 The equivalent gate count for each module.....	84
表 5.2 The equivalent gate count of overall system for using different number of bits to quantize the received baseband signal.....	84





# 圖目錄

圖 2.1 IMT-2000 無線電介面標準.....	5
圖 2.2 傳輸頻道和實體頻道相對應圖.....	10
圖 2.3 上鏈 DPDCH/DPCCH 架構圖.....	12
圖 2.4 (a) Structure of the random access transmission (b) Structure of preamble....	12
圖 2.5 Structure of the PRACH message part.....	14
圖 2.6 Frame structure for downlink DPCH.....	15
圖 2.7 (a) Structure of primary CPCCH (b) Structure of secondary CPCCH.....	15
圖 2.8 The structure of SCH.....	16
圖 2.9 Code tree of OVSF code.....	17
圖 2.10 Configuration of uplink long scrambling code sequence generator.....	20
圖 2.11 Configuration of downlink long scrambling code generator.....	21
圖 2.12 Spreading for uplink DPCCH and DPDCH.....	21
圖 2.13 spreading of PRACH message part.....	22
圖 2.14 Uplink modulation.....	22
圖 3.1 PN sequence auto-correlation value.....	24
圖 3.2 Non-coherent serial search structure.....	26
圖 3.3 Double dwell serial search block diagram.....	26
圖 3.4 Non-coherent parallel acquisition structure.....	27
圖 3.5 Hybrid search block diagram.....	27
圖 3.6 (a)Block diagram of MF searching method (b)structure of DMF.....	28
圖 3.7 Block diagram for the MMSE adaptive acquisition system.....	30
圖 3.8 Adaptive filter weight vector for different step size.....	32
圖 3.9 Normalized G for W-CDMA chip rate.....	34
圖 3.10 FFT system.....	35
圖 3.11 Acquisition cells for DFT structure.....	36
圖 4.1 the matched filter architecture acquisition.....	43
圖 4.2 Non-coherent combine of partial correlation.....	44
圖 4.3 An acquisition and frequency offset estimation system based on the FHT.....	46
圖 4.4 Acquisition error rate v.s frequency offset for different L value.....	50
圖 4.5 Acquisition error rate vs. frequency offset using method $R(0)+R(1)$ .....	50
圖 4.6 Acquisition error rate v.s frequency offset for using four kinds of different architecture (method (1)~(4)).....	51

圖 4. 7 Acquisition error rate v.s chip SNR for using four kinds of different architecture (method (1)~(4)).....	52
圖 4. 8 Performance of frequency estimation for different P value.....	53
圖 4. 9 Acquisition error rate v.s chip SNR for using different number of samples....	54
圖 4. 10 Matched peak values of different number of samples.....	54
圖 4.11 Acquisition error rate v.s frequency offset for using different number of samples.....	55
圖 4.12 Normalized variance v.s frequency offset for using different number of samples .....	55
圖 4. 13 Acquisition error rate v.s chip SNR for using different number of samples ( take absolute value method ).....	56
圖 5. 1 FPGA design flow.....	58
圖 5.2(a) Spreading of PRACH message part (b) Spreading of PRACH preamble part .....	59
圖 5.3 Uplink modulation.....	59
圖 5.4 Linear shift feedback register.....	60
圖 5.5 Complex-valued multiplier.....	61
圖 5.6 Multiplier implemented by multiplexer.....	61
圖 5.7 Convolution process.....	62
圖 5.8 Modified convolution process.....	63
圖 5.9 Low complexity pulse shaping filter.....	63
圖 5.10 a non-coherent QPSK acquisition system based on the FHT.....	64
圖 5.11 Modified chip matched filter.....	65
圖 5.12 (a) Reduce critical path structure of CMF cell (b) The combination of CMF cells.....	65
圖 5.13 Data flow of on chip block ram.....	66
圖 5.14 The dual port block RAM.....	66
圖 5.15 The single port block RAM.....	67
圖 5.16 The hierarchy structure of RAM array.....	68
圖 5.17 RAM write control.....	68
圖 5.18 (a) RAM read control (b) RAM read control.....	69
圖 5.19 (a) Adder and subtractor part (b) FHT combine adder part and subtractor part .....	70
圖 5.20 maximum selection structure.....	70

圖 5.21 double dwell search strategy.....	71
圖 5.22 State diagram of search strategy.....	71
圖 5.23 Flowchart of check mode.....	72
圖 5.24 Structure of computing correlation function using Busgang's theorem.....	73
圖 5.25 Hardware structure of frequency estimator.....	75
圖 5.26 平面旋轉角度.....	75
圖 5.27 (a)Overall block diagram for pipeline CORDIC (b)Structure of first rotate (c)Structure of stage1~stage10 rotate (d)Structure of stage11 rotate.....	77
圖 5.28 Structure of iterative CORDIC structure.....	78
圖 5.29 System flow chart for frequency estimator.....	79
圖 5.30 Input and output port for design chip.....	80
圖 5.31 Overall architecture.....	81
圖 5.32 State diagram of overall hardware design.....	81
圖 5.33 RTL structure of transmitter for Synplicity tool.....	82
圖 5.34 RTL structure of code acquisition and frequency offset estimation for Synplicity tool.....	82
圖 5.35 Mapping report for overall architecture.....	83
圖 5.36 Timing report for overall architecture.....	83
圖 5.37 Acquisition error rate v.s chip SNR for fixed and floating point simulation frequency.....	85
圖 5.38 frequency offset estimation for fixed and floating point simulation.....	85

# 第一章 緒論

在 DS/CDMA 系統[1][2]中，所有的使用相同的頻段與時槽，所以從傳送端到接收端要建立成功的溝通，碼同步是很基本且重要的問題，如沒能找到同步會使系統沒有辦法解調。一般將碼同步可區分為兩個步驟：碼擷取(code acquisition)及碼追蹤(code tracking)。碼擷取是一初始，粗略(coarse)的調整，使的所接收到的碼，和本地碼(local code)相位差不超過 0.5 切片(chip)，碼追蹤就是再做細微的調整，使相位差最小，並且補償維持因為通道(channel)改變或是督普勒(Doppler)效應所造成的延遲偏移改變。本篇論文重點放在碼擷取方面討論。

WCDMA 系統的基地台與手機間的初始上鏈(up link)是由實體隨機擷取通道(PRACH)來建立，實體隨機擷取通道有一個或多個前序碼，每個前序碼包含 4096 切片，由於特殊的前序碼結構，碼擷取時間被限定在 5120 個切片時間，所以需要快速的碼擷取方法。一般碼擷取技術[3][4]可分為串列搜尋(serial search)、並列搜尋[4](parallel search)，匹配濾波器(match filter :MF)[5]及適應性濾波搜尋(adaptive filter search)[6]。其中以串列搜尋及並列搜尋較常見，串列搜尋只需用到一個相關器(correlator)，故硬體複雜度相當低，但是所需的搜尋時間就較長，所以近來也有提出 double(multi-level) dwell serial search[7]來減少搜尋時間。並列搜尋為採用多組相關器(correlators bank)平行的尋找碼相位，此技術如果搜尋的區域相當長，那硬體複雜度相當大，但是可達到非常快速的搜尋。匹配濾波器(MF)搜尋為將所收到訊號經過 FIR 濾波器，觀察濾波器輸出最大值的位置，即為所估測延遲偏移，此技術也可達到快數的搜尋時間，但是會有相當程度的硬體複雜度。

完整通訊系統一定會將訊號調變(modulation)並且載到高頻傳送，接收端必須將接收訊號降到基頻(baseband)再做解調(demodulation)，所以需要振盪器(oscillator)，但是一般振盪頻率會有頻率的飄移，大約 3-12 ppm，如以 3G 所使

用頻率 2GHz 來計算飄移量約 6K-24K Hz，若手機和基地台間有相對的運動則會 Doppler 效應，也會產生頻率偏移，這種現象會對 DS/CDMA 系統造成致命傷，主要的影響是系統沒有辦法準確達到碼同步，當然也就沒辦法解碼，所以有一些研究採用匹配濾波器再結合傅立葉轉換(DFT)技術[9][10]可同時估測頻率及碼相位，但是此項技術會增加硬體複雜度，同時 DFT 本身也存在解析度(resolution)的問題，可能會有較大的估測誤差。另外也有人利用以子空間(subspace)的作法，同時估計傳輸時間延遲及頻率飄移[11][12]，此技術雖可得到較精確頻率估測值，但是所用到計算量相當大，需計算特徵值(eigenvalue)及特徵向量(eigenvector)，不適合硬體實現。

為了達到快速碼擷取並能抵抗頻率偏移的干擾，吾人提出結合快速碼擷取及頻率偏移估測的架構，此架構在計算相關值使用哈達馬轉換(FHT)的方法[13]，由於特殊的前序碼結構，此方法可較傳統匹配濾波器大幅地降硬體複雜度，同時能有優越的碼擷取效能，而在頻率偏移估測方面是用 U. Mengali and M. Morelli[14]所提出之頻率偏移估測技術，能夠在有很大頻率飄移環境下估測傳輸延遲，及頻率偏移量，並且利用 Busgang 定理[15]，不需使用乘法器即可計算自相關函數(auto-correlation function)，再利用 CORDIC 技術計算角度，此架構在高頻率偏移下也能有良好的碼擷取效能，並能準確的估測出頻率偏移量。

本篇論文的編排及內容如下：第二章簡短介紹 WCDMA 系統，並簡單介紹其實體層規格，包括上下鏈的展頻及調變的方法，第三章介紹傳統過去碼擷取各種技術，第四章為吾人所提出快速碼擷取及頻率估測技術架構，並模擬一些不同參數比較，第五章將吾人所提出架構用 Xilinx 的 FPGA 設計實現，第六章為結論。

# 第二章 W-CDMA 系統簡介

## 2.1 前言

隨著時代的演進和科技的進步，行動通訊系統已成為生活中不可或缺的部份。然而，除了語音的通訊之外，數據資料的傳遞將在未來成為行動通訊系統最重要的服務。一般而言，我們稱最早期類比通訊系統AMPS(Advanced Mobile Phone Services)、TACS(Total Access Cellular System)、與NMT(Nordic Mobile Telephone)為第一代行動通訊系統，第一代採用分頻多重擷取(Frequency Division Multiple Access 或FDMA)技術。FDMA利用不同的無線電頻率來載送不同的語音通道，主要是特過切割許多小的無線通訊頻帶，而每個無線通訊頻帶都屬於一個專屬的使用者用來傳輸資料。

而現今所使用的數位行動通訊系統如歐規的GSM(Global System for Mobile Communications)、日本的PDC(Personal Digital Cellular)、以及美國的IS-95與IS-136等為第二代行動通訊系統，能提供語音與數據服務，其中以GSM系統最為普及，但是其資料傳輸速率過慢，僅有9.6Kbps，因此GPRS(General packet radio system)、EDGE(Enhanced data rates for GSM evolution)等2.5G的升級方案紛紛推出。但隨著時代的發展，人們對於高速網路的擷取，或是高畫質圖片與影像傳輸的寬頻服務需求將不斷的成長，第二代無線通訊系統的傳輸速率已不足以應付。第三代無線行動通訊系統因而孕育而生，第三代行動通訊系統又可分為三大通訊標準規格WCDMA、cdma2000與TD-SCDMA。第三代無線通訊系統不僅能提供語音的服務，更擴展到多媒體整合服務，也就是提供了整合及時語音、高畫質影像傳輸與寬頻無線上網的無線通訊系統。



## 2.2 IMT-2000的特色與標準

IMT-2000 第三代無線行動通訊系統是於國際通訊聯盟ITU (International Telecommunication Union) 所提出，其構想是應用第三代無線通信系統技術連結世界上每一個角落的通訊，且該連結路上與衛星的不同通信系統，以提供全球性的無線通信擷取。

第三代行動通信有別於現有的第一代和第二代行動通信系統，其主要特點如下：

1. 全球普及和全球無縫 (seamless) 漫遊的系統。第二代行動通信系統一般為區域或國家標準，而第三代行動通信系統將是一個在全球範圍內覆蓋與使用的系統，它將使用共同的頻段為全球統一標準。
2. 具有提供多媒體服務的能力，特別是提供Internet 的服務。現有的行動通信系統主要以提供語音服務為主，隨著的發展也只能提供100-200kbits 的數據服務，GSM 演進到最高階的速率能力為384kbits。而第三代行動通信的服務能力將比第二代有明顯的改進，它應該能夠提供從語音數據到多媒體服務，並根據需求提供所需的頻寬。ITU 規定的第三代行動通信無線傳輸技術的最低要求中，必須滿足在以下三個環境的三種要求，即
  - ◆ 快速移動環境，最高速率達144kbit/s
  - ◆ 室內環境，最高速率達2Mbit/s
  - ◆ 室外到室內或步行環境，最高速率達384kbit/s
3. 容易過渡及演進。由於第三代行動通信系統引入時，第二代網路已具有相當規模，所以第三代的網路一定要能在第二代網路的基礎上演進並且相容。
4. 高頻譜效率、高服務品質、低成本、高安全性。提供漫遊的行動使用者服務品質(Qos)，讓他們有如處在自家的網路環境中。提供使用者透過手持裝置、攜帶型裝置、車輛攜帶型裝置及固定的終端設備來存取所提供的服務。

目前IMT-2000 無線傳輸技術提案有五組無線介面標準草案，其中無線電介面標準分別為如下，如圖2.1 所示。

1. IMT-2000 Direct Spread( CDMA-DS )，或稱Wideband-CDMA( WCDMA )；而它也有另外一個熟悉的名字UMTS(Universal Mobile Telecommunication Systems) 的FDD模式 ( Frequency Division Duplex mode )。
2. IMT-2000 Multi Carriers( CDMA-MC )，或稱CDMA2000；它是以現存IS-95 CDMA標準為發展基礎演變而來。
3. IMT-2000 CDMA TDD ( CDMA-TDD )，即Time Division Duplex模式。
4. IMT-2000 TDMA Single Carrier，或稱UWC-136。
5. IMT-2000 FDMA/TDMA，或稱Digital Enhance Cordless Telecommunication ( DECT-2000 )。

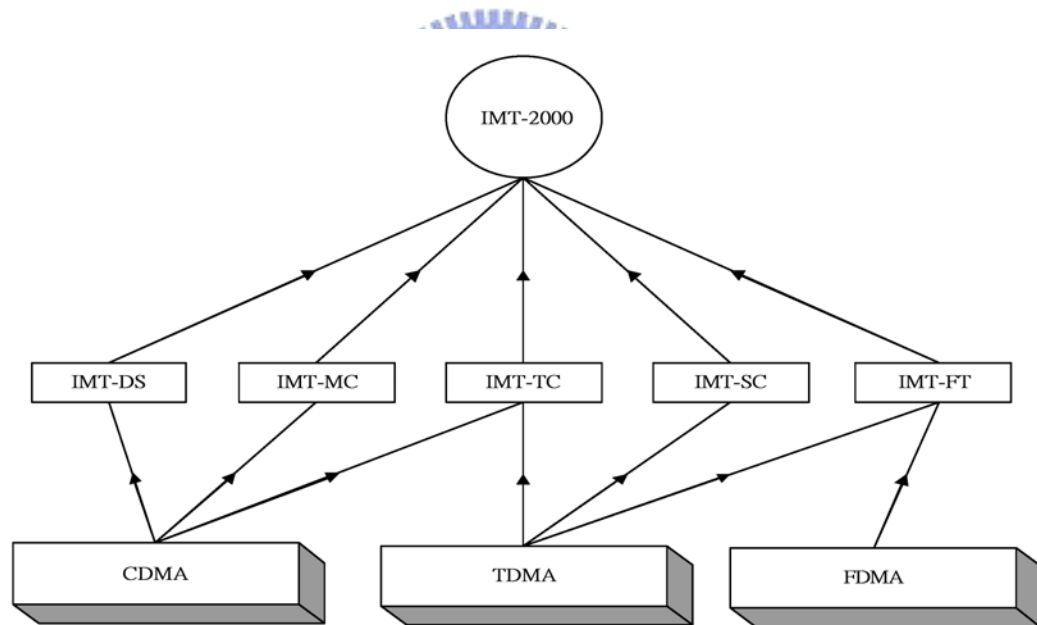


圖2.1. IMT-2000 無線電介面標準

## 2.3 W-CDMA 系統特色

制訂IMT-2000 標準的單位包含歐洲的 ETSI/SMG ( European Telecommunication Standards Institute/Special Mobile Group ) 及日本的 ARIB



( Association of Radio Industries and Business ) ，TTC ( Telecommunication Technology Committee ) ，在美國的有TIA ( Telecommunication Industry Association ) ， 韓國的TTA ( Telecommunication Technology Association ) ， 還有中國大陸的CWTS ( China Wireless Telecommunication Standard Group ) 。其中在勢力龐大的標準制訂組織之間，有著嚴重的商業利益和權利金的考量，及現有2G 業者期待能順利的升級至3G 並且減少額外花費，無不卯足全力促使別人能追隨自己的標準，因此所有支持DSCDMA的團體便組成了一個組織3GPP( 3rd Generation Partnership Project ) [16]，集合所有力量來發展DS-CDMA 標準與技術規範。同理，支CDMA2000 的團體亦組成了另一個組織3GPP2，發展及制訂CDMA2000的標準和技術規範。目前IMT-2000各種系統中，以CDMA2000，W-CDMA這兩種系統較熱門，本論文即以3GPP之WCDMA系統來做相關之研究，故此將針對WCDMA的系統來做討論。

GSM和IS-95 為第二代行動通訊系統，而WCDMA 則為第三代行動通訊的標準通訊之一。第二代系統主要在Macro cells 內提供語音服務，為了能明確比較第二代系統和第三代系統之間的差異，我們須先了解第三代系統的新規格，以下為相關規格概述：

- ◆ 傳輸速率最高每秒2Mbps。
- ◆ 依不同的頻寬需求，提供不同的傳輸速率。
- ◆ 在單一用戶連線的情況下，可以提供不同服務品質及種類的服務，例如語音服務、影音服務以及資料封包等。
- ◆ 藉由即時流量管制，暫時延緩要求以提供較具彈性、效率的資料封包傳輸。
- ◆ 訊框錯誤率為10%，誤碼率要小於 $10^{-6}$ 。
- ◆ 需和第二代系統相容，且要加強涵蓋率與負載平衡等功能。
- ◆ 支援非對稱傳輸，例如瀏覽網頁時，下鏈的資料量會大於上鏈的資料量。

◆ FDD 與TDD 需能共存。

無線介面的差異性反映出第三代行動通訊的新需求，例如：3G 系統的頻寬為 5MHz，則表示可以提供更快速的位元傳輸速率；傳送系統的改良可以改善下鏈傳輸的資料量，以支援上、下鏈間非對稱傳輸的特性，而這項功能是第二代系統所無法比擬的。此外，能支援非即時的封包資料，對新服務的提供亦是非常重要的一環。

W-CDMA系統中所使用的進階技術主要有三項[17]：

◆ 使用傳送分集技術(transmit diversity)

一般而言，若要改善下鏈通道容量，必須在行動端增加接收分集，但是在手機要求體積小且價格便宜的情況下，在行動端增加接收分集是不可能的。因此第三代行動通訊系統提出基地台的傳輸分集技術來改善下鏈通道容量。

◆ 支援適應性天線陣列

適應性天線被認為是一種可以加強系統容量的方式，但是系統必須使用額外且專用的位元來支援此適應性天線，但在 WCDMA 中就有所謂的領航幅元可供通道估測及適應性天線。

◆ 支援多用戶偵測

在傳統接收機只考慮一個使用者，而不去考慮其他使用者，將之視為雜訊、干擾，所以會嚴重影響到系統的效能及容量，所以一較好的方式就是結合其他使用者的資訊以幫助個別的使用者之偵測，此就稱為多用戶偵測 (multi-user detection)。

## 2.4 W-CDMA 實體層規格簡介

本節簡單的介紹 W-CDMA 中 FDD 模式下，實體層中頻道的規格，表 2.1 列出 W-CDMA 的基本實體層參數。

Channel bandwidth	5 M Hz
Duplex mode	FDD and TDD
Chip rate	3.84 M Hz
Frame length	10 ms
Data modulation	QPSK( downlink) BPSK(uplink)
Channel coding	Convolutional and turbo codes
Multi-rate	Variable spreading and multi-code
Spreading factors	4-256 (uplink) 4-512 (downlink)
Power control	Open and fast closed loop(1.5k Hz)
Spreading(downlink)	OVSF sequences for channel separation Gold sequences for cell and user
Spreading(uplink)	OVSF sequences for channel separation, Gold sequences for user separation
Handover	Soft handover , inter-frequency handover

表 2.1 W-CDMA 主要系統參數

## 2.4.1 傳輸頻道(Transport Channels)

在運輸的頻道，亦被劃分為兩種，一種是共用運輸頻道(Common Transport Channels)，另一種是專用運輸頻道(Dedicated Transport Channels)。

### 共用運輸頻道

1. 廣播頻道(Broadcast Channel ; BCH)：下鏈(downlink)傳送，用來廣播系統相關訊息到無線網路所屬的範圍。對應到邏輯頻道中的廣播控制頻道。
2. 呼叫頻道(Paging Channel ; PCH)：下鏈(downlink)傳送，當無線網路要與一位使用者建立連線時，就透過PCH來傳送訊息，對應到邏輯頻道中的呼叫控制頻道。

3. 轉送接取頻道(Forward Access Channel : FACH) : 主要是當系統知道手機所在地時, 基地台下傳訊息至手機之用。
4. 隨機存取頻道(Random Access Channel : RACH) : 上鏈 (Uplink) 傳送, 當手機進入網路系統時, 靠此頻道由手機傳送訊息至基地台, 要求在手機與基地台間建立一個通道。
5. 共同封包頻道(Common Packet Channel : CPCH) : 上鏈 (Uplink) 傳送, 此頻道是負責話務或數據的傳送。
6. 下鏈共享頻道(Downlink Shared Channel : DSCH) : 基地台藉此頻道, 傳送訊息或數據至幾個不同的手機, 用途類似FACH。

### 專用傳輸頻道

則包括指定頻道(Dedicated Channel : DCH)、快速上行信號頻道(Fast Uplink Signaling Channel : FAUSCH)等。

最後, 必須將上述各種運輸頻道, 一一對應到實體頻道(Physical channel), 如圖2.2, 而藉此在實體層中順利傳送。



## 2.4.2 實體頻道(Physical channel)

實體頻道是最下層的頻道, 包含了碼框(radio frame)及時槽(time slot), 而一個碼框的長度為10ms, 其中包含有15個時槽, 所以一個時槽的長度為0.667ms, 組成時槽的位元個數由傳輸速率所決定, 一個位元包含有許多切片(chip), 切片的個數就是實體頻道的展頻因數(spreading factor : SF)。實體通道可分為三類:

- ◆ Common Control Physical Channels:
  - Primary Common Control Physical Channel (PCCPCH)
  - Secondary Common Control Physical Channel (SCCPCH)
- ◆ Physical Random Access Channel (PRACH)
- ◆ Dedicated Physical Channels:

Dedicated Physical Data Channel (DPDCH)

Dedicated Physical Control Channel (DPCCH)

Transport Channels	Physical Channels
DCH	Dedicated Physical Data Channel (DPDCH) Dedicated Physical Control Channel (DPCCH)
RACH	Physical Random Access Channel (PRACH)
CPCH	Physical Common Packet Channel (PCPCH) Common Pilot Channel (CPICH)
BCH	Primary Common Control Physical Channel (P-CCPCH)
FACH	Secondary Common Control Physical Channel (S-CCPCH)
PCH	Synchronisation Channel (SCH)
DSCH	Physical Downlink Shared Channel (PDSCH) Acquisition Indicator Channel (AICH) Access Preamble Acquisition Indicator Channel (AP-AICH) Paging Indicator Channel (PICH) CPCH Status Indicator Channel (CSICH) Collision-Detection/Channel-Assignment Indicator Channel (CD/CA-ICH)
HS-DSCH	High Speed Physical Downlink Shared Channel (HS-PDSCH) HS-DSCH-related Shared Control Channel (HS-SCCH)

圖 2.2 傳輸頻道和實體頻道相對應圖

### 2.4.2.1 上鏈實體通道

上鏈實體通道與傳輸頻道一樣，也包含了專用頻道與共用頻道兩種。

- 上鏈專用實體頻道：

實體層的控制資訊主要是透過Dedicated Physical Control Channel (DPCCH) 來傳送，其展頻係數 (spreading factor) 固定為256，至於較高層的資料則是經由數個Dedicated Physical Data Channels (DPDCHs) 來傳送，展頻係數的範圍則從4到256。在實體層中，上鏈資料可藉由數個DPDCH 以不同的展頻係數加以傳送。DPDCH 傳輸速率的變動是以碼框 (frame) 為基準，一般而言，當傳輸速率有變動時，會由DPCCH 來告知DPDCH，若是DPCCH 的信號未被正常解碼的

話，則整個碼框的資料就會遺失。

上鏈專用實體通道的資料和控制信號分別以DPDCH和DPCCH 兩種不同的通道傳送（如圖2.3 所示），主要是因為當通道中沒有資料傳送時，手機和基地台間仍須保持連絡，此時就會持續傳送相關的控制信號，如引導符號和1.5KHz的功率控制符號等，若是以分時多工的方式傳送，則控制信號會對鄰近通道產生音頻干擾。因此，上鏈專用實體通道的資料和控制信號是以I/Q 碼多工的方式，分別在DPDCH 和DPCCH 兩種通道內傳送。

● 上鏈共用實體頻道：

實體隨機擷取頻道(PRACH)為主要的上鏈共用實體頻道，其傳輸架構如圖2.4(a) 所示，此頻道是由一個或多個長度為4096切片的前序碼( preambles)和一個訊息部份所組成，此訊息部份長度可為10或20 ms。

前序碼是由 256 個重複的前序簽名( preamble signature )所組成，而每一個前序簽名為 16 切片，如圖 2.4(b)所示，因不同的使用者可分為 16 組的前序簽名。是由長度為 16 的 Walsh-Hadamard code 所組成。列表 2.2，而每一複數位元均需再和長攪亂碼(long code)做展頻才形成前序碼。

整體而言前序碼  $C_{pre,n,s}$  以以下方式產生：

$$C_{pre,n,s}(k) = S_{r-pre,n}(k)C_{sig,s}(k)e^{j(\frac{P_i}{4} + \frac{P_i}{2}k)} \quad , k = 0, 1, 2 \dots, 4095 \quad (2.1)$$

$$S_{r-pre,n}(i) = C_{long,1,n}(i) \quad , i = 0, 1, 2, \dots, 4095 \quad (2.2)$$

$$C_{sig,s}(i) = P_s(i \text{ mod } 16) \quad , i = 0, 1, 2, \dots, 4095 \quad (2.3)$$

其中  $C_{long,1,n}$  是W-CDMA中的攪亂碼，n為攪亂碼的編號，從0到8191，s為前序簽名組的編號，所以是從0到15。

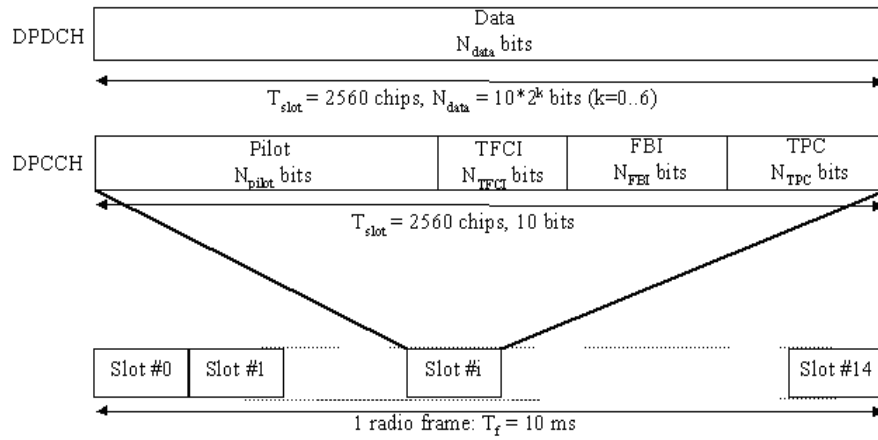


圖 2. 3 上鏈 DPDCH/DPCCH 架構圖

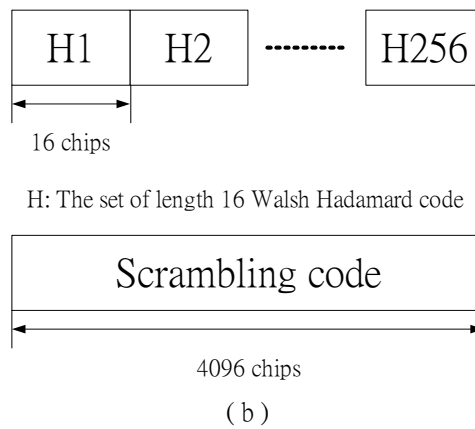
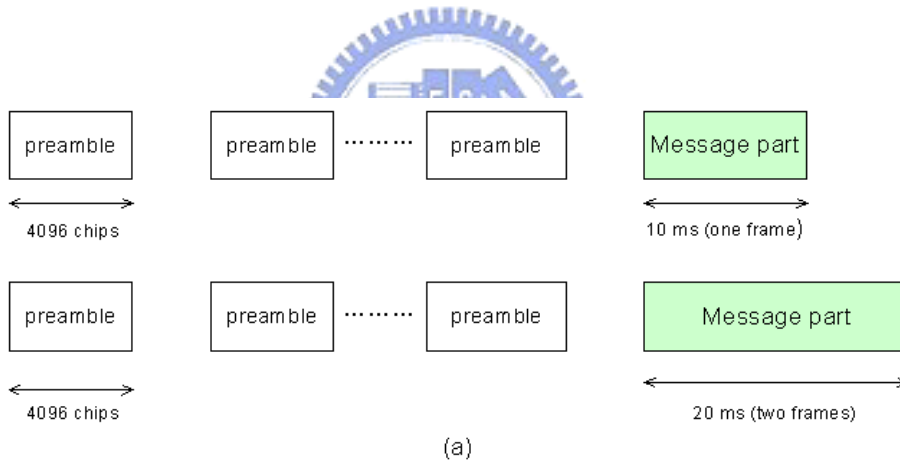


圖 2. 4 (a) Structure of the random access transmission (b) Structure of preamble



Preamble signature	Value of $n$															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
$P_0(n)$	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
$P_1(n)$	1	-1	1	-1	1	-1	1	-1	1	-1	1	-1	1	-1	1	-1
$P_2(n)$	1	1	-1	-1	1	1	-1	-1	1	1	-1	-1	1	1	-1	-1
$P_3(n)$	1	-1	-1	1	1	-1	-1	1	1	-1	-1	1	1	-1	-1	1
$P_4(n)$	1	1	1	1	-1	-1	-1	-1	1	1	1	1	-1	-1	-1	-1
$P_5(n)$	1	-1	1	-1	-1	1	-1	1	1	-1	1	-1	-1	1	-1	1
$P_6(n)$	1	1	-1	-1	-1	-1	1	1	1	1	-1	-1	-1	-1	1	1
$P_7(n)$	1	-1	-1	1	-1	1	1	-1	1	-1	-1	1	-1	1	1	-1
$P_8(n)$	1	1	1	1	1	1	1	1	-1	-1	-1	-1	-1	-1	-1	-1
$P_9(n)$	1	-1	1	-1	1	-1	1	-1	-1	1	-1	1	-1	1	-1	1
$P_{10}(n)$	1	1	-1	-1	1	1	-1	-1	-1	-1	1	1	-1	-1	1	1
$P_{11}(n)$	1	-1	-1	1	1	-1	-1	1	-1	1	1	-1	-1	1	1	-1
$P_{12}(n)$	1	1	1	1	-1	-1	-1	-1	-1	-1	-1	-1	1	1	1	1
$P_{13}(n)$	1	-1	1	-1	-1	1	-1	1	-1	1	-1	1	1	-1	1	-1
$P_{14}(n)$	1	1	-1	-1	-1	-1	1	1	-1	-1	1	1	1	1	-1	-1
$P_{15}(n)$	1	-1	-1	1	-1	1	1	-1	-1	1	1	-1	1	-1	-1	1

表 2. 2 Preamble signature

PRACH 訊息部分的控制頻道每時槽有 10 個位元，分別為領航位元(8 bits)及傳送資訊位元(TFCI, 2 bits)，在整個碼框中 TFCI 共有 30 位元，是編碼後結果，可對應到 I 頻道從 32 到 256 的展頻因數(SF)。其架構如圖 2.5 所示。

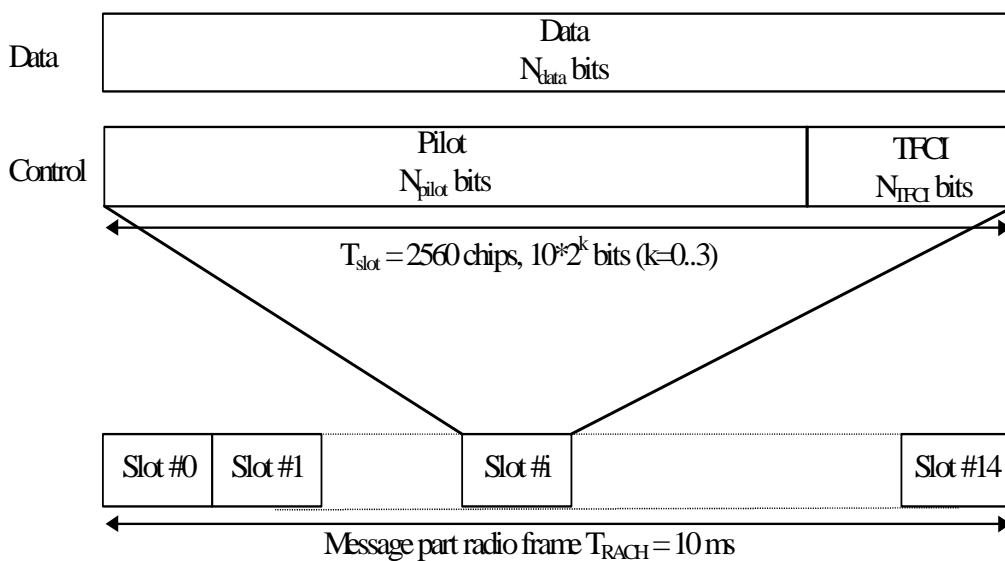


圖 2. 5 Structure of the PRACH message part



## 2.4.2.2 下鏈實體頻道

下鏈實體頻道包含有一個下鏈專用實體頻道，一個共享頻道及三個共用控制頻道：

- ◆ 下鏈專用實體頻道(Downlink dedicated physical channel :downlink DPCH)
- ◆ 實體下鏈共享頻道(Physical downlink shared channel : PDSCH)  
主要和次要共用控制實體頻道(Primary and secondary common control physical channels : CCPCH)
- ◆ 同步頻道(Synchronization channel : SCH)

圖 2.6 所示為下鏈 DPCH 的碼框架構，和圖 2.3(上鏈 DPCH)有一最大的不同，下鏈 DPCH 的專用訊息，和控制訊息是放在同一頻道中，沒有再利用 I、Q 頻道分開，只是利用時間多工法(time multiplexed)放在不同時間位置。同樣的下鏈 DPCH 也可提供不同的傳輸速率的服務，其傳輸速率由 TFCI 位元組所決定。Primary CCPCH 用來攜帶上層傳輸頻道的 BCH 訊息，以固定的傳輸速率(30k bps, SF=256)傳送，且不含功率控制，每一時槽前 256 切片 (chips) 是不傳任何訊息的，此區塊被保留給主要及次要同步頻道(Primary and secondary SCH)使用。Secondary CCPCH 被用來攜帶傳輸頻道中的 FACH 及 PCH 的訊息，及和 Primary CCPCH 主要的不同為 secondary CCPCH 能支援不同的傳輸速率，P-CCPCH 是連續傳送，但是 S-CCPCH 只有當有資料要傳送時才會傳送此頻道，其 P-CCPCH 和 S-CCPCH 架構如圖 2.7 所示。

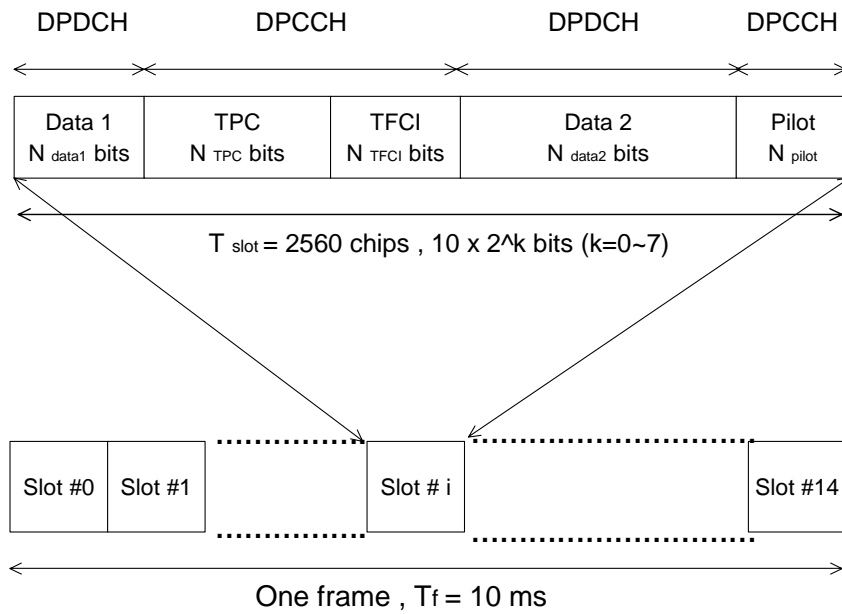
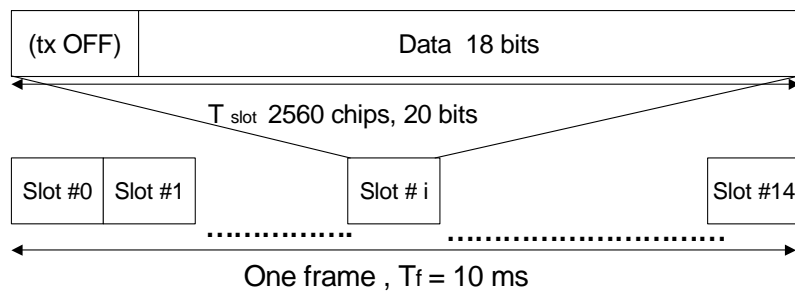
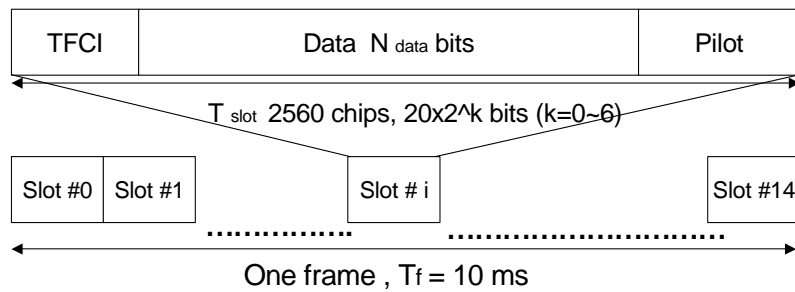


圖 2. 6 Frame structure for downlink DPCH



(a)



(b)

圖 2. 7 (a) Structure of primary CPCCH (b) Structure of secondary CPCCH

圖 2.8 為同步頻道(SCH)的架構圖。SCH 包含有兩個子頻道 primary SCH 和 secondary SCH，主要目的為細胞搜尋(cell search)。Primary SCH 為長度 256 切片已調變過的碼，以  $C_p$  表示，每個時槽都會傳送一次，且系統中所有細胞的 P-SCH 碼都是一樣的，傳送時間剛好為 P-CCPCH 未傳送資料的時間。Secondary SCH 為長度 15 的序列組成，以  $C_s^{i,k}$  表示， $i=1, 2, \dots, 64$ 、 $k=0, 1, \dots, 14$  表時槽數(序列數)，所以此序列每個碼框傳送一次，用來做確認細胞攪亂碼組(scrambling code group)。系統中將干擾碼分為 64 組，所以  $i$  從 1 到 64 表此 64 組中的一組，每組有 8 種干擾碼，所以共有 512 種干擾碼。序列中每個元素都是長度 256 切片的調變碼，與 P-SCH 是平行的傳送。

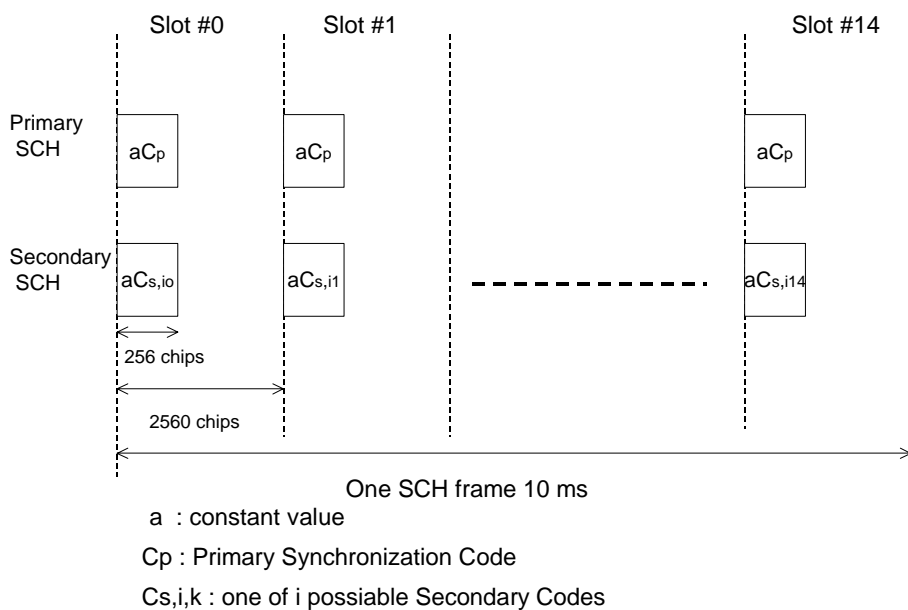


圖 2.8 The structure of SCH

### 2.4.3 展頻與調變

WCDMA 主要是以展頻 (Spread Spectrum) 技術，資料的傳輸必須經過延

展 (Spreading) 後才送到實體的傳輸通道。延展包含兩個步驟：Channelization 以及 Scrambling。欲傳送的数据 symbol 資料先經由 Channelisation 步驟延展成許多數量的 chip，每個 data symbol 延展 chips 的數目，稱之為 Spreading Factor(SF)，當 Spreading Factor 的數目增加時，每個 data symbol 所延展出的切片數量也增加，而展頻碼允許不同的傳送端，同時在一個頻帶上傳送，主要就是透過不同的展頻碼彼此正交的特性。而 Scrambling 的目的是被用來區分不同基地站 (downlink)，或是區分不同的使用者間 (uplink)。

### 2.4.3.1 通道碼(channelization codes)

由於 WCDMA 是利用展頻碼，把每一個傳送頻道透過展頻方式來區隔彼此，因此展頻碼又稱為通道碼 (Channelization Code)，在 3GPP 的規格中建議了由正交可變展頻因數 (Orthogonal Variable Spreading Factor; OVSF) code tree 的資料結構產生彼此正交的展頻碼 [20]。圖 2.9 表示 OVSF codes 的樹狀結構圖。

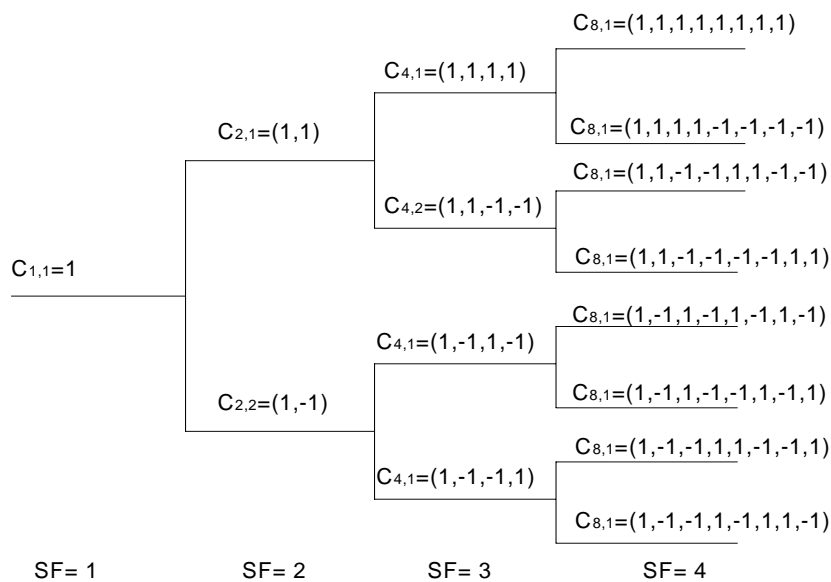


圖 2.9 Code tree of OVSF code

OVSF 碼可用  $C_{SF,k}$  來描述，其中 SF 為該實體頻道所使用的展頻因數，k 為

碼數(code number)，所以 k 從 1 到 SF。在 W-CDMA 系統中通道碼是用來正交區分不同實體頻道。通道碼也可由以下數學表示式產生。

$$C_{1,0} = 1 \quad (2.4)$$

$$\begin{bmatrix} C_{2,0} \\ C_{2,1} \end{bmatrix} = \begin{bmatrix} C_{1,0} C_{1,0} \\ C_{1,0} \overline{C_{1,0}} \end{bmatrix} = \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \quad (2.5)$$

$$\begin{bmatrix} C_{4,0} \\ C_{4,1} \\ C_{4,2} \\ C_{4,3} \end{bmatrix} = \begin{bmatrix} C_{2,0} & C_{2,0} \\ C_{2,0} & \overline{C_{2,0}} \\ C_{2,1} & C_{2,1} \\ C_{2,1} & \overline{C_{2,1}} \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & 1 & -1 \\ 1 & -1 & -1 & 1 \end{bmatrix} \quad (2.6)$$

$$\begin{bmatrix} C_{2^{n+1},0} \\ C_{2^{n+1},1} \\ C_{2^{n+1},2} \\ C_{2^{n+1},3} \\ \cdot \\ \cdot \\ C_{2^{n+1},2^{n+1}-2} \\ C_{2^{n+1},2^{n+1}-1} \end{bmatrix} = \begin{bmatrix} C_{2^n,0} & C_{2^n,0} \\ C_{2^n,0} & \overline{C_{2^n,0}} \\ C_{2^n,1} & C_{2^n,1} \\ C_{2^n,1} & \overline{C_{2^n,1}} \\ \cdot & \cdot \\ \cdot & \cdot \\ C_{2^n,2^n-1} & C_{2^n,2^n-1} \\ C_{2^n,2^n-1} & \overline{C_{2^n,2^n-1}} \end{bmatrix} \quad (2.7)$$

2.4 式即為此通道碼的一般表示式，n 從 0 開始可到無限大，但是在 W-CDMA 系統中，由於 SF 的範圍為 4 到 512，所以 n 只能從 1 到 8。

對於上鏈 DPDCH 與 DPCCH 來說，碼的分配必須依循以下規則：

- DPCCH 一定用  $C_c = C_{ch,256,0}$  來展頻。
- 如果只傳送一條 DPDCH 的話，則通道 DPDCH<sub>n</sub> 是使用  $C_{d,1} = C_{ch,SF,k}$  來展頻，其中 SF 為 DPDCH<sub>1</sub> 的展頻因數而 k=SF/4。

- 當有不只一條的 DPDCH 傳輸時，則每條頻道  $DPDCH_n$  的展頻因數為 4，所使用的通道碼為  $C_{d,n} = C_{ch,4,k}$ ， $k=1$  當  $n \in \{1,2\}$ 、 $k=3$  當  $n \in \{3,4\}$ 、 $k=2$  當  $n \in \{5,6\}$ 。

上鏈 PRACH 的控制部分則採用  $C_{256,m}$ ， $m = 16s + 15$ ，SF 等於 256， $s$  為 0~15 為 16 組前序簽名的其中一組如表 2.2，資料部分通道碼  $C_{SF,m}$ ， $m = SF \times s / 16$ 。下鏈部分只有 Primary CCPCH 是固定採用  $C_{256,1}$ ，其餘的通道碼都是由上層所決定分配，再經由廣播頻道告知使用者。

### 2.4.3.2 攪亂碼(scrambling code)

W-CDMA 系統中，攪亂碼是用來區分不同的基地站或是使用者，它並不會改變原來信號的頻寬。上下鏈所使用的攪亂碼是不同的，上鏈攪亂碼又可再分兩種形式，長攪亂碼(long scrambling code)及短攪亂碼(short scrambling code)。下鏈就只有長攪亂碼一種形式且碼階數(order)較上鏈碼階數(25)來的少為 18。

#### ◆ 上鏈長攪亂碼(uplink long scrambling code)

上鏈長攪亂碼是複數碼，是由兩個實數序列組合而成，此兩實數序列均是黃金碼(Gold Code)，由兩個二進位  $m$ -序列( $m$ -sequence)， $x$ 、 $y$  序列以模 2 (modulo 2) 產生。此兩  $m$ -序列的生成多項式(generate polynomial)如下：

$$\begin{aligned} x\text{-序列} &: X^{25} + X^3 + 1 \\ y\text{-序列} &: Y^{25} + Y^3 + Y^2 + Y + 1 \end{aligned}$$

圖 2.10 表示此長攪亂碼的生成構型圖， $C_{long,1}$  為實數部分， $C_{long,2}$  為虛數部分，最後整體複數長攪亂碼定義為：

$$C_{long,n}(i) = C_{long,1,n}(i) * (1 + j(-1)^i C_{long,2,n}(2 \lfloor i/2 \rfloor)) \quad (2.8)$$

此  $i = 0, 1, \dots, 2^{25} - 2$ 、 $\lfloor \rfloor$  定義為四捨五入的符號

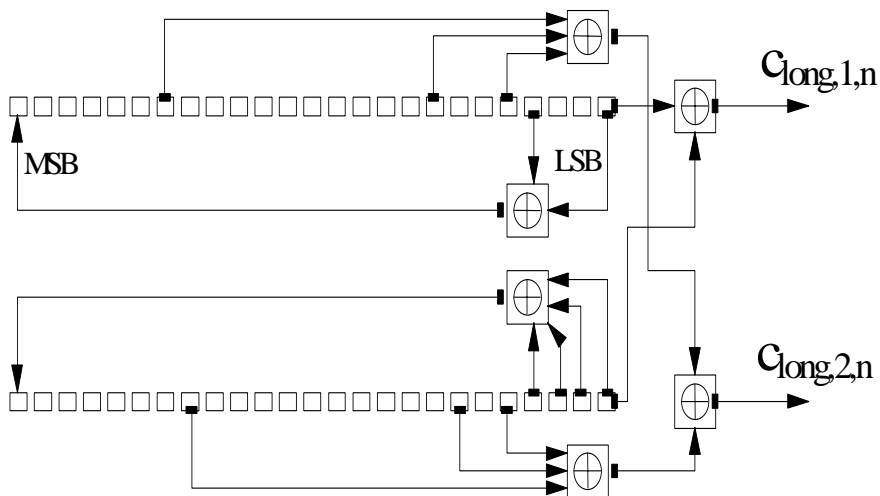


圖 2. 10 Configuration of uplink long scrambling code sequence generator

◆ 下鏈長攪亂碼(downlink long scrambling code)

下鏈長攪亂碼的基本概念和上鏈長攪亂碼一樣，其差別為 m-序列的生成多項式不同，且階數也不同，下鏈長攪亂碼的 m-序列是 18 階的多項式，較上鏈來的少。此 m-序列的生成多項式如下：

$$x\text{-序列} : X^{18} + X^7 + 1$$

$$y\text{-序列} : Y^{18} + Y^{10} + Y^7 + Y^5 + 1$$

圖 2.11 為此下鏈攪亂碼的生成構型圖，I 為此複數碼的實數部分，Q 即為虛數部分。

### 2.4.3.3 上鏈展頻與調變架構

上鏈實體專用頻道展頻的架構如圖 2.12 所示，每個資料先經過通道碼展頻，然後再乘上增益係數，圖中的  $\beta_c$  為控制頻道的增益係數， $\beta_d$  為訊息頻道乘的增益係數。一條 DPCCH 可以對應到至多六條平行的 DPDCH 來同時傳送，也可只傳送 1、2、4、6 條 DPDCH，當所需要的傳輸速率愈高，則傳送 DPDCH 也就相對的愈多。圖 2.13 為上鏈實體隨機擷取頻道訊息訊息部分展頻方塊圖。每條實

體頻道都會先乘上通道碼展頻再乘上不同所需的增益(gain)，做實部與虛部相加之後再和攪亂碼相乘，成為唯一的編碼，完成整體的展頻，最後再將輸出結果送入 QPSK 調變。圖 2.14 為上鏈實體頻道調變方塊圖，調變切片速率為 3.84 M cps，其中 pulse shaping 為平方根上升餘弦濾波器(SRRC)。

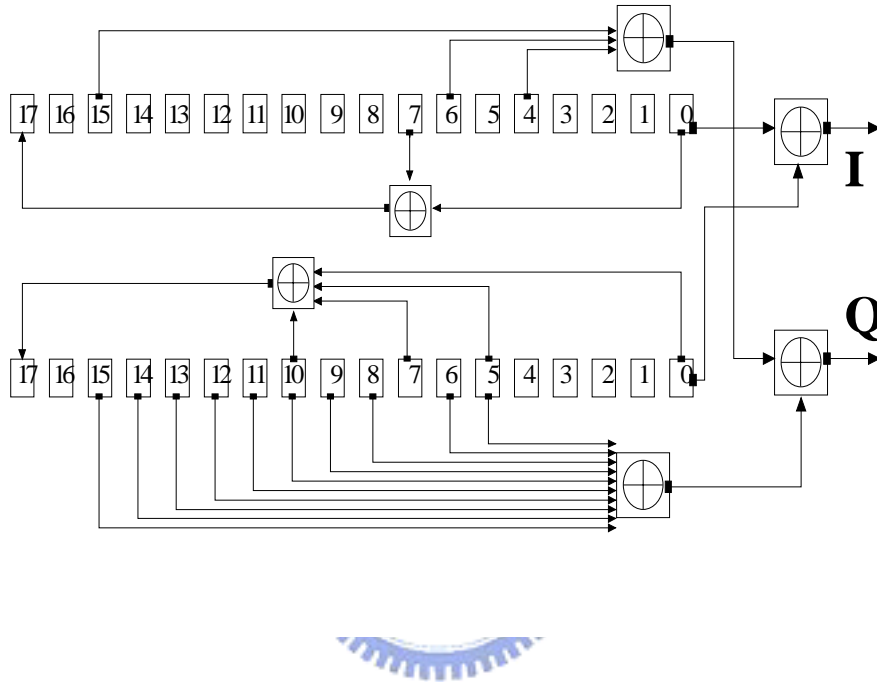


圖 2.11 Configuration of downlink long scrambling code generator

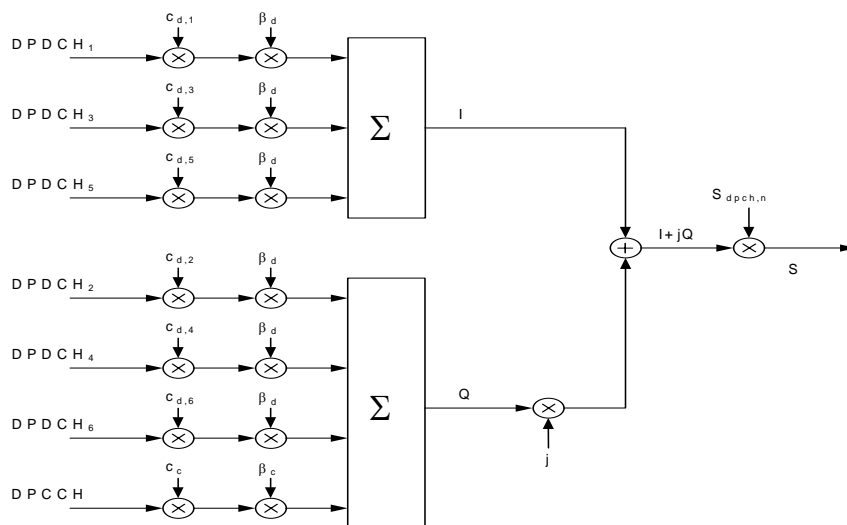


圖 2.12 Spreading for uplink DPCCCH and DPDCH



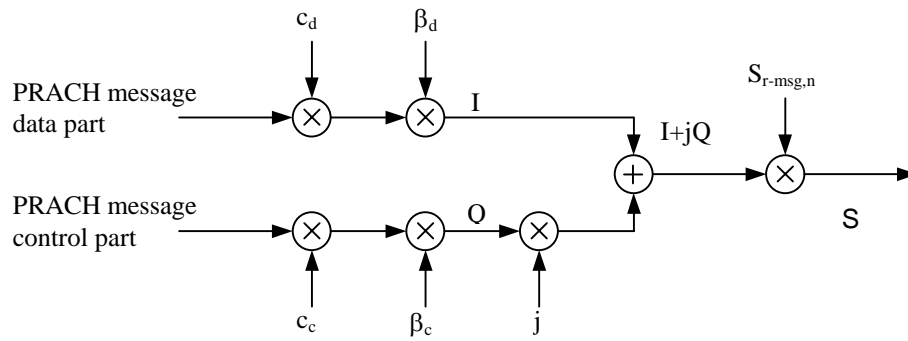


圖 2. 13 spreading of PRACH message part

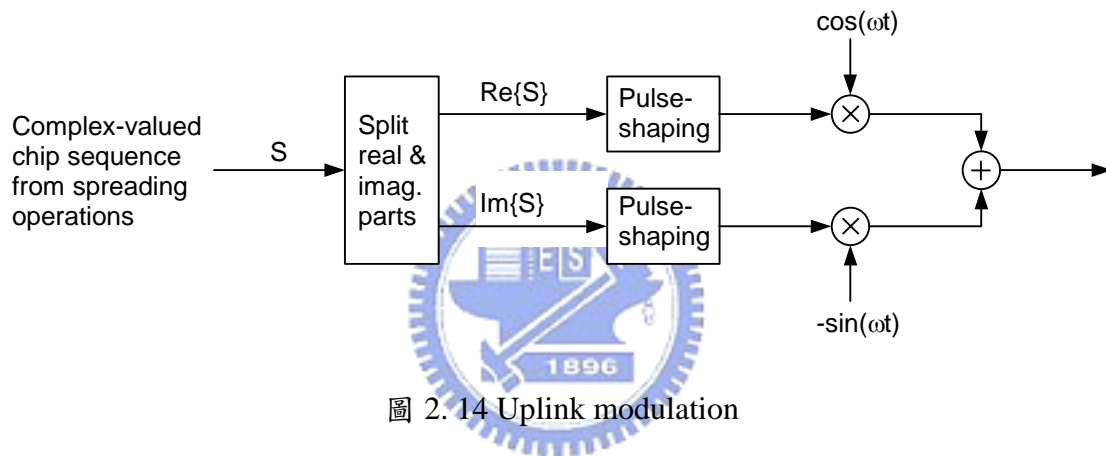


圖 2. 14 Uplink modulation

## 第三章 DS-CDMA 系統傳統碼擷取技術

目前第三代無線行動通訊的核心技術採用直接序列分碼多工存取(DS/CDMA)，而在直接序列展頻系統(DSSS)中，傳送端和接收端建立完整、正確的傳輸溝通，碼同步是第一步驟也是非常重要的步驟。碼同步可分為兩階段：第一階段為碼擷取(code acquisition)，第二階段為碼追蹤(code tracking)。碼擷取為做初始的調整，擷取碼的粗略時間點，使的正確時間點和擷取的時間點相差小於 0.5 切片時間，碼追蹤就是將碼擷取後結果再做調整，使的延遲偏移能夠達到最小，如此才能在後級做最佳的解展頻，得到最好的性能結果。此篇論文的重點是放在碼擷取上面討論，此章簡短介紹傳統碼擷取技術。



### 3.1 傳統碼擷取技術

目前於碼擷取較常見的搜尋策略有串列搜尋(serial search)、並列搜尋(parallel search) [3][4]、混合搜尋(hybrid search)[21]、匹配濾波器搜尋(Matched Filter search)[5]等。

串列、並列搜尋碼擷取的基本觀念為透過特定的搜尋策略(search strategy)將碼產生器(code generator)所產生的本地碼(local code)與接收到的訊號做相乘累加，計算自身關聯值(auto-correlation)，理論上達成同步時，自身關聯值會非常大，否則自身關聯性會很小，此應用的原理為 PN 碼有很好的自身關聯特性，如圖 3.1 所示。

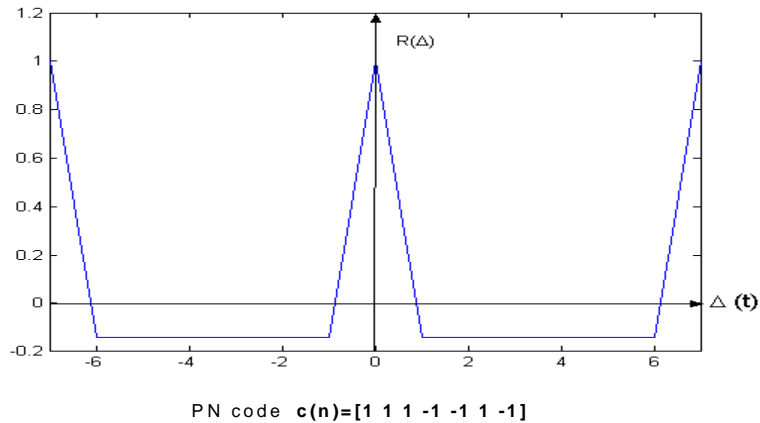


圖 3. 1 PN sequence auto-correlation value

### 3.1.1 單一區塊串列搜尋技術(single dwell serial search technique)

串列搜尋會偵測計算在搜尋範圍內每一切片延遲偏移的碼自身關聯值，選擇在此區域內有最大輸出值或是超過先前已定義臨界值的位置，此位置即為估測延遲時間點，串列搜尋又可視接收訊號相位是否已準確鎖定再細分同相(coherence)或非同相技術(non-coherence)，因為無線通訊系統相位非常不好準確估測，故大多採用非同相技術，圖 3. 2 為非同相串列搜尋電路方塊圖。串列搜尋因為只需要用到一個乘累加器，和一峰值檢測器，故有較簡單的硬體複雜度(complexity)，但是會付出較長的搜尋時間(acquisition time)，假設最大延遲時間為 128 切片，碼長度為 256 切片，採用搜尋最大位置點，則所需的搜尋時間為  $256 \times 128$  切片時間。

### 3.1.2 多重區塊串列搜尋技術(multi-level serial search dwell)

有感於單一區塊串列搜尋技術需要相當長搜尋時間，所以許多改進的技術被提出，以降低搜尋時間，又不會提高太多硬體複雜度，Biqi Long[19]提出雙重區塊搜尋技術(double dwell search)，首先只計算部分的自身關聯值(partial auto-correlation)，和已定義好的臨界值(threshold)比較，小於臨界值則繼續

搜尋下一相位，但如大於臨界值則進入驗證區域，計算較大區域的關聯值和另一較大臨界值比較，此值如再大於臨界值即可估測到傳輸延遲。此技術第一階段計算的區域(切片)較短，所以計算一延遲相位所需的時間也就較少，造成整體所需的搜尋時間就相對減少，但是當低訊號雜訊比(SNR)時，因第一階段只計算部分關聯值，相對受雜訊影響很大，造成錯誤率上升，因為雜訊的影響可能使的同步時的部分關聯值低於臨界值，此就會造成錯失(miss)機率大增。圖 3.3 為雙重區塊搜尋技術架構圖。

### 3.1.3 並列搜尋 (parallel search)

並列搜尋為將許多組乘累加器並列，且每組乘累加器的本地碼均為不同相位，假設最大延遲時間為 128 個切片，且每切片時間取樣一次，則必須並列 128 組乘累加器，接收訊號經過此 128 組成累加器後輸出自身關聯值，比較此平行輸出值，找出最大值的位置，即可估測出碼相位(code phase)，同理並列搜尋也分為同相及非同相技術，圖 3.4 所示非同步並列搜尋電路方塊圖。

並列搜尋所需的硬體複雜度相當高，以前面例子而言，需要 128 組成累加器，但是如果每 1/2 切片取樣一次，則需同時有 256 組乘累加器，固硬體複雜度會隨著搜尋區域及搜尋精細度呈線性成長。但是所需搜尋時間較短，以搜尋最大 128 切片傳輸延遲例子來說，只需 128 切片時間就可估測出結果，較單一區塊串列搜尋快了 256 倍，也比雙重區塊串列搜尋快許多。一般會視系統的需求，而做一取捨(trade off)，或是將串並列搜尋技術結合，形成混合(hybrid)搜尋。

### 3.1.4 混合搜尋(hybrid search)

混合搜尋系統結合了並列搜尋及串列搜尋，首先將最大搜尋相位  $V$  作一劃分，使得  $V = N \times S$ ， $N$  為並列相關器數目， $S$  為串列搜尋次數，也就是說將  $V$  分成  $S$  組，每一組包含有  $N$  個不同相位。訊號接收後通過  $N$  組並列乘累加器，搜尋此  $N$  個相位，判斷是否同步(計算關聯值，是否已大於臨界值)，如未同步，再繼

續搜尋下一組  $N$  個相位，直到達成同步為止。 $N$  值越大，則硬體複雜度就會越高，相對的搜尋時間就會減少，所以此系統有相當大彈性，可在硬體複雜度和搜尋時間上作一取捨，設計符合系統需求，圖 3.5 所示混合搜尋系統方塊圖。

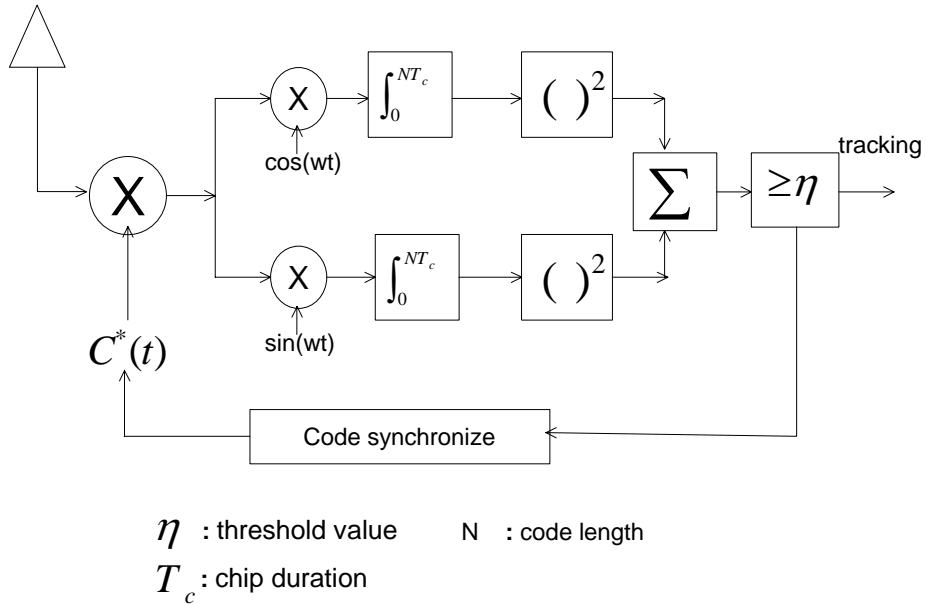


圖 3.2 Non-coherent serial search structure

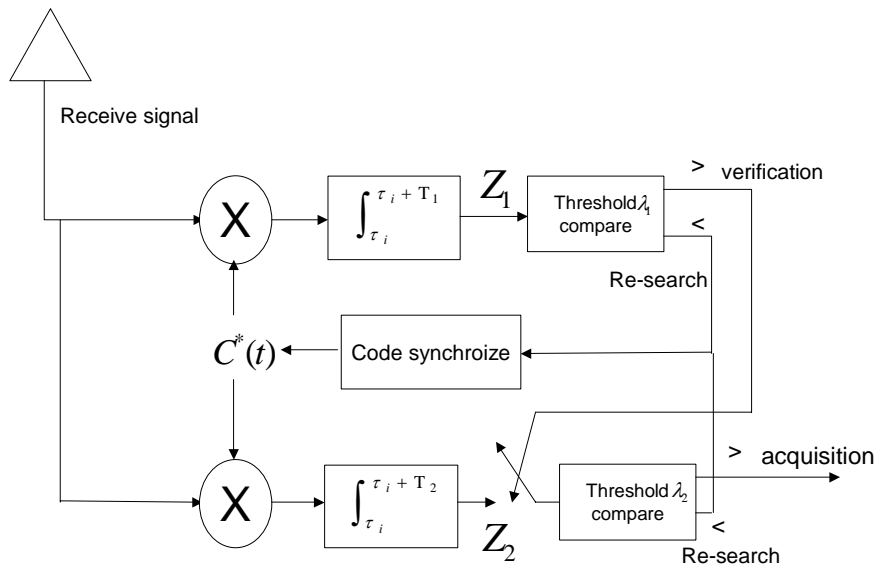


圖 3.3 Double dwell serial search block diagram

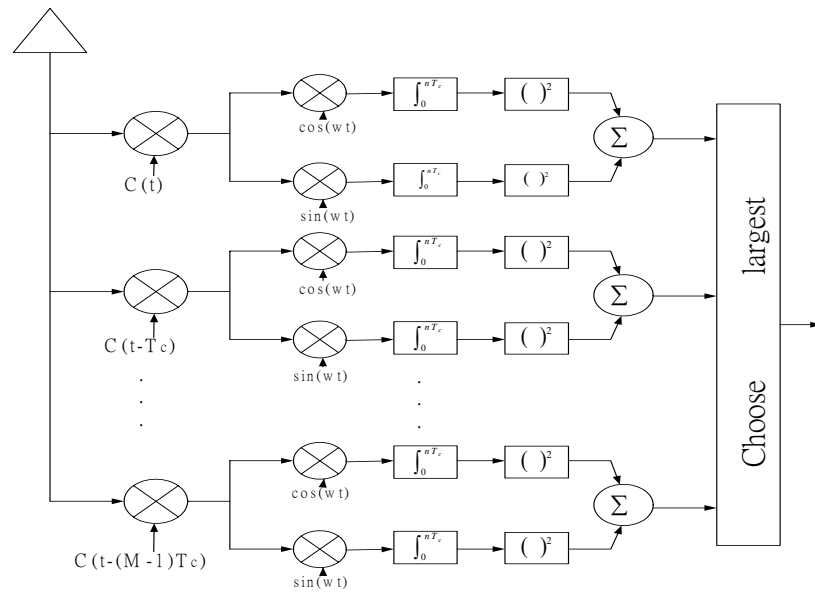


圖 3. 4 Non-coherent parallel acquisition structure

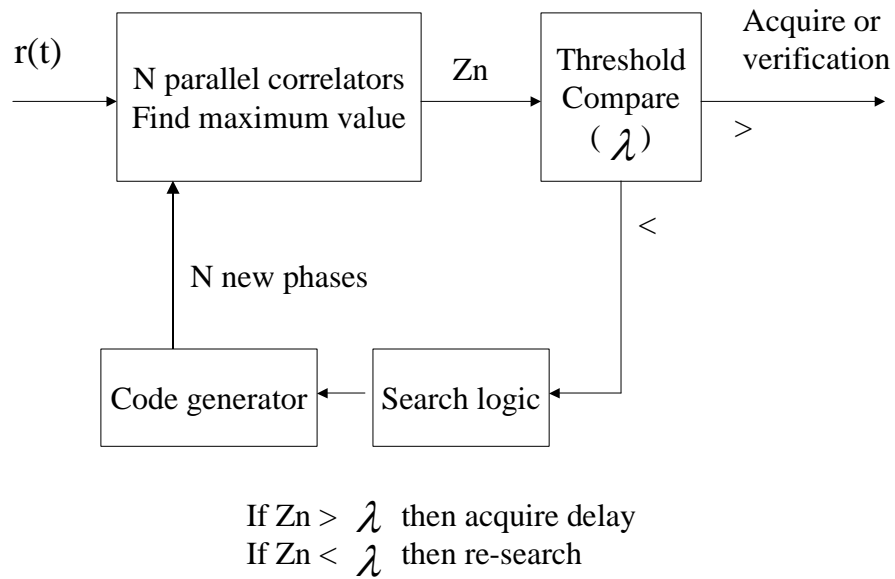


圖 3. 5 Hybrid search block diagram

### 3.1.5 匹配濾波器碼擷取(matched filter code acquisition)

匹配濾波器搜尋為將收到的訊號經過數位的匹配濾波器(DMF)，此 DMF tap 的權重(weight)為系統所送出的碼 $\underline{c}(n)$ ， $\underline{c}(n) \in \{1, -1\}$ ，所以此濾波器只需使用加減法器，DMF 的輸出值即為碼的自身關聯函數(autocorrelation function)，故只需搜尋此濾波器輸出極大值的位置就為估測的延遲偏移。數位匹配濾波器搜尋因利用管線化(pipeline)的概念(如圖 3.6(b))，每一切片進入 DMF 即可計算自身關聯，所以所需極短時間，即可估測出傳輸延遲，但是硬體複雜度會隨著此濾波器 tap 數呈線性成長，但碼擷取的效能也會較好。此匹配濾波器碼擷取技術其實和並列搜尋技術在概念上，硬體複雜度上和碼擷取時間上是一樣的，但是硬體實現架構就不同了。圖 3.6 為匹配濾波器搜尋法架構圖。

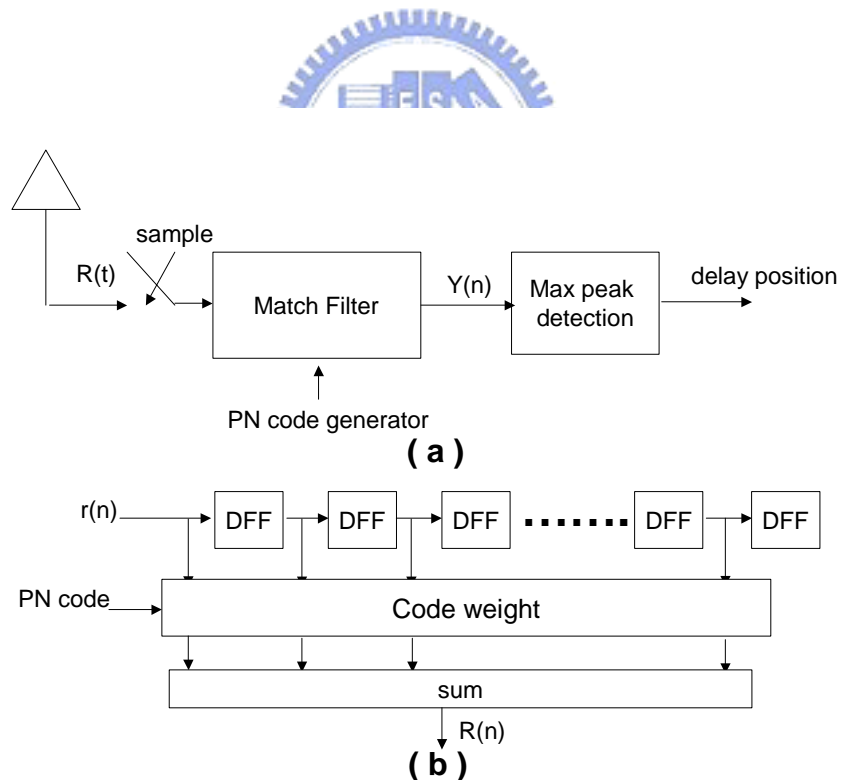


圖 3.6 (a)Block diagram of MF searching method (b)structure of DMF

## 3.2 適應性濾波器估測搜尋

在 CDMA 系統中，每一使用者(users)使用相同頻帶，相同的時間傳輸資料，所以多重存取干擾(multiple access interference; MAI)會對碼擷取技術效能影響很大，當 MAI 很大時，一般傳統的碼擷取技術效能會衰減很多，Mohamed G [6]提出採用適應性濾波器方法，估測傳輸延遲。

### 3.2.1 系統模型(system Model)

在 CDMA 系統中基頻接收訊號可以用下式表示：

$$r(t) = \sum_{k=1}^K x_k(t - \tau_k) + n(t) \quad (3.1)$$

$K$  為使用者數目， $n(t)$  是白色高斯雜訊(AWGN)， $\tau_k$  是第  $k$  個使用者的傳輸延遲， $x_k(t)$  為第  $k$  個使用者的傳輸訊號，以 3.2 式表示

$$x_k(t) = \sum_{m=-\infty}^{\infty} d_k(m) \sum_{j=0}^{L-1} c_k(j) p(t - jT_c - mT_b) \quad (3.2)$$

$\{d_k\}$  是第  $k$  個使用者的訊息序列， $d_k(m) = \pm 1$ ， $\{c_k\}$  為第  $k$  個使用者的展頻序列，同樣  $c_k(j) = \pm 1$ ， $L$  為碼長度， $p(t)$  為方波 pulse shaping filter， $T_c$  為一個切片時間， $T_b$  為  $LT_c$  的時間。此基頻接收訊號在接收端會先以一個切片速率取樣而形成 3.3 式序列

$$r(n) = \sum_{k=1}^K \sum_{m=-\infty}^{\infty} d_k(m) \sum_{j=0}^{L-1} c_k(j) p(n - j - \gamma_k - mT_b) + n(n) \quad (3.3)$$

此處我們假設每一使用者傳輸延遲為切片時間的整數倍，使得  $\tau_k = \gamma_k$ ， $\gamma_k \in \{0, 1, 2, \dots, L-1\}$ 。

### 3.2.2 系統描述(system Description)

碼擷取的主要目的為從接收訊號中估測主要欲接收使用者(desired user)的傳輸延遲  $\gamma_1$ ，傳統的碼擷取策略(serial、parallel search、DMF)是次最佳化的技術，因為忽略了多重使用者的干擾，但是如果利用適應性濾波器(AF)，因採用 MMSE



理論，將干擾降至最低。適應性濾波器搜尋(adaptive filter search)的演算法為利用 FIR adaptive filter(AF)的係數權重向量(tap weight vector)來估測延遲偏移。

此適應性濾波器碼擷取方塊圖如圖 3.7 所示。AF 的輸入訊號為欲接收使用者的展頻碼，接收訊號經過取樣後的序列  $r(n)$ (3.3)當作 AF 的參考訊號(reference signal)，

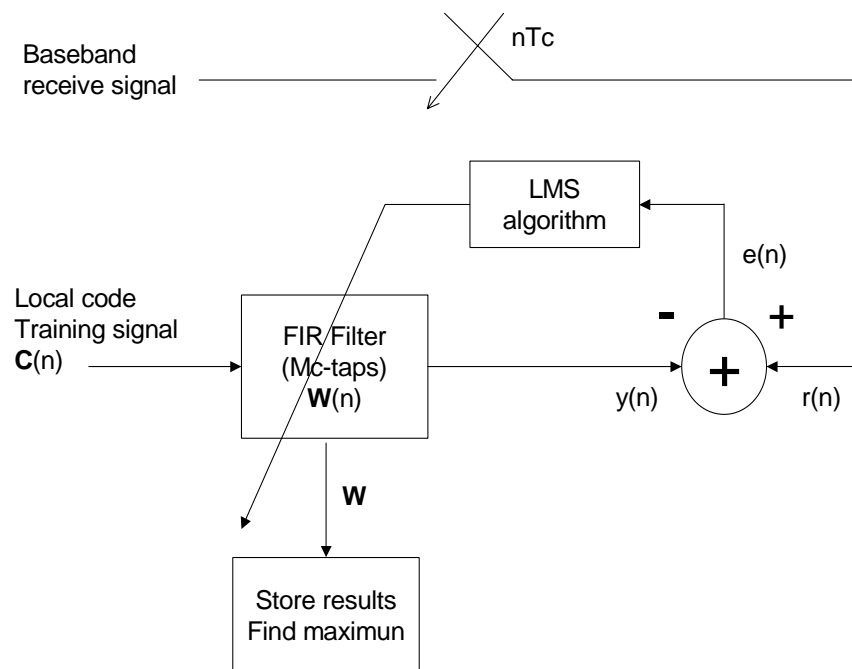


圖 3.7 Block diagram for the MMSE adaptive acquisition system

此適應性濾波器的係數權重向量(filter tap weight vector)經由 LMS(least mean square)演算法調整，以求能夠達到濾波器輸出值( $y(n)$ )和參考值( $r(n)$ )有最小平均平方差(MMSE)，以下為 LMS 的基本演算法：

◆ 適應性濾波器輸出：

$$y(n) = \underline{w}^T(n) * \underline{c}(n) \quad (3.4)$$

◆ 估測錯誤訊號：

$$e(n) = r(n) - y(n) \quad (3.5)$$

◆ 濾波器係數調整:

$$\underline{w}(n+1) = \underline{w}(n) + \mu * e(n) * \underline{c}(n) \quad (3.6)$$

此  $\underline{w}(n) = [w_0(n) \ w_1(n) \ \dots \ w_{M_c-1}(n)]$  是此濾波器的係數向量表示式，下標的符號  $0, 1, 2, \dots, M_c - 1$  是係數碼數 (tap number)， $\mu$  是此濾波器的步階尺寸 (step size) 控制此濾波器的收斂速度及穩態 (steady state) 時平均平方差 (MSE)。當最佳化時此 AF 的權重向量為

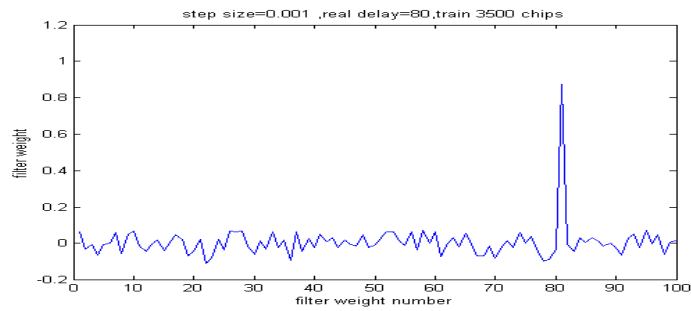
$$\underline{w}_{opt}^l = R^{-1} \underline{P}^l \quad (3.7)$$

此處  $R = E\{\underline{c}(n)\underline{c}^T(n)\}$ ，是一 AF 輸入訊號  $M_c \times M_c$  的自身關聯矩陣 (auto-correlation matrix)， $\underline{P}^l$  為 AF 輸入訊號 ( $\underline{c}(n)$ ) 及參考訊號 ( $r(i)$ ) 的交互關聯向量。從 (3.1) 可觀察出 AF 是一延遲濾波器，對此 AF tap weight vector 只有當正確的延遲位置才会有極大值，其餘的值均很小，一般如 3.8 式表示

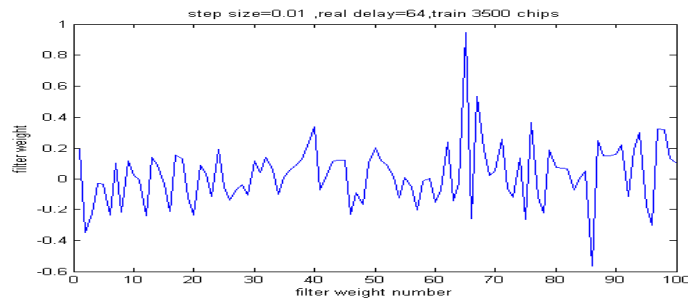
$$w_{opt,k} = \begin{cases} A & k = \gamma_1 \\ 0 & others \end{cases} \quad (3.8)$$

所以估測策略為當此濾波器係數最佳化後，選擇最大係數的 tap，此 tap number 即為估測傳輸延遲，所以此 AF 可以估測  $M_c$  切片的碼延遲，如果搜尋最大延遲 ( $V$ ) 大於此 AF 的 tap 數 ( $M_c$ )，可將  $V$  劃分成數個單位 (cell)  $C$ ，採用串列形式，前  $M_c$  延遲沒能達成同步，再搜尋下一  $M_c$  延遲，一直持續下去，直到搜尋完  $C$  個單位，但如還未能搜尋到正確同步位置，則必須重新搜尋一次。

圖 3.8 為一模擬的結果，當 step size 不同時，由此可以看出穩態時濾波器係數向量的權重大小不同，由圖可很明顯看出，此技術可有效估測出延遲偏移，且 Mohamed G. [6] 證明，採用適應性濾波器搜尋法可大大降低 MAI 的干擾，也就是說在大的 MAI 情況下，此技術有不錯的效能。



(a) Step size =0.001



(b) step size=0.01

圖 3. 8 Adaptive filter weight vector for different step size

圖 3.8 也可觀察出，當 step size 較小，會有較好的估測效能，因為在相同訓練時間下，濾波器係數的變異數(variance)較小，反之變異數較大，此就非常有可能造成濾波器其餘權重值( $w_i, i \neq d; d = \text{real delay}$ )大於真實延遲權重值( $w_d$ )，而造成估測錯誤，不過選擇 step size 太小，要達到穩態時的時間就會變大，使的碼擷取時間拉長，所以 step size 的取捨，是碼擷取效能及碼擷取時間的取捨。

採用 AF 法搜尋碼傳輸延遲偏移，所需的硬體複雜度視所用的 tap 數而定，如果使用較低的 tap 數( $M_c$ )，則一個 AF 的硬體複雜度就會較低，但所要劃分的單位數就會越多，造成搜尋時間變長，所以此也需要作就硬體複雜度和搜尋時間上做取捨。

### 3.3 DFT 碼擷取技術[11]

完整的通訊系統在傳送端會有震盪器震盪出高頻載波，將訊號載上高頻，而

接收端也用震盪器產生相同頻率高頻訊號將接收訊號降到基頻，但是一般震盪器會有一點飄移的現象，一般為 3ppm 到 12ppm，以 3G 系統所使用約 2G Hz 頻帶計算，頻率飄移量約 6k 到 24k Hz，這對一般碼擷取系統甚至對解展頻都會造成很嚴重影響，當有未知頻率偏移情況下，利用 MF 碼擷取技術，當達成同步時，MF 的輸出值(auto-correlation value)會是一頻率的函數，假設使用非同相系統，且已達成同步情況下 MF 的輸出值如以下式子所示[20]：

$$E[Z^{(I)}] = \sum_{n=1}^L \sqrt{E_c} * \Phi\{\cos[2 * \pi * (\Delta f)t + \Theta]\} |_{t=nT_c} \quad (3.9)$$

$$E[Z^{(Q)}] = \sum_{n=1}^L \sqrt{E_c} * \Phi\{\sin[2 * \pi * (\Delta f)t + \Theta]\} |_{t=nT_c} \quad (3.10)$$

此  $E[Z^{(I)}]$ 、 $E[Z^{(Q)}]$  為 MF 實部及虛部輸出的平均值， $E_c$  為切片能量， $\Phi\{\cdot\}$  為 MF 的運算函數， $\Delta f$  為頻率偏一量， $\Theta$  為未知相位， $L$  為碼長度，假設此為有限時間(time-limited)及有限頻帶(band-limited)的濾波器，其運算函數為積分整個切片時間，因此

$$\begin{aligned} E[Z^{(I)}] &= \sqrt{E_c} \sum_{n=1}^L \int_{(n-1)T_c}^{nT_c} \cos[2\pi(\Delta f)t + \Theta] dt / T_c \\ &= \sqrt{E_c} \int_0^{LT_c} \cos[2\pi(\Delta f)t + \Theta] dt / T_c \\ &= \sqrt{E_c} \left[ \frac{\sin[2\pi L(\Delta f)T_c]}{2\pi\Delta f T_c} \cos\Theta - \frac{1 - \cos[2\pi L(\Delta f)T_c]}{2\pi\Delta f T_c} \sin\Theta \right] \end{aligned} \quad (3.11)$$

同樣的

$$\begin{aligned} E[Z^{(Q)}] &= \sqrt{E_c} \int_0^{LT_c} \sin[2\pi(\Delta f)t + \Theta] dt / T_c \\ &= \sqrt{E_c} \left[ \frac{1 - \cos(2\pi L(\Delta f)T_c)}{2\pi\Delta f T_c} \cos\Theta + \frac{\sin(2\pi L\Delta f T_c)}{2\pi\Delta f T_c} \sin\Theta \right] \end{aligned} \quad (3.12)$$

整體非同相(non-coherent)匹配濾波器輸出值  $Z$

$$Z = [Z^{(I)}]^2 + [Z^{(Q)}]^2 \quad (3.13)$$

將 I、Q 分別取平方後相加，會有些項被消除，僅剩下兩項

$$\begin{aligned}
 Z &= E_c \left\{ \left[ \frac{\sin(2\pi L \Delta f T_c)}{2\pi \Delta f T_c} \right]^2 + \left[ \frac{1 - \cos(2\pi L \Delta f T_c)}{2\pi \Delta f T_c} \right]^2 \right\} \\
 &= E_c \left[ \frac{2 - 2 \cos(2\pi L \Delta f T_c)}{(2\pi \Delta f T_c)^2} \right] \\
 &= E_c \left[ \frac{2 \times \sin^2(\pi L \Delta f T_c)}{(2\pi \Delta f T_c)^2} \right] \\
 &= E_c L^2 \left[ \frac{\sin(\pi L \Delta f T_c)}{\pi L \Delta f T_c} \right]^2
 \end{aligned} \tag{3.14}$$

為了能夠較清楚解釋頻率偏移對匹配濾波器輸出的影響(frequency response of MF)，特別定義了正規化關聯值增益 G(normalized correlation gain)，當沒有頻率偏移情況下，增益值為 1，有頻率誤差下，G 值定義為

$$G = \left[ \frac{\sin(\pi L \Delta f T_c)}{\pi L \Delta f T_c} \right]^2 \tag{3.15}$$

假設以 3G-W-CDMA 系統標準規格來說，切片速率 3.84 M chip/s ( $T_c = 0.26 \mu\text{s}$ )，碼長 256 切片(N=256)，圖 3.9 為此複數 MF 輸出值的頻率響應圖。

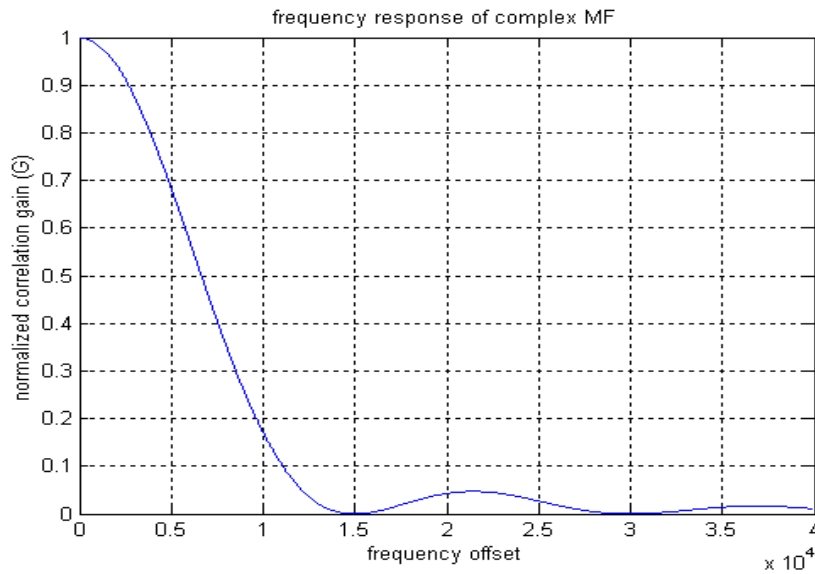


圖 3.9 Normalized G for W-CDMA chip rate

圖 3.9 所示，當頻率飄移大於 5K Hz，且在低訊號雜訊比下，碼擷取的效能會大大的衰減，所以 R.A. Stirling-Gallacher[9]提出利用部分 MF(partial MF) 再配合 DFT 技術，達成在頻率飄移環境下快速的碼擷取，系統方塊圖如圖 3.10 所示。系統包含了 N 個長度為 x 的複數 MF，使得  $L = N \times x$ ，N 個 MF 的輸出結果再輸入給 N 點的 DFT，之後再選擇 N 點 DFT 輸出頻率腳位中最大值，此值大於先前已定義好的臨界值，則達成同步，獲的碼傳輸延遲，小於臨界值則繼續搜尋下一相位。

當傳送端和接收端沒有頻率誤差下，則 N 個 MF 輸出值總是有一樣的相位，因此 DFT 的輸出最大值為 DFT 的第一根腳位，表示 0 Hz 的頻率偏移，當接收訊號和本地震盪器的頻率差越大，則鄰近 MF 輸出值得相位差也會越大，使得 DFT 輸出最大值腳位可能落在第二根甚至第三、第四根。

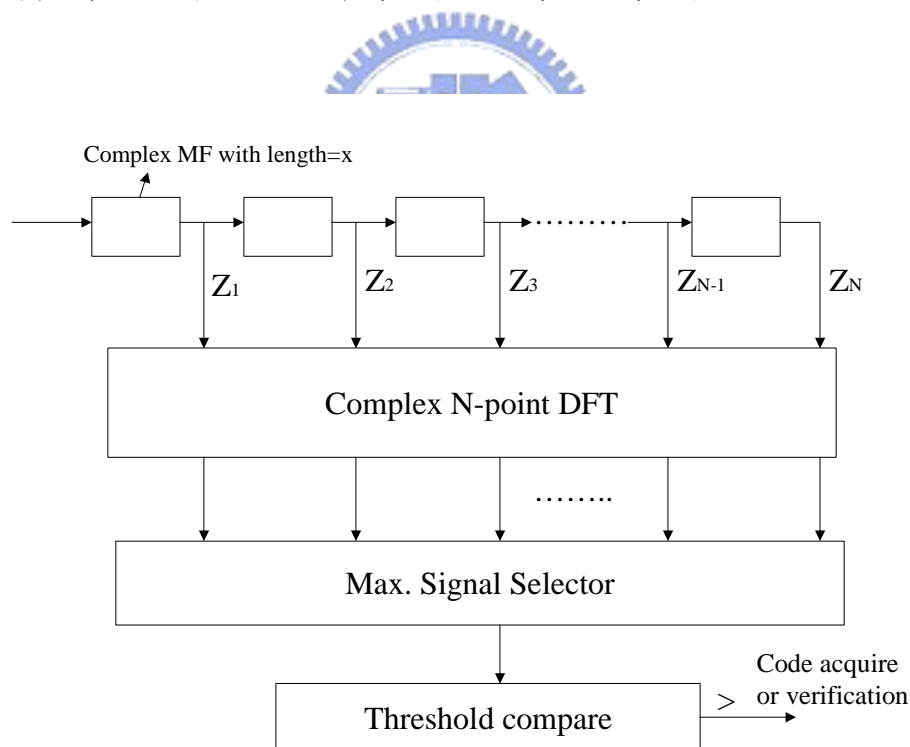


圖 3. 10 FFT system

早期碼擷取技術只搜尋時間上延遲，沒有估測頻率偏移，此 DFT 架構搜尋技術將碼擷取視為二維空間搜尋，區分為時間及頻率搜尋，以  $N=8$  及最大搜

尋 128 切片延遲為例，共可分為 1024 個單位(cell)，只有一個單位為正確的時間延遲及頻率偏移，如圖 3.11 所示。就 DFT 解析度(resolution)討論， $\Delta f = f_s / N$ ， $f_s$  為進入 DFT 的取樣頻率，假設碼長度為 256，分成 8 塊(N=8)，則  $x=256/8=32$ ，以 W-CDMA 系統規格而定，切片速率為 3.84 M cps/s，則進入 DFT 的等效取樣頻率  $f_s = 3.84 / 32 = 120000$ ，因此

$$\Delta f = f_s / N = 120000 / 8 = 15000 \text{ Hz} \quad (3.16)$$

則此 DFT 所估測頻率偏移只有固定幾個值，0、15k、30k 等，和實際震盪器誤差所造成頻率偏移值(6k~24k Hz)會有很大差距，所以一般此法只會用於在高頻率偏移下傳輸延遲估測。

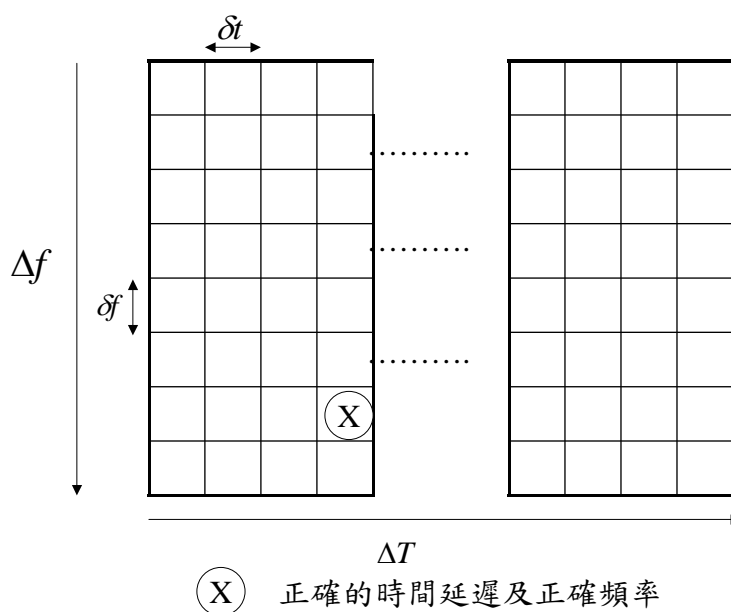


圖 3.11 Acquisition cells for DFT structure

## 第四章 結合碼擷取及頻率估測新架構

由於特殊的前序碼結構，傳統匹配濾波器(matched filter)碼擷取架構需要很高的計算複雜度，吾人將使用快速哈達馬轉換(fast Hadamard-Walsh transform)的快速碼擷取系統來解決這個問題，並結合 M&M 頻率估測架構，當高頻率偏移下，也能夠有不錯碼擷取效能，且比 DFT 法更準確估測出頻率偏移，並且最重要的，此架構只有在最後 M&M 頻率估測時會使用很少數的乘法器，其餘均是使用加減法器，因此硬體等效邏輯閘數(gate count)可以有效降低。

### 4.1 哈達馬轉換

在前一章中我們提到了前序碼是由長度為 16 的 Walsh-Hadamard code 所組成，所以我們在做碼擷取時可以使用哈達馬轉換來計算相關值(correlation)。使用哈達馬轉換的好處是其已經有快速的演算法可使用，稱為快速哈達馬轉換(FHT)。使用快速哈達馬轉換可以大幅的降低相關值計算時的運算複雜度。

#### 4.1.1 哈達馬矩陣的建立

哈達馬矩陣建立最簡單的方法就是使用 square Sylvester construction. 首先建立最基礎的矩陣為

$$H_1 = \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \quad (4.1)$$



假如將上式中的 $\mathbf{H}_1$  乘上一個 $2 \times 1$ 的向量 ( $\mathbf{x} = [x_0 \ x_1]^T$ )，我們可以求得 $\mathbf{x}$ 的兩個元素的和與差，這個結果就是向量 $\mathbf{x}$ 的兩點哈達馬轉換，使  $\mathbf{y} = \mathbf{H}_1\mathbf{x}$ ，可以得到以下結果

$$\begin{bmatrix} y_0 \\ y_1 \end{bmatrix} = \begin{bmatrix} x_0 + x_1 \\ x_0 - x_1 \end{bmatrix} \quad (4.2)$$

Sylvester的建構法能用遞迴的方式產生較高階的哈達馬矩陣。舉例來說，要產生 $4 \times 4$  哈達馬矩陣  $\mathbf{H}_2$ ，只要將  $\mathbf{H}_1$ 裡的每一個 1 替換成 $\mathbf{H}_1$ 即可：

$$\begin{aligned} H_2 &= \begin{bmatrix} +H_1 & +H_1 \\ +H_1 & -H_1 \end{bmatrix} \\ &= \begin{bmatrix} + & + & + & + \\ + & - & + & - \\ + & + & - & - \\ + & - & - & + \end{bmatrix} \end{aligned} \quad (4.3)$$

為了表示的方便，每一個加號“+”代表 +1 的值，而每一個減號“-”則代表-1 的值。只要重複上述替換的動作，就可以成功的產生較高階的矩陣。例如要產生一個 $8 \times 8$ 的矩陣，我們可以將 $\mathbf{H}_1$ 裡的每一個 1 替換成 $\mathbf{H}_2$ ，即可獲得 $\mathbf{H}_3$ 。其結果如式 4.4 所示。

對於每一個整數 $n$ ，第 $n$  階的哈達馬矩陣為 $\mathbf{H}_n$ ，它的維度為 $N \times N$ ，而 $N = 2^n$ 。我們總是可以從 $\mathbf{H}_{n-1}$ 求得 $\mathbf{H}_n$  使用遞迴的運算 $\mathbf{H}_n = \mathbf{H}_1 \star \mathbf{H}_{n-1}$ ，並將 $\mathbf{H}_1$ 裡的每一個 +/- 元素置換成 $\pm \mathbf{H}_{n-1}$ 。其中 $\star$ 為Kronecker product。

使用上述的方法來產生 $\mathbf{H}_n$ ，我們必須先產生較低階的矩陣，這樣將會花上一些時間。所以仍然需要一些方法可以直接的產生我們所想要的 $\mathbf{H}_n$ 。其中一種方法使用了二進位記數矩陣(binary counting matrix)  $\mathbf{B}_n$ 來解決這個問題。 $\mathbf{B}_n$ 的每

$$\begin{aligned}
H_3 &= \begin{bmatrix} +H_2 & +H_2 \\ +H_2 & -H_2 \end{bmatrix} \\
&= \begin{bmatrix} +H_1 & +H_1 & +H_1 & +H_1 \\ +H_1 & -H_1 & +H_1 & -H_1 \\ +H_1 & +H_1 & -H_1 & -H_1 \\ +H_1 & -H_1 & -H_1 & +H_1 \end{bmatrix} \\
&= \begin{bmatrix} + & + & + & + & + & + & + & + \\ + & - & + & - & + & - & + & - \\ + & + & - & - & + & + & - & - \\ + & - & - & + & + & - & - & + \\ + & + & + & + & - & - & - & - \\ + & - & + & - & - & + & - & + \\ + & + & - & - & - & - & + & + \\ + & - & - & + & - & + & + & - \end{bmatrix}
\end{aligned} \tag{4.4}$$

一列的二進位值會從 0 到  $N-1$  ( $N=2^n$ ) 依序排列，每一個二進位數使用  $n$  位元，所以  $B_n$  將會是有  $2^n$  列及  $n$  行的矩陣。式 4.5 列出了前三項的 counting matrices：

$$B_1 = \begin{bmatrix} 0 \\ 1 \end{bmatrix}, B_2 = \begin{bmatrix} 0 & 0 \\ 0 & 1 \\ 1 & 0 \\ 1 & 1 \end{bmatrix}, B_3 = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 1 \\ 0 & 1 & 0 \\ 0 & 1 & 1 \\ 1 & 0 & 0 \\ 1 & 0 & 1 \\ 1 & 1 & 0 \\ 1 & 1 & 1 \end{bmatrix} \tag{4.5}$$

想要有第  $n$  階的哈達馬矩陣，我們可以簡單的求得  $H_n = B_n B_n^T$ ，然後將每一個 0 置換成 +1，每一個 1 置換成 -1 即可。例如

$$\begin{aligned}
H_1 &= B_1 \cdot B_1^T \\
&= \begin{bmatrix} 0 \\ 1 \end{bmatrix} \cdot [0 \ 1] \\
&= \begin{bmatrix} 0 & 0 \\ 0 & 1 \end{bmatrix} \Leftrightarrow \text{replace } [0,1] \text{ with } [+1,-1] \\
&= \begin{bmatrix} +1 & +1 \\ +1 & -1 \end{bmatrix}
\end{aligned} \tag{4.6}$$

### 4.1.2 哈達馬矩陣的特性

哈達馬矩陣擁有許多有用的特性，以下只列出其中較主要的：

1. 具有對稱性：哈達馬矩陣的第  $m$  列會相等於它的第  $m$  行。
2. 具有正交性：每兩列的內積(dot product)皆為零，且每兩行的內積也是為零。
3. 假如我們將其中兩行拿出來做比較，它們會有  $N/2$  個地方相同，當然也會有  $N/2$  個地方是不同的，因此它們間的 Hamming distance 為  $N/2$ 。此外，相同的部分有一半是皆為+1，而另一半是皆為-1。不同的部分有一半是(-1, +1)，而另一半為(+1, -1)。
4. 哈達馬矩陣的每一列(第一列除外)皆有  $N/2$  個+1 與  $N/2$  個-1。
5. 每個哈達馬矩陣的反矩陣為  $H_n^{-1} = (1/2^n)H_n$ 。

### 4.1.3 快速哈達馬轉換

當一個向量  $\mathbf{x}$  的維度為  $N = 2^n$  時，其哈達馬轉換可表示為  $\mathbf{y} = H_n \mathbf{x}$ 。因為哈達馬矩陣是由  $\pm 1$  所組成，所以只需要加法及減法的運算。假如  $\mathbf{x}$  裡的每一個構成

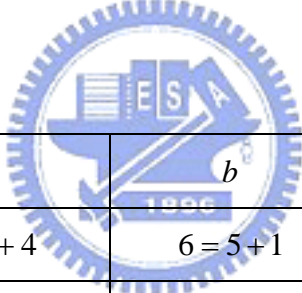
元素都是整數，哈達馬轉換的運算就不需要任何的浮點運算。而使用前述方法直接做矩陣相乘的話，在硬體實現方面將需要使用 $N^2 = 2^{2n}$ 個加減法器。

假如能夠運用之前所討論的對稱特性，將能減低運算的複雜度。在這裡我們使用快速哈達馬轉換(fast Hadamard transform)的演算法。使用此方法後將只需要 $N \cdot \log_2 N = n \cdot 2^n$ 個加減法器。快速哈達馬轉換的演算法過程如下：

1. 首先建構 $n+1$ 行，並使每一行有 $N = 2^n$ 列。
2. 將第一行置換成輸入向量  $\mathbf{x}$ 。
3. 從右向左移動，將下一行的值依下列步驟填入：
  - (a) 將下一行的上半部，置入前一行兩兩成對之間的互斥和。
  - (b) 對於下半部，則置入前一行兩兩成對之間的差。
4. 對於其他剩下的每一重皆重複步驟3的動作。
5. 最後一行的結果就是輸入向量  $\mathbf{x}$  的哈達馬轉換，也就是輸出向量  $\mathbf{y}$ 。

表 4.1 為一個 8-point 快速哈達馬轉換的範例。表格的上半部描訴了 8-point FHT 的計算方法，而下半部則是將一個輸入向量  $\mathbf{x} = [1 \ 4 \ -2 \ 3 \ 0 \ 1 \ 4 \ -1]$  代入第一行中並計算其結果。在這裡還有一點需要注意，那就是假如輸入向量  $\mathbf{x}$  剛好等於哈達馬矩陣  $\mathbf{H}$  的第  $m$  列，則輸出向量列  $\mathbf{y}$  將會為 0，這是因為哈達馬矩陣所具有的正交性所造成的。

$x$	$a$	$b$	$y$
$x_0$	$a_0 = x_0 + x_1$	$b_0 = a_0 + a_1$	$y_0 = b_0 + b_1$
$x_1$	$a_1 = x_2 + x_3$	$b_1 = a_2 + a_3$	$y_1 = b_2 + b_3$
$x_2$	$a_2 = x_4 + x_5$	$b_2 = a_4 + a_5$	$y_2 = b_4 + b_5$
$x_3$	$a_3 = x_6 + x_7$	$b_3 = a_6 + a_7$	$y_3 = b_6 + b_7$
$x_4$	$a_4 = x_0 - x_1$	$b_4 = a_0 - a_1$	$y_4 = b_0 - b_1$
$x_5$	$a_5 = x_2 - x_3$	$b_5 = a_2 - a_3$	$y_5 = b_2 - b_3$
$x_6$	$a_6 = x_4 - x_5$	$b_6 = a_4 - a_5$	$y_6 = b_4 - b_5$
$x_7$	$a_7 = x_6 - x_7$	$b_7 = a_6 - a_7$	$y_7 = b_6 - b_7$



$x$	$a$	$b$	$y$
1	$5 = 1 + 4$	$6 = 5 + 1$	$10 = 6 + 4$
4	$1 = -2 + 3$	$4 = 1 + 3$	$-4 = -8 + 4$
-2	$1 = 0 + 1$	$-8 = -3 - 5$	$2 = 4 - 2$
3	$3 = 4 - 1$	$4 = -1 + 5$	$-4 = 2 - 6$
0	$-3 = 1 - 4$	$4 = 5 - 1$	$2 = 6 - 4$
1	$-5 = -2 - 3$	$-2 = 1 - 3$	$-12 = -8 - 4$
4	$-1 = 0 - 1$	$2 = -3 + 5$	$6 = 4 + 2$
-1	$5 = 4 + 1$	$-6 = -1 - 5$	$8 = 2 + 6$

表 4.1 Calculation example for an 8-point FHT

## 4.2 應用 FHT 的快速碼擷取架構

由於上鏈的前序碼長度為 4096 個切片，使用匹配濾波器的碼擷取架構將需要 tap 數為  $4096 \times n$  的濾波器。 $n$  為 oversampling ratio。這樣所需要的硬體複雜度會相當的大。由於特殊的前序碼結構，有人提出如圖 4.1 之碼擷取結構，但是在有高頻率偏移的情況下，接收訊號的自身關聯性會有大幅的衰減。

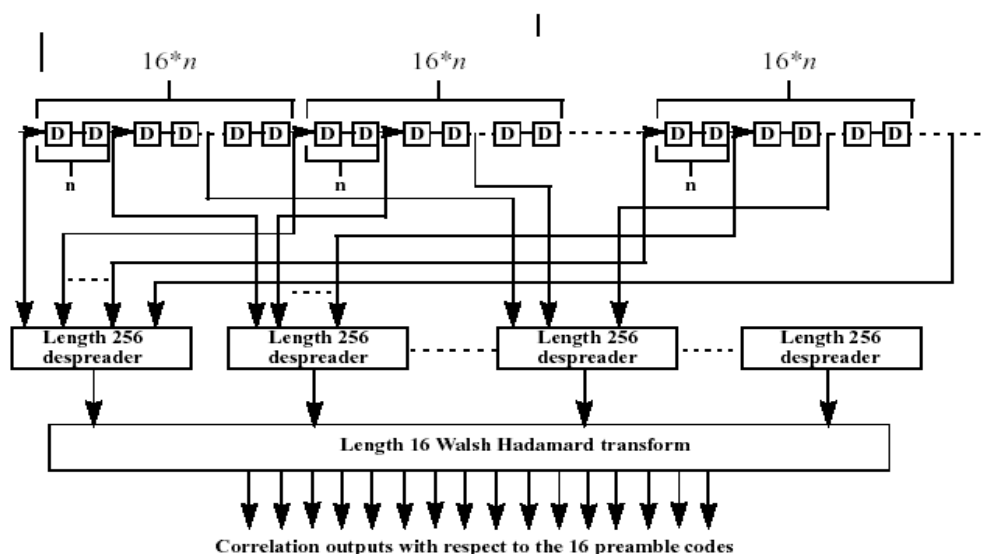


圖 4.1 the matched filter architecture acquisition

在 3.3 節已詳細推導當在頻移偏移下 MF 的輸出值，當頻率越高，或是 MF 的 tap 數(L)越大時，正規化關聯值 G 就會越小，碼擷取系統效能就越低，因為頻率偏移量是不可預知，所以無法控制，但是 MF 的 tap 數是碼擷取系統的一可變因數和碼擷取效能也有很大關係，表 4.2 列出以 3.84MHz 為切片速率，不同頻率偏移，及不同 MF tap 數所造成的 G 值。

L	G					
	$\Delta f = 1\text{kHz}$	$\Delta f = 5\text{kHz}$	$\Delta f = 10\text{kHz}$	$\Delta f = 15\text{kHz}$	$\Delta f = 20\text{kHz}$	$\Delta f = 25\text{kHz}$
16	0.9999	0.9986	0.9943	0.9873	0.9774	0.9649
32	0.9998	0.9943	0.9774	0.9497	0.912	0.8652
64	0.9991	0.9774	0.9119	0.8106	0.684	0.5446
128	0.9964	0.9119	0.6839	0.4053	0.171	0.0365
256	0.9855	0.6839	0.171	0	0.0427	0.0274

表 4.2 Normalized correlation gain due to frequency offset and L

由表 4.2 可看出，當高頻率偏移下此會造成很嚴重的衰減，但是如果將 L 值減小，則 G 值衰減情況並不明顯，但 L 值較小，則 MF 輸出極大值位置估測傳輸延遲，會較不準確。圖 4.2 之架構可解決此問題，原本切片數 M 再劃分成 P 塊區域，每塊為  $L=M/P$  切片，當然本地碼也劃分成 P 塊，利用 DMF 個別計算所接收到訊號和本地碼的部分自身關聯值如下：

$$X_k(n) = \sum_{i=L*(k-1)}^{L*k} r(n-i) * c_k^*(i) \quad (4.7)$$

此處  $k = \{1, 2, \dots, P\}$ ，n 為所搜尋的位置， $r(n)$  為接收訊號第 n 個時間點取樣值， $c_k(i)$  為第 k 塊的本地碼中第 i 元素。再將此 P 個值 ( $X_1 \sim X_P$ ) 以非同調 (non-coherent) 法相加 (個別取絕對質後相加)，以克服頻率偏移所造成關聯值的衰減。

$$R'(n) = \sum_{i=1}^P Z_i(n) = \sum_{i=1}^P |R_i(n)|^2 \quad (4.8)$$

最後再將此  $R'(n)$  值和臨界值比較，或是搜尋一段區域後尋找極大值的位置，均可在高頻率偏移下，較準確的估測出傳輸延遲。

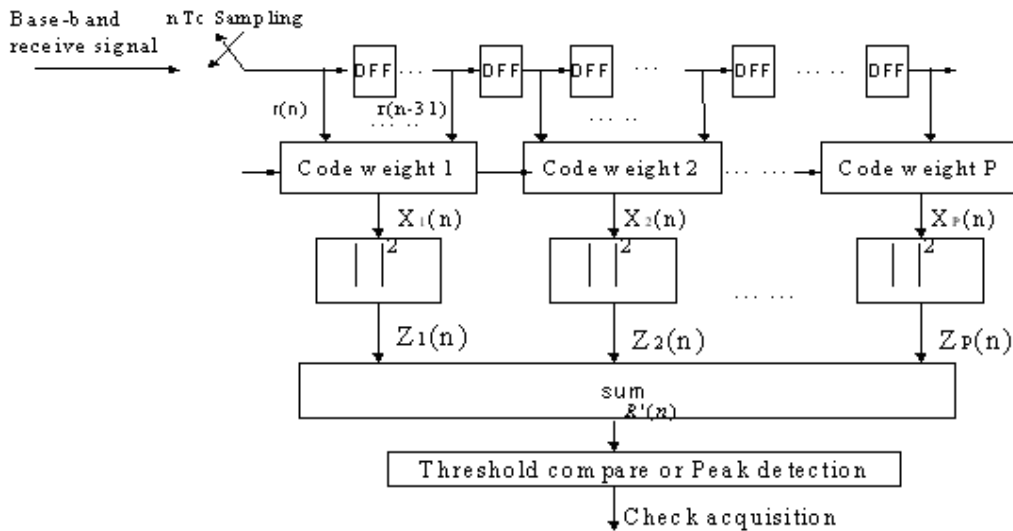


圖 4.2 Non-coherent combine of partial correlation

但是每一個使用者所用的前序碼不相同，所以必須一直替換 code weight 再重複搜尋的動作，因此會耗費相當多的時間。此外所需要的硬體複雜度也很大，而且不能同時估測出頻率偏移量，故提出一新的架構來減低運算的複雜度，並使能夠配合 M&M[14]法估測出頻率。此系統包含了 16-point 的 FHT，每個對應到不同的 16 個前序簽名，還包括了最大值選擇器、臨界值(threshold)比較的部分，以及頻率估測的部分。其系統架構如圖 4.3。

在實際的系統中，攪亂碼是被儲存在記憶體中。在運作的過程時，每 16 切片的資料會被讀出並與攪亂碼相乘，然後在送入 FHT 中處理，對於每一種可能的前序簽名經過哈達馬轉換後會經過平方器然後再送入累加器中，當累加的數目達到我們預設的值之後，即可將 16 對 I/Q 支線個別相加後得到  $Z_k$ ，而  $\hat{k}=1\cdots 16$ ，最後找出  $Z_k$  的最大值，再與我們預設的臨界值做比較。假如最大值超過臨界值，則已估測出傳輸延遲。否則的話就再進行下一個相位的檢測。

在這裡我們使用了雙重搜尋的策略。在第一個階段我們只計算部分前序碼的相關值，然後判斷是否大於預設的臨界值，假如小於臨界值則繼續搜尋下一個相位，假如大於臨界值的話就進入確認的階段，然後再計算更長區間的前序碼之相關值。在確認的階段裡，假如所算出的相關值大於預設更大的臨界值，則我們可認為已估測出傳輸延遲。在圖 4.3 中， $\xi_1$  是第一階段所使用的臨界值，而  $\xi_2$  是確認階段的臨界值。

當傳輸延遲估測出來以後，我們也就可以判斷使用者所使用的前序簽名，然後再進行頻率偏移的估測，這樣可以減低運算的複雜度。在傳輸延遲估測時我們可只使用前序碼的前 2048 切片，而剩餘的用來做頻率偏移的估測。首先採用 FHT 所輸出 P 個值  $X_1, X_2, \dots, X_p$ ，再計算自身關聯函數  $R(0)$ 、 $R(1)$ 、 $\dots$ 、 $R(P/2 - 1)$

$$R(\tau) = \sum_{i=\tau}^P X_i X_{i-\tau+1}^* \quad (4.9)$$

前述之非同調相加和  $R(0)$  是等效的，所以可以利用此計算出之  $R(0)$  來估測傳輸



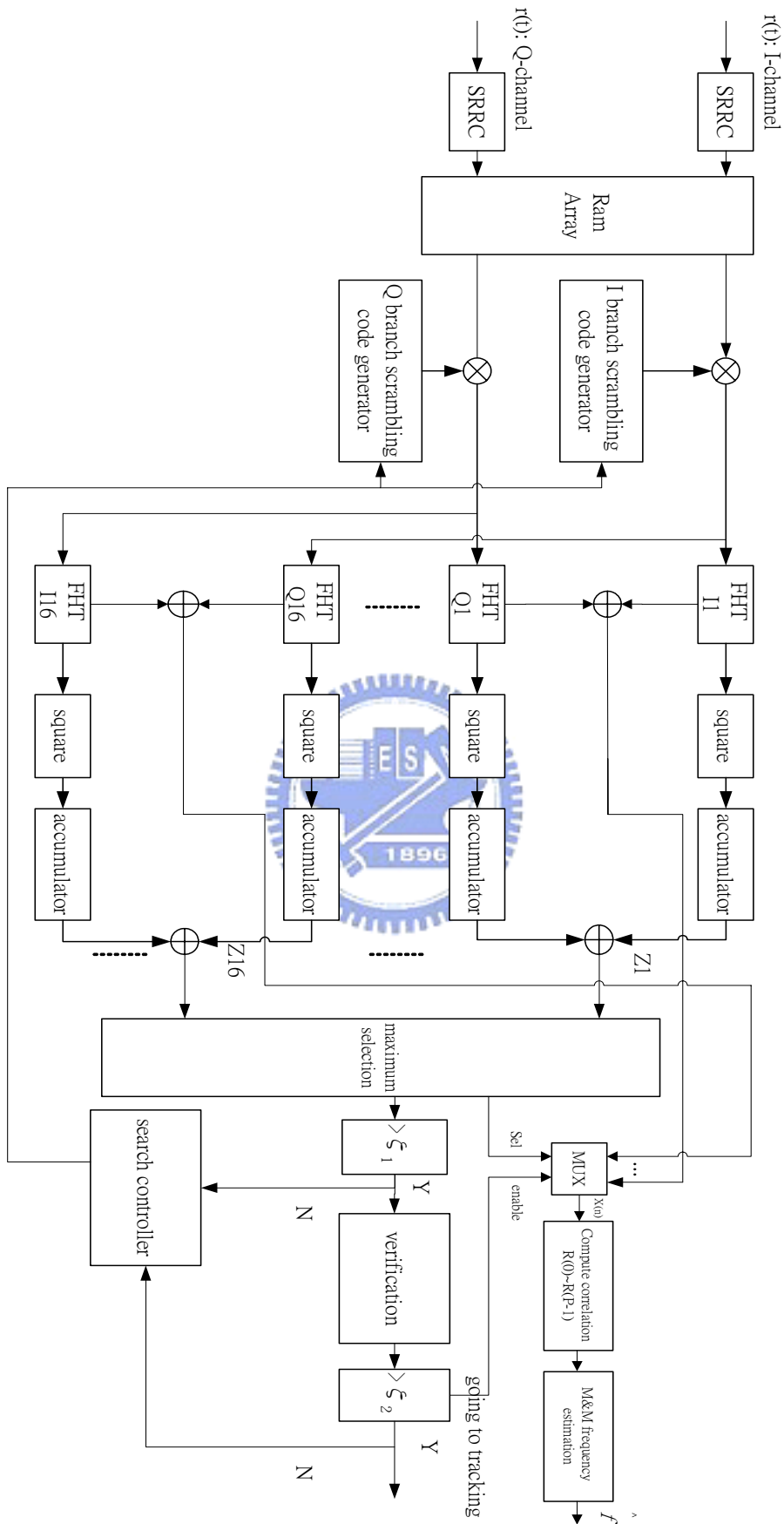


圖 4.3 An acquisition and frequency offset estimation system based on the FHT

延遲， $\hat{Y}$ 、 $\hat{f}$  分別為主要預估測使用者的傳輸延遲，及頻率偏移量。如將  $R(0)$  和  $R(1)$  已非同調相加後，再判斷臨界值，會有更好的傳輸延遲估測效能，此會在後面章節模擬驗證說明。此外也可以在每個 FHT 的輸出都增加一個累加器，這樣可增加部分 MF 的 tap 數，可以減少頻率偏移的運算量，但是相對的也會增加碼擷取的錯誤率。

### 4.3 M&M 頻率估測架構

一般頻率估測法可主要分為三種基礎法則，第一為最大可能性(maximum likelihood)演算法，此是最佳化的頻率估測法，但是也是最複雜，硬體複雜度最高的一種演算法，第二為最小平方(Least Square)演算法，此為最簡單，但是估測效能及可估測頻率範圍最小的演算法，第三為相關函數(correlation function)演算法，此架構複雜度低於最大可能性演算法，但是系統效能逼近最佳值。所以此處我們所提出之架構採用以相關函數為基礎的頻率估測技術，以相關函數為基礎的頻率估測主要有 Luise and Reggiannini (L&R)[26]，Fitz[27]和 Mengali and Morelli(M&M)[14]，其中以 M&M 有較好估測效能及較大估測範圍。

有頻率偏移下接收訊號經過積分取樣後，取樣點表示式如下

$$x(k) = c_k e^{j(2\pi f_d kT + \theta)} + n(k) \quad (4.10)$$

此處  $c_k$  為傳送碼訊號， $T$  為取樣時間， $f_d$  為頻率誤差， $\theta$  為相位誤差， $\{n(k)\}$  為複數 AWGN。因為  $c_k c_k^* = 1$  的特性，所以接收端可將訊號效應去除，經由乘上碼訊號的共軛複數  $c_k^*$  即可  $z(k) = x(k)c_k^*$ ，我們可得到

$$z(k) = e^{j(2\pi f_d kT + \theta)} + n(k)c_k^* \quad (4.11)$$

頻率估測演算法首先計算接收取樣訊號的相關值

$$R(m) = \sum_{k=m}^{S-1} z(k)z^*(k-m), \quad 1 \leq m \leq N \quad (4.12)$$

$S$  為接收訊號取樣點數， $N$  為設計的參數，但是  $N$  不可大於  $S/2$ ，為了詳細解釋

此演算法，從新排列 (4.11)，可得到  $z(k) = e^{j(2\pi f_d k T + \theta)} [1 + \tilde{n}(k)]$ ，  
 $\tilde{n}(k) = n(k) c_k^* e^{-j(2\pi f_d k T + \theta)}$  所以從 4.12 式可得

$$R(m) = e^{j(2\pi m f_d T)} [1 + \gamma(m)] \quad (4.13)$$

$\{\gamma(m)\}$  為雜訊成分，表示式為

$$\gamma(m) = \sum_{k=m}^{S-1} [\tilde{n}(k) + \tilde{n}^*(k-m) + \tilde{n}(k)\tilde{n}^*(k-m)] \quad (4.14)$$

所以將相關函數取角度可以得到

$$\arg\{R(m)\} \approx [2\pi m f_d T + \gamma(m)]_{2\pi} \quad (4.15)$$

此  $[x]_{2\pi}$  表將  $x$  值化減到  $\pi$  及  $-\pi$  之間，此(4.9)建立了  $f_d$  和  $\arg\{R(m)\}$  的關係利用  
 unwrap 序列代替原本  $\arg\{R(m)\}$ ，並且調整比重係數，我們可以得到

$$\phi(m) = \{\arg[R(m)R^*(m-1)]\} = \{\arg[R(m)] - \arg[R(m-1)]\}_{\pi}^{-\pi} \quad (4.16)$$

再配合利用 ML 估測器可以估測出頻率偏移  $\hat{f}_d$

$$\hat{f}_d = \frac{1}{2\pi T} \sum_{m=1}^N w(m) \phi(m) \quad (4.17)$$

此處  $w(m)$  為平滑函數(smoothing function)表示如以下 4.18 式

$$w(m) = \frac{3[(S-m)(S-m+1) - N(S-N)]}{N(4N^2 - 6NS + 3S^2 - 1)} \quad (4.18)$$

此 M&M 頻率估測法效能可以直逼 Modified Cramer-Rao bound，及可估測範圍高達  $0.2/T$ 。

以此頻率估測技術再配合上分塊 MF 結合成我們所提出的碼擷取及頻率估測，當然此頻率估測法一定是在已知訊號情況下，所以我們所提出架構也是當假設已達成碼同步後(MF 輸出值或是  $R(0)$ 大於臨界值)，才將訊號送入頻率估測器。頻率估測器需計算輸入訊號的自身關聯函數(4.6)，我們利用 Bussgang 定理[15]來降低關聯值之計算量，假設輸入訊號  $x(t)$  進入一非記憶系統 (memoryless system) 使得  $y(t) = g[x(t)]$ ，則計算  $x(t)$  及  $y(t)$  的交互關聯函數

(cross-correlation)  $R_{x,y}(\tau)$  會和  $x(t)$  的自身關聯函數  $R_{x,x}(\tau)$  成正比：

$$R_{x,y}(\tau) = KR_{x,x}(\tau) \quad \text{此 } K = E\{g'[x(t)]\} \quad (4.19)$$

假設定義  $g[x(t)] = \text{sign}[R(x(t))] + j * \text{sign}[I(x(t))]$ ，R、I 表實數部分及虛數部分，而

$$\text{sign}(a) = \begin{cases} 1 & \text{for } a \geq 0 \\ -1 & \text{for } a < 0 \end{cases} \quad (4.20)$$

則計算  $R_{x,y}(\tau)$  只需使用到加減法器取代乘法器，又  $R_{x,x}$  和  $R_{x,y}$  只相差一常數 K，所以對系統效能是沒有影響的，所以應用此 Bussgang 定理，會使硬體大大減小(乘法器在 ASIC 設計上比加法器複雜且所需 gate count 大許多)。

## 4.4 系統模擬

在這個小節，將就前述的快速碼擷取及頻率估測系統做模擬與分析。模擬的系統為 3G 中的 W-CDMA 系統，我們是依據 3GPP 中 FDD 模式的上鏈通道來做模擬，所模擬的實體通道其碼切片速率為 3.84Mcps，操作頻率為 2GHz。圖 4.4 為模擬不同 L 值在不同頻率偏移和碼擷取錯誤率的關係圖，L 值為部分 MF 的 tap 數，在此模擬所使用的碼長度皆為 2048 切片，切片 SNR 為 -12dB。由圖中可看出在頻率偏移越大環境下，越小的 L 值會有較好效能，這符合在 3.3 節所推導正規化相關值增益概念，但是當頻率偏移不很大時，越小的 L 反而會有較差的效能，那是因為 L 值越小，則每塊 MF 輸出的自身關聯函數特性沒有較完整碼那麼好，故效能較差。之前所敘述碼是否達成同步也可經由  $R(0)$  值大小來判斷，但是已知當達成碼同步時，理論上每塊 MF 的輸出值相關性很高，則  $R(0) \sim R(P/2 - 1)$  的值會較未達成碼同步時來的大，圖 4.5 為模擬將  $R(0)$  和  $R(1)$  以非同調相加的方法對不同 L 值在不同頻率偏移和碼擷取錯誤率的關係圖，由圖 4.4、4.5 比較可發現不管使用多大的 L 值，其碼擷取錯誤率皆下降了。為此四種架構對不同頻率偏移和碼擷取錯誤率的關係圖。

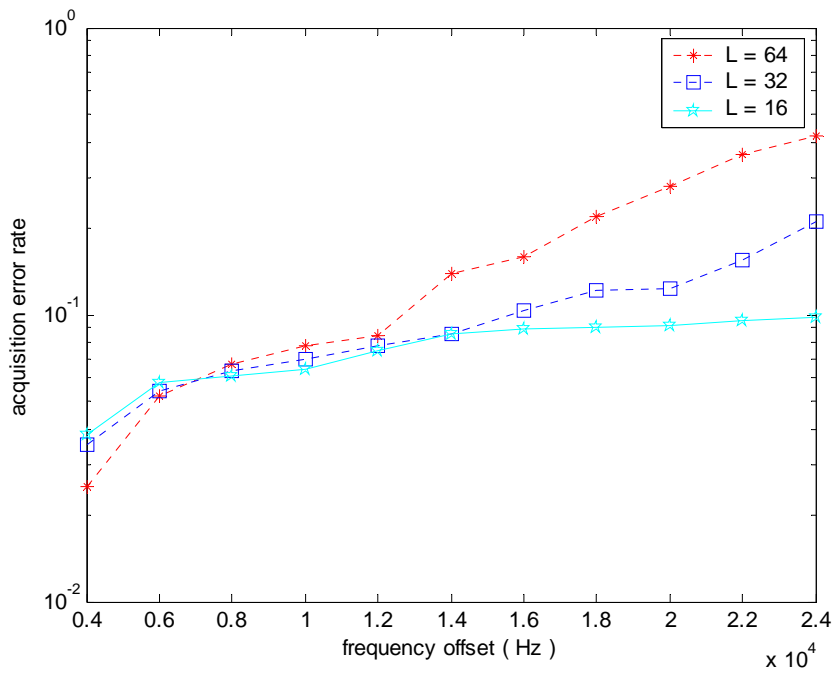


圖 4.4 Acquisition error rate v.s frequency offset for different L value

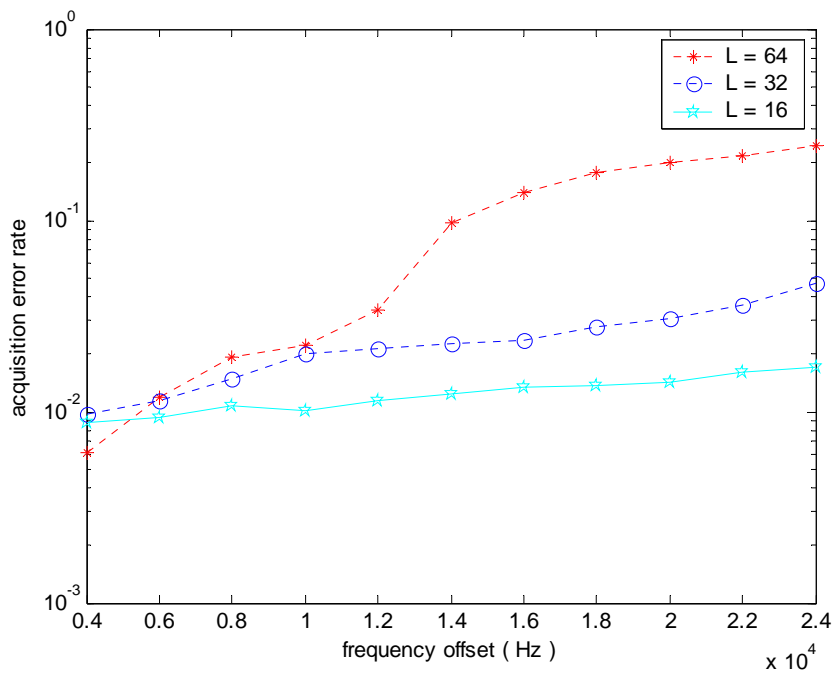
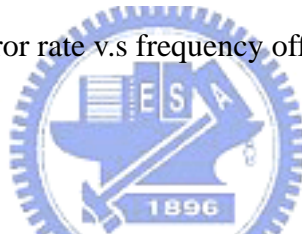


圖 4.5 Acquisition error rate vs. frequency offset using method R(0)+R(1)

接下來我們模擬比較利用方法(1)：R(0)、方法(2)：R(0)和 R(1)、方法(3)：R(0)~R(2)和方法(4)：R(0)~R(3)，來搜尋其極大值位置，其中方法(2)到方法(4)是以非同調相加，圖 4.6 圖 4.7 為模擬此四種架構對不同切片 SNR 和碼擷取錯誤率關係圖。以上兩個模擬所用的 L 值皆為 16，由圖 4.6、4.7 可驗證出如使用較多關聯值估測傳輸延遲，會有較好的性能，但受限於低切片 SNR 環境下，及計算相關函數的取樣值之點數，所以 R(3)以後的值雜訊效應很大，所以由圖中可很清楚看出，如只單獨使用 R(0)(法(1))效能會較使用法(2)差，法(2)又比法(3)差一點點，但是法(3)和法(4)的效能就差不多了，在實現架構上，可以採用法(2)架構實現，可減少數個加法器，只會犧牲一點系統效能，但較傳統架構只使用 R(0)碼擷取錯誤率小許多。

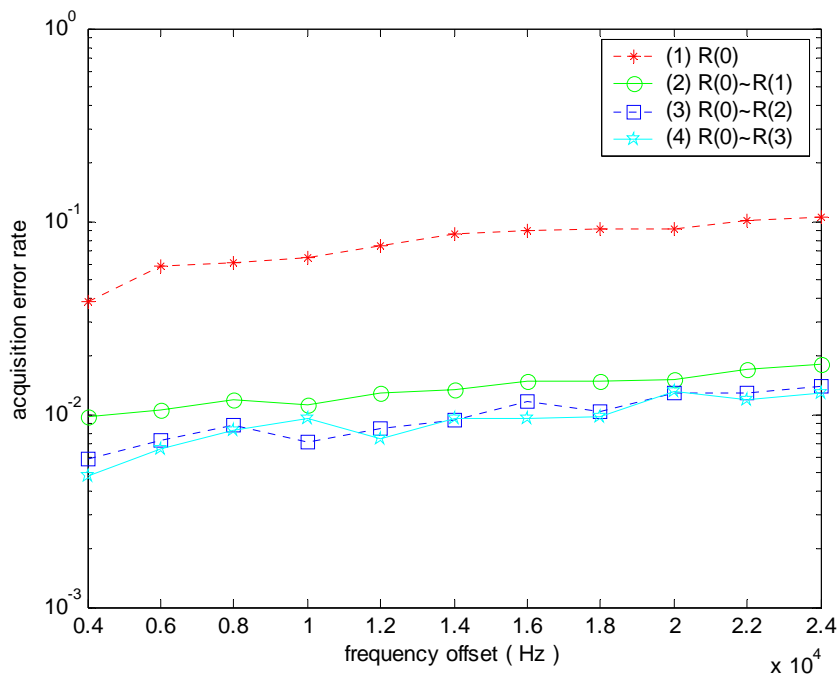


圖 4. 6 Acquisition error rate v.s frequency offset for using four kinds of different architecture(method (1)~(4)) , L=16

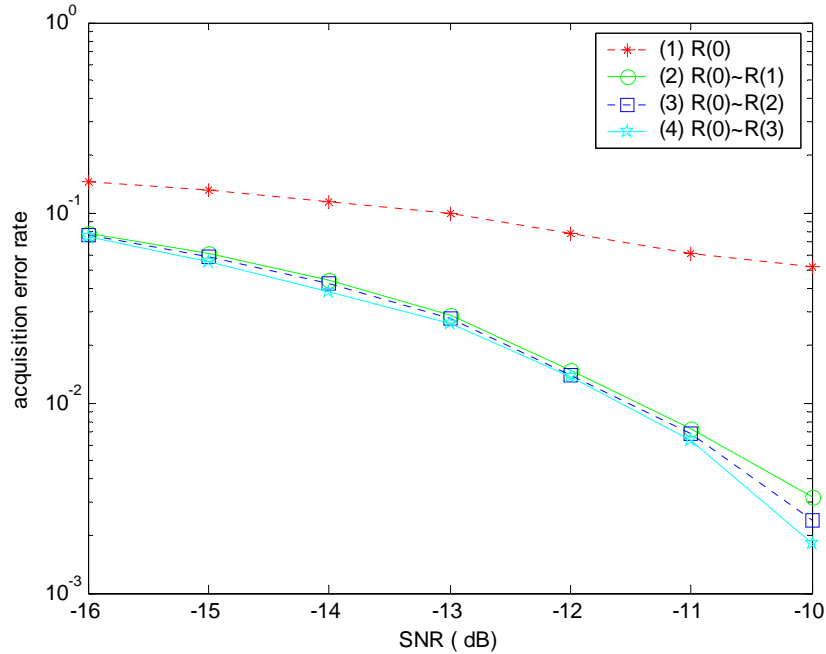


圖 4.7 Acquisition error rate v.s chip SNR for using four kinds of different architecture(method (1)~(4)),  $L=16$ , frequency offset = 15 kHz

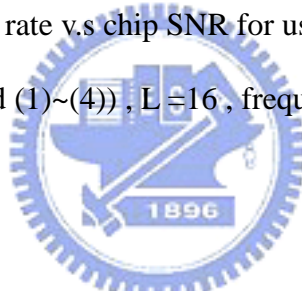


圖 4.8 為對我們所提出架構針對使用不同  $P$  值模擬估測頻率效能圖，模擬不同的頻率偏移下，所估測出的平均頻率，在此我們用來做頻偏估測的切片數為 256，如果使用  $P=16$ ，也就是分為 16 塊部分 MF，則可以計算 16 個相關值 ( $R(0)\sim R(15)$ )，在[14]中此定義為  $S=16$ ，則最多  $N=8$ ，如果使用  $P=8$ ，則  $S=8$ ， $N=4$ ，並且在已估測出傳輸延遲下再進入頻率估測器，此在[14]證明過，當使用的  $L$  值越大，或是  $N$  值越大，則會有越好的估測效能，由圖 4.8 可很明顯驗證此理論，當  $P=16$  時所估測出的平均頻率和實際頻率偏移誤差很小，但是當使用  $P=8$  時，則可以看到些許的誤差。圖 4.9 為比較使用不同碼長度時的切片 SNR 和碼擷取錯誤率關係模擬圖，由模擬結果很明顯觀察出，當使用越多的切片時，則碼錯誤率會越低，效能就越好，但是使用越多的切片來做相關值運算，則運算複雜度會相對的提高。圖 4.10 顯示在使用不同切片數時，所算出來的相關值，模擬

時的頻率偏移為 15kHz， $L=16$ 。圖 4.11 為比較使用不同切片數目時頻率偏移和碼擷取錯誤率關係模擬圖，圖 4.12 為估測頻率的正規化變異係數(normalize variance) $[\text{var}(\hat{f}_{T_c})]$ 模擬圖。從圖 4.12 看出當使用的切片數越多，則估測頻率的變異係數越小，換句話說就是所估測出頻率值變化差異較少。在圖 4.3 中，每個 FHT 的輸出都會送入平方器中，這樣將會需要用到乘法的運算，如果只將每個 FHT 的輸出取絕對值，則可以減少硬體等效邏輯閘的數目。圖 4.13 為在使用取絕對值方法下比較使用不同碼長度時的切片 SNR 和碼擷取錯誤率關係模擬圖。比較圖 4.9 與圖 4.13 可發現，對 FHT 的輸出求平方數方法的碼擷取錯誤率皆較取絕對值方法低，且當使用的碼長度越少時越明顯。

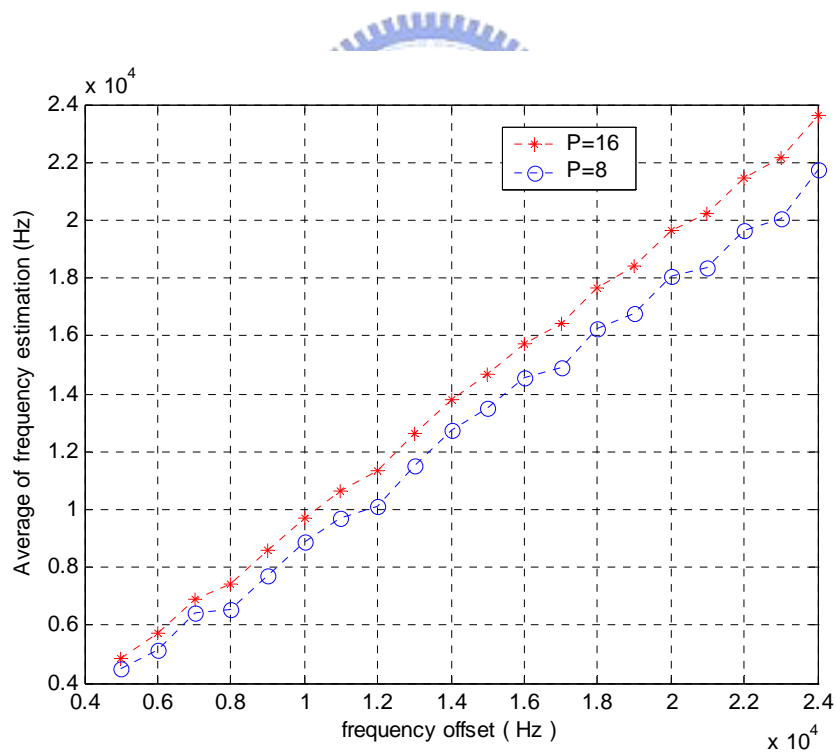


圖 4.8 Performance of frequency estimation for different P value



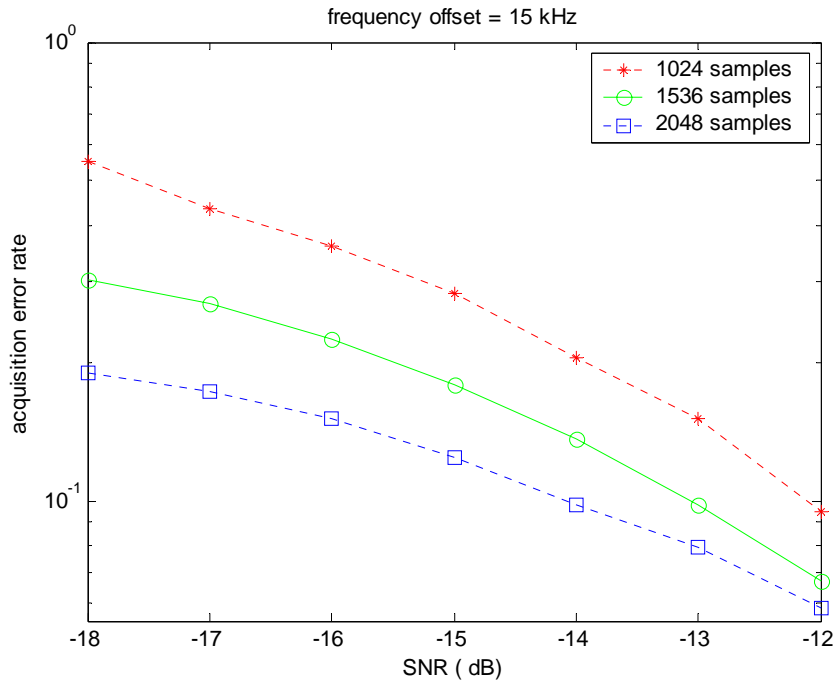


圖 4.9 Acquisition error rate v.s chip SNR for using different number of samples

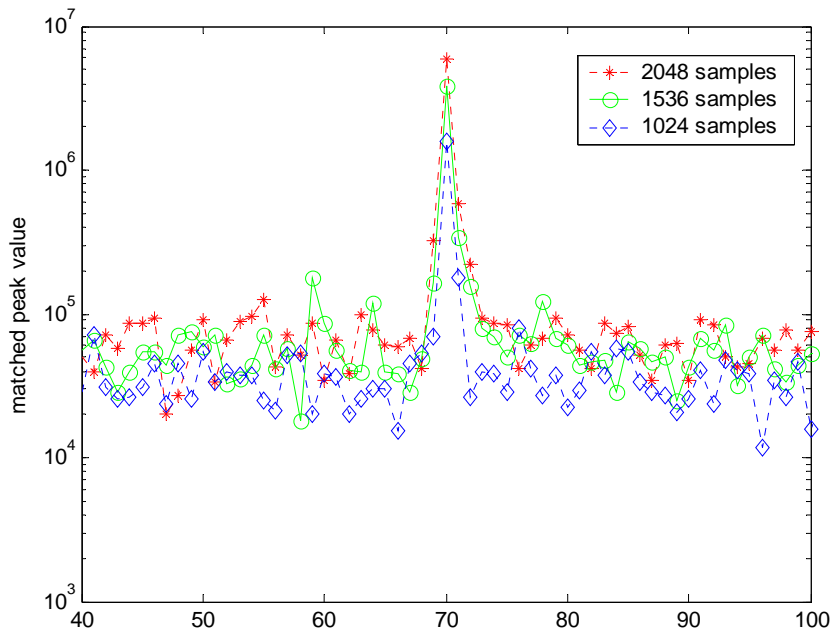


圖 4.10 Matched peak values of different number of samples

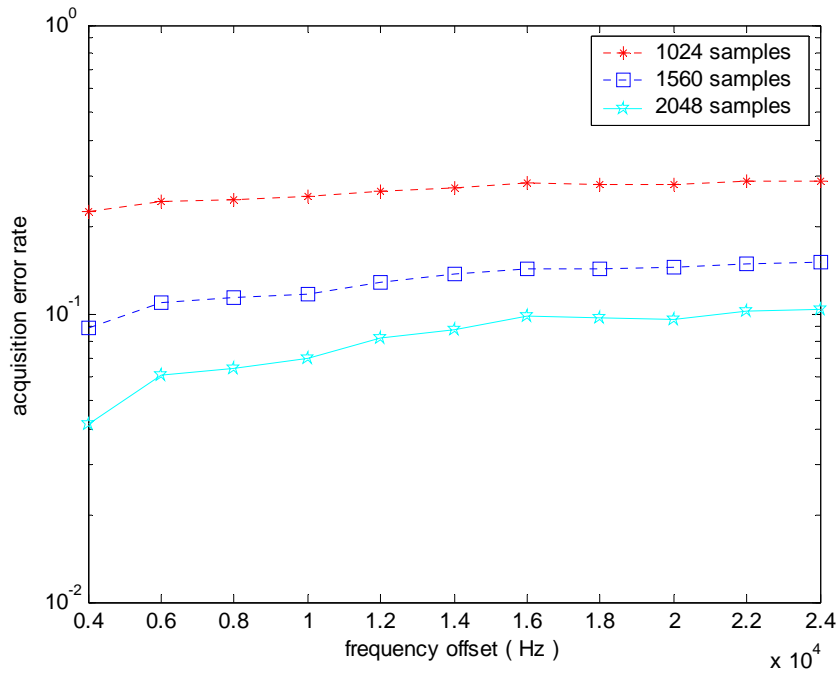


圖 4. 11 Acquisition error rate v.s frequency offset for using different number of samples, SNR = -12dB

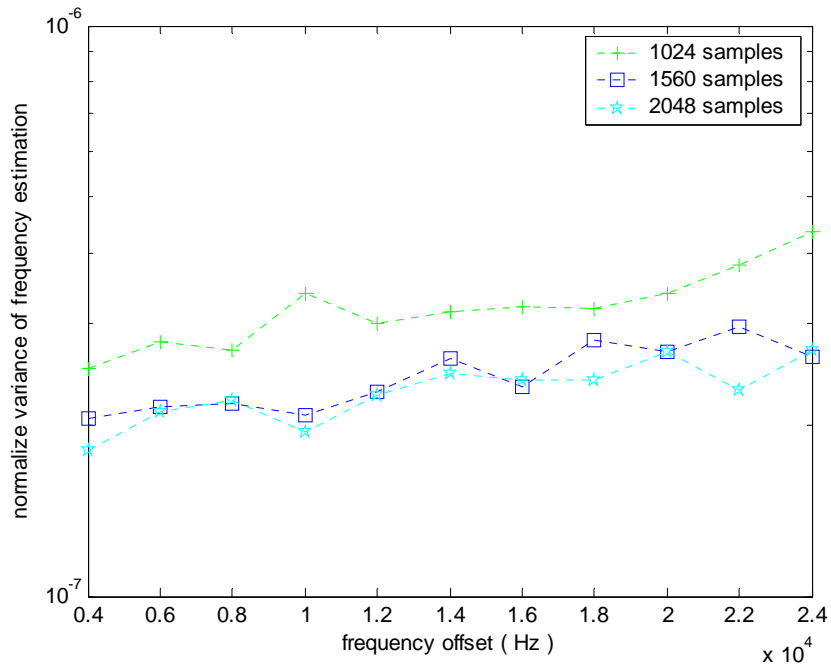


圖 4. 12 Normalized variance v.s frequency offset for using different number of samples

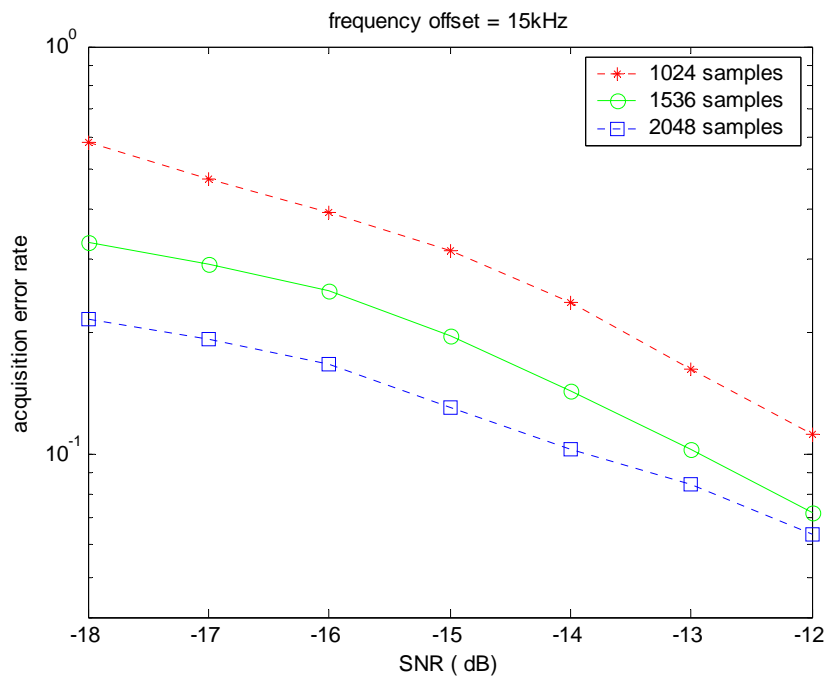
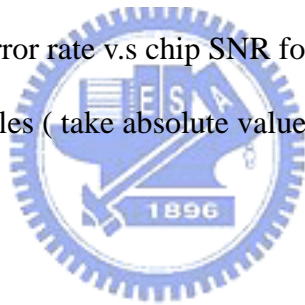


圖 4. 13 Acquisition error rate v.s chip SNR for using different number of samples ( take absolute value method )



# 第五章 FPGA 設計

在第四章中，吾人提出在 W-CDMA 系統下的快速碼擷取及頻率估測架構，在此章中將就此架構做硬體的設計以及運用 FPGA 來實現。首先先很簡短介紹什麼是 FPGA，再來介紹如何將所提架構做硬體設計實現。

## 5.1 FPGA 簡介

FPGA(Field Programmable Gate Array)是一種可規劃邏輯陣列 IC，具有以下幾個特點：

- 使用者可以隨意規劃任意邏輯電路。
- FPGA 元件可重複規劃使用。
- 可以快速製作使用者的電路，產品能夠快速上市。
- 所有 FPGA 元件無須再測試，亦可當作硬體模擬來代替軟體模擬使用。
- 具有完善的 EDA 軟體可配合使用。

以上的優點是 ASIC 所不及的，不過 FPGA 在速度上不如 ASIC 來的快速。且所容納邏輯閘數目也沒 ASIC 來的多，不過目前 FPGA 元件，因為製程及架構技術的進步，也有慢慢追上 ASIC 的趨勢。而利用商用數位訊號處理晶片(Commercial DSP IC)來將演算法實現成硬體，只需將寫好的程式以及初始資料寫入記憶體中就完成演算法的硬體電路實現，對於使用者想要實現一個演算法來說算是蠻方便的。在我們的設計中 I/Q 部分的 FHT 的 16 個輸出均會經過平方器再累加結果，因此在這部分每個時脈週期需要同時處理 128 個加減法以及 32 個乘累加的運算，而我們在這部分的操作頻率為取樣頻率的四倍，所以要使用非常高速的 DSP 晶片來達到我們的目標，花費將會很昂貴，因此我們使用 FPGA 來設計以降低成本。

一般常見的 FPGA 晶片主要有 Xilinx 與 Altera 兩家公司提供，且各自有專屬模擬程式，但本篇論文是以 Xilinx 所出 FPGA 晶片實現，故此簡短介紹 Xilinx 公司所提供的 FPGA 晶片。FPGA 內部架構分成數千個或是數萬個可規劃邏輯細胞(Configurable Logic Blocks：CLB)，每個邏輯細胞均連接至縱向網路與橫向網路，且其交會區均有切換單元(Switching Element)可規劃每個接點接通或是不接通，則利用 CLB 與橫縱嚮網線間切換單元的可規劃性就可以將 FPGA 元件規劃成使用者要求的線路。

FPGA 設計流程如圖 5.1 所示，首先將設計者的電路輸入 FPGA 中，輸入的方式可分成圖形化流程(Schematic Flow)，硬體描述語言編輯(HDL Editor)。將電路輸入後，接下來可做行為模擬(Beaver simulation)及合成後的函數模擬(Function simulation)，可以快速的了解所設計電路正確與否，並做修改更正，驗證函數功能正確後，就可做時序模擬(Timing simulation)，模擬所設計電路在燒入 FPGA 晶片後，所造成的邏輯延遲及繞線延遲是否符合所需，最後才將所設計電路燒入 FPGA 元件。FPGA 所有製作過程都可在個人電腦上完成，所以只需一部夠高速的個人電腦及簡單的下載設備就可以獨自從事設計工作。

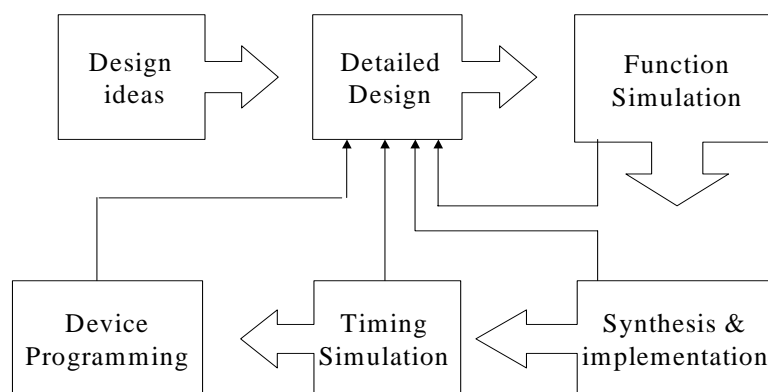


圖 5.1 FPGA design flow

## 5.2 實體隨機擷取頻道傳送器

我們首先設計一個簡單的 W-CDMA 系統實體隨機擷取頻道的傳送器。此傳送器包含了展頻的部分以及調變的部分。展頻的部分又可分乘前序碼與訊息兩部分。圖 5.2(a)和圖 5.2(b)為此兩部分的方塊圖。而調變的部分先將被調變的信號送入平方根上升餘弦濾波器(SRRC)，然後再經 QPSK 調變到 RF 頻段。此調變部分的方塊圖如圖 5.3 所示。

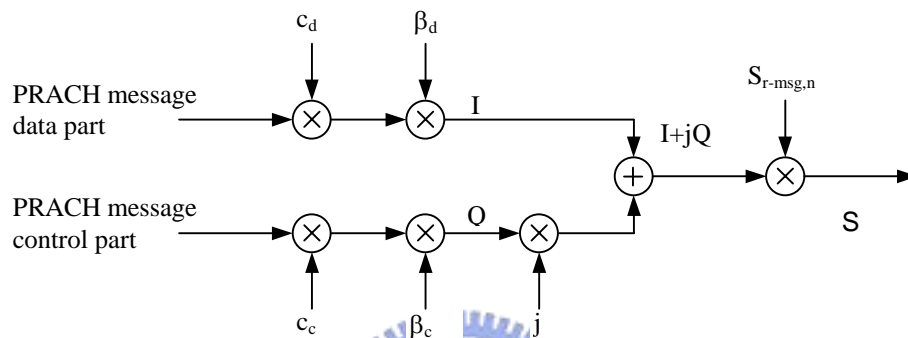


圖 5.2(a) Spreading of PRACH message part

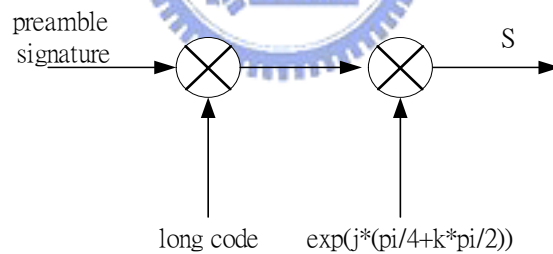


圖 5.2(b) Spreading of PRACH preamble part

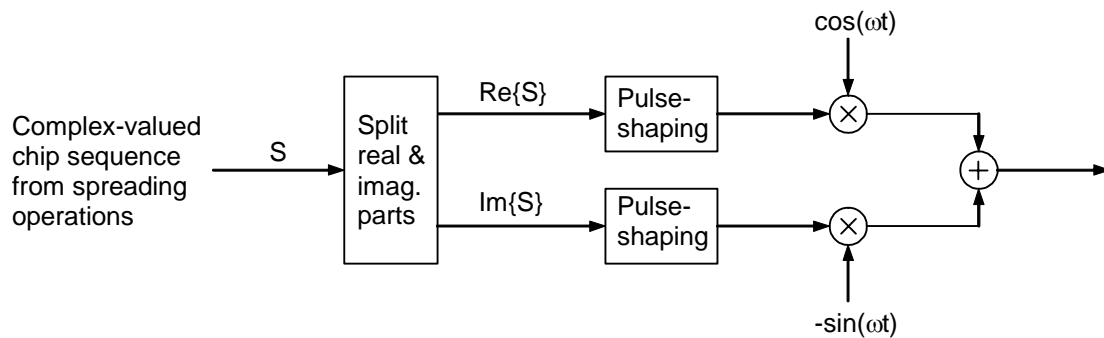


圖 5.3 Uplink modulation

## 5.2.1 長攪亂碼產生器

長攪亂碼是複數碼，是由兩個實數序列組合而成，此兩實數序列均是黃金碼 (Gold Code)，由兩個二進位  $m$ -序列( $m$ -sequence)， $x$ 、 $y$  序列以模 2 (modulo 2) 產生。我們可以使用一種線性位移回饋暫存器(linear shift feedback register :LSFR)的架構來產生長攪亂碼。圖 5.4 為此 LSFR 的結構圖。LSFR 的整個架構只需要用到 D 型反器(D Flip-Flops)及互斥或(exclusive OR)閘就可以實現。

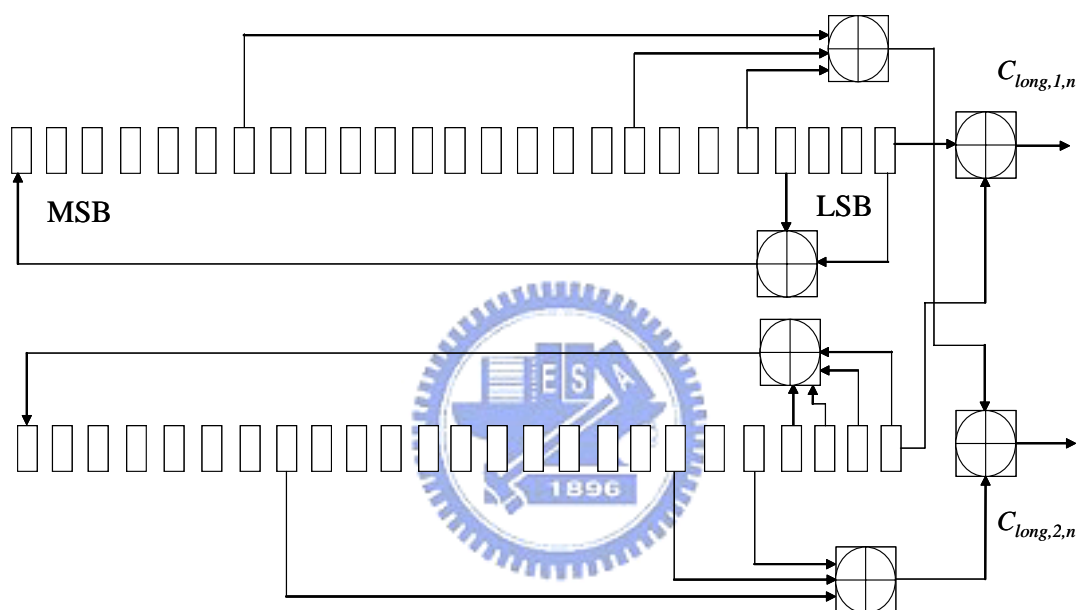
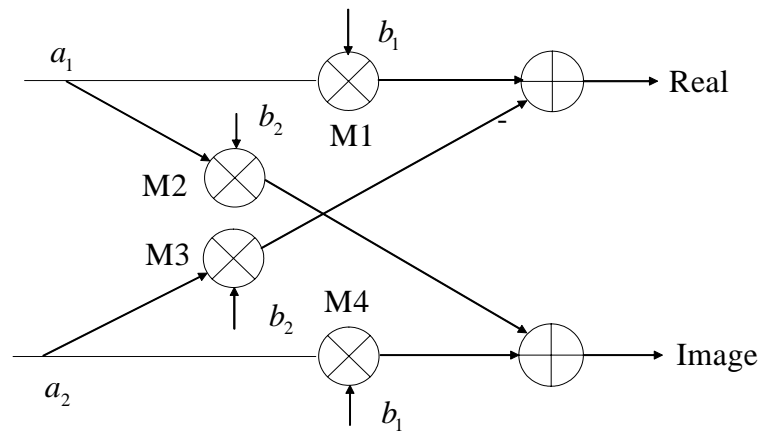


圖 5.4 Linear shift feedback register

## 5.2.2 複數乘法器

在前述中有提到前序碼必須要先乘上長攪亂碼，所以我們必須使用到複數乘法器。複數乘法器可由四個實數乘法器及兩個加法器所組成。複數乘法器的架構如圖 5.5 所示。很幸運的，長攪亂碼的值為+1 或-1，所以圖 5.5 中所使用的乘法器可以由一個多工器來取代，如圖 5.6 所示。此多工器的輸出是根據控制位元(+1 或 -1)來決定。假如控制位元為+1，那輸出值就等於輸入值，假如控制位元位為-1，則輸出值將為輸入值的負數。對於 2 的補數的表示只要將所有位元的 0 變為 1，所有的 1 變為 0，然後在加 1 即可。另外我們可以注意到 M3 的輸出被乘上-1，

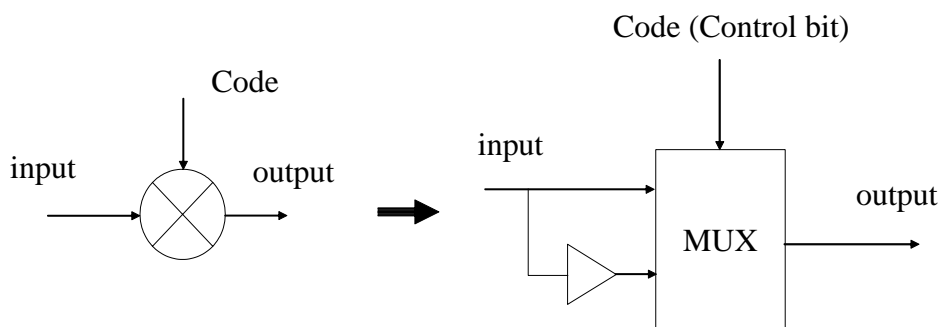
所以我們還要將這個多工器的控制位元反相。使用此架構的複數乘法器都不必用到任何的乘法器，這樣將可大幅的降低硬體的複雜度。



$$(a_1 + ja_2)(b_1 + jb_2)$$

$$= (a_1b_1 - a_2b_2) + j(a_1b_2 + a_2b_1)$$

圖 5.5 Complex-valued multiplier



Control bit	Output
+1	Input
-1	Inverse input + '1'

圖 5.6 Multiplier implemented by multiplexer



### 5.2.3 脈衝限頻濾波器(Pulse Shaping Filter)

脈衝限頻濾波器是被用來塑造被傳送信號的波形，是一個典型的FIR濾波器。一個pulse shaping 的動作就相當於做迴旋積分(convolution)一樣，在我們的設計裡上升餘弦(SRRC)波形的週期為 $T_c/4$ ，而我們使用了20個取樣點來表示RC的波形。圖5.7描述了RC波形迴旋積分的過程。理論上此迴旋積分的運算需要使用20次乘法運算與19次加法運算來達成。但是從圖5.7中可看出，再每次的計算中只有5個非零的乘法運算，於是乎我們可以僅用5個乘法器與4個加法器來達成迴旋積分的運算。假設輸入信號 $in\_data$ 而20個RC的取樣點被分為5個部分： $RC1 \sim RC5$  [ $RC1=RC(1) \sim RC(4)$ ,  $RC2=RC(5) \sim RC(8)$ ,  $RC3=RC(9) \sim RC(12)$ ,  $RC4=RC(13) \sim RC(16)$ ,  $RC5=RC(17) \sim RC(20)$ ]，輸出信號就可被表示為

$$\begin{aligned}
 Output &= in\_data(i+5)RC1(cnt) + in\_data(i+4)RC2(cnt) \\
 &\quad + in\_data(i+3)RC3(cnt) + in\_data(i+2)RC4(cnt) \\
 &\quad + in\_data(i+1)RC5(cnt) \\
 &\quad \left[ (i \in -4 \sim \infty) \quad in\_data(j) = 0 \text{ if } j \leq 0 \right]
 \end{aligned} \tag{5.1}$$

上式中  $cnt$  代表控制信號，是被用來選取多工器所要的RC暫存器。此脈衝限頻的過程與架構在描述在圖5.8與圖5.9中。

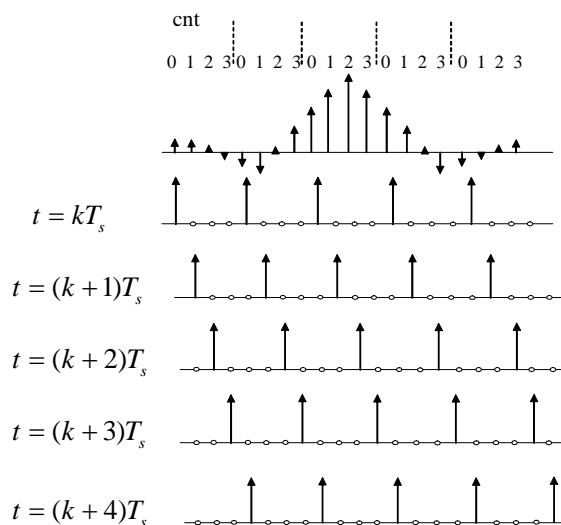


圖 5.7 Convolution process

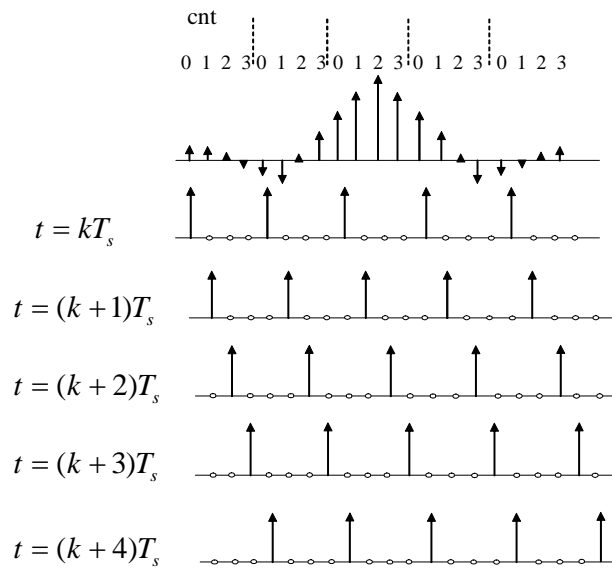


圖 5.8 Modified convolution process

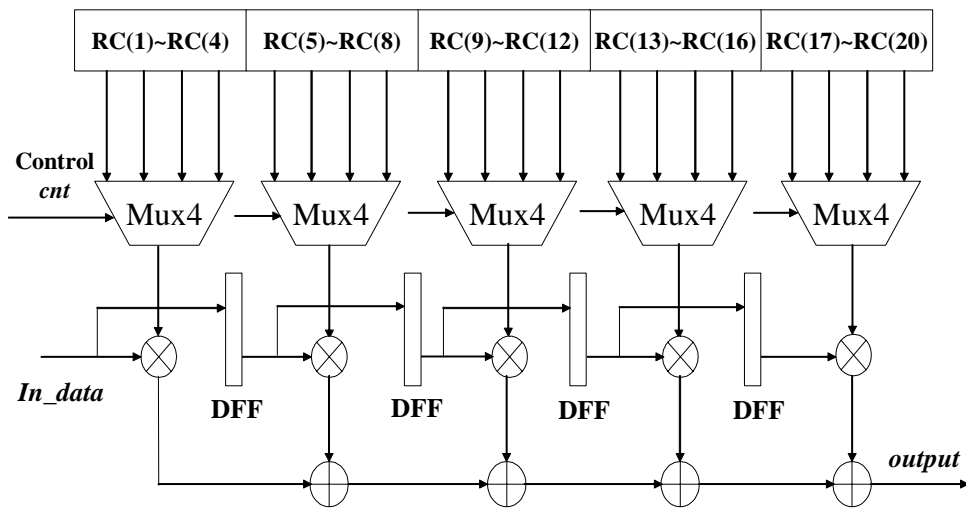


圖 5.9 Low complexity pulse shaping filter

## 5.3 碼擷取及頻率偏移估測

圖 5.10 為我們所提出在 W-CDMA 系統下的快速碼擷取及頻率估測架構方塊圖。現在將詳細描述各個方塊的內容。

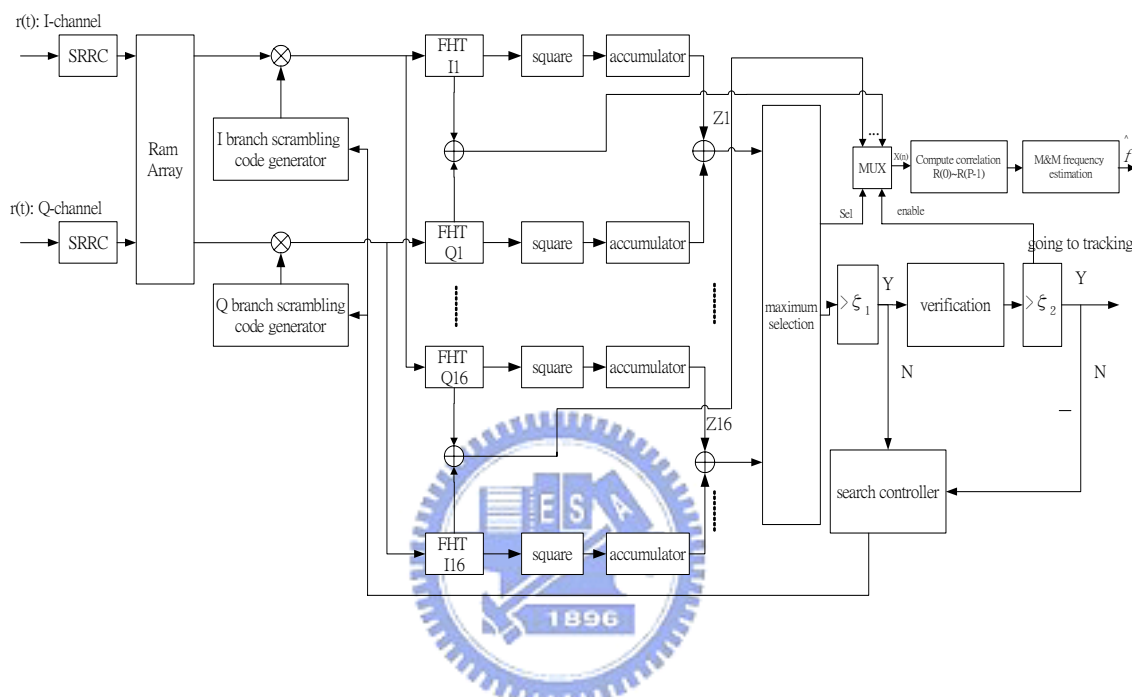


圖 5.10 a non-coherent QPSK acquisition system based on the FHT

### 5.3.1 切片匹配濾波器(Chip Matched Filter)

切片匹配濾波器是被放在接收機的最前端，在這裡我們用 20 個取樣點來表示平方根上升餘弦(SRRC)濾波器的波形，這樣我們將需要 20 個乘法器與 19 個加法器來達成迴旋積分的運算。但是這個架構的 critical path 將會太長，所以我們將這個架構管線化來減短 critical path 的長度，但付出的代價是延遲會變長，如圖 5.11 所示。

在圖 5.11 中，輸出會比傳統的迴旋積分運算延遲  $5T_c$ 。但是 critical path 會縮短為  $1/5$ 。假如我們想要減短 critical path 但是卻能獲得更快的操作時脈。我們可以使用如圖 5.12(a)和圖 5.12(b)的管線化架構。

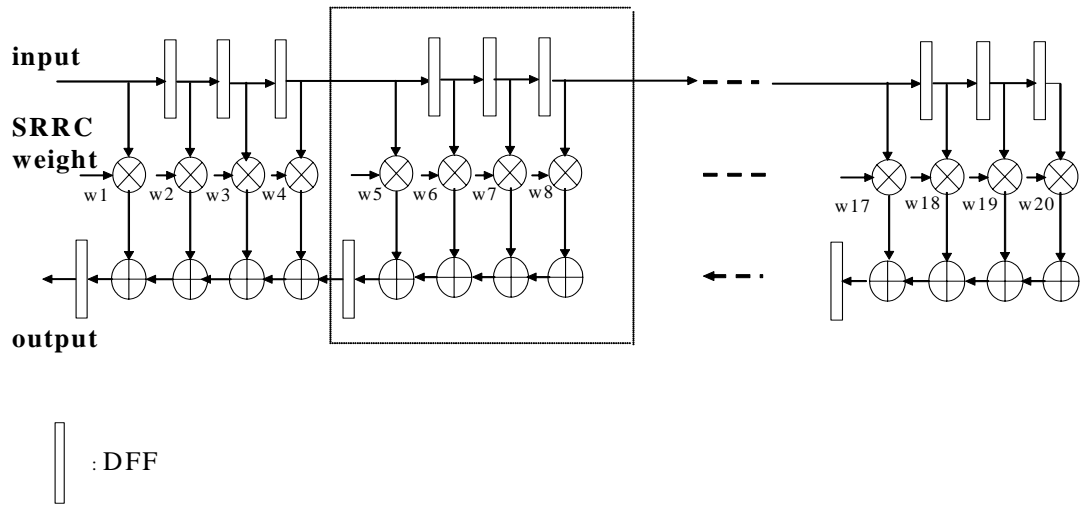


圖 5.11 Modified chip matched filter

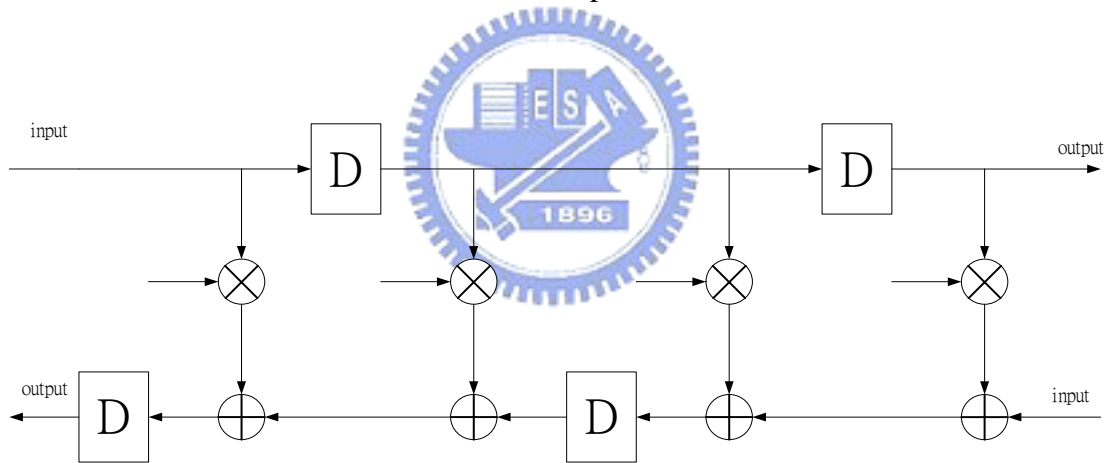


圖 5.12 (a) Reduce critical path structure of CMF cell

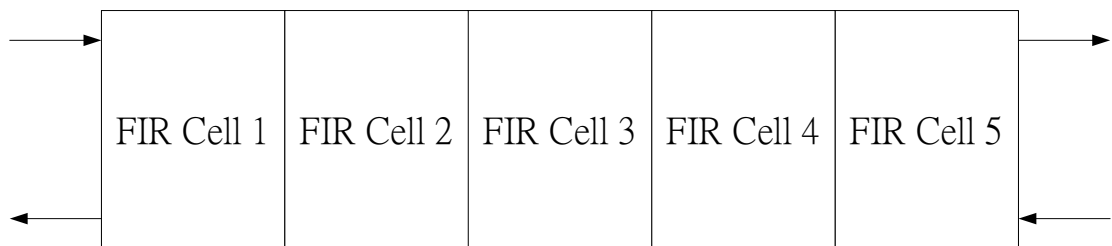


圖 5.12 (b) The combination of CMF cells

### 5.3.2 記憶單元與控制信號

我們會將切片匹配濾波器的輸出儲存到記憶單元(RAM)中，以便往後作碼擷取的工作。我們每次會將 16 個十六位元的資料從 RAM 中讀出，乘上長攪亂馬在送入 FHT 中，我們使用兩種電路來控制 RAM 的讀取與寫入動作。圖 5.13 為記憶體資料讀寫的流程圖

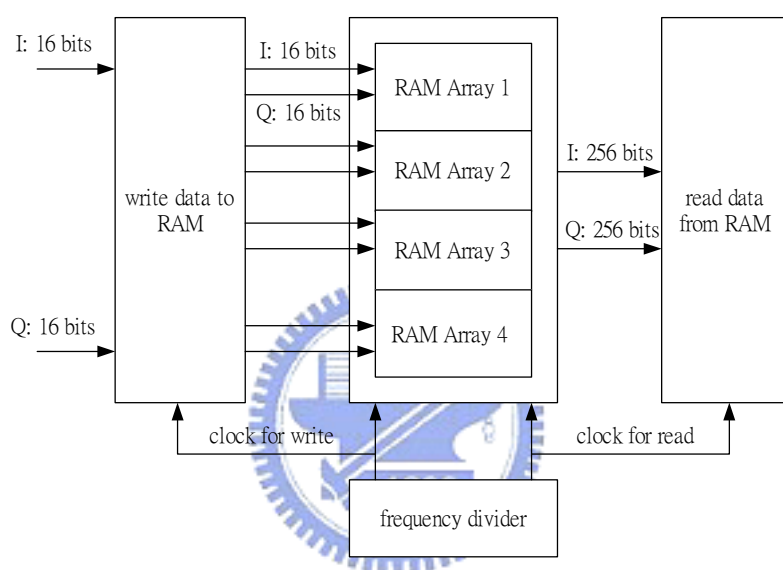


圖 5.13 Data flow of on chip block ram

Xilinx 公司的 Virtex FPGA Series 提供了有專用的雙重讀寫埠的同步記憶體。此同步記憶體的每一個連接埠可以單獨的是一個讀取、寫入、或是讀寫埠，資料的寬度也可以調整。圖 5.14 是具有雙重讀取埠的記憶體之接腳說明圖。

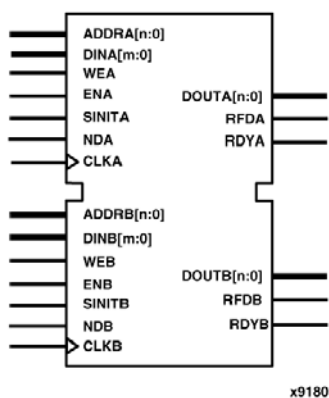


圖 5.14 The dual port block RAM

假設最大的傳輸延遲為 256 切片時間，且信號的取樣率為切片速率的 4 倍。這樣整個取樣數目在平方根上升餘弦濾波器 MF 的 I/Q 通道將為  $(4096 + 256) \times 4 \times 2 = 34816$ 。而每一個記憶體區塊有 4096 個 ram cells，它能儲存 256 筆資料，每筆資料可以有 16 位元。所以我們需要  $34816 / (256) = 136$  個記憶體區塊來儲存所有的資料。

由 LSSR 所產生的攪亂碼也是要放到記憶體中來儲存。我們選擇使用單埠的記憶體區塊來儲存攪亂碼。這碼的長度為 4096，所以能被儲存到一個單埠的記憶體區塊(256×16)中。因為有 I 通道與 Q 通道的長攪亂碼，因此需要兩個單埠的記憶體區塊。圖 5.15 是此單埠記憶體區塊的接腳說明圖。

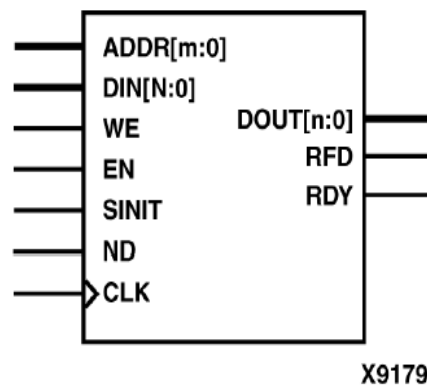


圖 5.15 The single port block RAM

為了要有系統的將接收信號寫入記憶體區塊以及將資料從記憶體區塊中讀出，我們建構一個記憶體陣列(RAM array)。圖 5.16 為這個記憶體陣列的階層式構造圖。每一個 RAM cell 深度被規劃為 256 而長度為 16 位元。圖 5.17 為用此記憶體陣列下的資料寫入控制圖。

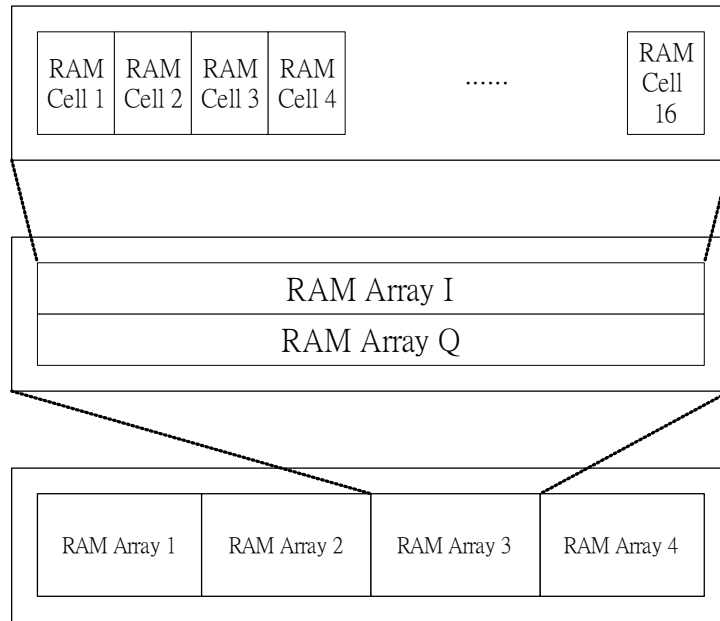


圖 5.16 The hierarchy structure of RAM array

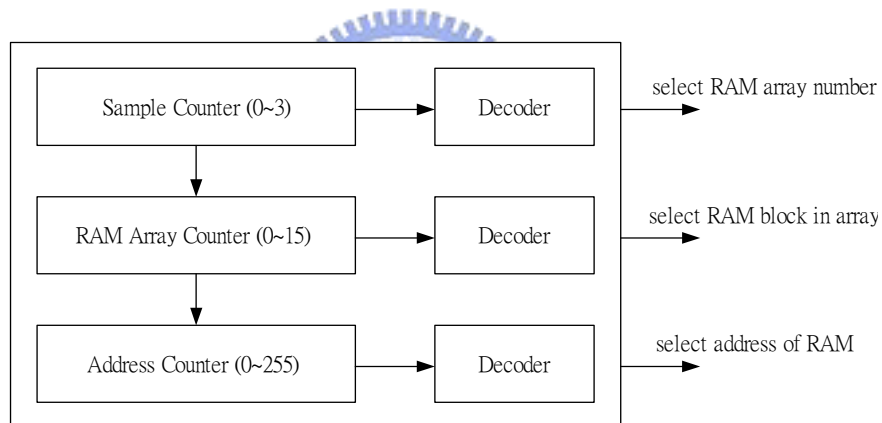


圖 5.17 RAM write control

圖 5.18(a) (b)的電路主要功能為控制記憶體資料的讀取，整個讀取控制的過程總結如下：

1. 從記憶體陣列四種不同的取樣組別中選擇其中之一。
2. 將延遲數目解碼並計算記憶體的位址(address)與位置(position)。
3. 將位址的數目加 1。

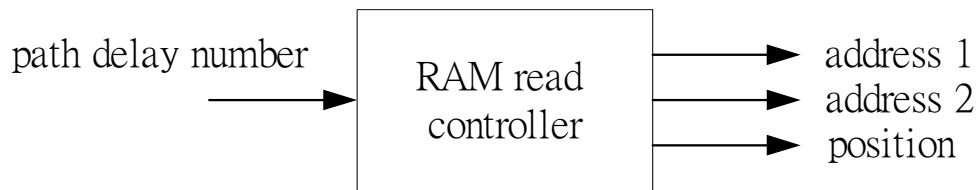


圖 5.18 (a) RAM read control

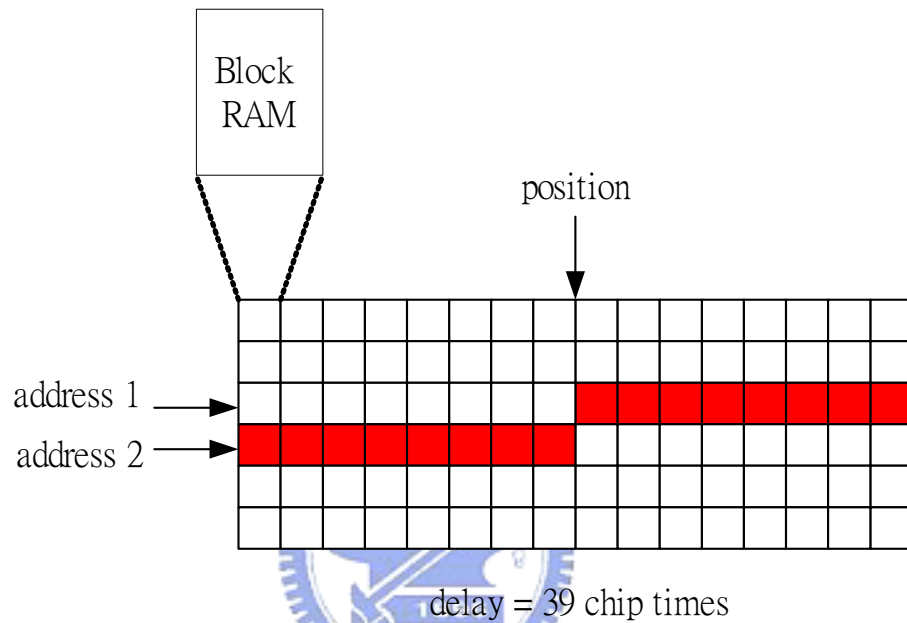


圖 5.18 (b) RAM read control

### 5.3.3 快速哈達馬轉換

FHT 架構是用來計算每一個接收信號與 Walsh-Hadamard code 的相關值係數。此相關值係數可用來決定接收信號與正確的 Walsh-Hadamard code 的相似性。假如我們可以找出最大的相關值，則計算此相關值所對應到的 Walsh-Hadamard code 將被選定為最可能的傳送碼。在我們的設計裡，所用的碼長度為 16。

我們將 FHT 的設計分為兩個部分：加法部分與減法部分。圖 5.19(a)為加法部分與減法部分的 RTL 結構圖。圖 5.19(b)為將這兩部分合併起來的的結構圖。



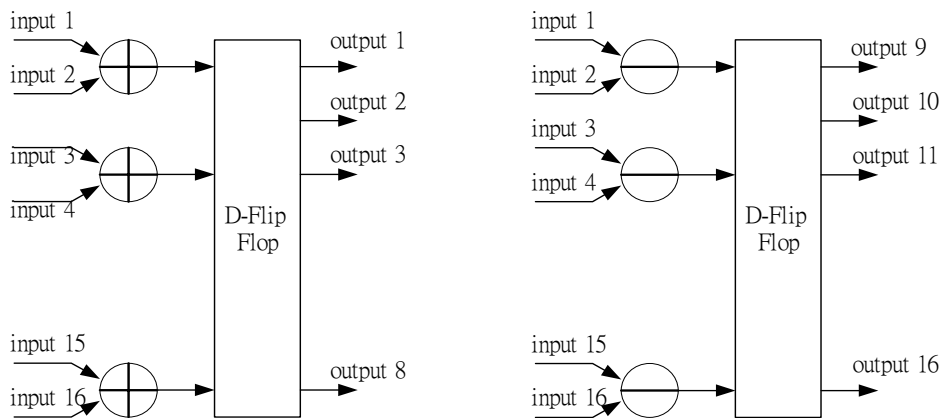


圖 5.19 (a) Adder and subtractor part

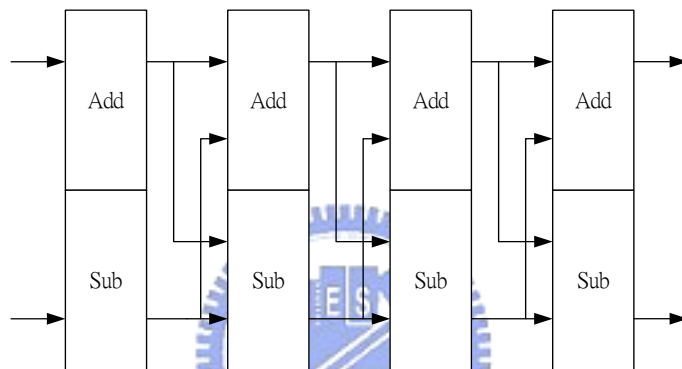


圖 5.19 (b) FHT combine adder part and subtractor part

### 5.3.4 最大值選擇器

我們設計的硬體架構包含了比較器與 D 型正反器，如圖 5.20 所示。此架構只需要四個工作時脈就能得到我們需要的輸出。

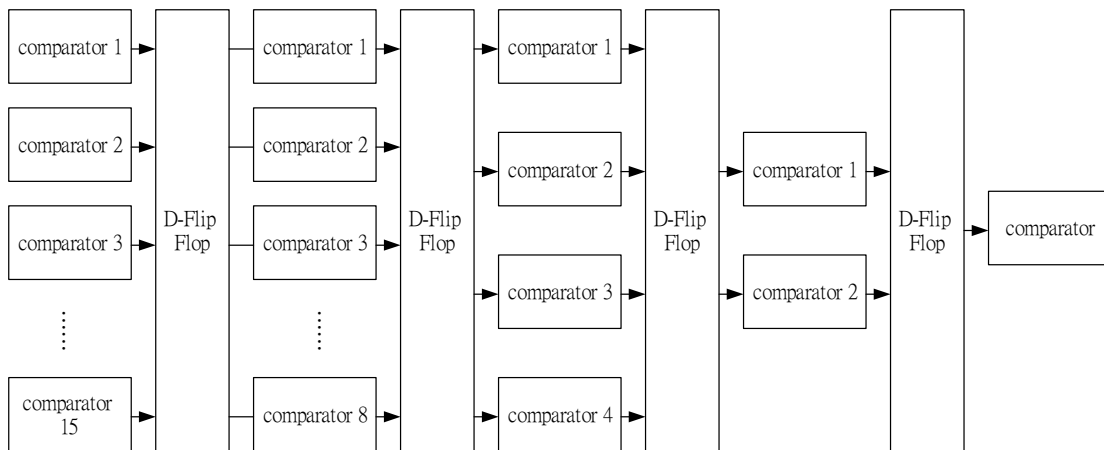


圖 5.20 maximum selection structure

### 5.3.5 搜尋控制器

我們使用雙重搜尋策略來降低碼擷取所需要的時間。圖 5.21 為此方法的方塊圖，主要的設計包含了兩個比較器、搜尋控制器部分以及確認電路。

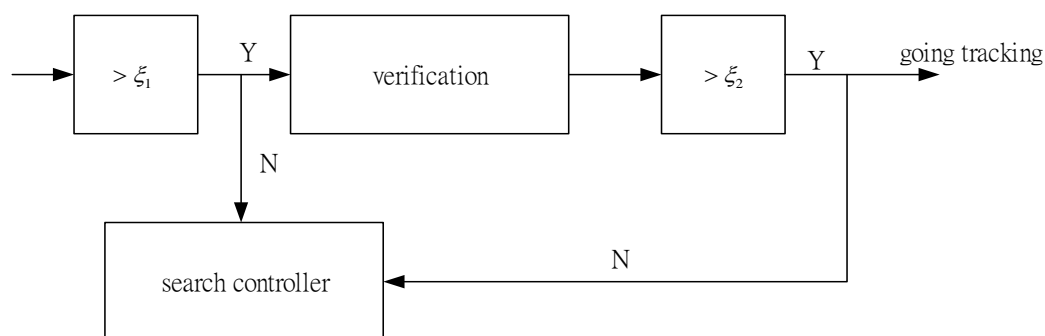


圖 5.21 double dwell search strategy

圖 5.22 為此搜尋控制器的狀態圖。此狀態圖的操作流程將描述如下，假如為碼擷取開始狀態，則控制器進入初始設定狀態，然後進入碼擷取狀態並開始計算進來的 1024 切片的關聯值，假如結果大於臨界值(smaller threshold)，則進入確認狀態，否則繼續下一個延遲時間的搜尋。在確認狀態時，它會進一步計算 2048 切片的關聯值，並跟一個更大的臨界值作比較，假如結果大於臨界值的話，則碼擷取就完成。如果搜尋完所有碼相位還是沒有符合，則進入計數模式等待搜尋下一個前序碼。圖 5.23 為確認模式的流程圖。

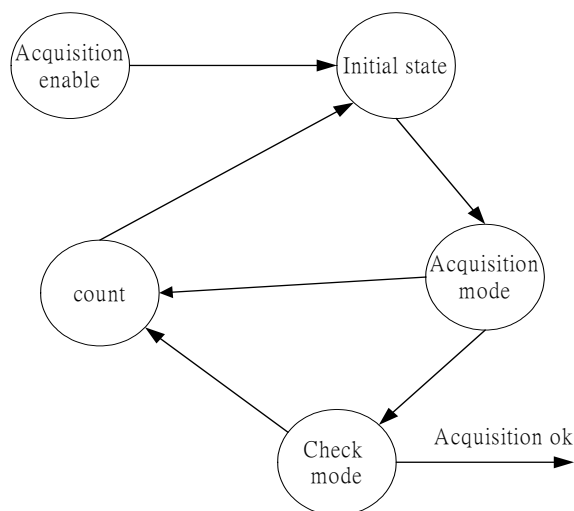


圖 5.22 State diagram of search strategy

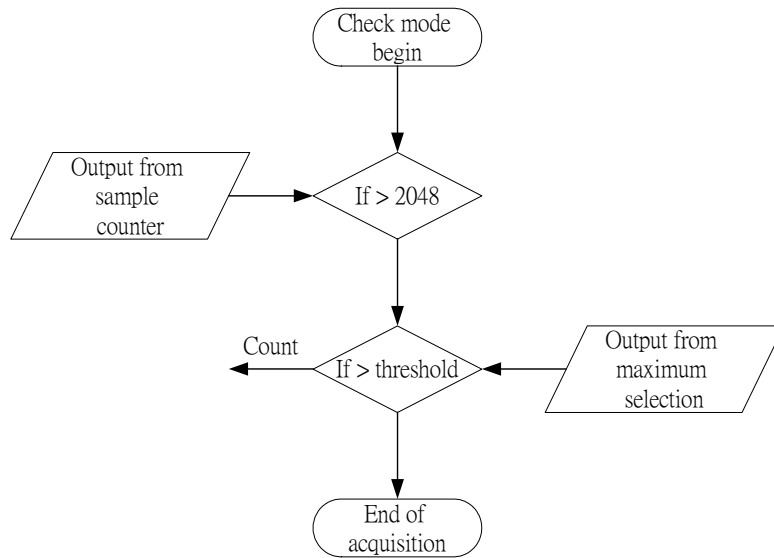


圖 5.23 Flowchart of check mode

我們現在來找出碼擷取所需要最大的搜尋時間，在最糟糕的狀況下，假設最大的傳輸延遲時間為 256 切片時間，於是我們就需要搜尋 256 個不同的碼相位，對於每一個碼相位，我們必須要完成 2048 切片的相關值計算。在我們的設計中，可以在一個時脈週期內讀出 16 切片的資料，於是我們要用  $2048/16 = 128$  個時脈週期來完成一個碼相位的搜尋，所以我們需要  $256 \times 128 = 32768$  個時脈週期來完成所有碼相位的搜尋，而記憶體的讀取速率為取樣頻率的四倍，取樣頻率為切片速率的四倍，所以總共需要的時間為  $32768/16 = 2048$  切片時間。在我們接收完 2048 切片後就可以開始搜尋的動作，於是乎從接收到第一個切片至最大處理過程結束總共為  $2048 + 2048 = 4096$  切片時間，這時間已比兩個前序碼間隔的時間短很多。

### 5.3.6 利用 Bussgang's 定理計算自身關聯函數元件

Bussgang's 定理已在 4.3 節詳細介紹過，而採用此定理是為了能夠減小硬體的複雜度，在傳統計算關聯函數時，無法避免會使用大量的乘法器，我們知道在 IC 設計上，乘法器是一很複雜的元件，他所佔的邏輯閘數是非常可觀的，而我們利用加減法器來代替乘法器故會大量減小硬體複雜度，硬體架構圖如圖 5.24 所示。在此我們使用碼長度為 256 切片，部分 MF 的數目為 8 個，因此會有八點

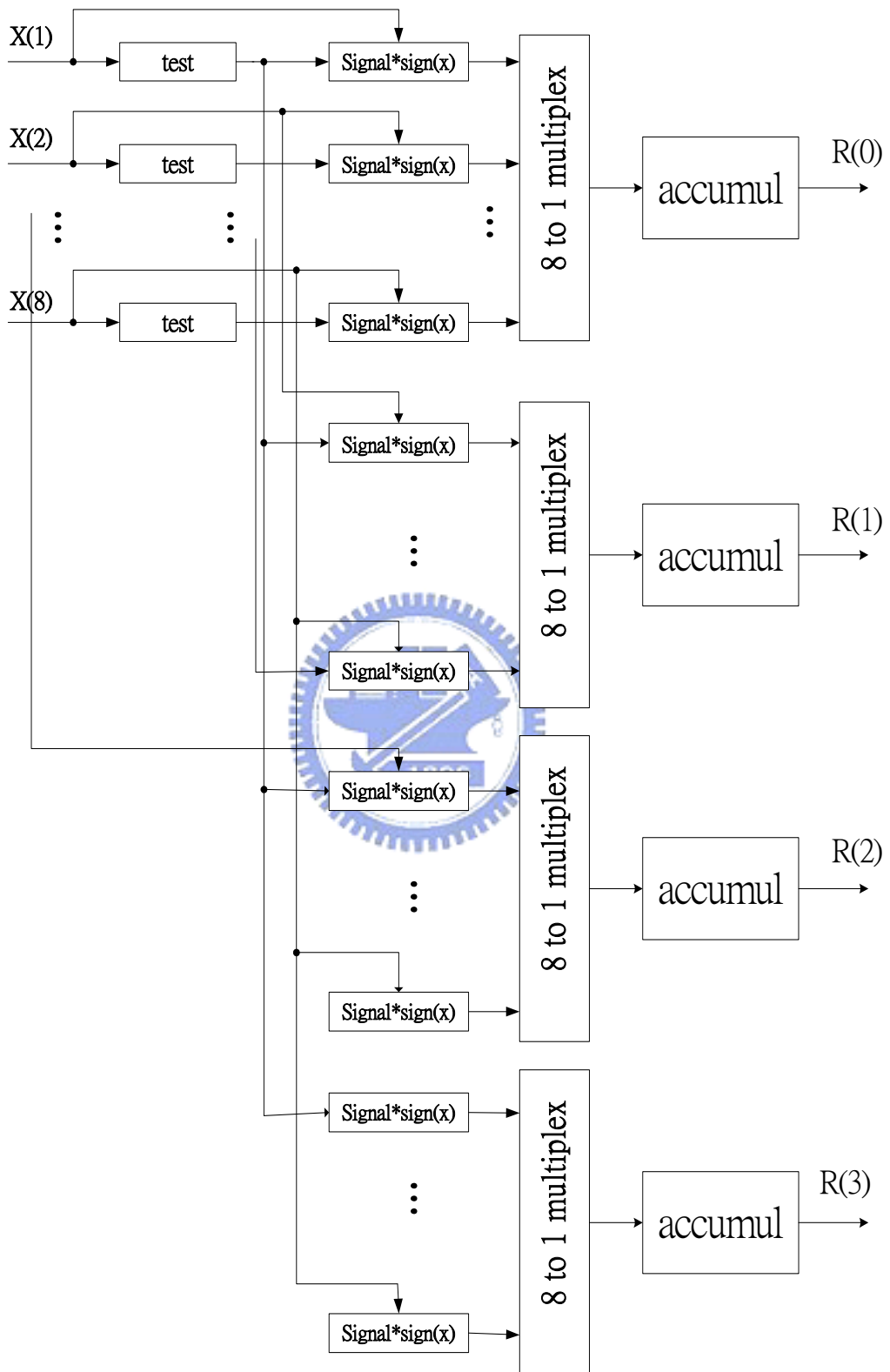


圖 5. 24 Structure of computing correlation function using Busgang's theorem

訊號的輸入，此八點訊號均會先經過判斷器，判斷進入訊號為正或是負，同時也要獨立判斷是否為 0，之後送進加減法控制器，達成  $x * [sign(y)]$ ， $sign(y)$  及  $x$  都是此加減法控制器的輸入訊號，因為  $sign(y) \in \{1, -1\}$ ，所以此只需使用到加減法器就可代替乘法器，匯集此不同輸入訊號的八個值再做累加，輸出即為關聯值，同樣此也使用時間共享硬體概念，來減小硬體複雜度。之後的架構如非同調加法器和比較器，控制記憶元件，在硬體上來說較為簡單，只需簡單的加法器，記憶體、暫存器，控制單元，即可達成，峰值檢測器也只需串聯幾組比較器也可簡單達成，此就不另闢單元說明。

### 5.3.7 頻率估測器

此所採用頻率估測技術在 4.3 節有詳細介紹，圖 5.25 為硬體的架構圖，分為遞迴式及管線化運算，主要差別只在 CORDIC 運算架構。由 4.3 知道頻率估測器首先要計算輸入訊號的關聯值，而此關聯值已在上一級計算完成，再來就將得到關聯函數值做角度的計算，一般較常見計算角度的方式為查表法，將某些特定點對應出的角度制成表，則輸入關聯值可和表上各點比較，尋找最近的點所對應的角度，即為此輸入關聯值的角度，此就會有相當程度的誤差，因為假設表上所列出的點較少，則角度解析度就較差，相反如表上所列點數就多，解析度會較小，則輸出角度誤差值也會很小，但是所需的記憶體就要非常大，另一種方式為將輸入關聯值尋找出介於表上那兩點之間，再用各種內差法找出角度值，此就可縮少誤差量，但還是會有少許的誤差值，對頻率估測準確度還是會有不小的影響。計算角度還有另一種方式，即是座標軸數位旋轉器(Coordinate Rotation Digital Computer：CORDIC)技術，來準確估測出角度。

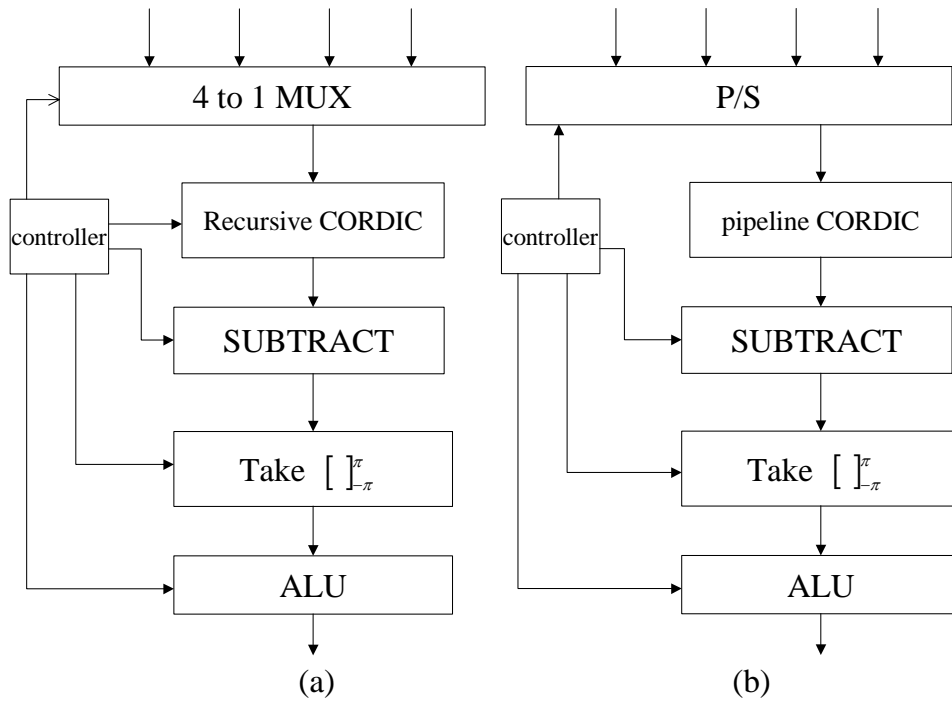


圖 5.25 Hardware structure of frequency estimator

### 5.3.7.1 CORDIC 技術[23]

如圖 5.26 所示，當輸入複數訊號  $X = [a, b]$  旋轉一角度  $\theta$  後到達  $X' = [a', b']$ ，

其數學關係式為：

$$\begin{aligned} a' &= a \cos \theta - b \sin \theta \\ b' &= b \cos \theta + a \sin \theta \end{aligned} \quad (5.2)$$

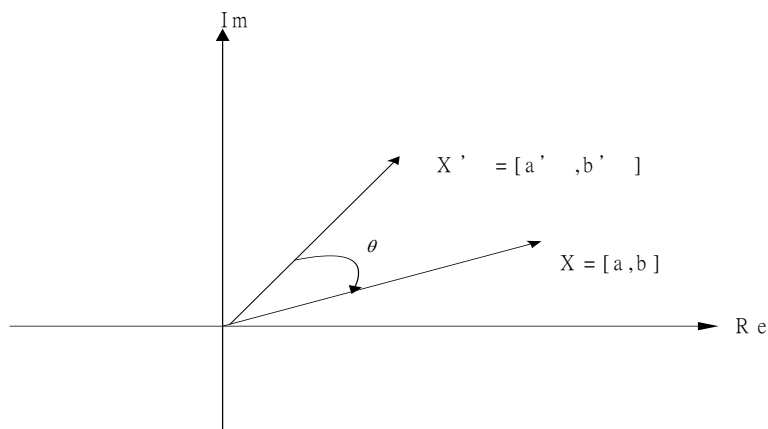


圖 5.26 平面旋轉角度

若將 5.2 式重新排列，並應用三角函數且旋轉角度  $\theta_k = \tan^{-1}(2^{-k})$  可得以下式子：

$$\begin{aligned} \begin{bmatrix} a' \\ b' \end{bmatrix} &= \begin{bmatrix} \frac{1}{\sqrt{1+\tan^2\theta_k}} & \frac{-\tan\theta_k}{\sqrt{1+\tan^2\theta_k}} \\ \frac{\tan\theta_k}{\sqrt{1+\tan^2\theta_k}} & \frac{1}{\sqrt{1+\tan^2\theta_k}} \end{bmatrix} \begin{bmatrix} a \\ b \end{bmatrix} \\ &= \frac{1}{\sqrt{1+2^{-2k}}} \begin{bmatrix} 1 & -2^{-k} \\ 2^{-k} & 1 \end{bmatrix} \begin{bmatrix} a \\ b \end{bmatrix} \end{aligned} \quad (5.3)$$

因為旋轉角度也被限制，所以要得到較準確的旋轉後值，即必須旋轉許多次慢慢逼近，例假設需要順時針旋轉 35 度，則此演算法會先旋轉 45 度，再反時針旋轉 27.5 度，再順時針轉 13.75 度以此類推，旋轉越多次則會越逼近實際值。則此反覆旋轉數學表示式如下：

$$a'_{i+1} = K_i [a'_i - b'_i \cdot d_i \cdot 2^{-i}] \quad (5.4)$$

$$b'_{i+1} = K_i [b'_i + a'_i \cdot d_i \cdot 2^{-i}] \quad (5.5)$$

此處  $K_i = 1/\sqrt{1+2^{-2i}}$ ， $d_i = \pm 1$ ，一般還會將旋轉角度累加結果  $z_i$  加入成 CORDIC 演算法的第三項方程式：

$$z_{i+1} = z_i - d_i \cdot \tan^{-1}(2^{-i}) \quad (5.6)$$

以此演算法就可將所需使用乘法器省略以簡單的加減法器和移位器(shifter)代替。CORDIC 旋轉器一般可分為兩種運算模式，第一種叫做旋轉模式(rotation)，將輸入訊號旋轉一特定角度。第二種叫做引導模式(vectoring)，旋轉輸入向量到時數(x)軸，並記錄旋轉角度。在此只用到第二種模式計算輸入訊號向量的角度，此模式下 CORDIC 方程式如下：

$$x_{i+1} = x_i - y_i \cdot d_i \cdot 2^{-i} \quad (5.7)$$

$$y_{i+1} = y_i + x_i \cdot d_i \cdot 2^{-i} \quad (5.8)$$

$$z_{i+1} = z_i - d_i \cdot \tan^{-1}(2^{-i}) \quad (5.9)$$

此處  $x$ 、 $y$  分別為訊號向量的實部及虛部， $z$  為所旋轉的角度，且

$$d_i = \begin{cases} 1 & \text{if } y_i < 0 \\ -1 & \text{otherwise} \end{cases} \quad (5.10)$$

在硬體實現上，除了需要加減法器，移位器外還需要暫存器，儲存  $\tan^{-1}(2^{-i})$ ， $i=0,1,2,\dots$ 。以上架構都是假設輸入訊號的角度介於 90 度到 -90 度之間  $[\pi/2, -\pi/2]$ ，如果輸入訊號大於 90 度或是小於 -90 度，且必須先將訊號順時針或是逆時針旋轉 90 度，使的角度符合  $\pm\pi/2$  之間，圖 5.27(a) 為管線化 CORDIC 整體硬體架構方塊圖，經由模擬比較後，選擇採用共旋轉 12 級，第一級僅只將訊號根據所處相位判斷順時針旋轉或是反時針旋轉 90 度，硬體架構如 5.27(b) 所示，之後第二級到第十級就包含有移位器及加減法器，其中移位器為相右移位，且不同級的移位器，相右移位數也不同，如在第二級則相右移一位元，如是第三級則相右移兩位元，以此類推，加減法器就根據輸入訊號  $y_i$  是正數或是負數而定，硬體架構如 5.27(c) 所示，最後一級就僅有一加減法器，因為輸出及為所算累加後的角度，不需再輸出極座標值，硬體架構圖如 5.27(d) 所示。

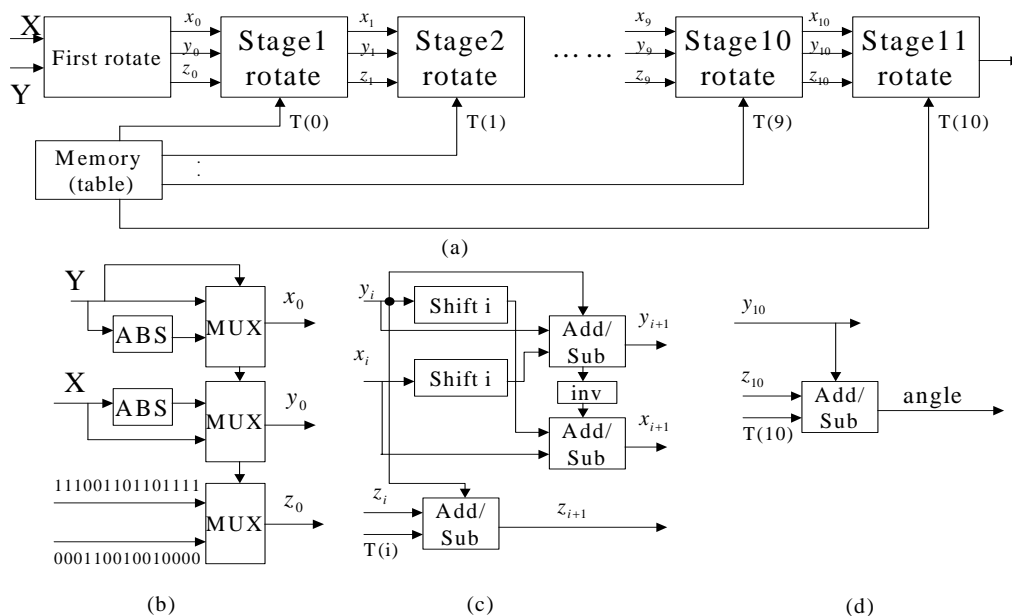


圖 5.27 (a)Overall block diagram for pipeline CORDIC (b)Structure of first rotate (c)Structure of stage1~stage10 rotate (d)Structure of stage11 rotate



此架構可達成管線化及快速的計算角度(共只需 15 個時脈可輸出 4 個角度值)，但是所需要的硬體就相對較大，共約需要 33 個加減法器，但是如將此架構改換成遞迴式，一共只需 3 個加減法器，則硬體複雜度變小，但是所需時脈數就變大(共需 48 個時脈才會輸出 4 個角度值)，硬體架構如圖 5.28 所示，初始值經由多工器被載入到  $x$ 、 $y$ 、 $z$  暫存器，後會進入移位器，加減法器，最後輸出會在送回多工器的輸入端，以此遞迴反覆進行，當進行了十二級後再輸出，圖中的 ROM 儲存所建反正切( $\text{atan}$ )的表。要估測頻率最重要就角度運算，剩下的就是較簡單的數學運算，只需使用幾個加法器及乘累加器即可完成整體頻率估測運算，圖 5.29 為頻率估測器的系統流程圖。

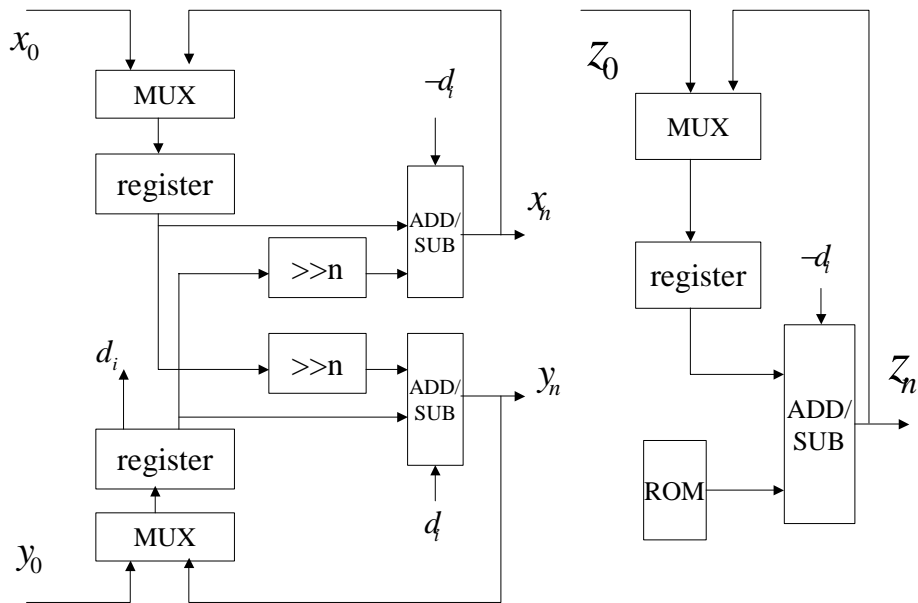


圖 5.28 Structure of iterative CORDIC structure

## Frequency estimation

receive sum of correctly delay correlation value R

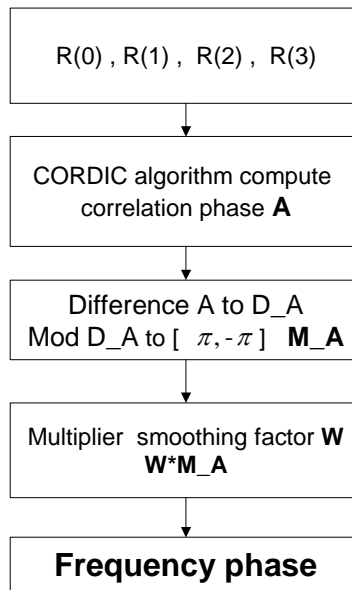


圖 5. 29 System flow chart for frequency estimator

## 5.4 FPGA 實現



我們將以上所設計架構，用 VHDL 語言寫成行為模式(behavior mode)的硬體架構，並先以 Modelsim 軟體模擬驗證此行為模式是否正確，再經由和所撰寫的 MATLAB 做比較來驗證，當然前提為 MATLAB 程式是正確的，行為模式正確後就可將此 VHDL 程式輸入 Xilinx 的 Foundation 4.1 軟體(此處我們所採用 synplicity 作為合成工具)就可得到合成後的 RTL 巢狀(netlist)架構檔，此是根據所撰寫行為模式下 VHDL 程式所做合成後的輸出檔案，當然此也要做模擬驗證合成後結果是否和我們所設計要求一致，如果模擬結果和行為模式是不相同的，則就必須從新撰寫行為模式下的 VHDL 程式，但是如果驗證結果正確，則可再做進一步動作，將合成後結果對應(mapping)到所選定的 FPGA chip，並加入元件延遲(gate delay)的時間再做模擬，此處模擬重點放在 timing 上模擬，模擬驗證此所設計 chip 所跑的時脈速度是否合於所需，當然如果元件延遲時間大於系統所要求時脈，可對 Foundation 下一些限制，使能夠符合所需，但是如果還是沒能達成所要求的速

度，就必須重頭設計 VHDL 程式。圖 5.30 為所設計晶片輸出及輸入接腳示意圖，左邊為輸入接腳，clk 為晶片的工作時脈，reset 為將整個晶片初始化，enable 為控制處理哪個使用者工作，R\_I 跟 R\_Q 為基頻接收取樣且經 A/D 轉換後的實部及虛部，initial\_state 為輸入各使用者的初始參數，Acq\_ok 為判斷是否是完成碼擷取，'1' 表已完成碼擷取，反之為 '0'，address 為碼擷取後估測出的傳輸延遲。Freq\_en 為指示是否完成頻率估測，最後 Angle\_phase 為估測出之頻率偏移值。

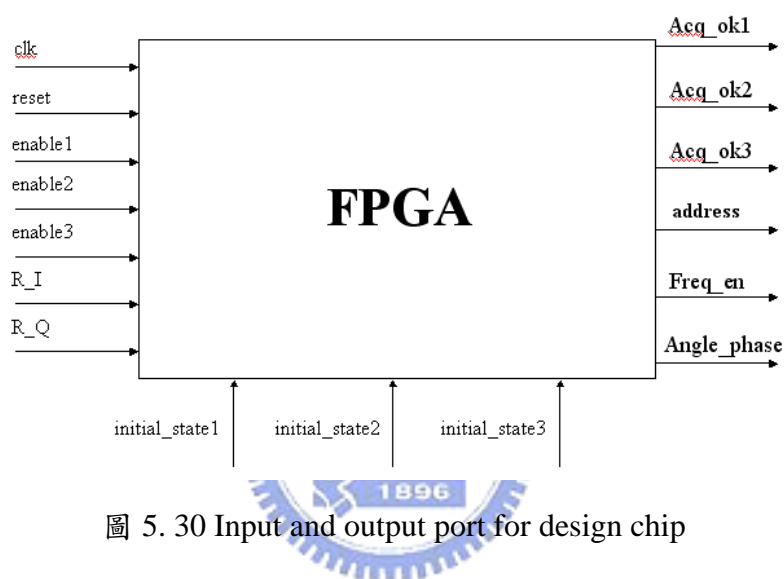


圖 5. 30 Input and output port for design chip

在 DS/CDMA 系統的接收端，碼擷取只是抓取傳輸延遲在與正確的時間相差小於 0.5 切片時間，後級還必須做碼追蹤(code tracking)及決策(detection)動作，所以需定義好各元件間的接線介面，如圖 5.31 所示，首先基頻類比訊號經由 A/D 轉換器成數位訊號後輸入碼擷取、頻率估測元件，並且當達成碼擷取後，碼擷取元件會輸出一 enable 腳位告知碼追蹤元件，可開始運作，決策回覆傳送端所送出訊號。圖 5.32 為硬體設計狀態圖，首先為碼擷取開始狀態，告知系統要做碼擷取，並進入初始設定狀態，設定一些初始參數值，再進入碼擷取狀態，在此狀態會計算關聯值，並與臨界值比較，如大於臨界值則進入驗證模式狀態，但是如果搜尋完一最大可能延遲區間還是沒有任何位置所輸出值大於臨界值就會進入重新設定狀態，如過驗證模式也過了，則進入頻率偏移估測狀態。圖 5.33 為傳

送端的 RTL 元件連接圖，圖 5.34 為碼結取與頻偏估測架構經合成軟體所和出來的元件連接圖。圖 5.35 為碼結取與頻偏估測整個架構所使用硬體需求量的分析報告。而圖 5.36 為此架構下所合成的 timing report。

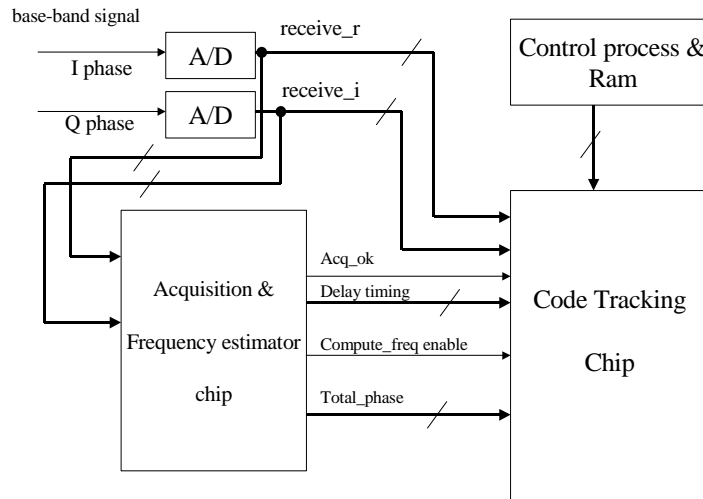


圖 5.31 Overall architecture

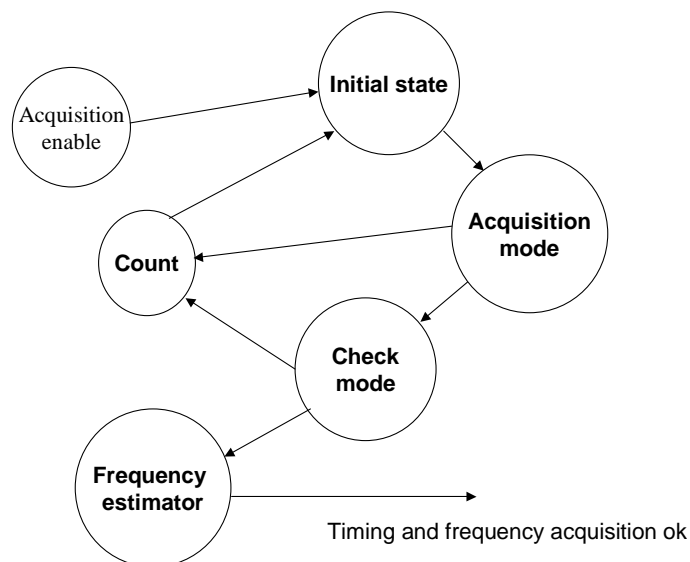


圖 5.32 State diagram of overall hardware design

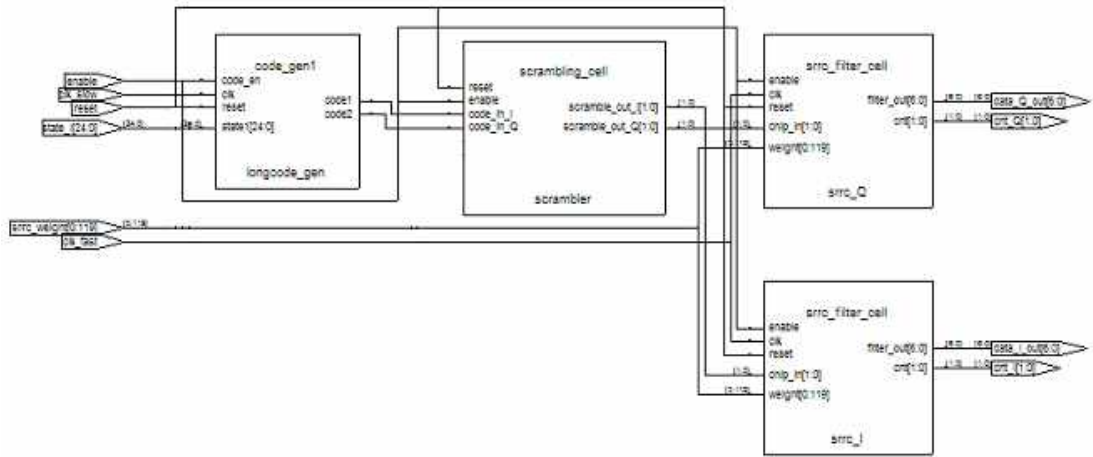


圖 5.33 RTL structure of transmitter for Synplicity tool

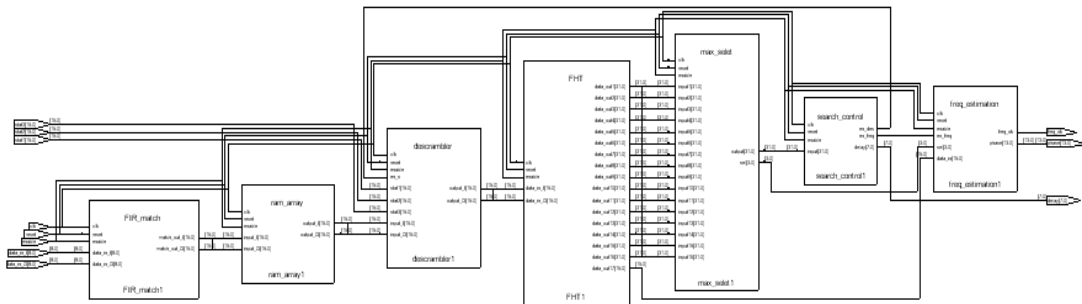


圖 5.34 RTL structure of code acquisition and frequency offset estimation for Synplicity tool

### Design Summary

```
-----
Number of errors:      0
Number of warnings:   0
Number of Slices:      14,392 out of 19,200    75%
Number of Slices containing
  unrelated logic:      0 out of 14,392    0%
Number of 4 input LUTs: 24,354 out of 38,400    63%
Number of bonded IOBs: 174 out of 404    43%
  IOB Flip Flops:      14
Number of GCLKs:       2 out of 4    50%
Number of GCLKIOBs:   1 out of 4    25%
Total equivalent gate count for design: 423,834
Additional JTAG gate count for IOBs: 8,160
```

圖 5.35 Mapping report for overall architecture

### Design statistics:

```
-----
Minimum period: 15.330ns (Maximum frequency: 65.231MHz)
Maximum combinational path delay: 17.282ns
Maximum net delay: 8.326ns
```

圖 5.36 Timing report for overall architecture



表 5.1 列出各主要元件所使用的等效邏輯閘數目，其中以記憶單元與其控制信號所使用的等效邏輯閘最多，其次為頻率估測單元(包含計算相關值函數部分)，而 CORDIC 是使用管線化的架構來快速的計算角度。一般接收信號在經過降頻器而成基頻信號後，會再取樣並做 A/D 轉換，而用 N 位元的二進位表示。當使用越多的位元數來對接收的基頻信號取樣後作量化，則碼擷取及頻率偏移估測的效能就會越好，但是硬體架構也會跟著變大，也就是所使用的等效邏輯閘數會越多。表 5.2 列出了使用不同位元數對基頻信號作量化時，整個碼擷取及頻率偏移估測架構的等效邏輯閘數目，由表中可看出每增加一個位元時所增加的邏輯雜數目會越來越多，因考慮到整個硬體架構的大小，所以採用每一取樣量化值用 4 位元來表示。

元件	等效邏輯閘數目	所占比例
切片匹配濾波器	11,427	2.7%
記憶單元及控制信號	178,674	42.1%
快速哈達碼轉換	37,513	8.9%
搜尋控制器	14,386	3.4%
頻率估測單元	91,173	21.5%
其它	90,661	21.4%

表 5.1 The equivalent gate count for each module

量化所使用之位元數	等效邏輯閘數目
4 位元	423,834
5 位元	467,153
6 位元	558,746

表 5.2 The equivalent gate count of overall system for using different number of bits to quantize the received baseband signal

如果先前所敘述的所有驗證的結果都正確，就可以將所設計的電路下載到 FPGA 晶片中做實際的測試，我們測試的方法是用 matlab 軟體產生基頻的接收信號，轉成 Pattern Generator(PG)的文字向量檔(PGV)，再將輸入信號用 PG 送入 FPGA 中，而輸出則由 Logic Analyzer 來擷取信號，觀察其波形並轉成文字檔由 matlab 來比較結果，圖 5.37 為浮點數運算與 4 位元定點數運算碼擷取錯誤率和切片 SNR 的關係圖。圖 5.38 為 4 位元定點數運算及浮點數運算所估測出頻率偏移的結果。圖 5.37 與圖 5.38 中的浮點數運算為使用 matlab 模擬的結果，定點數運算為經 FPGA 處理的結果。

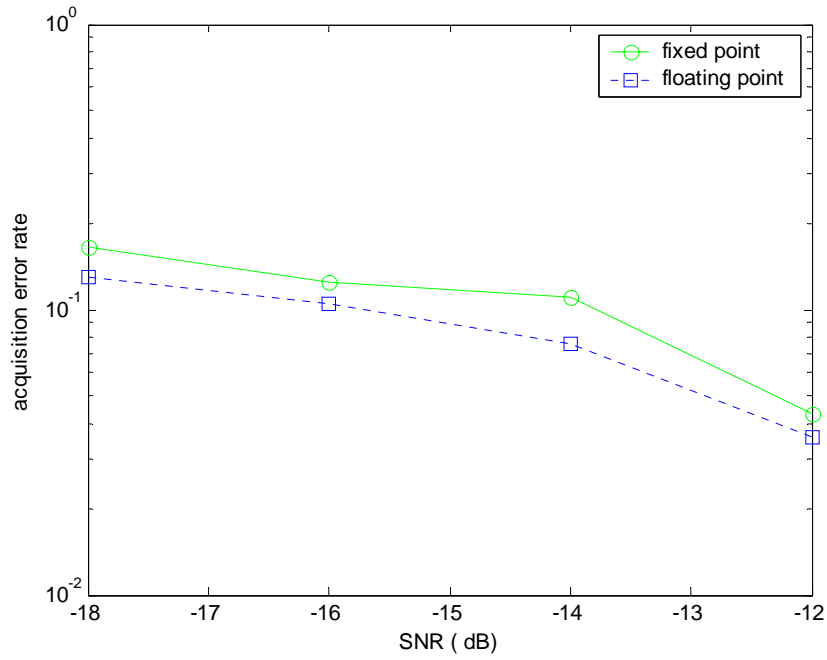


圖 5.37 Acquisition error rate v.s chip SNR for fixed and floating point simulation  
frequency offset = 18 kHz

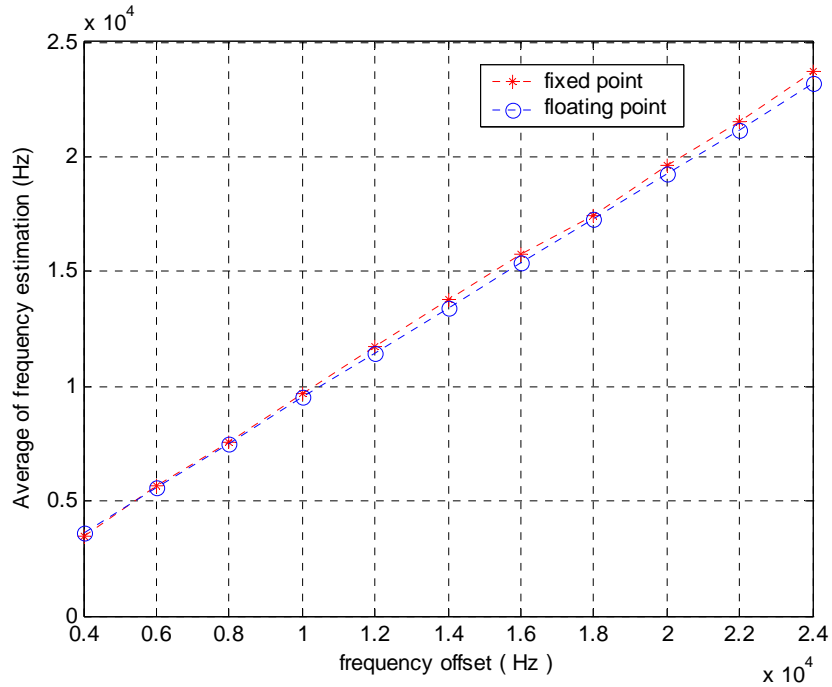


圖 5.38 frequency offset estimation for fixed and floating point simulation

SNR = 12 dB



## 第六章 結論

本論文中，吾人對寬頻分碼多重存取系統基頻碼擷取技術提出全數位化電路設計方法，首先介紹 3GPP 規範中上下鏈傳輸的資料格式與調變方法，接下來討論介紹一般傳統碼擷取的技術，但是傳統匹配濾波器的架構需要大的硬體複雜度。由於前序碼的特殊結構，故吾人提出結合碼擷取與頻率偏移估測的架構，主要的概念是運用快速哈達馬轉換的演算法來解決這個問題，在設計中並同時考慮系統效能及硬體複雜度。利用此新的架構我們分析比較不同參數對碼擷取及頻率估測的性能，其在高頻率偏移下還可達成不錯碼擷取及頻率估測效能。

FPGA 是一種可程式規劃邏輯陣列 IC，使用者可以隨意規劃任意的邏輯電路，並且可直接在 FPGA 晶片上驗證所設計電路，不需再經過光罩，晶圓製造及封裝等許多繁雜過程，在此論文中我們採用 FPGA 設計流程做硬體設計實現，本論文中吾人所設計的 W-CDMA 結合碼擷取架構，只考慮當有大震盪器所造成頻率偏移下的影響並克服，但是還未考慮多重使用者干擾(MAI)的影響，未來可繼續研究找出可同時克服頻率偏移及 MAI 影響下的碼擷取，並可研究更好的硬體設計架構，以更進一步降低硬體的複雜度及所需消耗的功率。

## 參考文獻

- [1] R. L. Peterson, R. E. Ziemer, and D. E. Borth, "Introduction to spread spectrum communication," Prentice-Hall, 1995.
- [2] R. L. Pickholtz, D. L. Schilling, and L. B. Milstein, "Theory of Spread-Spectrum Communications-A Tutorial," *IEEE Trans. Commun.*, vol. COM-30, no. 5, pp. 855~883, May. 1982.
- [3] RAYMOND L. PICKHOLTZ DONALD L. SCHILING "Theory of Spread-Spectrum Communications – A Tutorial" *IEEE transactions on communications*, no.5, 1982
- [4] Rick, R.R.; Milstein, L.B. "Noncoherent parallel acquisition in CDMA spread spectrum systems" *ICC '94, SUPERCOMM/ICC '94, IEEE International Conference on*, pp: 1422 -1426 vol.3 1994
- [5] Briima B.Ibrahim and A. Hamid Aghami "Direct sequence spread spectrum matched filter acquisition in frequency selective Rayleigh fading channels" *IEEE Journal on selected areas in communications* vol.12 no.5, 1994
- [6] Mohamed G. El-Tarhuni, and Asrar U. Sheikh, "An adaptive filtering PN code acquisition scheme with improved acquisition based capacity in DS/CDMA" *Personal, Indoor and Mobile Radio Communications, 1998. The Ninth IEEE International Symposium on*, pp. 1486-1490, 1998
- [7] Hichan Moon, "Performance of double dwell acquisition with continuous integration detector in a Rician fading channel" *Spread Spectrum Techniques and Applications, 1998 IEEE 5th International Symposium on*, Vol. 1, 1998
- [8] Bensley, S.E.; Aazhang, B." Subspace-based channel estimation for code division multiple access communication systems" *Communications, IEEE Transactions*, Volume: 44 Issue: 8, 1996
- [9] Stirling-Gallacher, R.A.; Hulbert, A.P.; Povey, G.J.R "A fast acquisition technique for a direct sequence spread spectrum signal in the presence of a large Doppler shift" *IEEE 4th International Symposium on*, Vol. 1, 1996
- [10] Okuda, S.; Katayama, M.; Yamazato, T "A new block demodulator for DS/SS signal with carrier frequency offset", *Sixth IEEE International Symposium on*, Vol. 1, 1995
- [11] Eric, M.; Obradovic, M. "Subspace-based joint time -delay and frequency-shift estimation in asynchronous DS-CDMA systems" *Electronics Letters* , Vol. 33 Issue: 14, 3 July 1997
- [12] Wongyi Fu; Abed-Meraim, K. "Joint channel and frequency offset estimation in CDMA systems" *The 11th IEEE International Symposium on*, Volume: 2 , 2000
- [13] A. Amira, A. Bouridane, P. Milligan, M. Roula "Novel FPGA implementations of

- Walsh-Hadamard transforms for signal processing” *Vision, Image and Signal Processing, IEE Proceedings-* , Volume: 148 Issue: 6 , Dec. 2001 Page(s): 377 -383
- [14] Umberto Mengali and M.Morelli, ”Data-Aided Frequency Estimation for Burst Digital Transmission” *IEEE transactions on communication* vol. 45 1997
- [15] Athanasios Papoulis, ”Probability, Random Variables, and Stochastic Process” Third Edition *McGraw-Hill* 1991
- [16] The Web site for 3GPP: <http://www.3gpp.org>
- [17] Harri Holma and Antti Toskala, ”WCDMA for UMTS”, *wiley* 2000
- [18] F.Adachi,M.Sawahashi and K. Okawa, ”Tree-structured generation of orthogonal spreading codes with different lengths for forward link of DS-CDMA mobile radio” *Electronics Letters*, Vol. 33 Issue: 1 , 2 Jan. 1997
- [19] Biqi Long; Hichan Moon “Detection and false alarm probability of PN code acquisition in DS-CDMA system” *Electronics Letters* , Vol. 33 Issue: 11, 22 May 1997
- [20] Andrew J. Viterbi., ”CDMA Principles of Spread Spectrum Communication.” Reading, Massachusetts: *Addison-Wesley*, March 1995
- [21] P. Chaudhury, W. Mohr, and S. Once, “The 3GPP Proposal for IMT-2000,” *IEEE Commun. Mag.* , vol. 37, pp. 72-81, Dec. 1999.
- [22] Technical Specification 3Gpp TS 25.211 V4.1.0 (2001-06)
- [23] Ray Andraka, ”A survey of CORDIC algorithms for FPGA based computes”, *Andraka Consulting Group* 1998
- [24] Tero Ojanpera, Nokia Research Center and Ramjee Prasad, Delft University of Technology, “An Overview of Air Interface Multiple Access for IMT-2000/UMTS,” *IEEE Commun.* pp. 82~95, Sept. 1998.
- [25] 蕭詩駿/吳文榕 “Fast Code Acquisition for W-CDMA systems and Its FPGA Implementation” 國立教通大學電信工程所,2002
- [26] Wang, Y. -P.E.; Ottosson, T., ”Cell search in W-CDMA” *Selected Areas in Communications, IEEE Journal on*, Volume: 18 Issue: 8, Aug. 2000
- [27] Ray Andraka, ”A survey of CORDIC algorithms for FPGA based computes”, *Andraka Consulting Group* 1998